



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0040582
(43) 공개일자 2008년05월08일

- | | |
|--|---|
| <p>(51) Int. Cl.
<i>H01L 21/60</i> (2006.01)</p> <p>(21) 출원번호 10-2007-0110748</p> <p>(22) 출원일자 2007년11월01일
심사청구일자 없음</p> <p>(30) 우선권주장
JP-P-2006-00298433 2006년11월02일 일본(JP)</p> | <p>(71) 출원인
가부시끼가이샤 르네사스 테크놀로지
일본국 도쿄도 치요다쿠 오테마치 2초메 6반 2고</p> <p>(72) 발명자
다나카 시게끼
일본 홋카이도 가메다군 나나에초 아자나카지마
145번치가부시끼가이샤 르네사스 기따 니혼 세미
컨덕터 내</p> <p>(74) 대리인
장수길, 성재동</p> |
|--|---|

전체 청구항 수 : 총 5 항

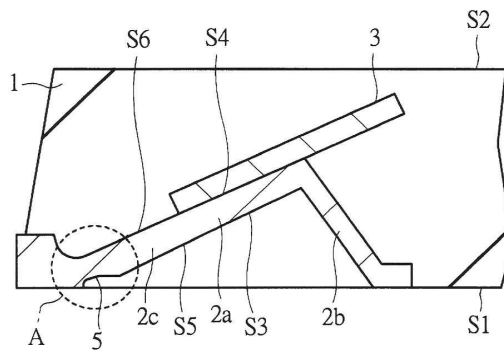
(54) 반도체 장치 및 반도체 장치의 제조 방법

(57) 요약

본 발명의 과제는 반도체 장치의 수율을 향상시키는 것이다.

반도체 장치를 구성하는 수지 밀봉체(1)의 내부에는, 반도체 칩(3)이 수지 밀봉체(1)의 상하면에 대해 비스듬히 배치된 상태로 밀봉되어 있다. 이 반도체 칩(3)을 탑재하는 다이 패드(2a)를 지지하는 현수 리드(2c)에 있어서, 반도체 칩(3)이 탑재된 면과는 반대측인 제5면(S5)에는, 작은 오목부(5)가 형성되어 있다. 이 오목부(5)는 다이 패드(2a)를 비스듬히 할 때의 기점이 되는 부분이다. 이 오목부(5)의 2개의 측면(5b, 5c) 중, 다이 패드(2a)에 가까운 측의 측면(5c)은, 수지 밀봉체(1)의 외주에 가까운 측의 측면(5b)보다도 경사진 상태로 형성되어 있다.

대표도 - 도4



특허청구의 범위

청구항 1

칩 탑재부와, 상기 칩 탑재부를 지지하는 지지 리드와, 상기 칩 탑재부의 주위에 배치된 복수의 리드와, 상기 칩 탑재부에 탑재된 반도체 칩과, 상기 칩 탑재부, 상기 반도체 칩, 상기 지지 리드의 일부 및 상기 복수의 리드 각각의 일부를 덮는 수지 밀봉체를 구비하고, 상기 수지 밀봉체는 두께 방향을 따라 서로 반대측에 위치하는 제1면 및 제2면을 갖고 있고, 상기 칩 탑재부는 두께 방향을 따라 서로 반대측에 위치하는 제3면 및 제4면을 갖고 있고, 상기 지지 리드는 두께 방향을 따라 서로 반대측에 위치하는 제5면 및 제6면을 갖고 있고, 상기 반도체 칩은 상기 칩 탑재부의 상기 제4면에 탑재되어 있고, 상기 반도체 칩 및 상기 칩 탑재부는 상기 수지 밀봉체의 제1면 및 제2면에 대해 비스듬히 배치되어 있고, 상기 칩 탑재부의 제4면에 대해 반대측에 위치하는 상기 지지 리드의 제5면에는, 상기 지지 리드의 두께 방향으로 움푹 패인 오목부가 형성되어 있고, 상기 오목부에 있어서 상기 지지 리드의 제5면에 교차하는 2개의 측면 중, 상기 칩 탑재부측에 위치하는 측면은, 상기 오목부의 다른 쪽의 측면보다도 경사진 상태로 형성되어 있는 것을 특징으로 하는 반도체 장치.

청구항 2

제1항에 있어서, 상기 반도체 칩에는 센서가 형성되어 있는 것을 특징으로 하는 반도체 장치.

청구항 3

제1항에 있어서, 상기 복수의 리드 및 상기 지지 리드의 일부는 상기 수지 밀봉체의 상기 제1면으로부터 노출되어 있는 것을 특징으로 하는 반도체 장치.

청구항 4

(a) 리드 프레임을 준비하는 공정과, (b) 상기 리드 프레임의 칩 탑재부에 반도체 칩을 탑재하는 공정과, (c) 상기 반도체 칩의 회로를 상기 리드 프레임의 복수의 리드의 각각에 전기적으로 접속하는 공정과, (d) 상기 반도체 칩을, 두께 방향을 따라 서로 반대측에 위치하는 제1면 및 제2면을 갖는 수지 밀봉체에 의해 밀봉하는 공정과, (e) 상기 복수의 리드에 있어서 상기 수지 밀봉체로부터 노출되는 부분에 도금 처리를 실시하는 공정을 갖고, 상기 (a) 공정의 리드 프레임은, 두께 방향을 따라 서로 반대측에 위치하는 제3면 및 제4면을 갖는 상기 칩 탑재부와, 상기 칩 탑재부를 지지하는 부분이며, 두께 방향을 따라 서로 반대측에 위치하는 제5면 및 제6면을 갖는 지지 리드와, 상기 칩 탑재부의 주위에 배치된 상기 복수의 리드를 일체적으로 갖고, 상기 칩 탑재부의 제4면에 대해 반대측에 위치하는 상기 지지 리드의 제5면에는, 상기 지지 리드의 두께 방향으로 움푹 패인 오목부가 형성되어 있고, 상기 오목부에 있어서 상기 지지 리드의 제5면에 교차하는 2개의 측면 중, 상기 칩 탑재부측에 위치하는 측면은, 상기 오목부의 다른 쪽의 측면보다도 경사진 상태로 형성되어 있는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 5

(a) 리드 프레임을 준비하는 공정과, (b) 상기 리드 프레임의 칩 탑재부에 반도체 칩을 탑재하는 공정과, (c) 상기 반도체 칩의 회로를 상기 리드 프레임의 복수의 리드의 각각에 전기적으로 접속하는 공정과, (d) 상기 반도체 칩을, 두께 방향을 따라 서로 반대측에 위치하는 제1면 및 제2면을 갖는 수지 밀봉체에 의해 밀봉하는 공정과, (e) 상기 복수의 리드에 있어서 상기 수지 밀봉체로부터 노출되는 부분에 도금 처리를 실시하는 공정을 갖고, 상기 (a) 공정의 리드 프레임은, 두께 방향을 따라 서로 반대측에 위치하는 제3면 및 제4면을 갖는 상기 칩 탑재부와, 상기 칩 탑재부를 지지하는 부분이며, 두께 방향을 따라 서로 반대측에 위치하는 제5면 및 제6면을 갖는 지지 리드와, 상기 칩 탑재부의 주위에 배치된 상기 복수의 리드를 일체적으로 갖고, 상기 칩 탑재부의 제4면에 대해 반대측에 위치하는 상기 지지 리드의 제5면에는, 상기 지지 리드의 두께 방향으로 움푹 패인 오목부가 형성되어 있고, 상기 오목부에 있어서, 상기 지지 리드의 제5면에 교차하는 2개의 측면 중, 상기 칩 탑재부측에 위치하는 측면은, 상기 오목부의 다른 쪽의 측면보다도 경사진 상태로 형성되어 있고, 상기 (a) 공정은 (a1) 상기 칩 탑재부, 상기 지지 리드, 상기 복수의 리드를 패턴 형성하는 공정과, (a2) 상기 지지 리드의 제5면에 상기 오목부를 형성하는 공정과, (a3) 상기 칩 탑재부의 선단부를, 상기 칩 탑재부의 제3면에 대해 교차하는 방향으로 구부리는 공정을 갖고, 상기 (c) 공정과, 상기 (d) 공정과의 사이에, 상기 칩 탑재부가, 상기 수지 밀봉체의 제1면 및 제2면에 대해 비스듬해지도록, 상기 지지 리드를 절곡하는 공정을 갖는 것을 특징으로 하는

반도체 장치의 제조 방법.

명세서

발명의 상세한 설명

기술분야

<1> 본 발명은 반도체 장치 및 반도체 장치의 제조 기술에 관한 것으로, 특히 반도체 칩을 비스듬한 상태로 수지 밀봉체의 내부에 밀봉하고 있는 구성을 갖는 반도체 장치 기술에 관한 것이다.

배경 기술

<2> 예를 들어 자기(磁氣) 센서나 가속도 센서와 같은 물리량 센서를 구성하는 반도체 장치 중에는, 3차원 공간에서의 방위나 가속도를 검지하기 위해, 센서용 반도체 칩을 비스듬한 상태로 수지 밀봉체의 내부에 밀봉하는 구성의 반도체 장치가 있다.

<3> 이러한 반도체 장치에 대해서는, 예를 들어 일본 특허 출원 공개 제2006-100348호 공보(특허 문헌 1 참조)에 기재가 있고, 리드 프레임의 스테이지부에 반도체 칩을 탑재한 후, 그 리드 프레임을 몰드 금형에 설치하는 공정시에, 스테이지부를 비스듬히 설정하는 구성이 개시되어 있다.

<4> [특허 문헌 1] 일본 특허 출원 공개 제2006-100348호 공보

발명의 내용

해결하고자하는 과제

<5> 그러나, 반도체 칩을 비스듬히 한 상태로 수용하는 구성의 반도체 장치에 대해 본 발명자가 검토하던 중에 이하의 과제가 있는 것을 발견하였다.

<6> 본 발명자가 검토한 반도체 장치에 있어서는, 반도체 칩이 탑재되는 탭을 지지하는 탭 현수 리드의 이면에 코이닝(cioning) 등에 의해 오목부를 형성하고 있다. 이 오목부는, 탭을 비스듬히 할 때에 기점이 되는 부분이다.

<7> 여기서, 이 오목부를 지나치게 깊게 하면, 탭 현수 리드로부터 코이닝용 성형 금형을 잡아당겨 분리하는 것이 어렵게 되어 생산 능력이 저하되므로, 지나치게 깊게 할 수 없다. 그러나, 오목부가 얇으면, 탭 현수 리드의 이면의 오목부 위치에 있어서의 몰드 수지 부분이 얇아지고, 그 몰드 수지 부분이 디플래쉬 시에 제거되어, 탭 현수 리드의 일부가 노출되어 버리는 결과, 그 후의 도금 처리시에 그 노출된 탭 현수 리드 부분에 설계에 반하여 금속 도금이 부착된다. 이에 의해, 도금 부착 불량(외관 불량)이 발생하거나, 그 금속 도금층을 기인으로 하여 몰드 수지에 크랙이 발생함으로써 반도체 장치의 수율이 저하되는 문제가 있다.

<8> 그래서, 본 발명의 목적은, 반도체 장치의 수율을 향상시킬 수 있는 기술을 제공하는 데 있다.

<9> 본 발명의 상기 및 그 밖의 목적과 새로운 특징은, 본 명세서의 기술 및 첨부된 도면으로부터 명백해질 것이다.

과제 해결수단

<10> 본원에 있어서 개시되는 발명 중, 대표적인 것의 개요를 간단히 설명하면 다음과 같다.

<11> 즉, 본 발명은 수지 밀봉체의 내부에, 수지 밀봉체의 실장면에 대해 비스듬한 상태로 밀봉된 반도체 칩을 구비하고, 상기 반도체 칩을 탑재하는 칩 탑재부를 지지하는 지지 리드에 있어서 상기 실장면측에는 오목부가 형성되어 있고, 상기 오목부의 2개의 측면 중, 상기 칩 탑재부측에 위치하는 측면은 상기 오목부의 다른 쪽의 측면보다도 경사진 상태로 형성되어 있는 것이다.

효과

<12> 본원에 있어서 개시되는 발명 중, 대표적인 것에 의해 얻어지는 효과를 간단히 설명하면 이하와 같다.

<13> 즉, 상기 지지 리드에 형성된 상기 오목부의 2개의 측면 중, 상기 칩 탑재부측에 위치하는 측면이, 상기 오목부의 다른 쪽의 측면보다도 경사진 상태로 형성되어 있는 것에 의해, 반도체 장치의 수율을 향상시킬 수 있다.

발명의 실시를 위한 구체적인 내용

- <14> 이하의 실시 형태에 있어서는 편의상 그 필요가 있을 때에는, 복수의 섹션 또는 실시 형태로 분할하여 설명하지만, 특별히 명시한 경우를 제외하고, 그들은 서로 관계가 없는 것은 아니며, 한쪽은 다른 쪽의 일부 또는 전부의 변형예, 상세, 보충 설명 등의 관계에 있다. 또한, 이하의 실시 형태에 있어서, 요소의 수 등(개수, 수치, 양, 범위 등을 포함함)으로 언급하는 경우, 특별히 명시한 경우 및 원리적으로 명백하게 특정한 수에 한정되는 경우 등을 제외하고, 그 특정한 수에 한정되는 것은 아니며, 특정한 수 이상이라도 이하라도 좋다. 또한, 이하의 실시 형태에 있어서, 그 구성 요소(요소 스텝 등도 포함함)는 특별히 명시한 경우 및 원리적으로 명확하게 필수적이라고 생각되는 경우 등을 제외하고, 반드시 필수적인 것은 아닌 것은 물론이다. 마찬가지로, 이하의 실시 형태에 있어서, 구성 요소 등의 형상, 위치 관계 등으로 언급할 때에는, 특별히 명시한 경우 및 원리적으로 명백하게 그렇지 않다고 생각되는 경우 등을 제외하고, 실질적으로 그 형상 등에 근사 또는 유사한 것 등을 포함하는 것으로 한다. 이것은, 상기 수치 및 범위에 대해서도 마찬가지이다. 또한, 본 실시 형태를 설명하기 위한 전체 도면에 있어서 동일 기능을 갖는 것은 동일한 부호를 부여하도록 하고, 그 반복 설명은 가능한 한 생략하도록 하고 있다. 이하, 본 발명의 실시 형태를 도면을 기초로 하여 상세하게 설명한다.
- <15> 도1은 본 실시 형태의 반도체 장치의 상면의 전체 평면도, 도2는 도1의 반도체 장치의 하면의 전체 평면도, 도3은 도1의 Y1-Y1선의 단면도, 도4는 도3의 반도체 장치의 주요부 확대 단면도, 도5는 도4의 영역 A의 확대 단면도, 도6은 도1의 반도체 장치의 하면의 주요부 확대 평면도이다. 또한, 도1에서는 도면을 보기 쉽게 하기 위해, 반도체 장치의 내부를 투과하여 보이고 있다.
- <16> 본 실시 형태의 반도체 장치는, 예를 들어 QFN(Quad Flat Non leaded Package) 구성으로 되어 있다. 이 반도체 장치의 패키지를 구성하는 수치 밀봉체(1)는, 예를 들어 에폭시계 수지에 의해 평면 사각형의 박판 형상으로 형성되어 있고, 두께 방향을 따라 서로 반대측에 위치하는 제1면(S1)(실장면) 및 제2면(S2)을 갖고 있다. 또한, 수치 밀봉체(1)의 제1면(S1)은 반도체 장치의 하면(실장면)에 상당하고, 수치 밀봉체(1)의 제2면(S2)은 반도체 장치의 상면에 상당한다.
- <17> 이 수치 밀봉체(1)의 내부에는, 2개의 다이 패드(칩 탑재부)(2a)와, 경사 조정 리드(2b)의 일부와, 현수 리드(지지 리드)(2c)의 일부와, 복수의 리드(2d)의 일부와, 2개의 반도체 칩(3)과, 복수의 본딩 와이어(이하, 단순히 와이어라 함)(4)가 밀봉되어 있다.
- <18> 각 다이 패드(2a)는 두께 방향을 따라 서로 반대측에 위치하는 제3면(S3) 및 제4면(S4)을 갖고 있다. 또한, 각 다이 패드(2a)는, 수치 밀봉체(1)의 제1면(S1) 및 제2면(S2)에 대해 경사진 상태로 형성되어 있다. 즉, 각 다이 패드(2a)는 수치 밀봉체(1)의 중앙으로부터 외주를 향해 점차 낮아지도록 경사진 상태로 형성되어 있다.
- <19> 각 다이 패드(2a)의 서로 마주 보는 측의 한 변에는, 상기 경사 조정 리드(2b)가 일체 형성되어 있다. 이 경사 조정 리드(2b)는 다이 패드(2a)의 경사 설정에 기여하는 부분이며, 다이 패드(2a)의 제3면(S3) 및 제4면(S4)에 대해 교차하는 방향[제3면(S3)측]으로 절곡되어 있다. 이 경사 조정 리드(2b)의 길이나 절곡 각도에 의해, 다이 패드(2a) 및 반도체 칩(3)의 경사 각도가 정해진다. 경사 조정 리드(2b)의 선단측의 일부는, 수치 밀봉체(1)의 제1면(S1)으로부터 노출되어 있다.
- <20> 또한, 각 다이 패드(2a)에 있어서 다른 한 변에는, 2개의 현수 리드(2c)가 일체적으로 접속되어 있다. 이 현수 리드(2c)는 두께 방향을 따라 서로 반대측에 위치하는 제5면(S5) 및 제6면(S6)을 갖고 있다. 또한, 현수 리드(2c)의 단부는, 수치 밀봉체(1)의 제1면(S1) 및 이에 교차하는 측면으로부터 노출되어 있다. 이 현수 리드(2c)가 수치 밀봉체(1)의 제1면(S1)으로부터 노출되는 부분에는, 예를 들어 은(Ag) 도금으로 이루어지는 도금층이 형성되어 있다.
- <21> 이 현수 리드(2c)의 제5면(S5)에 있어서, 다이 패드(2a)보다도 밀봉 수치체(1)의 외주에 가까운 위치에는, 도4 및 도5에 도시하는 바와 같이 현수 리드(2c)의 두께 방향으로 움푹 패인 작은 오목부(5)가, 현수 리드(2c)의 연장 방향을 가로지르도록 형성되어 있다.
- <22> 이 오목부(5)는, 도5에 도시하는 바와 같이 바닥면(5a)과, 바닥면(5a) 및 현수 리드(2c)의 제5면(S5)에 교차하는 2개의 측면(5b, 5c)을 갖고 있다. 이 오목부(5)[특히, 오목부(5)에 있어서 수치 밀봉체(1)의 외주측의 측면(5b)과 바닥면(5a)으로 형성되는 코너]는, 다이 패드(2a)를 경사지게 하기 위해 현수 리드(2c)를 구부릴 때의 기점이 되는 부분이다.
- <23> 본 실시 형태에 있어서는, 이 오목부(5)의 2개의 측면(5b, 5c) 중, 다이 패드(2a)측에 위치하는 측면(5c)이, 오

목부(5)의 밀봉 수지체(1)의 외주측의 측면(5b)보다도 경사진 상태로 형성되어 있다. 즉, 오목부(5)의 측면(5b)은, 현수 리드(2c)의 제5면(S5)에 대해 직각(설계상)으로 교차하고 있다. 이에 의해, 도5의 영역 B에 도시하는 바와 같이 현수 리드(2c)의 노출 부분과 피복 부분을 명확하게 할 수 있다. 이에 대해 오목부(5)의 다이 패드(2a)측에 위치하는 측면(5c)은, 순(順) 테이퍼가 되도록 현수 리드(2c)의 제5면(S5)에 대해 경사진 상태로 교차하고 있다. 이에 의해, 도5의 영역 C에 도시하는 바와 같이 오목부(5)의 측면(5c) 아래의 수지 밀봉체(1)부분의 두께를 충분히 확보할 수 있다. 또한, 이 순 테이퍼는, 오목부(5)의 바닥면(5a)으로부터 그 바닥면(5a)에 직교하는 방향으로 멀어져 감에 따라서 오목부(5)의 면적이 커지도록 측면(5c)이 경사져 있는 상태를 말한다.

- <24> 또한, 각 다이 패드(2a)의 주위에는, 복수의 리드(2d)가 형성되어 있다. 이 복수의 리드(2d)는, 와이어(4)를 통해 상기 반도체 칩(3)과 전기적으로 접속되어 있다. 각 리드(2d)의 상면에 있어서, 반도체 칩(3)측의 선단부에는, 예를 들어 은(Ag)으로 이루어지는 도금층(2d1)이 부분적으로 형성되어 있다. 이 도금층(2d1)이 형성된 부분에 상기 와이어(4)의 제2 본딩부가 접합되어 있다. 리드(2d)의 하면 및 측면에 있어서, 수지 밀봉체(1)측의 타단부 일부는, 수지 밀봉체(1)의 제1면(S1) 및 이에 교차하는 측면으로부터 노출되어 있다.
- <25> 상기한 바와 같은 다이 패드(2a), 경사 조정 리드(2b), 현수 리드(2c) 및 리드(2d)는, 예를 들어 구리(Cu) 또는 42 얼로이 등과 같은 금속에 의해 형성되어 있다.
- <26> 상기 반도체 칩(3)은, 예를 들어 실리콘(Si)에 의해 형성된 평면 사각 형상의 반도체 박판으로 이루어지고, 그 주면(主面)을 위를 향하게 하고, 또한 그 이면을 다이 패드(2a)를 향하게 한 상태에서 다이 패드(2a)의 제4면(S4)에 접촉되어 고정되어 있다. 여기서, 1개의 반도체 장치 내에 2개의 반도체 칩(3)이 수용되어 있는 경우가 예시되어 있다. 각 반도체 칩(3)은, 그 평면적이 다이 패드(2a)의 평면적보다도 커서, 반도체 칩(3)의 외주가 다이 패드(2a)의 외주로부터 돌출된 상태로 다이 패드(2a) 상에 탑재되어 있다.
- <27> 이 반도체 칩(3)의 주면에는, 예를 들어 자기 센서나 가속도 센서 등과 같은 물리량 센서가 형성되어 있다. 이 반도체 칩(3)[및 다이 패드(2a)]은, 3차원 공간에서의 방위나 가속도를 감지하기 위해, 수지 밀봉체(1)의 제1면(S1) 및 제2면(S2)에 대해 비스듬한 상태로 수지 밀봉체(1)의 내부에 밀봉되어 있다. 즉, 2개의 반도체 칩(3)은, 수지 밀봉체(1)의 중앙으로부터 외주를 향해 점차 내려가도록 기울어진 상태로 수지 밀봉체(1)의 내부에 밀봉되어 있다.
- <28> 또한, 반도체 칩(3)의 주면 외주 근방에는, 복수의 본딩 패드(이하, 단순히 패드라 함)가, 그 주면 외주를 따라 배열되어 배치되어 있다. 이 패드는, 반도체 칩(3)의 주면의 상기 물리량 센서에 전기적으로 접속되어 있는 동시에, 상기 와이어(4)의 제1 본딩부가 전기적으로 접속되어 있다.
- <29> 다음에, 본 발명자가 검토한 반도체 장치의 과제를 도7 내지 도10에 의해 설명한 후, 도1 내지 도6에서 설명한 반도체 장치의 효과를 설명한다.
- <30> 도7은 본 발명자가 검토한 반도체 장치의 현수 리드(2c)의 절곡 공정 전의 오목부(5)부분의 확대 측면도를 도시하고 있다. 본 발명자가 검토한 기술에 있어서는, 절곡 공정 전의 현수 리드(2c)의 오목부(5)의 수지 밀봉체 외주측의 측면(5b)과, 다이 패드측의 측면(5d)이 모두 현수 리드(2c)의 제5면(S5)에 대해 직교하도록 형성되어 있다. 이 경우, 오목부(5)를 지나치게 깊게 해 버리면, 오목부(5)의 형성 후에, 그 오목부 형성용 금형을 현수 리드(2c)로부터 잘 떨어뜨릴 수 없거나, 무리하여 떨어뜨림으로 인해 현수 리드(2c)가 변형되어 버리는 문제가 발생한다. 반도체 장치의 소형 경량화의 요구에 따라서 현수 리드(2c)(리드 프레임)가 점점 얇아지면, 상기한 바와 같은 문제는 현저해진다. 이로 인해, 도7의 오목부(5)의 경우에는, 얇게 형성해야 한다.
- <31> 다음에, 도8은 상기 도7의 현수 리드(2c)의 절곡 공정 후, 반도체 칩(3)을 밀봉한 후의 반도체 장치의 주요부 확대 단면도, 도9는 도8의 영역 D의 확대 단면도, 도10은 도8의 반도체 장치의 수지 밀봉체(1)의 제1면(S1)의 주요부 확대 평면도를 도시하고 있다.
- <32> 상기한 도7의 구성에 있어서는 오목부(5)를 얇게 해야 하지만, 그 경우 도8 및 도9에 도시하는 바와 같이 오목부(5) 아래의 수지 밀봉체(1)부분이 얇아진다. 특히, 도9의 영역 E의 부분, 즉 오목부(5)의 다이 패드측의 측면(5d)과 현수 리드(2c)의 제5면(S5)이 교차하는 코너 아래에 있어서는, 수지 밀봉체(1)부분의 두께를 충분히 확보할 수 없다. 이로 인해, 그 얇은 수지 밀봉체(1)부분이 디플래쉬[수세(水洗) 세정]시에 박리되어 버린다. 그 결과, 리드(2d) 및 현수 리드(2c)의 노출면에 도금 처리를 실시하였을 때에, 도10에 도시하는 바와 같이 현수 리드(2c)의 본래 도금층이 형성될 일이 없는 부위(F)에 도금층이 형성되거나, 그 설계에 반하는 도금층의 형성에 의해 수지 밀봉체(1)에 크랙(G)이 발생하는 문제가 생긴다. 이 결과, 반도체 장치의 수율이 저하되는 문

제가 있다.

- <33> 이에 대해, 도1 내지 도6을 이용하여 설명한 본 실시 형태의 반도체 장치에 따르면, 현수 리드(2c)의 오목부(5)의 다이 패드(2a)측의 측면(5c)을 경사시킨 것에 의해, 오목부 형성용 금형의 이형(離型)을 용이하게 할 수 있으므로, 오목부(5)를 깊게 형성할 수 있다. 또한, 현수 리드(2c)의 오목부(5)의 다이 패드(2a)측의 측면(5c)을 경사시킨 것에 의해, 현수 리드(2c)의 절곡 공정 후의 측면(5c)과 현수 리드(2c)의 제5면(S5)이 교차하는 코너로부터 플드 금형의 하부 금형의 상면까지의 거리를 도8 및 도9에서 나타낸 경우보다도 길게 할 수 있다. 이들에 의해, 오목부(5) 근방의 수지 밀봉체(1) 부분의 두께를 충분히 확보할 수 있다. 이로 인해, 오목부(5) 근방의 수지 밀봉체(1) 부분이 디플래쉬(수세 세정)시에 박리되어 버리는 문제점을 저감 또는 방지할 수 있다. 따라서, 현수 리드(2c)의 본래 도금층이 형성될 일이 없는 부위(F)에 도금층이 형성되거나, 그 설계에 반하는 도금층의 형성에 의해 수지 밀봉체(1)에 크랙(G)이 생기는 문제를 저감 또는 방지할 수 있으므로, 반도체 장치의 수율을 향상시킬 수 있다.
- <34> 또한, 오목부(5)의 수지 밀봉체(1)의 외주측의 측면(5b)을 현수 리드(2c)의 제5면(S5)에 대해 직각(상대적으로 예각)이 되도록 한 것에 의해, 도5의 영역 B에 도시하는 바와 같이 그 측면(5b)측에서의 수지 밀봉체(1)의 플래쉬(수지 버어)를 저감 또는 방지할 수 있어, 현수 리드(2c)의 노출 부위와 피복 부위와의 경계를 명확하게 할 수 있으므로, 반도체 장치의 수율을 향상시킬 수 있다.
- <35> 다음에, 본 실시 형태의 반도체 장치의 제조 방법의 일예를 도11의 흐름도를 따라, 도12 내지 도19를 이용하여 설명한다.
- <36> 우선, 웨이퍼 프로세스(전공정)가 종료한 반도체 웨이퍼에 대해 다이싱 처리를 실시함으로써, 반도체 웨이퍼를 복수의 반도체 칩으로 분할한다(도11의 공정 100). 반도체 웨이퍼는, 예를 들어 실리콘(Si) 단결정으로 이루어지는 평면 대략 원 형상의 반도체 박판으로 이루어지고, 각 반도체 칩의 주면에는 상기 물리량 센서가 형성되어 있다.
- <37> 계속해서, 도12 및 도13에 도시하는 바와 같이 상기 반도체 칩(3)을 리드 프레임(2)의 다이 패드(칩 탑재부, 탭)(2a) 상에 탑재한다(도11의 공정 101). 도12는 칩 탑재 공정 후의 리드 프레임(2)의 단위 영역의 평면도, 도13은 도12의 Y1-Y1선의 확대 단면도이다. 또한, 도14는 도13의 영역 H의 확대 측면도이다.
- <38> 상기 리드 프레임(2)은, 예를 들어 구리(Cu) 또는 42 얼로이 등으로 이루어지는 금속 박판으로 이루어지고, 두께 방향을 따라 서로 반대측에 위치하는 상면 및 하면을 갖고 있다.
- <39> 이 리드 프레임(2)의 상하면 내에는 복수의 단위 영역이 1열 또는 행렬 형상으로 배치되어 있다. 이 리드 프레임(2)의 각 단위 영역에는, 2개의 다이 패드(2a)와, 각 다이 패드(2a)의 서로 마주 보는 측의 선단에 일체 형성된 경사 조정 리드(2b)와, 각 다이 패드(2a)를 지지하는 2개의 현수 리드(2c)와, 2개의 다이 패드(2a)의 주위에 배치된 복수의 리드(2d)와, 상기 복수의 리드(2d) 및 현수 리드(2c)를 지지하는 프레임부(2e)가 일체적으로 형성되어 있다.
- <40> 각 다이 패드(2a)의 제3면(S3)은 리드 프레임(2)의 하면의 일부이며, 다이 패드(2a)의 제4면(S4)은 리드 프레임(2)의 상면의 일부이다. 각 다이 패드(2a)는, 그 각각의 한 변에 일체적으로 접속된 2개의 현수 리드(2c)를 통해 프레임부(2e)에 일체적으로 접속되어 있다. 이에 의해, 각 다이 패드(2a)는 리드 프레임(2)에 지지되어 있다.
- <41> 이 단계의 다이 패드(2a)는 리드 프레임(2)의 상하면에 대해 경사지는 일 없이 평탄하게 되어 있다.
- <42> 상기 현수 리드(2c)의 제5면(S5)은 리드 프레임(2)의 하면의 일부이며, 현수 리드(2c)의 제6면(S6)은 리드 프레임(2)의 상면의 일부이다. 이 현수 리드(2c)의 제5면(S5)에 있어서, 다이 패드(2a)보다도 프레임부(2e)에 가까운 위치에는, 현수 리드(2c)의 두께 방향으로 움푹 패인 상기 작은 오목부(5)가 현수 리드(2c)의 연장 방향을 가로지르도록 형성되어 있다.
- <43> 본 실시 형태에 있어서는, 도14에 도시하는 바와 같이 이 오목부(5)에 있어서, 현수 리드(2c)의 제5면(S5)에 교차하는 2개의 측면(5b, 5c) 중, 다이 패드(2a)측에 위치하는 측면(5c)은, 오목부(5)의 프레임부(2e)측의 측면(5b)보다도 경사진 상태로 형성되어 있다. 즉, 오목부(5)의 프레임부(2e)측의 측면(5b)은, 현수 리드(2c)의 제5면(S5)에 대해 직각(설계상)으로 교차하고 있는 것에 대해, 오목부(5)의 다이 패드(2a)측에 위치하는 측면(5c)은, 순 테이퍼가 되도록 현수 리드(2c)의 제5면(S5)에 대해 경사진 상태로 교차하고 있다. 이에 의해, 오목부(5)를 형성하기 위한 금형을 용이하게 이형할 수 있다. 이로 인해, 오목부(5)를 깊게 형성할 수 있다.

- <44> 오목부(5)의 깊이는, 예를 들어 15 μm 내지 30 μm 정도, 바람직하게는 15 μm 내지 25 μm 정도이다. 오목부(5)의 깊이가 15 μm 이하이면 상기한 수지 밀봉체의 일부가 박리되는 문제가 발생되기 쉬운 한편, 25 μm 이상이면 현수 리드(2c)의 강도가 저하되어 변형이나 단선 불량에 생기기 때문이다.
- <45> 또한, 오목부(5)의 측면(5c)의 경사 각도(θ_1)는, 예를 들어 30도 내지 40도이다. 또한, 예를 들어 오목부(5)의 바닥면(5a)의 길이[현수 리드(2c)의 연장 방향의 치수](L1)는, 측면(5c)의 길이[현수 리드(2c)의 연장 방향의 치수](L2)와 동등하다.
- <46> 계속해서, 도15 및 도16에 도시하는 바와 같이 상기 반도체 칩(3)의 패드와, 리드 프레임(2)의 리드(2d)를 와이어(4)에 의해 전기적으로 접속한다(도11의 공정 102). 도15는 와이어 본딩 공정 후의 리드 프레임(2)의 단위 영역의 평면도, 도16은 도15의 Y1-Y1선의 확대 단면도이다. 와이어(4)는, 예를 들어 금(Au)에 의해 형성되어 있다. 와이어(4)는, 예를 들어 정(正) 본드 방식으로 본딩되어 있다. 즉, 와이어(4)의 일단부(제1 본딩)는, 반도체 칩(3)의 패드로 접합되고, 와이어(4)의 타단부(제2 본딩)는 리드(2d)의 선단의 도금층(2d1)에 접합되어 있다.
- <47> 그 후, 트랜스퍼 몰드 공정으로 이행한다. 여기서는, 우선 도17 및 도18에 도시하는 바와 같이 리드 프레임(2)을 몰드 금형의 제1 금형(8a)과 제2 금형(8b) 사이에 끼워 넣는다. 도17은 리드 프레임(2)을 몰드 금형에 설치한 후의 리드 프레임(2) 및 몰드 금형의 단위 영역의 단면도, 도18은 도17의 영역 J의 확대 단면도이다. 제1 금형(8a)은 평탄한 상면을 갖는 금형으로, 리드 프레임(2)의 하면이 접한다. 제2 금형(8b)은 그 두께 방향으로 움푹 패인 캐비티(8b1)를 갖는 금형으로, 그 캐비티(8b1) 내에 리드 프레임(2)의 단위 영역의 2개의 반도체 칩(3) 및 다이 패드(2a) 등이 수용된다.
- <48> 이러한 제1 금형(8a)과 제2 금형(8b) 사이에 리드 프레임(2)을 끼워 넣으면 리드 프레임(2)의 경사 조정 리드(2b)가 제1 금형(8a)에 의해 도17의 상방으로 밀어 올려짐으로써, 현수 리드(2c)가 상기 오목부(5)를 기점으로 하여 도17의 상방으로 구부러지고, 다이 패드(2a)의 경사 조정 리드(2b)측이 도17의 상방으로 올라간다. 이에 의해, 다이 패드(2a)는 제1 금형(8a)의 상면[또는 프레임부(2e)의 상하면]에 대해 경사진 상태가 된다.
- <49> 이때, 본 실시 형태에 있어서는, 도18에 도시하는 바와 같이 현수 리드(2c)의 오목부(5)의 측면(5c)을 경사시킨 것에 의해, 오목부(5)의 측면(5c)과, 현수 리드(2c)의 제5면(S5)이 교차하는 코너부로부터 제1 금형(8a)의 상면까지의 거리를 크게 확보할 수 있다.
- <50> 계속해서, 캐비티(8b1) 내에, 예를 들어 에폭시계 수지를 유입하고, 이것을 경화시킨 후, 몰드 금형으로부터 취출함으로써, 도19에 도시하는 바와 같이 각 단위 영역에 수지 밀봉체(1)를 형성한다. 도19는 몰드 공정 후의 단위 영역의 반도체 장치의 단면도이다. 수지 밀봉체(1)는 두께 방향을 따라 서로 반대측에 위치하는 제1면(S1) 및 제2면(S2)을 갖고 있다. 반도체 칩(3), 다이 패드(2a), 경사 조정 리드(2b)의 일부, 현수 리드(2c)의 일부, 복수의 리드(2d)의 일부 및 와이어(4)는, 수지 밀봉체(1)에 의해 덮여 있다(도11의 공정 103).
- <51> 계속해서, 디플래쉬(수세 세정) 처리에 의해 수지 밀봉체(1)로부터 노출되는 메탈 부분을 세정한 후, 리드 프레임(2)[리드(2d)]에 있어서 수지 밀봉체(1)로부터 노출되는 표면에, 예를 들어 은으로 이루어지는 도금층을 형성한다(도11의 공정 104). 이때, 본 실시 형태에 있어서는, 탭 현수 리드(2c)의 제5면(S5)의 오목부(5) 근방에 있어서의 수지 밀봉체(1)의 일부분의 두께를, 디플래쉬(수세)시에 박리되지 않을 정도로 확보할 수 있으므로, 탭 현수 리드(2c)의 일부가 수지 밀봉체(1)로부터 노출되어 버리는 문제를 회피할 수 있다. 이로 인해, 도금 처리 공정 104시에 탭 현수 리드(2c)의 일부에 설계에 반하여 도금이 부착되어 버리는 도금 부착 불량(외관 불량)의 문제를 회피할 수 있다. 또한, 그 도금층을 기인으로 하여 수지 밀봉체(1)에 크랙이 발생하는 문제를 회피할 수 있다. 따라서, 반도체 장치의 수율을 향상시킬 수 있다.
- <52> 계속해서, 리드 프레임(2)의 일부를 절단하고, 리드(2c)를 성형한다(도11의 공정 105). 이에 의해, 리드 프레임(2)으로부터 개개의 반도체 장치를 분리한다. 그 후, 선별 공정(도11의 공정 106)을 거쳐서 양품을 출하한다.
- <53> 다음에, 상기 도12에 도시한 리드 프레임(2)의 제조 방법의 일예를 도20의 흐름도를 따라 설명한다.
- <54> 우선, 예를 들어 구리(Cu) 또는 42 얼로이 등으로 이루어지는 평탄한 금속 박판을 준비하고, 이에 대해 레지스트 마스크를 이용한 에칭 처리를 실시함으로써, 상기 다이 패드(2a), 경사 조정 리드(2b), 현수 리드(2c), 복수의 리드(2d) 및 프레임부(2e)를 패터닝한다(도20의 공정 200). 이 단계의 경사 조정 리드(2b)는 다이 패드(2a)에 대해 경사져 있지 않고 평탄하게 되어 있다.

- <55> 계속해서, 복수의 리드(2d)의 선단부에, 예를 들어 은(Ag) 등으로 이루어지는 도금층을 선택적으로 형성한다(도 20의 공정 201). 그 후, 현수 리드(2c)의 제5면(S5)의 일부에 상기 오목부(5)를 코이닝법 등에 의해 형성한다(도20의 공정 202). 그 후, 경사 조정 리드(2b)를 다이 패드(2a)의 제3면(S3)에 교차하는 방향으로 절곡한다(도20의 탭 굽힘 가공 공정 203). 그 후, 검사 등을 하고 양품을 출하한다.
- <56> 코이닝 가공 공정(202)과 탭 굽힘 가공 공정(203)은 1공정으로 행할 수도 있다. 그 경우, 준비할 금형류를 줄일 수 있다. 또한, 가공 시간을 단축할 수 있다. 한편, 상기한 바와 같이, 코이닝 가공 공정(202)과 탭 굽힘 가공 공정(203)을 따로따로 행하는 경우에는, 탭 굽힘 가공용 금형을 복수 종류 준비하여 조합함으로써, 경사 조정 리드의 굽힘량을 개별적으로 조정할 수 있으므로, 부착[반도체 칩(3)의 경사] 각도가 상이한 복수 사양의 물리량 센서의 제조에 대응할 수 있다.
- <57> 이상, 본 발명자에 의해 이루어진 발명을 실시 형태를 기초로 하여 구체적으로 설명하였지만, 본 발명은 상기 실시 형태에 한정되는 것은 아니며, 그 요지를 이탈하지 않는 범위에서 다양한 변경 가능한 것은 물론이다.
- <58> 이상의 설명에서는 주로 본 발명자에 의해 이루어진 발명을 그 배경이 된 이용 분야인 자기 센서나 가속도 센서의 제조 방법에 적용한 경우에 대해 설명하였지만, 그에 한정되는 것은 아니며 여러 가지 적용 가능하고, 예를 들어 다른 센서에도 적용할 수 있다.

산업이용 가능성

<59> 본 발명은 반도체 장치의 제조에 적용할 수 있다.

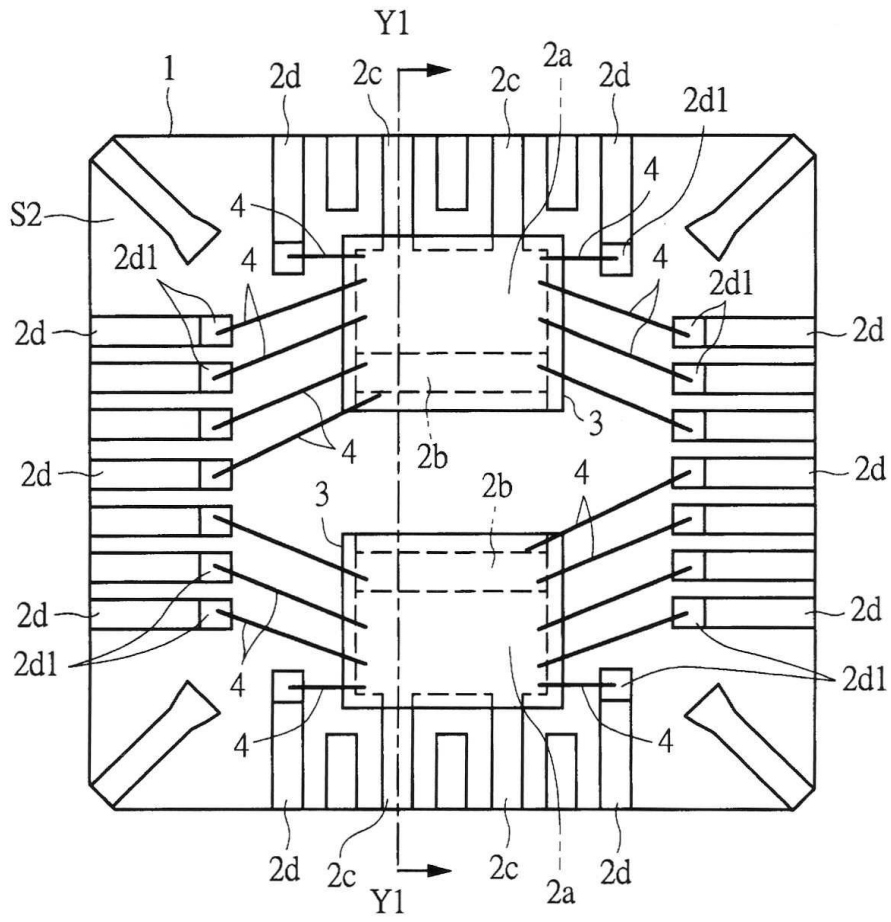
도면의 간단한 설명

- <60> 도1은 본 발명의 일 실시 형태인 반도체 장치의 상면의 전체 평면도.
- <61> 도2는 도1의 반도체 장치의 하면의 전체 평면도.
- <62> 도3은 도1의 Y1-Y1선의 단면도.
- <63> 도4는 도3의 반도체 장치의 주요부 확대 단면도.
- <64> 도5는 도4의 영역 A의 확대 단면도.
- <65> 도6은 도1의 반도체 장치의 하면의 주요부 확대 평면도.
- <66> 도7은 본 발명자가 검토한 반도체 장치의 현수 리드의 절곡 공정 전의 오목부 부분의 확대 측면도.
- <67> 도8은 도7의 현수 리드의 절곡 공정 후, 반도체 칩을 밀봉한 후의 반도체 장치의 주요부 확대 단면도.
- <68> 도9는 도8의 영역 D의 확대 단면도.
- <69> 도10은 도8의 반도체 장치의 수지 밀봉체의 제1면의 주요부 확대 평면도.
- <70> 도11은 본 발명의 일 실시 형태인 반도체 장치의 제조 흐름도.
- <71> 도12는 칩 탑재 공정 후의 리드 프레임의 단위 영역의 평면도.
- <72> 도13은 도12의 Y1-Y1선의 확대 단면도.
- <73> 도14는 도13의 영역 H의 확대 측면도.
- <74> 도15는 와이어 본딩 공정 후의 리드 프레임의 단위 영역의 평면도.
- <75> 도16은 도15의 Y1-Y1선의 확대 단면도.
- <76> 도17은 리드 프레임을 몰드 금형에 설치한 후의 리드 프레임 및 몰드 금형의 단위 영역의 단면도.
- <77> 도18은 도17의 영역 J의 확대 단면도.
- <78> 도19는 몰드 공정 후의 단위 영역의 반도체 장치의 단면도.
- <79> 도20은 본 발명의 일 실시 형태인 반도체 장치의 제조 공정에서 이용하는 리드 프레임의 제조 흐름도.
- <80> <도면의 주요 부분에 대한 부호의 설명>

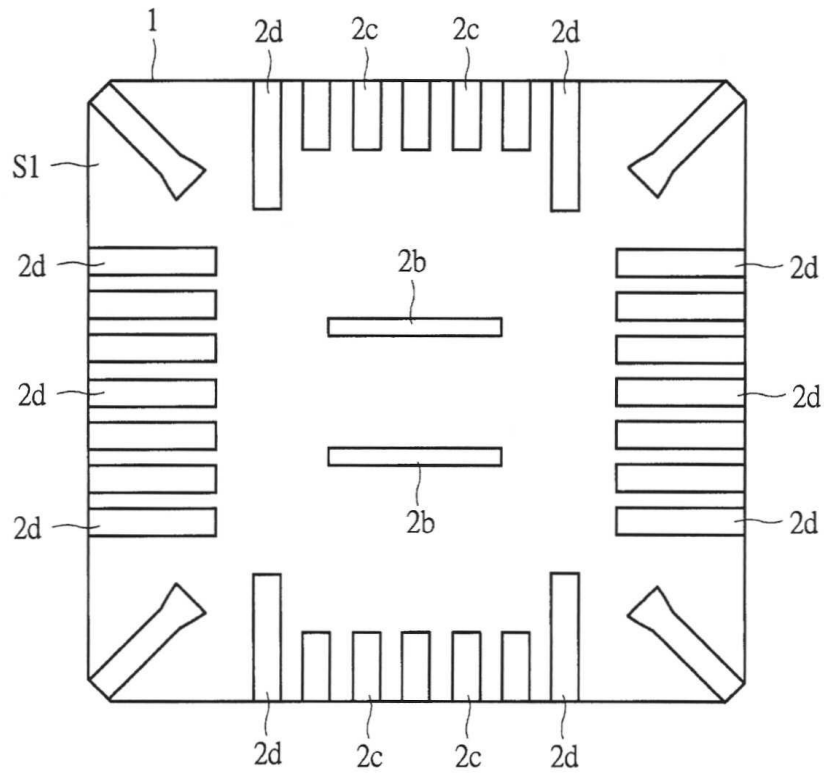
- <81> 1 : 수지 밀봉체
- <82> 2 : 리드 프레임
- <83> 2a : 다이 패드(칩 탑재부)
- <84> 2b : 경사 조정 리드
- <85> 2c : 현수 리드(지지 리드)
- <86> 2d : 리드
- <87> 2d1 : 도금층
- <88> 2e : 프레임부
- <89> 3 : 반도체 칩
- <90> 4 : 본딩 와이어
- <91> 5 : 오목부
- <92> 5a : 바닥면
- <93> 5b, 5c, 5d : 측면
- <94> 8a : 제1 금형
- <95> 8b : 제2 금형
- <96> 8b1 : 캐비티
- <97> S1 : 제1면
- <98> S2 : 제2면
- <99> S3 : 제3면
- <100> S4 : 제4면
- <101> S5 : 제5면
- <102> S6 : 제6면

도면

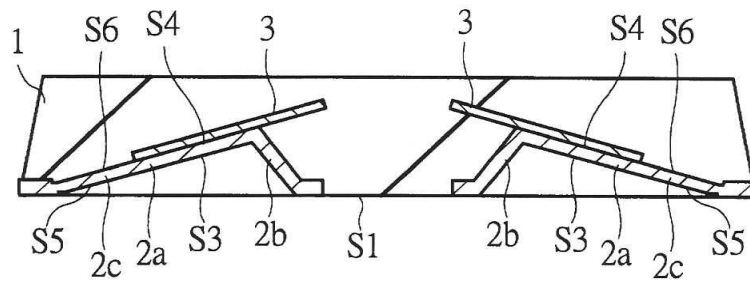
도면1



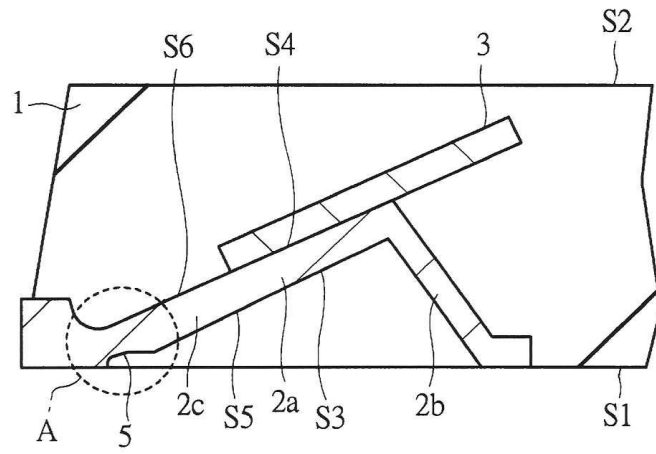
도면2



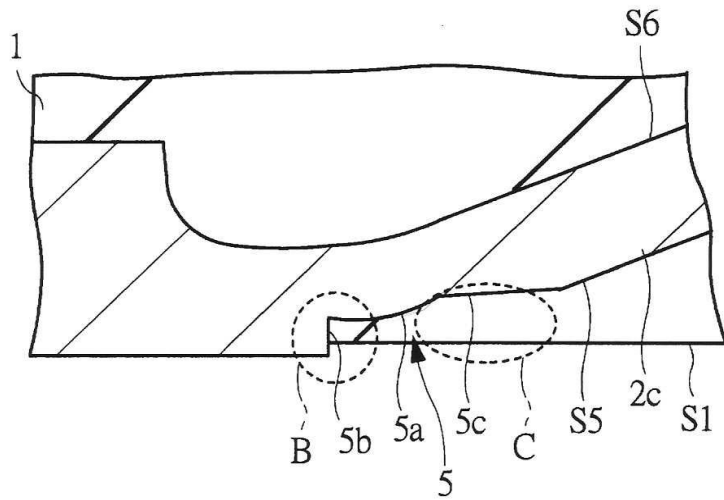
도면3



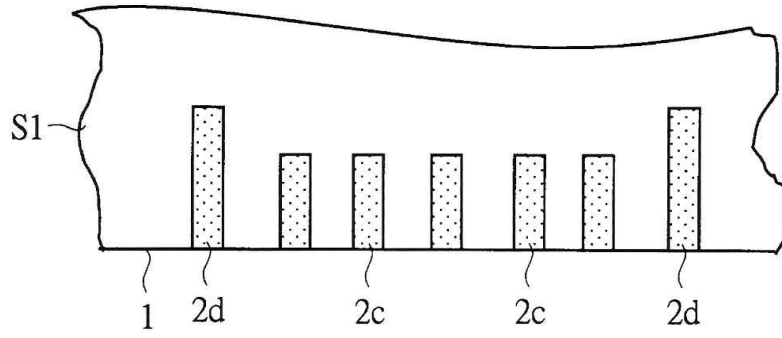
도면4



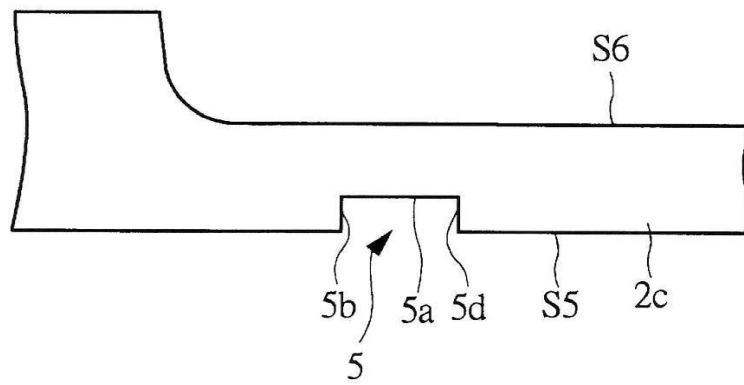
도면5



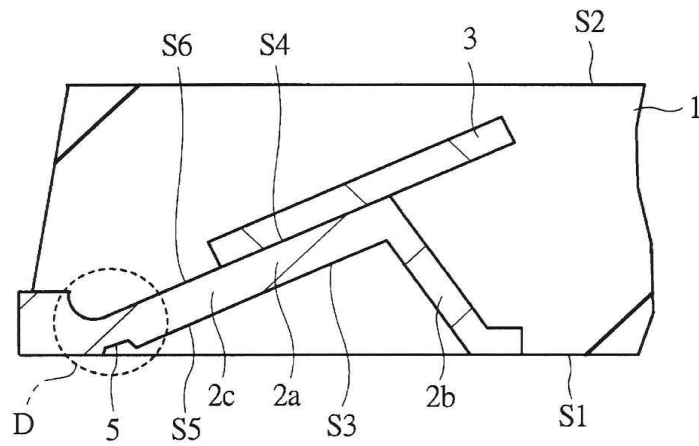
도면6



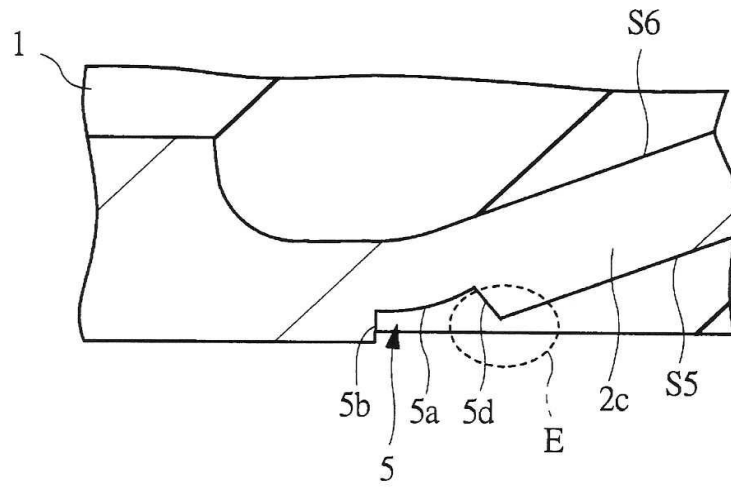
도면7



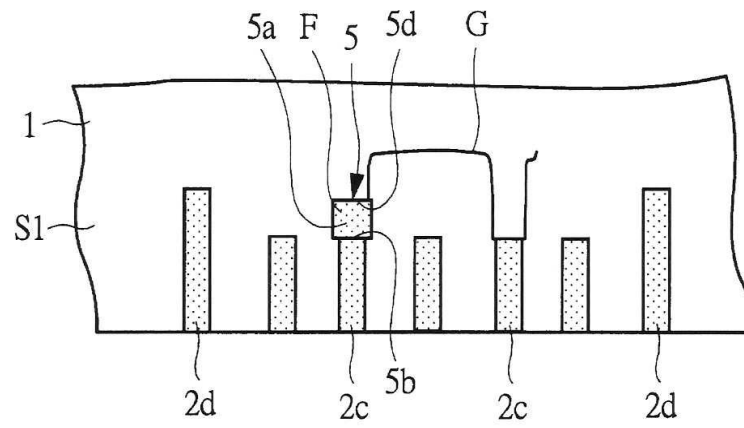
도면8



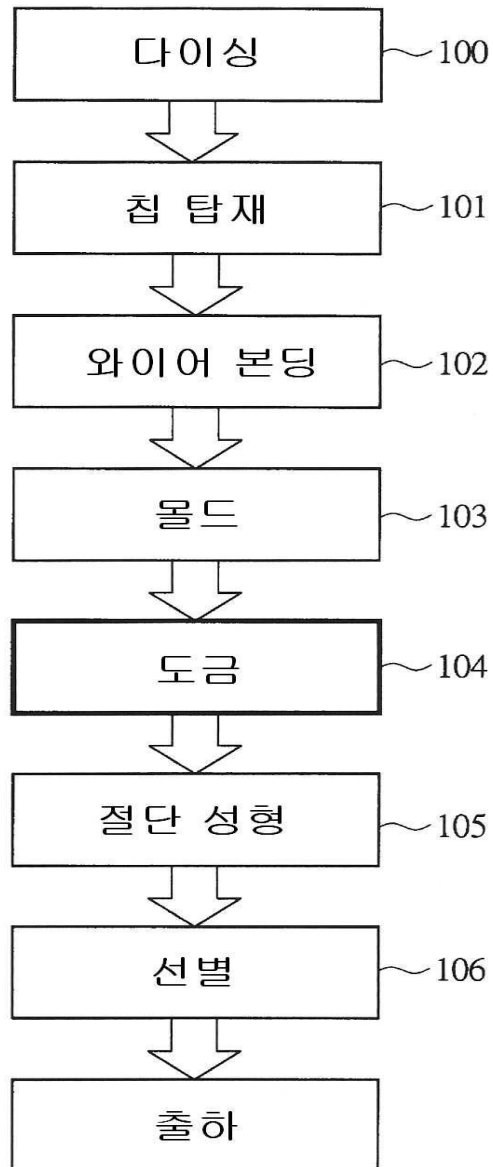
도면9



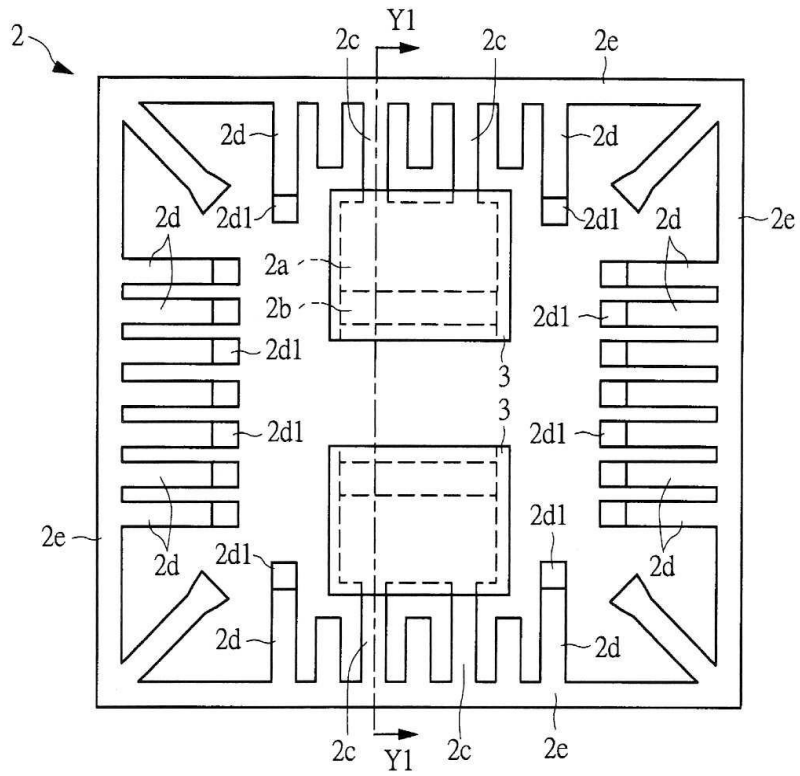
도면10



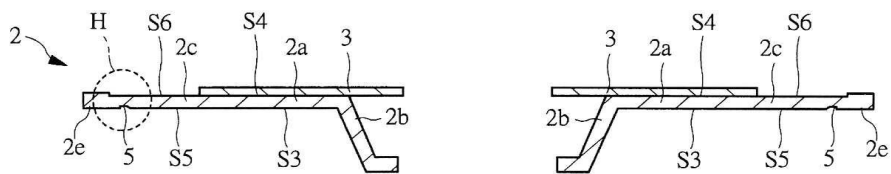
도면11



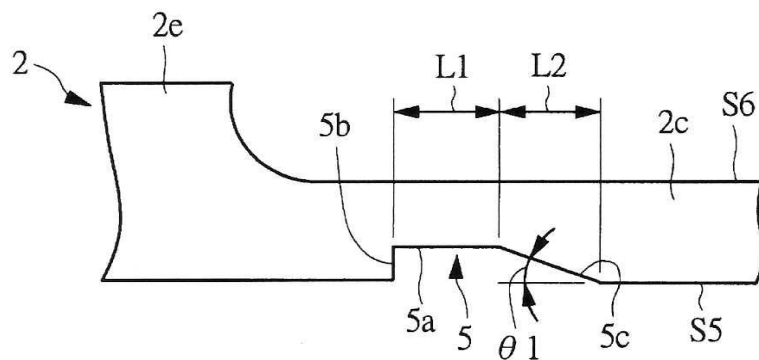
도면12



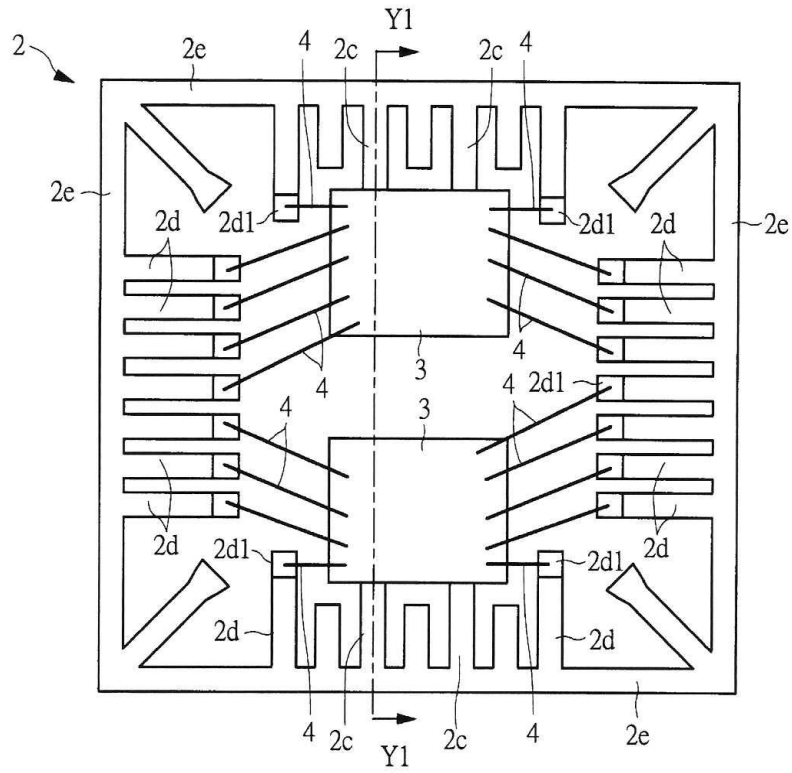
도면13



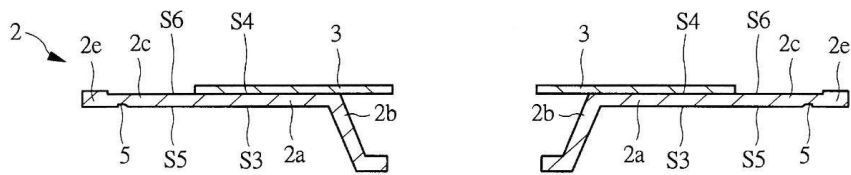
도면14



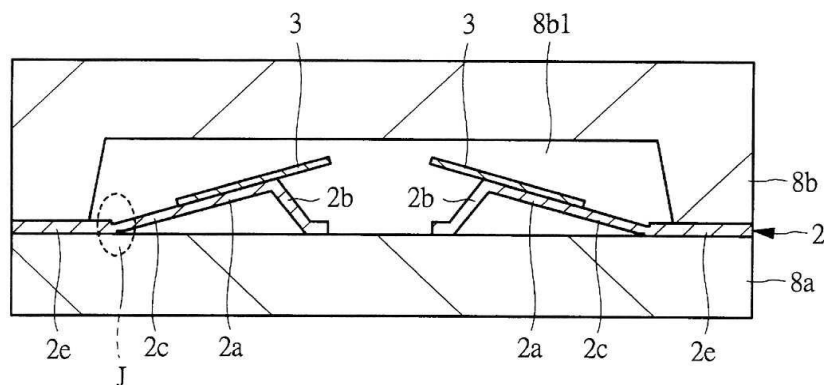
도면15



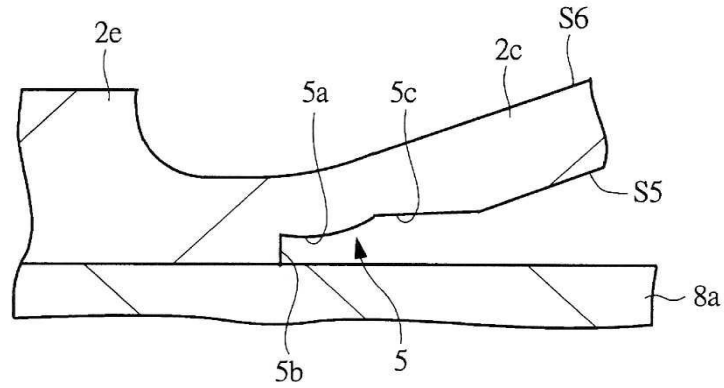
도면16



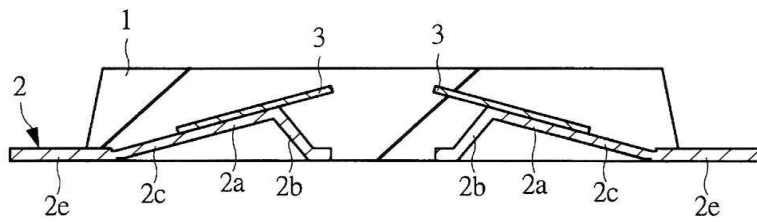
도면17



도면18



도면19



도면20

