



(12)实用新型专利

(10)授权公告号 CN 206712931 U

(45)授权公告日 2017.12.05

(21)申请号 201720334418.5

(22)申请日 2017.03.31

(73)专利权人 深圳市平方兆赫科技有限公司

地址 518100 广东省深圳市龙岗区宝龙社
区宝龙四路海能达科技园B栋4楼

(72)发明人 袁萍 钟艳 朱兴捷 张宏
洪加亮

(74)专利代理机构 广州粤高专利商标代理有限
公司 44102

代理人 廖苑滨 邓义华

(51)Int.Cl.

H04N 5/50(2006.01)

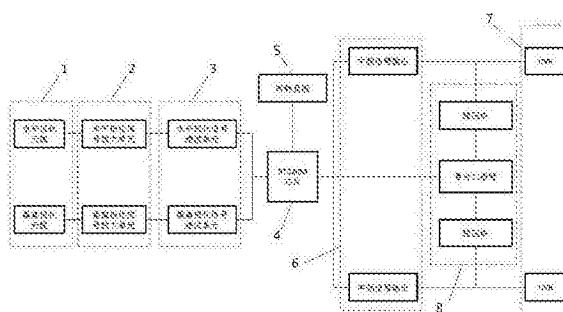
权利要求书1页 说明书5页 附图20页

(54)实用新型名称

一种高频头电路及高频头

(57)摘要

本实用新型公开了一种高频头电路及高频头。该高频头电路包括依次连接的射频信号接收模块、射频信号放大模块、射频信号滤波模块、锁相环架构处理芯片、中频信号输出模块，所述锁相环架构处理芯片的输入端还连接有时钟晶振；所述射频信号滤波模块采用双向平行耦合微带带通滤波器。该高频头电路采用PLL方案设计，采用双向平行耦合微带带通滤波器来实现带通及镜相抑制的作用，不仅实现产品通频带滤波的目的，同时也合理地利用腔体的避空振腔形成屏蔽效果，对于低频干扰信号、寄生电容、电感等具有一定的过滤功能。



1. 一种高频头电路，包括依次连接的射频信号接收模块、射频信号放大模块、射频信号滤波模块、锁相环架构处理芯片、中频信号输出模块，所述锁相环架构处理芯片的输入端还连接有时钟晶振；其特征在于，所述射频信号滤波模块采用双向平行耦合微带带通滤波器。
2. 根据权利要求1所述的高频头电路，其特征在于，所述射频信号接收模块包括水平极化天线和垂直极化天线。
3. 根据权利要求1所述的高频头电路，其特征在于，所述射频信号放大模块包括一级放大器和二级放大器。
4. 根据权利要求1所述的高频头电路，其特征在于，所述时钟晶振为25MHz晶振。
5. 根据权利要求1所述的高频头电路，其特征在于，所述双向平行耦合微带带通滤波器的输入端还连接有滤波电容。
6. 根据权利要求1所述的高频头电路，其特征在于，所述中频输出模块包括四路中频输出或者两路中频输出。
7. 根据权利要求1所述的高频头电路，其特征在于，该高频头电路还包括供电电路，所述供电电路包括与所述中频信号输出模块中的每一路中频信号输出连接的稳压块，每两个稳压块连接至一个复合二极管，所述复合二极管与所述锁相环架构处理芯片连接。
8. 根据权利要求1所述的高频头电路，其特征在于，所述锁相环架构处理芯片的型号为RT320M或者RT340M。
9. 一种高频头，其特征在于，包括高频头腔体及设置在所述高频头腔体上的线路板，所述线路板上设置有权利要求1-8中任一所述的高频头电路。
10. 根据权利要求9所述的高频头，其特征在于，所述时钟晶振设置在所述线路板的背面。

一种高频头电路及高频头

技术领域

[0001] 本实用新型涉及通讯用降频器领域,尤其涉及一种高频头电路及高频头。

背景技术

[0002] 因市场客户竞争力需求,以往采用DRO方案(分离元件)设计的高频头产品已无法满足生产成本竞争优势;且产品稳定性受环境影响大。随着卫星产品的广泛使用,高频头设计在PLL方案(锁相环)技术也越来越成熟,且产品市场认可度也在逐步提升;但现有的PLL方案高频头仍延用DRO方案的设计匹配模式,产品在设计成本上面并未完全发挥出PLL方案优势。

实用新型内容

[0003] 为了解决上述现有技术的不足,本实用新型提供一种高频头电路及高频头。该高频头电路采用PLL方案设计,采用双向平行耦合微带带通滤波器来实现带通及镜相抑制的作用,不仅实现产品通频带滤波的目的,同时也合理地利用腔体的避空振腔形成屏蔽效果,对于低频干扰信号、寄生电容、电感等具有一定的过滤功能。

[0004] 本实用新型所要解决的技术问题通过以下技术方案予以实现:

[0005] 一种高频头电路,包括依次连接的射频信号接收模块、射频信号放大模块、射频信号滤波模块、锁相环架构处理芯片、中频信号输出模块,所述锁相环架构处理芯片的输入端还连接有时钟晶振;所述射频信号滤波模块采用双向平行耦合微带带通滤波器。

[0006] 进一步地,所述射频信号接收模块包括水平极化天线和垂直极化天线。

[0007] 进一步地,所述射频信号放大模块包括一级放大器和二级放大器。

[0008] 进一步地,所述时钟晶振为25MHz晶振。

[0009] 进一步地,所述双向平行耦合微带带通滤波器的输入端还连接有滤波电容。

[0010] 进一步地,所述中频输出模块包括四路中频输出或者两路中频输出。

[0011] 进一步地,该高频头电路还包括供电电路,所述供电电路包括与所述中频信号输出模块中的每一路中频信号输出连接的稳压块,每两个稳压块连接至一个复合二极管,所述复合二极管与所述锁相环架构处理芯片连接。

[0012] 进一步地,所述锁相环架构处理芯片的型号为RT320M或者RT340M。

[0013] 一种高频头,包括高频头腔体及设置在所述高频头腔体上的线路板,所述线路板上设置上述的高频头电路。

[0014] 进一步地,所述时钟晶振设置在所述线路板的背面。

[0015] 本实用新型具有如下有益效果:该高频头电路采用PLL方案设计,采用双向平行耦合微带带通滤波器来实现带通及镜相抑制的作用,不仅实现产品通频带滤波的目的,同时也合理地利用腔体的避空振腔形成屏蔽效果,对于低频干扰信号、寄生电容、电感等具有一定的过滤功能。

附图说明

- [0016] 图1为本实用新型提供的两路输出的高频头电路的框图；
- [0017] 图2为本实用新型提供的两路输出的高频头电路的电路原理图；
- [0018] 图3为图2所示的高频头电路的电路原理图的垂直极化天线、垂直极化信号放大单元和垂直极化信号滤波单元的局部放大图；
- [0019] 图4为图2所示的高频头电路的电路原理图的水平极化天线、水平极化信号放大单元和水平极化信号滤波单元的局部放大图；
- [0020] 图5为图2所示的高频头电路的电路原理图的滤波电容和双向平行耦合微带带通滤波器的局部放大图；
- [0021] 图6为图2所示的高频头电路的电路原理图的锁相环架构处理芯片的局部放大图；
- [0022] 图7为图2所示的高频头电路的电路原理图的中频信号输出模块和供电电路的局部放大图；
- [0023] 图8为图2所示的高频头电路的电路原理图的时钟晶振的局部放大图；
- [0024] 图9为本实用新型提供的四路输出的高频头电路的框图；
- [0025] 图10为本实用新型提供的四路输出的高频头电路的电路远离图；
- [0026] 图11为图10所示的高频头电路的电路原理图的垂直极化天线、垂直极化信号放大单元和垂直极化信号滤波单元的局部放大图；
- [0027] 图12为图10所示的高频头电路的电路原理图的水平极化天线、水平极化信号放大单元和水平极化信号滤波单元的局部放大图；
- [0028] 图13为图10所示的高频头电路的电路原理图的滤波电容和双向平行耦合微带带通滤波器的局部放大图；
- [0029] 图14为图10所示的高频头电路的电路原理图的锁相环架构处理芯片的局部放大图；
- [0030] 图15为图10所示的高频头电路的电路原理图的中频信号输出模块和供电电路的局部放大图；
- [0031] 图16为图10所示的高频头电路的电路原理图的时钟晶振的局部放大图；
- [0032] 图17为本实用新型提供的具有两个输出口的高频头的立体图1；
- [0033] 图18为本实用新型提供的具有两个输出口的高频头的立体图2；
- [0034] 图19为本实用新型提供的具有四个输出口的高频头的立体图1；
- [0035] 图20为本实用新型提供的具有四个输出口的高频头的立体图2。

具体实施方式

- [0036] 下面结合附图和实施例对本实用新型进行详细的说明。
- [0037] 实施例一
- [0038] 如图1和2所示，一种高频头电路，包括依次连接的射频信号接收模块1、射频信号放大模块2、射频信号滤波模块3、锁相环架构处理芯片4、中频信号输出模块6，所述锁相环架构处理芯片4的输入端还连接有时钟晶振5；所述射频信号滤波模块3采用双向平行耦合微带带通滤波器34。

[0039] 该高频头电路采用PLL(锁相环)方案设计,采用双向平行耦合微带通滤波器34来实现带通及镜相抑制的作用,不仅实现产品通频带滤波的目的,同时也合理地利用腔体的避空振腔形成屏蔽效果,对于低频干扰信号、寄生电容、电感等具有一定的过滤功能。

[0040] 如图3-8所示,所述射频信号接收模块1包括水平极化天线12和垂直极化天线11,分别用于接收空间水平和垂直方向上的ku波段射频信号,ku波段频率为10.7~12.75GHz;

[0041] 所述射频信号放大模块2包括水平极化信号放大单元22和垂直极化信号放大单元21,所述水平极化信号放大单元22和垂直极化信号放大单元21均采用两级放大器结构,用于放大接收到的ku波段射频信号;

[0042] 所述射频信号滤波模块3包括水平极化信号滤波单元32和垂直极化信号滤波单元31,所述水平极化信号滤波单元32和垂直极化信号滤波单元31均采用滤波电容33(3pF)+双向平行耦合微带通滤波器34相连接的结构,用于滤除10.7~12.75GHz之外的射频信号;

[0043] 所述锁相环架构处理芯片4为台湾宏观微电子股份有限公司生产的型号为RT320M的高频头芯片,采用2输入2输出的锁相环架构,集成有射频功分、高低频本振振荡、混频、中频滤波、中频放大和切换开关等功能;

[0044] 所述时钟晶振5采用25MHz晶振,用于激发并启动所述锁相环架构处理芯片4的内部逻辑电路;当所述锁相环架构处理芯片4被所述时钟晶振5激发启动后,将放大后的射频信号进行功分,形成低频波段(10.7GHz~11.7GHz)和高频波段(11.7GHz~12.75GHz),并对低频波段产生9.75GHz的低频振荡和对高频波段产生10.6GHz的高频振荡,然后进行混频并形成两路中频信号0.95GHz~1.95GHz和1.1GHz~2.15GHz,并对两路中频信号进行滤波后输出至所述中频信号输出模块6;

[0045] 所述中频信号输出模块6包括两路中频信号输出,连接至外置的DVB组7,所述DVB组7负责将中频信号接收并处理解码呈音频信号和视频信号。

[0046] 该高频头电路在所述射频信号滤波模块3中采用滤波电容33(3pF)+双向平行耦合微带通滤波器34的形式对射频信号进行滤波,通过滤波电容33(3pF)将低频干扰信号抑制后输出到双向平行耦合微带通滤波器34,再进行带通频率滤波处理和镜像抑制。在现有的PLL方案高频头电路中,为达到相同的滤波效果,且具有镜相抑制功能,一般需要采用至少三阶平行滤波器或发夹滤波器,才能达到有效目的。

[0047] 如图8所示,该高频头电路还包括供电电路8,所述供电电路8包括分别与所述中频信号输出模块6的两路中频信号输出连接的第一稳压块和第二稳压块,所述第一稳压块和第二稳压块连接至一个复合二极管,所述复合二极管与所述锁相环架构处理芯片4连接。

[0048] 在该高频头电路在完成接收及传送处理射频信号的过程中,所述外置的DVB组7既是输出信号的解码端,也是高频头的电源端,所述稳压块用于DVB向各级元件提供稳定的工作电压,所述复合二极管用于防止DVB向各级元件输出的工作电压反向回窜。

[0049] 在现有技术中,为防止稳压块向高频头电路的各前端元件输出的工作电压反向回窜,每个稳压块均连接有一个单向二极管,任何单路信号经稳压块输出均需匹配单向二极管来向各级芯片及放大器供电;当所述稳压块分别配置单向二极管时,高频电路线路布局占用面积大,材料成本高。

[0050] 本实用新型的高频头电路在电压经稳压块稳压输出后,复合二极管所组成的电压连接线路输入端口由原本的两路变成一路,不仅能降低高频头的生产成本,而且DVB供电

线路的占用面积减小,与中频输出信号交叉点明显减少,从而实现PCB板布局时,输出端口的中频信号输出线路与DVB的供电电路8有效隔离,提高产品本身信号的抗干扰能力及稳定性,以及减小线路的面积,简化线路设计。

[0051] 实施例二

[0052] 如图9和10所示,一种高频头电路,包括依次连接的射频信号接收模块1、射频信号放大模块2、射频信号滤波模块3、锁相环架构处理芯片4、中频信号输出模块6,所述锁相环架构处理芯片4的输入端还连接有时钟晶振5;所述射频信号滤波模块3采用双向平行耦合微带带通滤波器34。

[0053] 该高频头电路采用PLL(锁相环)方案设计,在所述射频信号滤波模块3中采用滤波电容33(3pF)+双向平行耦合微带带通滤波器34的形式对射频信号进行滤波,通过滤波电容33(3pF)将低频干扰信号抑制后输出到双向平行耦合微带带通滤波器34,再进行带通频率滤波处理和镜像抑制。在现有的PLL方案高频头电路中,为达到相同的滤波效果,且具有镜相抑制功能,一般需要采用至少三阶平行滤波器或发夹滤波器,才能达到有效目的;本实用新型的高频头电路采用双向平行耦合微带带通滤波器34来实现带通及镜相抑制的作用,不仅实现产品通频带滤波的目的,同时也合理地利用腔体的避空振腔形成屏蔽效果,对于低频干扰信号、寄生电容、电感等具有一定过滤功能。

[0054] 如图11-16所示,所述射频信号接收模块1包括水平极化天线12和垂直极化天线11,分别用于接收空间水平和垂直方向上的ku波段射频信号,ku波段频率为10.7~12.75GHz;

[0055] 所述射频信号放大模块2包括水平极化信号两级放大单元和垂直极化信号两级放大单元,用于放大接收到的ku波段射频信号;

[0056] 所述射频信号滤波模块3包括水平极化信号滤波单元32和垂直极化信号滤波单元31,所述水平极化信号滤波单元32和垂直极化信号滤波单元31均采用滤波电容33(3pF)+双向平行耦合微带带通滤波器34相连接的结构,用于滤除10.7~12.75GHz之外的射频信号;

[0057] 所述锁相环架构处理芯片4为台湾宏观微电子股份有限公司生产的型号为RT340M的高频头芯片,采用2输入4输出的锁相环架构,集成有射频功分、高低频本振振荡、混频、中频滤波、中频放大和切换开关等功能;

[0058] 所述时钟晶振5采用25MHz晶振,用于激发并启动所述锁相环架构处理芯片4的内部逻辑电路;当所述锁相环架构处理芯片4被所述时钟晶振5激发启动后,将放大后的射频信号进行功分,形成低频波段(10.7GHz~11.7GHz)和高频波段(11.7GHz~12.75GHz),并对低频波段产生9.75GHz的低频振荡和对高频波段产生10.6GHz的高频振荡,然后进行混频并形成四路中频信号0.95GHz、1.95GHz、1.1GHz和2.15GHz,并对四路中频信号进行滤波后输出至所述中频信号输出模块6;

[0059] 所述中频信号输出模块6包括四路中频信号输出,连接至外置的DVB组7,所述DVB组7负责将中频信号接收并处理解码呈音频信号和视频信号。

[0060] 该高频头电路在所述射频信号滤波模块3中采用滤波电容33(3pF)+双向平行耦合微带带通滤波器34的形式对射频信号进行滤波,通过滤波电容33(3pF)将低频干扰信号抑制后输出到双向平行耦合微带带通滤波器34,再进行带通频率滤波处理和镜像抑制。在现有的PLL方案高频头电路中,为达到相同的滤波效果,且具有镜相抑制功能,一般需要采用

至少三阶平行滤波器或发夹滤波器,才能达到有效目的。

[0061] 如图16所示,该高频头电路还包括供电电路8,所述供电电路8包括分别与所述中频信号输出模块6的四路中频信号输出连接的第一稳压块、第二稳压块、第三稳压块和第四稳压块,所述第一稳压块和第二稳压块连接至第一复合二极管,所述第三稳压块和第四稳压块连接至第二复合二极管,所述第一复合二极管和第二复合二极管分别与所述锁相环架构处理芯片4连接。

[0062] 在该高频头电路在完成接收及传送处理射频信号的过程中,所述外置的DVB组7既是输出信号的解码端,也是高频头的电源端,所述稳压块用于DVB向各级元件提供稳定的工作电压,所述复合二极管用于防止DVB向各级元件输出的工作电压反向回窜。

[0063] 在现有技术中,为防止稳压块向高频头电路的各前端元件输出的工作电压反向回窜,每个稳压块均连接有一个单向二极管,任何单路信号经稳压块输出均需匹配单向二极管来向各级芯片及放大器供电;当所述稳压块分别配置单向二极管时,高频电路线路布局占用面积大,材料成本高。

[0064] 本实用新型的高频头电路在电压经稳压块稳压输出后,复合二极管所组成的电压连接线路输入端口由原本的四路变成两路,不仅能降低高频头的生产成本,而且DVB供电线路的占用面积减小,与中频输出信号交叉点明显减少,从而实现PCB板布局时,输出端口的中频信号输出线路与DVB的供电电路8有效隔离,提高产品本身信号的抗干扰能力及稳定性,以及减小线路的面积,简化线路设计。

[0065] 实施例三

[0066] 如图17和18所示,一种高频头,包括高频头腔体及设置在所述高频头腔体上的线路板,所述线路板上设置实施例一或实施例二中所述的高频头电路,所述高频头腔体包括波导管9、分别与所述波导管9两端连接的波导口10和承载板11,所述线路板安装在所述承载板11上;所述时钟晶振5设置在所述线路板的背面。

[0067] 其中,如图17所示的为具有两个输出口12的高频头,适用于实施例一中所述的高频头电路,如图18所示的为具有四个输出口12的高频头,适用于实施例二中所述的高频头电路。

[0068] 以上所述实施例仅表达了本实用新型的实施方式,其描述较为具体和详细,但并不能因此而理解为对本实用新型专利范围的限制,但凡采用等同替换或等效变换的形式所获得的技术方案,均应落在本实用新型的保护范围之内。

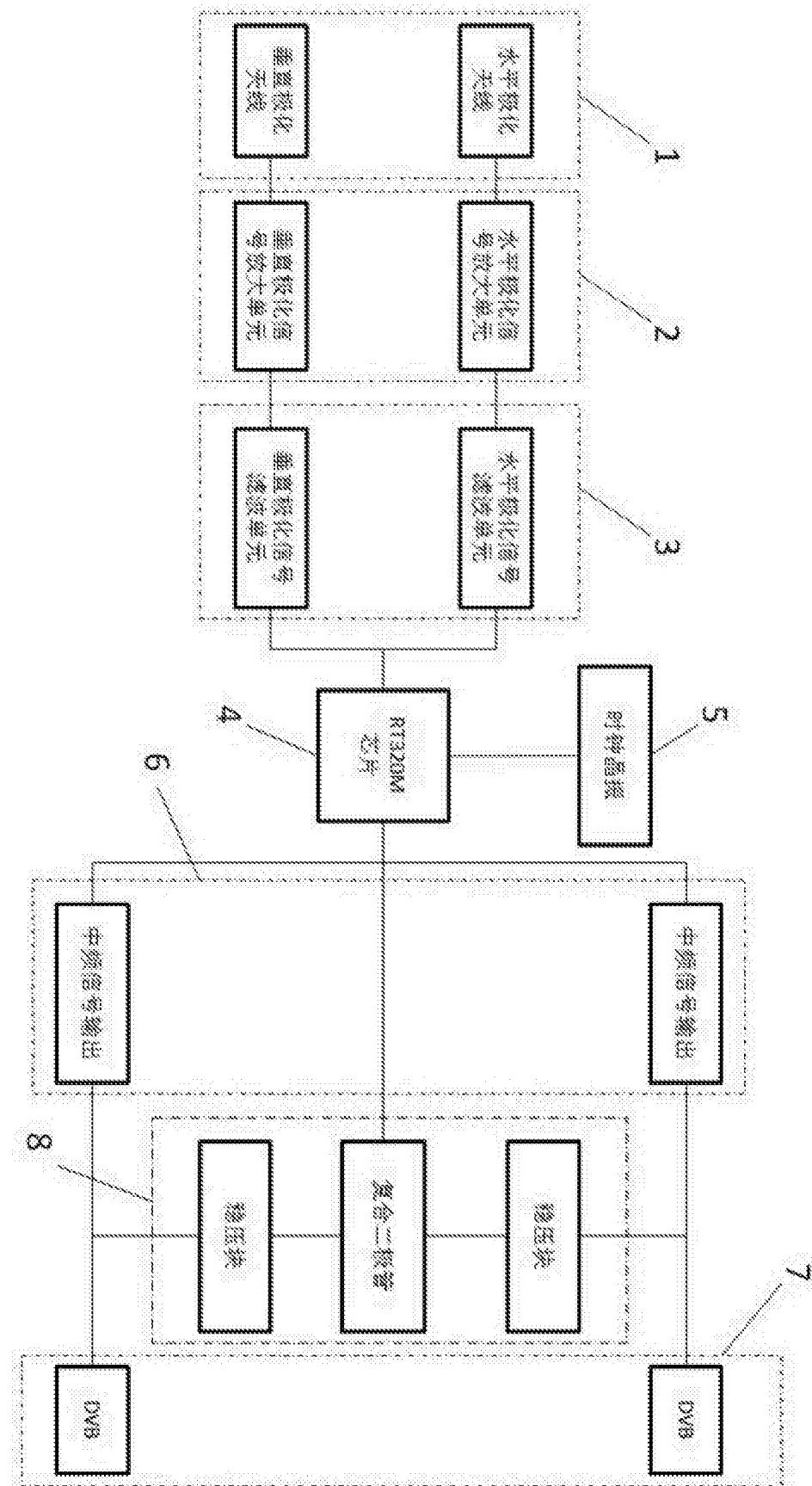


图1

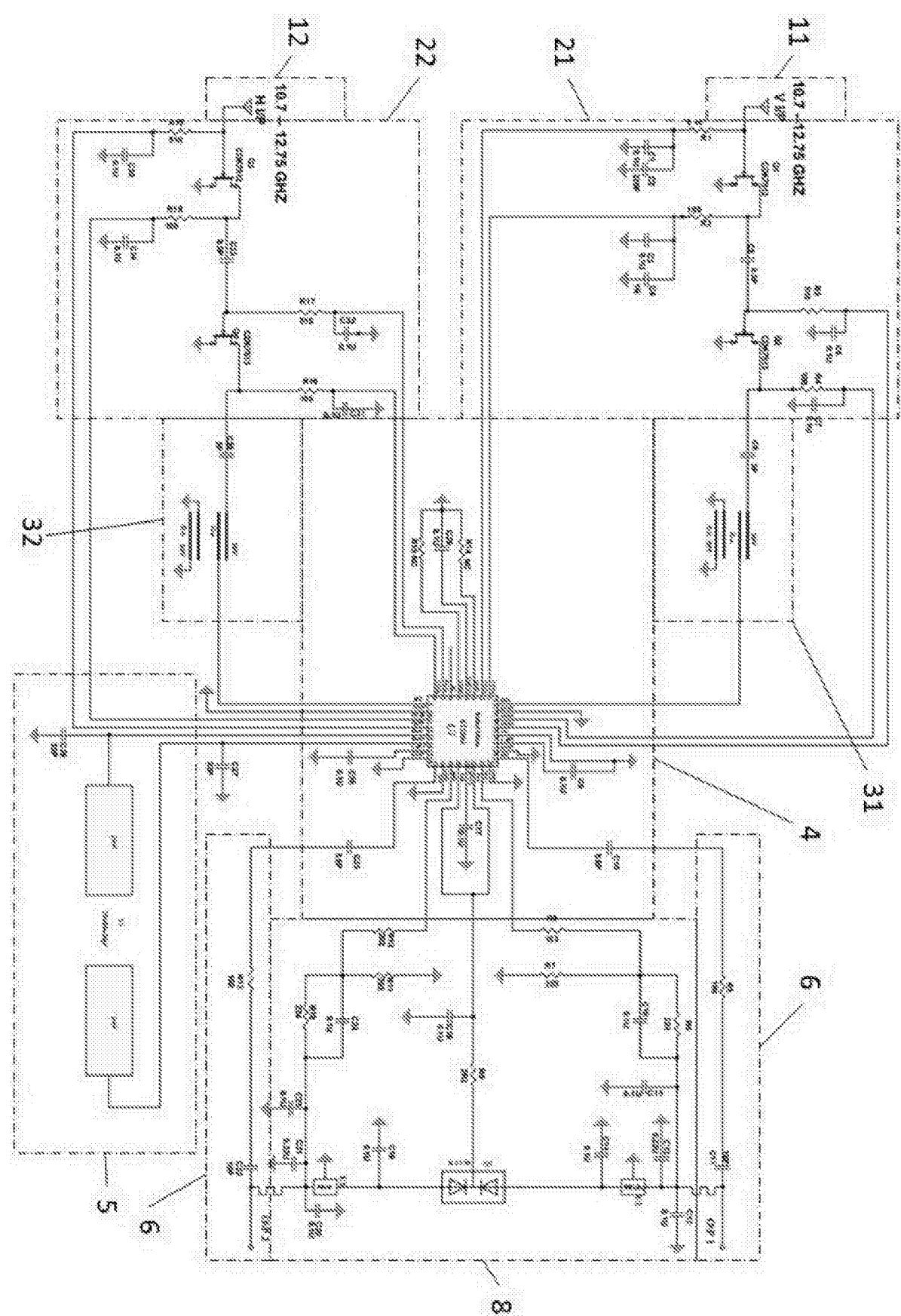


图2

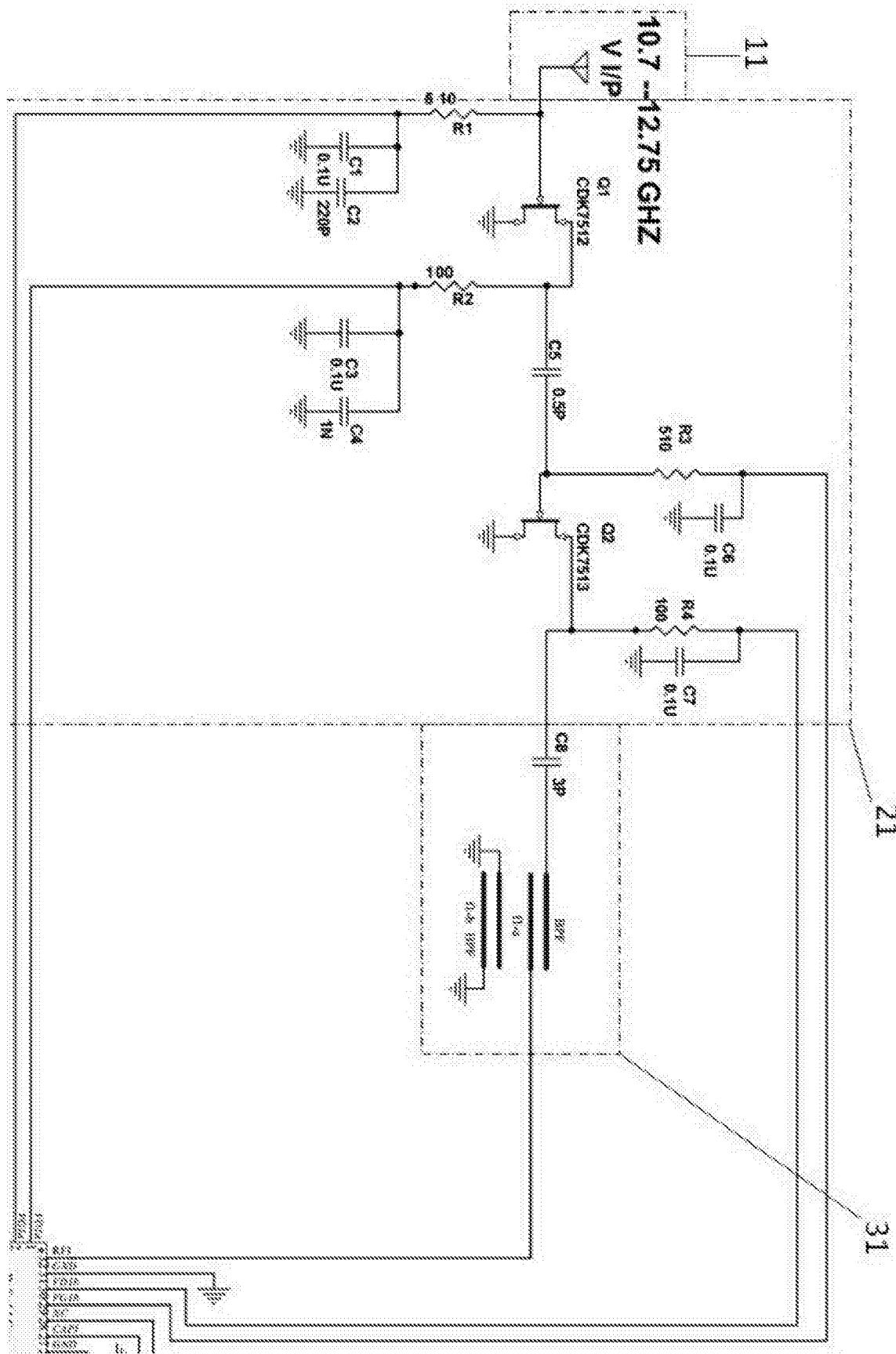


图3

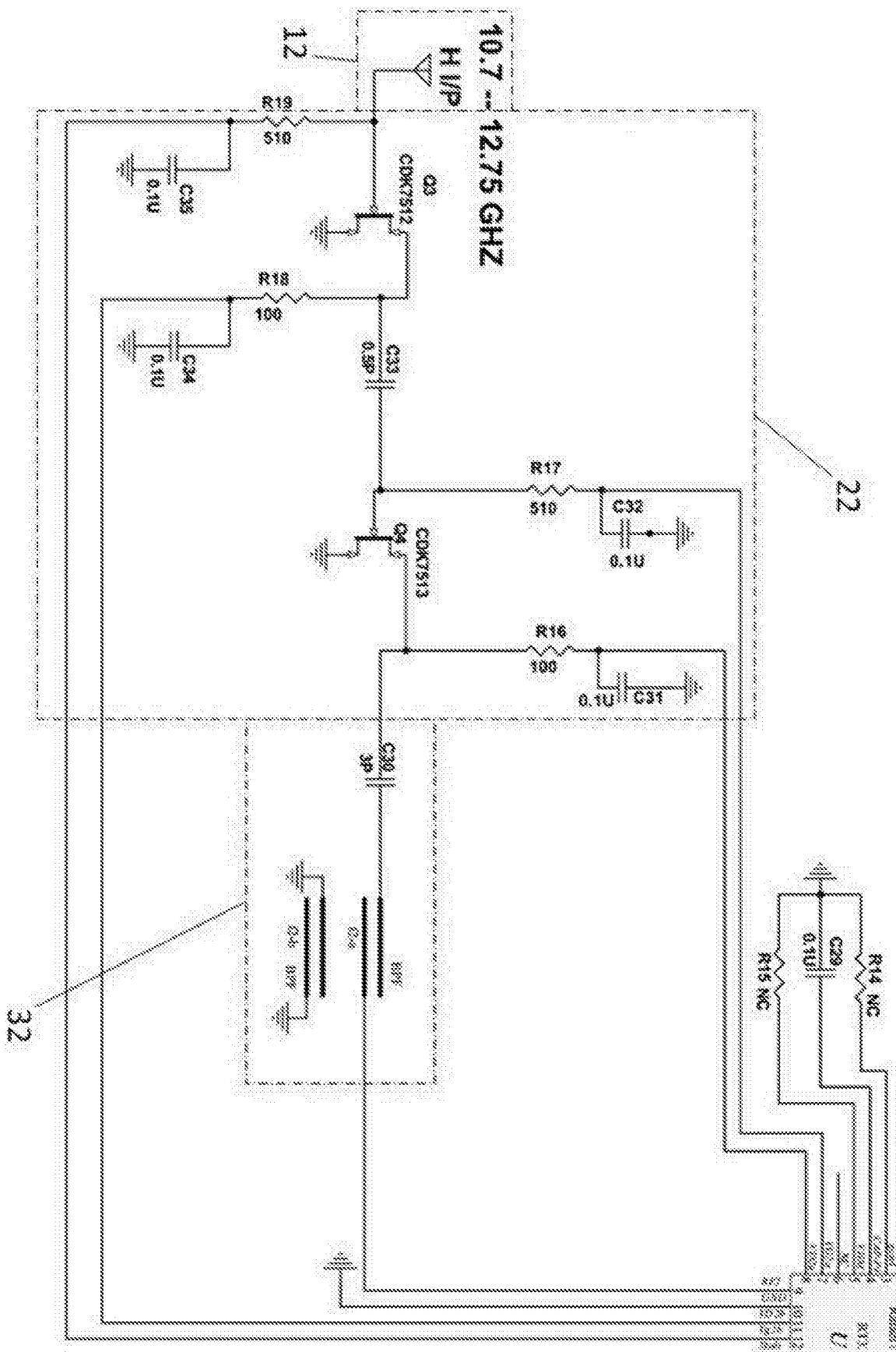


图4

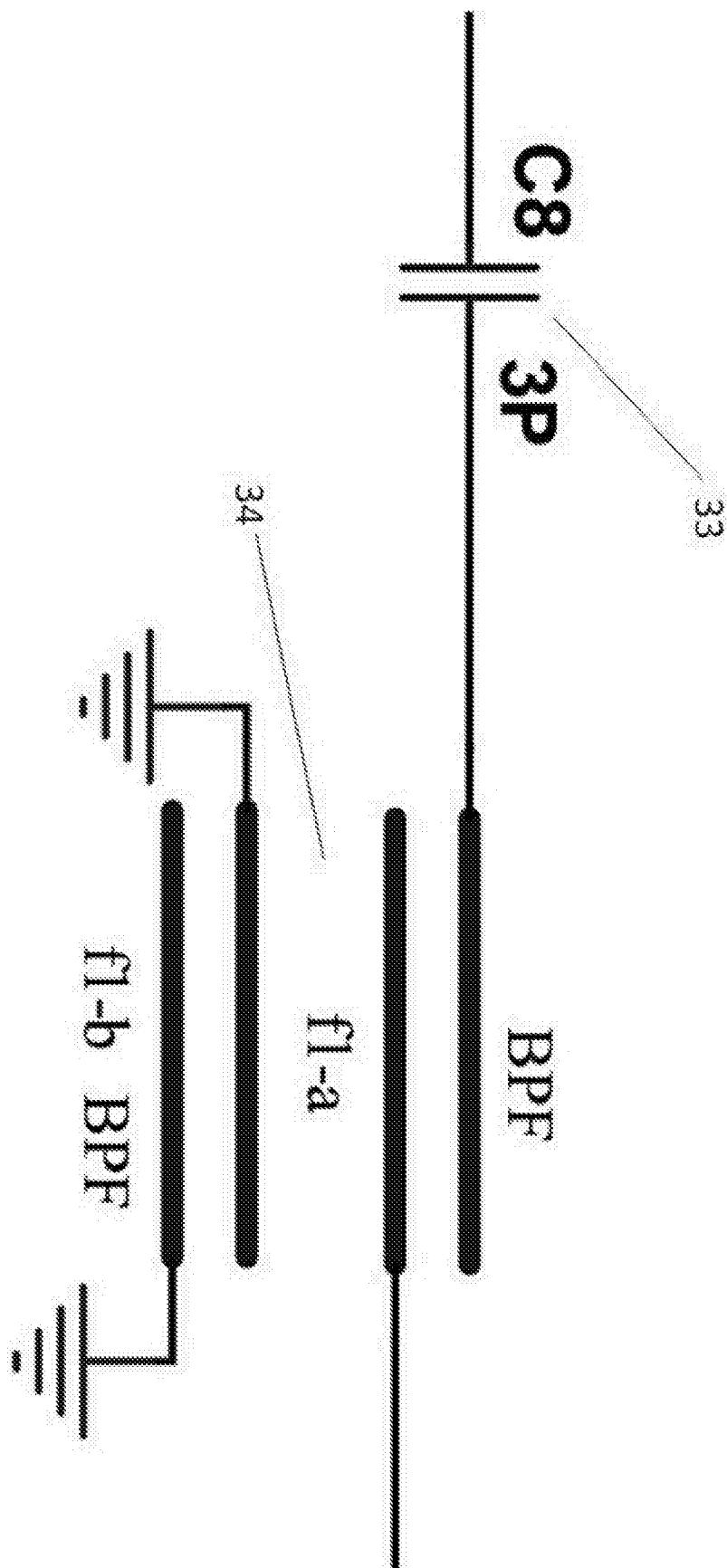


图5

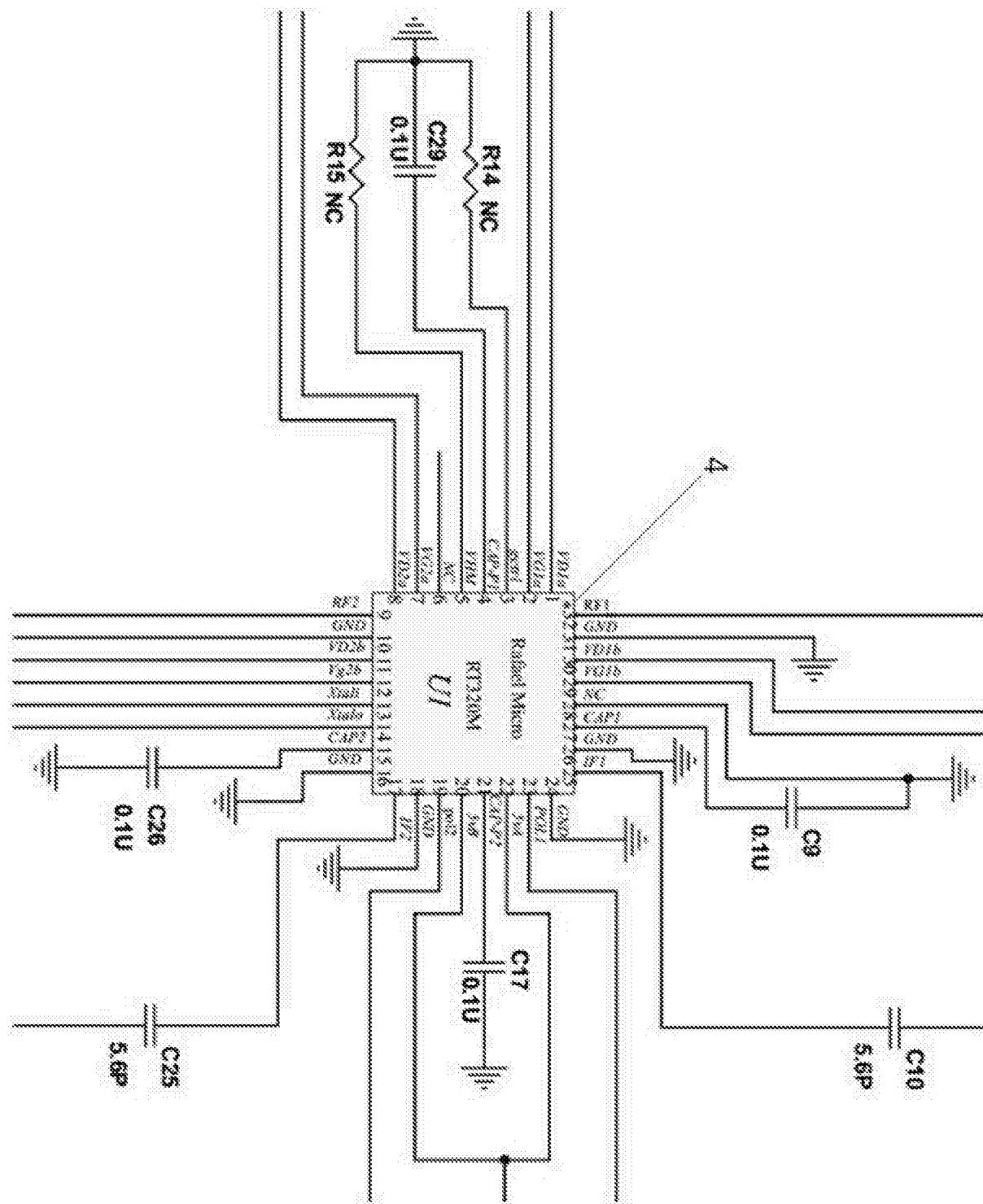


图6

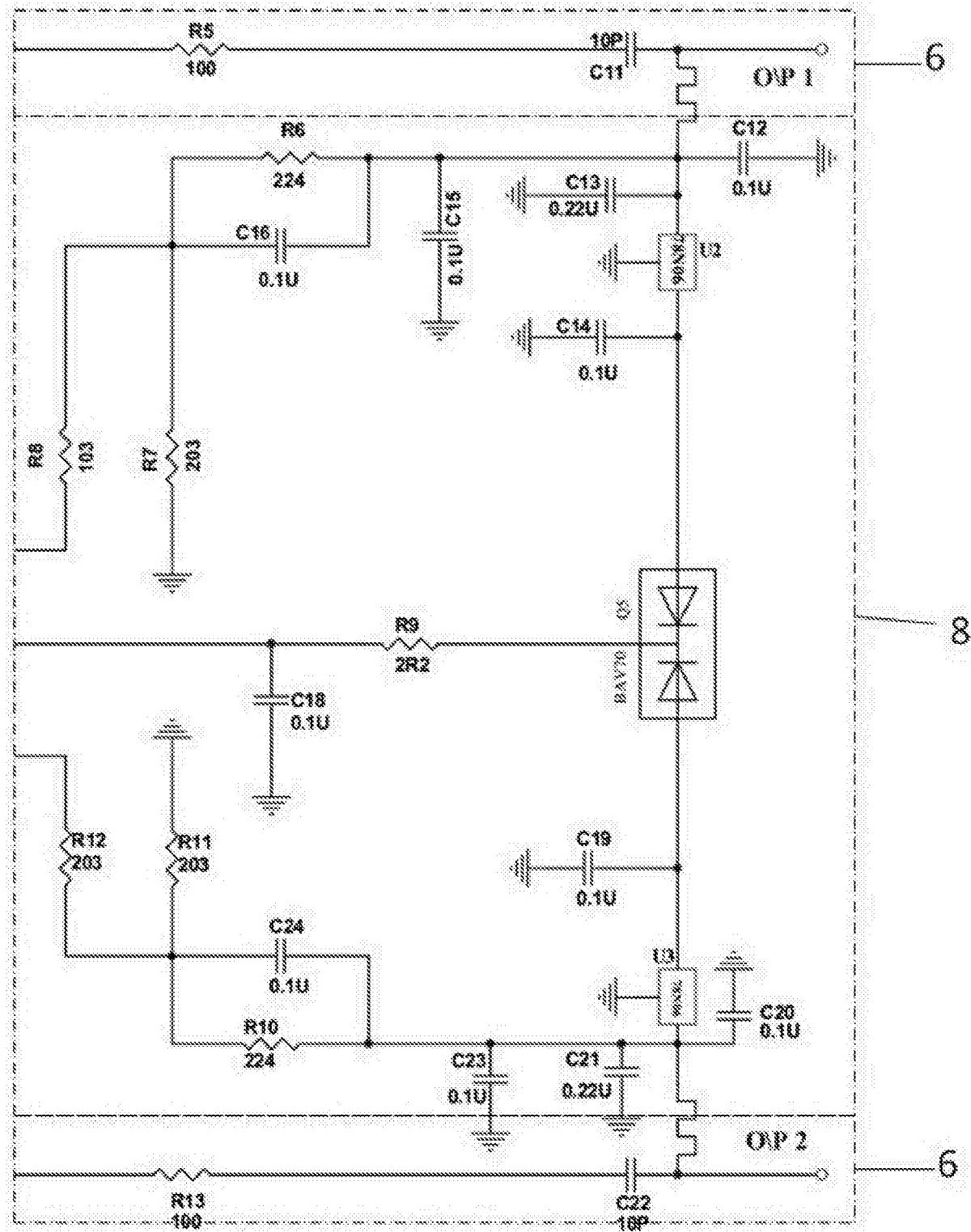


图7

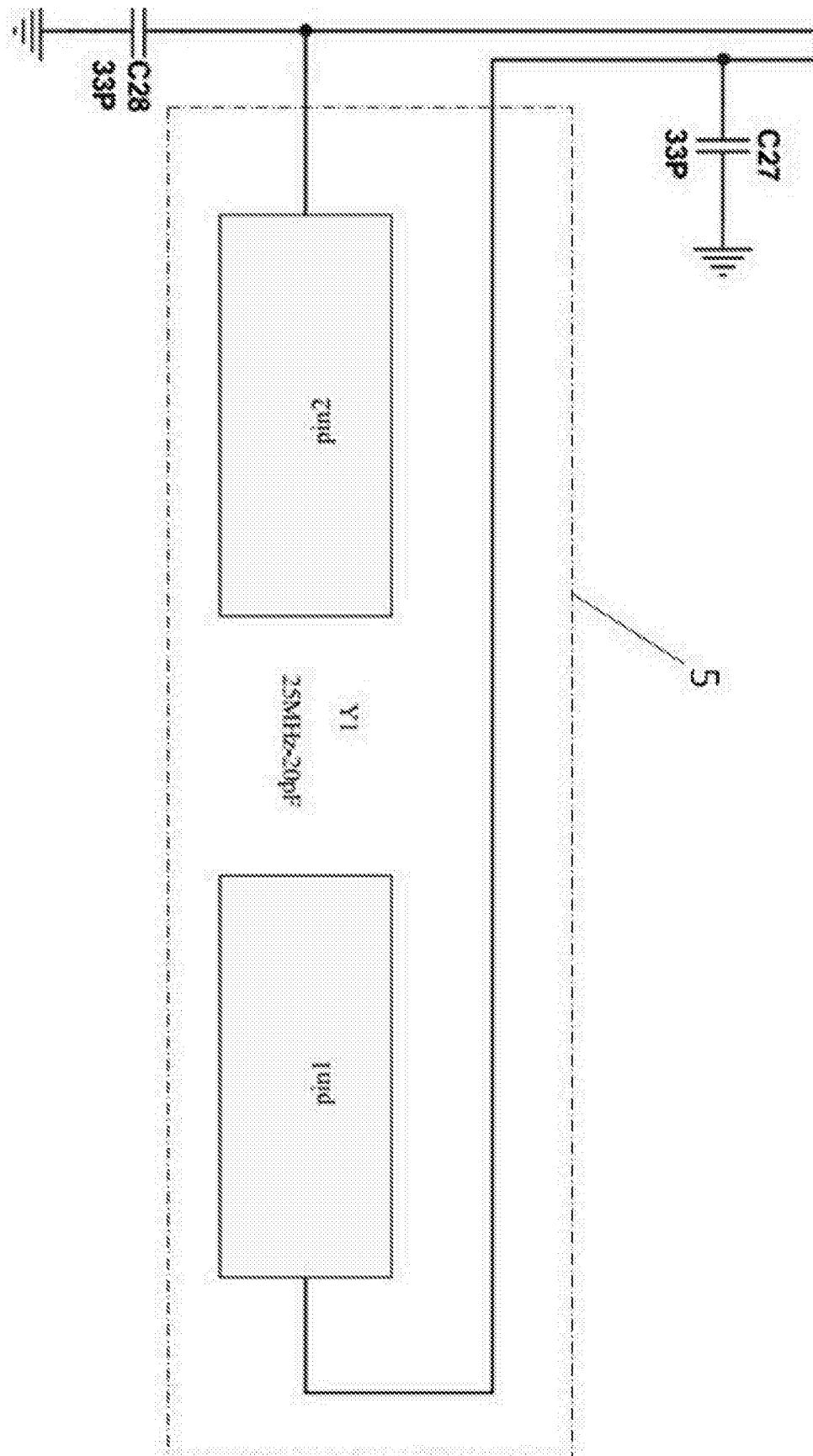


图8

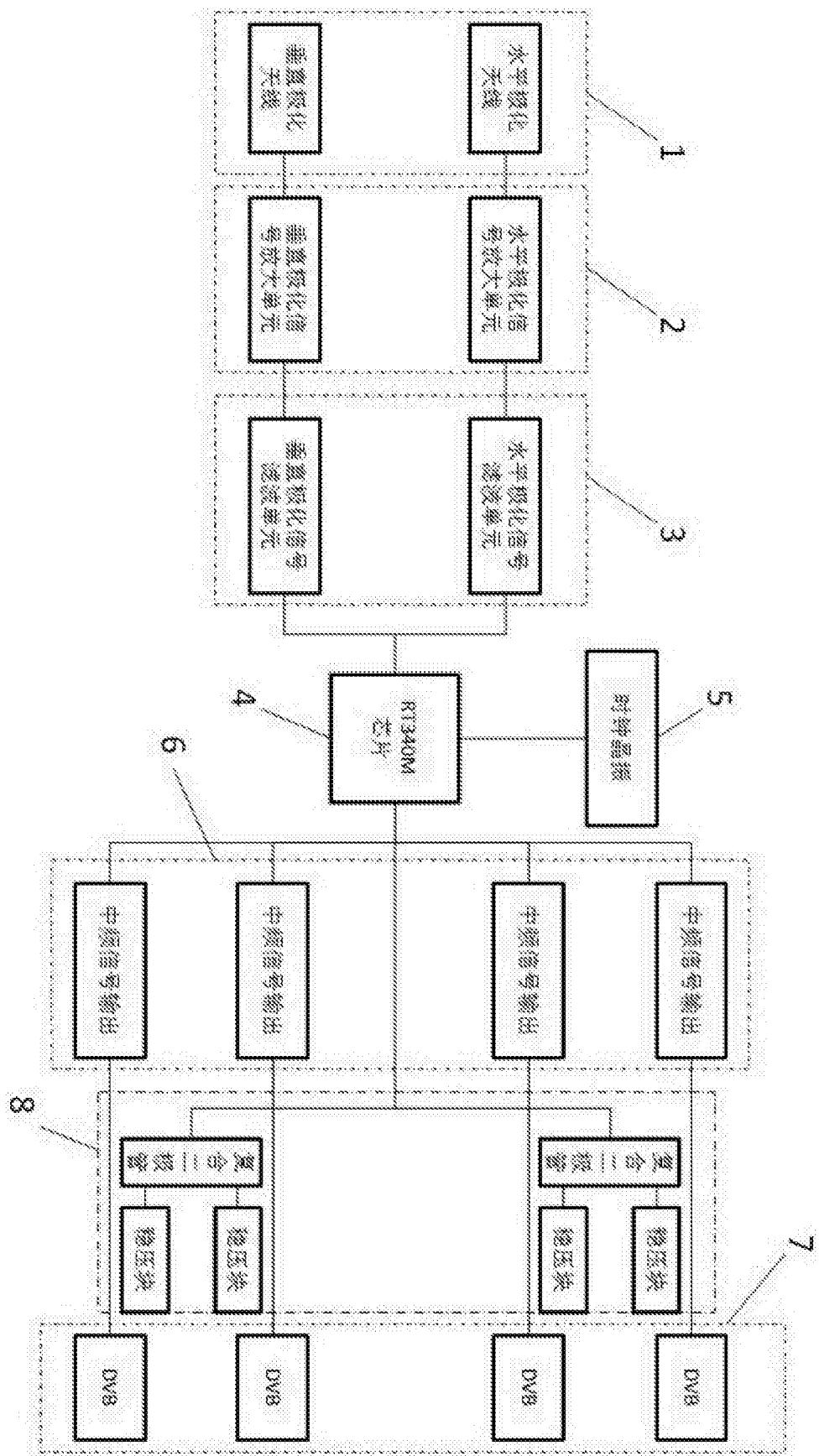


图9

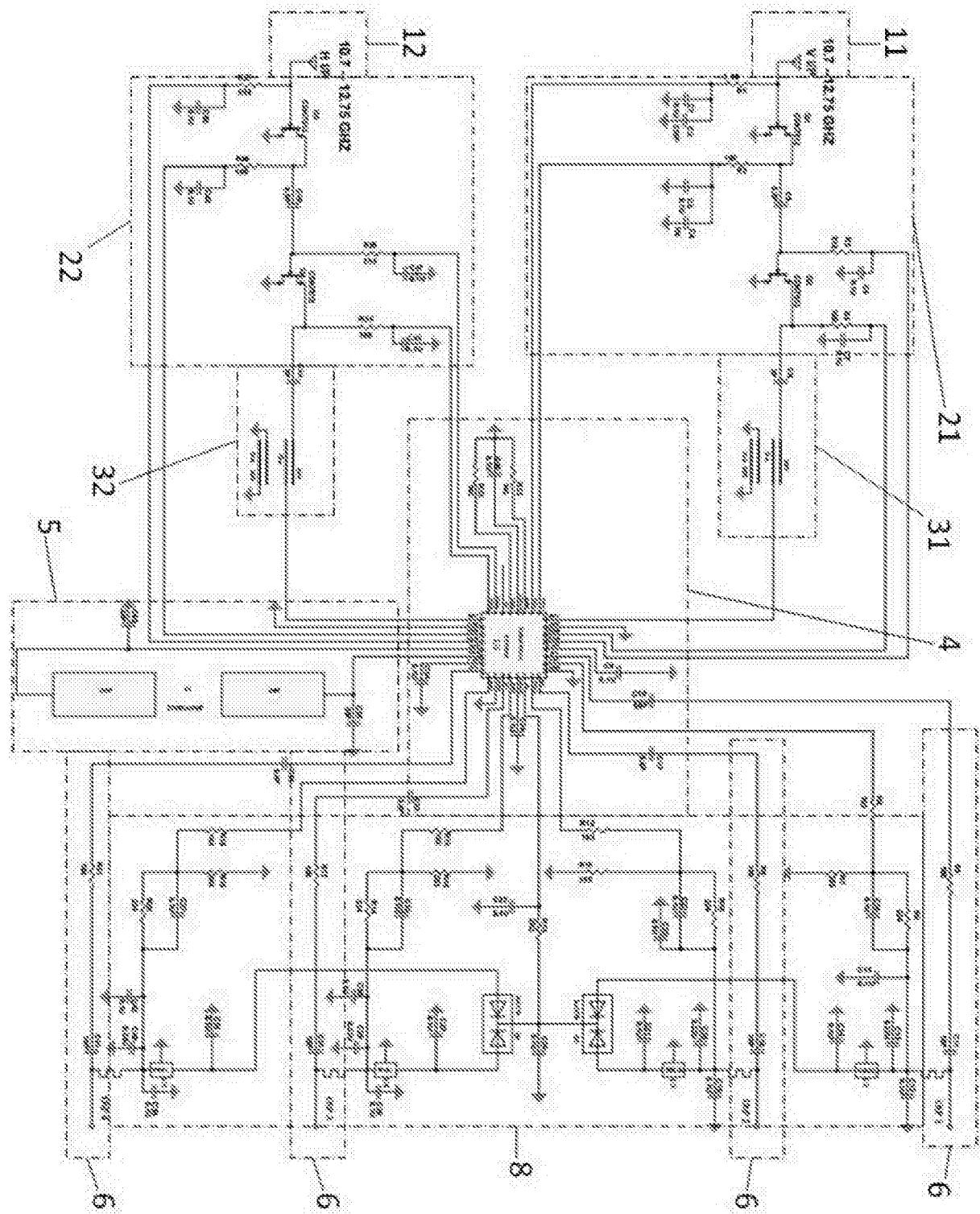


图10

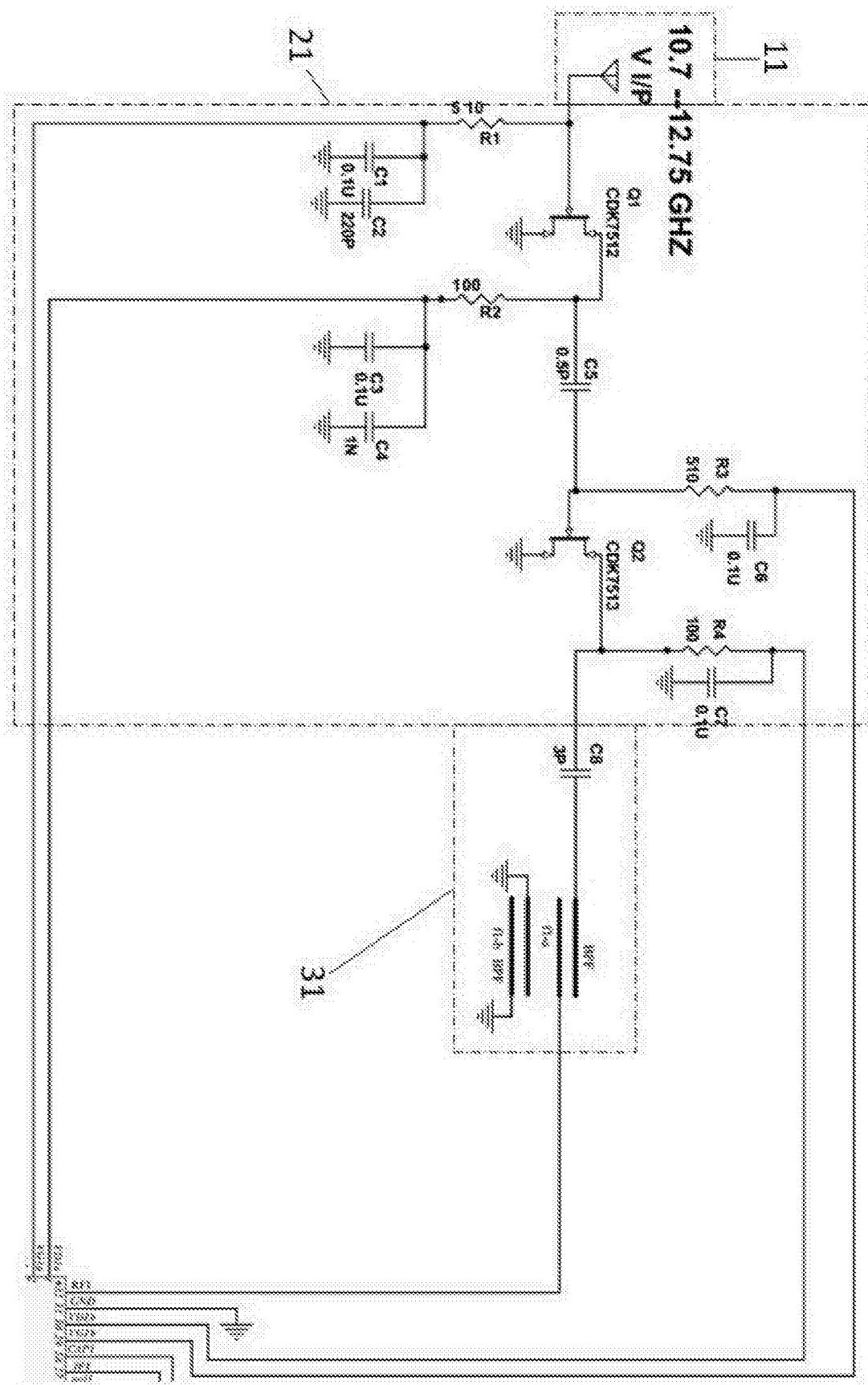


图11

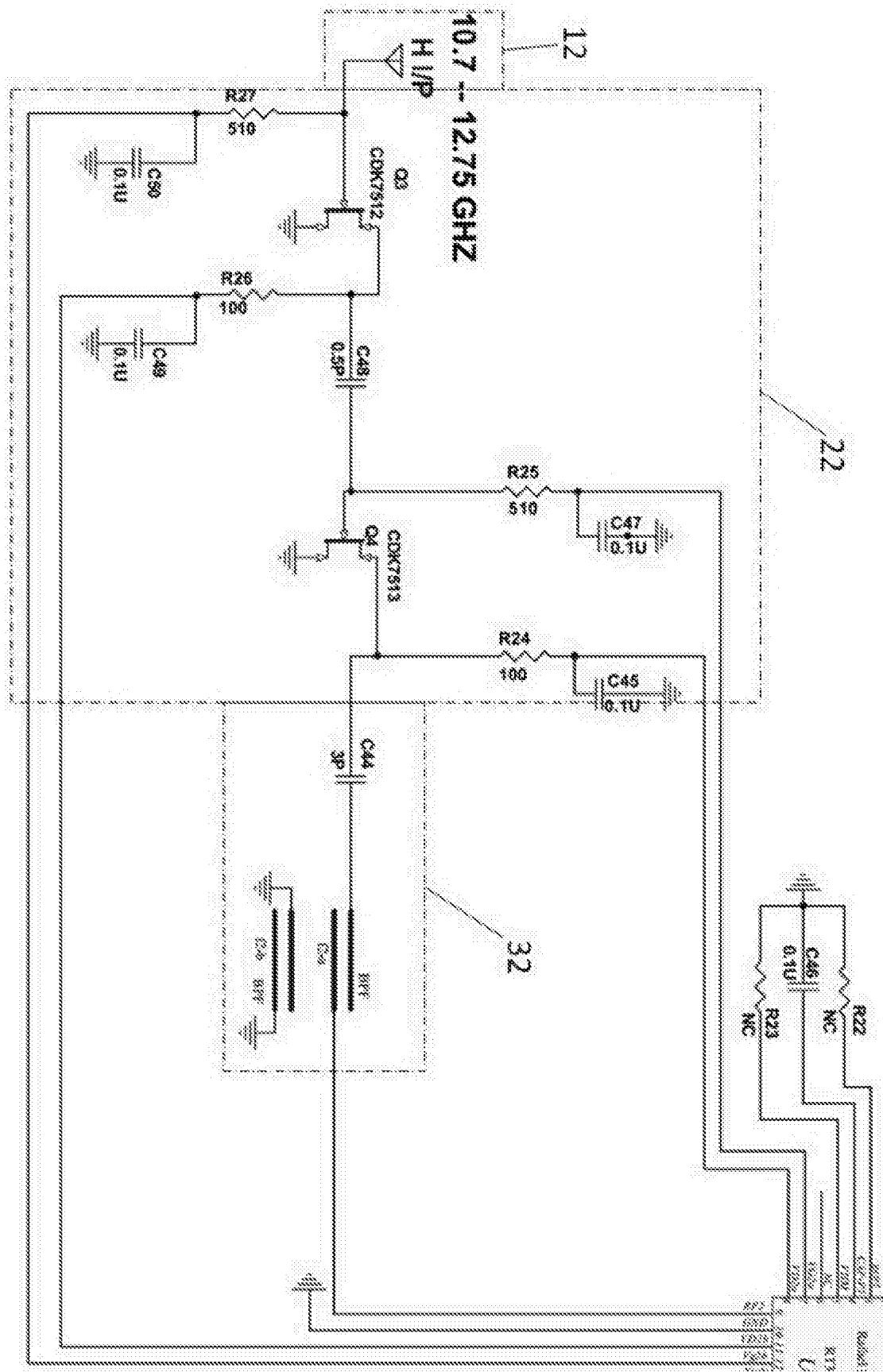


图12

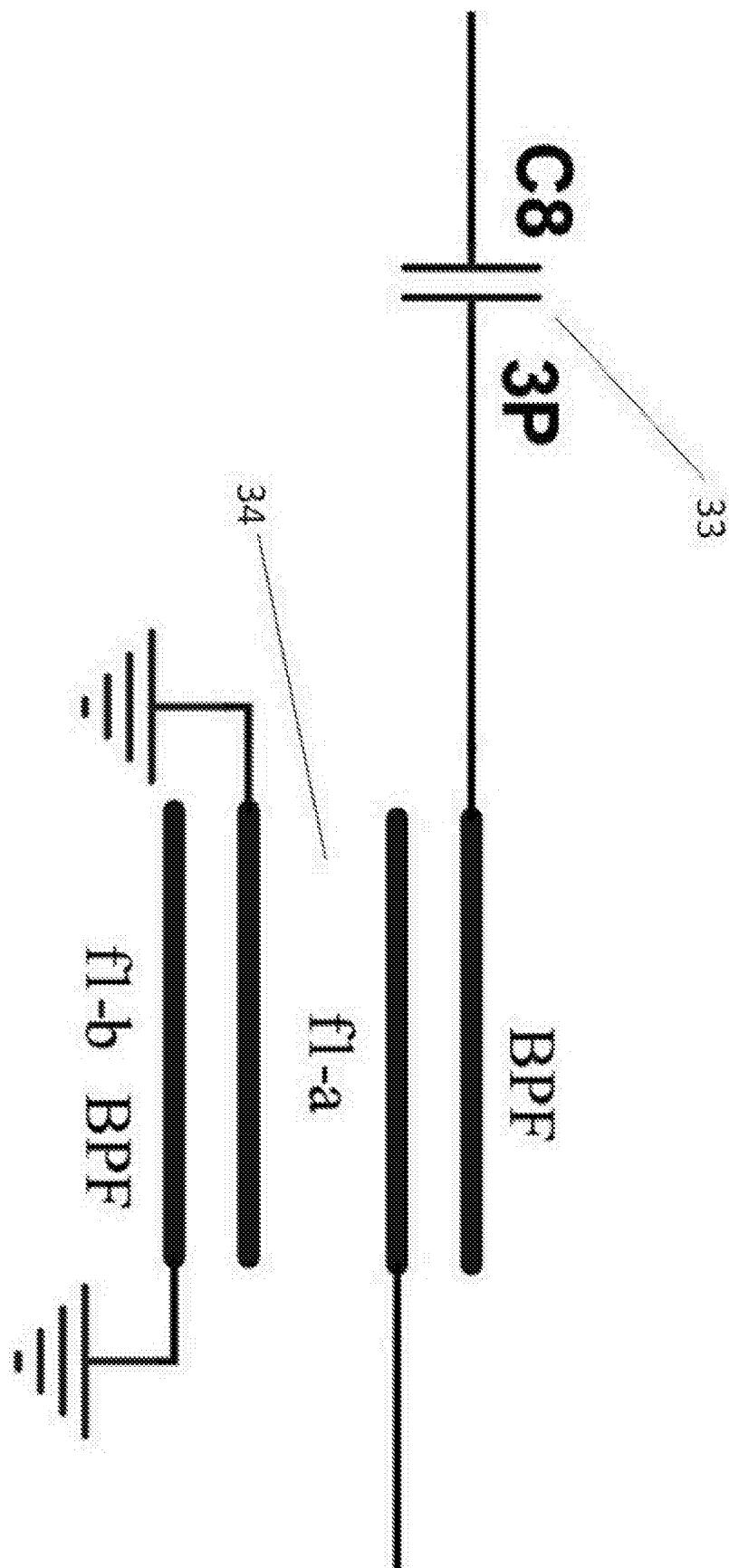


图13

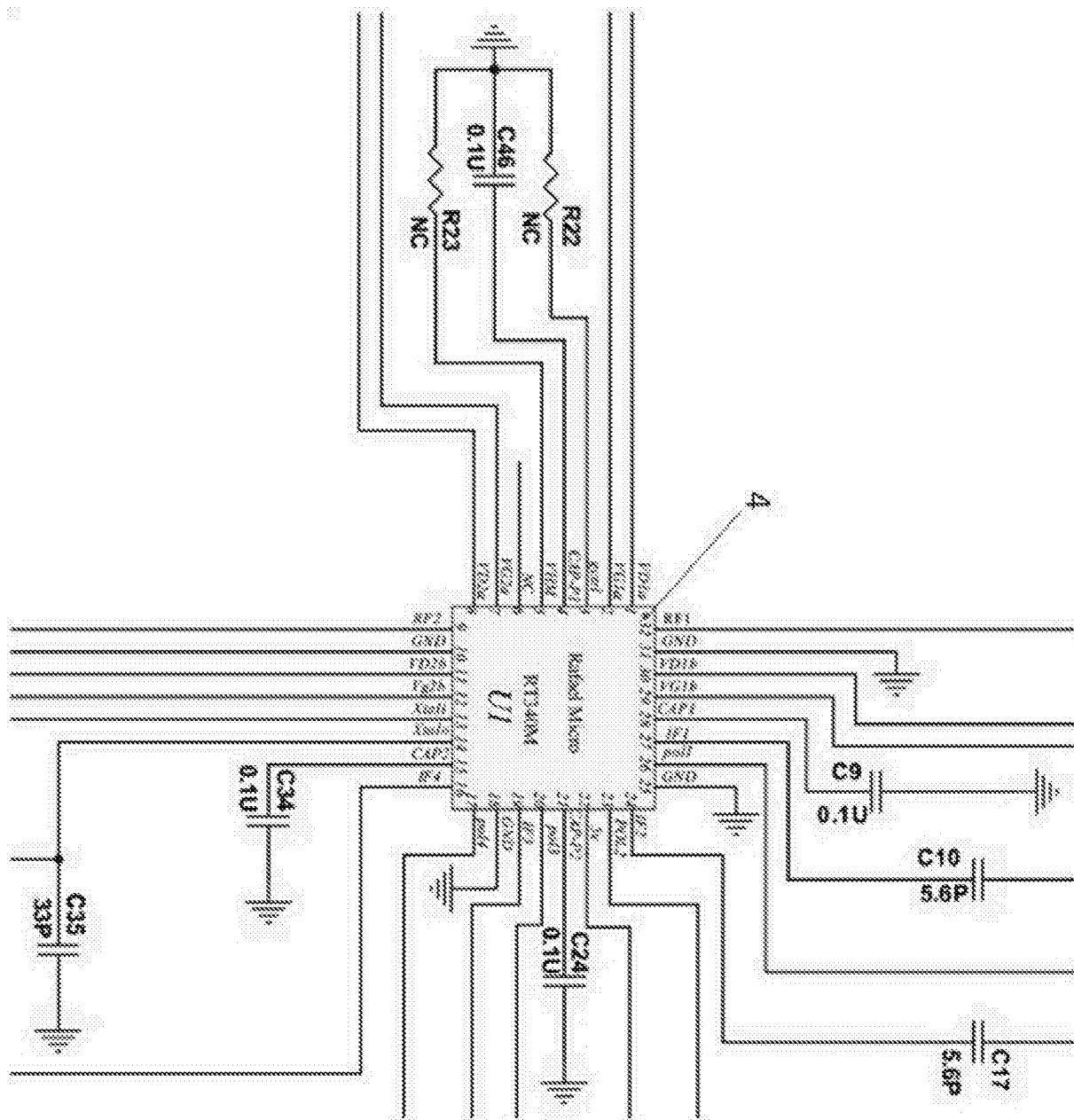


图14

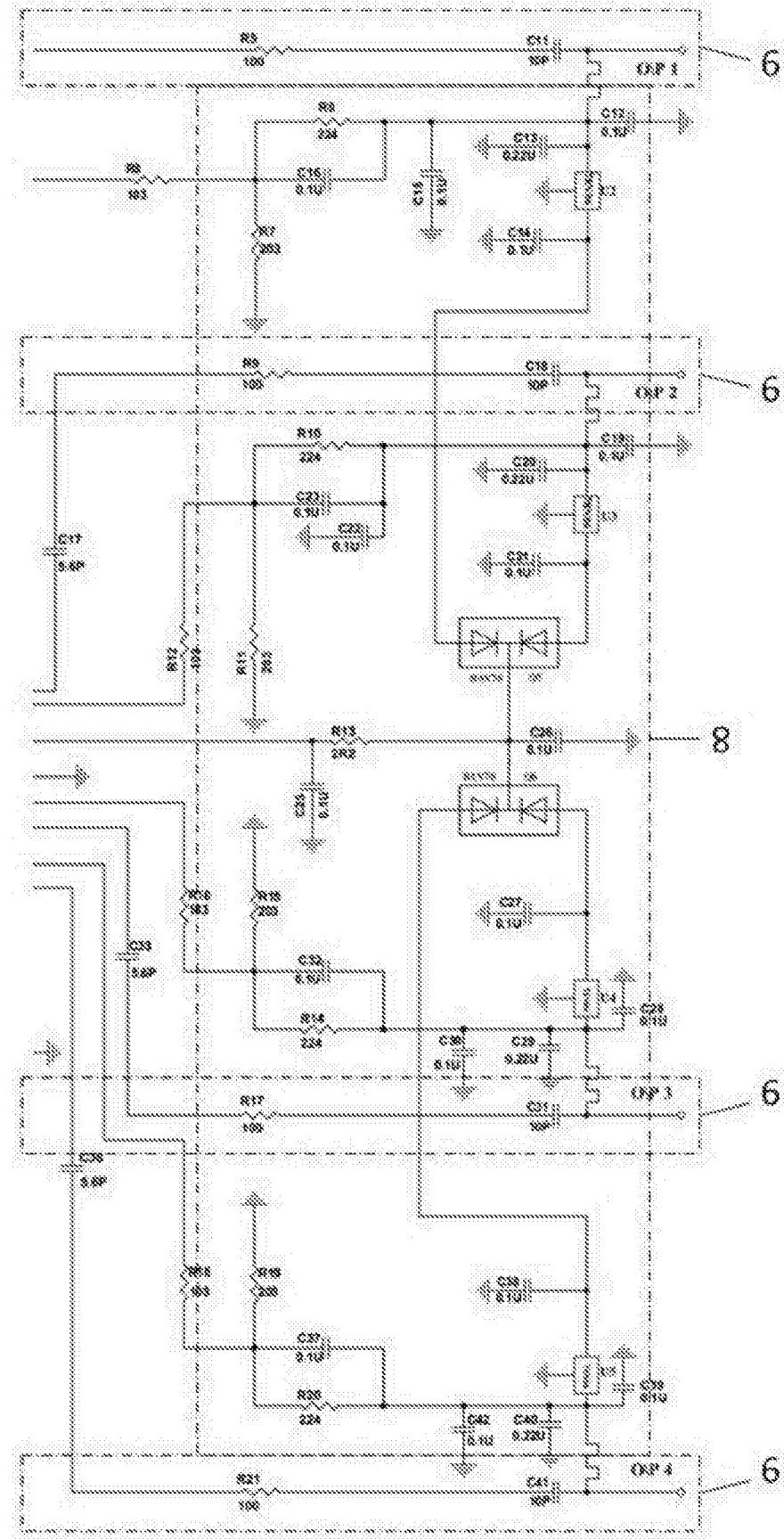


图15

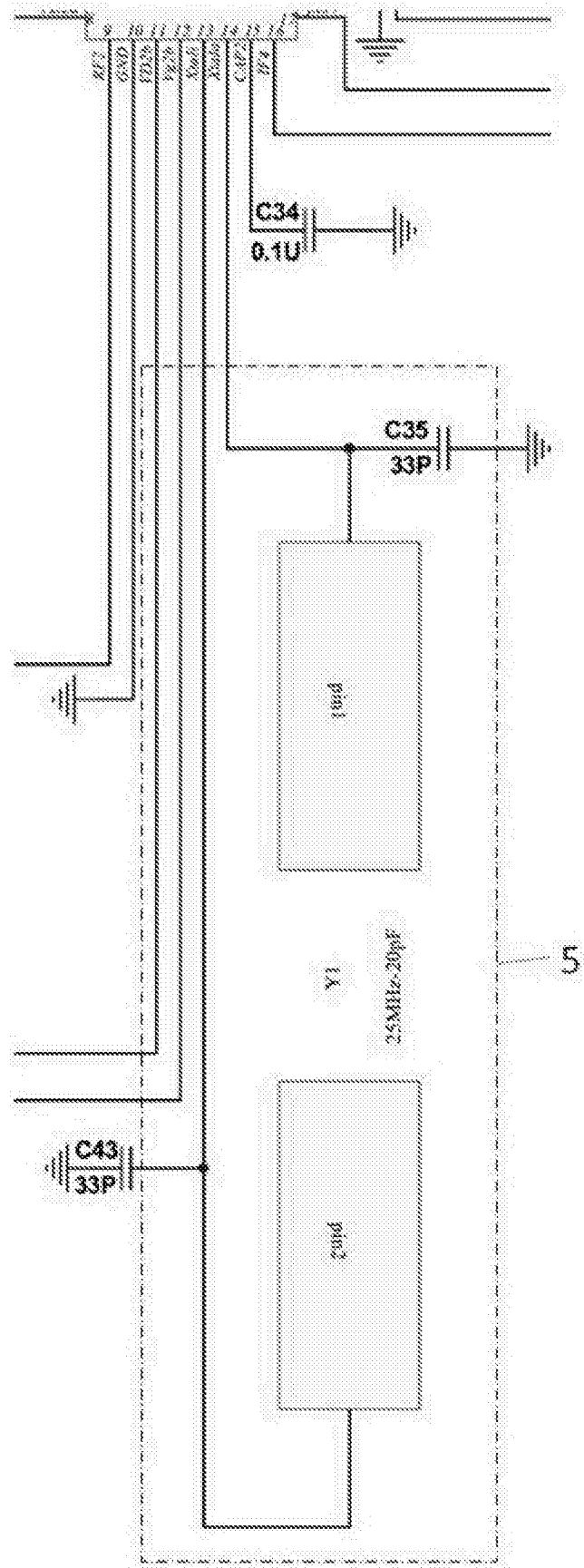


图16

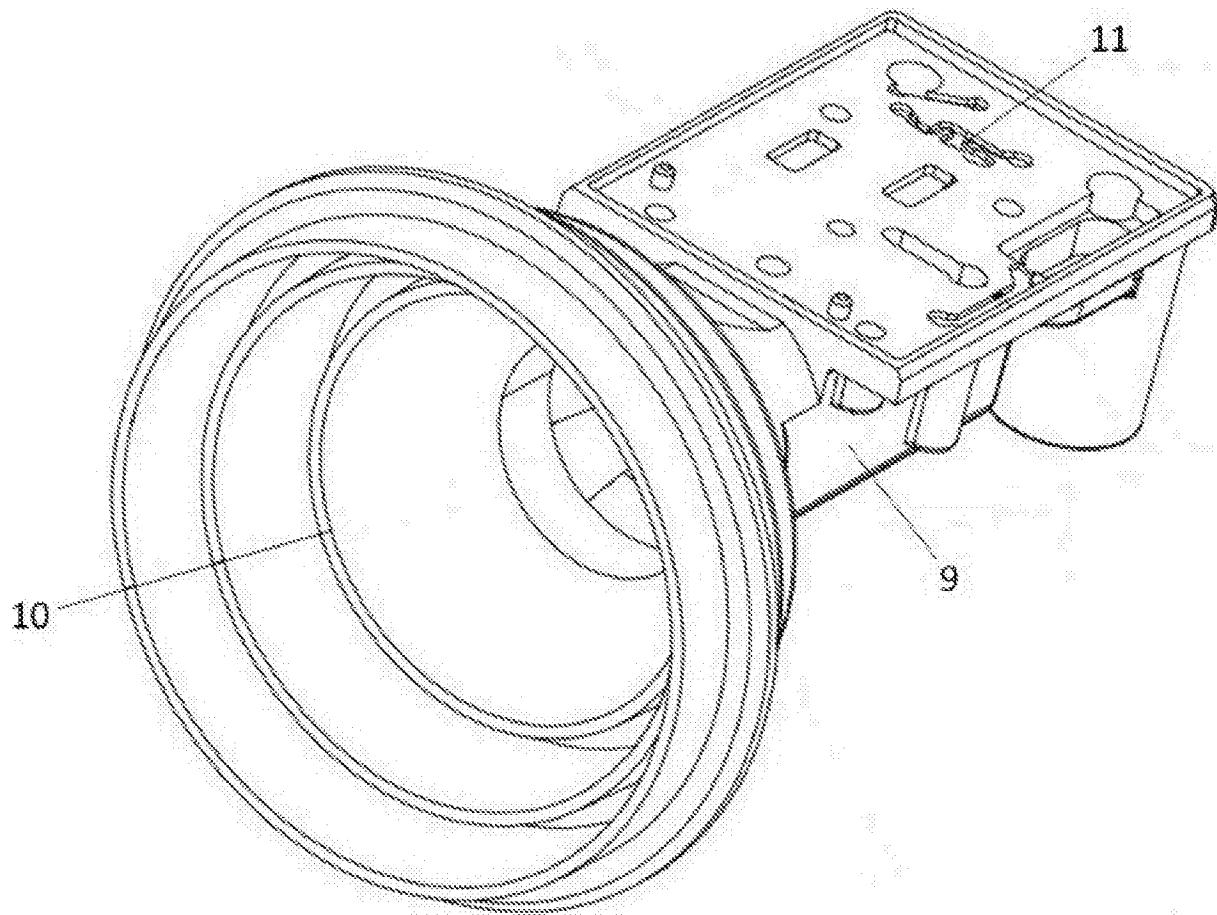


图17

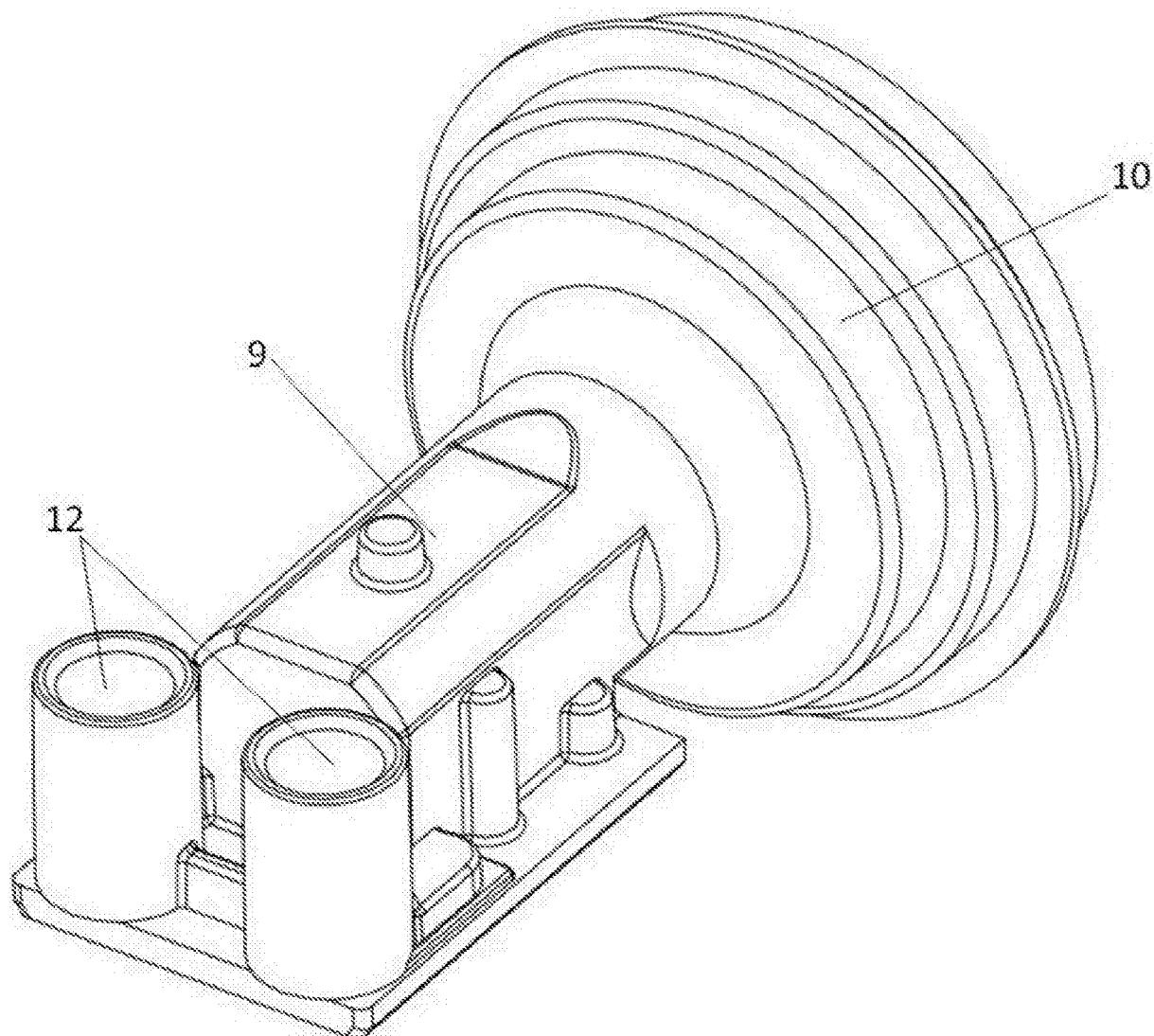


图18

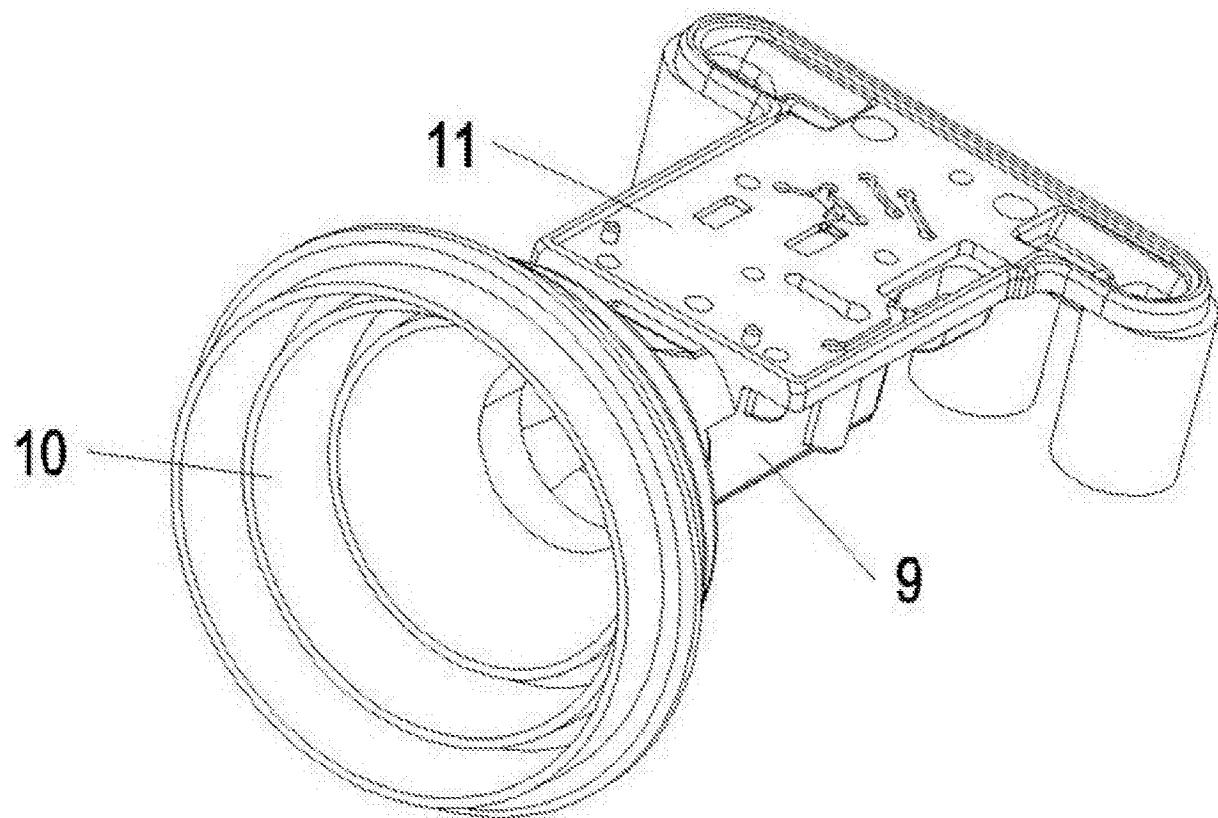


图19

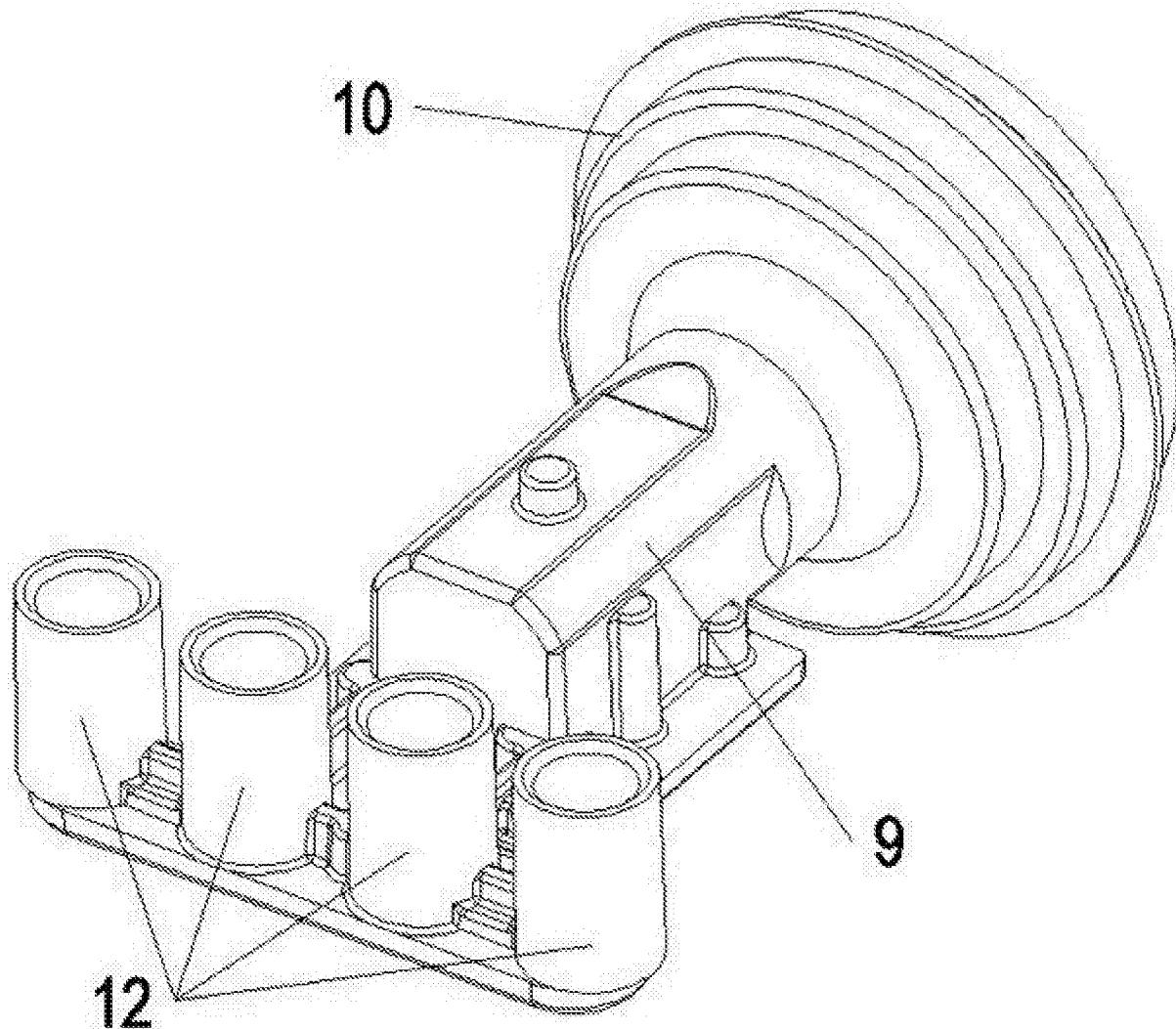


图20