



(21) 申请号 202410305656.8

H01L 29/423 (2006.01)

(22) 申请日 2024.03.18

H01L 21/44 (2006.01)

(30) 优先权数据

H01L 21/34 (2006.01)

2023-050864 2023.03.28 JP

G09F 9/33 (2006.01)

G09F 9/35 (2006.01)

(71) 申请人 株式会社日本显示器

地址 日本东京都

(72) 发明人 渡部将弘 渡壁创 津吹将志

佐佐木俊成 望月真里奈

田丸尊也 小野寺凉

(74) 专利代理机构 北京市金杜律师事务所

11256

专利代理师 杨宏军 韩雪莲

(51) Int. Cl.

H01L 29/786 (2006.01)

H01L 29/06 (2006.01)

权利要求书2页 说明书19页 附图20页

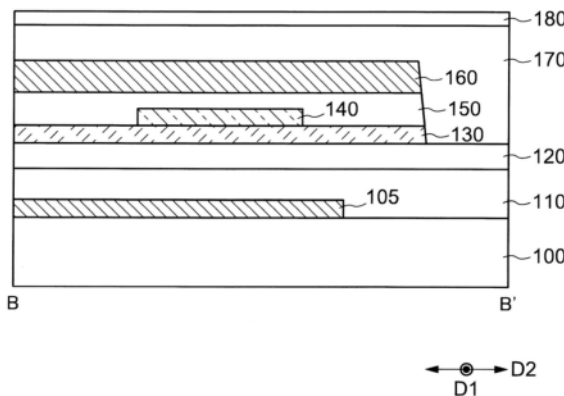
(54) 发明名称

半导体装置、显示装置及半导体装置的制造方法

(57) 摘要

本发明涉及半导体装置、显示装置及半导体装置的制造方法。课题在于改善包括氧化物半导体的半导体装置的电气特性。半导体装置包括：绝缘表面之上的金属氧化物层；前述金属氧化物层之上的氧化物半导体层；前述氧化物半导体层之上的栅极绝缘层；和前述栅极绝缘层之上的栅极布线，前述金属氧化物层具有与前述栅极布线及前述氧化物半导体层重叠的第一区域、与前述氧化物半导体层重叠且与前述栅极布线不重叠的第二区域、以及与前述栅极布线重叠且与前述氧化物半导体层不重叠的第三区域。

10



1. 半导体装置,其包括:
绝缘表面之上的金属氧化物层;
所述金属氧化物层之上的氧化物半导体层;
所述氧化物半导体层之上的栅极绝缘层;和
所述栅极绝缘层之上的栅极布线,
所述金属氧化物层具有与所述栅极布线及所述氧化物半导体层重叠的第一区域、与所述氧化物半导体层重叠且与所述栅极布线不重叠的第二区域、以及与所述栅极布线重叠且与所述氧化物半导体层不重叠的第三区域。
2. 根据权利要求1所述的半导体装置,其中,
在俯视观察下,所述金属氧化物层具有和所述栅极布线的图案形状与所述氧化物半导体层的图案形状的并集相同的图案形状。
3. 根据权利要求1所述的半导体装置,其中,
在俯视观察下,所述栅极绝缘层具有与所述栅极布线相同的图案形状。
4. 根据权利要求1所述的半导体装置,其还包括所述栅极布线之上的绝缘层,
所述第一区域不与所述绝缘层相接,
所述第二区域的侧面及所述第三区域的侧面与所述绝缘层相接。
5. 根据权利要求4所述的半导体装置,其中,
所述绝缘层与所述栅极布线、所述栅极绝缘层及所述氧化物半导体层相接。
6. 根据权利要求4所述的半导体装置,其中,
所述绝缘层具有包括氮化硅层及氧化硅层的层叠结构。
7. 根据权利要求1所述的半导体装置,其中,
所述氧化物半导体层含有包括铟在内的两种以上的金属,所述两种以上的金属中的铟的比率为50%以上。
8. 根据权利要求1所述的半导体装置,其中,
所述第一区域与沟道区域相接,
所述第二区域与源极区域或者漏极区域相接。
9. 根据权利要求8所述的半导体装置,其中,
所述沟道区域与所述源极区域或者所述漏极区域在第一方向上连续,
所述源极区域或者所述漏极区域中的与所述栅极绝缘层相接的部分在所述第一方向上的宽度为1 μm 以下。
10. 根据权利要求9所述的半导体装置,其中,
在所述第一方向上,所述栅极布线的宽度为4 μm 以下。
11. 根据权利要求9所述的半导体装置,其中,
在所述第一方向上,所述栅极布线的宽度比所述源极区域或者所述漏极区域中的与所述栅极绝缘层相接的部分在所述第一方向上的宽度的2倍大1 μm 以上。
12. 显示装置,其中,在各像素中包括权利要求1~11中任一项所述的半导体装置。
13. 半导体装置的制造方法,其包括:
在绝缘表面之上形成第一金属氧化物层;
在所述第一金属氧化物层之上形成具有图案形状的氧化物半导体层;

在所述氧化物半导体层之上形成栅极绝缘层；
在所述栅极绝缘层之上形成栅极布线；
将所述栅极布线作为掩模来对所述栅极绝缘层进行蚀刻；
将所述栅极布线及所述氧化物半导体层作为掩模来对所述第一金属氧化物层进行蚀刻。

14. 根据权利要求13所述的半导体装置的制造方法, 其中,
所述栅极绝缘层的蚀刻通过干式蚀刻来进行,
所述第一金属氧化物层的蚀刻通过湿式蚀刻来进行。

15. 根据权利要求13所述的半导体装置的制造方法, 其中,
所述栅极布线的形成及所述栅极绝缘层的蚀刻通过干式蚀刻来一并进行。

16. 根据权利要求13所述的半导体装置的制造方法, 其包括:
在形成所述氧化物半导体层之后, 通过第一退火处理使所述氧化物半导体层成为多晶结构。

17. 根据权利要求16所述的半导体装置的制造方法, 其中,
所述第一金属氧化物层形成在第一绝缘层之上,
所述制造方法还包括, 在对所述第一金属氧化物层进行蚀刻之后, 形成包括氮化硅层的第二绝缘层。

18. 根据权利要求17所述的半导体装置的制造方法, 其包括:
在形成所述栅极绝缘层之后, 在所述栅极绝缘层之上形成第二金属氧化物层;
在形成所述第二金属氧化物层之后, 进行第二退火处理; 和
在所述第二退火处理之后, 除去所述第二金属氧化物层。

19. 根据权利要求18所述的半导体装置的制造方法, 其中,
所述第一绝缘层的形成、所述栅极绝缘层的形成、所述第二绝缘层的形成、所述第一退火处理及所述第二退火处理在250°C以上500°C以下的温度下进行。

半导体装置、显示装置及半导体装置的制造方法

技术领域

[0001] 本发明的实施方式之一涉及包括氧化物半导体的半导体装置及其制造方法、以及使用了包括氧化物半导体的半导体装置的显示装置。

背景技术

[0002] 近年来,作为构成半导体装置的材料,氧化物半导体取代非晶硅、多晶硅及单晶硅而受到关注。尤其是,作为包括氧化物半导体的半导体装置,使用氧化物半导体作为沟道的薄膜晶体管的开发不断推进(例如,专利文献1~6)。使用氧化物半导体作为沟道的薄膜晶体管与使用非晶硅作为沟道的半导体装置同样地能够通过简单的结构且低温工艺来形成。已知使用氧化物半导体作为沟道的薄膜晶体管相较于使用非晶硅作为沟道的薄膜晶体管而言具有高的场效应迁移率。

[0003] 现有技术文献

[0004] 专利文献

[0005] 专利文献1:日本特开2021-141338号公报

[0006] 专利文献2:日本特开2014-099601号公报

[0007] 专利文献3:日本特开2021-153196号公报

[0008] 专利文献4:日本特开2018-006730号公报

[0009] 专利文献5:日本特开2016-184771号公报

[0010] 专利文献6:日本特开2021-108405号公报

发明内容

[0011] 发明要解决的课题

[0012] 然而,就现有的包括氧化物半导体的薄膜晶体管而言,存在若沟道长度减小则表示开关特性的阈值电压会向负的方向偏移、或者阈值电压的偏差会增大这样的情况。因此,就现有的包括氧化物半导体的薄膜晶体管而言,存在在使尺寸小型化时沟道长度的设计自由度降低而用途受限的情况。

[0013] 本发明的课题之一在于,改善包括氧化物半导体的半导体装置的电气特性。

[0014] 用于解决课题的手段

[0015] 本发明的一实施方式涉及的半导体装置包括:绝缘表面之上的金属氧化物层;所述金属氧化物层之上的氧化物半导体层;所述氧化物半导体层之上的栅极绝缘层;和所述栅极绝缘层之上的栅极布线,所述金属氧化物层具有与所述栅极布线及所述氧化物半导体层重叠的第一区域、与所述氧化物半导体层重叠且与所述栅极布线不重叠的第二区域、以及与所述栅极布线重叠且与所述氧化物半导体层不重叠的第三区域。

[0016] 本发明的一实施方式涉及的半导体装置的制造方法包括:在绝缘表面之上形成第一金属氧化物层;在所述第一金属氧化物层之上形成具有图案形状的氧化物半导体层;在所述氧化物半导体层之上形成栅极绝缘层;在所述栅极绝缘层之上形成栅极布线;将所述

栅极布线作为掩模来对所述栅极绝缘层进行蚀刻;和将所述栅极布线及所述氧化物半导体层作为掩模来对所述第一金属氧化物层进行蚀刻。

附图说明

[0017] 图1是表示本发明的一实施方式中的半导体装置的构成的示意性的剖视图。

[0018] 图2是表示本发明的一实施方式中的半导体装置的构成的示意性的剖视图。

[0019] 图3A是表示本发明的一实施方式中的半导体装置的构成的示意性的俯视图。

[0020] 图3B是表示本发明的一实施方式的半导体装置中的金属氧化物层的构成的示意性的俯视图。

[0021] 图4是表示本发明的一实施方式中的半导体装置的制造方法的顺序图。

[0022] 图5是表示本发明的一实施方式中的半导体装置的制造方法的剖视图。

[0023] 图6是表示本发明的一实施方式中的半导体装置的制造方法的剖视图。

[0024] 图7是表示本发明的一实施方式中的半导体装置的制造方法的剖视图。

[0025] 图8是表示本发明的一实施方式中的半导体装置的制造方法的剖视图。

[0026] 图9是表示本发明的一实施方式中的半导体装置的制造方法的剖视图。

[0027] 图10是表示本发明的一实施方式中的半导体装置的制造方法的剖视图。

[0028] 图11是表示本发明的一实施方式中的半导体装置的制造方法的剖视图。

[0029] 图12是表示本发明的一实施方式中的半导体装置的制造方法的剖视图。

[0030] 图13是表示本发明的一实施方式中的半导体装置的制造方法的剖视图。

[0031] 图14是表示本发明的一实施方式中的半导体装置的制造方法的顺序图。

[0032] 图15是表示本发明的一实施方式中的显示装置的概要的俯视图。

[0033] 图16是表示本发明的一实施方式中的显示装置的电路构成的框图。

[0034] 图17是表示本发明的一实施方式涉及的显示装置的像素电路的电路图。

[0035] 图18是表示本发明的一实施方式涉及的显示装置的概要的剖视图。

[0036] 图19是本发明的一实施方式中的显示装置的像素电极及公共电极的俯视图。

[0037] 图20是表示本发明的一实施方式中的显示装置的像素电路的电路图。

[0038] 图21是表示本发明的一实施方式中的显示装置的概要的剖视图。

[0039] 图22A是表示本发明的一实施方式中的半导体装置的电气特性的图。

[0040] 图22B是表示比较例中的半导体装置的电气特性的图。

[0041] 图23是针对不同的栅极电压 (V_g) 例示出晶体管的沟道电阻 (R) 相对于设计沟道长度 (布局上的沟道长度) (L_g) 的关系的图。

[0042] 图24A是表示本发明的一实施方式的半导体装置中的阈值电压对于沟道长度的依赖性的图。

[0043] 图24B是表示比较例的半导体装置中的阈值电压对于沟道长度的依赖性的图。

[0044] 附图标记说明

[0045] 10、10a…半导体装置、11…驱动晶体管、12…选择晶体管、20、20a…显示装置、22…液晶区域、24…密封区域、26…端子区域、100…基板、105…导电层、110…绝缘层、120…绝缘层、130…金属氧化物层、140…氧化物半导体层、141…上表面、142…下表面、143…侧面、150…栅极绝缘层、160…栅极布线、170…绝缘层、171、173…开口、180…绝缘

层、190…金属氧化物层、200…源・漏电极、201…源电极、203…漏电极、210…保持电容、211…信号线、212…栅极线、213…阳极电源线、214…阴极电源线、300…阵列基板、301、301a…像素电路、302…源极驱动电路、303…栅极驱动电路、304…源极布线、305…栅极布线、306…端子部、307、308…连接布线、310…密封部、311…液晶元件、320…对置基板、330…柔性印制电路基板、340…芯片、350…保持电容、360…绝缘层、362…绝缘层、363…开口、370…公共电极、380…绝缘层、381…开口、390…像素电极、392…发光层、394…公共电极

具体实施方式

[0046] 以下,参照附图来说明本发明的各实施方式。以下的公开只不过是一例。本领域技术人员在保持发明的主旨的同时通过对实施方式的构成适当进行变更而能容易地想到的构成当然包含在本发明的范围内。就附图而言,为了使说明更为明确,有时与实际的方式相比示意性地表示各部分的宽度、厚度、形状等。然而,图示出的形状只不过是一例,并不限定本发明的解释。在本说明书和各图中,对于与关于已出现的附图说明过的要素同样的要素标注同一附图标记,有时适当省略详细的说明。

[0047] 在本发明的各实施方式中,将从基板朝向氧化物半导体层的方向称为上或者上方。反之,将从氧化物半导体层朝向基板的方向称为下或者下方。这样,为了便于说明,使用上方或者下方这样的语句来进行说明,但是,例如也可以将基板和氧化物半导体层的上下关系以与图示相反的方式配置。在以下的说明中,例如基板上的氧化物半导体层这样的表述只不过如上所述那样用于说明基板和氧化物半导体层的上下关系,也可以在基板与氧化物半导体层之间配置有其他的构件。上方或者下方意味着层叠有多个层的结构中的层叠顺序,在表述为“晶体管的上方的像素电极”的情况下,也可以是在俯视观察下晶体管与像素电极不重叠的位置关系。另一方面,在表述为“晶体管的铅垂上方的像素电极”的情况下,意味着在俯视观察下晶体管与像素电极重叠的位置关系。

[0048] “显示装置”是指使用电光层来显示影像的结构体。例如,显示装置这样的用语有时是指包括电光层的显示面板,或者有时是指对显示单元装配有其他的光学构件(例如偏振构件、背光源、触控面板等)的结构体。只要不会产生技术上的矛盾,则“电光层”能包括液晶层、电致发光(EL)层、电致变色(EC)层、电泳层。因而,关于后述的实施方式,作为显示装置,例示了包括液晶层的液晶显示装置以及包括有机EL层的有机EL显示装置来进行说明,本实施方式中的结构能够适用于包括上述的其他电光层的显示装置。

[0049] 在本说明书中,只要没有特别明示,则“ α 包含A、B或者C”、“ α 包含A、B及C中的任一个”、“ α 包含选自A、B及C组成的组中的一个”这样的表述不排除 α 包含A~C的多个的组合的情况。此外,上述的表述也不排除 α 包含其他要素的情况。

[0050] 在本说明书中,“相同”除了包括完全相同的情况以外,还包括实质上相同的情况。“实质上相同”是指虽不完全相同但落在能视作相同这种程度的微小差异的范围内的情况。例如,“实质上相同”是指两个值的差异落在 $\pm 5\%$ (优选 $\pm 3\%$)的误差的范围内的情况。

[0051] 〈第一实施方式〉

[0052] 使用图1~图13,关于本发明的一实施方式的半导体装置,例示薄膜晶体管来进行说明。以下所示的实施方式的半导体装置除了是用于显示装置的薄膜晶体管以外,还可以

是用于例如微处理器 (Micro-Processing Unit; MPU) 等集成电路 (Integrated Circuit; IC) 或存储器电路中的薄膜晶体管。

[0053] [半导体装置的构成]

[0054] 对本发明的一实施方式中的半导体装置10的构成进行说明。图1及图2是表示本发明的一实施方式中的半导体装置10的构成的示意性的剖视图。图3A是表示本发明的一实施方式中的半导体装置10的构成的示意性的俯视图。图3B是表示本发明的一实施方式的半导体装置10中的金属氧化物层130的构成的示意性的俯视图。图1与沿着图3A中示出的用A-A'表示的单点划线剖切而得到的剖视图对应。图2与沿着图3A中示出的用B-B'表示的单点划线剖切而得到的剖视图对应。

[0055] 如图1及图2所示, 半导体装置10设置在基板100的上方。半导体装置10包括导电层105、绝缘层110及120、金属氧化物层130、氧化物半导体层140、栅极绝缘层150、栅极布线160、绝缘层170及180、源电极201以及漏电极203。

[0056] 栅极布线包括栅电极。具体而言, 有时将栅极布线中的作为半导体装置10的栅极发挥功能的部分称为栅电极。在不特别区分源电极201及漏电极203的情况下, 有时将它们一并称为源・漏电极200。

[0057] 在图3A中, 第一方向是将源电极201与漏电极203连结的方向, 与载流子移动的方向对应。氧化物半导体层140中的沟道区域CH在第一方向 (D1方向) 上的长度为沟道长度 (L), 该沟道区域CH在第二方向 (D2方向) 上的宽度为沟道宽度 (W)。

[0058] 导电层105设置在基板100之上。导电层105具备作为相对于氧化物半导体层140而言的遮光膜的功能。如图1及图3A所示, 在第一方向 (D1方向) 上, 导电层105的宽度比栅极布线160的宽度大。设为这样的构成的理由是为了有效地防止外部光向沟道区域CH的侵入。

[0059] 绝缘层110及120设置在基板100及导电层105之上。绝缘层110具备作为对从基板100朝向氧化物半导体层140扩散的杂质进行遮挡的阻挡膜的功能。

[0060] 金属氧化物层130设置在绝缘层120之上。金属氧化物层130与绝缘层120相接。金属氧化物层130是包含将铝作为主成分的氧化金属的层, 具备作为对氧、氢等气体进行遮挡的气体阻挡膜的功能。

[0061] 氧化物半导体层140设置在金属氧化物层130之上。氧化物半导体层140与金属氧化物层130相接。将氧化物半导体层140的主面中的与金属氧化物层130相接的面称为下表面142。在本实施方式中, 例示了金属氧化物层130与绝缘层120相接、氧化物半导体层140与金属氧化物层130相接的构成, 但不限于该构成。也可以在金属氧化物层130与氧化物半导体层140之间设置其他的层。氧化物半导体层140被图案化。例如, 氧化物半导体层140具有岛状的图案形状。

[0062] 如图1所示, 在第一方向 (D1方向) 上, 金属氧化物层130与氧化物半导体层140的端部大致一致。在图1中, 金属氧化物层130的侧面与氧化物半导体层140的侧面大致在直线上排列, 但不限于该构成。金属氧化物层130的侧面相对于基板100的主面的角度也可以与氧化物半导体层140的侧面143相对于基板100的主面的角度不同。金属氧化物层130及氧化物半导体层140中的至少任一方的侧面的剖面形状也可以弯曲。如图2所示, 在第二方向 (D2方向) 上, 金属氧化物层130的端部与氧化物半导体层140的端部不一致。另一方面, 在第二方向上, 金属氧化物层130的端部与栅极绝缘层150及栅极布线160的端部大致一致。金属氧

化物层130的更为具体的构成将会在后叙述。

[0063] 栅极绝缘层150设置在氧化物半导体层140之上。栅极绝缘层150被图案化为与栅极布线160相同的形状。即,栅极绝缘层150与栅极布线160具有相同的图案形状。因此,氧化物半导体层140的一部分(与栅极布线160不重叠的区域)没有被栅极绝缘层150覆盖。换言之,氧化物半导体层140的一部分从栅极绝缘层150露出。栅极绝缘层150具备作为相对于顶栅(栅极布线160)而言的栅极绝缘层的功能。栅极绝缘层150具备通过制造工艺中的热处理而放出氧的功能。

[0064] 栅极布线160隔着栅极绝缘层150而与氧化物半导体层140对置。栅极布线160中的隔着栅极绝缘层150而与氧化物半导体层140对置的部分作为栅电极发挥功能。栅极绝缘层150设置在氧化物半导体层140与栅极布线160之间。栅极绝缘层150与氧化物半导体层140相接。将氧化物半导体层140的主面中的与栅极绝缘层150相接的面称为上表面141。将上表面141与下表面142之间的面称为侧面143。栅极布线160具备作为半导体装置10的顶栅以及相对于氧化物半导体层140而言的遮光膜的功能。

[0065] 绝缘层170及180设置在栅极绝缘层150及栅极布线160之上。在本实施方式中,有时将由绝缘层170及180构成的层叠结构称为钝化层。绝缘层170及180将栅极布线160与源·漏电极200绝缘。通过设置绝缘层170及180,由此能够降低栅极布线160与源·漏电极200之间的寄生电容。

[0066] 在本实施方式中,使用氧化硅层作为绝缘层170,使用氮化硅层作为绝缘层180。构成绝缘层170及180的材料不限于该例,但如后所述,期望至少具有一层含氢的绝缘层。如图1所示,构成钝化层的一部分的绝缘层170与栅极布线160、栅极绝缘层150(具体而言为栅极绝缘层150的侧面)及氧化物半导体层140相接。另外,在绝缘层170及180设置有到达氧化物半导体层140的开口171、173。

[0067] 源电极201设于在绝缘层170及180上设置的开口171的内部。源电极201在开口171的底部与氧化物半导体层140相接。漏电极203设于在绝缘层170及180上设置的开口173的内部。漏电极203在开口173的底部与氧化物半导体层140相接。

[0068] 在图3A中,例示了在俯视观察下源·漏电极200与导电层105及栅极布线160不重叠的构成,但不限定于该构成。例如,也可以在俯视观察下源·漏电极200与导电层105及栅极布线160中的至少任一方重叠。上述的构成只不过是一实施方式,本发明不限定于上述的构成。

[0069] 半导体装置10的动作主要由向栅极布线160供给的栅极电压来控制。也可以向导电层105供给辅助的电压。即,导电层105也可以通过被供给辅助的电压而作为栅电极来发挥功能。然而,不限于该例,导电层105也可以作为单纯的遮光膜来使用。在将导电层105单纯作为遮光膜来使用的情况下,就导电层105而言,也可以不供给特定的电压而设为浮置状态。

[0070] 在本实施方式中,作为半导体装置10,例示的是在氧化物半导体层140的上方设置有栅极布线160(即栅电极)的顶栅型晶体管,但不限定于该构成。例如,作为半导体装置10,也可以是除了栅极布线160以外还将导电层105作为栅电极来使用的双栅型晶体管。在将导电层105作为栅电极来使用的情况下,绝缘层110及120作为栅极绝缘层来发挥功能。但是,上述的构成只不过是一实施方式,本发明不限定于上述的构成。

[0071] [半导体装置的各层的材质]

[0072] 基板100能够对构成半导体装置10的各层进行支承。作为基板100,例如能够使用玻璃基板、石英基板或蓝宝石基板等具有透光性的刚性基板。另外,作为基板,还能够使用硅基板等不具有透光性的刚性基板。此外,作为基板,能够使用聚酰亚胺树脂基板、丙烯酸树脂基板、硅氧烷树脂基板或氟树脂基板等具有透光性的挠性基板。为了提高基板100的耐热性,也可以向上述的树脂基板导入杂质。还能够将在上述的刚性基板或挠性基板之上成膜有氧化硅膜或氮化硅膜的基板作为基板100来使用。

[0073] 导电层105能够反射或吸收外部光。如上所述,导电层105具有比氧化物半导体层140的沟道区域CH大的面积,因此,能够遮挡向沟道区域CH入射的外部光。作为导电层105,例如能够使用铝(Al)、铜(Cu)、钛(Ti)、钼(Mo)或钨(W)、或者它们的合金或化合物等。在不需要导电性的情况下,也可以取代导电层105而使用由黑色树脂等构成的树脂层。导电层105可以是单层结构,也可以是层叠结构。

[0074] 绝缘层110、120、170及180具有防止杂质向氧化物半导体层140的扩散的作用。绝缘层110、120、170及180可以是单层结构,也可以是层叠结构。作为绝缘层110、120、170及180,例如能够使用氧化硅(SiO_x)、氧氮化硅(SiO_xNy)、氮化硅(SiN_x)、氮氧化硅(SiNxOy)、氧化铝(AlO_x)、氧氮化铝(AlO_xNy)、氮氧化铝(AlNxOy)、氮化铝(AlN_x)等。这里,氧氮化硅(SiO_xNy)及氧氮化铝(AlO_xNy)分别是含有比氧(O)少的比率($x>y$)的氮(N)的硅化合物及铝化合物。另外,氮氧化硅(SiNxOy)及氮氧化铝(AlNxOy)是含有比氮少的比率($x>y$)的氧的硅化合物及铝化合物。在本实施方式中,作为绝缘层110及180,使用氮化硅(SiN_x),作为绝缘层120及170,使用氧化硅(SiO_x)。

[0075] 作为金属氧化物层130,使用将铝作为主成分的氧化金属。例如,作为金属氧化物层130,使用氧化铝(AlO_x)、氧氮化铝(AlO_xNy)、氮氧化铝(AlNxOy)、氮化铝(AlN_x)等的无机绝缘层。“将铝作为主成分的金属氧化物层”意味着金属氧化物层130中含有的铝的比率为金属氧化物层130整体的1%以上。金属氧化物层130中含有的铝的比率也可以为金属氧化物层130整体的5%以上70%以下、10%以上60%以下或者30%以上50%以下。上述的比率可以是质量比,也可以是重量比。

[0076] 在本实施方式中,氧化物半导体层140具有多晶结构。即,本实施方式的氧化物半导体层140由使用Poly-OS技术来形成的氧化物半导体构成。Poly-OS技术是指形成具有多晶结构的氧化物半导体层的技术。作为氧化物半导体层140,能够使用具有半导体的特性的金属氧化物。例如,作为氧化物半导体层140,使用含有包括铟(In)在内的两种以上的金属的氧化物半导体。铟相对于氧化物半导体层140的整体的比率为50%以上。作为氧化物半导体层140,除了铟以外,还使用镓(Ga)、锌(Zn)、铝(Al)、铪(Hf)、钇(Y)、氧化锆(Zr)、镧系元素。作为氧化物半导体层140,也可以使用上述以外的其他元素。

[0077] 本实施方式的氧化物半导体层140中,由于铟的比率为50%以上,因此容易形成氧缺陷(oxygen deficiency)。另一方面,具有结晶性的氧化物半导体与非晶态的氧化物半导体相比难以形成氧缺陷。因而,氧化物半导体层140具有即便铟的比率为50%以上也难以形成氧缺陷这样的优点。

[0078] 栅极绝缘层150包括具有绝缘性的氧化物。具体而言,作为栅极绝缘层150,能够使用氧化硅(SiO_x)、氧氮化硅(SiO_xNy)、氧化铝(AlO_x)、氧氮化铝(AlO_xNy)等。栅极绝缘层150

优选具有接近化学计量比的组成。另外,栅极绝缘层150优选缺陷少。例如,作为栅极绝缘层150,也可以使用在利用电子自旋共振法(ESR)评价时没有观测到缺陷的氧化物。

[0079] 栅极布线160、源电极201及漏电极203具有导电性。作为栅极布线160、源电极201及漏电极203,分别能够使用例如铜(Cu)、铝(Al)、钛(Ti)、铬(Cr)、钴(Co)、镍(Ni)、钼(Mo)、铪(Hf)、钽(Ta)、钨(W)或铋(Bi)、或者它们的合金或化合物。栅极布线160、源电极201及漏电极203分别可以是单层结构,也可以是层叠结构。

[0080] (金属氧化物层的构成)

[0081] 在图1及图3A中,金属氧化物层130与氧化物半导体层140的下表面142的整体相接。换言之,在俯视观察下,金属氧化物层130与氧化物半导体层140的整体重叠。但是,不局限于该例,金属氧化物层130也可以不与氧化物半导体层140的下表面142的整体或者一部分相接。例如,也可以是金属氧化物层130与沟道区域CH相接且不与源极区域S及漏极区域D相接的构成,反之,还可以是金属氧化物层130与源极区域S及漏极区域D相接且不与沟道区域CH相接的构成。

[0082] 在图2及图3A中,金属氧化物层130与栅极绝缘层150及栅极布线160重叠。具体而言,金属氧化物层130的端部、栅极绝缘层150的端部及栅极布线160的端部分别大致一致。换言之,在俯视观察下,金属氧化物层130与栅极布线160的整体重叠。

[0083] 如后所述,本实施方式的半导体装置10的制造方法包括将栅极布线160及氧化物半导体层140作为掩模来对金属氧化物层130进行蚀刻的工艺。因此,金属氧化物层130以栅极布线160及氧化物半导体层140为掩模而自对准地图案化。其结果是,金属氧化物层130具有和栅极布线160的图案形状与氧化物半导体层140的图案形状的并集相同的图案形状。栅极布线160的图案形状与氧化物半导体层140的图案形状的并集如图3B所示是指将源自栅极布线160的图案形状的图案130a与源自氧化物半导体层140的图案形状的图案130b一体化而得到的图案形状。

[0084] 根据图1、图2、图3A及图3B明确可知,金属氧化物层130具有与栅极布线160及氧化物半导体层140重叠的第一区域、与氧化物半导体层140重叠且与栅极布线160不重叠的第二区域、以及与栅极布线160重叠且与氧化物半导体层140不重叠的第三区域。具体而言,在图1及图3A中,第一区域相当于与沟道区域CH及后述的两个重叠区域OL相接的区域。在图1及图3A中,第二区域相当于与从源极区域S去掉接近该源极区域S这侧的重叠区域OL而得到的区域以及从漏极区域D去掉接近该漏极区域D这侧的重叠区域OL而得到的区域相接的区域。第三区域在图2中相当于与栅极布线160重叠且与氧化物半导体层140不重叠的区域。

[0085] 如图1所示,绝缘层170与金属氧化物层130中的第二区域的侧面相接。另外,如图2所示,绝缘层170与金属氧化物层130中的第三区域的侧面相接。此外,根据图1及图2明确可知,绝缘层170不与金属氧化物层130中的第一区域相接。

[0086] (氧化物半导体层的构成)

[0087] 氧化物半导体层140被划分为源极区域S、漏极区域D及沟道区域CH。沟道区域CH是氧化物半导体层140中的位于栅极布线160的铅垂下方且与栅极绝缘层150相接的区域。源极区域S是氧化物半导体层140中的与绝缘层170相接的区域,且是比沟道区域CH接近源电极201这侧的区域。漏极区域D是氧化物半导体层140中的与绝缘层170相接的区域,且是比沟道区域CH接近漏电极203这侧的区域。源极区域S及漏极区域D通过将由氧化物半导体层

构成的图案的一部分低电阻化来形成。即,在图3A所示的第一方向(D1方向)上,沟道区域CH与源极区域S及漏极区域D彼此连续。

[0088] 沟道区域CH中的氧化物半导体层140具备作为半导体的物性。源极区域S及漏极区域D中的氧化物半导体层140具备作为导电体的物性。即,源极区域S及漏极区域D也可以说是电阻比沟道区域CH低的区域。换言之,源极区域S及漏极区域D的电导率比沟道区域CH的电导率大。源电极201及漏电极203分别与源极区域S及漏极区域D相接而与氧化物半导体层140电连接。氧化物半导体层140可以是单层结构,也可以是层叠结构。

[0089] 如图1所示,本实施方式的半导体装置10中,源极区域S及漏极区域D的一部分与栅极布线160重叠。具体而言,源极区域S中的接近沟道区域CH这侧的端部以及漏极区域D中的接近沟道区域CH这侧的端部与栅极布线160重叠。换言之,源极区域S中的接近沟道区域CH这侧的端部以及漏极区域D中的接近沟道区域CH这侧的端部分别与栅极绝缘层150相接。即,源极区域S以及漏极区域D与栅极绝缘层150和绝缘层170这两方相接。这里,将源极区域S(或者漏极区域D)与栅极布线160重叠的区域称为“重叠区域OL”。如图1所示,将第一方向上的重叠区域OL的宽度用 $\Delta L/2$ 表示。

[0090] 本实施方式的半导体装置10在第一方向(D1方向)上具有对称的结构,成为源极区域S及漏极区域D这两方侵入至栅极布线160的下方的结构。因此,第一方向上的沟道区域CH的端部与栅极布线160的端部不一致。具体而言,与源极区域S相接的沟道区域CH的端部与漏极区域D相接的沟道区域CH的端部分别位于栅极布线160的正下方。即,在第一方向上,沟道区域CH的宽度比栅极布线160的宽度窄。这意味着设计上的沟道长度(以下称为“设计沟道长度”)相比于设计值还缩窄了重叠区域OL所存在的量。

[0091] 通常,顶栅型晶体管中的设计沟道长度由与半导体层重叠的栅电极的宽度确定。即,在本实施方式的半导体装置10的情况下,第一方向上的栅极布线160的宽度相当于设计沟道长度。然而,如图1所示,沟道区域CH的宽度比栅极布线160的宽度窄。即,与沟道区域CH的宽度相当的有效的沟道长度(以下称为“有效沟道长度”)比与栅极布线160的宽度相当的设计沟道长度短。具体而言,在设计沟道长度(L_g)与有效沟道长度(L_{eff})之间, $L_{eff}=L_g-\Delta L$ 这样的关系是成立的。

[0092] 在本实施方式中,在形成源极区域S及漏极区域D时,利用了氢从绝缘层170及180向氧化物半导体层140的扩散。这种情况下,由于在结构上氢也会向栅极布线160的正下方的氧化物半导体层140扩散,因此形成重叠区域OL。重叠区域OL是由于氢向位于栅极布线160的正下方的氧化物半导体层140侵入而形成的区域。然而,在本实施方式中,通过减少向栅极布线160的正下方扩散的氢的量,由此能够抑制形成重叠区域OL的范围。具体而言,本实施方式的半导体装置10被控制为重叠区域OL的宽度($\Delta L/2$)成为 $1\mu\text{m}$ 以下。

[0093] 重叠区域OL的宽度为 $1\mu\text{m}$ 以下意味着,例如,即便设计沟道长度为 $4\mu\text{m}$,也能够确保至少 $2\mu\text{m}$ 的有效沟道长度。根据本实施方式,能够将半导体装置10的设计沟道长度(第一方向上的栅极布线的宽度)设为 $4\mu\text{m}$ 以下(优选 $3\mu\text{m}$ 以下)。但是,为了确保至少 $1\mu\text{m}$ 以上的有效沟道长度,半导体装置10的设计沟道长度优选比重叠区域OL的宽度的2倍($2\times\Delta L/2=\Delta L$)大 $1\mu\text{m}$ 以上。

[0094] 如上所述,本实施方式的半导体装置10中,由于栅极绝缘层150具有与栅极布线160相同的图案形状,因此氧化物半导体层140的一部分与绝缘层170相接。因此,半导体装

置10成为在从绝缘层170及180扩散来的氢的影响下源极区域S及漏极区域D的一部分延伸至栅极布线160的下方的结构。然而,根据本实施方式,由于能够将源极区域S及漏极区域D与栅极布线160重叠的重叠区域OL的宽度抑制为 $1\mu\text{m}$ 以下,因此,能够抑制设计沟道长度与有效沟道长度的偏离。

[0095] [半导体装置的制造方法]

[0096] 使用图4~图13对本发明的一实施方式中的半导体装置10的制造方法进行说明。图4是表示本发明的一实施方式中的半导体装置10的制造方法的顺序图。图5~图13是表示本发明的一实施方式中的半导体装置10的制造方法的剖视图。

[0097] 如图4及图5所示,在基板100之上形成有导电层105作为遮光层,在导电层105之上形成有绝缘层110及120(图4的步骤S1001)。作为绝缘层110,例如形成氮化硅。作为绝缘层120,例如形成氧化硅。绝缘层110及120通过CVD(Chemical Vapor Deposition,化学气相沉积)法来形成。在本说明书中,将在基板上利用溅射法、CVD等方法进行成膜这样的情况表述为“形成薄膜”,这与“将薄膜成膜”这样的表述在相同的意思下使用。

[0098] 通过使用氮化硅作为绝缘层110,由此绝缘层110能够阻挡例如从基板100侧朝向氧化物半导体层140扩散的杂质。作为绝缘层120使用的氧化硅是具有在热处理下会放出氧这样的物性的氧化硅。

[0099] 在本实施方式中,在形成绝缘层110及120时,将成膜温度设定为 350°C 。尤其是,就绝缘层120(即氧化硅层)而言,通过将成膜温度设定得比较低,从而能够增加含氧量。如后所述,通过增加绝缘层120中含有的氧量,由此能够减少向氧化物半导体层140扩散的氢的量。绝缘层110及120的成膜温度设定为 250°C 以上 500°C 以下(优选 300°C 以上 450°C 以下,更优选 325°C 以上 400°C 以下)即可。

[0100] 接着,如图4及图6所示,在绝缘层120之上形成金属氧化物层130及氧化物半导体层140(图4的步骤S1002)。在本实施方式中,金属氧化物层130及氧化物半导体层140通过溅射法来形成。尤其是,氧化物半导体层140是通过采用了由具有结晶性的氧化物半导体形成的靶的溅射而形成的。

[0101] 金属氧化物层130的厚度例如为 1nm 以上 10nm 以下、 1nm 以上 4nm 以下或者 1nm 以上 3nm 以下。在本实施方式中,将金属氧化物层130的厚度设为 3nm 。在本实施方式中,作为金属氧化物层130,使用将铝作为主成分的氧化物(具体而言为氧化铝)。氧化铝具备针对气体的高阻挡性。

[0102] 在本实施方式中,用作金属氧化物层130的氧化铝阻挡从绝缘层120放出的氢及氧,并抑制所放出的氢及氧到达氧化物半导体层140。

[0103] 本实施方式的氧化物半导体层140中,如上所述铟的比率为50%以上,因此,能够实现高迁移率的半导体装置10,但另一方面,氧容易被还原,在层中容易形成氧缺陷。因此,从抑制氧化物半导体层140的还原这方面考虑,利用金属氧化物层130来阻挡从绝缘层120放出的氢是优选的。

[0104] 另外,在形成氧化物半导体层140之后,在经由各种各样的制造工艺(图案化工序或者蚀刻工序)的过程中,在氧化物半导体层140的上层侧形成比下层侧多的氧缺陷。即,氧化物半导体层140中的氧缺陷在厚度方向上以不均匀的分布存在。这种情况下,若为了修复形成在氧化物半导体层140的上层侧的氧缺陷而供给足够量的氧,则会向氧化物半导体层

140的下层侧过量地供给氧。其结果是,由于被过量地供给的氧而形成与氧缺陷不同的缺陷能级,有时会导致可靠性试验中的特性变动或者场效应迁移率的降低等现象。因而可以说,从抑制对氧化物半导体层140的下层侧的过量的氧供给这方面考虑,利用金属氧化物层130来阻挡从绝缘层120放出的氧也是优选的。

[0105] 氧化物半导体层140的厚度例如为10nm以上100nm以下、15nm以上70nm以下或者15nm以上40nm以下。后述的加热处理(OS退火)前的氧化物半导体层140处于非晶态。

[0106] 在要利用后述的OS退火来使氧化物半导体层140结晶化时,优选从基于溅射法的形成起至实施OS退火前的氧化物半导体层140处于非晶态(氧化物半导体的晶体成分少的状态)。即,优选氧化物半导体层140的形成条件为尽可能不使刚形成后的氧化物半导体层140结晶化的条件。例如,在利用溅射法来形成氧化物半导体层140的情况下,期望的是一边控制被形成对象物(包括基板100及在其之上形成的结构物)的温度一边形成氧化物半导体层140。需要说明的是,虽然实际上成为温度控制的对象是被形成对象物,但由于形成在基板100之上的结构物非常薄,因此也可以视作实质上对基板100的温度进行控制。因而,在以下的说明中,有时将被形成对象物简称为“基板”。

[0107] 当利用溅射法来对基板进行薄膜形成(成膜)时,在等离子体中产生的离子及由溅射靶材反冲的原子会与形成对象物(具体而言,形成在基板100之上的结构物)发生碰撞,因此,在薄膜的形成过程中基板的温度会上升。若在薄膜的形成过程中基板的温度上升,则在刚形成后的状态下氧化物半导体层140中含有微晶,导致这之后的基于OS退火实现的结晶化受到妨碍。

[0108] 为了控制形成氧化物半导体层140时的基板的温度(即,成膜温度),例如可以一边冷却基板一边进行薄膜形成。例如,能够以使成膜温度成为100°C以下、70°C以下、50°C以下或者30°C以下的方式对基板从被形成面的相反侧的面进行冷却。尤其是,本实施方式的氧化物半导体层140的成膜温度优选为50°C以下。在本实施方式中,以50°C以下的成膜温度进行氧化物半导体层140的形成,以400°C以上的加热温度进行后述的OS退火。这样,在本实施方式中,优选形成氧化物半导体层140时的温度与对氧化物半导体层140进行OS退火时的温度之差为350°C以上。通过一边冷却基板一边进行氧化物半导体层140的形成,由此能够获得在刚形成后的状态下晶体成分少的氧化物半导体层140。

[0109] 接着,如图4及图7所示,形成由氧化物半导体层140构成的图案(OS图案)(图4的步骤S1003)。虽省略图示,但在氧化物半导体层140之上形成抗蚀剂掩模,使用通过光刻而被图案化的抗蚀剂掩模对氧化物半导体层140进行蚀刻。氧化物半导体层140的蚀刻可以使用湿式蚀刻,也可以使用干式蚀刻。在湿式蚀刻中,例如能够使用酸性的蚀刻剂。具体而言,作为蚀刻剂,能够使用草酸或者氢氟酸。

[0110] 在氧化物半导体层140的图案形成之后,对氧化物半导体层140进行加热处理(OS退火)(图4的步骤S1004)。在OS退火中,通过在大气气氛中以250°C以上500°C以下(优选300°C以上500°C以下,更优选350°C以上450°C以下)的温度对氧化物半导体层140进行加热处理,由此使非晶状态的氧化物半导体层140结晶化。加热气氛不限于大气气氛,优选是氧化性气氛(含有氧的气氛)。更优选氧化性气氛为湿润的气氛(具体而言为湿润的大气气氛)。加热处理的处理时间也可以是在达到规定温度之后15分钟以上120分钟以下、或者30分钟以上60分钟以下。在本实施方式中,将OS退火的温度设定为350°C。

[0111] 在本实施方式中,向具有预先维持在设定温度(250°C以上500°C以下,在本实施方式中为350°C)的加热介质(例如支承板)的加热炉中投入形成有图案化了的氧化物半导体层140的基板。作为加热介质的支承板具有对基板进行支承的作用、和对基板及形成在该基板上的覆膜(包括氧化物半导体层140)进行加热的作用。当在支承板上设置形成有氧化物半导体层140的基板时,氧化物半导体层140被迅速地加热。在将基板设置于加热炉中时,期望将支承板的温度降低抑制在设定温度的15%以内、10%以内或5%以内。即,优选以使氧化物半导体层140在极短的时间达到设定温度的方式进行支承板的温度控制。

[0112] 需要说明的是,在本实施方式中,例示了在形成OS图案之后进行OS退火的例子,但不限于该例,也可以对形成OS图案之前的氧化物半导体层140进行OS退火。这种情况下,由于是对经结晶化的氧化物半导体层140进行蚀刻来形成OS图案,因此,蚀刻处理优选使用干式蚀刻。

[0113] 接着,如图4及图8所示,形成栅极绝缘层150(图4的步骤S1005)。作为栅极绝缘层150,例如形成氧化硅层。栅极绝缘层150通过CVD法来形成。作为栅极绝缘层150,期望形成缺陷尽可能少的绝缘层。在本实施方式中,将栅极绝缘层150的成膜温度设为350°C。栅极绝缘层150的厚度例如为50nm以上300nm以下、60nm以上200nm以下或者70nm以上150nm以下。

[0114] 接着,在本实施方式中,在形成栅极绝缘层150之后,在栅极绝缘层150之上形成金属氧化物层190(图4的步骤S1006)。金属氧化物层190通过溅射法来形成。通过在金属氧化物层190的成膜中使用溅射法,由此在形成金属氧化物层190时向栅极绝缘层150注入氧。因此,在形成金属氧化物层190之后的栅极绝缘层150中含有大量的氧。

[0115] 金属氧化物层190的厚度例如为5nm以上100nm以下、5nm以上50nm以下、5nm以上30nm以下或者7nm以上15nm以下。在本实施方式中,作为金属氧化物层190,使用氧化铝。如前所述,氧化铝具备针对气体的高阻挡性,因此,在进行后述的加热处理时,能够抑制注入到栅极绝缘层150的氧向上方扩散。

[0116] 在将金属氧化物层190利用溅射法来形成的情况下,在金属氧化物层190的膜中残留有溅射所使用的工艺气体。例如,在作为溅射的工艺气体使用了Ar的情况下,有时会在金属氧化物层190的膜中残留有Ar。残留的Ar能够通过对金属氧化物层190进行的SIMS(Secondary Ion Mass Spectrometry,次级离子质谱)分析等来检测出。

[0117] 接着,在栅极绝缘层150之上形成有金属氧化物层190的状态下,进行用于向氧化物半导体层140供给氧的加热处理(氧化退火)(图4的步骤S1007)。换言之,对图案化的金属氧化物层130及氧化物半导体层140进行加热处理(氧化退火)。在从形成氧化物半导体层140起直至在氧化物半导体层140之上形成栅极绝缘层150为止的期间的工序中,在氧化物半导体层140的上表面141及侧面143会产生氧缺陷。通过氧化退火而从绝缘层120及栅极绝缘层150放出的氧被供给至氧化物半导体层140而修复氧缺陷。氧化退火在250°C以上500°C以下(优选300°C以上500°C以下,更优选350°C以上450°C以下)的温度下进行即可。在本实施方式中,在350°C的温度下进行氧化退火。

[0118] 通过氧化退火而从绝缘层120放出的氧被金属氧化物层130阻挡,因此难以向氧化物半导体层140的下表面142供给氧。从绝缘层120放出的氧从没有形成金属氧化物层130的区域向栅极绝缘层150扩散,经由栅极绝缘层150而到达氧化物半导体层140。其结果是,从绝缘层120放出的氧不容易向氧化物半导体层140的下表面142供给,而是主要向氧化物半

导体层140的侧面143及上表面141供给。此外,通过氧化退火而从栅极绝缘层150放出的氧向氧化物半导体层140的上表面141及侧面143供给。通过上述的氧化退火,有时从绝缘层110放出氢。然而,该氢在到达氧化物半导体层140之前被绝缘层120中含有的氧捕获或者被金属氧化物层130阻挡。

[0119] 如上所述,通过氧化退火,能够抑制向氧缺陷的量少的氧化物半导体层140的下表面142供给氧,并且能够对氧缺陷的量相对多的氧化物半导体层140的上表面141及侧面143供给氧。同样,在氧化退火时,注入到栅极绝缘层150的氧向上方的扩散被金属氧化物层190阻挡,因此,抑制氧向大气中放出。因而,在氧化退火时,能够将氧高效地向氧化物半导体层140供给。

[0120] 接着,如图4及图9所示,在氧化退火之后,对金属氧化物层190进行蚀刻来除去(图4的步骤S1008)。金属氧化物层190的蚀刻可以是湿式蚀刻,也可以是干式蚀刻。在湿式蚀刻中,例如使用稀释氢氟酸(DHF)。通过步骤S1008的蚀刻处理来将金属氧化物层190的整体除去。

[0121] 接着,如图4及图10所示,在栅极绝缘层150之上形成栅极布线160,之后对栅极绝缘层150进行蚀刻(图4的步骤S1009)。栅极布线160通过在对由溅射法或者原子层沉积法形成的金属层实施图案化之后进行干式蚀刻来形成。栅极绝缘层150通过在形成栅极布线160之后进一步继续进行干式蚀刻而被蚀刻。即,将栅极布线160作为掩模而对栅极绝缘层150进行蚀刻。这样,在本实施方式中,通过对金属层和栅极绝缘层150一并进行蚀刻,由此形成图案化的栅极绝缘层150及栅极布线160。

[0122] 在本实施方式中,通过将栅极布线160作为掩模来对栅极绝缘层150进行蚀刻,由此使氧化物半导体层140的一部分(后述的成为源极区域S及漏极区域D的区域)露出。另外,由于将栅极布线160作为掩模来进行蚀刻处理,因此,栅极绝缘层150与栅极布线160成为相同的图案形状。

[0123] 如图10所示,当对栅极绝缘层150进行蚀刻直至氧化物半导体层140露出时,不仅是氧化物半导体层140的上表面141露出,氧化物半导体层140的侧面143及金属氧化物层130的上表面也露出。此时,在本实施方式中,由于金属氧化物层130没有被图案化,因此设置在金属氧化物层130的下方的绝缘层120没有露出。即,绝缘层12不必暴露在对栅极绝缘层150进行蚀刻的环境下。

[0124] 绝缘层120与栅极绝缘层150同样地由氧化硅层构成,因此若暴露在对栅极绝缘层150进行蚀刻的环境下,则会被以大致相等的速度蚀刻。即,若绝缘层120从金属氧化物层130露出,则在进行了过度蚀刻的情况下绝缘层120会被深深地蚀刻,可能会在金属氧化物层130的端部(或者氧化物半导体层140的端部)与绝缘层120的上表面之间产生大的阶差。这样的阶差有时会对半导体装置10的电气特性带来恶劣影响(例如,漏电流增大等)。反之,若蚀刻时间不足,则成为在氧化物半导体层140之上残留有栅极绝缘层150的状态,有时会对半导体装置10的电气特性带来恶劣影响(例如,阈值电压向负方向的偏移等)。

[0125] 这样,在绝缘层120从金属氧化物层130露出的情况下,需要准确地掌握氧化物半导体层140的上表面露出为止所需的蚀刻时间以最小限度地实施过度蚀刻这样的蚀刻控制。相对于此,根据本实施方式的制造方法,金属氧化物层130作为对栅极绝缘层150进行蚀刻时的蚀刻阻止部来发挥功能,因此,即便进行了过度蚀刻,绝缘层120也不会被蚀刻。即,

根据本实施方式的制造方法,能够大幅地提高对栅极绝缘层150进行蚀刻时的工艺裕度。

[0126] 接着,如图4及图11所示,形成由金属氧化物层130构成的图案(A10x图案)(图4的步骤S1010)。结晶化后的氧化物半导体层140具有针对氢氟酸的蚀刻耐受性。因此,本实施方式的金属氧化物层130将图案化的氧化物半导体层140作为掩模而被蚀刻。金属氧化物层130的蚀刻可以使用湿式蚀刻,也可以使用干式蚀刻。在湿式蚀刻中,例如使用稀释氢氟酸(DHF)。通过将氧化物半导体层140作为掩模来对金属氧化物层130进行蚀刻,由此能够省略光刻工序。

[0127] 接着,如图4及图12所示,在栅极绝缘层150及栅极布线160之上形成绝缘层170及180作为钝化层(图4的步骤S1011)。绝缘层170及180通过CVD法来形成。在本实施方式中,作为绝缘层170,形成氧化硅层,作为绝缘层180,形成氮化硅层。绝缘层170及180的成膜温度优选设定为250℃以上500℃以下(优选300℃以上450℃以下,更优选325℃以上400℃以下)。在本实施方式中,将绝缘层170及180的成膜温度设定为350℃。另外,绝缘层170及180的厚度设为50nm以上500nm以下即可。在本实施方式中,将绝缘层170的厚度设为100nm,将绝缘层180的厚度设为300nm。

[0128] 绝缘层170及180作为用于防止气体、水分从外部侵入的钝化层(保护层)来发挥功能。另外,如上所述,还具有将栅极布线160与源·漏电极200绝缘分离的作用。此外,在本实施方式中,通过形成绝缘层170及180(尤其是绝缘层180),由此在氧化物半导体层140中形成源极区域S及漏极区域D。

[0129] 本实施方式的绝缘层180由氮化硅构成。在通过CVD法来形成绝缘层180时,作为原料气体使用的是氨,因此绝缘层180含有大量的氢。因此,在形成绝缘层180时以及在形成绝缘层180之后,通过对绝缘层180进行加热而使氢从绝缘层180扩散。扩散了的氢经由绝缘层170而达到氧化物半导体层140。此时,氧化物半导体层140中的与绝缘层170相接的区域中含有的氧被还原,形成氧缺陷。在形成的氧缺陷中捕获氢而形成施主能级(donor level)。由此,被供给了氢的氧化物半导体层140的一部分得以低电阻化,作为源极区域S及漏极区域D来发挥功能。相对于此,位于栅极布线160的正下方的氧化物半导体层140由于没有氢到达而未被低电阻化,作为沟道区域CH来发挥功能。

[0130] 本实施方式的半导体装置10中,由于栅极绝缘层150成为与栅极布线160相同的图案形状,因此从栅极绝缘层150露出的氧化物半导体层140直接与绝缘层170相接。因而,相较于由栅极绝缘层150覆盖氧化物半导体层140的结构而言,成为氢也容易向栅极布线160的下方扩散的结构。因此,如图12所示,在扩散到栅极布线160的下方的氢的作用下,原本应是沟道区域CH的区域的一部分也被低电阻化。即,源极区域S及漏极区域D朝向沟道区域CH延长,形成重叠区域OL。

[0131] 如前所述,在本实施方式中,能够将第一方向(沟道长度方向)上的重叠区域OL的宽度(ΔL)抑制为1 μm 以下。通过将重叠区域OL的宽度抑制为1 μm 以下,由此能够抑制设计沟道长度与有效沟道长度的偏离。其结果是,本实施方式的半导体装置10中,即便是沟道长度为4 μm 以下,也能够获得稳定的电气特性。

[0132] 作为能够将重叠区域OL的宽度(ΔL)抑制为1 μm 以下的理由,可举出在设置于氧化物半导体层140的下方的绝缘层120(在本实施方式中为氧化硅层)中含有大量的氧。

[0133] 在俯视观察下,在氧化物半导体层140的周围,含有大量的氧的绝缘层120与绝缘

层170直接相接。因此,从绝缘层170及180扩散的氢的大部分被绝缘层120捕获,朝向氧化物半导体层140扩散的氢量受到抑制。此时,氧化物半导体层140的源极区域S及漏极区域D与绝缘层170直接相接,因此即便扩散的氢量少也被充分地低电阻化,但朝向栅极布线160的下方扩散的氢的量减少。其结果是,认为在本实施方式中,重叠区域OL的宽度(即,氢的扩散长度)变短。

[0134] 为了增加绝缘层120的含氧量,优选例如将绝缘层120的成膜温度设定得比较低。在本实施方式中,设定为350°C,但只要在250°C以上500°C以下(优选300°C以上500°C以下,更优选350°C以上450°C以下)的范围内即可。

[0135] 另外,在本实施方式中,包括在绝缘层120之上形成金属氧化物层130的工艺,该工艺也有助于增加绝缘层120的含氧量。具体而言,在通过溅射法形成氧化铝来作为金属氧化物层130时,向绝缘层120注入氧。由此,向在上述的成膜温度下含氧量增多的绝缘层120进一步注入氧,因此能够使绝缘层120的中的氧的总量多。

[0136] 如上所述,本实施方式的半导体装置10中,通过将栅极绝缘层150加工成与栅极布线160相同的图案形状,而成为氧化物半导体层140与绝缘层170直接相接的结构。由此,能够使用从绝缘层170及180扩散的氢来将氧化物半导体层140的一部分低电阻化,从而形成源极区域S及漏极区域D。另外,此时由于在成为氧化物半导体层140的基底的绝缘层120中含有大量的氧,因此能够减少在氧化物半导体层140的低电阻化中所利用的氢量。其结果是,能够抑制氢向栅极布线160的正下方的扩散,从而能够缩短重叠区域OL的宽度。

[0137] 接着,如图4及图13所示,在绝缘层170及180形成开口171、173(图4的步骤S1012)。开口171使源极区域S的氧化物半导体层140露出。开口173使漏极区域D的氧化物半导体层140露出。通过在由开口171、173露出的氧化物半导体层140之上及绝缘层180之上形成源·漏电极200(图4的步骤S1013),由此完成图1所示的半导体装置10。

[0138] 在通过本实施方式的制造方法制成的半导体装置10中,在沟道区域CH的沟道长度L为2 μm 以上4 μm 以下且沟道区域CH的沟道宽度为2 μm 以上25 μm 以下的范围内,能够获得场效应迁移率为30 cm^2/Vs 以上、35 cm^2/Vs 以上或40 cm^2/Vs 以上的电气特性。本实施方式中的“场效应迁移率”是指半导体装置10的饱和区域中的场效应迁移率,意味着源电极与漏电极之间的电位差(Vd)大于从供给至栅极布线的电压(Vg)中减去半导体装置10的阈值电压(Vth)而得到的值(Vg-Vth)的区域中的场效应迁移率的最大值。

[0139] 〈第二实施方式〉

[0140] 在本实施方式中,对通过与第一实施方式不同的方法制造出的半导体装置进行说明。本实施方式的半导体装置10的结构在外观上与第一实施方式中说明了的半导体装置10相同。在本实施方式中,着眼于与第一实施方式不同的点进行说明。

[0141] 图14是表示本发明的一实施方式中的半导体装置10的制造方法的顺序图。如图14所示,在本实施方式中,省略了图4所示的步骤S1006(A10x形成)及S1008(A10x除去)这两个工序。即,在本实施方式中,在形成栅极绝缘层150之后,就在该状态下进行氧化退火。通过该氧化退火,从栅极绝缘层150放出的氧被向氧化物半导体层140供给,氧化物半导体层140中包含的氧缺陷得到修复。此时的金属氧化物层130的作用与第一实施方式同样,因此省略此处的说明。

[0142] 在通过本实施方式的制造方法制成的半导体装置10中,在沟道区域CH的沟道长度

L为 $2\mu\text{m}$ 以上 $4\mu\text{m}$ 以下且沟道区域CH的沟道宽度W为 $2\mu\text{m}$ 以上 $25\mu\text{m}$ 以下的范围内,能够获得迁移率为 $30\text{cm}^2/\text{Vs}$ 以上、 $35\text{cm}^2/\text{Vs}$ 以上或 $40\text{cm}^2/\text{Vs}$ 以上的电气特性。本实施方式中的场效应迁移率的定义与第一实施方式同样。

[0143] 〈第三实施方式〉

[0144] 使用图15~图19来对使用了本发明的一实施方式的半导体装置的显示装置进行说明。在以下所示的实施方式中,对将在第一实施方式及第二实施方式中说明了的各半导体装置适用于液晶显示装置的电路的构成进行说明。

[0145] [显示装置的概要]

[0146] 图15是表示本发明的一实施方式中的显示装置20的概要的俯视图。如图15所示,显示装置20具有阵列基板300、密封部310、对置基板320、柔性印制电路基板330(FPC330)及IC芯片340。阵列基板300与对置基板320通过密封部310来贴合。在由密封部310包围的液晶区域22呈矩阵状地配置有多个像素电路301。液晶区域22是与后述的液晶元件311在俯视观察下重叠的区域。

[0147] 设置有密封部310的密封区域24是液晶区域22周围的区域。FPC330设置于端子区域26。端子区域26是阵列基板300中的从对置基板320露出的区域,设置在密封区域24的外侧。密封区域24的外侧是指设置有密封部310的区域及由密封部310包围的区域的外侧。IC芯片340设置在FPC330上。IC芯片340供给用于使各像素电路301驱动的信号。

[0148] [显示装置的电路构成]

[0149] 图16是表示本发明的一实施方式中的显示装置20的电路构成的框图。如图16所示,在Y方向(列方向)上与配置有像素电路301的液晶区域22邻接的位置设置有源极驱动电路302。另外,在X方向(行方向)上与液晶区域22邻接的位置设置有栅极驱动电路303。源极驱动电路302及栅极驱动电路303设置在上述的密封区域24。但是,设置有源极驱动电路302及栅极驱动电路303的区域不限于密封区域24,只要是设置有像素电路301的区域的外侧,则可以是任何区域。

[0150] 源极布线304从源极驱动电路302沿着Y方向延伸,与在Y方向上排列的多个像素电路301连接。栅极布线305从栅极驱动电路303沿着X方向延伸,与在X方向上排列的多个像素电路301连接。

[0151] 在端子区域26设置有端子部306。端子部306与源极驱动电路302通过连接布线307来连接。同样,端子部306与栅极驱动电路303通过连接布线308来连接。通过将FPC330与端子部306连接,由此经由FPC330将外部设备与显示装置20连接。设置于显示装置20的各像素电路301由经由FPC330输入的来自外部设备的信号驱动。

[0152] 第一实施方式及第二实施方式所示的半导体装置10用作像素电路301、源极驱动电路302及栅极驱动电路303中所含的晶体管。

[0153] [显示装置的像素电路]

[0154] 图17是表示本发明的一实施方式中的显示装置20的像素电路301的电路图。如图17所示,像素电路301包括半导体装置10、保持电容350及液晶元件311等元件。

[0155] 半导体装置10具有栅极布线160、源电极201及漏电极203。栅极布线160与栅极布线305连接。源电极201与源极布线304连接。漏电极203与保持电容350及液晶元件311连接。源电极201及漏电极203有时根据向源极布线304供给的电压与蓄积在保持电容350中的电

压之间的关系而调换作用。即,存在源电极201作为漏电极来发挥功能、漏电极203作为源电极来发挥功能的情况。

[0156] [显示装置的剖面结构]

[0157] 图18是表示本发明的一实施方式中的显示装置20的概要的剖视图。如图18所示,显示装置20是使用了半导体装置10的显示装置。在本实施方式中,例示出将半导体装置10用于像素电路301的构成,但半导体装置10也可以用于包括源极驱动电路302及栅极驱动电路303在内的周边电路。在以下的说明中,半导体装置10的构成与图1所示的半导体装置10同样,因此省略详细的说明。

[0158] 在源电极201及漏电极203之上设置有绝缘层360。在绝缘层360之上设置有对多个像素来说共用地设置的公共电极370。在公共电极370之上设置有绝缘层380。在绝缘层360及380设置有开口381。在绝缘层380之上及开口381的内部设置有像素电极390。像素电极390与漏电极203连接。

[0159] 图19是本发明的一实施方式中的显示装置20的像素电极390及公共电极370的俯视图。如图19所示,公共电极370由平板状的导电层构成。像素电极390由沿着X方向延伸的部分与沿着Y方向延伸的部分组合而成的梳齿状的导电层构成。沿着Y方向延伸的部分由多根线状电极构成,分别与沿着X方向延伸的部分连接。

[0160] 公共电极370具有在俯视观察下与像素电极390重叠的重叠区域和与像素电极390不重叠的非重叠区域。当向像素电极390与公共电极370之间供给电压时,则从重叠区域的像素电极390朝向非重叠区域的公共电极370形成横向的电场。通过该横向的电场使液晶元件311中含有的液晶分子动作,由此确定像素的灰度。

[0161] 〈第四实施方式〉

[0162] 使用图20及图21来对使用了本发明的一实施方式中的半导体装置的显示装置进行说明。在以下所示的实施方式中,对将在上述的第一实施方式及第二实施方式中说明了的各半导体装置适用于有机EL显示装置的电路的构成进行说明。显示装置20a的概要及电路构成与图15及图16所示的情况同样,因此省略在此的说明。

[0163] [显示装置的像素电路]

[0164] 图20是表示本发明的一实施方式中的显示装置20a的像素电路301a的电路图。如图20所示,像素电路301a包括驱动晶体管11、选择晶体管12、保持电容210及发光元件D0等元件。

[0165] 驱动晶体管11及选择晶体管12具备与半导体装置10同样的构成。选择晶体管12的源电极与信号线211连接,选择晶体管12的栅极布线与栅极线212连接。驱动晶体管11的源电极与阳极电源线213连接,驱动晶体管11的漏电极与发光元件D0的一端连接。发光元件D0的另一端与阴极电源线214连接。驱动晶体管11的栅极布线与选择晶体管12的漏电极连接。保持电容210与驱动晶体管11的栅极布线及漏电极连接。向信号线211供给确定发光元件D0的发光强度的灰度信号。向栅极线212供给选择要写入上述的灰度信号的像素行的信号。

[0166] [显示装置的剖面结构]

[0167] 图21是表示本发明的一实施方式中的显示装置20a的概要的剖视图。图21所示的显示装置20a的构成虽与图18所示的显示装置20类似,但在显示装置20和显示装置20a中,比绝缘层360靠上方的结构有所不同。以下,针对图21所示的显示装置20a的构成中的与图

18所示的显示装置20同样的构成省略说明,对两者的不同点进行说明。

[0168] 如图21所示,显示装置20a在绝缘层360的上方具有像素电极390、发光层392及公共电极394。发光元件D0由像素电极390、发光层392及公共电极394构成。像素电极390设置在绝缘层360之上及开口381的内部。这里,绝缘层362被称为堤部、肋部等,具有定义发光区域的作用。绝缘层362设置在像素电极390之上。在绝缘层362设置有开口363。开口363与发光区域对应。在由开口363露出的像素电极390之上设置有发光层392及公共电极394。像素电极390及发光层392针对各像素分别设置。另一方面,公共电极394相对于多个像素共用地设置。发光层392根据像素的显示色而使用不同的材料。

[0169] 在第三实施方式及第四实施方式中,例示了将在第一实施方式及第二实施方式中说明的半导体装置分别适用于液晶显示装置及有机EL显示装置的构成。然而,在第一实施方式及第二实施方式中说明了的半导体装置也可以适用于上述的显示装置以外的显示装置(例如,有机EL显示装置以外的自发光型显示装置或者电子纸型显示装置)。另外,从小型的显示装置到大型的显示装置都可以没有特别限定地适用上述的各半导体装置。

[0170] 〈实施例〉

[0171] [半导体装置的电气特性]

[0172] 图22A是表示本发明的一实施方式中的半导体装置10的电气特性的图。图22B是表示比较例中的半导体装置的电气特性的图。具体而言,图22B与具有在图1所示的半导体装置10中省略了金属氧化物层130这样的结构的半导体装置的电气特性对应。图22A及图22B分别示出测定多个半导体装置而得到的多个电气特性。

[0173] 图22A及图22B所示的电气特性的测定条件如下。

[0174] • 沟道区域CH的尺寸: $W/L = 4.5\mu\text{m}/3.0\mu\text{m}$

[0175] • 源极・漏极间电压: 0.1V、10V

[0176] • 栅极电压: -15V ~ +15V

[0177] • 测定环境: 室温、暗室

[0178] 在图22A及图22B中,作为半导体装置的电气特性,示出 I_d - V_g 特性及饱和区域中的场效应迁移率(μ_{sat})。如在图22A及图22B的图表中用箭头示出的那样,表示漏极电流(I_d)的纵轴在图表的左侧示出。另外,表示根据漏极电流计算出的场效应迁移率的纵轴在图表的右侧示出。横轴是向各半导体装置供给的栅极电压。

[0179] 如图22A所示,就第一实施方式的半导体装置10中的 I_d - V_g 特性而言,示出在栅极电压 V_g 大致为0V时漏极电流 I_d 开始流动的所谓的常截止(normally off)的特性。无论源极・漏极间电压是0.1V、还是10V,漏极电流的偏差都小,非常地稳定。根据多个 I_d - V_g 特性得到的阈值电压(V_{th})的平均值为0.16V。另外,根据多个 I_d - V_g 特性得到的本征迁移率的平均值为 $24.8\text{cm}^2/V_s$,场效应迁移率的平均值为 $39.3\text{cm}^2/V_s$ 。

[0180] 相对于此,如图22B所示,就比较例的半导体装置的 I_d - V_g 特性而言,示出阈值电压向负方向偏移、在栅极电压 V_g 为0V以下时漏极电流 I_d 开始流动的所谓的常导通(normally on)的特性。根据多个 I_d - V_g 特性得到的阈值电压的平均值为-3.59V。另外,就漏极电流而言,虽观察到些许的偏差但表现出平均高的值,在开关特性上没有看到大的问题。根据多个 I_d - V_g 特性得到的本征迁移率的平均值为 $19.5\text{cm}^2/V_s$,场效应迁移率的平均值为 $30.8\text{cm}^2/V_s$ 。

[0181] 这里,第一实施方式的半导体装置10中的重叠区域OL的宽度($\Delta L/2$)的平均值为 $0.82\mu\text{m}$,比较例的半导体装置中的重叠区域OL的宽度的平均值为 $1.50\mu\text{m}$ 。即,可知根据图1所示的金属氧化物层130的有无而使重叠区域OL的宽度产生近2倍的差异。即,可知在减小重叠区域OL的宽度这方面,设置金属氧化物层130是非常有效的。

[0182] 比较例的半导体装置中,设计沟道长度为 $3.0\mu\text{m}$,重叠区域OL的宽度为 $1.5\mu\text{m}$,因此在计算上看起来不存在沟道区域CH。然而,实际上,设计沟道长度存在误差,上述的重叠区域OL的宽度只不过是平均值,因此,在实际上沟道区域CH并未完全消失。

[0183] 重叠区域OL的宽度能够用各种方法来求解。在本实施方式中,示出根据施加不同的栅极电压时的晶体管的设计沟道长度与沟道电阻R的关系来求解重叠区域OL的例子。

[0184] 图23是针对不同的栅极电压(V_g)例示了晶体管中的沟道电阻(R)相对于设计沟道长度(布局上的沟道长度)(L_g)的关系的图。具体而言,在图23中,横轴是设计沟道长度(L_g),纵轴是沟道电阻(R)。在图23中,示出针对设计沟道长度(L_g)为 L_1 、 L_2 或 L_3 的各晶体管施加了1V、2V或3V作为栅极电压(V_g)的情况下的各沟道电阻(R)。如图23所示,在各栅极电压(V_g)下,设计沟道长度(L_g)与沟道电阻(R)呈线形关系。

[0185] 这里,在 L_g 减小的方向上外插表示各线形关系的直线的情况下,出现各外插线交叉的点。该交叉点在所测定的晶体管的系统中是有效沟道长度(L_{eff})成为零的点。此时,若将交叉点的X坐标设为 ΔL 、将Y坐标设为 R_0 ,则 ΔL 相当于重叠区域OL的宽度, R_0 相当于由重叠区域OL产生的串联电阻。在有效沟道长度(L_{eff})与设计沟道长度(L_g)之间, $L_{\text{eff}} = L_g - \Delta L$ 的关系成立。如图1所示,在晶体管相对于第一方向(D1方向)对称的情况下,源极侧的重叠区域OL_S与漏极侧的重叠区域OL_D的合计成为 ΔL 。即,在源极侧的重叠区域OL_S与漏极侧的重叠区域OL_D之间, $OL_S = OL_D = \Delta L/2$ 的关系成立。

[0186] 接着,图24A是表示本发明的一实施方式的半导体装置10中的阈值电压对于沟道长度的依赖性的图。图24B是表示上述的比较例的半导体装置中的阈值电压对于沟道长度的依赖性的图。这里,各半导体装置的沟道宽度(W)设为 $4.5\mu\text{m}$ 。

[0187] 如图24A所示,可知本实施方式的半导体装置10中,在沟道长度为 $4\mu\text{m}$ 以上 $20\mu\text{m}$ 以下的范围内阈值电压几乎不发生变化,表现出稳定的开关特性。另外,可知即便在沟道长度为 $4\mu\text{m}$ 以下(例如 $2.5\mu\text{m}$ 以上 $4\mu\text{m}$ 以下)的范围内,也能够确保 -0.4V 以上的阈值电压。即,本实施方式的半导体装置10能够不依赖于沟道长度而获得稳定的阈值电压,并且,即便沟道长度为 $4\mu\text{m}$ 以下,阈值电压也不会大幅地向负方向偏移。相对于此,如图24B所示,观察到比较例的半导体装置在沟道长度为 $10\mu\text{m}$ 以下的范围内阈值电压向负方向偏移。

[0188] 认为在图24A及图24B中观察到的电气特性的差异是由于重叠区域OL的宽度($\Delta L/2$)导致的。即,本实施方式的半导体装置10由于能够将重叠区域OL的宽度抑制为 $1\mu\text{m}$ 以下,因此设计沟道长度(L_g)与有效沟道(L_{eff})的偏离小。因此,阈值电压对沟道长度的依赖性表现出接近于阈值电压对设计沟道长度的依赖性的趋势。另一方面,比较例的半导体装置中重叠区域OL的宽度比本实施方式长,因此,设计沟道长度越短,由重叠区域OL的宽度带来的影响越显著化。

[0189] 如上所述,可以说将重叠区域OL的宽度设为 $1\mu\text{m}$ 以下在抑制半导体装置的电气特性的劣化、尤其是抑制阈值电压向负方向的偏移这方面是重要的。并且,为了将重叠区域OL的宽度抑制为 $1\mu\text{m}$ 以下,增加成为氧化物半导体层140的基底的层、即绝缘层120的含氧量是

有效的。另外,期望除了增加绝缘层120的含氧量以外,还在绝缘层120与氧化物半导体层140之间设置金属氧化物层130。

[0190] 之前作为本发明的实施方式叙述了的各实施方式只要彼此不矛盾则能够适当组合来实施。另外,本领域技术人员在各实施方式的基础上适当进行构成要素的追加、删除或设计变更所得的方案、或者进行工序的追加、省略或条件变更所得的方案只要具备本发明的主旨,则也包含在本发明的范围中。

[0191] 即便是与通过上述的各实施方式的方案带来的作用效果不同的其他的作用效果,若是根据本说明书的记载明确可知或者对本领域技术人员来说能容易地预测到的,则当然也可理解为是通过本发明带来的作用效果。

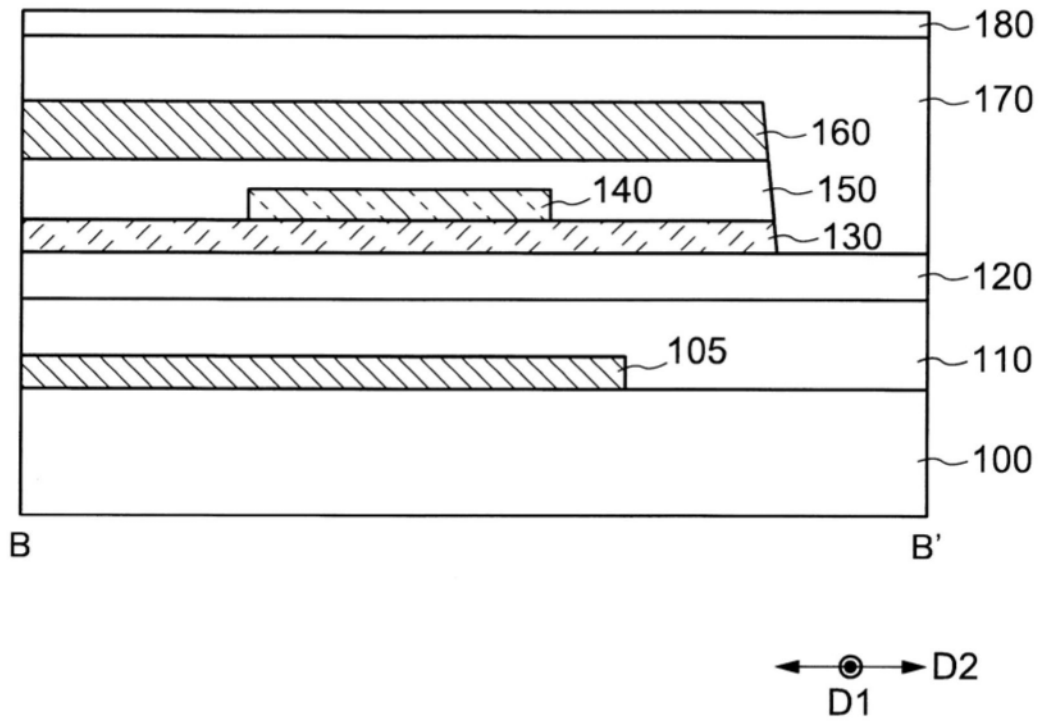
10

图2

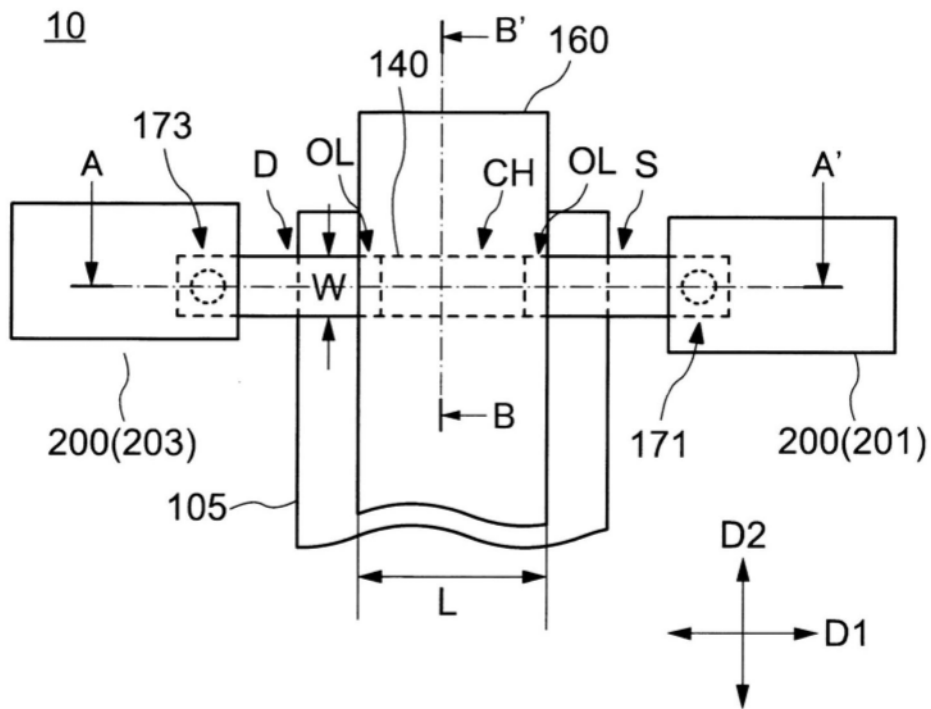


图3A

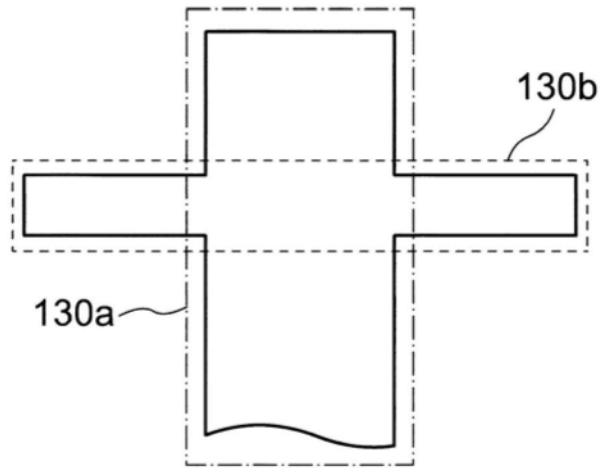


图3B

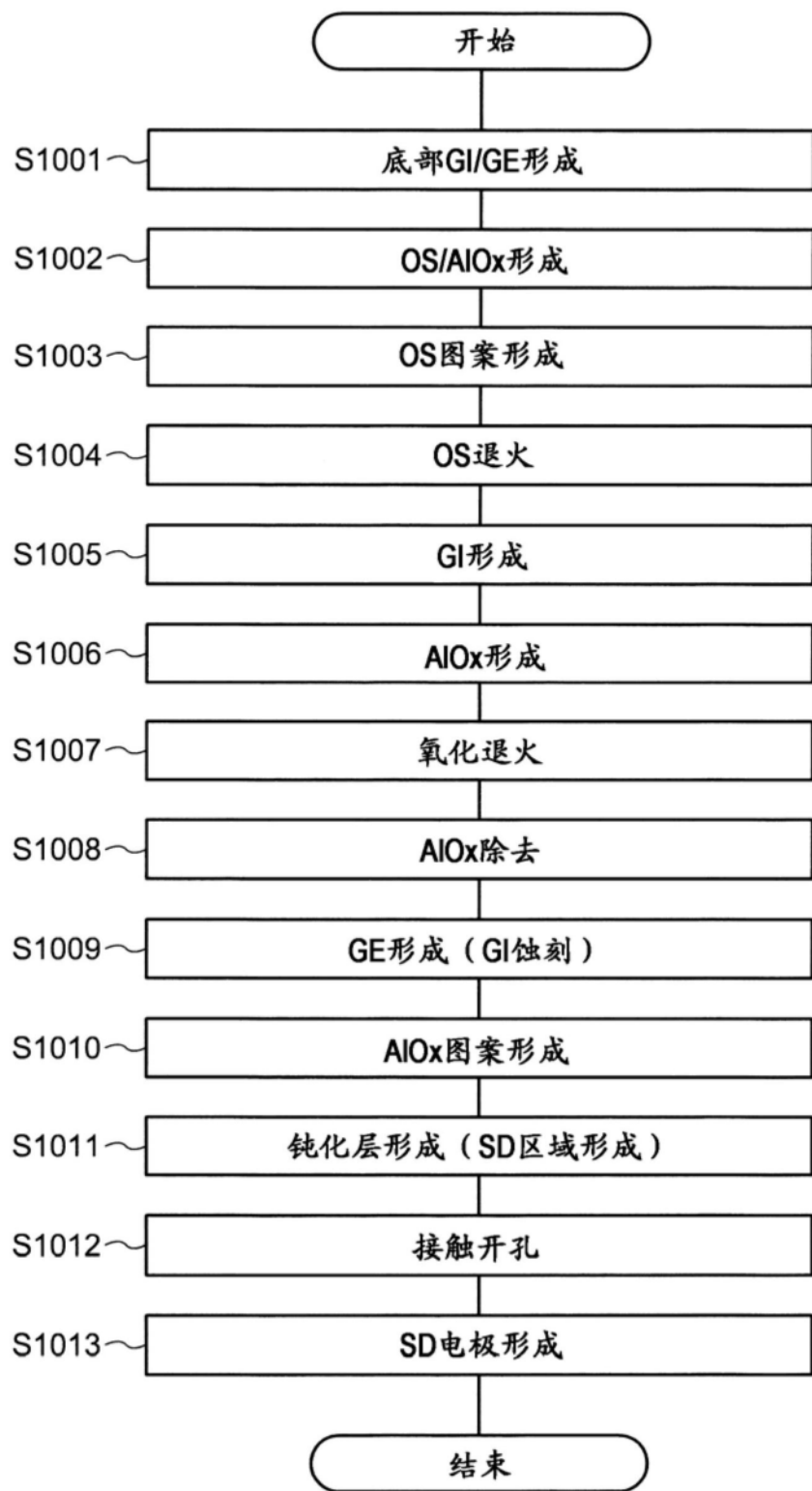


图4

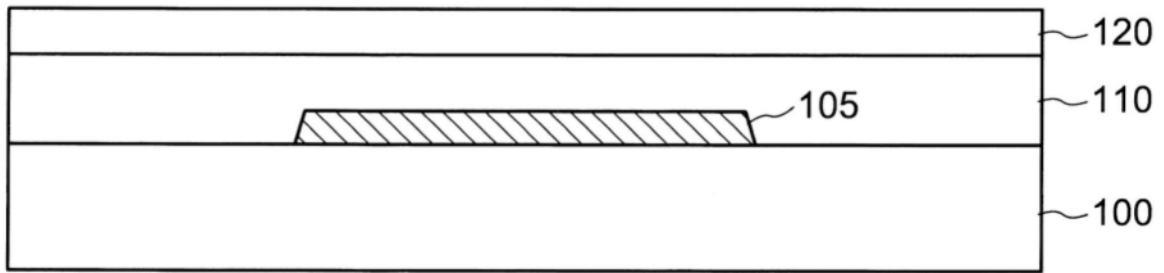


图5

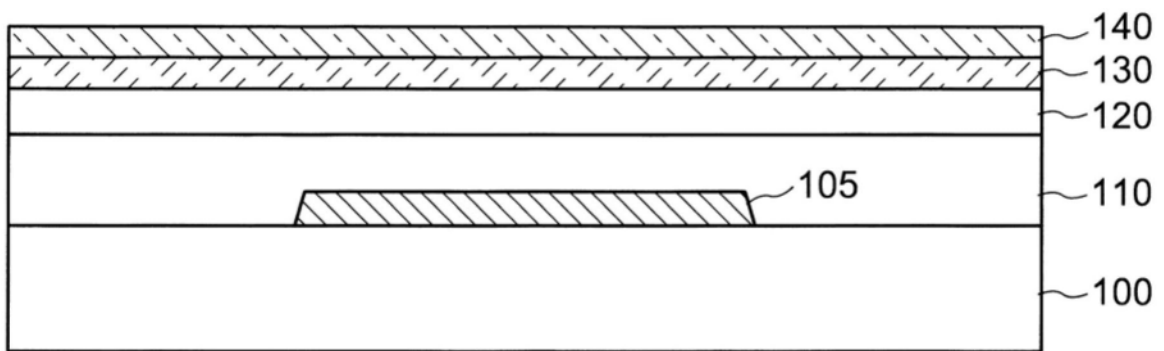


图6

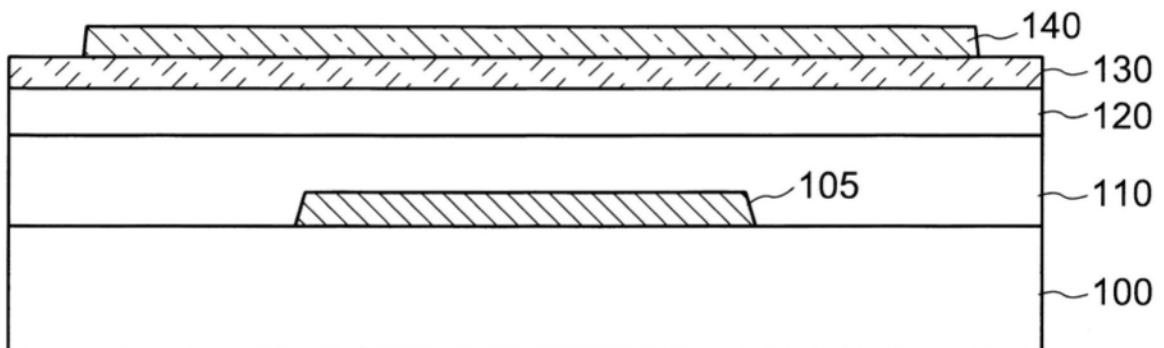


图7

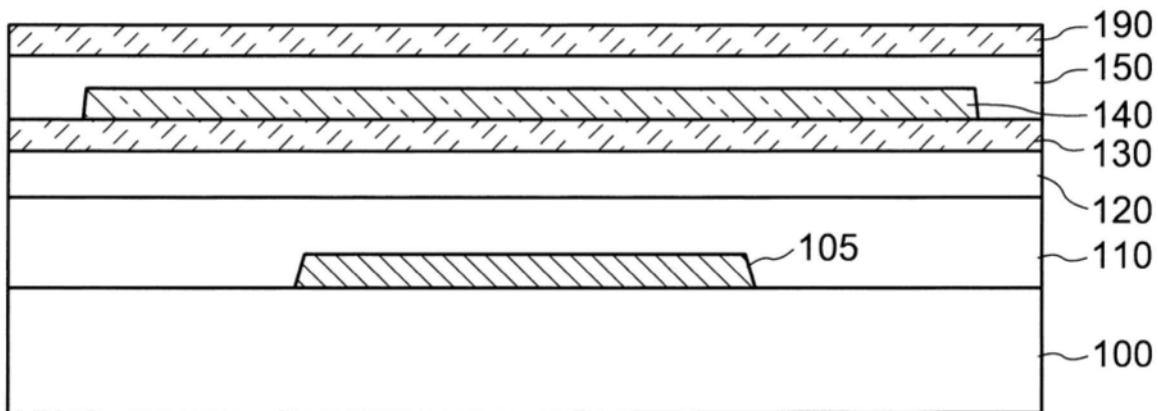


图8

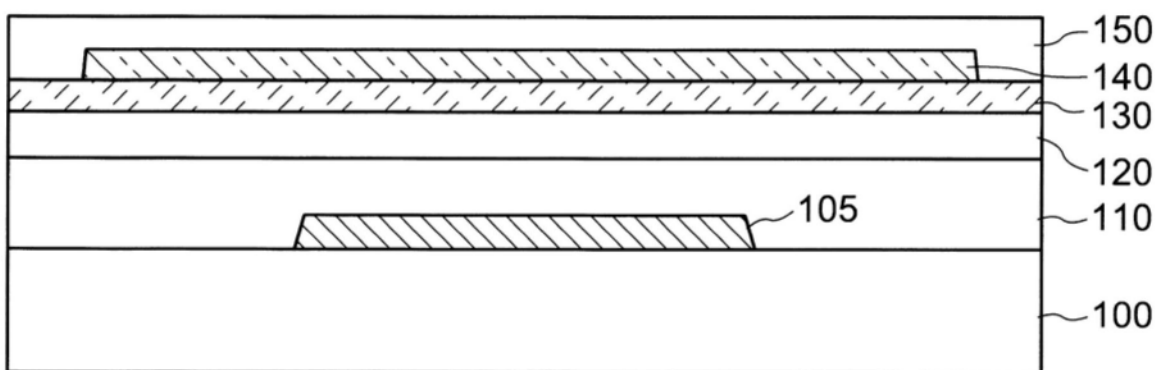


图9

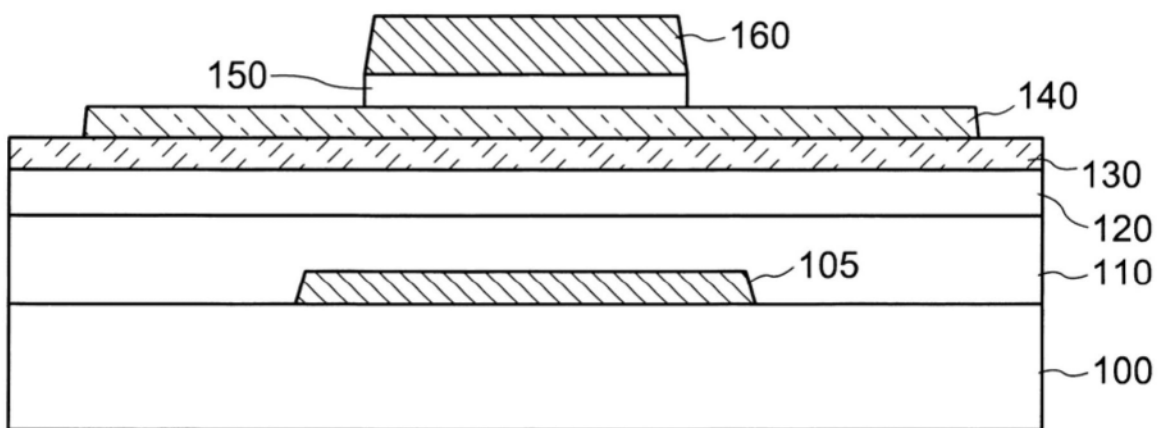


图10

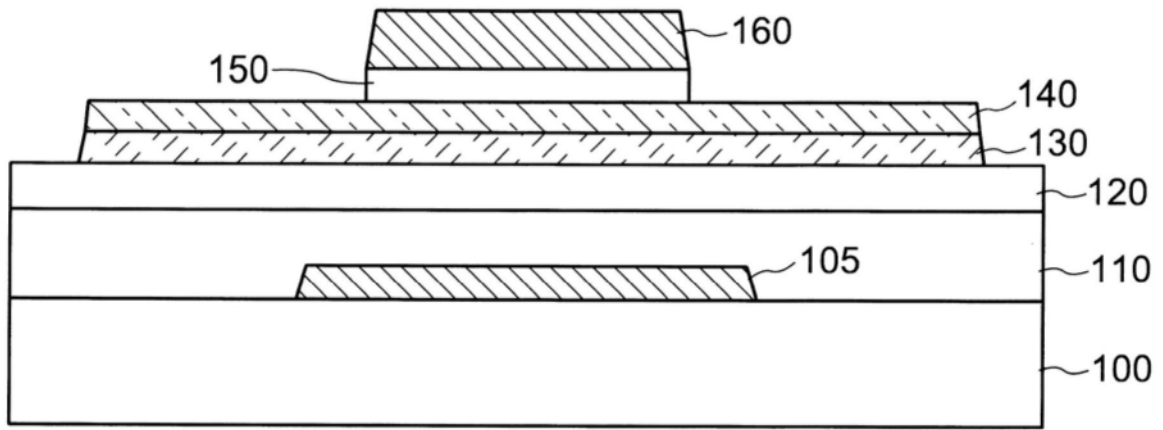


图11

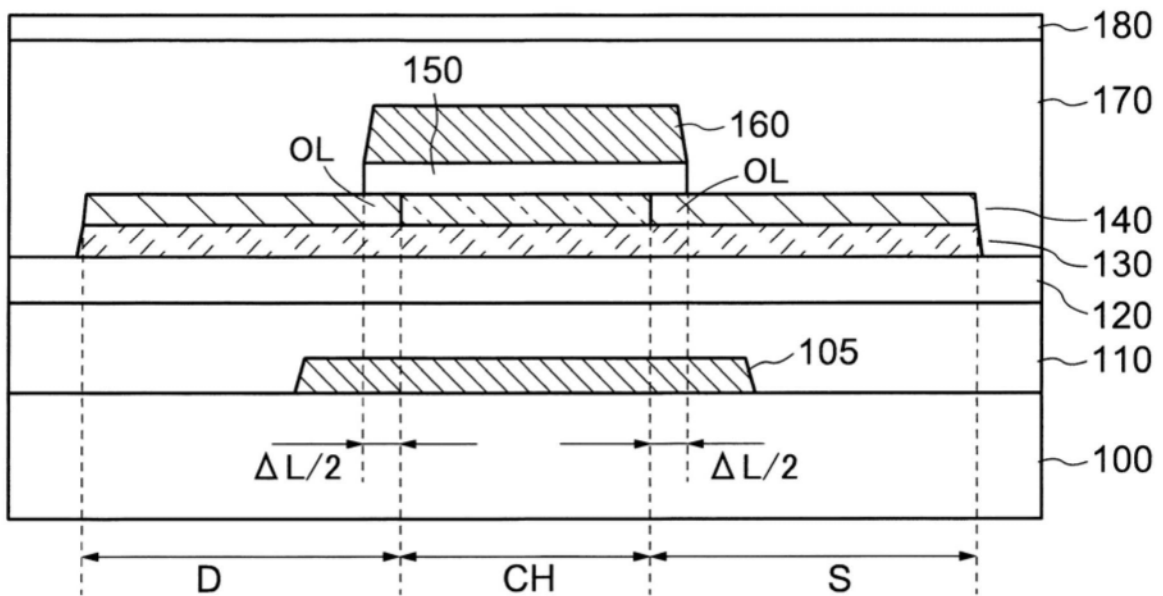


图12

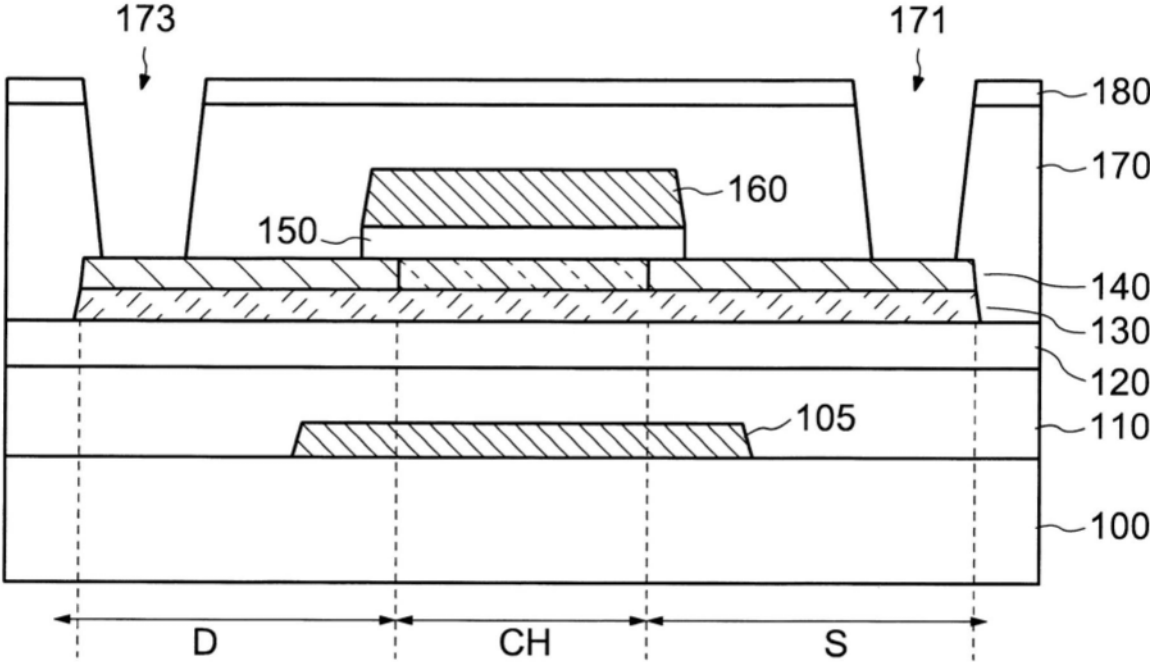


图13



图14

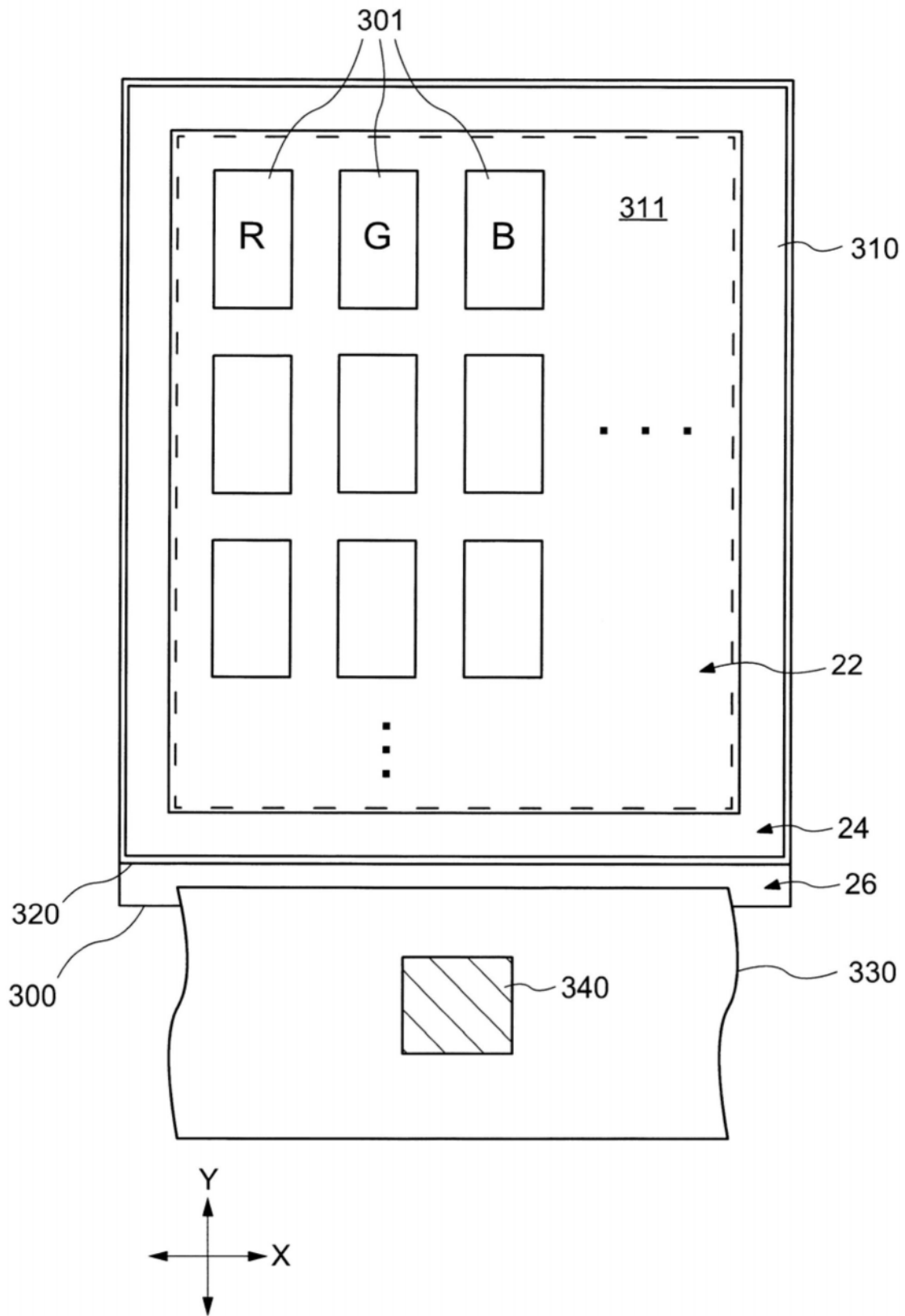
20

图15

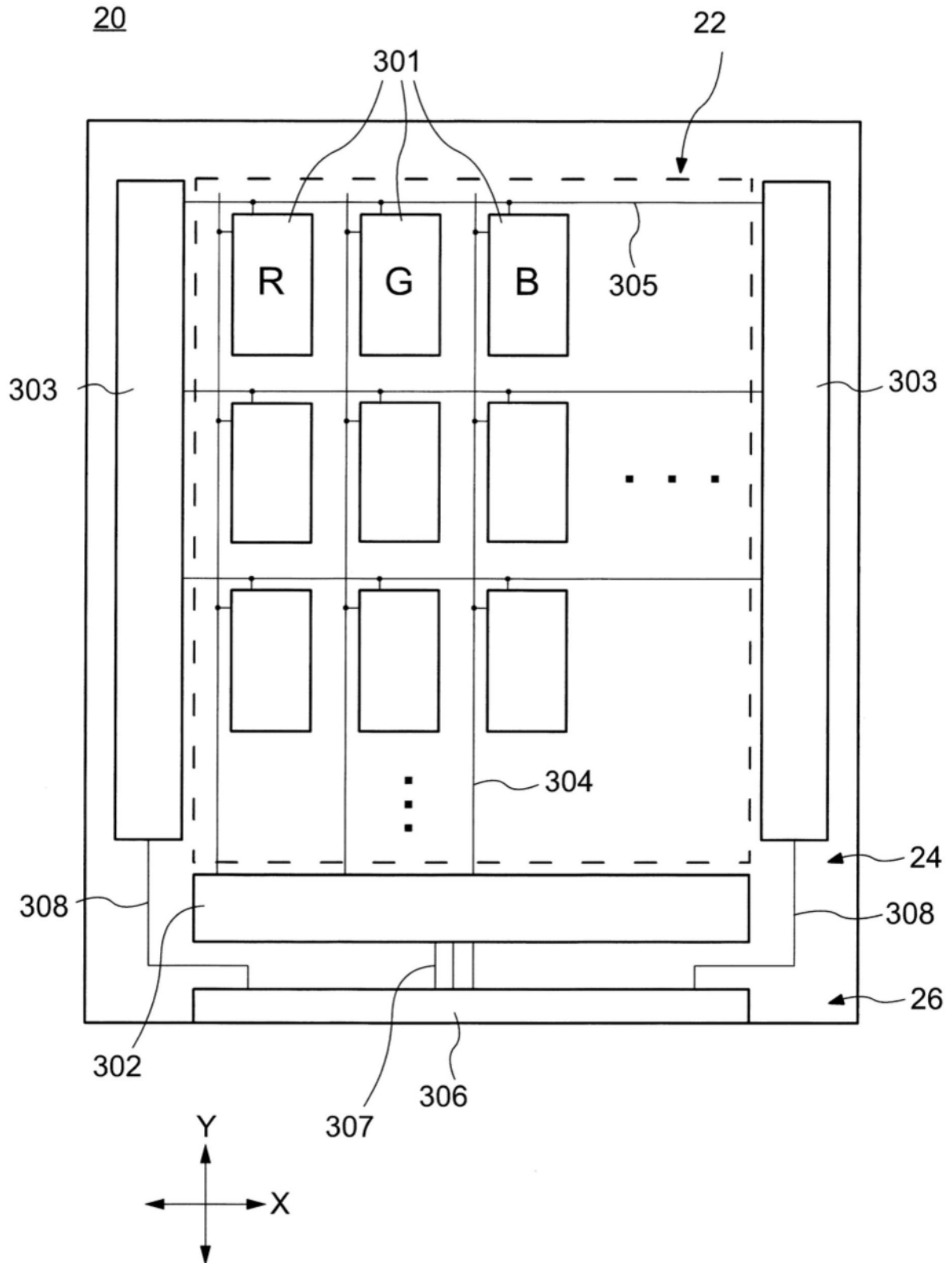


图16

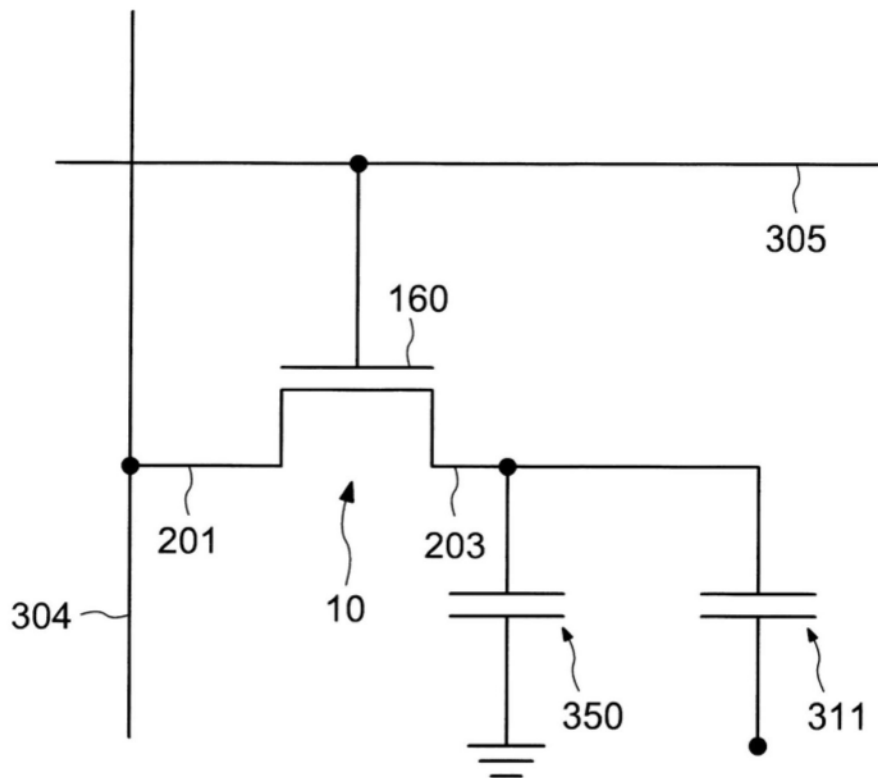
301

图17

20

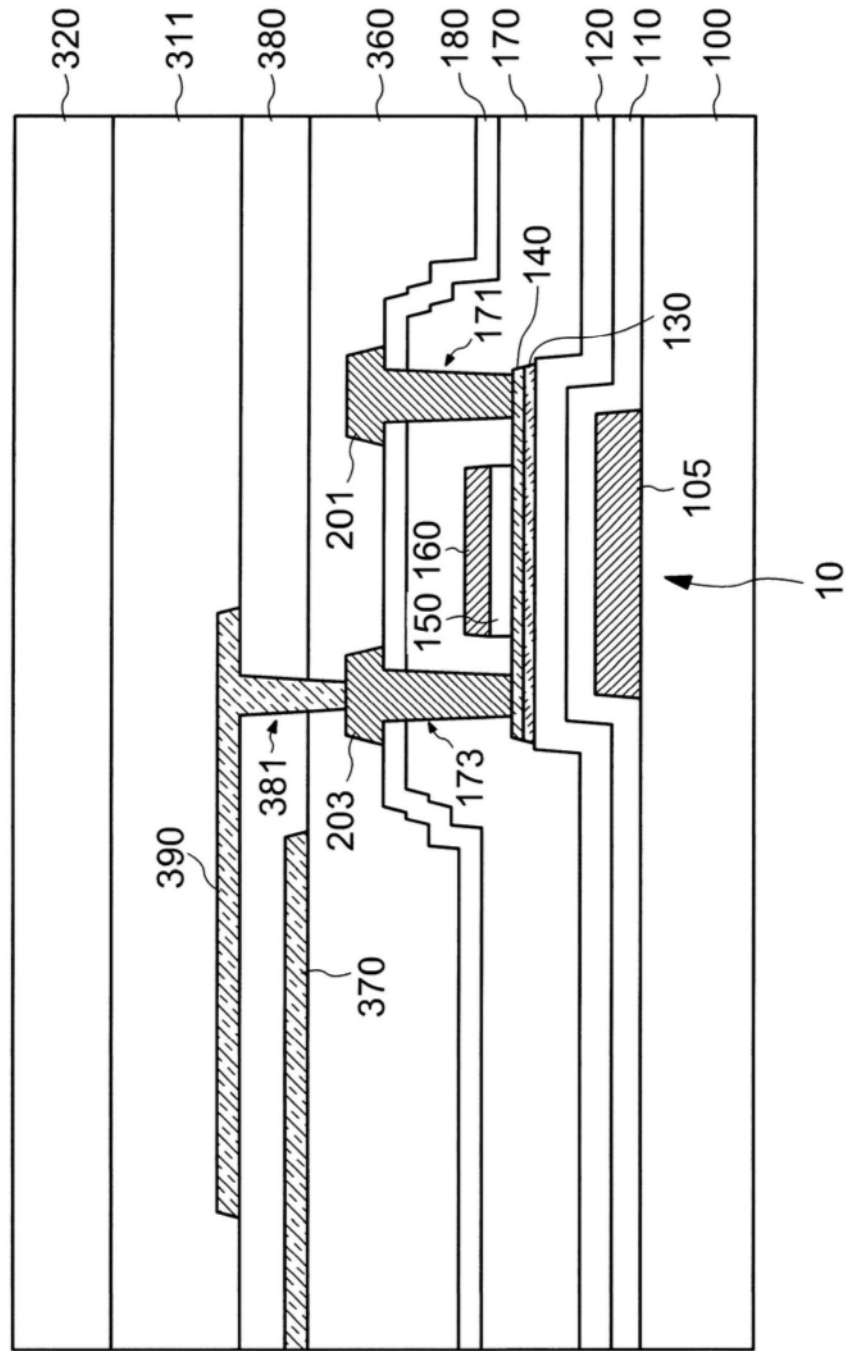


图18

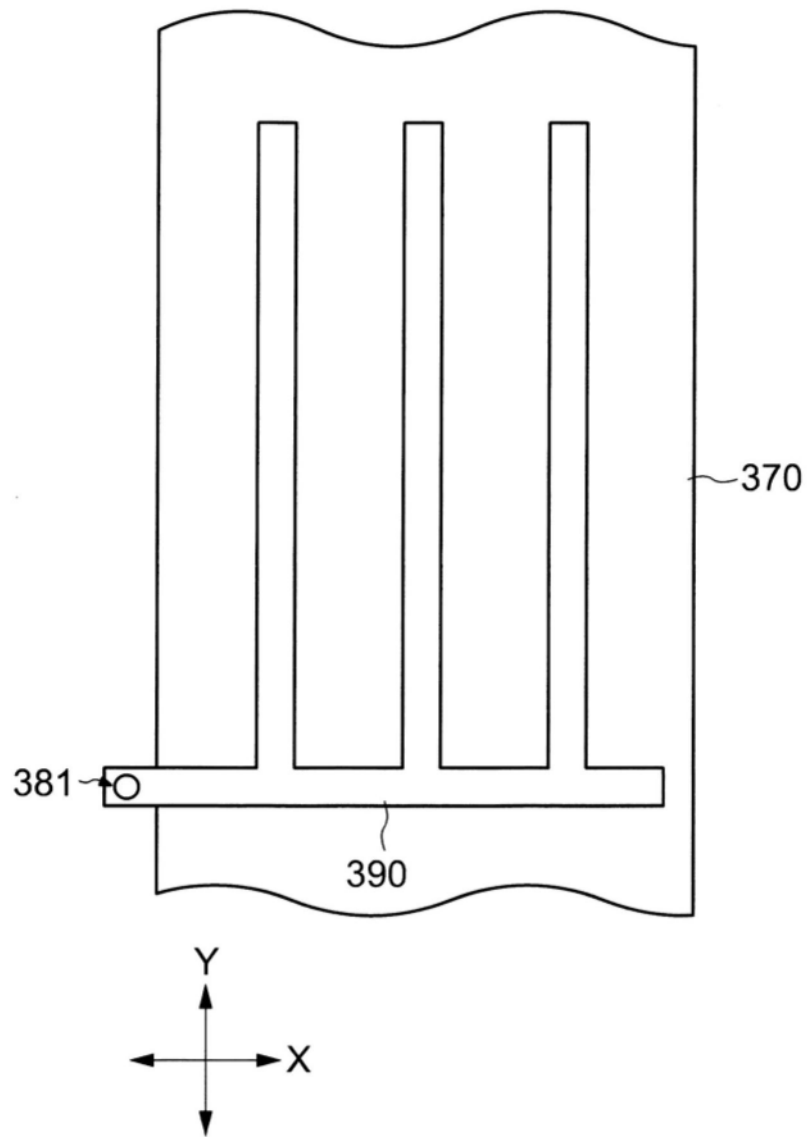


图19

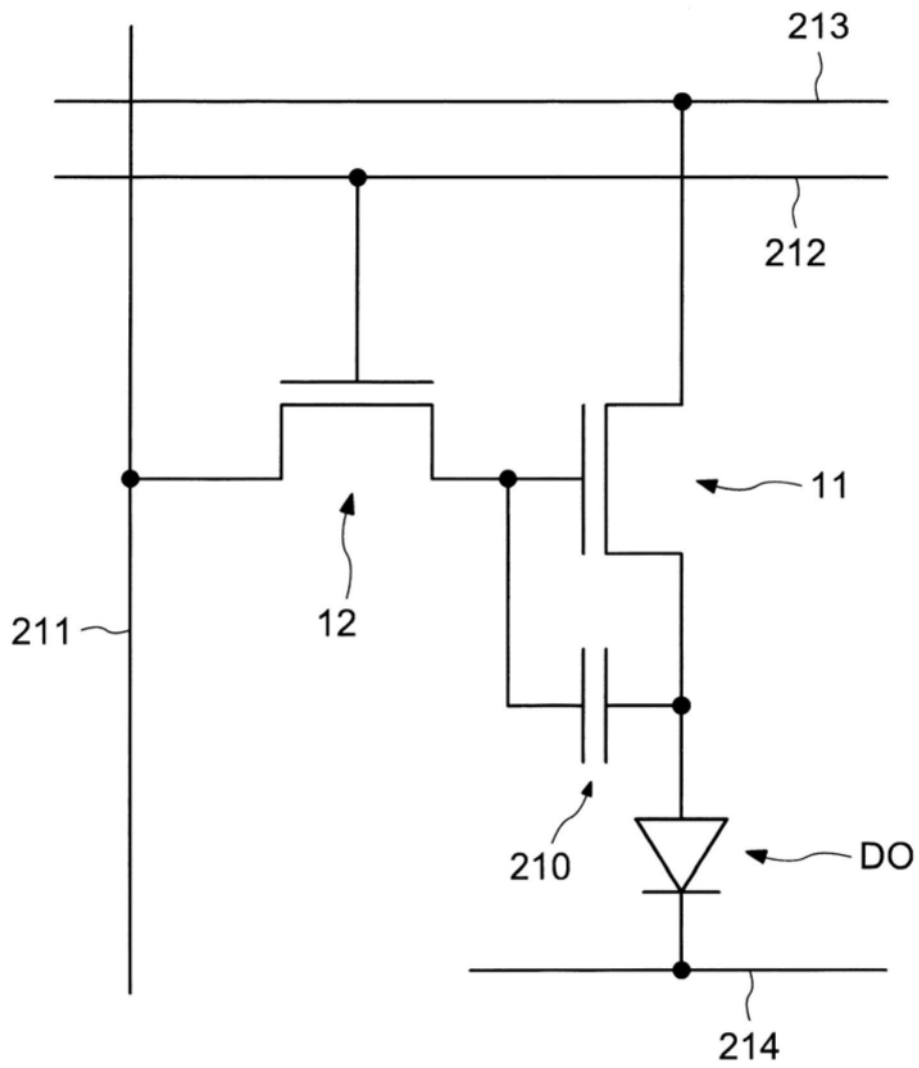
301a

图20

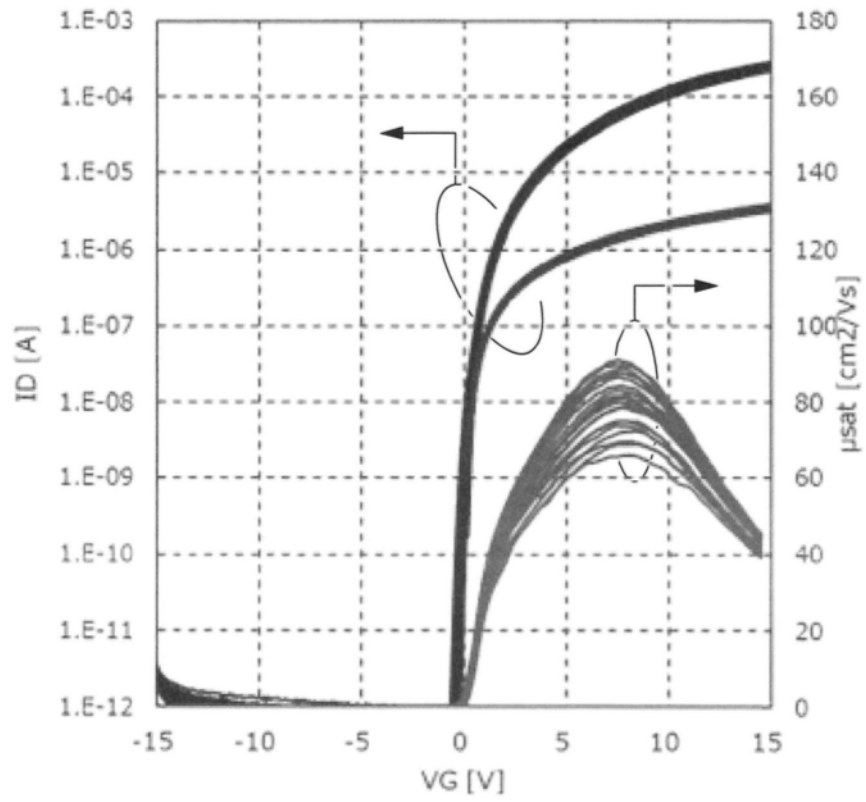


图22A

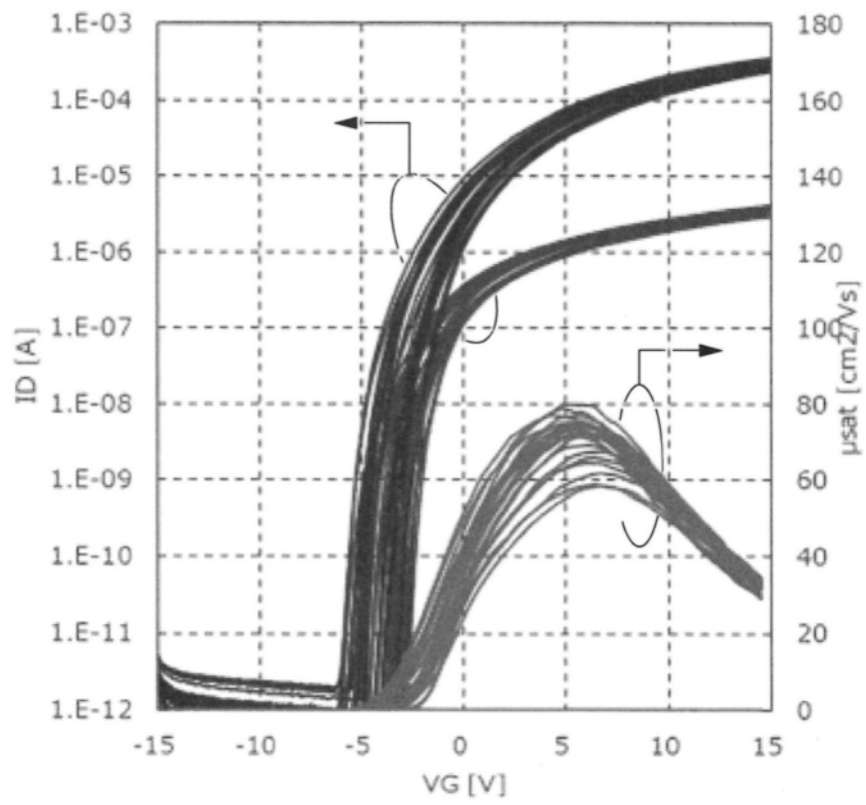


图22B

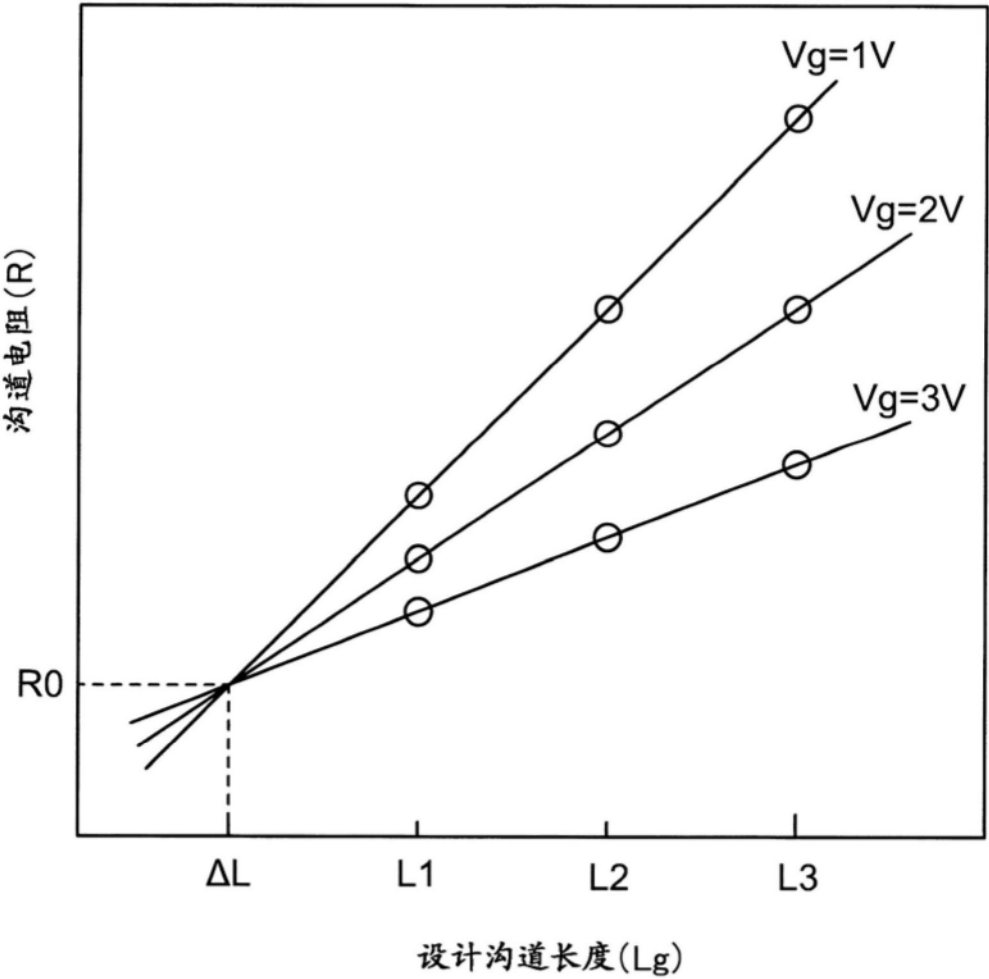


图23

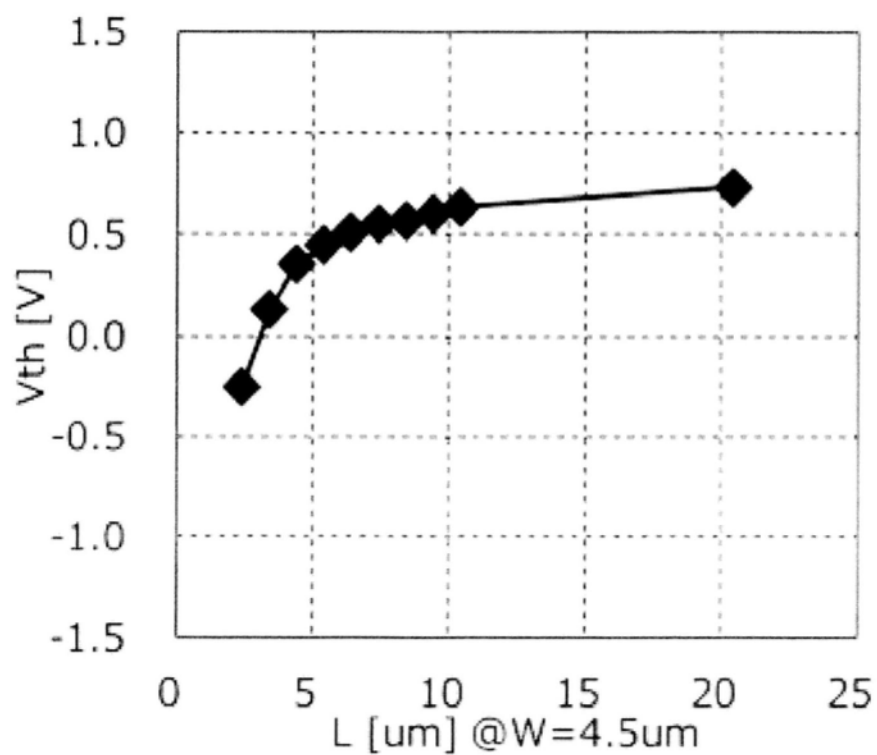


图24A

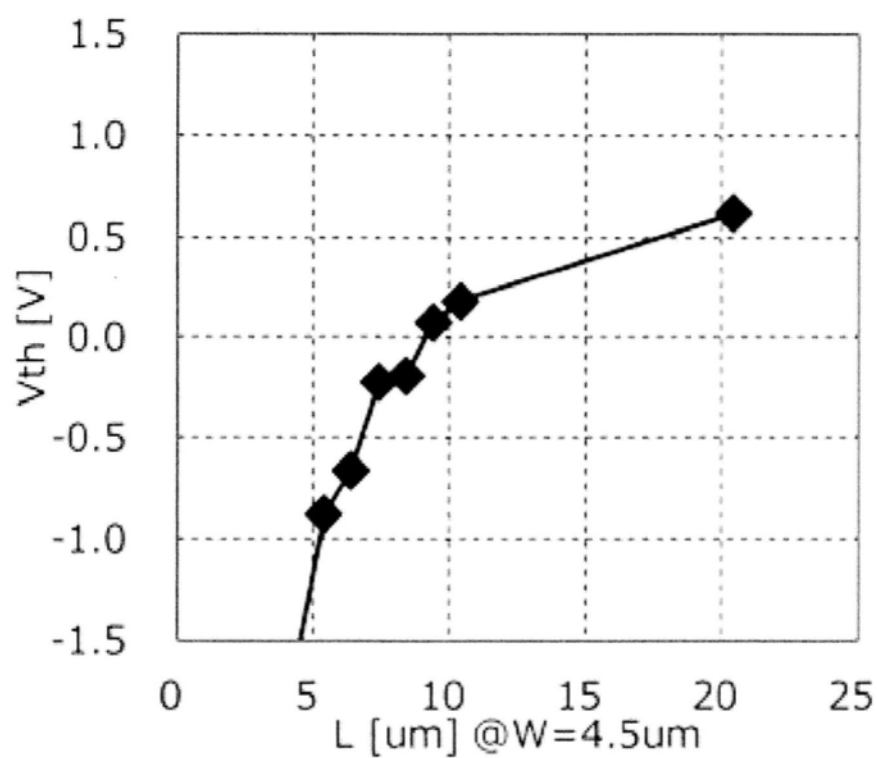


图24B