

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5991939号
(P5991939)

(45) 発行日 平成28年9月14日(2016.9.14)

(24) 登録日 平成28年8月26日(2016.8.26)

(51) Int.Cl.

H02M 1/08 (2006.01)

F 1

H02M 1/08

A

請求項の数 9 (全 19 頁)

(21) 出願番号	特願2013-61425 (P2013-61425)	(73) 特許権者	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目7番3号
(22) 出願日	平成25年3月25日(2013.3.25)	(74) 代理人	100088672 弁理士 吉竹 英俊
(65) 公開番号	特開2014-187825 (P2014-187825A)	(74) 代理人	100088845 弁理士 有田 貴弘
(43) 公開日	平成26年10月2日(2014.10.2)	(72) 発明者	牧島 仁 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
審査請求日	平成27年5月19日(2015.5.19)	(72) 発明者	山本 晃央 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

最終頁に続く

(54) 【発明の名称】半導体デバイス駆動回路および半導体デバイス駆動装置

(57) 【特許請求の範囲】

【請求項 1】

外部の高電圧源に接続された外部のハイサイドスイッチング素子および前記ハイサイドスイッチング素子と基準電位との間に直列接続された外部のローサイドスイッチング素子をオン／オフ駆動することにより、外部の半導体デバイスを駆動する半導体デバイス駆動回路であって、

前記ハイサイドスイッチング素子をオン／オフ駆動するハイサイドドライバと、

前記ローサイドスイッチング素子をオン／オフ駆動するローサイドドライバと、

前記ハイサイドスイッチング素子のオンに連動してオンする制御用スイッチング素子と

、
を備え、

前記ローサイドドライバの正電位入力端子は、外部の第1の電圧源の正電位と接続され

、
前記第1の電圧源の負電位は前記基準電位と接続され、

前記ローサイドドライバの負電位入力端子は、外部の第2の電圧源の負電位と接続され

、
前記第2の電圧源の正電位は前記基準電位と接続され、

前記ハイサイドドライバの正電位入力端子は、前記ハイサイドスイッチング素子と前記ローサイドスイッチング素子との接続点を基準とした正電圧を印加する外部のブーストストラップ回路と接続され、

前記ハイサイドスイッチング素子と前記ローサイドスイッチング素子との接続点と、前記ハイサイドドライバの負電位入力端子との間には外部の負電位用コンデンサが挿入され、

前記ハイサイドスイッチング素子と前記制御用スイッチング素子とは、前記負電位用コンデンサと、前記高電圧源とともにループを形成し、

前記制御用スイッチング素子がオンのとき、前記制御用スイッチング素子のソース、ドレイン間には前記高電圧源によって高い電圧が印加される、

半導体デバイス駆動回路。

【請求項 2】

前記負電位用コンデンサの両端に印加される電圧が所定値を超えることを防止する電圧クランプ回路をさらに備える、

請求項 1 に記載の半導体デバイス駆動回路。

【請求項 3】

前記ブートストラップ回路は、前記ハイサイドドライバの正電位入力端子と、前記ハイサイドスイッチング素子と前記ローサイドスイッチング素子との接続点との間に接続された正電位用コンデンサを備え、

充電電流補正回路をさらに備え、

前記充電電流補正回路は、

前記ハイサイドドライバの正電位入力端子と負電位入力端子との電位差が所定値を超えた場合、電流量を制限する電流制限回路を介して、前記正電位用コンデンサの両端を短絡させることを特徴とする、

請求項 1 または請求項 2 に記載の半導体デバイス駆動回路。

【請求項 4】

前記制御用スイッチング素子がオンしてからオフするまでの時間を調整することが可能な、

請求項 1 ~ 3 のいずれかに記載の半導体デバイス駆動回路。

【請求項 5】

前記負電位用コンデンサの両端の電圧が所定値に達すると、当該負電位用コンデンサの充電を停止することを特徴とする、

請求項 1 ~ 4 のいずれかに記載の半導体デバイス駆動回路。

【請求項 6】

前記ハイサイドドライバ、前記ローサイドドライバおよび前記制御用スイッチング素子のそれぞれの前段に低圧レベルシフト回路をさらに備える、

請求項 1 ~ 5 のいずれかに記載の半導体デバイス駆動回路。

【請求項 7】

前記ハイサイドドライバの負電位入力端子と前記第 2 の電圧源の負電位側との間に接続されたダイオードをさらに備え、

前記ダイオードのカソードは前記ハイサイドドライバの負電位入力端子に接続されており、

前記第 2 の電圧源に代えて外部コンデンサが設けられ、

前記ローサイドスイッチング素子は、前記負電位用コンデンサ、前記外部コンデンサおよび前記ダイオードとともにループを形成することを特徴とする、

請求項 6 に記載の半導体デバイス駆動回路。

【請求項 8】

請求項 1 ~ 7 のいずれかに記載の半導体デバイス駆動回路と、

前記ハイサイドスイッチング素子と、

前記ローサイドスイッチング素子と、

前記負電位用コンデンサと、

前記ブートストラップ回路と、

をさらに備える、

10

20

30

40

50

半導体デバイス駆動装置。

【請求項 9】

前記ハイサイドスイッチング素子および前記ローサイドスイッチング素子はワイドバンドギャップ半導体を含むことを特徴とする、

請求項 8 に記載の半導体デバイス駆動装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体デバイス駆動回路に関し、特に、外部の高電圧源に接続された外部のハイサイドスイッチング素子および前記ハイサイドスイッチング素子と基準電位との間に直列接続された外部のローサイドスイッチング素子をオン／オフ駆動することにより、外部の負荷を駆動する半導体デバイス駆動回路に関する。

【背景技術】

【0002】

ゲート閾値が低いMOSFET、IGBT等のスイッチングデバイスを駆動する場合、ターンオフ時にデバイス基準電位（ソース電位）に対して負電位を印加する必要がある。

【0003】

スイッチングデバイスを駆動するために、スイッチングデバイスをターンオン／オフするため、ハイサイドスイッチング素子と、ローサイドスイッチング素子が用いられる。各スイッチング素子の正電位入力端子には各スイッチング素子のソースを基準とした正電位が印加され、また、各スイッチング素子の負電位入力端子には各スイッチング素子のソースを基準とした負電位が印加される必要がある。

【0004】

各スイッチング素子の正負の電位用に電圧源を個別に設けた場合、回路規模が増大し好ましくない。そこで、ローサイドスイッチング素子の正電位用の電圧源にブーストstrap回路を接続して、ハイサイドスイッチング素子の正電位を生成する技術が知られている。

【0005】

また、ハイサイドスイッチング素子のソースと負電位入力端子の間にコンデンサを設け、ローサイドスイッチング素子の負電位用の電圧源によりコンデンサを充電して、ハイサイドスイッチング素子の負電位を生成する技術が知られている（例えば、特許文献1参照）。この場合、コンデンサの充放電を制御する制御用スイッチング素子が設けられる。特許文献1記載の電力変換器によれば、制御用スイッチング素子のオンは、ローサイドスイッチング素子のオンと連動しており、ローサイドスイッチング素子がオンしている間に、コンデンサの充電が行われる。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2011-66963号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

上述の特許文献1に記載の電力変換器において、制御用スイッチング素子がオフの間、素子の両端には負荷（MOSFET、IGBT等のスイッチングデバイス）の電源である高電圧が印加されるため、制御用スイッチング素子には高耐圧性が要求される。また、コンデンサを充電するだけの高い電流性能が要求される。よって、制御用スイッチング素子のサイズが大きくなり、回路全体として大型化する問題があった。

【0008】

本発明は以上のような課題を解決するためになされたものであり、従来よりも小型化が可能な半導体デバイス駆動回路の提供を目的とする。

10

20

30

40

50

【課題を解決するための手段】

【0009】

本発明に係る半導体デバイス駆動回路は、外部の高電圧源に接続された外部のハイサイドスイッチング素子およびハイサイドスイッチング素子と基準電位との間に直列接続された外部のローサイドスイッチング素子をオン／オフ駆動することにより、外部の半導体デバイスを駆動する半導体デバイス駆動回路であって、ハイサイドスイッチング素子をオン／オフ駆動するハイサイドドライバと、ローサイドスイッチング素子をオン／オフ駆動するローサイドドライバと、ハイサイドスイッチング素子のオンに連動してオンする制御用スイッチング素子と、を備え、ローサイドドライバの正電位入力端子は、外部の第1の電圧源の正電位と接続され、第1の電圧源の負電位は基準電位と接続され、ローサイドドライバの負電位入力端子は、外部の第2の電圧源の負電位と接続され、第2の電圧源の正電位は前記基準電位と接続され、ハイサイドドライバの正電位入力端子は、ハイサイドスイッチング素子とローサイドスイッチング素子との接続点を基準とした正電圧を印加する外部のブートストラップ回路と接続され、ハイサイドスイッチング素子とローサイドスイッチング素子との接続点と、ハイサイドドライバの負電位入力端子との間には外部の負電位用コンデンサが挿入され、ハイサイドスイッチング素子と制御用スイッチング素子とは、負電位用コンデンサと、高電圧源とともにループを形成し、制御用スイッチング素子がオンのとき、制御用スイッチング素子のソース、ドレイン間には高電圧源によって高い電圧が印加される。

10

20

【発明の効果】

【0010】

本発明に係る半導体デバイス駆動回路によれば、制御用スイッチング素子がオンのとき、制御用スイッチング素子のソース、ドレイン間には高電圧源によって高い電圧が印加される。つまり、制御用スイッチング素子は飽和領域で動作するため、負電位用コンデンサに十分な電流を流すことが可能である。また、制御用スイッチング素子がオフのとき、制御用スイッチング素子の両端には第2の電圧源程度の電圧しか印加されないため、制御用スイッチング素子には、高耐圧性が要求されない。よって、制御用スイッチング素子に対する高電流能力および高耐圧性の要求が緩和される。つまり、制御用スイッチング素子をより小型化することが可能である。制御用スイッチング素子の小型化が可能となることと、半導体デバイス駆動回路全体を1つのチップに、より容易に集積することが可能となる。

30

【図面の簡単な説明】

【0011】

【図1】実施の形態1に係る半導体デバイス駆動回路の構成を示す図である。

【図2】実施の形態1に係る高圧レベルシフト回路の構成例を示す図である。

【図3】実施の形態1に係る電圧クランプ回路の構成例を示す図である。

【図4】実施の形態1に係る充電電流補正回路の構成例を示す図である。

【図5】実施の形態1に係る半導体デバイス駆動回路の動作シーケンスを示す図である。

【図6】実施の形態1に係る制御用スイッチング素子の動作領域を示す図である。

40

【図7】実施の形態2に係るスイッチ制御回路の構成例を示す図である。

【図8】実施の形態2に係る半導体デバイス駆動回路の動作シーケンスを示す図である。

。

【図9】実施の形態3に係る半導体デバイス駆動回路の構成を示す図である。

【図10】実施の形態3に係る電圧クランプ回路の構成例を示す図である。

【図11】実施の形態3に係る高圧逆レベルシフト回路の構成例を示す図である。

【図12】実施の形態3に係るスイッチ制御回路の構成例を示す図である。

【図13】実施の形態3に係る半導体デバイス駆動回路の動作シーケンスを示す図である。

。

【図14】実施の形態4に係る半導体デバイス駆動回路の構成を示す図である。

50

【図15】実施の形態4に係る低圧レベルシフト回路の構成例を示す図である。

【図16】実施の形態4に係る半導体デバイス駆動回路の動作シーケンスを示す図である。

【図17】実施の形態5に係る半導体デバイス駆動回路の構成を示す図である。

【図18】実施の形態5に係る半導体デバイス駆動回路の動作シーケンスを示す図である。

【発明を実施するための形態】

【0012】

＜実施の形態1＞

＜構成＞

10

図1に、本実施の形態における半導体デバイス駆動装置の構成を示す。本実施の形態における半導体デバイス駆動装置は、半導体デバイス駆動回路100、後述するブートストラップ回路20および負電位用コンデンサ18を備える。半導体デバイス駆動装置はさらに、負荷7をオン／オフ駆動するハイサイドスイッチング素子5およびローサイドスイッチング素子6を備える。ハイサイドスイッチング素子5、ローサイドスイッチング素子6は例えばn型MOSFETである。

【0013】

半導体デバイス駆動回路100は、外部のハイサイドスイッチング素子5、ローサイドスイッチング素子6をそれぞれオン／オフ駆動するためのハイサイドドライバ3とローサイドドライバ4を備える。ハイサイドスイッチング素子5およびローサイドスイッチング素子6のオン／オフを行うことで、外部の負荷（即ち半導体デバイス）7を駆動する。

20

【0014】

ハイサイドスイッチング素子5、ローサイドスイッチング素子6は直列接続されており、ローサイドスイッチング素子6のソースは基準電位GNDに接続されている。ハイサイドスイッチング素子5のドレインは外部の高電圧源8の正電位と接続され、高電圧源8の負電位側は基準電位GNDに接続されている。負荷7は、ハイサイドスイッチング素子5とローサイドスイッチング素子6との接続点VSと、基準電位GNDとの間に接続されている。

【0015】

ローサイドドライバ4の正電位入力端子は、外部の第1の電圧源11の正電位VCCと接続されている。第1の電圧源11の負電位は、基準電位GNDと接続されている。

30

【0016】

また、ローサイドドライバ4の負電位入力端子は、外部の第2の電圧源12の負電位と接続され、第2の電圧源12の負電位は基準電位LGNと接続されている。また、第2の電圧源12の正電位は基準電位GNDと接続されている。

【0017】

ハイサイドドライバ3の正電位入力端子は、接続点VSを基準とした正電圧を印加する外部のブートストラップ回路20と接続されている。

【0018】

ブートストラップ回路20は、第1の電圧源11と接続点VSとの間に直列接続された抵抗素子9、ダイオード10および正電位用コンデンサ17により構成される。正電位用コンデンサ17は、ハイサイドドライバ3の正電位入力端子と接続点VSの間に接続される。接続点VSと、ハイサイドドライバ3の負電位入力端子との間には外部の負電位用コンデンサ18が挿入される。

40

【0019】

本実施の形態における半導体デバイス駆動回路100は、制御用スイッチング素子14および制御用スイッチング素子のオン／オフを制御するスイッチ制御回路13をさらに備える。制御用スイッチング素子14のソースは基準電位LGNと接続され、ドレインはハイサイドドライバ3の負電位入力端子に接続されている。

【0020】

50

本実施の形態における半導体デバイス駆動回路 100 は、入力回路 1 をさらに備える。入力回路 1 には、ハイサイドドライバ 3 のオン / オフを制御するハイサイド信号 HIN と、ローサイドドライバ 4 のオン / オフを制御するローサイド信号 LIN が入力される。

【0021】

ハイサイドドライバ 3 の前段の高圧レベルシフト回路 2 およびスイッチ制御回路 13 には、入力回路 1 を介して、ハイサイド信号 HIN が入力される。また、ローサイドドライバ 4 には、入力回路 1 を介して、ローサイド信号 LIN が入力される。

【0022】

スイッチ制御回路 13 には、ハイサイド信号 HIN と同じ波形の信号 LSB が入力回路 1 を介して入力される。また、スイッチ制御回路 13 にはスイッチ用信号 LSA が入力され、信号 LSB とスイッチ用信号 LSA の少なくとも一方がハイレベルのとき、ハイレベルの信号を接続点 SOUT に出力する。

10

【0023】

高圧レベルシフト回路 2 の一例を図 2 に示す。高圧レベルシフト回路 2 は、入力側の正負の電位（正電位 VCC、基準電位 LGND）を基準とした信号の信号レベルを、出力側の正負の電位（接続点 VB、LVSS）を基準とした信号レベルに変換する機能を有する回路である。

【0024】

なお、図 1 に示すように負電位用コンデンサ 18 の両端に、電圧クランプ回路 16 を挿入してもよい。電圧クランプ回路 16 は、負電位用コンデンサ 18 の両端の電圧が所定値を超えた場合は、負電位用コンデンサ 18 の両端の電圧を所定値で固定する機能を有する。電圧クランプ回路 16 の一例を図 3 に示す。

20

【0025】

また、図 1 に示すように、接続点 VB、VS、LVSS に接続するように充電電流補正回路 15 を追加して設けてもよい。充電電流補正回路 15 の一例を図 4 に示す。なお、充電電流補正回路 15 の機能については後述する。

【0026】

<動作>

本実施の形態における半導体デバイス駆動回路 100 の動作を説明する。図 5 に、半導体デバイス駆動回路 100 の動作シーケンスを示す。図 5 は、各接続点および各入力信号の電位の時間変化を表したものである。

30

【0027】

まず、初期動作について説明する。最初に、第 1、2 の電圧源 11, 12 が始動する（動作 101, 102）。次に、正電位用コンデンサ 17 を初期充電するために、連続したパルス状のローサイド信号 LIN が入力回路 1 に入力される（動作 103）。すると、ローサイドスイッチング素子 6 がオンになり（動作 104）、第 1 の電圧源 11 によりコンデンサ 17 が充電される（動作 105）。

【0028】

また、スイッチ制御回路 13 にも連続したパルス状のスイッチ用信号 LSA が入力され（動作 106）、制御用スイッチング素子 14 がオンして（動作 107）、第 2 の電圧源 12 により負電位用コンデンサ 18 が初期充電される（動作 108）。

40

【0029】

続いて、高電圧源 8 が始動する（動作 109）。次に、負電位用コンデンサ 18 をさらに初期充電するために、入力回路 1 にパルス状のハイサイド信号 HIN が入力される（動作 110）。すると、ハイサイドスイッチング素子 5 がオンになり（動作 111）、それに連動して制御用スイッチング素子 14 もオンになるため（動作 112）、高電圧源 8 と第 2 の電圧源 12 により負電位用コンデンサ 18 が充電される（動作 113）。そして、ハイサイドスイッチング素子 5 がターンオフすると、負電位用コンデンサ 18 の放電が行われ（動作 114）、ハイサイドドライバ 3 の負電位入力端子には、接続点 VS を基準とした負電位が印加される。

50

【0030】

次に、通常動作について説明する。入力回路1にハイレベルのローサイド信号L I Nが入力されると(動作115)、ローサイドスイッチング素子6がオンになる(動作116)。ローサイドスイッチング素子6がオンの間、第1の電圧源11により正電位用コンデンサ17が充電されるとともに(動作117)、負電位用コンデンサ18の放電によりハイサイドドライバ3の負電位入力端子には、接続点V Sを基準とした負電位が印加される。

【0031】

なお、ローサイドスイッチング素子6がオフのとき、制御用スイッチング素子14はオフであり、制御用スイッチング素子14のソース、ドレイン間には第2の電圧源12程度の電圧が印加されている。

【0032】

次に、入力回路1にハイレベルのハイサイド信号H I Nが入力されると(動作118)、ハイサイドスイッチング素子5がオンする(動作119)。ハイサイドスイッチング素子5がオンすると、正電位用コンデンサ17が放電され(動作120)、ハイサイドドライバ3の正電位入力端子に、接続点V Sを基準とした正電位が印加される。

【0033】

また、ハイサイドスイッチング素子5のオンに連動して制御用スイッチング素子14もオンになる(動作121)。すると、負電位用コンデンサ18、高電圧源8、第2の電圧源12を含む閉ループが形成されるため、高電圧源8と第2の電圧源12により負電位用コンデンサ18が充電される(動作122)。また、同時にハイサイドドライバ3の負電位入力端子に、高電圧源8と第2の電圧源により接続点V Sを基準とした負電位が印加される。

【0034】

そして、ハイサイドスイッチング素子5がターンオフすると(動作123)、負電位用コンデンサ18の放電が行われ(動作124)、ハイサイドドライバ3の負電位入力端子には、接続点V Sを基準とした負電位が印加される。

【0035】

なお、ローサイドドライバ4の正電位入力端子には、第1の電圧源11から基準電位GNDを基準とした正電位が常時印加されている。また、ローサイドドライバ4の負電位入力端子には、第2の電圧源12から基準電位GNDを基準とした負電位が常時印加されている。

【0036】

次に、充電電流補正回路15について説明する。ブートストラップ回路20の正電位用コンデンサ17が放電して、ハイサイドスイッチング素子5の正電位入力端子に正電位が印加されている際、ハイサイドドライバ3の正、負電位入力端子間の電位差がハイサイドドライバ3を駆動するために必要な電圧を超えると、正電位用コンデンサ17の放電電流は負電位用コンデンサ18の充電に利用される。このとき、負電位用コンデンサ18の両端は、電流制限回路(例えば図4中のトランジスタ)を介して短絡される。トランジスタのソース、ドレイン間を流れる電流は、ゲートに印加される電圧により制限される。これにより、負電位用コンデンサ18の充電電流が増大するため、負電位用コンデンサ18の充電をより急速に行うことが可能となる。なお、図4の回路構成は一例であり、上述の機能を有する回路であればよい。

【0037】

<効果>

従来は、図1の回路構成において、ローサイドスイッチング素子6のオンに連動して、制御用スイッチング素子14をオンさせていた。つまり、制御用スイッチング素子14がオンのとき、制御用スイッチング素子14のソース、ドレイン間には第2の電圧源12の程度の電圧しか印加されなかった。このとき制御用スイッチング素子14は図6の線形領域で動作する。つまり、線形領域下で十分な電流を負電位用コンデンサ18に流すために

10

20

30

40

50

は、制御用スイッチング素子 14 には高い電流能力が要求された。

【0038】

一方、本実施の形態では、制御用スイッチング素子 14 がオンのとき、制御用スイッチング素子 14 のソース、ドレイン間には第 2 の電圧源 12 および高電圧源 8 によって従来よりも高い電圧が印加される。つまり、制御用スイッチング素子 14 は、図 6 に示す飽和領域で動作するため、負電位用コンデンサ 18 に十分な電流を流すことが可能である。

【0039】

また、従来は、制御用スイッチング素子 14 がオフのとき、制御用スイッチング素子 14 のソース、ドレイン間には第 2 の電圧源 12 と高電圧源 8 により高い電圧が印加されたため、制御用スイッチング素子 14 には高耐圧性が要求された。一方、本実施の形態では、制御用スイッチング素子 14 がオフのとき、制御用スイッチング素子 14 の両端には第 2 の電圧源 12 程度の電圧しか印加されないため、制御用スイッチング素子 14 には、従来の様な高耐圧性が要求されない。

【0040】

従って、本実施の形態における半導体デバイス駆動回路 100 においては、従来と比較して、制御用スイッチング素子 14 に対する高電流能力および高耐圧性の要求が緩和される。よって、制御用スイッチング素子 14 をより小型化することが可能である。制御用スイッチング素子 14 を小型化することで、半導体デバイス駆動回路 100 全体を 1 つのチップに、より容易に集積することが可能となる。

【0041】

本実施の形態における半導体デバイス駆動回路 100 は、外部の高電圧源 8 に接続された外部のハイサイドスイッチング素子 5 およびハイサイドスイッチング素子 5 と基準電位 GND との間に直列接続された外部のローサイドスイッチング素子 6 をオン / オフ駆動することにより、外部の半導体デバイス 7 を駆動する半導体デバイス駆動回路 100 であって、ハイサイドスイッチング素子 5 をオン / オフ駆動するハイサイドドライバ 3 と、ローサイドスイッチング素子 6 をオン / オフ駆動するローサイドドライバ 4 と、ハイサイドスイッチング素子 5 のオンに連動してオンする制御用スイッチング素子 14 と、を備え、ローサイドドライバ 4 の正電位入力端子は、外部の第 1 の電圧源 11 の正電位と接続され、第 1 の電圧源 11 の負電位は基準電位 GND と接続され、ローサイドドライバ 4 の負電位入力端子は、外部の第 2 の電圧源 12 の負電位と接続され、第 2 の電圧源 12 の正電位は基準電位 GND と接続され、ハイサイドドライバ 3 の正電位入力端子は、ハイサイドスイッチング素子 5 とローサイドスイッチング素子 6 との接続点 VS を基準とした正電圧を印加する外部のブーストストラップ回路 20 と接続され、ハイサイドスイッチング素子 5 とローサイドスイッチング素子 6 との接続点 VS と、ハイサイドドライバ 3 の負電位入力端子との間には外部の負電位用コンデンサ 18 が挿入され、ハイサイドスイッチング素子 5 と制御用スイッチング素子 14 とは、負電位用コンデンサ 18 と、高電圧源 8 と、第 2 の電圧源 12 とを含む閉ループを形成することを特徴とする。

【0042】

従って、制御用スイッチング素子 14 がオンのとき、制御用スイッチング素子 14 のソース、ドレイン間には高電圧源 8 によって高い電圧が印加される。つまり、制御用スイッチング素子 14 は飽和領域で動作するため、負電位用コンデンサ 18 に十分な電流を流すことが可能である。また、制御用スイッチング素子 14 がオフのとき、制御用スイッチング素子 14 の両端には第 2 の電圧源 12 程度の電圧しか印加されないため、制御用スイッチング素子 14 には、高耐圧性が要求されない。よって、本実施の形態における半導体デバイス駆動回路 100 においては、従来と比較して、制御用スイッチング素子 14 に対する高電流能力および高耐圧性の要求が緩和される。つまり、制御用スイッチング素子 14 をより小型化することが可能である。制御用スイッチング素子 14 の小型化が可能となることで、半導体デバイス駆動回路 100 全体を 1 つのチップに、より容易に集積することが可能となる。

【0043】

10

20

30

40

50

また、本実施の形態における半導体デバイス駆動回路100は、負電位用コンデンサ18の両端に印加される電圧が所定値を超えることを防止する電圧クランプ回路16をさらに備える。従って、負電位用コンデンサ18の過充電を防止することが可能である。過充電を防止することで、負電位用コンデンサ18を長寿命化することが可能である。

【0044】

また、本実施の形態における半導体デバイス駆動回路100は充電電流補正回路15をさらに備え、ブーストストラップ回路20は、ハイサイドドライバ3の正電位入力端子と、ハイサイドスイッチング素子5とローサイドスイッチング素子6との接続点VSとの間に接続された正電位用コンデンサ17を備え、充電電流補正回路15は、ハイサイドドライバ3の正電位入力端子と負電位入力端子との電位差が所定値を超えた場合、電流流量を制限する電流制限回路を介して、正電位用コンデンサ17の両端を短絡することを特徴とする。
10

【0045】

従って、正電位用コンデンサ17の両端を、電流制限回路（例えば図3中のトランジスタ）を介して短絡することにより、正電位用コンデンサ17の放電により負電位用コンデンサ18を充電することが可能である。よって、充電電流補正回路15を追加することにより、負電位用コンデンサ18の充電電流をより増大させることができる。よって、負電位用コンデンサ18の充電時間を短縮することが可能である。

【0046】

また、本実施の形態における半導体デバイス駆動装置は、半導体デバイス駆動回路100と、ハイサイドスイッチング素子5と、ローサイドスイッチング素子6と、負電位用コンデンサ18と、ブーストストラップ回路20とをさらに備える。
20

【0047】

従って、半導体デバイス駆動回路100にハイサイド、ローサイドのスイッチング素子等を追加して、パワーモジュールを構成する場合でも、半導体デバイス駆動回路100の小型化によりモジュール全体を小型化することが可能である。

【0048】

また、本実施の形態における半導体デバイス駆動装置において、ハイサイドスイッチング素子5およびローサイドスイッチング素子6はワイドバンドギャップ半導体を含むことを特徴とする。
30

【0049】

従って、ハイサイドスイッチング素子5およびローサイドスイッチング素子6をSiCやGaNなどのワイドバンドギャップ半導体材料により構成することにより、高温下での高速なスイッチングが可能となる。

【0050】

<実施の形態2>

本実施の形態における半導体デバイス駆動回路は、実施の形態1（図1）におけるスイッチ制御回路13を、図7に示すスイッチ制御回路13Aで置き換えたものである。スイッチ制御回路13A以外の構成は実施の形態1（図1）と同じであるため、説明を省略する。
40

【0051】

本実施の形態におけるスイッチ制御回路13Aは、実施の形態1におけるスイッチ制御回路13に対して、パルス発生部131をさらに備える。パルス発生部131は、ハイレベルの信号LSBが続けて入力され続けた場合、一定の時間が経過するまでは接続点LSPにハイレベルの信号を出力し、一定時間経過後はローレベルの信号を出力する。即ち、パルス発生部131は、制御用スイッチング素子14がオンしてから一定時間経過後に、制御用スイッチング素子14をオフする機能を有する。なお、図7に示したパルス発生部131の構成は一例であり、上述した機能を有する構成であれば良い。

【0052】

本実施の形態における半導体デバイス駆動回路の動作を、図8のシーケンス図を用いて
50

説明する。実施の形態1では、制御用スイッチング素子14は、ハイサイドスイッチング素子5のオン／オフに連動してオン／オフした。本実施の形態では、図8の動作221に示す様に、制御用スイッチング素子14は、ハイサイドスイッチング素子5のオンに連動してオンした後、一定時間後にオフする。その他の動作、即ち動作201～220および動作222～224は、実施の形態1の図5の動作101～120および動作122～124と同様なため、説明を省略する。

【0053】

制御用スイッチング素子14がオンしてからオフするまでの時間は、例えば図7においては、パルス発生部131に備わるコンデンサの容量を変化させることで調整可能である。制御用スイッチング素子14がオンしてからオフするまでの時間は、負電位用コンデンサ18の充電に要する時間を基準に設定すればよい。これは、負電位用コンデンサ18の充電が完了した後は、制御用スイッチング素子14がオン状態である必要がないためである。

【0054】

<効果>

本実施の形態に係る半導体デバイス駆動回路100において、制御用スイッチング素子14がオンしてからオフするまでの時間を調整することが可能である。

【0055】

従って、本実施の形態では、制御用スイッチング素子14のオンしている時間を最小限に抑えることができるため、消費電力削減の効果および通電による発熱を抑制する効果が期待される。

【0056】

<実施の形態3>

<構成>

図9に、本実施の形態における半導体デバイス駆動回路300の回路構成を示す。図10に本実施の形態における電圧クランプ回路16Aの一例を示す。また、接続点VSと接続点LV_Sの間には、高圧逆レベルシフト回路51が挿入されている。高圧逆レベルシフト回路51の一例を図11に示す。また、本実施の形態におけるスイッチ制御回路13Bの一例を図12に示す。その他の構成は実施の形態1(図1)と同じであるため、説明を省略する。

【0057】

<動作>

電圧クランプ回路16Aは、実施の形態1における電圧クランプ回路16と同様、負電位用コンデンサ18の両端の電圧が所定値を超えることを防止する回路である。本実施の形態における電圧クランプ回路16Aは、負電位用コンデンサ18の両端の電圧(即ち、接続点VSと接続点LV_S間の電圧)が所定値を超えると、ハイレベルの信号DLVSを高圧逆レベルシフト回路51に対して出力する機能をさらに備える。電圧クランプ回路16Aに設定する電圧の所定値を、負電位用コンデンサ18が充電されたときの電圧として、ハイレベルの信号DLVSは、負電位用コンデンサ18の充電完了を意味する信号となる。

【0058】

高圧逆レベルシフト回路51は、接続点LV_Sと接続点VS間の電圧を基準とする信号のレベルを、接続点LGN_Dと正電位VCC間の電圧を基準とする信号のレベルに変換して出力する機能を備えた回路である。高圧逆レベルシフト回路51は、信号DLVSの基準電位を変換して、信号LSCとしてスイッチ制御回路13Bに出力する。

【0059】

本実施の形態におけるスイッチ制御回路13Bは、実施の形態1のスイッチ制御回路13と比較して、信号LSCがさらに入力される。入力回路1から入力される信号L_SBがハイレベルの場合であって、かつ信号LSCがハイレベルとなった場合、スイッチ制御回路13Bは、ローレベルの信号を端子SOUTから出力する。つまり、負電位用コンデン

10

20

30

40

50

サ 1 8 の両端の電圧が所定値に達したことを意味するハイレベルの信号 L S C が入力されると、スイッチ制御回路 1 3 B は、制御用スイッチング素子 1 4 をオフする。制御用スイッチング素子 1 4 がオフされることで、負電位用コンデンサ 1 8 の充電が停止する。その他の動作は実施の形態 1 と同じであるため、説明を省略する。

【 0 0 6 0 】

図 1 3 のシーケンス図を用いて、本実施の形態における半導体デバイス駆動回路 3 0 0 の動作を説明する。図 1 3 の動作 3 1 9 においてハイサイドスイッチング素子 5 がオンになると、それに連動して制御用スイッチング素子 1 4 もオンになり（動作 3 2 1 ）、負電位用コンデンサ 1 8 の充電が開始される（動作 3 2 2 ）。

【 0 0 6 1 】

負電位用コンデンサ 1 8 の充電が完了して、負電位用コンデンサ 1 8 の両端の電圧（接続点 V S と接続点 L V S 間の電圧）が所定値を超えると（動作 3 2 3 ）、電圧クランプ回路からハイレベルの信号 D L V S が出力されるため（動作 3 2 4 ）、スイッチ制御回路 1 3 B に入力される信号 L S C のレベルがローレベルからハイレベルへ切り替わる。これにより、スイッチ制御回路 1 3 B 内の接続点 L S P の電位がハイレベルからローレベルへと変化するため（動作 3 2 5 ）、出力 S O U T の電位がローレベルとなり、制御用スイッチング素子 1 4 がオフされる（動作 3 2 6 ）。制御用スイッチング素子 1 4 がオフすることにより、負電位用コンデンサ 1 8 の充電が停止される。

【 0 0 6 2 】

ハイサイドスイッチング素子 5 がターンオフすると、ハイサイドドライバ 3 の負電位入力端子には、負電位用コンデンサ 1 8 が放電することにより接続点 V S を基準とした負電位が印加される（動作 3 2 7 ）。その他の動作、即ち動作 3 0 1 ～ 3 1 8 および動作 3 2 0 は、実施の形態 1 における図 5 の動作 1 0 1 ～ 1 1 8 および動作 1 2 0 と同様なため、説明を省略する。

【 0 0 6 3 】

< 効果 >

本実施の形態における半導体デバイス駆動回路 3 0 0 は、負電位用コンデンサ 1 8 の両端の電圧が所定値に達すると、負電位用コンデンサ 1 8 の充電を停止することを特徴とする。

【 0 0 6 4 】

従って、負電位用コンデンサ 1 8 の両端の電圧が所定値に達すると、自動的に制御用スイッチング素子 1 4 がオフされる動作が可能となるため、実施の形態 2 で述べた効果に加えて、サージ電圧発生時に、素早く過電圧を検知し、制御用スイッチング素子 1 4 をオフすることで負電位用コンデンサ 1 8 の過充電を防ぐことが可能である。

【 0 0 6 5 】

< 実施の形態 4 >

< 構成 >

本実施の形態における半導体デバイス駆動回路 4 0 0 の回路構成を図 1 4 に示す。また、図 1 4 中の低圧レベルシフト回路 7 1 の一例を図 1 5 に示す。実施の形態 1 (図 1) においては、入力回路 1 に入力されるハイサイド信号 H I N およびローサイド信号 L I N の基準電位は、基準電位 L G N D であった。また、高圧レベルシフト回路 2 の基準電位を接続点 L V S としていた。一方、本実施の形態においては、ハイサイド信号 H I N およびローサイド信号 L I N の基準電位を負荷 7 の基準電位 G N D と同じにする。また、高圧レベルシフト回路 2 の基準電位を接続点 V S とする。

【 0 0 6 6 】

本実施の形態においては、ハイサイドドライバ 3 、ローサイドドライバ 4 およびスイッチ制御回路 1 3 の前段に低圧レベルシフト回路 7 1 を設ける。低圧レベルシフト回路 7 1 は、入出力間で信号の基準電位を変化させる機能を有する回路であり、図 1 5 にその一例を示す。低圧レベルシフト回路 7 1 の入力側の電源の正極、負極はそれぞれ入力信号の基準電位に接続される。また、出力側の電源の負極は、出力信号の基準電位に接続される。

10

20

30

40

50

例えば、ローサイドドライバ4の前段に設けられる低圧レベルシフト回路71の場合、入力側の電源の正極、負極は、正電位VCCと基準電位GNDにそれぞれ接続され、出力側の電源の負極は基準電位LGNに接続される。その他の構成は実施の形態1(図1)と同じであるため、説明を省略する。

【0067】

<動作>

本実施の形態における半導体デバイス駆動回路の動作を図16のシーケンス図を用いて説明する。図16と、実施の形態1におけるシーケンス図(図5)を比較すると、ハイサイド信号HIN、ローサイド信号LINおよびスイッチ用信号LSAの基準電位が、基準電位LGNから基準電位GNDに変わっている。また、高圧レベルシフト回路2の出力側の接続点HBSの基準電位が、接続点LVSの電位から接続点VSの電位へと変わっている。接続点HBSの電位の時間変化は、ハイサイド信号HINおよび接続点HOTの電位の時間変化と同様の波形となる。

10

【0068】

図16において、各接続点の電位波形の変化は図5と同様である。即ち図16の動作401～424は、図5の動作101～124と同様であるため、詳しい動作説明を省略する。

【0069】

<効果>

本実施の形態における半導体デバイス駆動回路400は、ハイサイドドライバ3、ローサイドドライバ4および制御用スイッチング素子14のそれぞれの前段に低圧レベルシフト回路71をさらに備える。

20

【0070】

従って、負荷の基準電位を基準電位とする入力信号が入力される場合であっても、低圧レベルシフト回路71によって信号の基準電位を変更することが可能であるため、実施の形態1と同様に、半導体デバイス駆動回路400を動作させることができある。また、低圧レベルシフト回路71を配置することにより、電源の安定性が求められる回路(例えば入力回路1)の基準電位を基準電位LGNから基準電位GNDに変更することが可能となる。よって、第2の電圧源12を簡素化することが可能となる。

30

【0071】

<実施の形態5>

<構成>

本実施の形態における半導体デバイス駆動回路500の回路構成を図17に示す。実施の形態4の半導体デバイス駆動回路400においては、ローサイドドライバ4の負電位入力端子には、外部の第2の電圧源12から負電位が印加されていた。一方、本実施の形態では、外部の電圧源12に代えて、外部コンデンサ81を用いる。

【0072】

ハイサイドドライバ3の負電位入力端子、即ち接続点LVSと、基準電位LGN(即ち実施の形態4における第2の電圧源12の負電位側)の間には、カソードが接続点LVSに接続された高耐圧のダイオード83と電流制限抵抗84とが直列に挿入される。また、接続点LVSと制御用スイッチング素子14のドレインとの間には、アノードが接続点LVSと接続されたダイオード82が挿入される。また、制御用スイッチング素子14のソースは基準電位GNDと接続される。その他の構成は、実施の形態4(図14)と同じであるため、説明を省略する。

40

【0073】

<動作>

ハイサイドスイッチング素子5がオンの間は、高電圧源8により、負電位用コンデンサ18の充電とハイサイドドライバ3の負電位入力端子への負電位印加が行われる。

【0074】

ハイサイドスイッチング素子5がオフ、ローサイドスイッチング素子6がオンになると

50

、負電位用コンデンサ18によりハイサイドドライバ3の負電位入力端子へ負電位印加が行われる。また、ローサイドスイッチング素子6は、負電位用コンデンサ18、外部コンデンサ81、電流制限抵抗84およびダイオード83とともにループを形成する。すると、負電位用コンデンサ18の放電により外部コンデンサ81が充電される。

【0075】

次に、ハイサイドスイッチング素子5がオン、ローサイドスイッチング素子6がオフになると、外部コンデンサ81が放電することにより、ローサイドドライバ4の負電位入力端子へ負電位印加が行われる。

【0076】

本実施の形態では、実施の形態4における第2の電圧源12に代えて、外部コンデンサ81を用いてローサイドドライバ4の負電位入力端子に対して負電位の印加を行う。 10

【0077】

図18のシーケンス図を用いて、半導体デバイス駆動回路500の動作を詳しく説明する。まず、初期動作について説明する。最初に、第1の電圧源11が始動する（動作501）。次に、正電位用コンデンサ17を初期充電するために、連続したパルス状のローサイド信号LINが入力回路1に入力される（動作502）。すると、ローサイドスイッチング素子6がオンになり（動作503）、第1の電圧源11により正電位用コンデンサ17が充電される（動作504）。

【0078】

また、スイッチ制御回路13にも連続したパルス状のスイッチ用信号LSAが入力され（動作505）、制御用スイッチング素子14がオンするが（動作506）、負電位用コンデンサ18は充電されない（動作507）。 20

【0079】

続いて、高電圧源8が始動する（動作508）。次に、負電位用コンデンサ18を初期充電するために、入力回路1にパルス状のハイサイド信号HINが入力される（動作509）。すると、高圧レベルシフト回路2および低圧レベルシフト回路71を介して信号がハイサイドドライバ3に入力されるため（動作510）、ハイサイドスイッチング素子5がオンになる（動作511）。ハイサイドスイッチング素子5のオン動作に連動して制御用スイッチング素子14もオンになるため（動作512）、高電圧源8により負電位用コンデンサ18が充電される（動作513）。そして、ハイサイドスイッチング素子5がターンオフすると、負電位用コンデンサ18の放電が行われ（動作514）、ハイサイドドライバ3の負電位入力端子には、接続点VSを基準とした負電位が印加される。 30

【0080】

次に、外部コンデンサ81を初期充電するために、連続したパルス状のローサイド信号LINが入力回路1に入力される（動作515）。すると、ローサイドスイッチング素子6がオンになり（動作516）、負電位用コンデンサ18の放電により外部コンデンサ81が充電される（動作517）。また、ローサイドスイッチング素子6がオンの間、正電位用コンデンサ17が第1の電圧源11により充電される（動作518）。

【0081】

次に、通常動作について説明する。入力回路1にハイレベルのローサイド信号LINが入力されると（動作519）、ローサイドスイッチング素子6がオンになる（動作520）。このとき、ハイサイドスイッチング素子5および制御用スイッチング素子14はオフであり、ローサイドスイッチング素子6は、負電位用コンデンサ18、外部コンデンサ81、電流制限抵抗84およびダイオード83とともにループを形成する。よって、負電位用コンデンサ18が放電することによって（動作521）、外部コンデンサ81が充電される（動作522）。また、同時にローサイドドライバ4の負電位入力端子には、外部コンデンサ81の放電によって負電位が印加される。 40

【0082】

ローサイドスイッチング素子6がオフすると、ローサイドドライバ4の負電位入力端子には、外部コンデンサ81の放電によって負電位が印加される（動作523）。 50

【0083】

次に、入力回路1にハイレベルのハイサイド信号HINが入力されると（動作524）、ハイサイドスイッチング素子5がオンする（動作525）。ハイサイドスイッチング素子5がオンすると、コンデンサ17が放電され（動作526）、ハイサイドドライバ3の正電位入力端子に、接続点VSを基準とした正電位が印加される。

【0084】

また、ハイサイドスイッチング素子5のオンに連動して制御用スイッチング素子14もオンになる（動作527）。すると、負電位用コンデンサ18と高電圧源8を含むループが形成されるため、高電圧源8により負電位用コンデンサ18が充電される（動作528）。また、同時にハイサイドドライバ3の負電位入力端子に、高電圧源8により接続点VSを基準とした負電位が印加される。

10

【0085】

そして、ハイサイドスイッチング素子5がターンオフすると、負電位用コンデンサ18の放電が行われ（動作529）、ハイサイドドライバ3の負電位入力端子には、接続点VSを基準とした負電位が印加される。なお、ローサイドドライバ4の正電位入力端子には、第1の電圧源11により、基準電位GNDを基準とした正電位が常時印加されている。

【0086】

<効果>

本実施の形態における半導体デバイス駆動回路500は、ハイサイドドライバ3の負電位入力端子と第2の電圧源12の負電位側との間に接続されたダイオード83をさらに備え、ダイオード83のカソードはハイサイドドライバ3の負電位入力端子に接続されており、第2の電圧源12に代えて外部コンデンサ81が設けられ、ローサイドスイッチング素子6は、負電位用コンデンサ18、外部コンデンサ81およびダイオード83とともにループを形成することを特徴とする。

20

【0087】

従って、本実施の形態では、ローサイドドライバ4の負電位入力端子に負電位を印加する電圧源として、外部の第2の電圧源12に代えて、外部コンデンサ81を用いる。よって、電源を1つ削減できるため、回路の簡素化が可能である。

【0088】

なお、本発明は、その発明の範囲内において、各実施の形態を自由に組み合わせたり、各実施の形態を適宜、変形、省略することが可能である。

30

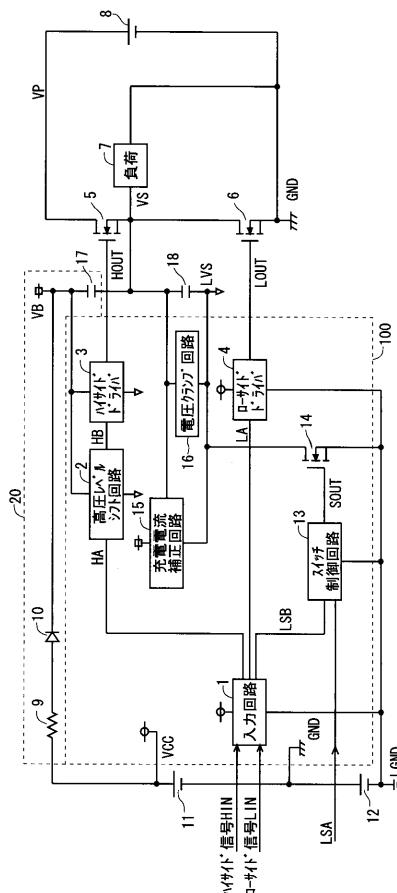
【符号の説明】

【0089】

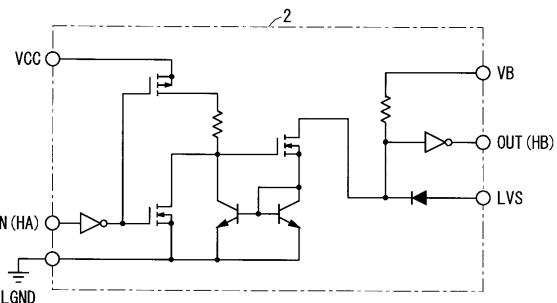
1 入力回路、2 高圧レベルシフト回路、3 ハイサイドドライバ、4 ローサイドドライバ、5 ハイサイドスイッチング素子、6 ローサイドスイッチング素子、7 負荷、8 高電圧源、9 抵抗素子、10 ダイオード、11 第1の電圧源、12 第2の電圧源、13, 13A, 13B スイッチ制御回路、14 制御用スイッチング素子、15 充電電流補正回路、16, 16A 電圧クランプ回路、17 正電位用コンデンサ、18 負電位用コンデンサ、20 ブートストラップ回路、51 高圧逆レベルシフト回路、71 低圧レベルシフト回路、81 外部コンデンサ、82, 83 ダイオード、84 電流制限抵抗、100, 300, 400, 500 半導体デバイス駆動回路。

40

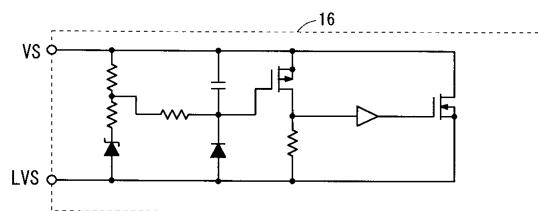
【図1】



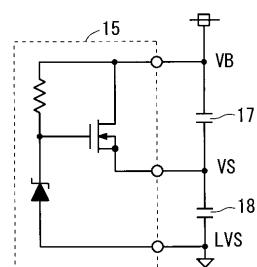
【図2】



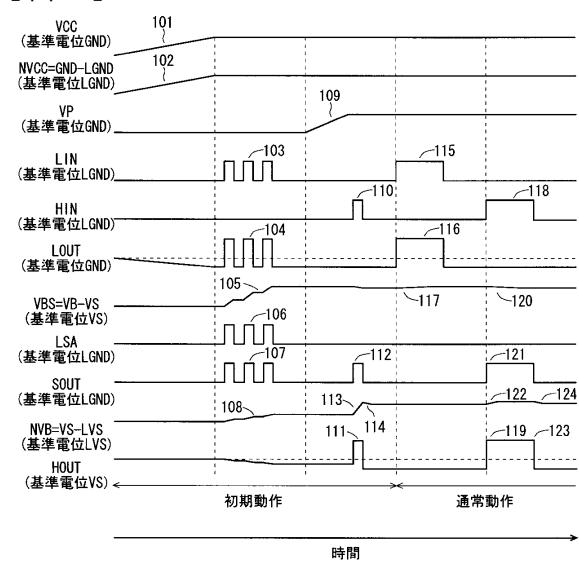
【図3】



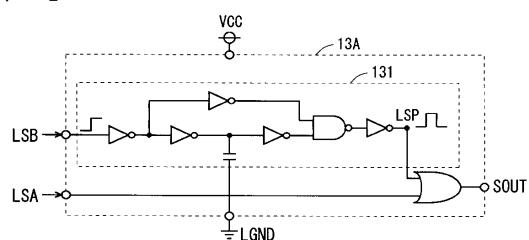
【図4】



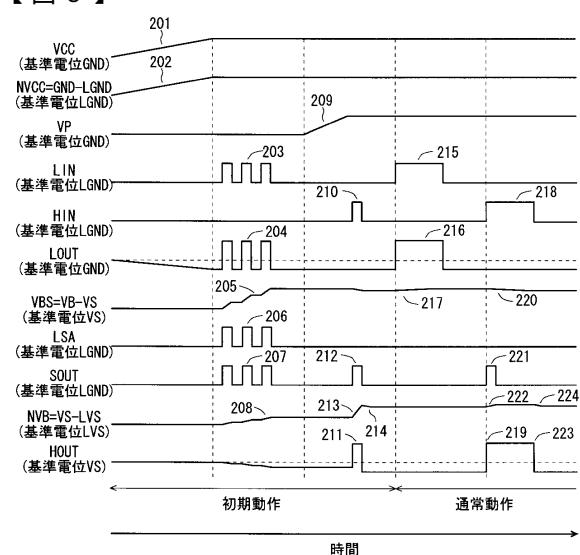
【図5】



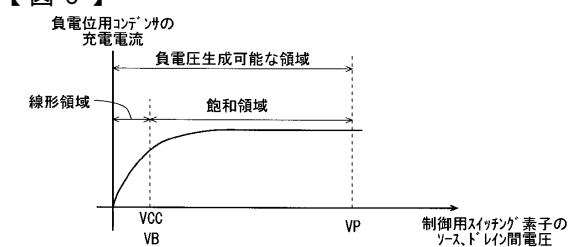
【図7】



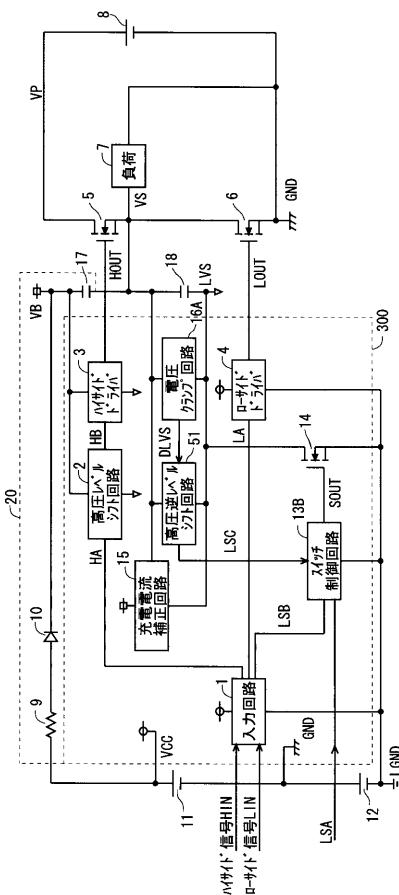
【図8】



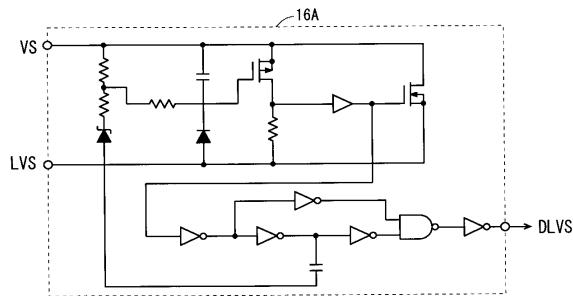
【図6】



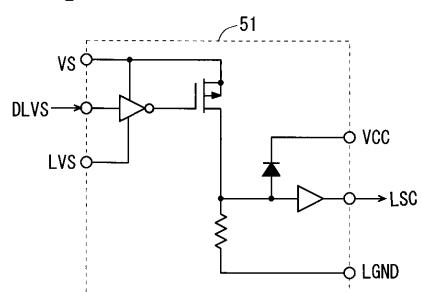
【図 9】



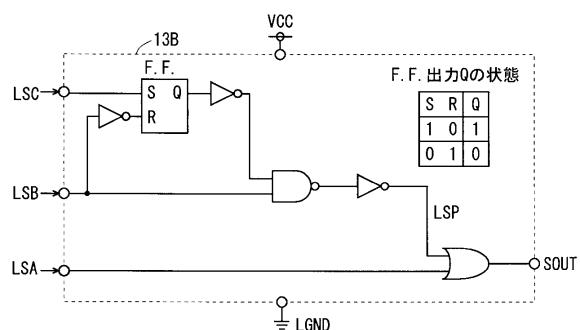
【図 10】



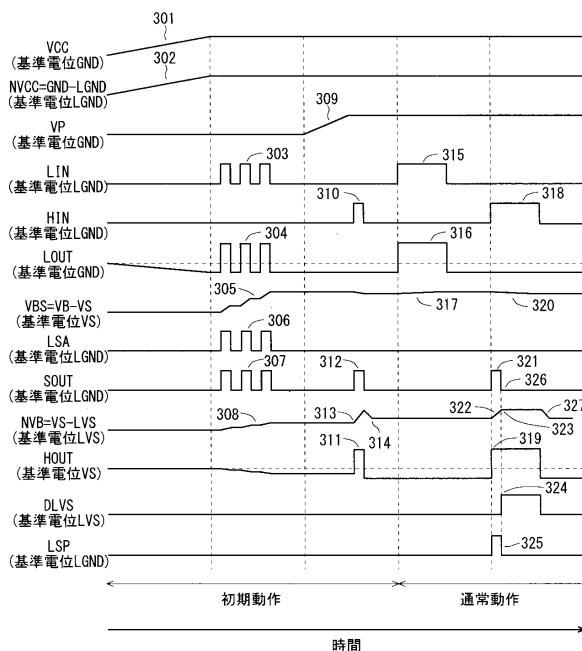
【図 11】



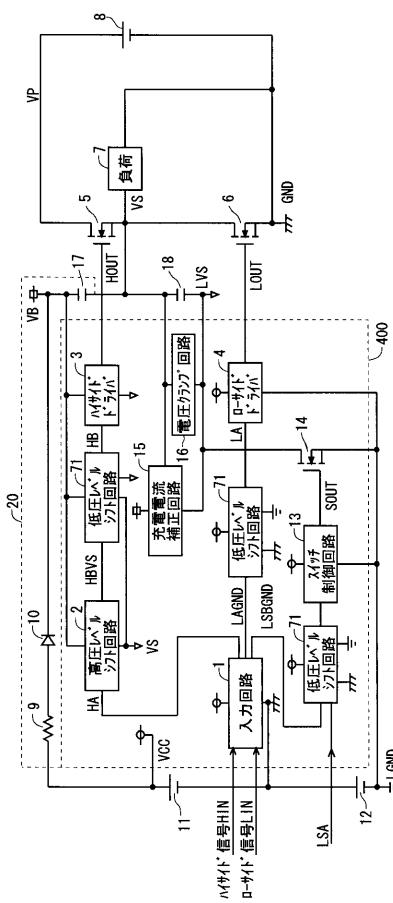
【図 12】



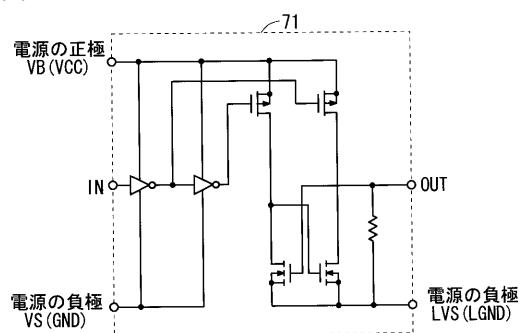
【図 13】



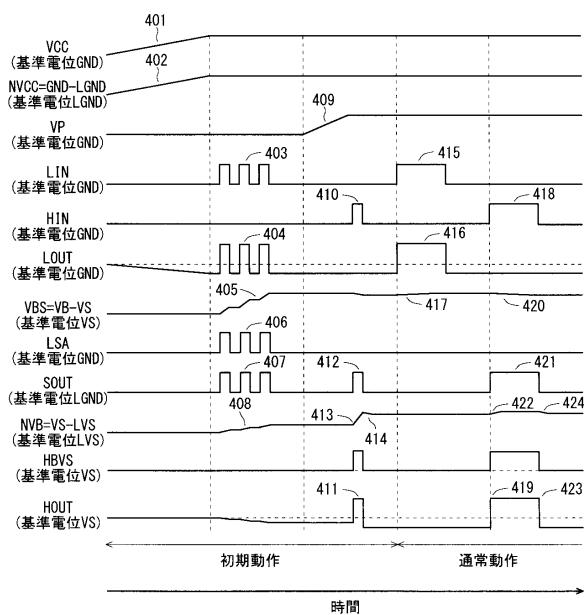
【図14】



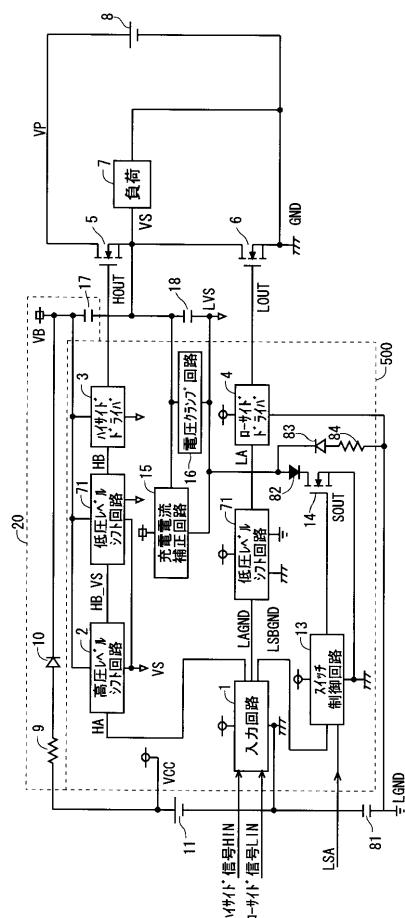
【図15】



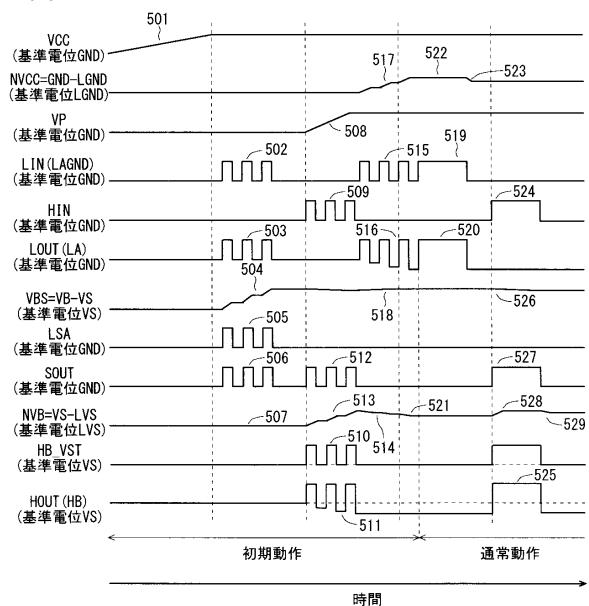
【図16】



【図17】



【図18】



フロントページの続き

(72)発明者 王 東
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

審査官 安食 泰秀

(56)参考文献 特開2007-089294 (JP, A)

(58)調査した分野(Int.Cl., DB名)
H 02 M 1 / 08