(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第4934531号
(P4934531)
(45)発行日　平成24年5月16日(2012.5.16)　(24)登録日　平成24年2月24日(2012.2.24)

(51)Int.Cl.　　F I
H03M 1/74 (2006.01)　　H03M 1/74
H03M 1/44 (2006.01)　　H03M 1/44

請求項の数 20　(全 26 頁)

(21)出願番号　特願2007-182305(P2007-182305)
(22)出願日　平成19年7月11日(2007.7.11)
(65)公開番号　特開2009-21785(P2009-21785A)
(43)公開日　平成21年1月29日(2009.1.29)
審査請求日　平成22年3月10日(2010.3.10)

(73)特許権者　000005108
株式会社日立製作所
東京都千代田区丸の内一丁目６番６号
(74)代理人　110000350
ポレール特許業務法人
(72)発明者　大島　俊
東京都国分寺市東恋ヶ窪一丁目２８０番地
株式会社日立製作所中央研究所内
(72)発明者　山脇　大造
東京都国分寺市東恋ヶ窪一丁目２８０番地
株式会社日立製作所中央研究所内

審査官　柳下　勝幸

最終頁に続く

(54)【発明の名称】アナログデジタル変換器及びその制御方法並びに無線トランシーバ回路

(57)【特許請求の範囲】
【請求項１】
少なくとも一個の容量素子を有するアナログコア部を備えて成り、
前記容量素子は、実質的に同一の容量値を持つ複数の容量素子ユニットを有する容量バンクを含んで構成され、
前記容量バンクは、前記複数の容量素子ユニットの中から一つの容量素子ユニットを実質的に等確率で選択するように構成されている
ことを特徴とするアナログデジタル変換器。
【請求項２】
請求項１において、
前記容量バンクは、前記複数の容量素子ユニットの中から特定の一つの容量素子ユニットを、周期的に選択するように構成されている
ことを特徴とするアナログデジタル変換器。
【請求項３】
請求項１において、
前記容量バンクは、前記複数の容量素子ユニットの中から特定の一つの容量素子ユニットを、ランダムに選択するように構成されている
ことを特徴とするアナログデジタル変換器。
【請求項４】
請求項１において、

前記アナログデジタル変換器がデジタルキャリブレーション型アナログデジタル変換器であり、
前記アナログコア部がデジタルキャリブレーション型乗算型デジタルアナログ変換器である
ことを特徴とするアナログデジタル変換器。
【請求項５】
請求項１において、
前記アナログデジタル変換器がパイプライン型アナログデジタル変換器であり、
前記アナログコア部が各ステージの乗算型デジタルアナログ変換器である
ことを特徴とするアナログデジタル変換器。
【請求項６】
請求項４において、
前記デジタルキャリブレーション型アナログデジタル変換器がデジタルキャリブレーション型パイプライン型アナログデジタル変換器であり、
前記アナログコア部が各ステージのデジタルキャリブレーション型乗算型デジタルアナログ変換器である
ことを特徴とするアナログデジタル変換器。
【請求項７】
請求項１において、
前記アナログデジタル変換器が逐次近似型アナログデジタル変換器であり、
前記アナログコア部が容量ネットワークである
ことを特徴とするアナログデジタル変換器。
【請求項８】
請求項２において、
前記容量バンクは、
実質的に同一の容量値を持つ複数の容量素子ユニットと、
前記複数の容量素子ユニットのうちのいずれか１つをＯＮにする複数の素子スイッチと、
前記複数の素子スイッチの各々を動作クロックに同期して周期的にＯＮ、ＯＦＦ制御するスイッチ群制御部と
を備えて成る
ことを特徴とするアナログデジタル変換器。
【請求項９】
請求項３において、
前記容量バンクは、
実質的に同一の容量値を持つ複数の容量素子ユニットと、
前記複数の容量素子ユニットのうちのいずれか１つをＯＮにする複数の素子スイッチと、
前記複数の容量素子ユニットのいずれか１つをランダムかつ等確率でＯＮにするように前記複数の素子スイッチの各々を動作クロックに同期してＯＮ、ＯＦＦを制御するスイッチ群制御部と
を備えて成る
ことを特徴とするアナログデジタル変換器。
【請求項１０】
請求項４において、
前記乗算型デジタルアナログ変換器は、オペアンプを第１の容量、第２の容量、および前記オペアンプの反転入力端子に接続された第３の容量で負帰還した構成を有し、
前記第３の容量は、実質的に同一の容量値を持つ複数の容量素子ユニットで構成された前記容量バンクの中から特定の一つの容量素子ユニットをスイッチ群制御部が選択するように構成されている

ことを特徴とするアナログデジタル変換器。
【請求項１１】
請求項１０において、
デジタルキャリブレーション部を備えて成り、
前記乗算型デジタルアナログ変換器及び前記デジタルキャリブレーション部内の少なくとも一部の容量は、それぞれ、実質的に同一の容量値を持つ複数の容量素子で構成される容量バンクの中から特定の一つの容量素子を実質的に等確率で選択して実現されるように構成されている
ことを特徴とするアナログデジタル変換器。
【請求項１２】
請求項１１において、
前記スイッチ群制御部は、動作クロックに同期するスイッチ制御信号と共にキャリブレーション用クロック信号が入力されるスイッチ制御部を備えて成る
ことを特徴とするアナログデジタル変換器。
【請求項１３】
請求項５において、
前記乗算型デジタルアナログ変換器は、オペアンプを第１の容量および第２の容量で負帰還した構成を有し、
前記第１の容量および第２の容量は、実質的に同一の容量値を持つ複数の容量素子ユニットで構成された前記容量バンクの中から特定の一つの容量素子ユニットをスイッチ群制御部が選択するように構成されている
ことを特徴とするアナログデジタル変換器。
【請求項１４】
請求項１において、
前記容量バンクは、Ｎ個（Ｎは１以上の任意の整数）の容量素子ユニット列C_1～C_Nと、前記各容量素子ユニットの両端子に接続された一対の素子スイッチからなるＮ個の素子スイッチ列と、前記各素子スイッチのＯＮ、ＯＦＦをスイッチ制御信号により制御するスイッチ群制御部とを含んで構成され、
前記スイッチ群制御部は、前記スイッチ制御信号を制御して前記各容量素子ユニットに対応する前記素子スイッチのＯＮになる頻度を互いに実質的に等しくするように制御する機能を有する
ことを特徴とするアナログデジタル変換器。
【請求項１５】
無線受信回路部と、無線送信回路部と、送受信切換え部とを備えて成り、
前記無線受信回路部は、高周波回路部と、該高周波回路部の出力に接続された低周波回路部と、該低周波回路部の出力に接続されたアナログデジタル変換器と、該アナログデジタル変換器に接続されたキャリブレーション部とを備えて成り、
前記アナログデジタル変換器と前記キャリブレーション部は、少なくとも一個の容量素子を有するアナログコア部を備えて成り、
前記容量素子は、実質的に同一の容量値を持つ複数の容量素子ユニットを有する容量バンクを含んで構成され、
前記容量バンクは、前記複数の容量素子ユニットの中から一つの容量素子ユニットを実質的に等確率で選択するように構成されている
ことを特徴とする無線トランシーバ回路。
【請求項１６】
請求項１５において、
前記容量バンクは、前記複数の容量素子ユニットの中から特定の一つの容量素子ユニットを、周期的に選択するように構成されている
ことを特徴とする無線トランシーバ回路。
【請求項１７】

請求項１５において、
前記容量バンクは、前記複数の容量素子ユニットの中から特定の一つの容量素子ユニットを、ランダムに選択するように構成されている
ことを特徴とする無線トランシーバ回路。
【請求項１８】
請求項１５において、
前記高周波回路部、前記低周波回路部、前記アナログデジタル変換器、および前記キャリブレーション部を含んで成る前記無線受信回路部と前記送信回路部とが一つのチップ上に集積化されて成る
ことを特徴とする無線トランシーバ回路。
【請求項１９】
乗算型デジタルアナログ変換器を備えて成り、前記乗算型デジタルアナログ変換器内の少なくとも一部の容量が、それぞれ、実質的に同一の容量値を持つ複数の容量素子ユニットで構成される容量バンクの中から特定の一つの容量素子ユニットを実質的に等確率で選択して実現されるように構成されているアナログデジタル変換器の制御方法であって、
前記容量バンクの中から特定の一つの容量素子ユニットを実質的に等確率で選択しつつ、サンプルモードを実行するステップと、
前記容量バンクの中から、選択された前記特定の一つの容量素子ユニットに対してアンプモードを実行するステップと
を有する
ことを特徴とするアナログデジタル変換器の制御方法。
【請求項２０】
請求項１９において、
前記サンプルモードを実行するステップおよび前記アンプモードを実行するステップは、前記アナログデジタル変換器およびデジタルキャリブレーション部を構成し、かつ、実質的に同一の容量値を持つ複数の容量素子ユニットを有する容量バンクを含んで構成される少なくとも一個の容量素子を有するアナログコア部にて実行され、
前記サンプルモードを実行するステップおよび前記アンプモードを実行するステップにおける前記特定の一つの容量素子ユニットを実質的に等確率で選択する動作は、動作クロックに同期して実行されることを特徴とするアナログデジタル変換器の制御方法。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、アナログデジタル変換器及びその制御方法並びに無線トランシーバ回路に係り、特に、アナログデジタル変換器の変換精度を改善するための回路および制御方法に関する。
【背景技術】
【０００２】
従来、アナログデジタル変換器として、デジタルキャリブレーション型のパイプライン型アナログデジタル変換器の例が示されている（例えば、非特許文献１参照）。
【０００３】
また、従来、非特許文献１に開示されたパイプライン型アナログデジタル変換器におけるキャリブレーションの収束をより高速に行うために改良されたデジタルキャリブレーション型のパイプライン型アナログデジタル変換器が開示されている（例えば、非特許文献２参照）。
【０００４】
なお、デジタルキャリブレーション型アナログデジタル変換器としては、非特許文献１、２に開示された構成のほかに、従来、参照用アナログデジタル変換器は必要とせず、代わりに、疑似雑音信号を利用する構成もあった（例えば、非特許文献３参照）。
【０００５】

さらに、従来、逐次近似型アナログデジタル変換器において、容量ネットワークに使用されるバイナリ容量値を、同一容量値の小さな単位容量素子を複数個、ランダムに選択することにより実現することが開示されている（例えば、特許文献１参照）。

【０００６】

また、従来、容量アレイの外殻に配置したダミー容量を用いて容量アレイの容量値の誤差により生ずるＡ／Ｄ変換誤差の補正を行なうＡ／Ｄ変換器が開示されている（例えば、特許文献２参照）。

【０００７】

また、従来、被変換信号が容量に入力されるＡ／Ｄコンバータにおいて、その入力容量を切り替える回路を具備し、被変換信号の振幅レベルを調整して小振幅の信号と大振幅の信号を一定の分解能で出力できるようにしたものが開示されている（例えば、特許文献３参照）。

【０００８】

また、従来、電荷再配分型ＡＤコンバータにおいて、キャパシティアレイの一部を残りのキャパシティアレイを用いて校正する手段を備えたＡＤコンバータが開示されている（例えば、特許文献４参照）。

【０００９】

【特許文献１】米国特許第５，００６，８５４号明細書

【特許文献２】特開平０５－２３５７６８号公報

【特許文献３】特開平０４－１６５８２２号公報

【特許文献４】特開平０３－２０６７２８号公報

【非特許文献１】Y. Chiu et al., “Least mean square adaptive digital background calibration of pipelined analog-to-digital converters,” IEEE Transactions on Circuits and Systems Ⅰ Vol. 51, pp. 38-46 (2004).

【非特許文献２】大島俊　他、「パイプライン型ＡＤＣの高速デジタルバックグランドキャリブレーション」、（社）電子情報通信学会　信学技法ＶＬＤ２００６－１３８　２００７年

【非特許文献３】Y.S.Shu et al., A 15b-Linear, 20MS/s, 1.5b/Stage Pipelined ADC Digitally Calibrated with Signal-Dependent Dithering,' 2006 Symposia on VLSI Technology and VLSI Circuits Session C25-1(2006)

【発明の開示】

【発明が解決しようとする課題】

【００１０】

近年のＣＭＯＳプロセス微細化に牽引されたＬＳＩのデジタル化の進展により、アナログデジタル変換器（ＡＤＣ）は、ますます重要になっている。

【００１１】

現行の無線システムでは、消費電力優先の立場から、ＡＤＣに対して、サンプルレートまたは分解能のどちらか一方のみに高性能を課すことが一般的であるが、次世代無線ＬＡＮのような、高スループットかつ妨害波干渉に強い無線システムを実現するには、消費電力懸念から従来避けられていた、高サンプルレート（数１００ＭＳ／ｓ～１ＧＳ／ｓ）かつ高分解能（１０～１２ｂ）のＡＤＣを、低消費電力（数１００mW以下）で実現する技術が必要となる。また、デジタルキャリブレーション型ＡＤＣでは、消費電流低減のため、数百ｆＦ以下の容量素子を使用するので、容量値比精度バラツキが顕在化し、有効ビット数（ＥＮＯＢ）、線形性（ＤＮＬ／ＩＮＬ）を低下させるという問題がある。

【００１２】

ここで、非特許文献２に開示されたデジタルキャリブレーション型アナログデジタル変換器に適用する各ＭＤＡＣ（Multiplying Digital to Analog Converter）のサンプルモードとアンプモードにおける構成をそれぞれ図１５、図１６に示す。ＭＤＡＣとは、一般に、入力ディジタル値とリファレンス値とを乗算して得られるアナログ値を出力とする乗算型デジタルアナログ変換器のことであり、この例のＭＤＡＣは、オペアンプ１１０１を

第１の容量Ｃ$_{10}$１１０２および第２の容量Ｃ$_{20}$１１０３および第３の容量Ｃ$_{30}$１１１０で負帰還した構成をベースとし、各スイッチ１１０４、１１０５、１１０６、１１０７、１１０８、１１１１、１１１３により接続関係を変えて、２モード間を切り換えることができる。１１０９はＤＡＣスイッチ制御部、１１１２はＣＡＬ用ＤＡＣスイッチ制御部である。

【００１３】

サンプルモードでは、図１５のように、第１の容量Ｃ$_{10}$１１０２および、第２の容量Ｃ$_{20}$１１０３は、入力アナログ電圧Ｖ$_{in}$と基準ＤＣ電圧の間に接続され、入力アナログ電圧Ｖ$_{in}$に比例した電荷が、第１の容量Ｃ$_{10}$１１０２および第２の容量Ｃ$_{20}$１１０３上に充電される。また、第３の容量Ｃ$_{30}$１１１０の両端は基準ＤＣ電圧に接続されることで、その電荷がゼロにリセットされる。

【００１４】

一方、アンプモードでは、図１６のように、オペアンプ１１０１が負帰還接続となり、サンプルモードにおいて、第１の容量Ｃ$_{10}$１１０２上に充電された電荷が、第２の容量Ｃ$_{20}$１１０３上に移動する。これにより、アンプモードでは、サンプルモード時の入力アナログ電圧Ｖ$_{in}$が２倍されて出力に現れる。同時に、同図には表示されていないが別途、コンパレータ列により行われた粗い量子化結果に基づいて生成されるＤＡＣ$_{ctrl}$信号に応じて、ＤＡＣスイッチ制御部１１０９は、Ｐｈｉ$_{2}$ＯＮ時、すなわち、アンプモード時に、スイッチ１１０８のうち、いずれか一つのみＯＮにする。

【００１５】

キャリブレーション用クロック信号ＣＡＬは、＋１、－１、０の３値のうちのいずれをとり、それに応じて、それぞれ、Ｖ$_{ref}$／１６、－Ｖ$_{ref}$／１６、０が、サンプルモード時のアナログ入力電圧Ｖ$_{in}$と粗い量子化結果の引き算である量子化誤差を２倍した電圧から引き算される。

【００１６】

キャリブレーション用クロック信号ＣＡＬによるＭＤＡＣ出力電圧への意図的な変動の印加は、デジタルキャリブレーションの収束を短縮することができる。ここで、オペアンプ１１０１の出力電圧が飽和するのを避けるために、αとして１より十分小さな値を選択するので、第３の容量値Ｃ$_{30}$１１１０として、極めて小さな値が必要になる。

【００１７】

ところで、上記パイプライン型アナログデジタル変換器やアルゴリズミック型アナログデジタル変換器などオペアンプを搭載するアナログデジタル変換器や、逐次近似型アナログデジタル変換器などコンパレータを搭載するアナログデジタル変換器では、回路内に使用する容量値が大きくなるほど、オペアンプやコンパレータの消費電力が増加するために、極力小さな容量値を採用することが望ましい。

【００１８】

しかし、小さな容量値の容量素子をチップ上で実現する場合、容量値の比精度バラツキが顕在化し、実効分解能や線形性を低下させるため、従来、非常に小さな容量値をこれらのアナログデジタル変換器に採用することは回避されてきた。その結果として、従来のアナログデジタル変換器では、しばしば、本来、熱雑音、つまりｋＴ／Ｃ雑音の制約から決定される容量値よりも大きな容量値を採用せざるを得ず、したがって、消費電力が不当に大きくなっていた。

【００１９】

この傾向は、通常のアナログデジタル変換器より小さな容量値を必要とするデジタルキャリブレーション型アナログデジタル変換器において顕著である。

【００２０】

特に、今後、３０２．１１ｎ無線ＬＡＮシステムやポスト３０２．１１ｎ無線ＬＡＮシステム、第４世代携帯電話システムなどの次世代無線システムにおいて、数１００ＭＳ／ｓ以上の高サンプルレート、かつ、１０ビット以上の高分解能のアナログデジタル変換器を低消費電力で実現することが要求されるため、また、そのようなアナログデジタル変換

器として、デジタルキャリブレーション型アナログデジタル変換器が期待されるため、上記の容量値の比精度バラツキの問題は、今後ますます顕在化してくると予想される。

【００２１】

また、非特許文献３に開示されたデジタルキャリブレーション型アナログデジタル変換器においても、やはり、図１５や図１６に示したような、ＭＤＡＣの構成となり、小さな容量値を必要とする。

【００２２】

非特許文献１ないし３及び特許文献３に開示された発明は、何れも、容量値の比精度バラツキの問題については、適切な解決策を開示していない。

【００２３】

一方、容量値の比精度バラツキを対策する方法が特許文献１に開示されている。この例では、１５個の単位容量素子Ｃｕの中から、ランダムに１１個の単位容量素子を選ぶ。例えば、容量素子Ｃに容量値の比精度バラツキがあった場合、同素子を選択するたびに定常的に変換誤差が発生し、アナログデジタル変換器の線形性が劣化する。しかし、単位容量素子Ｃｕの中からランダムに選択することで、各容量素子の持つ誤差は平均化され、定常的な変換誤差にはならず、代わりに、雑音に変換される。こうして生じる雑音は一般に除去可能なため、最終的に高い分解能を実現できる。

【００２４】

特許文献１に開示された方法は、デジタルアナログ変換器の線形性向上のために従来用いられている「ダイナミックエレメントマッチング」と同一の概念である。例えば、Ｃ、２Ｃ、４Ｃ、８Ｃというバイナリ容量値を実現するために、単位容量Ｃｕ＝Ｃの容量値を１５個用意しておく。１１Ｃという値を実現する時に、バイナリ容量値を使用する場合は、Ｃ＋２Ｃ＋８Ｃ＝１１Ｃであるから、Ｃ、２Ｃ、８Ｃを同時にスイッチで選択する。これらの方法は、回路内で使用する全ての容量を対象とし、かつ、単位容量素子Ｃｕ列の中から必要な複数の素子を同時に選択する必要があるため、素子を選択するためのスイッチ群の回路構成やその選択方法が複雑になる問題がある。さらにこれにともない、スイッチなどに起因する寄生容量値が増大するため、逐次近似型アナログデジタル変換器の場合はコンパレータの、パイプライン型アナログデジタル変換器の場合はオペアンプの消費電力増大につながる。さらに、単位容量素子Ｃｕの中からランダムに選択するために、ランダム数生成回路が必要であるため、回路規模と消費電力がさらに増加する。

【００２５】

すなわち、特許文献１に開示された「ダイナミックエレメントマッチング」をベースとした容量値の比精度バラツキの低減方法は、容量素子の選択方法が複雑であるため、回路規模や消費電力の増大を招く。

【００２６】

一方、特許文献２は、容量アレイの外殻に配置したダミー容量を用いて容量アレイの容量値の誤差により生ずるＡ／Ｄ変換誤差の補正を行なうＡ／Ｄ変換器を開示する。

【００２７】

また、特許文献４は、電荷再配分型ＡＤコンバータにおいて、キャパシティアレイの一部を残りのキャパシティアレイを用いて校正する手段を備えたＡＤコンバータを開示する。このＡＤコンバータは、例えば、単位容量として、Ｃ，２Ｃ，４Ｃ，８Ｃ，１６Ｃ，３２Ｃの重み付けがなされたキャパシティアレイを使用して、校正を行う。

【００２８】

しかしながら、特許文献２や特許文献４にも、消費電力低減のために小さな容量値の容量素子を使用した場合に発生する比精度バラツキについての解決策は開示されていない。

【００２９】

本発明の主たる解決課題は、アナログデジタル変換器において、消費電力低減のために必要になる小さな容量値にともなう比精度バラツキの影響を、単純な回路構成および方法で軽減することにある。

【課題を解決するための手段】

【００３０】
本発明の代表的なものの一例を示せば以下の通りである。即ち、本発明のアナログデジタル変換器は、少なくとも一個の容量素子を有するアナログコア部を備えて成り、前記容量素子は、実質的に同一の容量値を持つ複数の容量素子ユニットを有する容量バンクを含んで構成され、前記容量バンクは、前記複数の容量素子ユニットの中から一つの容量素子ユニットを実質的に等確率で選択するように構成されていることを特徴とする。
【発明の効果】
【００３１】
本発明によれば、簡単な構成で、消費電力の増大を招くことなく、アナログデジタル変換器における小容量の容量素子の比精度バラツキの影響を緩和できる。
【発明を実施するための最良の形態】
【００３２】
本発明の代表的な実施例によれば、アナログデジタル変換器の少なくとも１つの容量が、実質的に同一の容量値の容量素子ユニットを複数持つ容量バンクで構成され、各動作クロックごとあるいはこれに同期して、使用する容量素子ユニットを、前記容量バンクから特定の一つだけ周期的またはランダムに、排他的かつ等確率で選択する。これにより、容量値の比精度バラツキに起因する非線形性を緩和できる。また、非選択の容量素子ユニットは非アクティブの状態にする。
【００３３】
本発明は、高サンプルレートかつ高分解能、低消費電力が要求されるアナログデジタル変換器、例えば、パイプライン型アナログデジタル変換器や逐次近似型アナログデジタル変換器、あるいはデジタルキャリブレーション型アナログデジタル変換器に適用される。
【００３４】
なお、本発明の効果、すなわち比精度バラツキの影響を緩和するという観点からは、上記の容量バンクを適用する容量としては、小容量、例えば数百fF以下の容量が望ましい。もし、回路内に大小の異なる容量値の複数の素子が混在する場合には、小さな容量に限定して使用するのが効果的である。
以下、本発明の実施例について図を参照して説明する。
【実施例１】
【００３５】
本発明の第一の実施例を図１～図３により説明する。まず、図１に、本発明の第一の実施例になるＭＤＡＣ回路の構成例を示す。同図で、１００は容量バンク部、１０１はアナログコア部である。アナログコア部１０１は、例えば、パイプライン型アナログデジタル変換器の場合は各ステージのＭＤＡＣを、また、逐次近似型アナログデジタル変換器の場合は容量ネットワーク１０１を想定しているが、他の種類のアナログデジタル変換器に対しても、同様に定義できる。
【００３６】
容量バンク部１００は、アナログコア部１０１で必要となる小さな容量値を、一つの容量素子Ｃで実現するかわりに、複数（Ｎ個）の容量素子ユニット列C_1～C_Nで実現するものである。すなわち、実質的に同一の容量値、例えば設計値として同一の容量値を持つ複数（Ｎ個）の容量素子ユニット列C_1～C_Nで構成される容量バンクの中から特定の一つの容量素子ユニットだけを、スイッチ群およびスイッチ群制御部により実質的に等確率で選択することにより、アナログコア部１０１で必要となる一つの容量素子Ｃに相当する容量を実現する。
【００３７】
そのために、容量バンク部１００は、複数（Ｎ個）の容量素子ユニット列C_1～C_Nと、各容量素子ユニットの両端子に接続された一対の素子スイッチからなるＮ個の素子スイッチ１０６～１１３と、各素子スイッチのＯＮ、ＯＦＦをスイッチ制御信号ＳＷｃｔｒｌにより制御するスイッチ群制御部１１７とで構成されている。スイッチ群制御部１１７は、アナログデジタル変換器の動作状態において、容量素子ユニット列C_1～C_Nの各容量

素子ユニットが実質的に等確率で選択されるようにするために、動作クロック信号などを入力として各素子スイッチ列を制御するＳＷｃｔｒｌ信号あるいはその反転信号等を生成し、各容量素子ユニットに対応する素子スイッチがＯＮになる頻度を互いに実質的に等しくする。

【００３８】

容量バンク部１００を構成する１つの容量素子ユニット$Ｃ_{1}$１０２は、スイッチ１０５を介してアナログコア部１０１に接続され、スイッチ１１４を介して、参照電圧や入力アナログ部など適切なノードに接続される。なお、同図では、例えば、パイプライン型アナログデジタル変換器のアンプモードの状態に対応して、$＋Ｖ_{ｒｅｆ}$、０（基準電圧）、$－Ｖ_{ｒｅｆ}$のいずれか一つの参照電圧に接続されているが、もちろん、これに限定する必要は無い。また、容量素子ユニット$Ｃ_{1}$１０２は、スイッチ１０６およびスイッチ１０７を介して、基準電圧にも接続されている。

【００３９】

ここで、スイッチ１０５およびスイッチ１１４は、$ＳＷｃｔｒｌ_{1}$信号により、また、スイッチ１０６およびスイッチ１０７は、$ＳＷｃｔｒｌ_{1}$の反転信号により制御される。

【００４０】

また、容量素子ユニット$Ｃ_{1}$１０２と実質的に同一の容量値を持つ容量素子ユニット$Ｃ_{2}$１０３は、スイッチ１０８を介してアナログコア部１０１に接続され、スイッチ１１５を介して、参照電圧に接続されている。また、容量素子ユニット$Ｃ_{2}$１０３は、スイッチ１０９およびスイッチ１１０を介して、基準電圧にも接続されている。ここで、スイッチ１０８およびスイッチ１１５は、$ＳＷｃｔｒｌ_{2}$信号により、また、スイッチ１０９およびスイッチ１１０は、$ＳＷｃｔｒｌ_{2}$の反転信号により制御される。同様に、容量素子ユニット$Ｃ_{N}$１０４は、スイッチ１１１を介してアナログコア部１０１に接続され、スイッチ１１６を介して、参照電圧に接続されている。

【００４１】

同様に、容量素子ユニット$Ｃ_{1}$１０２と実質的に同一の容量値を持つ容量素子ユニット$Ｃ_{N}$１０４は、スイッチ１１２およびスイッチ１１３を介して、基準電圧にも接続されている。ここで、スイッチ１１１およびスイッチ１１６は、$ＳＷｃｔｒｌ_{N}$信号により、また、スイッチ１１２およびスイッチ１１３は、$ＳＷｃｔｒｌ_{N}$の反転信号により制御される。

【００４２】

図１において、容量素子ユニット$Ｃ_{1}$１０２を選択する場合は、$ＳＷｃｔｒｌ_{1}$信号をＯＮにすることで、スイッチ１０５がＯＮとなり、また、スイッチ１１４のうち、$＋Ｖ_{ｒｅｆ}$、０（基準電圧）、$－Ｖ_{ｒｅｆ}$のいずれかに接続されるスイッチが一つだけＯＮとなる。一方、スイッチ１０６およびスイッチ１０７はＯＦＦとなる。また、容量素子ユニット$Ｃ_{1}$１０２を選択する場合、$ＳＷｃｔｒｌ_{1}$信号以外はＯＦＦとなる。$ＳＷｃｔｒｌ_{2}$がＯＦＦとなることにより、スイッチ１０８およびスイッチ１１５はＯＦＦとなる。また、$ＳＷｃｔｒｌ_{2}$の反転信号はＯＮとなるため、スイッチ１０９とスイッチ１１１がＯＮとなる。その結果として、容量素子ユニット$Ｃ_{2}$１０３の両端子は、基準電圧に接続されるため、容量素子ユニット$Ｃ_{2}$１０３は非選択状態（非動作状態）となる。同様にして、容量素子ユニット$Ｃ_{1}$１０２以外の全ての容量素子ユニットが非動作状態になる。なお、以上は、容量素子ユニット選択回路のあくまでも一例であり、他の選択回路構成を採用してももちろん良い。

【００４３】

なお、本発明において、容量バンク部１００を構成しかつ実質的に同一の容量値を持つ複数の容量素子ユニット列$Ｃ_{1}$～$Ｃ_{N}$の各々は、単一の容量素子ユニットで構成しても良く、あるいは、図２に示すように、実質的に同一の容量値を持つ複数の容量要素で構成しても良い。図２の例では、単一の容量素子ユニットに対して１／３の容量値を持つ３個の容量要素（実質的に同一の容量値）を並列接続することで、単一の容量素子ユニットと実質的に同一の容量値を得るように構成されている。後に述べる各実施例でも、容量バンク

部１００を構成する各容量素子ユニットが、単体で構成される場合及び複数の容量要素で構成される場合の双方を含んでいるものとする。

【００４４】

図３に、本発明におけるスイッチ群制御部１１７による各容量素子ユニットの選択方法、つまり、図１で述べたＳＷｃｔｒｌ$_1$信号からＳＷｃｔｒｌ$_N$信号を生成する方法の一例を示す。本発明では、各容量素子ユニットのいずれか一つだけを択一的に選択するために、各ＳＷｃｔｒｌ$_1$信号からＳＷｃｔｒｌ$_N$信号のいずれか一つだけがＯＮになり、同時に２つ以上のＳＷｃｔｒｌ信号がＯＮになることは無い。また、容量素子ユニットのバラツキの影響を最大限緩和するために、各容量素子ユニットを実質的に等確率で選択する必要があるため、各ＳＷｃｔｒｌ信号がＯＮになる頻度は互いに実質的に等しくする。

【００４５】

例えば、図３（Ｎ＝４の場合）のように、周期的に各容量素子ユニットを選択するために、ＳＷｃｔｒｌ信号として、ＯＮタイミングが一つずつずれた周期信号を選んでも良いし、また、各容量素子ユニットの中から、ランダムに一つだけ選択するように、ＳＷｃｔｒｌ信号を生成しても良い。各容量素子ユニットを実質的に等確率かつ一つだけ選択する限りにおいて、その他のどのような選択のしかたをしても良いのはもちろんである。

【００４６】

本実施例によれば、アナログデジタル変換器回路内の容量を、実質的に同一の容量値を持つ複数の容量素子ユニットで構成される容量バンクの中から一つの前記容量素子ユニットだけを、実質的に等確率で選択して実現するという簡単な構成により、消費電力の増大を招くことなく、容量素子の比精度バラツキの影響を緩和できる。その結果として、小さな容量値の容量素子を使用することが可能になるため、アナログデジタル変換器の消費電力を削減できる。

【実施例２】

【００４７】

本発明の第二の実施例として、本発明をデジタルキャリブレーション型のパイプライン型アナログデジタル変換器に適用した例を図４～図１０により説明する。図４に、デジタルキャリブレーション型のパイプライン型アナログデジタル変換器の構成例を示す。図５に、図４のアナログデジタル変換器に用いられるＭＤＡＣの回路構成の一例を示す。なお、図５中の符号１００で示した部分が、図１の容量バンクに相当する。また、図５は本実施例のサンプルモードにおけるＭＤＡＣの回路構成例を示し、図６に、アンプモードにおけるＭＤＡＣの回路構成例を示している。

【００４８】

まず、図４でデジタルキャリブレーション型のパイプライン型アナログデジタル変換器の構成について、説明する。図４において、初段のＭＤＡＣ$_1$３０１は、アナログデジタル変換器に入力されるアナログ信号電圧を粗くｎ$_1$ビットで量子化して、その結果をデジタルキャリブレーション部３０５に伝達するとともに、その際に生じる量子化誤差電圧（Ｒｅｓ）を増幅して次段のＭＤＡＣ$_2$３０２に伝達し処理を委ねる。ＭＤＡＣ$_2$３０２は、ＭＤＡＣ$_1$３０１から出力された誤差電圧を、粗くｎ$_2$ビットで量子化して、その結果をデジタルキャリブレーション部３０５に伝達するとともに、その際に生じる量子化誤差電圧を増幅して、３段目のＭＤＡＣに伝えるなど、以下の処理は同様である。

【００４９】

最終ステージ（Ｎ番目のステージ）は、単なる粗い量子化器ＳＡＤＣ$_N$３０４で構成され、前段のＮ－１番目のステージＭＤＡＣ$_{N-1}$３０３から出力された量子化誤差電圧を粗くｎ$_N$ビットで量子化して、その結果をデジタルキャリブレーション部３０５に伝達する。

【００５０】

デジタルキャリブレーション部３０５は、各ＭＤＡＣから伝達された値と、適切な重み列の内積をとることで、最終的なデジタル出力値を決定する。

【００５１】

デジタルキャリブレーション型アナログデジタル変換器では、各ＭＤＡＣに使用するオペアンプの消費電流を従来よりも削減することで、低消費電力化を図ることができるが、その代償として、オペアンプのオープンループ利得が減少するため、ＭＤＡＣの利得が理想値からずれる。その結果として、上記の重み列はバイナリ列からずれるため、デジタルキャリブレーション部３０５は、最適な重み列を探索し、その結果を用いて、各ＭＤＡＣから伝達された値と内積をとることで、変換精度を維持できる。

【００５２】

例えば、図４の構成では、参照用アナログデジタル変換器３０６を、入力に対して、並列に接続している。参照用アナログデジタル変換器３０６は参照用として用いるため、高分解能を持つ必要があるが、本来のアナログデジタル変換器のサンプルレートf_{CLK}より十分低速のサンプルレートf_{CLK}/Kで動作させるため、参照用アナログデジタル変換器３０６の消費電力は小さくできる。参照用アナログデジタル変換器３０６の出力は、デジタルキャリブレーション部３０５に対して、Ｋ回に一度の頻度で、いわば正しい変換結果を教えてくれるため、デジタルキャリブレーション部３０５は、それを利用して、上記の正しい重み列に到達できる。

【００５３】

次に、本実施例のデジタルキャリブレーション型のパイプライン型アナログデジタル変換器の構成及び動作について、図５、図６で説明する。

【００５４】

図５は、サンプルモードにおけるＭＤＡＣの回路構成例を示している。ＭＤＡＣは、オペアンプ５０１を第１の容量C_{10}５０２および第２の容量C_{20}５０３、および第３の容量C_{30}で負帰還した構成をとる。なお、オペアンプ５０１の反転入力端子に接続された第３の容量C_{30}は、実質的に同一の容量値を持つ複数の容量素子ユニット（容量素子ユニット列＝C_{31}５１０からC_{3N}５１２）で構成された容量バンク１００からの中から、一つの容量素子ユニットだけをスイッチ群制御部１１７が選択するように構成されている。スイッチ群制御部は、スイッチ制御信号ＳＷｃｔｒｌと共にキャリブレーション用クロック信号ＣＡＬが入力されるＣＡＬ用ＤＡＣスイッチ制御部５２５、５２６、５２７を含んでいる。

【００５５】

一例として、図５では、スイッチ群制御部１１７が容量バンク（容量素子ユニット列）１００の中から、第３の容量C_{30}として一つの容量素子ユニットC_{32}５１１だけを選択している状態を示した。容量バンク１００の容量素子ユニットC_{31}５１０は、スイッチ５１３を介してオペアンプ５０１の非反転入力端子に接続され、スイッチ５２２を介して、参照電圧に接続されている。なお、同図では、$+V_{ref}$、０（基準電圧）、$-V_{ref}$のいずれか一つの参照電圧に接続されるが、もちろん、これに限定する必要は無い。また、容量素子ユニットC_{31}５１０は、スイッチ５１４およびスイッチ５１５を介して、基準電圧にも接続される。ここで、スイッチ５１３およびスイッチ５２２は、$SWctrl_1$信号により、また、スイッチ５１４およびスイッチ５１５は、$SWctrl_1$の反転信号により制御される。同様に、容量素子ユニットC_{32}５１１は、スイッチ５１６を介してオペアンプ５０１の非反転入力端子に接続され、スイッチ５２３を介して、参照電圧に接続されている。

【００５６】

また、容量バンク１００の容量素子ユニットC_{32}５１１は、スイッチ５１７およびスイッチ５１８を介して、基準電圧にも接続されている。ここで、スイッチ５１６およびスイッチ５２３は、$SWctrl_2$信号により、また、スイッチ５１７およびスイッチ５１８は、$SWctrl_2$の反転信号により制御される。

【００５７】

同様に、容量バンクの容量素子ユニットC_{3N}５１２は、スイッチ５１９を介してオペアンプ５０１の非反転入力端子に接続され、スイッチ５２４を介して、参照電圧に接続されている。また、容量素子ユニットC_{3N}５１２は、スイッチ５２０およびスイッチ５２

１を介して、基準電圧にも接続されている。

【００５８】

ここで、スイッチ５１９およびスイッチ５２４は、$SWctrl_N$信号により、また、スイッチ５２０およびスイッチ５２１は、$SWctrl_N$の反転信号により制御される。図５の例では、第３の容量C_{30}として容量素子ユニットC_{32}５１１を選択しているので、$SWctrl_2$信号をＯＮにすることで、スイッチ５１６がＯＮとなり、また、スイッチ５２３のうち、０（基準電圧）に接続されるスイッチが一つだけＯＮとなる。一方、スイッチ５１７およびスイッチ５１８はＯＦＦとなる。また、第３の容量C_{30}として容量素子ユニットC_{32}５１１を選択する場合、$SWctrl_2$信号以外はＯＦＦとなる。$SWctrl_1$がＯＦＦとなることにより、スイッチ５１３およびスイッチ５２２はＯＦＦとなる。また、$SWctrl_1$の反転信号はＯＮとなるため、スイッチ５１４とスイッチ５１５がＯＮとなる。その結果として、容量素子ユニットC_{31}５１０の両端子は、基準電圧に接続されるため、容量素子ユニットC_{31}５１０は非選択状態（非動作状態）となる。同様にして、容量素子ユニットC_{32}５１１以外の全ての容量素子ユニットが非動作状態になる。

【００５９】

図５のように、サンプルモードでは、クロックPhi_1がＯＮとなることで、スイッチ５０４、５０５、５０６がＯＮとなり、これにより、第１の容量C_{10}５０２および、第２の容量C_{20}５０３は、入力アナログ電圧V_{in}と基準電圧の間に接続され、入力アナログ電圧V_{in}に比例した電荷が、第１の容量C_{10}５０２および第２の容量C_{20}５０３上に充電される。また、この時、クロックPhi_2はＯＦＦであるため、スイッチ５０７、５０８はＯＦＦである。各ＣＡＬ用ＤＡＣスイッチ制御部５２５、５２６、５２７は、サンプルモード時は０信号を入力とするため、その$SWctrl_1$、$SWctrl_2$、$SWctrl_N$信号がＯＮの時に、それぞれ、スイッチ５２２、スイッチ５２３、スイッチ５２４のうちの０（基準電圧）を選択するように出力し、一方、$SWctrl_1$、$SWctrl_2$、$SWctrl_N$信号がＯＦＦの時には、それぞれ、スイッチ５２２、スイッチ５２３、スイッチ５２４をＯＦＦにするように出力する。

【００６０】

図５の例では、容量バンクの容量素子ユニット列の内、C_{32}５１１のみを第３の容量C_{30}として選択している、すなわち、$SWctrl_2$のみＯＮで、他の$SWctrl$信号が全てＯＦＦである。したがって、スイッチ５２３の内の０（基準電圧）に接続されたスイッチのみＯＮとなり、スイッチ５２２やスイッチ５２４などは全てＯＦＦとなる。スイッチ５２３の内の０（基準電圧）に接続されたスイッチがＯＮとなることにより、容量C_{32}５１１の両端は基準電圧に接続され、その結果として、その電荷がゼロにリセットされる。

【００６１】

次に、図６において、本実施例のアンプモードにおける動作を説明する。同図のように、アンプモードでは、クロックPhi_1がＯＦＦとなることで、スイッチ５０４、５０５、５０６がＯＦＦとなり、クロックPhi_2がＯＮとなることで、スイッチ５０７、５０８がＯＮとなる。これにより、オペアンプ５０１が負帰還接続となり、サンプルモードにおいて、第１の容量C_{10}５０２上に充電された電荷が、第２の容量C_{20}５０３上に移動する。これにより、アンプモードでは、サンプルモード時の入力アナログ電圧V_{in}が２倍されて出力に現れる。同時に、同図には表示されていないが別途、コンパレータ列により行われた粗い量子化結果に基づいて生成されるDAC_{ctrl}信号に応じて、ＤＡＣスイッチ制御部５０９は、Phi_2ＯＮ時、すなわち、アンプモード時に、スイッチ５０８のうち、いずれか一つのみＯＮにする

例えば、図６では、基準電圧－V_{ref}に接続されたスイッチがＯＮになっている。この時接続される基準電圧値に応じて、第２の容量C_{20}５０３上にさらに移動する電荷量が変化する、つまり、粗い量子化結果に応じた電荷の引き算が行われる。第３の容量C_{30}として選択する容量素子ユニットとしては、サンプルモードと同じ容量素子ユニット、

つまり、この場合、第３の容量C_{30}がC_{32}５１１である必要があるため、サンプルモードと同様、$SWctrl_2$信号をＯＮにすることで、スイッチ５１６とスイッチ５２３がＯＮとなる。一方、スイッチ５１７およびスイッチ５１８はＯＦＦとなる。また、$SWctrl_2$信号以外はＯＦＦとなる。$SWctrl_1$がＯＦＦとなることにより、スイッチ５１３およびスイッチ５２２はＯＦＦとなる。また、$SWctrl_1$の反転信号はＯＮとなるため、スイッチ５１４とスイッチ５１５がＯＮとなる。その結果として、容量素子ユニットC_{31}５１０の両端子は、基準電圧に接続されるため、容量素子ユニットC_{31}５１０は非選択状態（非動作状態）となる。同様にして、容量素子ユニットC_{32}５１１以外の容量バンク１００の全ての容量素子ユニットが非動作状態になる。

【００６２】

各ＣＡＬ用ＤＡＣスイッチ制御部５２５、５２６、５２７は、アンプモード時はキャリブレーション用の信号であるＣＡＬ信号を入力とするため、その$SWctrl_1$、$SWctrl_2$、$SWctrl_N$信号がＯＮの時に、それぞれ、スイッチ５２２、スイッチ５２３、スイッチ５２４のうちの、ＣＡＬ信号に対応する参照電圧に接続されたスイッチを選択するように出力し、一方、$SWctrl_1$、$SWctrl_2$、$SWctrl_N$信号がＯＦＦの時には、それぞれ、スイッチ５２２、スイッチ５２３、スイッチ５２４をＯＦＦにするように出力する。

【００６３】

図６の例では、容量バンクの容量素子ユニット列の内、C_{32}５１１のみを選択している、すなわち、$SWctrl_2$のみＯＮで、他のＳＷｃｔｒｌ信号が全てＯＦＦである。したがって、スイッチ５２３の内の＋Ｖｒｅｆ、０（基準電圧）、－Ｖｒｅｆに接続されたスイッチのいずれか一つがＣＡＬ信号に応じてＯＮとなる。例えば、図６では、ＣＡＬ信号が１の時に対応して、$+V_{ref}$に接続されたスイッチがＯＮになっている。また、スイッチ５２２やスイッチ５２４などは全てＯＦＦとなる。

【００６４】

これにより、容量C_{32}５１１の左端は、ＣＡＬ信号に対応した参照電圧に、右端は、オペアンプ５０１の非反転端子に接続される。この時、C_{32}５１１の左端に接続される参照電圧値に応じて、第２の容量C_{20}５０３上に移動する電荷量が変化する。ここで、各容量素子ユニット列C_{31}５１０からC_{3N}５１２の値を第１の容量C_{10}５０２や第２の容量C_{20}５０３のα倍と選ぶことにより、この場合、V_{ref}／１６の電圧をオペアンプ５０１の出力から引き算するのと等価になる。

【００６５】

換言すると、図６の構成例では、アンプモードでは、サンプルモード時のアナログ入力電圧V_{in}と粗い量子化結果の引き算である量子化誤差を２倍した電圧から、キャリブレーション用クロック信号ＣＡＬに応じて決まる電圧値、例えば、V_{ref}／１６を引き算した電圧を、オペアンプ５０１の出力に得ることができる。

【００６６】

キャリブレーション用クロック信号ＣＡＬは、＋１、－１、０の３値のうちのいずれかをとり、それに応じて、それぞれ、V_{ref}／１６、$-V_{ref}$／１６、０が、サンプルモード時のアナログ入力電圧V_{in}と粗い量子化結果の引き算である量子化誤差を２倍した電圧から引き算される。

【００６７】

以上で説明した、キャリブレーション用信号ＣＡＬによるＭＤＡＣ出力電圧への意図的な変動の印加は、デジタルキャリブレーションの収束、すなわち、デジタルキャリブレーション部３０５が正しい重み列に到達するのに所要する時間）を著しく短縮することができる。

【００６８】

ここで、オペアンプ５０１の出力電圧が飽和するのを避けるために、αとして１より十分小さな値を選択するので、容量バンクの容量素子ユニット列C_{31}５１０からC_{3N}５１２の容量値として、極めて小さな値が必要になるので、本発明の適用が効果的である。

【００６９】
なお、以上は、容量素子ユニット選択回路やキャリブレーション方法、キャリブレーション用回路のあくまでも一例であり、他の回路構成を採用してももちろん良い。
【００７０】
図７に、第二の実施例におけるスイッチ群制御部１１７による容量バンクの各容量素子ユニットC_{31}５１０からC_{3N}５１２の選択方法、つまり、図５や図６で述べた$SWctrl_1$信号から$SWctrl_N$信号を生成する方法の一例を示す。なお、サンプルモードとアンプモードを切換えるPhi_1、Phi_2信号もあわせて示した。
【００７１】
本発明では、容量バンクの各容量素子ユニットのいずれか一つだけを同時に選択するために、各$SWctrl_1$信号から$SWctrl_N$信号のいずれか一つだけがＯＮになり、同時に２つ以上のＳＷｃｔｒｌ信号がＯＮになることは無い。また、容量素子ユニットバラツキの影響を最大限緩和するために、容量バンクの各容量素子ユニットを実質的に等確率で選択する必要があるため、各ＳＷｃｔｒｌ信号がＯＮになる頻度は互いに等しくする。
【００７２】
例えば、図７（Ｎ＝４の場合）のように、動作クロックごとに周期的に各容量素子ユニットを選択するために、ＳＷｃｔｒｌ信号として、ＯＮタイミングが一つずつずれた周期信号を選んでも良いし、また、各容量素子ユニットの中から、動作クロックごとにランダムに一つだけ選択するように、ＳＷｃｔｒｌ信号を生成しても良い。各容量素子ユニットを等確率かつ一つだけ選択する限りにおいて、その他のどのような選択のしかたをしても良いのはもちろんである。
【００７３】
本発明を実施することで、小さな容量値を持つ容量素子の比精度バラツキの影響を緩和できるため、容量値の比精度バラツキにともなうアナログデジタル変換器の非線形性の劣化を従来より抑制することができ、その結果として、ＳＮＤＲ、つまり、有効ビット数ＥＮＯＢが改善する。
【００７４】
その様子を図８に示した。量子化雑音および熱雑音（ｋＴ／Ｃ雑音）による不可避の劣化成分に加えて、容量値の比精度バラツキにともなうスペクトラムの劣化成分が存在するが、その劣化量を、本発明により、従来よりも少なくすることができる。
【００７５】
なお、図９に示したように、通常のＣＭＯＳプロセスの容量値の比精度バラツキを仮定した場合、デジタルキャリブレーション型アナログデジタル変換器に対して、Ｎ＝５、周期的なＳＷｃｔｒｌ信号で本発明を実施することにより、従来より３ｄＢ程度のＳＮＤＲの改善、すなわち０．５ビット程度のＥＮＯＢの改善が見られることが見積もられた。
【００７６】
上記の効果を別の視点から、図１０を用いて説明する。一般に、アナログデジタル変換器は、回路で使用する容量値が大きいほど消費電力が大きくなるため、容量値を、それにともなう熱雑音、つまり、ｋＴ／Ｃ雑音が量子化雑音に比べて十分小さくなる範囲内において、極力低減している。この結果、容量値として同図に示したC_{noise}以上であることが要求される。一方、アナログデジタル変換器の線形性あるいはＳＮＤＲ、つまり有効ビット数の観点から、容量素子の容量値の比精度バラツキが所定値（例えば、同図では０．１％）以下であることも同時に要求され、その結果として、同図のように容量値として$C_{distortion}$以上である必要がある。
【００７７】
デジタルキャリブレーション型アナログデジタル変換器や、その他の一般のアナログデジタル変換器において、しばしば、同図のように、$C_{distortion}$はC_{noise}より大きいため、採用する容量値は$C_{distortion}$となり、その時の消費電力は、C_{noise}から決まる消費電力よりも大きくなってしまう。

【００７８】
一方、本発明は、図１０に白抜き矢印で示した通り、容量値比精度バラツキの影響を緩和して、実効的に比精度バラツキを従来よりも低減することになるため、$C_{distortion}$をC_{noise}より大きくすることができ、その結果として、C_{noise}をアナログデジタル変換器の容量値として採用できる。この結果、本発明により、従来よりもアナログデジタル変換器の消費電力を低減できる。
【００７９】
このように、本実施例によれば、簡単な構成で、消費電力の増大を招くことなく、容量素子の比精度バラツキの影響を緩和できる。その結果として、小さな容量値の容量素子を使用することが可能になるため、アナログデジタル変換器に消費電力を削減できる。
【実施例３】
【００８０】
本発明の第三の実施例として、本発明をパイプライン型アナログデジタル変換器に適用した例を、図１１、図１２（図１２Ａ、図１２Ｂ、図１２Ｃ）で説明する。図１１に、パイプライン型アナログデジタル変換器の一般的な構成例を示す。パイプライン型アナログデジタル変換器は、$MDAC_1$８０１ないしステージ$MDAC_{N-1}$８０３の各ステージを直列に接続することで、所望の分解能が得られる。各ＭＤＡＣの構成例は図１２Ａに示すとおりである。本実施例では、図１２Ａ及び図１２ＣのＭＤＡＣを構成する各容量C_{10}，C_{20}に相当する部分が、図１２Ｂに示すような容量バンク部１００で構成されている。なお、図１２ＡはＭＤＡＣのサンプルモード、図１２ＣはＭＤＡＣのアンプモードを示している。
【００８１】
図１１において、各ＭＤＡＣは、入力されたアナログ電圧を粗く量子化するとともに、その際に生じる量子化誤差を増幅して次段のＭＤＡＣに伝達し、処理を委ねる。例えば、初段の$MDAC_1$８０１は、アナログデジタル変換器に入力されるアナログ信号電圧を粗くn_1ビットで量子化して、その結果をデジタル誤差補正部８０５に伝達するとともに、その際に生じる量子化誤差電圧（Ｒｅｓ）を増幅して次段の$MDAC_2$８０２に伝達し処理を委ねる。$MDAC_2$８０２は、$MDAC_1$８０１から出力された誤差電圧を、粗くn_2ビットで量子化して、その結果をデジタル誤差補正部８０５に伝達するとともに、その際に生じる量子化誤差電圧を増幅して、３段目のＭＤＡＣに伝えるなど、以下の処理は同様である。
【００８２】
最終ステージ（Ｎ番目のステージ）は、単なる粗い量子化器$SADC_N$８０４で構成され、前段のＮ－１番目のステージ$MDAC_{N-1}$８０３から出力された量子化誤差電圧を粗くn_Nビットで量子化して、その結果をデジタル誤差補正部８０５に伝達する。デジタル誤差補正部８０５は、各ＭＤＡＣから伝達された値と、適切なバイナリ値列の内積をとることで、最終的なデジタル出力値を決定する。
【００８３】
各ＭＤＡＣは、サンプルモードとアンプモードの２モードで動作し、例えば、それぞれ図１２Ａ、図１２Ｃのような構成をとる。ＭＤＡＣは、オペアンプ９０１を第１の容量C_{10}９０２および第２の容量C_{20}９０３で負帰還した構成をベースとし、各スイッチ９０４、９０５、９０６、９０７、９０８により接続関係を変えて、２モード間を切り換えることができる。なお、スイッチ９０８は、パイプライン型アナログデジタル変換器のサンプルモードやアンプモードの状態に対応して、$+V_{ref}$、０（基準電圧）、$-V_{ref}$のいずれか一つの参照電圧に接続されるように構成されているが、もちろん、これに限定する必要は無い。
【００８４】
第１の容量C_{10}９０２は、図１２Ｂに示すように、実質的に同一の容量値を持つ複数（Ｎ個）の容量素子ユニット列C_1～C_Nで構成される容量バンク１００の中から一つだけ（図の例では容量素子ユニットC_2）を、実質的に等確率で選択することで実現される

。そのために、容量バンク部１００を構成する１つの容量素子ユニットＣ$_2$１０３は、一端がスイッチ群制御部１１７で制御されるスイッチ１０８を介してオペアンプ９０１の反転入力端子に接続され、他端が同じくスイッチ群制御部１１７で制御されるスイッチ１１５を介して、スイッチ９０８に接続される。また、容量素子ユニットＣ$_2$１０３を基準電圧に接続するスイッチ１０９およびスイッチ１１０は開放されている。ここで、スイッチ１０８およびスイッチ１１５は、例えば、図３に示したような、ＳＷｃｔｒｌ$_2$信号により、また、スイッチ１０９およびスイッチ１１０は、ＳＷｃｔｒｌ$_2$の反転信号により制御される。

【００８５】

一方、選択されていない容量素子ユニットＣ$_1$１０２は、その両端がスイッチ１０６およびスイッチ１０７を介して、基準電圧に接続されている。また、選択されていない容量素子ユニットＣ$_N$１０４も、スイッチ１１２およびスイッチ１１３を介して、その両端が基準電圧に接続されている。

【００８６】

同様に、第１の容量Ｃ$_{10}$９０２として容量素子ユニットＣ$_1$１０２、もしくはＣ$_N$１０４が選択される場合にも、選択された容量素子ユニットは各スイッチを介してオペアンプ９０１の反転入力端子とスイッチ９０８との間に接続される。

【００８７】

また、第２の容量Ｃ$_{20}$９０３についても、第１の容量Ｃ$_{10}$９０２と同様に、実質的に第１の容量素子ユニット列と同一の容量値を持つ複数（Ｎ個）の容量素子ユニット列Ｃ$_1$～Ｃ$_N$で構成される容量バンク１００の中から一つだけを、実質的に等確率で選択することで実現されるものとする。

【００８８】

図１２Ａのように、サンプルモードでは、クロックＰｈｉ$_1$がＯＮとなることで、スイッチ９０４、９０５、９０６がＯＮとなり、これにより、第１の容量Ｃ$_{10}$９０２を構成する容量素子ユニット列Ｃ$_1$～Ｃ$_N$の１つおよび、第２の容量Ｃ$_{20}$９０３を構成する他の容量素子ユニット列Ｃ$_1$～Ｃ$_N$の１つは、入力アナログ電圧Ｖ$_{in}$と基準ＤＣ電圧（ここでは、便宜上、グランドとして記載）の間に接続され、入力アナログ電圧Ｖ$_{in}$に比例した電荷が、第１の容量Ｃ$_{10}$９０２および第２の容量Ｃ$_{20}$９０３上に充電される。この時、クロックＰｈｉ$_2$はＯＦＦであるため、スイッチ９０７とスイッチ９０８はＯＦＦとなる。

【００８９】

一方、アンプモードでは、図１２Ｃのように、クロックＰｈｉ$_1$がＯＦＦとなることで、スイッチ９０４、９０５、９０６がＯＦＦとなり、クロックＰｈｉ$_2$がＯＮとなることで、スイッチ９０７と９０８がＯＮとなる。これにより、オペアンプ９０１が負帰還接続となり、サンプルモードにおいて、第１の容量Ｃ$_{10}$９０２上に充電された電荷が、第２の容量Ｃ$_{20}$９０３上に移動する。これにより、アンプモードでは、サンプルモード時の入力アナログ電圧Ｖ$_{in}$が２倍されて出力に現れる。同時に、同図には表示されていないが別途、コンパレータ列により行われた粗い量子化結果に基づいて生成されるＤＡＣ$_{ctrl}$信号に応じて、ＤＡＣスイッチ制御部９０９は、Ｐｈｉ$_2$ＯＮ時、すなわち、アンプモード時に、スイッチ９０８のうち、いずれか一つのみＯＮにする。

【００９０】

例えば、図１２Ｃでは、参照電圧－Ｖ$_{ref}$に接続された各スイッチがＯＮになっている。この時接続される参照電圧値に応じて、第２の容量Ｃ$_{20}$９０３上にさらに移動する電荷量が変化する、つまり、粗い量子化結果に応じた電荷の引き算が行われる。換言すると、同図の構成例では、アンプモードでは、サンプルモード時のアナログ入力電圧Ｖ$_{in}$と粗い量子化結果の引き算である量子化誤差を２倍した電圧をオペアンプ９０１の出力に得ることができ、上記のＭＤＡＣの所望動作となっていることがわかる。

【００９１】

なお、本実施例と前記第二の実施例を組み合わせる、換言するとオペアンプ５０１に接

続された第１の容量Ｃ１０５０２と第２の容量Ｃ２０５０３、および第３の容量Ｃ３０の各々を前記容量バンクとして構成し、前記各容量バンクからの中から、一つの容量素子ユニットだけをスイッチ群制御部が選択するように構成しても良い。

【００９２】

本実施例によれば、簡単な回路構成および制御方法で、消費電力の増大を招くことなく、容量素子の比精度バラツキの影響を緩和できる。その結果として、小さな容量値の容量素子をアナログデジタル変換器に使用することが可能になるため、消費電力を削減できる。

【実施例４】

【００９３】

本発明の第四の実施例として、本発明を逐次近似型アナログデジタル変換器に適用した例を図１３により説明する。この逐次近似型アナログデジタル変換器は、容量ネットワーク１００１、コンパレータ１００２及びレジスタ１００３で構成されている。容量ネットワーク１００１は、それぞれ同一の容量値を持つ複数（Ｎ個）の容量素子ユニット列Ｃ１～Ｃ$_N$からなる複数の容量バンク１００を備えている。容量バンク部１００は、第一の実施例と同様に、複数（Ｎ個）の容量素子ユニット列Ｃ１～Ｃ$_N$と、各容量素子ユニットの両端子に接続された一対の素子スイッチからなるＮ個の素子スイッチ列と、動作クロックごとに各素子スイッチのＯＮ、ＯＦＦをスイッチ制御信号ＳＷｃｔｒｌにより制御するスイッチ群制御部とで構成されている。各容量バンク１００毎に一つの容量素子だけを実質的に等確率で選択することで、容量ネットワーク１００１内の１つ１つの容量が、実現される。

【００９４】

図１３において、入力アナログ電圧Ｖ$_{in}$は、容量ネットワーク１００１に入力される。容量ネットワーク１００１は、引き算とデジタルアナログ変換の役割を果たしており、レジスタ１００３より出力されるスイッチ制御信号に基づいて、容量ネットワーク１００１内の各スイッチのＯＮ／ＯＦＦを制御することで、容量ネットワーク１００１内の各容量の接続関係を制御する。この各容量の接続関係に応じて決まるアナログ電圧は、現在の変換結果に対応する出力コードをデジタルアナログ変換したものであり、容量ネットワーク１００１内において、同電圧が入力アナログ電圧Ｖ$_{in}$から引き算されることで、現在の変換に対する量子化誤差が容量ネットワーク１００１から出力される。

【００９５】

容量ネットワーク１００１から出力された現在の変換に対する量子化誤差は、コンパレータ１００２に入力され、その正／負が判定される。レジスタ１００３は、コンパレータ１００２で判定した現在の変換に対する量子化誤差の符号に応じて、現在保持するレジスタ値を更新する。レジスタ１００３は、ＭＳＢからＬＳＢまで順次１ビットずつコードを確定していくために、容量ネットワーク１００１内の各スイッチを順次適切に制御して、その際の量子化誤差の符号をコンパレータ１００２で検出し、それに応じて、現在判定中のビットのコード値が０であるべきか１であるべきかを決定する。

【００９６】

本実施例によれば、簡単な回路構成および制御方法で、消費電力の増大を招くことなく、容量素子の比精度バラツキの影響を緩和できる。その結果として、小さな容量値の容量素子をアナログデジタル変換器に使用することが可能になるため、消費電力を削減できる。

【実施例５】

【００９７】

本発明の第五の実施例として、本発明を無線トランシーバに適用した例を図１４により説明する。無線トランシーバは、送受信切換え部４０１に接続された無線受信回路と無線送信回路部４０９を備えている。無線受信回路は、高周波回路部４０２と、この高周波回路部の出力に接続された低周波回路部（フィルタ４０３、可変利得増幅器４０４、自動利得制御部４０８）と、この低周波回路部の出力に接続されたアナログデジタル変換器４０

５と、このアナログデジタル変換器の有効分解能を向上させるためのキャリブレーションを行うデジタルキャリブレーション部４０６と、デジタル信号処理用プロセッサ等で構成されるデジタル信号処理部４０７で構成されている。

【００９８】

図中に符号４１０で示したアナログデジタル変換器及びデジタルキャリブレーション部の構成は、例えば第二の実施例の構成と同じである。すなわち、デジタルキャリブレーション型のパイプライン型アナログデジタル変換器を構成する各ＭＤＡＣは、オペアンプを第１の容量C_{10}および第２の容量C_{20}、および第３の容量C_{30}で負帰還した構成をとる。第３の容量C_{30}は、実質的に同一の容量値を持つ複数の容量素子ユニット（容量素子ユニット列＝C_{31}からC_{3N}）で構成された容量バンクからの中から、一つの容量素子ユニットだけをスイッチ群制御部が選択するように構成されている。

【００９９】

アンテナから入力された受信信号は、送受信切換え部４０１を通過した後、高周波回路部４０２において、増幅され、さらに低い中間周波数（または、ゼロ周波数）に周波数変換される。中間周波数信号は、フィルタ４０３で妨害波成分を除去された後、可変利得増幅器４０４で増幅され、アナログデジタル変換器４０５に入力される。アナログデジタル変換器４０５の出力は、デジタルキャリブレーション部４０６に入力され、アナログデジタル変換器４０５の出力に含まれる変換誤差をキャリブレーションして出力する。自動利得制御部４０８は、デジタルキャリブレーション部４０６の出力レベルから、可変利得増幅器４０４の利得を、同増幅器の出力が、アナログデジタル変換器４０５の入力ダイナミックレンジと等しくなるか、それより少し小さくなるように自動的に決定する。デジタルキャリブレーション部４０６でキャリブレーションされたデジタル信号は、デジタル信号処理部４０７により、必要なフィルタリング、復調処理、上位レイヤの処理などが施される。アナログデジタル変換器４０５は、内部回路のオペアンプなどの消費電力を削減することで低消費電力を実現し、その代償として生じる変換誤差を、デジタルキャリブレーション部４０６によりキャリブレーションすることで、高分解能かつ高サンプルレートのアナログデジタル変換器を低消費電力で実現できる。

【０１００】

一方、無線送信回路部４０９は、デジタル信号処理用プロセッサで生成された送信用のデジタル信号をアナログに変換するデジタルアナログ変換器を備えている。

【０１０１】

本実施例では、アナログデジタル変換器及びデジタルキャリブレーション部内の一部の容量、または、全ての容量を、それぞれ、実質的に同一の容量値を持つ複数の容量素子ユニットで構成される容量バンクで構成し、複数の容量素子ユニットの中から一つの前記容量素子ユニットだけを、実質的に等確率で選択して実現することで、容量素子ユニットの容量値ばらつきの影響を緩和する。

【０１０２】

なお、無線送信回路部４０９内のデジタルアナログ変換器についても、その一部の容量、または、全ての容量を、それぞれ、実質的に同一の容量値を持つ複数の容量素子ユニットで構成される容量バンクで構成し、複数の容量素子ユニットの中から一つの前記容量素子ユニットだけを、実質的に等確率で選択して実現することで、容量素子の容量値ばらつきの影響を緩和することができる。

【０１０３】

本実施例によれば、簡単な回路構成および制御方法で、消費電力の増大を招くことなく、容量素子の比精度バラツキの影響を緩和できる。その結果として、小さな容量値の容量素子をデジタルアナログ変換器に使用することが可能になるため、消費電力を削減できる。

【０１０４】

なお、以上述べた各実施例において、アナログデジタル変換器を含む各回路のＩＣチップ化にはさまざまなバリエーションが考えられる。

【０１０５】
例えば、高周波回路部、低周波回路部、アナログデジタル変換器、キャリブレーション部からなる無線受信回路を、一つのチップ上に集積化して実現することができる。あるいは、高周波回路部、低周波回路部、アナログデジタル変換器、キャリブレーション部からなる無線受信回路部と送信回路部とデジタル処理用プロセッサ部を一つのチップ上に集積化して実現することもできる。
【図面の簡単な説明】
【０１０６】
【図１】本発明の第一の実施例になるＭＤＡＣ回路の構成例を示す図である。
【図２】本発明における容量素子ユニットの構成例を示す図である。
【図３】第一の実施例の動作タイミングの説明図である。
【図４】本発明の第二の実施例になるデジタルキャリブレーション型のパイプライン型アナログデジタル変換器の構成例を示す図である。
【図５】図４のアナログデジタル変換器に用いられるＭＤＡＣの回路構成の一例（サンプルモード）を示す図である。
【図６】図４のアナログデジタル変換器に用いられるＭＤＡＣの回路構成の一例（アンプモード）を示す図である。
【図７】第二の実施例の動作タイミングの説明図である。
【図８】容量値の比精度バラツキにともなうスペクトラムの劣化に関する、本発明の効果を説明する図である。
【図９】本発明によるＳＮＤＲの改善の効果の説明図である。
【図１０】本発明による容量値比精度バラツキの低減の効果の説明図である。
【図１１】本発明の第三の実施例になるパイプライン型アナログデジタル変換器の構成例を示す図である。
【図１２Ａ】第三の実施例におけるＭＤＡＣの構成例（サンプルモード）を示す図である。
【図１２Ｂ】第三の実施例における容量バンク部の構成例を示す図である。
【図１２Ｃ】第三の実施例におけるＭＤＡＣの構成例（アンプモード）を示す図である。
【図１３】本発明の第四の実施例になる逐次近似型アナログデジタル変換器の構成例を示す図である。
【図１４】本発明の第五の実施例になる無線トランシーバの構成例を示す図である。
【図１５】従来のデジタルキャリブレーション型アナログデジタル変換器のＭＤＡＣ回路の構成例（サンプルモード）を示す図である。である。
【図１６】従来のデジタルキャリブレーション型アナログデジタル変換器のＭＤＡＣ回路の構成例（アンプモード）を示す図である。
【符号の説明】
【０１０７】
１００：容量バンク（第３の容量C_{30}）
１０１：アナログコア部
１０２：容量素子C_1
１０３：容量素子C_2
１０４：容量素子C_N
１０５～１１６：スイッチ
１１７：スイッチ群制御部
３０１：ＭＤＡＣステージ１
３０２：ＭＤＡＣステージ２
３０３：ＭＤＡＣステージＮ－１
３０４：サブＡＤＣ（ステージＮ）
３０５：デジタルキャリブレーション部
３０６：参照用アナログデジタル変換器

４０１：送受信切換え部
４０２：高周波回路部
４０３：フィルタ
４０４：可変利得増幅器
４０５：アナログデジタル変換器
４０６：デジタルキャリブレーション部
４０７：デジタル信号処理部
４０８：自動利得制御部
４０９：無線送信回路部
４１０：アナログデジタル変換器及びデジタルキャリブレーション部
５０１：オペアンプ
５０２：第１の容量C_{10}
５０３：第２の容量C_{20}
５０４～５０８：スイッチ
５０９：ＤＡＣスイッチ制御部
５１０：容量C_{31}
５１１：容量C_{32}
５１２：容量C_{3N}
５１３～５２４：スイッチ
５２５～５２７：ＣＡＬ用ＤＡＣスイッチ制御部
８０１：ＭＤＡＣステージ１
８０２：ＭＤＡＣステージ２
８０３：ＭＤＡＣステージＮ－１
８０４：サブＡＤＣ（ステージＮ）
８０５：デジタル誤差補正部
９０１：オペアンプ
９０２：第１の容量C_{10}
９０３：第２の容量C_{20}
９０４～９０８：スイッチ
９０９：ＤＡＣスイッチ制御部
１００１：容量ネットワーク
１００２：コンパレータ
１００３：レジスタ
１１０１：オペアンプ
１１０２：第１の容量C_{10}
１１０３：第２の容量C_{20}
１１０４～１１０８：スイッチ
１１０９：ＤＡＣスイッチ制御部
１１１０：第３の容量C_{30}
１１１１：スイッチ
１１１２：ＣＡＬ用ＤＡＣスイッチ制御部
１１１３：スイッチ。

【図１】

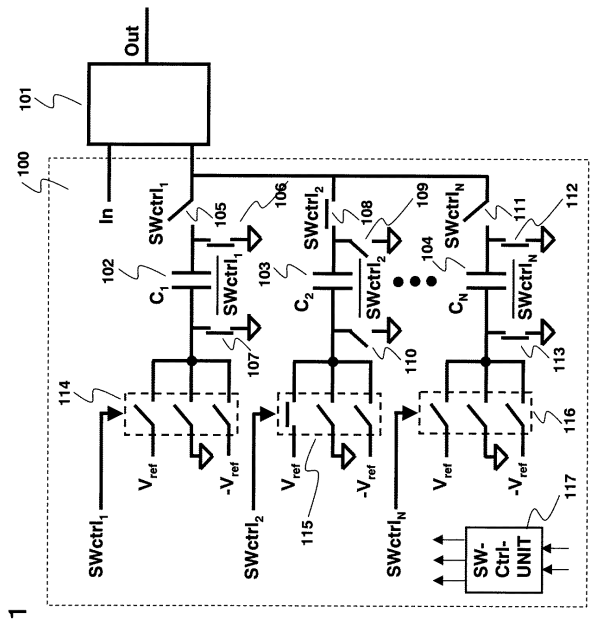


図１

【図２】

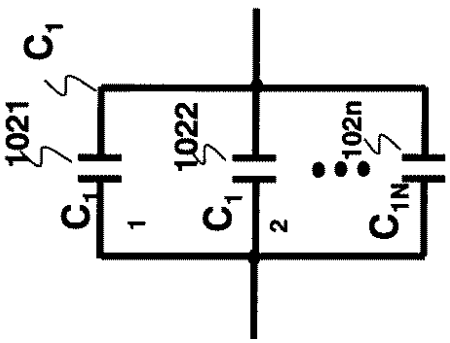


図２

【図３】

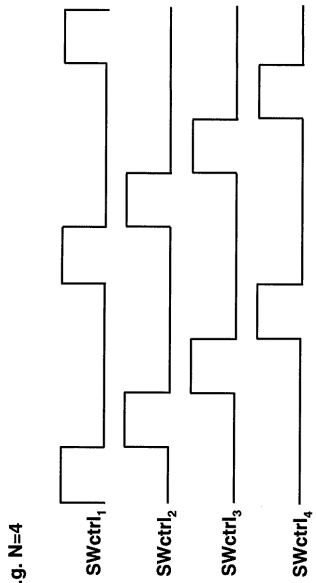


図３

【図４】

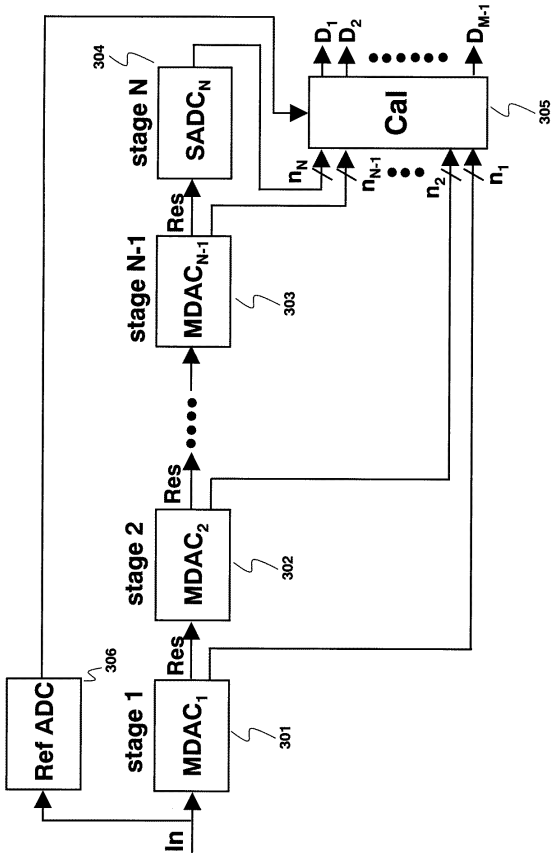
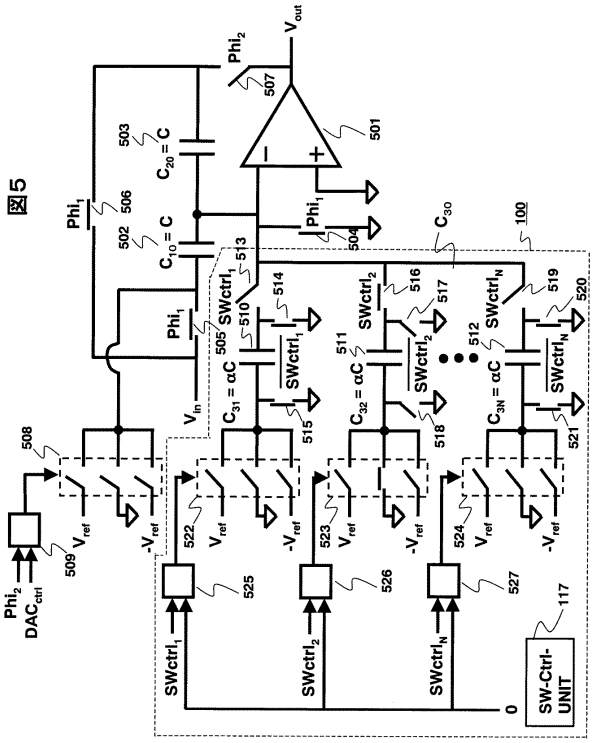
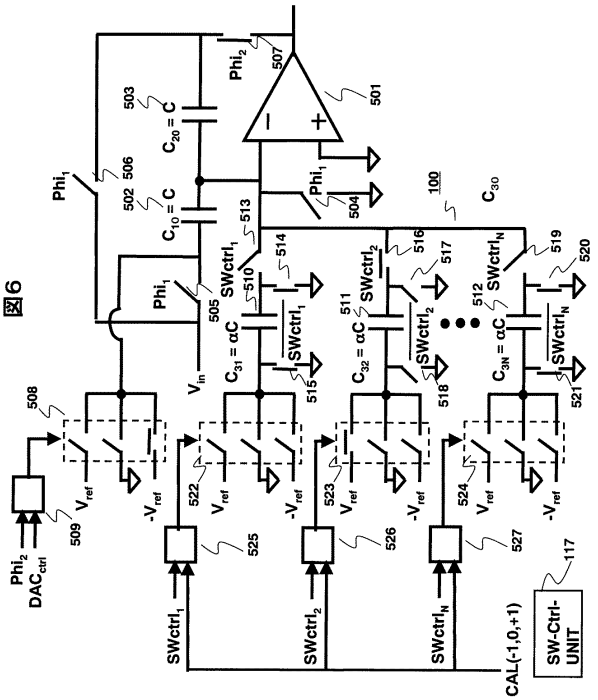


図４

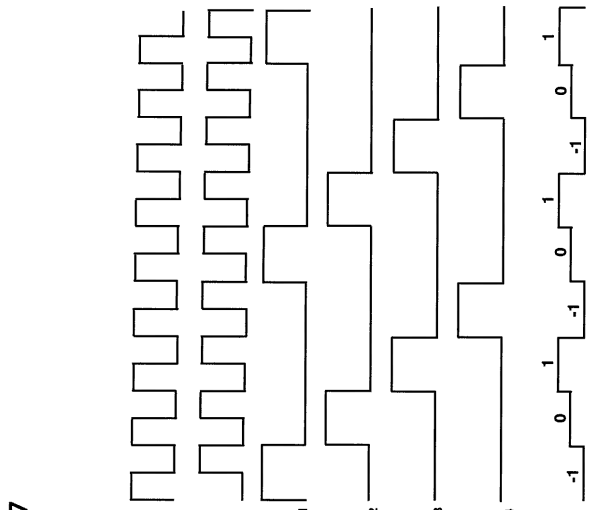
【図５】


図5
Phi2
DACctrl
Vout
Phi2
Phi1
C20 = C
C10 = C
Vin
C31 = αC
C32 = αC
C3N = αC
C30
SWctrl1
SWctrl2
SWctrlN
Vref
-Vref
SW-Ctrl-UNIT
CAL(-1,0,+1)
0

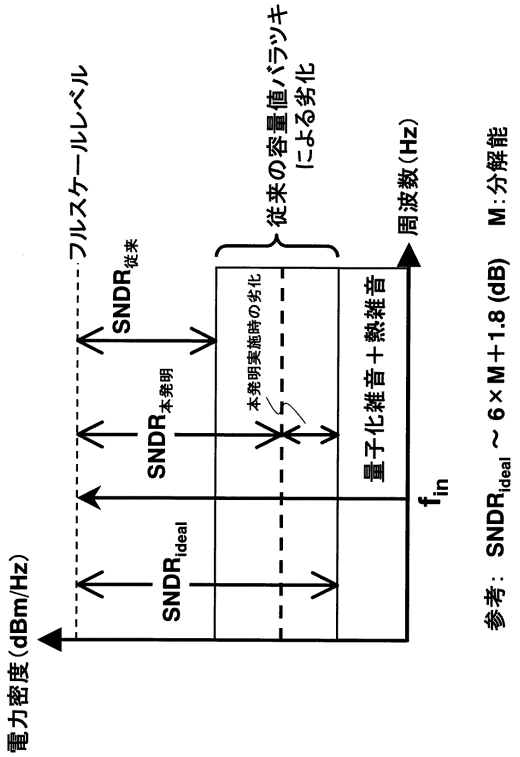
【図６】


図6
Phi2
DACctrl
Phi1
Phi2
C20 = C
C10 = C
Vin
C31 = αC
C32 = αC
C3N = αC
C30
SWctrl1
SWctrl2
SWctrlN
Vref
-Vref
SW-Ctrl-UNIT
CAL(-1,0,+1)

【図７】


図7
e.g. N=4
Phi1
Phi2
SWctrl1
SWctrl2
SWctrl3
SWctrl4
CAL
1
0
-1

【図８】


図8
電力密度(dBm/Hz)
フルスケールレベル
SNDR従来
SNDR本発明
SNDRideal
本発明実施時の劣化
従来の容量値バラツキによる劣化
量子化雑音＋熱雑音
周波数(Hz)
fin
参考： SNDRideal ～ 6×M＋1.8 (dB)　M:分解能

【図９】

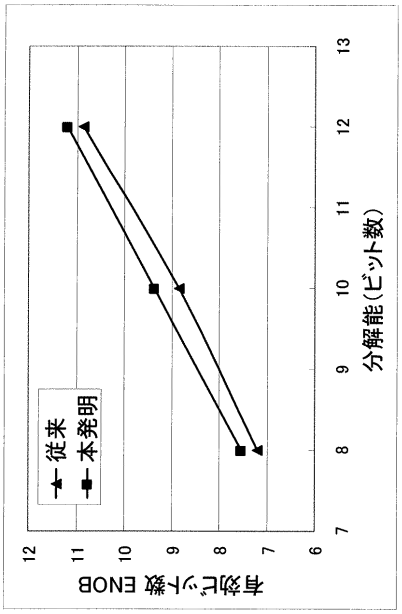


図9

【図１０】

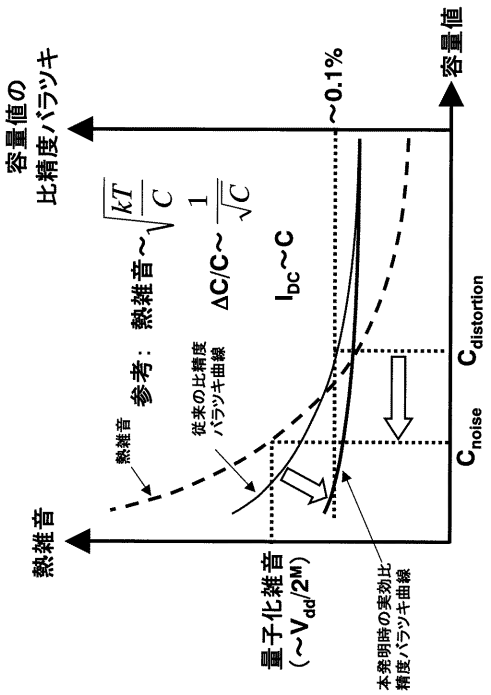


図10

【図１１】

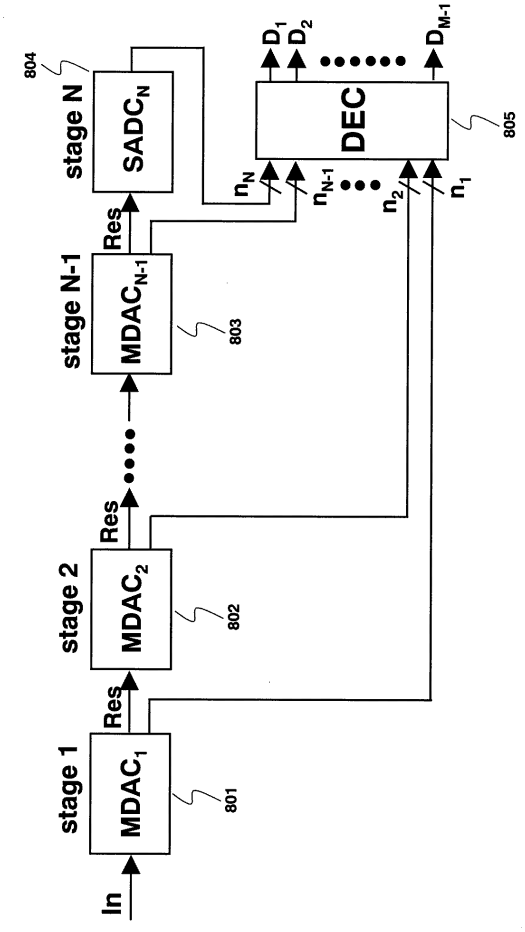


図11

【図１２Ａ】

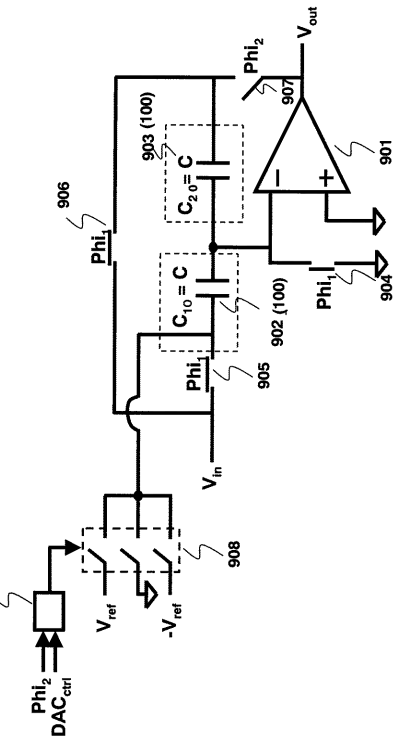


図12A

【図１２Ｂ】

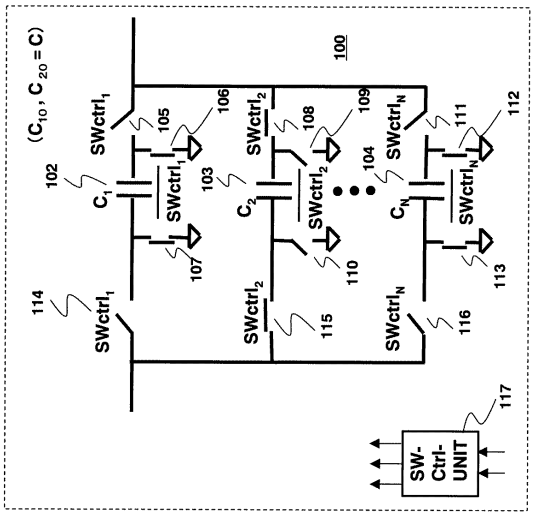


図12B

【図１２Ｃ】

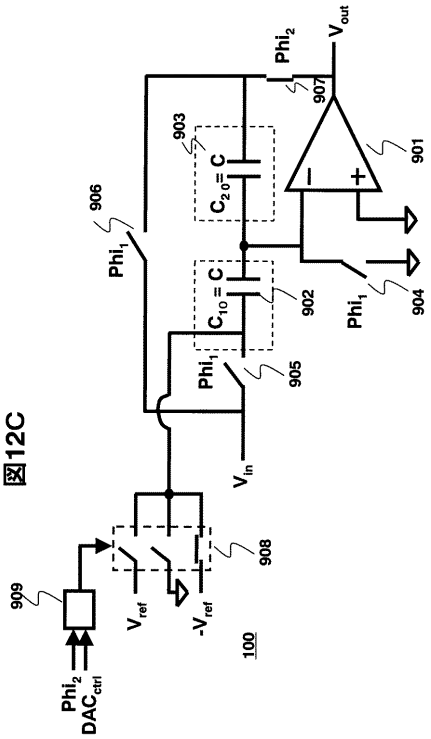


図12C

【図１３】

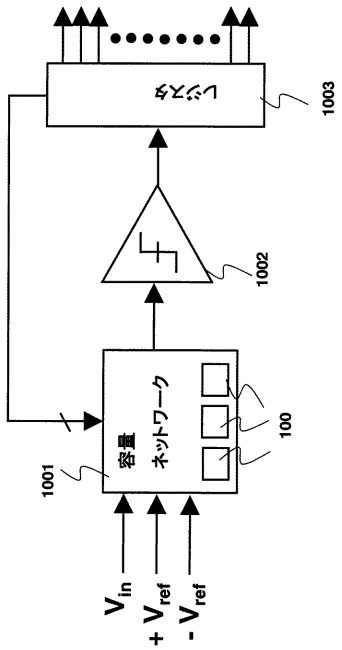


図13

【図１４】

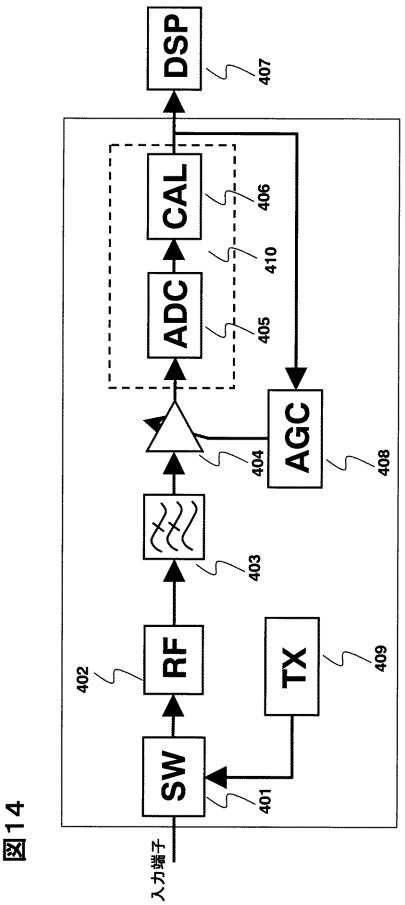


図14

【図１５】

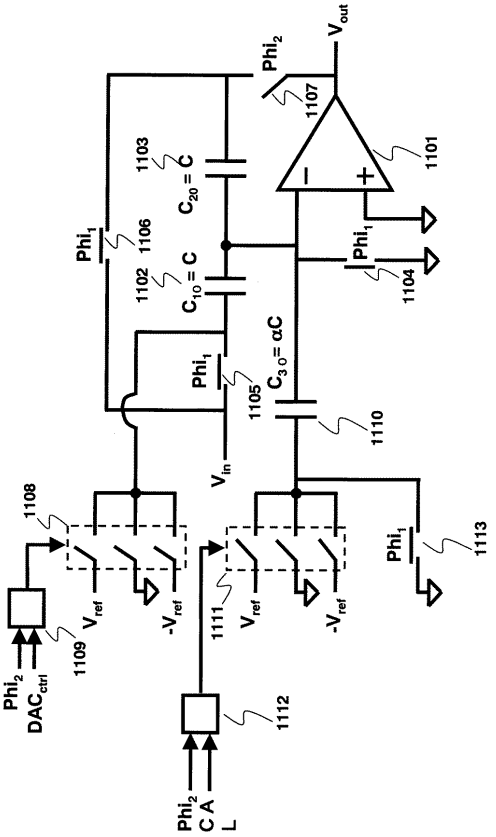


図15

【図１６】

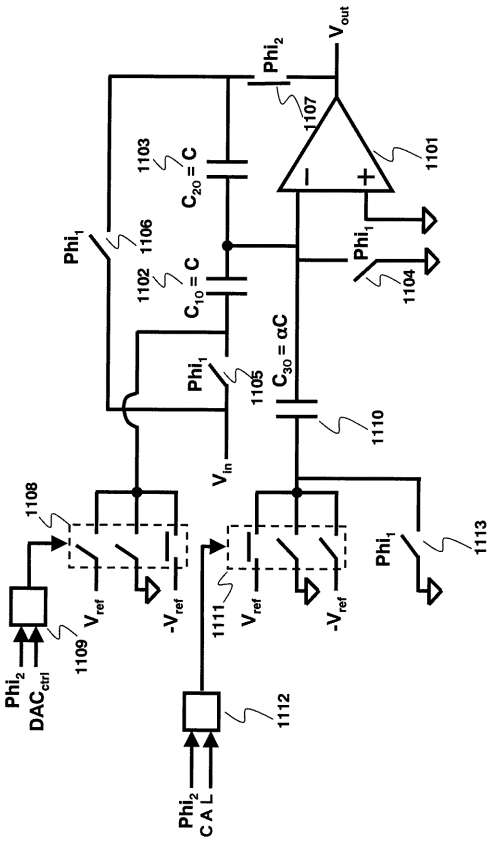


図16

フロントページの続き

(56)参考文献 特開２０００－１０１４３４（ＪＰ，Ａ）
特開平６－７７８３１（ＪＰ，Ａ）
特開平４－３５２２（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｈ０３Ｍ１／００－１／８８