

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 3 区分
 【発行日】平成 17 年 9 月 29 日 (2005.9.29)

【公開番号】特開 2003-316642 (P2003-316642A)
 【公開日】平成 15 年 11 月 7 日 (2003.11.7)
 【出願番号】特願 2002-123811 (P2002-123811)
 【国際特許分類第 7 版】

G 0 6 F 12/02

G 0 6 F 12/00

G 0 6 F 13/28

【F I】

G 0 6 F 12/02 5 8 0 J

G 0 6 F 12/00 5 9 7 C

G 0 6 F 13/28 3 1 0 H

【手続補正書】

【提出日】平成 17 年 4 月 25 日 (2005.4.25)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

少なくとも 1 つの D M A 要求ブロックから受けた D M A 要求に基づいて S D R A M へのアクセスを実行するメモリ制御回路であって、

前記 D M A 要求とともに、アドレス信号と、バースト D M A 要求回数を指示する指示信号とを含む D M A 制御情報信号を受信する受信手段と、

前記アドレス信号に基づいて連続アクセス可能な回数を検出する検出手段と、

前記指示信号により指示されたバースト D M A 要求回数と前記検出手段により検出された連続アクセス可能な回数とのうちで大きい方を選択する選択手段と、

前記選択手段により選択された回数を、実際に実行する連続 D M A の回数として設定する設定手段とを有することを特徴とするメモリ制御回路。

【請求項 2】

請求項 1 に記載のメモリ制御回路に接続可能な D M A 要求ブロックであって、

アクセス先を指定するメモリアドレス信号を前記メモリ制御回路からのデータアクセス信号によりカウントアップするカウントアップ手段と、

前記指示信号により指示するバースト D M A 要求回数を前記データアクセス信号によりカウントダウンするカウントダウン手段と、

前記データアクセス信号により 1 回のバースト D M A 制御が終了した時点で、カウントダウンされたバースト D M A 要求回数が 0 か否かを判定する判定手段と、

前記判定手段による判定の結果、前記カウントダウンされたバースト D M A 要求回数が 0 でない場合に、カウントアップされた前記メモリアドレス信号と、当該カウントダウンされたバースト D M A 要求回数とに基づいて、再度 D M A 要求を行うように制御する要求制御手段とを有することを特徴とする D M A 要求ブロック。

【請求項 3】

D M A 要求時に、前記バースト D M A 要求回数が、前記連続アクセス可能な回数の最大値より大きい場合は、当該最大値を前記バースト D M A 要求回数を指示する指示信号の値として設定することを特徴とする請求項 2 に記載の D M A 要求ブロック。

【請求項 4】

前記バースト D M A 要求回数を指示する指示信号の信号線幅を前記連続アクセス可能な回数の最大値に基づいて設計したことを特徴とする請求項 3 に記載の D M A 要求ブロック。

【請求項 5】

請求項 1 に記載のメモリ制御回路を有し、

請求項 2 に記載の D M A 要求ブロックを複数備えたメモリアクセスシステム。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 4 3

【補正方法】変更

【補正の内容】

【0 0 4 3】

上記課題を解決するために、本発明によれば、少なくとも 1 つの D M A 要求ブロックから受けた D M A 要求に基づいて S D R A M へのアクセスを実行するメモリ制御回路であって、前記 D M A 要求とともに、アドレス信号と、バースト D M A 要求回数を指示する指示信号とを含む D M A 制御情報信号を受信する受信手段と、前記アドレス信号に基づいて連続アクセス可能な回数を検出する検出手段と、前記指示信号により指示されたバースト D M A 要求回数と前記検出手段により検出された連続アクセス可能な回数とのうちで大きい方を選択する選択手段と、前記選択手段により選択された回数を、実際に実行する連続 D M A の回数として設定する設定手段とを備える。