

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成17年9月29日(2005.9.29)

【公開番号】特開2003-316642(P2003-316642A)

【公開日】平成15年11月7日(2003.11.7)

【出願番号】特願2002-123811(P2002-123811)

【国際特許分類第7版】

G 06 F 12/02

G 06 F 12/00

G 06 F 13/28

【F I】

G 06 F 12/02 5 8 0 J

G 06 F 12/00 5 9 7 C

G 06 F 13/28 3 1 0 H

【手続補正書】

【提出日】平成17年4月25日(2005.4.25)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

少なくとも1つのDMA要求ブロックから受けたDMA要求に基づいてSDRAMへのアクセスを実行するメモリ制御回路であって、

前記DMA要求とともに、アドレス信号と、バーストDMA要求回数を指示する指示信号とを含むDMA制御情報信号を受信する受信手段と、

前記アドレス信号に基づいて連続アクセス可能な回数を検出する検出手段と、

前記指示信号により指示されたバーストDMA要求回数と前記検出手段により検出された連続アクセス可能な回数とのうちで大きい方を選択する選択手段と、

前記選択手段により選択された回数を、実際に実行する連続DMAの回数として設定する設定手段とを有することを特徴とするメモリ制御回路。

【請求項2】

請求項1に記載のメモリ制御回路に接続可能なDMA要求ブロックであって、

アクセス先を指定するメモリアドレス信号を前記メモリ制御回路からのデータアクセス信号によりカウントアップするカウントアップ手段と、

前記指示信号により指示するバーストDMA要求回数を前記データアクセス信号によりカウントダウンするカウントダウン手段と、

前記データアクセス信号により1回のバーストDMA制御が終了した時点で、カウントダウンされたバーストDMA要求回数が0か否かを判定する判定手段と、

前記判定手段による判定の結果、前記カウントダウンされたバーストDMA要求回数が0でない場合に、カウントアップされた前記メモリアドレス信号と、当該カウントダウンされたバーストDMA要求回数とに基づいて、再度DMA要求を行うように制御する要求制御手段とを有することを特徴とするDMA要求ブロック。

【請求項3】

DMA要求時に、前記バーストDMA要求回数が、前記連続アクセス可能な回数の最大値より大きい場合は、当該最大値を前記バーストDMA要求回数を指示する指示信号の値として設定することを特徴とする請求項2に記載のDMA要求ブロック。

【請求項 4】

前記バーストDMA要求回数を指示する指示信号の信号線幅を前記連続アクセス可能な回数の最大値に基づいて設計したことを特徴とする請求項3に記載のDMA要求ブロック。

【請求項 5】

請求項1に記載のメモリ制御回路を有し、

請求項2に記載のDMA要求ブロックを複数備えたメモリアクセスシステム。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0043

【補正方法】変更

【補正の内容】

【0043】

上記課題を解決するために、本発明によれば、少なくとも1つのDMA要求ブロックから受けたDMA要求に基づいてSDRAMへのアクセスを実行するメモリ制御回路であって、前記DMA要求とともに、アドレス信号と、バーストDMA要求回数を指示する指示信号とを含むDMA制御情報信号を受信する受信手段と、前記アドレス信号に基づいて連続アクセス可能な回数を検出する検出手段と、前記指示信号により指示されたバーストDMA要求回数と前記検出手段により検出された連続アクセス可能な回数とのうちで大きくない方を選択する選択手段と、前記選択手段により選択された回数を、実際に実行する連続DMAの回数として設定する設定手段とを備える。