

公告本

申請日期： 90.1.4	案號： 91100009
類別： HOLL 2/28	

(以上各欄由本局填註)

發明專利說明書

523819

一、 發明名稱	中文	一種以代替閘極技術在溝槽側壁上形成一凹陷源汲極之方法
	英文	A METHOD TO FORM A RECESSED SOURCE DRAIN ON A TRENCH SIDE WALL WITH A REPLACEMENT GATE TECHNIQUE
二、 發明人	姓名 (中文)	1. 陳蘭 2. 吉薩魁克
	姓名 (英文)	1. Lap Chan 2. Elgin Quek
	國籍	1. 美國 2. 新加坡
	住、居所	1. 森林工業園區二街60號, 新加坡郵區738406(60 Woodlands Industrial Park D, St. 2, Singapore 738406) 2. 羅頓珮239號, #04-98, 新加坡310239郵區(239 Lor Ton Payoh, #04-98, Singapore 310239)
三、 申請人	姓名 (名稱) (中文)	1. 美商·特許半導體製造公司
	姓名 (名稱) (英文)	1. Chartered Semiconductor Manufacturing, Inc
	國籍	1. 美國
	住、居所 (事務所)	1. 美國加州95035密勒比達斯市麥卡肯道1450號(1450 McCandless Drive, Milpitas, CA95035, USA)
	代表人 姓名 (中文)	1. 麥克路庫克
	代表人 姓名 (英文)	1. Mike Rekuc



申請日期：	案號：
類別：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人	姓名 (中文)	3. 拉維聖代依薩 4. 潘陽
	姓名 (英文)	3. Ravi Sundaresan 4. Yang Pan
	國籍	3. 美國 4. 新加坡
	住、居所	3. 美國加州95117聖荷西市瓦頓道3369號(3369 Walton Way, San Jose, Ca 95117) 4. 大牌1P, 潘尼園, #02-77, 新加坡591401郵區(BLK 1P, Pine Grove #02-77, Singapore 591401)
三、 申請人	姓名 (名稱) (中文)	
	姓名 (名稱) (英文)	
	國籍	
	住、居所 (事務所)	
	代表人 姓名 (中文)	
	代表人 姓名 (英文)	



申請日期：	案號：
類別：	

(以上各欄由本局填註)

發明專利說明書

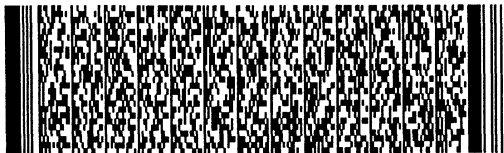
一、 發明名稱	中文	
	英文	
二、 發明人	姓名 (中文)	5. 詹姆斯李雍盟 6. 林楊曠
	姓名 (英文)	5. James Yong Meng Lee 6. Leung Ying Keung
	國籍	5. 新加坡 6. 香港
	住、居所	5. 大牌103, 佐落東街13號, 新加坡600103郵區(Blk 103, Jurong East St13, #12-208, Singapore 600103) 6. 公寓2301, 卡惕屋, 卡羅巷, 亞伯丁, 香港(Flat 2301, Ka Kit House, Ka Lung Court, Aberdeen, Hong Kong)
三、 申請人	姓名 (名稱) (中文)	
	姓名 (名稱) (英文)	
	國籍	
	住、居所 (事務所)	
	代表人 姓名 (中文)	
	代表人 姓名 (英文)	



申請日期：	案號：
類別：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人	姓名 (中文)	7. 耶魯漢卡拉瑪雷瑪 8. 張齊漢
	姓名 (英文)	7. Yelehanka Ramachandramorthy Pradeep 8. Jia Zhen Zheng
	國籍	7. 印度 8. 新加坡
	住、居所	7. 大牌279, 06-328, 逸仙路22號, 新加坡760279郵區 (Blk279, 06-328, Yishun St. 22, Singapore 760279) 8. 御林園38號, 新加坡688570郵區 (38 Verde Grove, Singapore 688570)
三、 申請人	姓名 (名稱) (中文)	
	姓名 (名稱) (英文)	
	國籍	
	住、居所 (事務所)	
	代表人 姓名 (中文)	
	代表人 姓名 (英文)	
		

本案已向

國(地區)申請專利

申請日期 案號

主張優先權

美國 US

2001/01/19 09/764, 241

有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

【發明之背景】

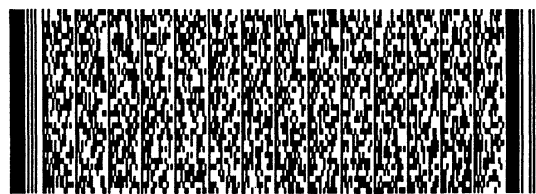
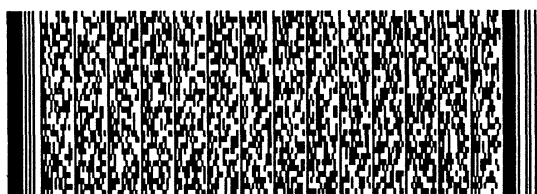
(1) 發明之領域

本發明係有關於半導體元件及一種改良MOS電晶體，及製造MOS電晶體之方法，並且本發明更特別地是有關於一種以代替閘極技術在溝槽側壁上形成一凹陷源汲極之方法。

(2) 習知技藝之說明

MOS電晶體在技藝中係為眾所周知的，然而，會有一些有問題的MOS電晶體結構，高接合電容會降低速度及電晶體的性能，此高結合電容會藉由在電晶體淺溝槽隔離頂部上的一批源汲極而被降低，高接合漏電會引起尺寸問題，以至於電晶體必須製造的比想像的大，當輕摻雜汲極區僅在基板頂部上時，會降低此高接合漏電，最後，主動區的縮小會影響電晶體及垂直主動接觸窗的全部構裝密度，而導致一個較佳且較小電晶體構裝。

例如，美國專利第5,795,811號(Kim等)揭露依淺溝槽隔離製程，但並沒有揭露源汲極設置於淺溝槽隔離的頂部。美國專利第5,380,671號(Lur等)顯示一種靠近淺溝槽隔離之埋入式接觸窗方法。美國專利第5,643,822號(Furukawa等)接導一種離子植入到淺溝槽隔離矽溝槽側壁。美國專利第5,879,998號(Krivokapic等)顯示一種代替閘極製程。



五、發明說明 (2)

【發明之概要】

於是，本發明係提供一種改良MOS電晶體及製造一改良MOS電晶體之方法，本發明之另一目的係在於提供一種以代替閘極技術在溝槽側壁上具有凹陷源汲極之MOS電晶體，MOS在技藝中係為眾所周知的，且MOS電晶體可為一N-MOS電晶體或一P-MOS電晶體也為眾所周知的，在此應用中，將顯示一N-MOS電晶體，但如同熟習此技藝中，一個可容易將這些敘述適用於一P-MOS電晶體中。

一種形成一MOS電晶體之方法，係首先藉由提供一基板且形成一墊氧化層覆蓋於基板上，然後形成一蝕刻阻絕層覆蓋於墊氧化層上，且在基板、墊氧化層、及蝕刻阻絕層中產生淺溝槽隔離，基板的主動區係位於淺溝槽隔離之間，接著，孔洞係形成於淺溝槽隔離中，其係暴露出在主動區中基板的側壁，基板的側壁係在孔洞處的主動區中摻雜，傳導材料然後形成於孔洞中，且傳導材料成為源極及汲極區。

然後移除蝕刻阻絕層，以暴露出傳導材料的側壁，且進行氧化傳導材料的暴露側壁，間隙壁係形成於墊氧化層頂部上及傳導材料氧化部份的側壁上，將基板的墊氧化層移除，而不是移除間隙壁下的墊氧化層，一閘極介電層係形成於間隙壁間主動區中的基板上；且一閘極電極係形成於該閘極介電層上。

【圖號對照說明】



五、發明說明 (3)

- 10 基礎基板
- 11 頂部
- 12 基板
- 13 主動區
- 14 墊氧化層
- 15 深度
- 16 蝕刻阻絕層
- 18 淺溝槽隔離
- 19 光阻
- 20 摻雜區
- 21 圖案
- 22 傳導材料
- 23 直徑
- 24 摻雜傳導塊
- 25 深度
- 26 多晶氧化物
- 32 閘極電極材料

【較佳實施例之說明】

現在請參閱第1圖，一基礎基板10係為一種由標準淺溝槽隔離製程所製成的標準MOS結構，淺溝槽隔離製程係包含有形成一溝槽穿過一墊介電層、一蝕刻阻絕層、且在基板中，以一介電材料形成填充溝槽，其係形成淺溝槽隔離，最後，填充溝槽的介電材料接著被化學機械研磨後，



五、發明說明 (4)

基礎基板10係具有一基板12，及一墊氧化層14在基板12上，墊氧化層14係最好由氧化矽所製程，墊氧化層14具有一個在100到200埃之間的厚度，而最好為150埃。一蝕刻阻絕層16係形成於墊介電層14上，蝕刻阻絕層16最好為氮化矽，蝕刻阻絕層16係具有一個在1000到2000埃之間的厚度，而最好為1500埃。基板、蝕刻阻絕層、及墊介電層係具有淺溝槽隔離18位於其中，淺溝槽隔離通常係由氧化矽所組成，淺溝槽隔離18定義出主動區13，其係為在淺溝槽隔離(STI)之間的基板區域。

淺溝槽隔離18的範圍係為頂部11直徑約0.1到0.3 μm ，及深度15約為0.2到0.4 μm ，一個在淺隔離溝槽側壁及淺隔離溝槽底部之間的角度17，係在75到88度之間，因此，在隔離溝槽底部的直徑將會依頂部及底部的直徑而定，主動區13係為兩淺隔離溝槽18之間的距離，且約為0.1到0.3 μm 。在第2圖中，然後一光阻19係放置於結構上，使用蝕刻以圖案化淺溝槽隔離，其只對氧化物發生作用。

如第3圖所示，淺溝槽隔離18係使用一光阻19作為一罩幕而被蝕刻，蝕刻形成一孔洞或圖案21，其至少部份環繞主動區(在淺溝槽隔離18之間的基板)，在淺溝槽隔離18中的圖案21係深度25約為0.02到0.98 μm ，且直徑23約為0.05到0.2 μm 。

如第3圖所示，結構係植入離子，而導致一N區20，摻雜區20係為完成電晶體的輕摻雜源極及汲極區(LDD)。

如第4圖所示，然後清除光阻19，且清除第3圖的結



五、發明說明 (5)

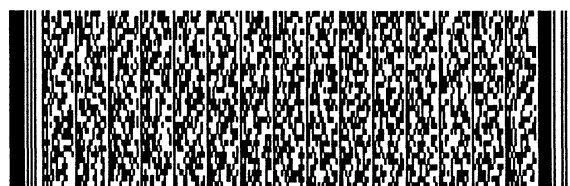
構，接著，一傳導材料22然後形成覆蓋於結構上，最好摻雜傳導材料22，且可摻雜多晶矽、磊晶矽、或多晶矽，此摻雜傳導材料22通常沈積摻雜多晶矽，且約為500到1500埃，且從結構頂部最好為1000埃厚，參閱第4圖的23。

如第5圖所示，然後化學機械研磨摻雜傳導材料22，以形成一摻雜傳導塊24(例如，源極及汲極區)。

第6圖係顯示移除蝕刻塊16，最好藉由依選擇性熱磷酸清除蝕刻，在第7圖中，多晶矽氧化法係通常在一氧化爐管中，以產生一多晶氧化物26，多晶氧化物26係在180到220埃之間厚，間隙壁28然後形成且約為900到1100埃厚，這些間隙壁28通常係由一氧化物或一氮化物所組成，且最好由一氮化物所組成，間隙壁係由一習用毯覆式沈積及一等向的回蝕所形成。

如第8圖所示，然後移除墊介電層14，且清除除了間隙壁28下以外的結構。第9圖係說明接著藉由沈積所形成的一閘極介電層30(例如，氧化物)，此閘極介電層30係最好為一個高介電常數氧化物材料，諸如氮化矽、氧化矽、氧化鈮、氧化鋯、或氧化鈣。

第10圖係說明接著由沈積且然後化學機械研磨掉掉所形成的一閘極電極材料32，閘極電極材料32可為金屬、金屬矽化物、或多晶矽，且最好為多晶矽，摻雜傳導材料22可代替為傳導材料，然後塗佈於結構上且隨著結構看起來像第10圖之後接著摻雜，此摻雜的傳導材料22可使用一罩幕植入步驟而完成。



五、發明說明 (6)

雖然本發明已被特別地表示，並參考其較佳實施例做說明，惟各種形式上及細節的改變可於不背離本發明之精神與範疇下為之，係為熟習本技藝之人士所能瞭解的。



五、發明說明

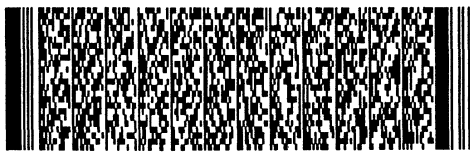
在形成本說明之內容部分的附圖中，所示為：

第1圖係顯示在一個標準淺溝槽隔離製程之後的一MOS電晶體之橫剖面圖。

第2圖係為在本發明之方法中另一步驟之橫剖面圖。

第3圖到第11圖係顯示在本發明之方法中一些步驟之橫剖面圖。

第11圖係顯示本發明之俯視圖。



四、中文發明摘要 (發明之名稱：一種以代替閘極技術在溝槽側壁上形成一凹陷源汲極之方法)

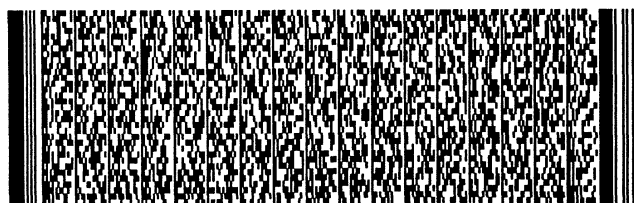
一種改良MOS電晶體及製造一改良MOS電晶體之方法，一種以代替技術在一溝槽側壁上的MOS電晶體係具有一凹陷源汲極，孔洞係形成於淺溝槽隔離中，其暴露出在主動區中基板的側壁，基板的側壁係被摻雜於主動區中，其係為孔洞處，傳導材料然後形成於孔洞中，且傳導材料變成源極及汲極區，然後移除蝕刻阻絕層，以暴露出傳導材料的側壁，且進行氧化傳導材料的暴露側壁，間隙壁係形成於墊氧化層的頂部上及傳導材料氧化部份的側壁上，移除結構的墊氧化層，但不移除間隙壁下的墊氧化層，一閘極介電層係形成於在間隙壁間主動區中的基板；且一閘極電極係形成於該閘極介電層上。

英文發明摘要 (發明之名稱：A METHOD TO FORM A RECESSED SOURCE DRAIN ON A TRENCH SIDE WALL WITH A REPLACEMENT GATE TECHNIQUE)



六、申請專利範圍

1. 一種形成一MOS電晶體之方法，係包括有：
 - 提供一基板；
 - 形成一墊介電層覆蓋於該基板上；
 - 形成一蝕刻阻絕層覆蓋於該墊介電層上；
 - 於該基板、該墊介電層、及該蝕刻阻絕層中產生淺溝槽隔離；
 - 該基板的主動區位在該淺溝槽隔離之間；
 - 在淺溝槽隔離中形成孔洞，其係暴露出在主動區中基板的側壁；
 - 摻雜在主動區中該基板的該側壁，其係為該孔洞處；
 - 在該孔洞中形成傳導材料，且該傳導材料係為源極及汲極區；
 - 移除該蝕刻阻絕層，以暴露出該傳導材料的側壁；
 - 氧化該傳導材料的該暴露側壁；
 - 在該墊介電層上及該傳導材料的氧化部份側壁上形成間隙壁；
 - 移除結構的該墊介電層，但不移除間隙壁下的該墊介電層；
 - 在該間隙壁間的主動區中該基板上形成一閘極介電層；及
 - 該閘極介電層上上形成一閘極電極。
2. 如申請專利範圍第1項所述之方法，其中該淺溝槽隔離係藉由下列步驟所產生的：
 - 形成一溝槽穿過該墊介電層、該蝕刻阻絕層及該基板



六、申請專利範圍

；且以一介電材料填充該溝槽，以形成該淺溝槽隔離。

3. 如申請專利範圍第2項所述之方法，其中該淺溝槽隔離係由氧化矽所組成。
4. 如申請專利範圍第1項所述之方法，其中該淺溝槽隔離具有下列的範圍：
 - A) 在頂部的直徑係從0.1到0.3 μm ；
 - B) 深度從0.2到0.4 μm ；及
 - C) 一個在淺溝槽隔離的一側壁及淺溝槽隔離的一底部之間的角度，係從75到88度。
5. 如申請專利範圍第1項所述之方法，其中係有兩個溝槽隔離。
6. 如申請專利範圍第1項所述之方法，其中兩淺溝槽的距離為0.1到0.3 μm 。
7. 如申請專利範圍第1項所述之方法，其中該墊介電層係為氧化矽。
8. 如申請專利範圍第1項所述之方法，其中該墊介電層係具有一個在100到200埃之間的厚度。
9. 如申請專利範圍第8項所述之方法，其中該墊介電層厚度係為150埃。
10. 如申請專利範圍第1項所述之方法，其中該蝕刻阻絕層係為氮化矽。
11. 如申請專利範圍第1項所述之方法，其中該蝕刻阻絕層係具有一個在1000到2000埃之間的厚度。



六、申請專利範圍

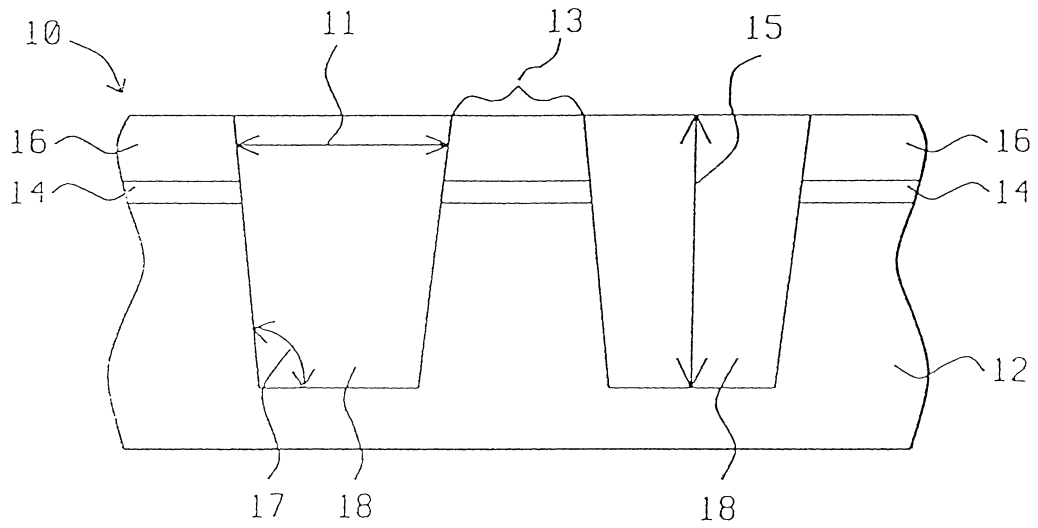
- 1 2 . 如申請專利範圍第 1 1 項所述之方法，其中該厚度為1500 埃。
- 1 3 . 如申請專利範圍第 1 項所述之方法，在淺溝槽隔離側壁的圖案開口係藉由放置光阻於蝕刻阻絕層上而完成，且使用一蝕刻，其只對氧化物產生作用，且清除光阻及清除結構。
- 1 4 . 如申請專利範圍第 1 項所述之方法，其中圖案開口係具有下列範圍；0.2 到0.98 μm 的深度及0.05 到0.2 μm 的直徑。
- 1 5 . 如申請專利範圍第 1 項所述之方法，其中該傳導材料係被摻雜。
- 1 6 . 如申請專利範圍第 1 5 項所述之方法，其中該傳導材料係在形成或在形成後摻雜之前而被摻雜，係使用一罩幕植入步驟。
- 1 7 . 如申請專利範圍第 1 項所述之方法，其中該傳導材料係為多晶矽。
- 1 8 . 如申請專利範圍第 1 項所述之方法，其中該傳導材料係沈積在圖案開口中且電晶體的一中間結構之上，且從該中間結構的頂部為500 到1500 埃之間厚。
- 1 9 . 如申請專利範圍第 1 8 項所述之方法，其中該傳導材料為1000 埃厚。
- 2 0 . 如申請專利範圍第 1 8 項所述之方法，其中化學機械研磨掉該傳導材料，以致於該傳導材料只在圖案開口。



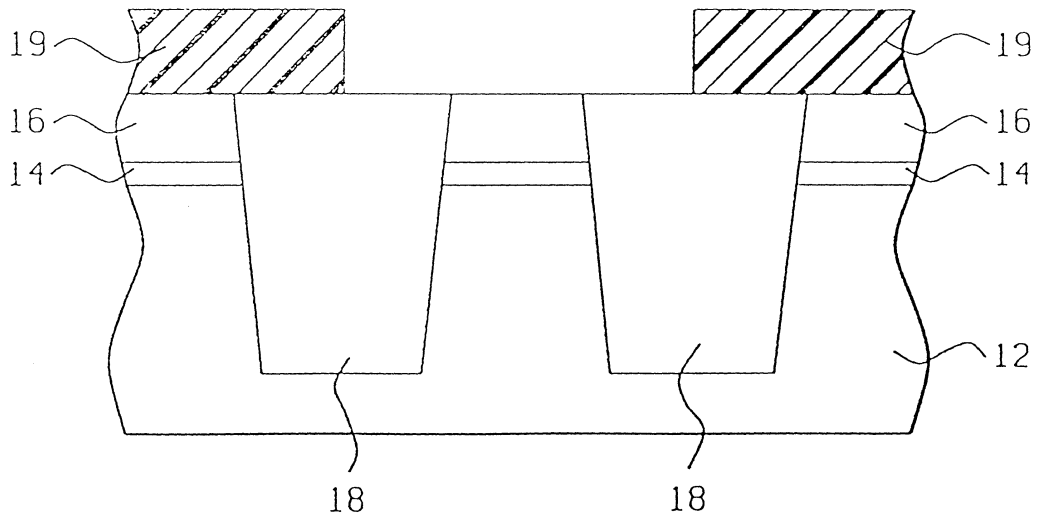
六、申請專利範圍

- 2 1 · 如申請專利範圍第 1 項所述之方法，其中該傳導材料的氧化部份係由在一氧化爐管中的多晶矽氧化法而形成。
- 2 2 · 如申請專利範圍第 1 項所述之方法，其中該傳導材料的氧化部份為 180 到 220 埃之間厚。
- 2 3 · 如申請專利範圍第 1 項所述之方法，其中該間隙壁為 900 到 1100 埃之間厚。
- 2 4 · 如申請專利範圍第 1 項所述之方法，其中該間隙壁係由一氧化物或一氮化物所組成。
- 2 5 · 如申請專利範圍第 1 項所述之方法，其中形成一閘極介電層係藉由沈積所形成。
- 2 6 · 如申請專利範圍第 1 項所述之方法，其中該閘極介電層係具有一個高介電常數氧化材料。
- 2 7 · 如申請專利範圍第 2 6 項所述之方法，其中材料係為下列之一：氮化矽、氧化矽、氧化鉭、氧化鋯、或氧化鈣。
- 2 8 · 如申請專利範圍第 1 項所述之方法，其中該閘極電極係藉由沈積閘極電極材料所形成，且化學機械研磨掉該閘極電極材料。
- 2 9 · 如申請專利範圍第 1 項所述之方法，其中該閘極電極係為多晶矽。

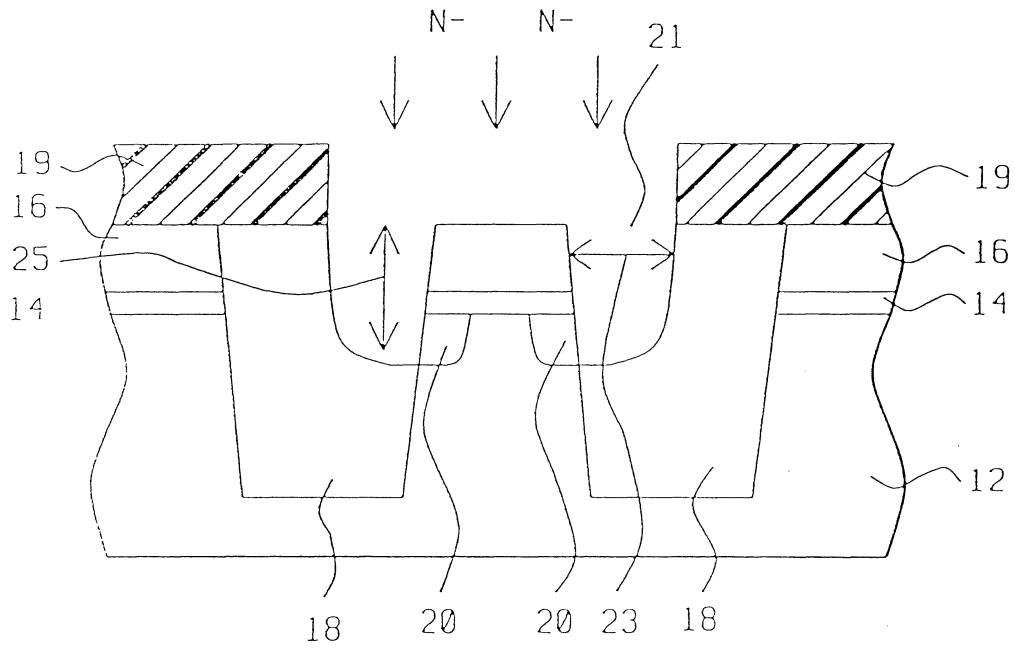




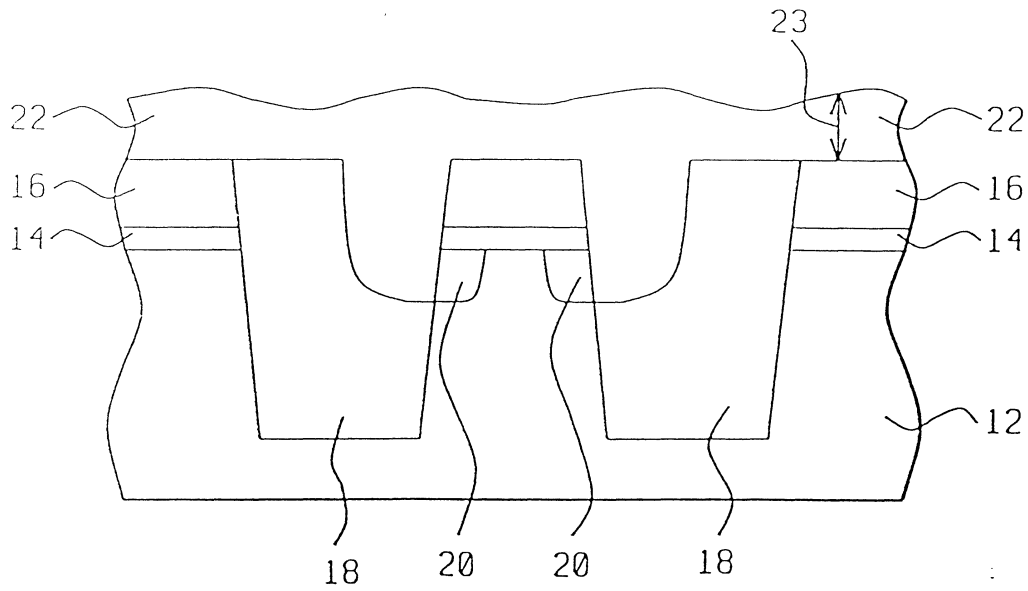
第 1 圖



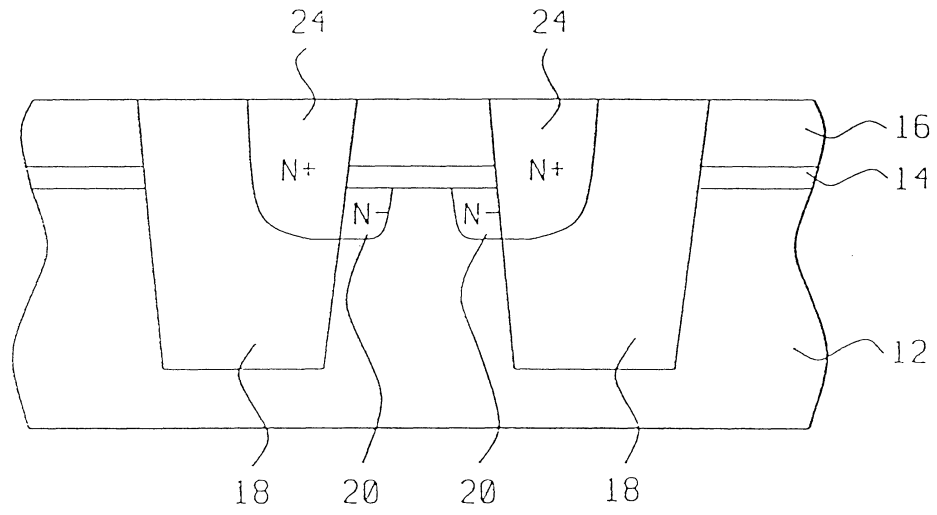
第 2 圖



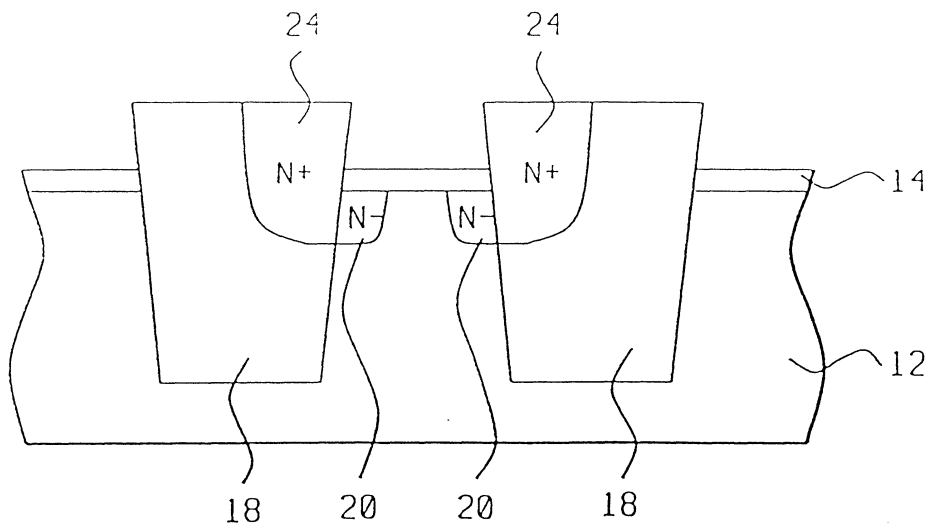
第 3 圖



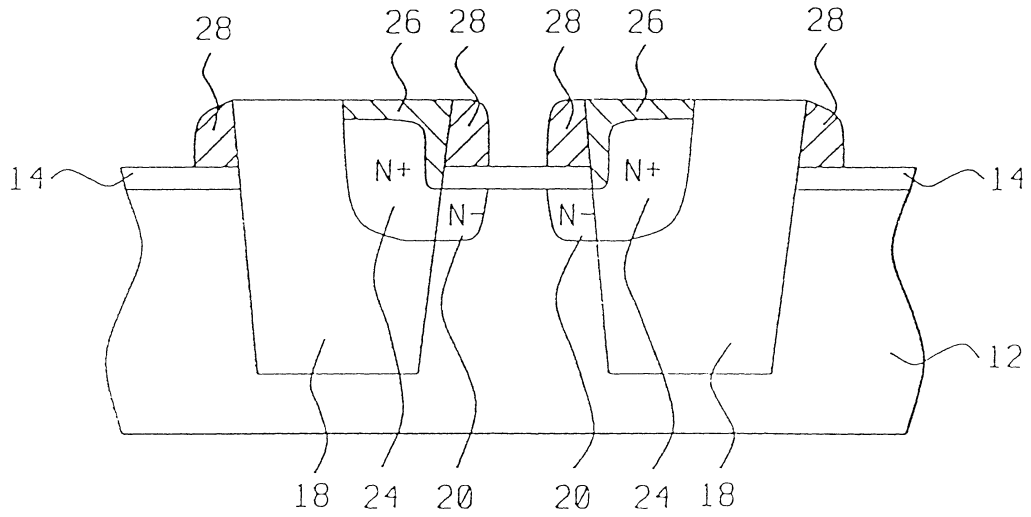
第 4 圖



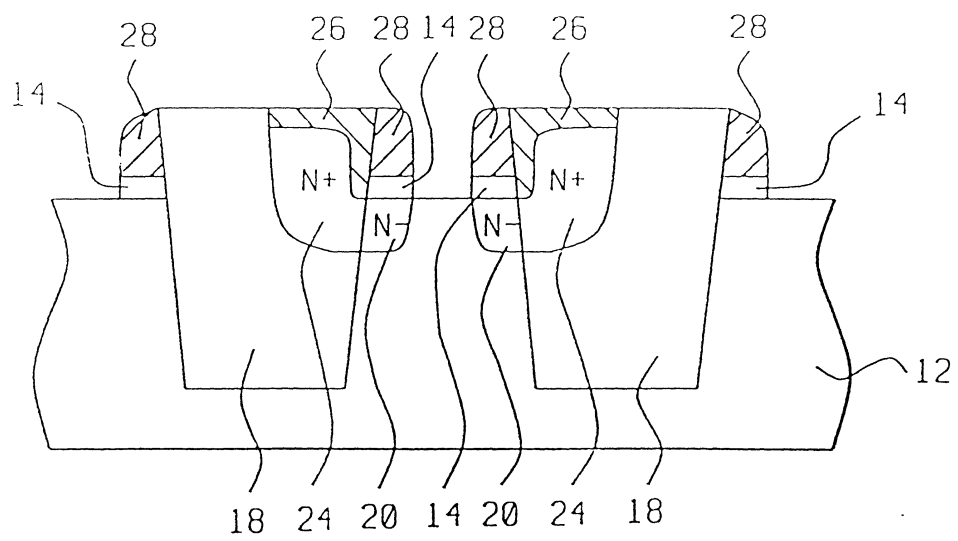
第 5 圖



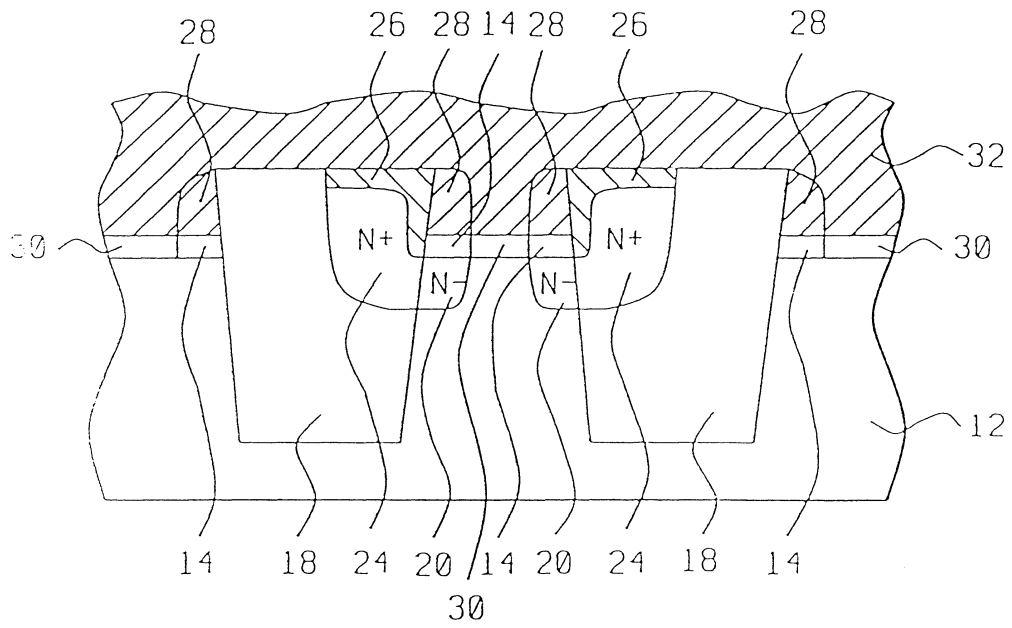
第 6 圖



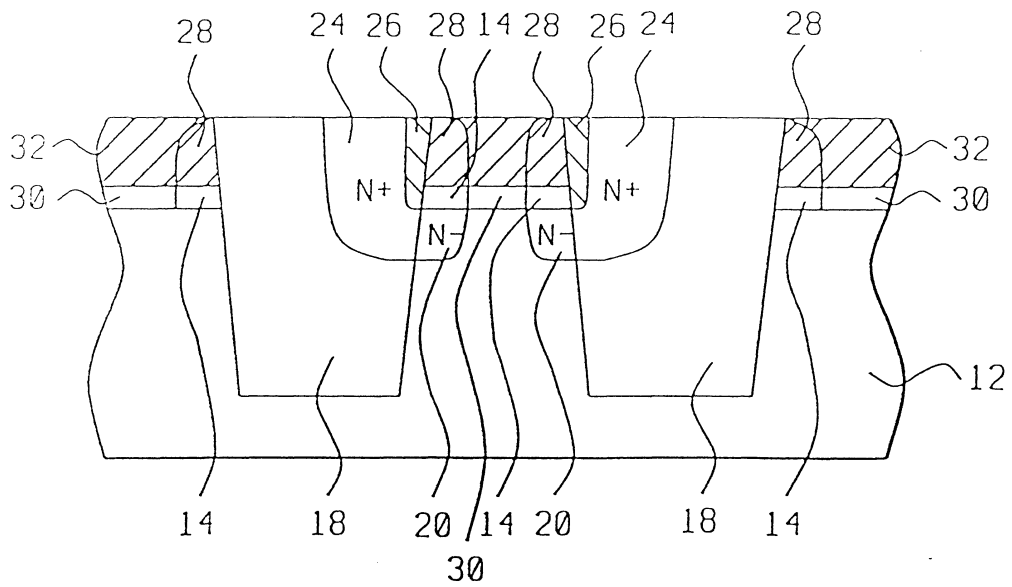
第 7 圖



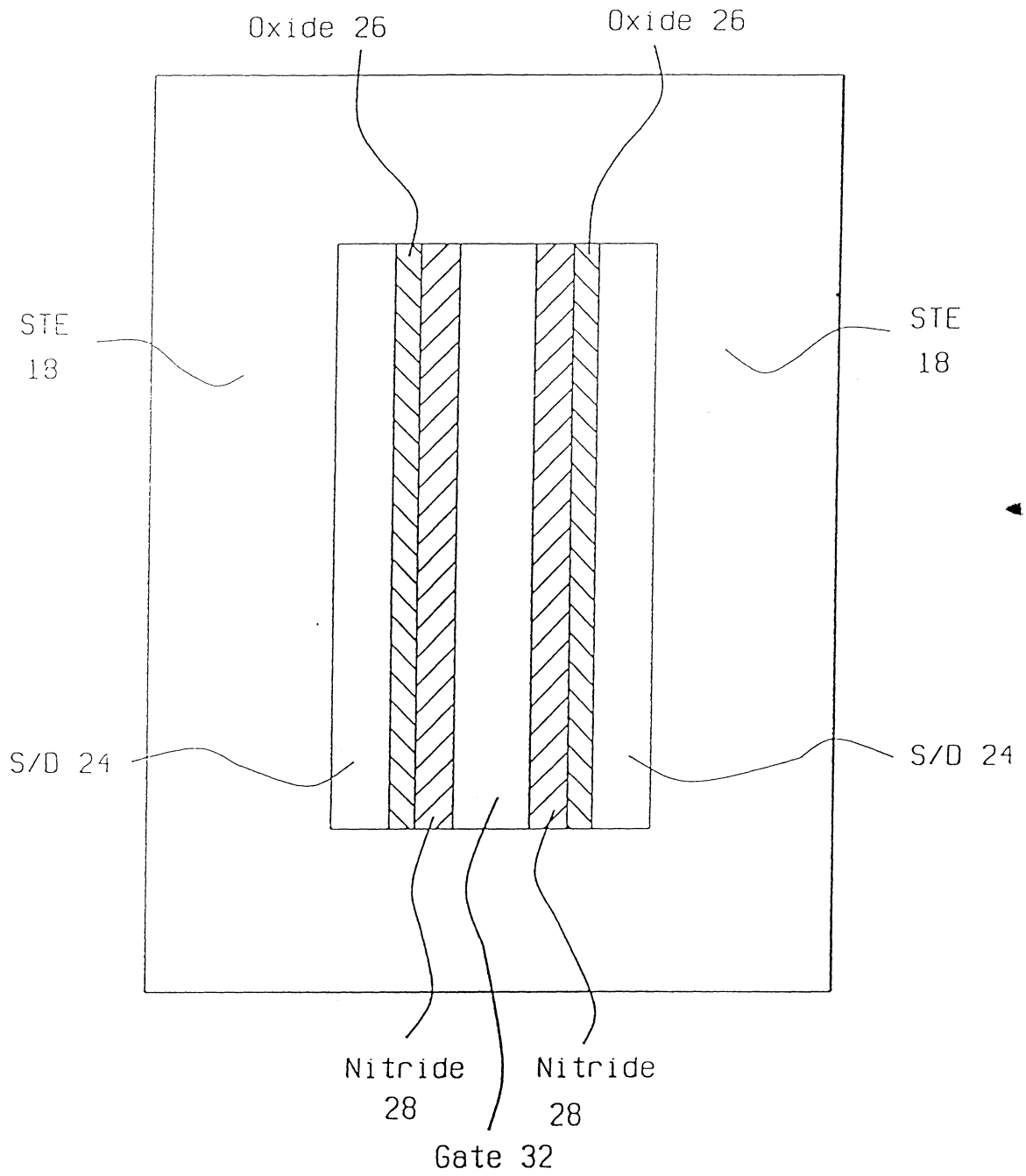
第 8 圖



第 9 圖



第 10 圖



第 11 圖