

(43) 国際公開日
2006年11月23日 (23.11.2006)

PCT

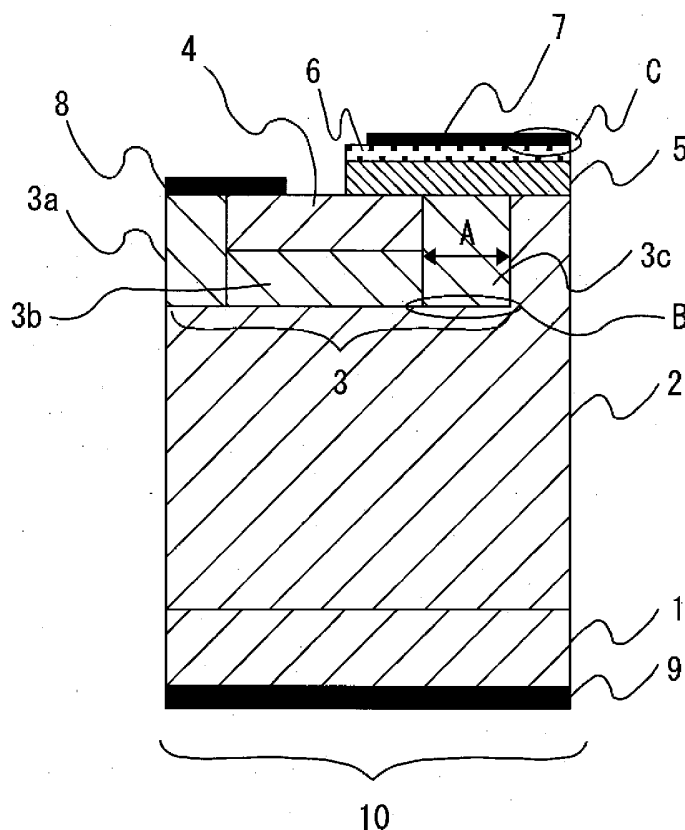
(10) 国際公開番号
WO 2006/123458 A1

- (51) 国際特許分類:
H01L 29/78 (2006.01) H01L 29/12 (2006.01)
H01L 21/336 (2006.01)
- (21) 国際出願番号: PCT/JP2006/302516
- (22) 国際出願日: 2006年2月14日 (14.02.2006)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2005-147088 2005年5月19日 (19.05.2005) JP
- (71) 出願人 (米国を除く全ての指定国について): 三菱電機株式会社 (MITSUBISHI DENKI KABUSHIKI KAISHA) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).
- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 大塚 健一 (OOT-SUKA, Kenichi) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).
高見 哲也 (TAKAMI, Tetsuya) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).
湊 忠玄 (MINATO, Tadaharu) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).
- (74) 代理人: 高橋 省吾, 外 (TAKAHASHI, Shogo et al.); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社 知的財産センター内 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 半導体装置及びその製造方法



(57) Abstract: [PROBLEMS] In the case of forming a p-type base region and an n-type source region by self alignment in an MOSFET using SiC, when a channel is constituted n-type, a p-type impurity concentration directly under a channel section in a p-type base region becomes smaller compared with that under the source region. Therefore, there has been a problem that a p-type region directly under an n-type channel section is depleted and a breakdown voltage is lowered when a high voltage is applied between a source and a drain. [MEANS FOR SOLVING PROBLEMS] Since the p-type channel is formed by epitaxial growing, a depletion layer generated in the p-type region directly under the channel section is reduced and a high breakdown voltage can be obtained, even when the element is formed by self alignment. Furthermore, since the element can be formed by self alignment, the sizes of the element are reduced, and thus a number of elements which can be arranged in a certain area is increased and on-resistance is reduced.

(57) 要約: 課題 SiCを用いたMOSFETにおいて、p型ベース領域とn型ソース領域とを自己整合的に形成する場合には、チャンネルをn型で構成した場合、p型ベース

領域のうちのチャンネル部直下の領域のp型不純物濃度がソース領域下のp型不純物濃度

[続葉有]



DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,

2 文字コード及び他の略語については、定期発行される各 *PCT* ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

に比べてと小さい値になる。その為、ソースドレイン間に高電圧が印加されると、 n 型チャネル部直下の p 型領域が空乏化し、降伏電圧が低下するという課題があった。解決手段 p 型のチャネルをエピタキシャル成長により形成する為、自己整合的に素子を形成した場合においても、チャネル部直下の p 型領域に発生する空乏層が少なくなり、高い降伏電圧を得ることができる。また、自己整合的に素子を形成することが可能となることにより素子を小型化出来、それにより一定面積に入る素子数が増えオン抵抗を減少させることが出来る。

明 細 書

半導体装置及びその製造方法

技術分野

- [0001] 本発明は、金属－酸化膜－シリコン構造のゲートを有する電界効果トランジスタ(以降MOSFETと称す)に関し、より詳しくは、オン抵抗及び降伏電圧の改善を図った大電力用のMOSFETとその製造方法に関するものである。

背景技術

- [0002] 近年、自動車の制御装置の電子化、デジタル家電の普及、白物家電の省エネルギー対策に伴うインバータ化等により、IGBT(Insulated gate bipolar transistor)、パワーMOSFET等の電力半導体の市場規模は拡大している。この電力半導体の特性改善は省エネルギーの観点から研究されており、中でも炭化珪素(以降SiCと称す)は、シリコン(以降Siと称す)と比較し約10倍の絶縁破壊電界強度を持つため低オン抵抗化が可能であり、また3eV以上の広いバンド幅を持つため高温動作が可能である。それにより、SiCを用いた金属－酸化物－半導体構造のMOSFETは、次世代の高耐圧低損失スイッチング素子として有望視されている。
- [0003] 前記のMOS構造はSiではよく知られた構成であるが、SiCでは酸化物として熱酸化膜を用いた場合の酸化物－半導体界面の準位密度が大きい為、チャネル移動度が低下するという問題があった。そこで、特許文献1には、SiC基板上にドリフト層を形成し、写真製版技術とイオン注入技術により、p型ベース領域とn型ソース領域を形成したのち、チャネル層としてn型層を形成してから、熱酸化膜等のゲート絶縁膜やゲート電極からなるゲート構造を形成し、MOSFETを製造する構成が示されている。それにより、チャネル層のキャリアへの酸化物－半導体界面の準位の影響を低減することを可能としている。
- [0004] また、電力半導体としては、システムの安全動作の為にゲート電圧がゼロのときにソースドレイン間に電流が流れないノーマリオフ動作が要求される。しかし、上記のようにチャネル層としてn型層を用いた場合にはノーマリオフとなるような条件を制御性良く得ることが困難な場合がある。そのため、特許文献2には、通常のp型層を反転さ

せて動作させる構成(反転MOS)について、チャネル層となるp型領域の濃度を $1 \times 10^{16} / \text{cm}^3$ 以下にすることで酸化物-半導体界面の準位の影響を低減することができるとされている。

[0005] 一方、電力素子の性能指標であるオン抵抗の低減、降伏電圧の向上を実現する為には、素子寸法を縮小し、単位面積あたりの素子数を増やすことが有効である。その為、MOSFETのp型ベース領域とn型ソース領域の寸法により決まるチャネル長を制御性良く実現出来る自己整合的な製造手法が考えられている。例えば特許文献3に示されているように、イオン注入マスクを2層構造として、イオン注入の際の注入拡がりを利用することで、2つの独立な注入マスクを用いるのではなく1つの注入マスクとした工程とし、チャネル長が $1 \mu\text{m}$ 程度以下まで微細な寸法となっても寸法制御を可能としている。

[0006] 特許文献1:特開平10-308510号公報(5~6頁、図1)

特許文献2:特開2000-150866号公報(3~4頁、図1)

特許文献3:特開2004-363515号公報(4頁、図1)

発明の開示

発明が解決しようとする課題

[0007] しかし、p型ベース領域とn型ソース領域とを自己整合的に形成する場合には、p型ベース領域のうち、チャネル層直下の領域のp型不純物濃度が、ソース領域下のp型不純物濃度に比べると小さい値になる場合が多い。このような場合には、ソースドレイン間に高電圧が印加されると、チャネル層直下のp型領域が空乏化してしまうために降伏電圧が低下する可能性がある。特に特許文献1のように、チャネル層をn型層とした場合には、チャネル層直下のp型領域が上側のチャネル層との間で空乏化するために、さらに特性が悪化するという課題があった。

課題を解決するための手段

[0008] 本発明に係る半導体装置は、第1導電型の半導体基板と、前記半導体基板の主表面上に形成された第1導電型のドリフト層と、前記ドリフト層の表層部の所定箇所に形成され、所定深さを有する第2導電型のベース領域と、前記ベース領域の表層部の所定箇所に形成され、前記ベース領域の深さよりも浅い第1導電型のソース領域と、

前記ソース領域と前記ドリフト層の表面上に形成され、前記ソース領域と前記ドリフト層とを接続する第2導電型のチャネル層と、前記チャネル層の表面上に形成された絶縁膜と、前記絶縁膜の表面上に形成されたゲート電極と、前記ベース領域と前記ソース領域の表面上に形成されたソース電極と、前記半導体基板の下面に形成されたドレイン電極とより構成されたものである。

発明の効果

- [0009] 自己整合的に素子を形成した場合においても、チャネル層と、その直下のベース領域とを同一導電型で構成する為、チャネル層直下のベース領域に発生する空乏層が少なくなり、高い降伏電圧を得ることができる。また、自己整合的に素子を形成することが可能となることにより、素子を小型化出来、それにより一定面積に入る素子数が増え、オン抵抗を減少することが出来る。

図面の簡単な説明

- [0010] [図1]本発明の実施の形態1によるMOSFETの断面図である。
[図2]本発明の実施の形態1によるMOSFETの製造方法の一部を示す図である。
[図3]本発明の実施の形態1によるMOSFETの製造方法の一部を示す図である。
[図4]本発明の実施の形態1によるMOSFETの製造方法の一部を示す図である。
[図5]本発明の実施の形態1によるMOSFETの製造方法の一部を示す図である。
[図6]本発明の実施の形態1によるMOSFETの製造方法の一部を示す図である。
[図7]本発明の実施の形態1によるMOSFETの製造方法の一部を示す図である。
[図8]本発明の実施の形態1によるMOSFETの製造方法の一部を示す図である。
[図9]本発明の実施の形態1によるMOSFETの断面図である。
[図10]本発明の実施の形態2によるMOSFETの製造方法の一部を示す図である。
[図11]本発明の実施の形態2によるMOSFETの製造方法の一部を示す図である。
[図12]本発明の実施の形態2によるMOSFETの製造方法の一部を示す図である。
[図13]本発明の実施の形態2によるMOSFETの製造方法の一部を示す図である。
[図14]本発明の実施の形態2によるMOSFETの製造方法の一部を示す図である。
[図15]本発明の実施の形態2によるMOSFETの製造方法の一部を示す図である。
[図16]本発明の実施の形態2によるMOSFETの製造方法の一部を示す図である。

符号の説明

- [0011] 1 n型SiC基板、2 n型SiCドリフト層、3 p型SiCベース領域、3a p型SiC領域、3b p型SiC領域、3c p型SiC領域、4 n型SiCソース領域、5 p型SiCチャネル層、6 絶縁膜、7 ゲート電極、8 ソース電極、9 ドレイン電極、10 MOSFET、11 n型SiCデプレッション領域

発明を実施するための最良の形態

- [0012] 実施の形態1.

以下、本発明の実施の形態1におけるSiCを用いたMOSFETと、その製造方法について説明する。図1は実施の形態1におけるMOSFETの断面図である。実際のMOSFETの構成は、図1の断面構造の右側辺を軸にして左右対称に折り返した構造を複数個横に並べて、同種類の電極を並列に接続した構成となる。

- [0013] まず、図1によりMOSFETの素子構造について説明する。第1導電型の半導体基板であるn型SiC基板1の主表面上には、MOSFETのソースドレイン間に電圧を印加した場合に、耐圧を保持するための第1導電型のドリフト層であるn型SiCドリフト層2がエピタキシャル成長されている。このn型SiCドリフト層2の表層部の所定個所には、所定の深さを有する第2導電型のベース領域であるp型SiCベース領域3が形成される。そして、このp型SiCベース領域3の表層部の所定箇所には、このp型SiCベース領域3の深さよりも浅い第1導電型のソース領域であるn型SiCソース領域4が形成されている。

- [0014] このn型SiCソース領域4の表面上の一部には、前記n型SiCソース領域4と前記n型SiCドリフト層2とを接続する第2導電型のチャネル層であるp型SiCチャネル層5がエピタキシャル成長により形成されている。このp型SiCチャネル層5の表面上には、シリコン酸化膜もしくはシリコン酸化窒化膜等を、熱酸化、窒化、絶縁膜のデポ形成、あるいはこれらの併用により絶縁膜6が形成されている。そして、この絶縁膜6の上には、ゲート電極7が形成され、前記n型SiCソース領域4の他の表面上に、ソース電極8が形成され、さらにn型SiC基板1の裏面には、ドレイン電極9が形成されることにより、MOSFET10が構成されている。

- [0015] 前記p型SiCベース領域3は、ソース電極8の下部にあり少なくとも表面上では高濃度

化されたp型SiC領域3aと、n型SiCソース領域4の直下にあり、前記p型SiC領域3aよりも不純物の注入濃度を低くするp型SiC領域3bと、チャンネル層直下にあり、前記p型SiC領域3bよりも不純物の注入濃度を低くするp型SiC領域3cとより構成されている。

- [0016] 次に、実施の形態1のMOSFET10の動作を簡単に説明する。図1において、ゲート電極7に正電圧を印加すると、p型SiCチャンネル層5の表面が反転してチャンネルが形成され、ここに電流通路が出来る。この結果、ソース電極8とドレイン電極9との間に電圧を印加することにより、n型SiCソース領域4と、n型SiCドリフト層2とが導通し、ソース電極8とドレイン電極9との間に電流が流れる。従って、ゲート電極7の電圧をオン／オフすることにより、このMOSFET10のスイッチング動作が可能となる。
- [0017] 続いて、実施の形態1のMOSFET10の製造方法について、図2～8に基づいて説明する。まず、n型SiC基板1の主表面上に、CVD結晶成長法等により、例えば $1 \times 10^{15} \sim 2 \times 10^{16} / \text{cm}^3$ のドーピング濃度、 $4 \sim 15 \mu\text{m}$ の層厚でエピタキシャル成長によりn型SiCドリフト層2を形成させる(図2)。次に、n型SiCドリフト層2の表層部の所定個所に、 $5 \times 10^{17} \sim 2 \times 10^{18} / \text{cm}^3$ のドーピング濃度、 $0.7 \sim 1 \mu\text{m}$ 程度の層厚にp型SiCベース領域3のうちのp型SiC領域3b及び3cを形成する(図3)。
- [0018] 次に、前記p型SiC領域3bの表層部に、 $1 \times 10^{19} \sim 3 \times 10^{19} / \text{cm}^3$ のドーピング濃度、 $0.2 \sim 0.4 \mu\text{m}$ 程度の層厚になるようにn型SiCソース領域4を形成する(図4)。次に、前記p型SiCベース領域3bに隣接する領域に $5 \times 10^{18} \sim 1 \times 10^{20} / \text{cm}^3$ のドーピング濃度、 $0.7 \sim 1 \mu\text{m}$ 程度の層厚となるようにp型SiCベース領域3のうちソース電極8と接触するp型SiC領域3aを形成する(図5)。これらのp型SiCベース領域3aおよび3b、3c、n型SiCソース領域4はイオン注入および活性化熱処理により形成する。
- [0019] 前記のp型SiC領域3b、3c及びn型SiCソース領域4の形成は、それぞれ別の注入マスクを用いて形成してもよいが、2層構造の注入マスクや斜め方向のイオン注入などを用いることによって、1つのマスクあるいは1つのマスクに加工を加えた構成によって自己整合的に形成することが可能である。特に、図1に示すチャンネル長Aが $1 \mu\text{m}$ 程度以下のときはこれらの領域を自己整合的に形成する方が精度良く形成できるためより望ましい。この場合にはp型SiCベース領域3のうちのp型SiC領域3cはp型

SiC領域3bのドーピング濃度よりも低い濃度、あるいは薄い層厚となるように形成される。

[0020] 次に、この構成の上に $1 \times 10^{15} \sim 5 \times 10^{16} / \text{cm}^3$ のドーピング濃度、 $0.1 \sim 1 \mu\text{m}$ 程度の層厚としてエピタキシャル成長によりp型チャネル層5を形成する。この表面はエピタキシャル成長により形成されることにより、粗さ2nm未満に平坦化される(図6)。次に、このp型チャネル層5の上に、シリコン酸化膜もしくはシリコン酸化窒化膜等を熱酸化、窒化、絶縁膜のデポ形成、あるいはこれらの併用によってゲート絶縁膜6を形成し、さらにその上にゲート電極7を形成する(図7)。さらに前記n型SiCソース領域4の他の表面上にソース電極8を形成し、n型SiC基板1の裏面にドレイン電極9を形成することにより、MOSFET10が完成する(図8)。

[0021] なお、図9に示すように、n型SiCドリフト層2のうち、p型SiCベース領域3が形成されない領域であるn型デプレッション領域11のドーピング濃度をそのままとしても良いが、別途イオン注入を施すことによってn型ドーピング濃度を高めたn型デプレッション領域11とすることが可能である。

[0022] 通常の反転MOSとの比較において、絶縁膜6の端部Cと、p型SiC領域3cとn型SiCドリフト層2からなるpn接合端Bとの距離を大きくして絶縁膜6の端部Cの電界値を下げるという観点から、p型SiCベース領域3の深さを本実施の形態1のチャネル層5の層厚分だけ深くするという構成も考えられるが、その場合にはデプレッション領域の抵抗成分がp型SiCベース領域3の深さが深い分だけ大きくなって素子抵抗、すなわち定常損失が増加することになる。また、p型SiCベース領域3の厚さを $1 \mu\text{m}$ よりも深くする場合においては、イオン注入においてMeV級の加速電圧が必要となって、イオン注入マスクの材料の変更や厚膜化にともない自己整合的な工程とするための加工工程が複雑化してしまう為好ましくない。

[0023] 以上のように、実施の形態1のMOSFET10においては、チャネル層5直下のp型領域3cの濃度が、p型SiC領域3bの濃度の5～20%程度の $1 \times 10^{17} / \text{cm}^3$ 程度以上であれば、n型SiCドリフト層2の層厚とドーピングによって決まる理想耐圧(500～2000V程度)近くまで電圧を印加させても、空乏化することなく理想耐圧に近い降伏電圧を得ることができる。一方、特許文献1では、チャネル層5を実施の形態1とは異な

りn型としている為、チャネル層直下のp型SiC領域3cの濃度がn型SiCソース領域4の下部のp型SiC領域3bの濃度の15～50%程度である $3 \times 10^{17} / \text{cm}^3$ 程度以上必要となるために、自己整合的なp型SiCベース領域3とn型SiCソース領域4の形成におけるマスク形状やイオン注入角度の範囲を厳密に制御する必要性が生じ、製造上のコストが高くなってしまう。

[0024] また、実施の形態1のMOSFET10においては、ゲート構造を形成する前に、p型チャネル層5をエピタキシャル成長させて半導体表面を平坦化させているので、SiC表面近傍の荒れにより引き起こされる散乱などでチャネル層の電子移動度が低下させられる事がなく、良好な反転チャネルが形成できるMOS構造が得られ、充分低抵抗なチャネル特性を得ることができる。しかも反転チャネルであるため、ゲート電圧がゼロのときにソースドレイン間の電流の流れないノーマリオフ動作を得やすいという効果も得られる。

[0025] さらにまた、ソースドレイン間に高電圧が印加されている状況では、素子中の電界分布としてp型SiCベース領域3とn型SiCドリフト層2とからなるpn接合の端部Bと、絶縁膜6の端部Cとが高電界になる。そのうち、絶縁膜6の端部Cの電界値はチャネル層6がn型の場合は、チャネル層を有しない通常の反転MOSの構成と比べて、pn接合端Bから絶縁膜6の端部Cの距離が大きくなる為、およそ70%程度に軽減される。一方、実施の形態1のようにチャネル層5とその直下のp型SiCベース領域とを同一導電型で構成した場合においては、絶縁膜6の端部Cの電界値がさらに軽減され、チャネル層を有しない通常の反転MOSの60%となるため、絶縁膜6の信頼性をさらに向上させることが可能となる。

[0026] さらにまた、n型デプレッション領域11のドーピング濃度を高めたことにより、素子寸法を微細化して単位面積あたりのMOSFETの数を増やした場合においても、n型デプレッション領域11の素子抵抗が低減でき、全体としての素子抵抗を低減させることが可能となる。

[0027] 実施の形態2.

実施の形態1においては、n型SiCドリフト層2にp型SiCベース領域3とn型SiCソース領域4とをイオン注入によってMOSFETを製造する方法を示した。実施の形態2

では、MOSFETの別な製造方法について、図10～16に基づいて説明する。

- [0028] n型SiC基板1の主表面上に、エピタキシャル成長によりn型SiCドリフト層2を形成させる工程までは実施の形態1と同様である。次に、n型SiCドリフト層2の表層部の全面に渡り、 $1 \times 10^{17} / \text{cm}^3$ 程度以上のドーピング濃度でp型SiC層20を成長させる(図10)。
- [0029] 次に、前記p型SiC層20の表層部の所定個所に、 $5 \times 10^{17} \sim 2 \times 10^{18} / \text{cm}^3$ のドーピング濃度、 $0.7 \sim 1 \mu\text{m}$ 程度の層厚に、p型SiCベース領域21のうちのp型SiC領域21bを形成する。p型ベース領域21のうちのp型SiC領域21cはもとのp型SiC層20のドーピングのままなのでp型SiC領域21bよりは低濃度となる(図11)。次に、前記p型SiC領域21bの表層部に、前記p型SiC領域21bを形成した時に用いたイオン注入マスクを用いて、 $1 \times 10^{19} \sim 3 \times 10^{19} / \text{cm}^3$ のドーピング濃度、 $0.2 \sim 0.4 \mu\text{m}$ 程度の層厚になるようにn型SiCソース領域23を形成する(図12)。
- [0030] 次に、前記p型SiC層20の表層部の所定個所にドリフト層2に到達するようにn型SiCデプレッション領域22を形成する(図13)。次に、前記n型ソース領域23に隣接した領域に $5 \times 10^{18} \sim 1 \times 10^{20} / \text{cm}^3$ のドーピング濃度、 $0.7 \sim 1 \mu\text{m}$ 程度の層厚となるようにイオン注入および活性化熱処理を行い、p型ベース領域21のうちソース電極8と接触するp型SiC領域21aを形成する(図14)。これらのベース領域21aおよび21b、ソース領域23、n型SiCデプレッション領域22はイオン注入および活性化熱処理により形成する。
- [0031] 次に、この構成の上に $1 \times 10^{15} \sim 5 \times 10^{16} / \text{cm}^3$ のドーピング濃度、 $0.1 \sim 1 \mu\text{m}$ 程度の層厚としてエピタキシャル成長によりp型チャネル層5を形成する。この表面は粗さ2nm未満に平坦化される(図15)。次に、このp型チャネル層5の上に、シリコン酸化膜もしくはシリコン酸化窒化膜等を熱酸化、窒化、絶縁膜のデポ形成、あるいはこれらの併用によって絶縁膜6を形成し、さらにその上にゲート電極7を形成する。さらに前記n型SiCソース領域23の他の表面上にソース電極8を形成し、n型SiC基板1の裏面にドレイン電極9を形成することにより、MOSFET24が完成する(図16)。
- [0032] 以上のように、n型SiCデプレッション領域22を、もとのドリフト層2のドーピング濃度より高くする為に、(1)p型SiCベース領域およびn型SiCソース領域、(2)p型SiCベー

ス領域のうちのコンタクト領域、(3)n型SiCデプレッション領域の各領域に対してイオン注入を行う工程が必要であるが、実施の形態1では(1)の工程が自己整合的でない場合は、(1)のマスク形成工程を2回行う必要があり、注入マスク形成の写真製版工程の回数が3ないし4回必要であった。これに対して、実施の形態2のMOSFET24の製造方法によれば、(1)の工程において、p型SiCベース領域とn型SiCソース領域とを別にする必要がないために注入マスク形成の写真製版工程の回数が必ず3となり、かつ自己整合的なプロセスを必要としないという効果が得られる。また、実施の形態2で説明した製造方法により製造したMOSFET24は、実施の形態1で説明したMOSFET10と同様の特性を得られる。

- [0033] 尚、実施の形態1及び2にて説明したMOSFETにおいて、p型SiCとn型SiCとを入れ替えた構成としてもよい。また、実施の形態1及び2にて説明したMOSFETはSiC半導体により構成しているが、バンドギャップが2eV程度以上のワイドバンドギャップ半導体材料であるGaN、ZnO、ダイヤモンドなどを用いても同様の効果が期待でき、半導体装置の性能改善が可能である。

請求の範囲

- [1] 第1導電型の半導体基板と、
前記半導体基板の主表面上に形成された第1導電型のドリフト層と、
前記ドリフト層の表層部の所定箇所に形成され、所定深さを有する第2導電型のベース領域と、
前記ベース領域の表層部の所定箇所に形成され、前記ベース領域の深さよりも浅い第1導電型のソース領域と、
前記ソース領域と前記ドリフト層の表面上に形成され、前記ソース領域と前記ドリフト層とを接続する第2導電型のチャネル領域と、
前記チャネル領域の表面上に形成された絶縁膜と、
前記絶縁膜の表面上に形成されたゲート電極と、
前記ベース領域と前記ソース領域の表面上に形成されたソース電極と、
前記半導体基板の下面に形成されたドレイン電極とより構成された半導体装置。
- [2] 第1導電型がn型半導体であり、第2導電型がp型半導体であることを特徴とする請求項1記載の半導体装置。
- [3] 第1導電型がp型半導体であり、第2導電型がn型半導体であることを特徴とする請求項1記載の半導体装置。
- [4] 第2導電型のチャネル領域がエピタキシャル成長により形成され、その表面が平坦となることを特徴とする請求項1記載の半導体装置。
- [5] 第2導電型のベース領域と、第1導電型のソース領域とが自己整合的に形成されたことを特徴とする請求項1記載の半導体装置。
- [6] 第1導電型のドリフト層のうち、第2導電型のベース領域が形成されない第1導電型のデプレッション領域の不純物濃度を前記ドリフト層よりも高めたことを特徴とする請求項1記載の半導体装置。
- [7] 請求項1に記載の半導体装置を複数個備え、前記複数個の半導体装置の各同一電極が並列に接続されたことを特徴とする半導体装置。
- [8] 第1導電型の半導体基板の主表面上に第1導電型のドリフト層を形成する工程と、

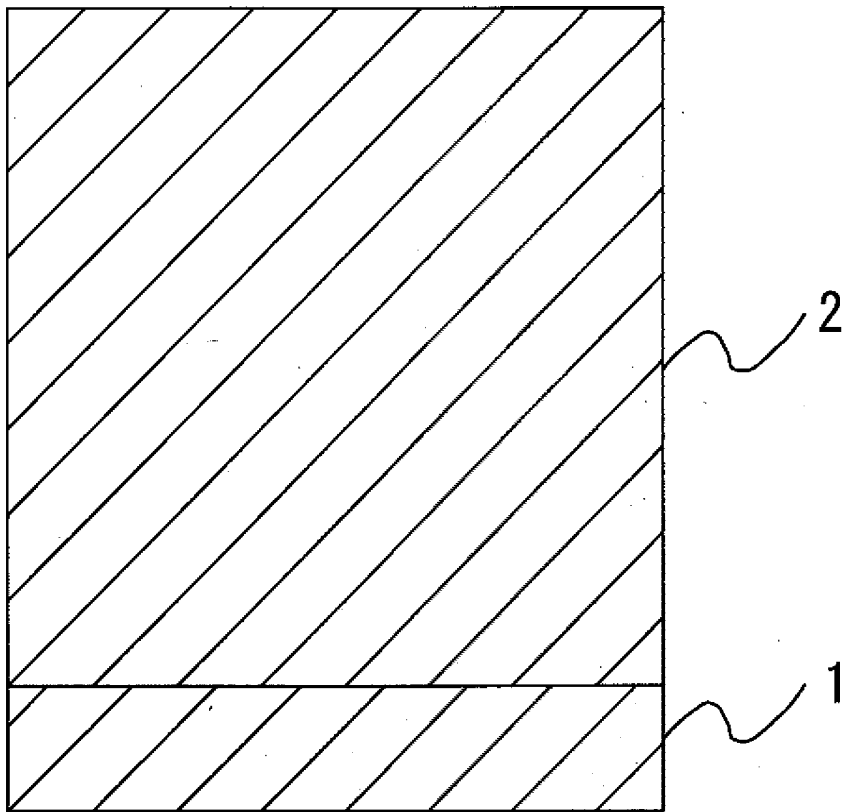
前記ドリフト層の表層部の所定箇所に、所定深さを有する第2導電型のベース領域を形成する工程と、

前記ベース領域の表層部の所定箇所に、前記ベース領域の深さよりも浅い第1導電型のソース領域を形成する工程と、

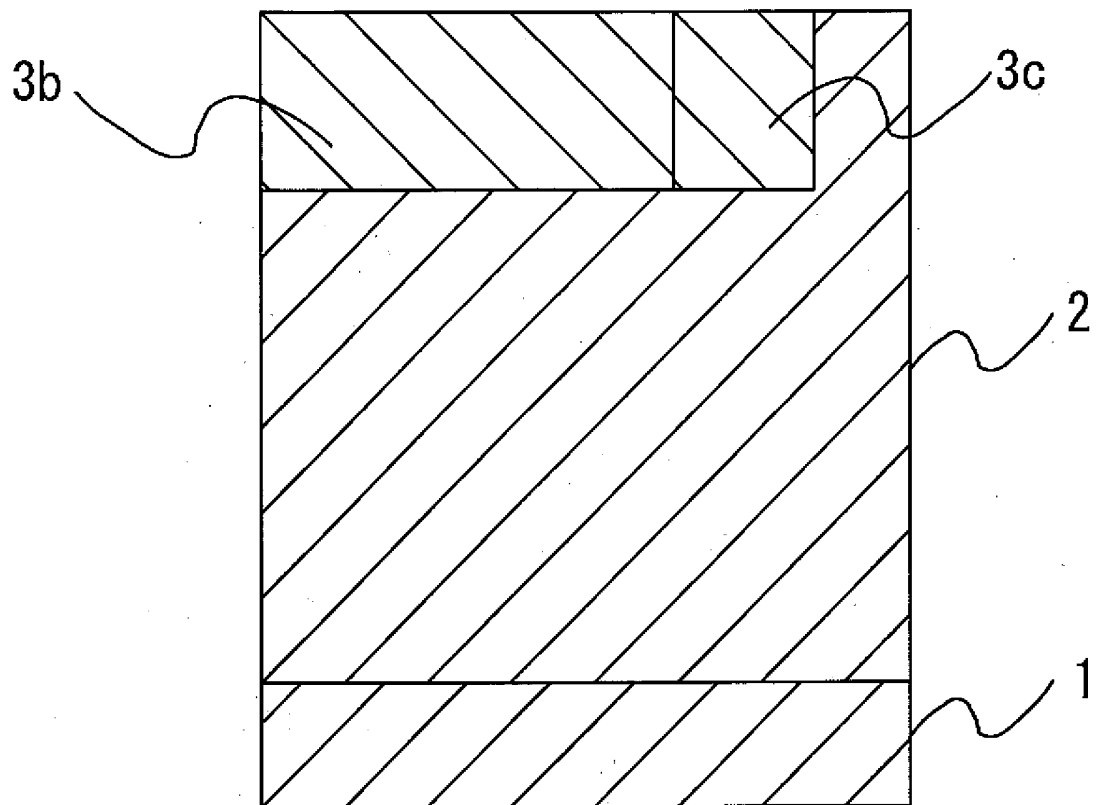
前記ソース領域と前記ドリフト層との表面上に第2導電型のチャネル領域をエピタキシャル成長により形成する工程とを備えたことを特徴とする半導体製造装置の製造方法。

- [9] 第1導電型の半導体基板の主表面上に第1導電型のドリフト層を形成する工程と、
前記ドリフト層の全面に第2導電型の層を形成する工程と、
前記第2導電型の層の表層部の所定箇所に、所定深さを有する第2導電型のベース領域を形成する工程と、
前記ベース領域の表層部の所定箇所に、前記ベース領域の深さよりも浅い第1導電型のソース領域を形成する工程と、
前記第2導電型の層の表層部の所定箇所に、不純物濃度を高めたデプレッション領域を形成する工程と、
前記第2導電型の層の表層部の所定箇所に、ソース電極と接触させる為に前記ベース領域よりも不純物濃度を高めた領域を形成する工程と、
前記ソース領域と前記デプレッション領域との表面上に第2導電型のチャネル領域をエピタキシャル成長により形成する工程とを備えたことを特徴とする半導体製造装置の製造方法。

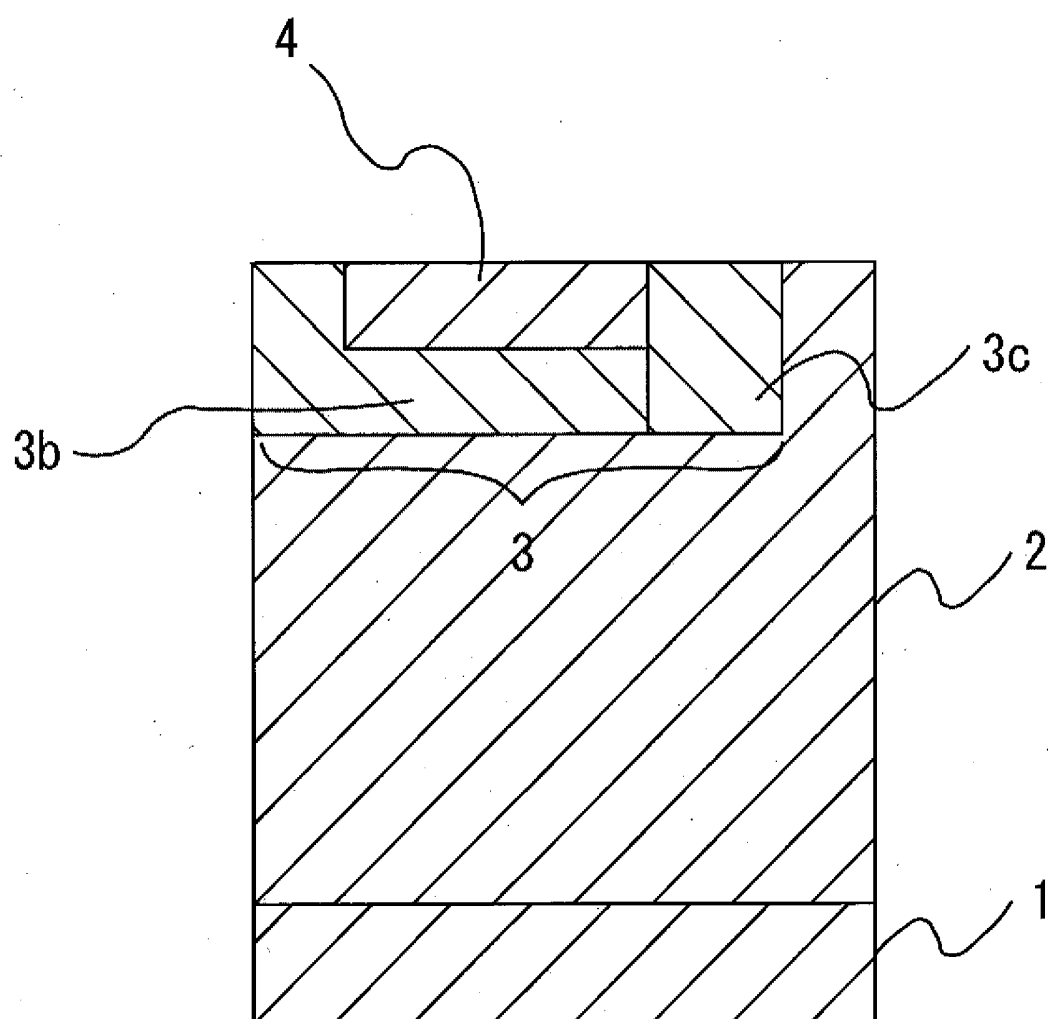
[図2]



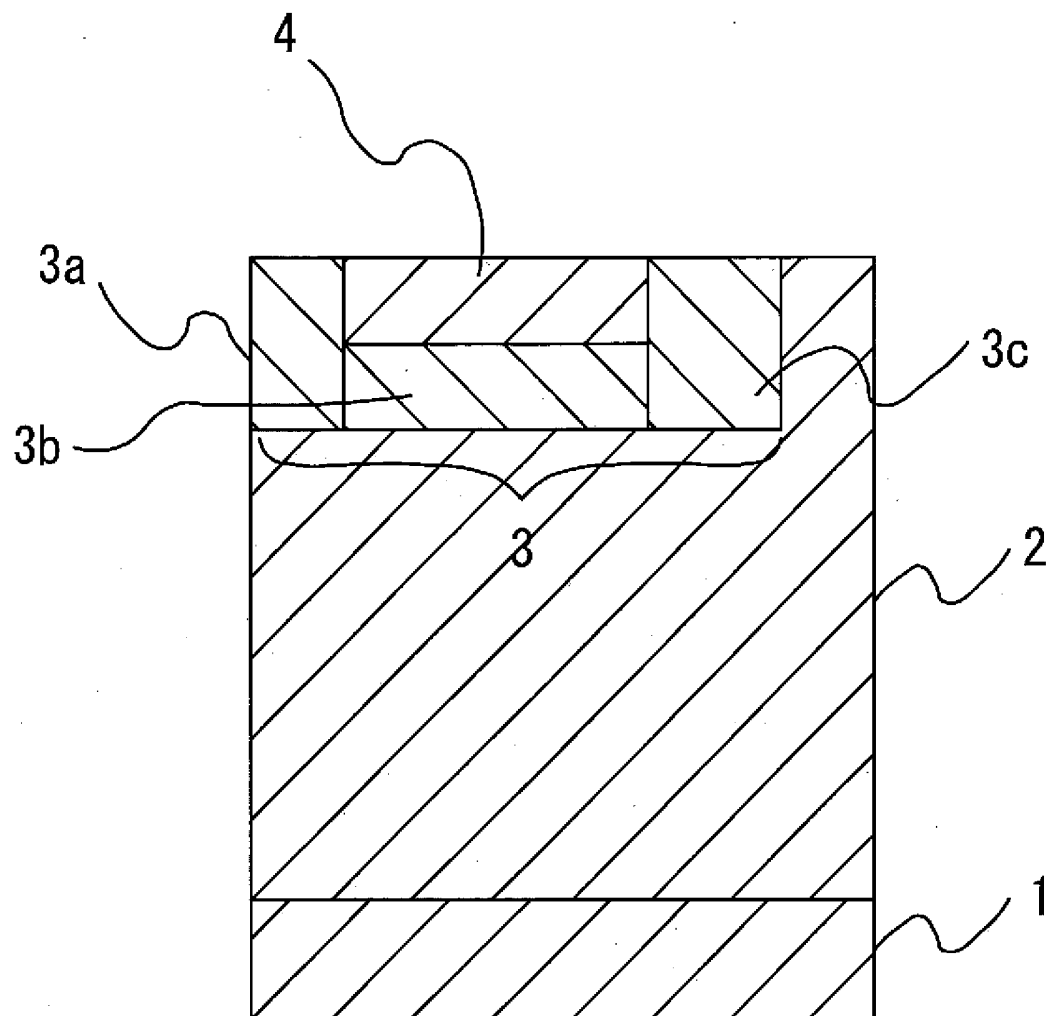
[図3]



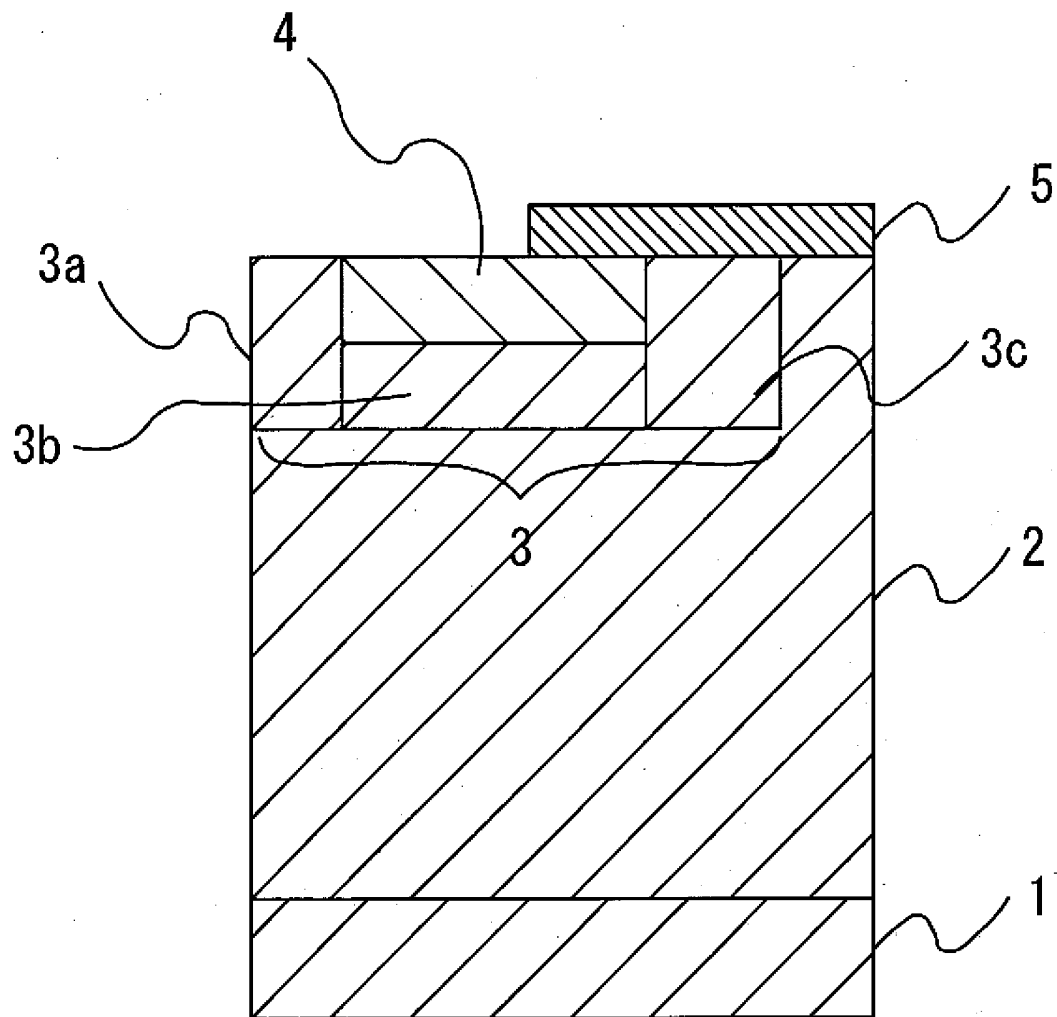
[図4]



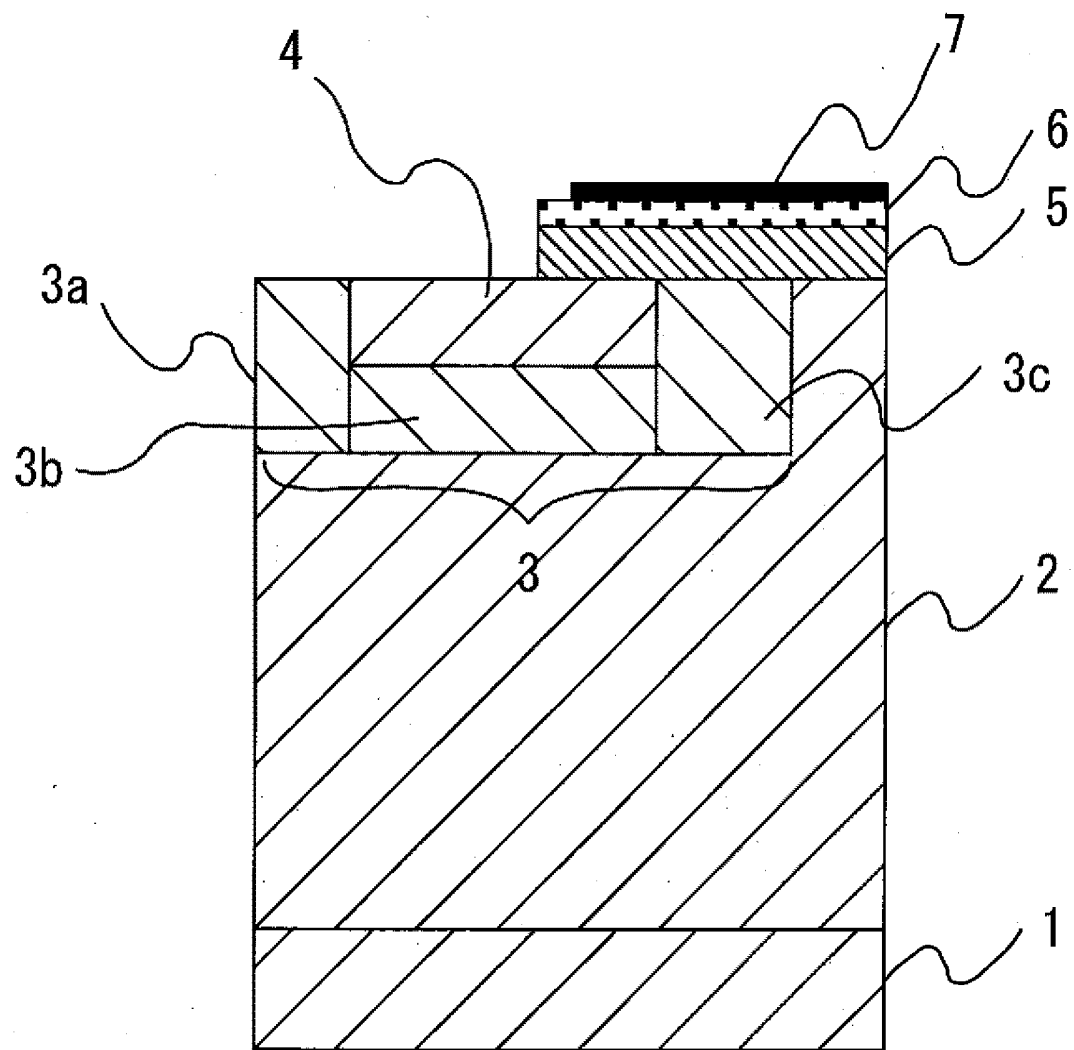
[図5]



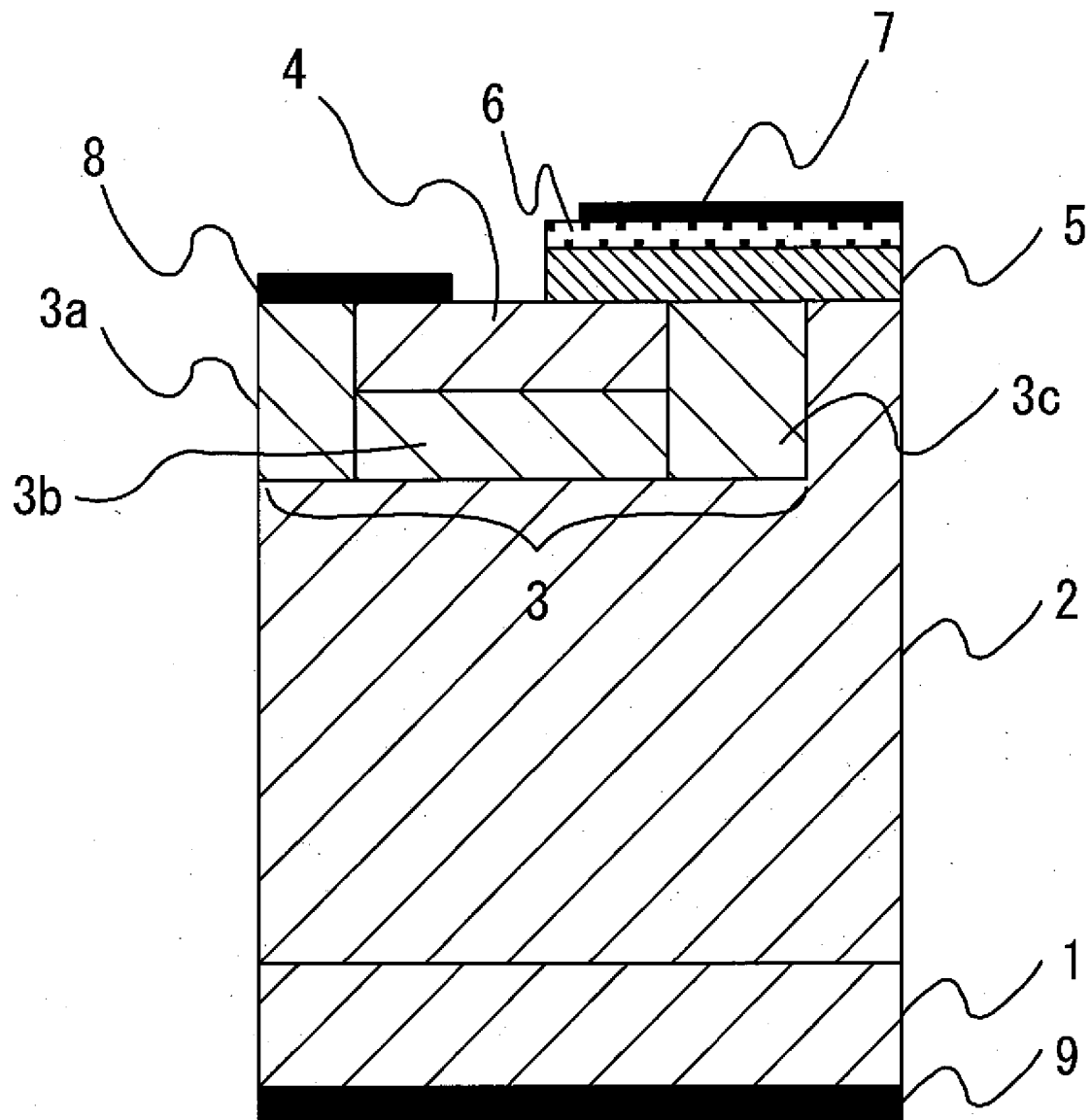
[図6]



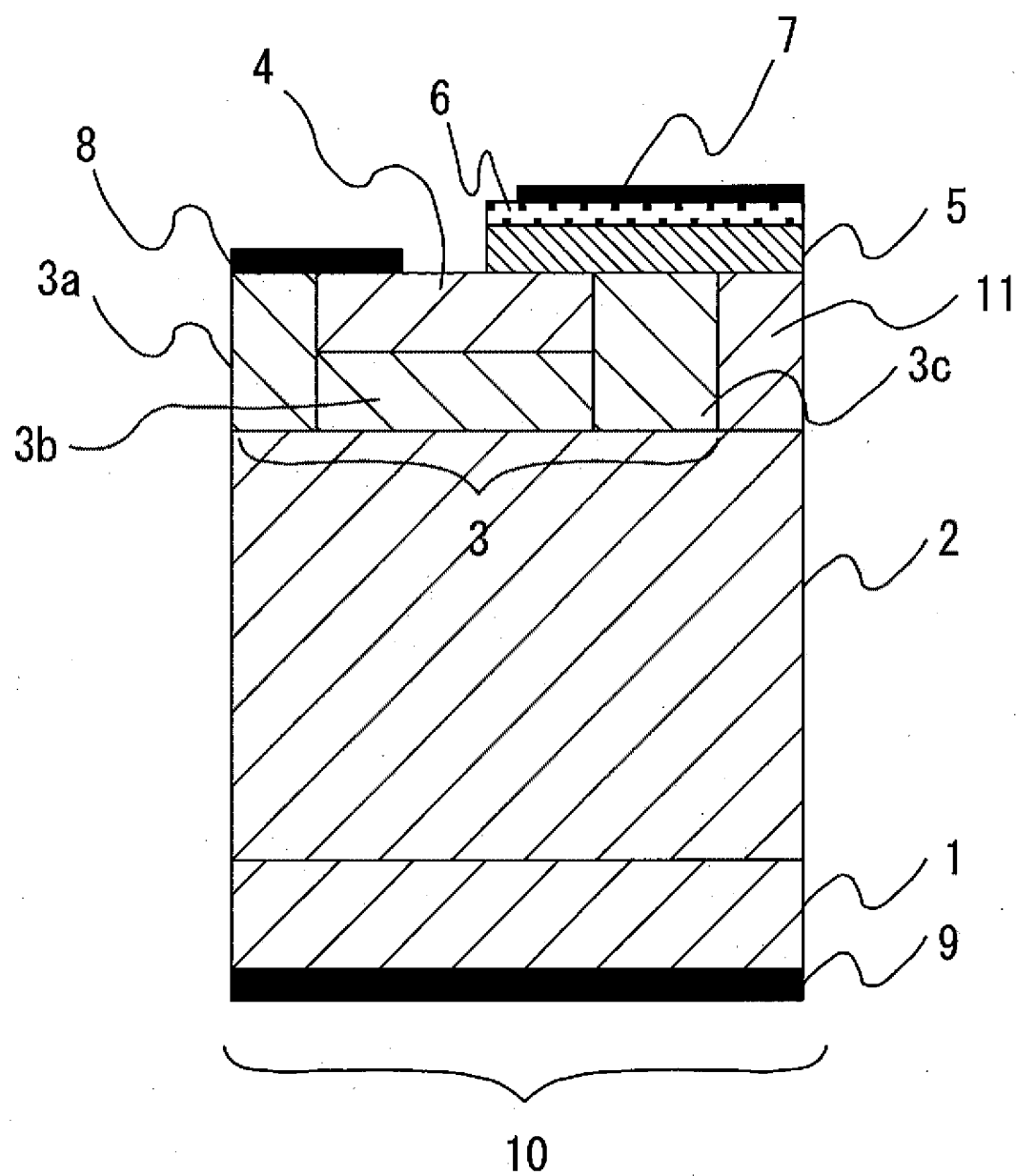
[図7]



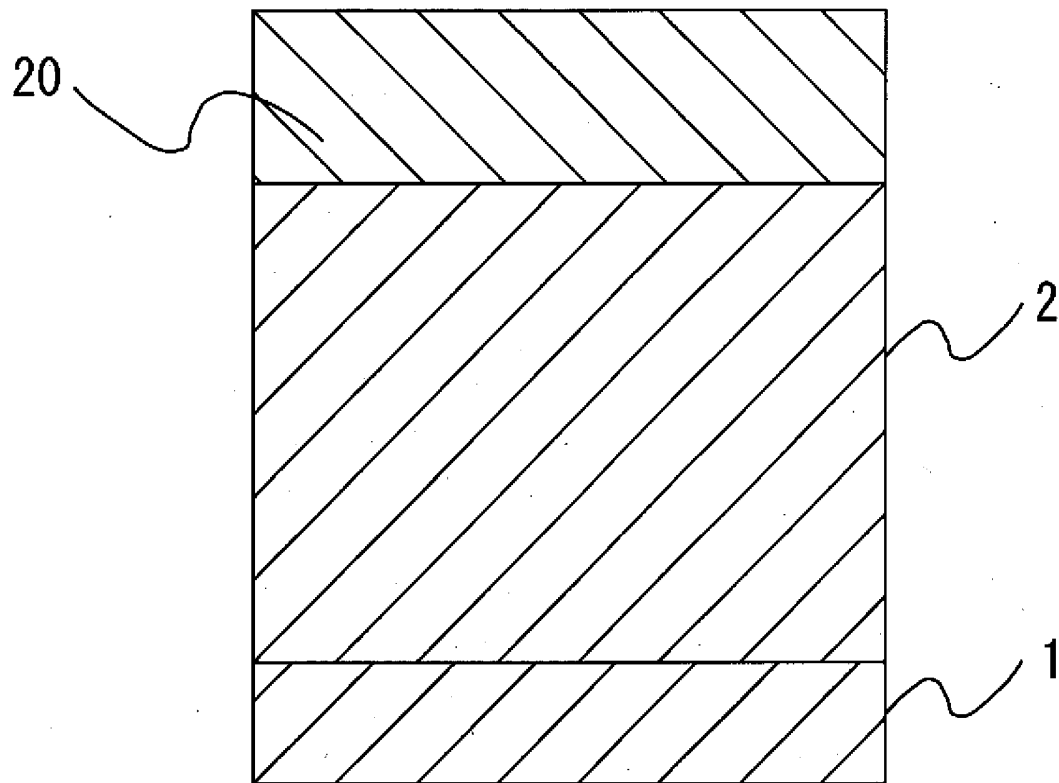
[図8]



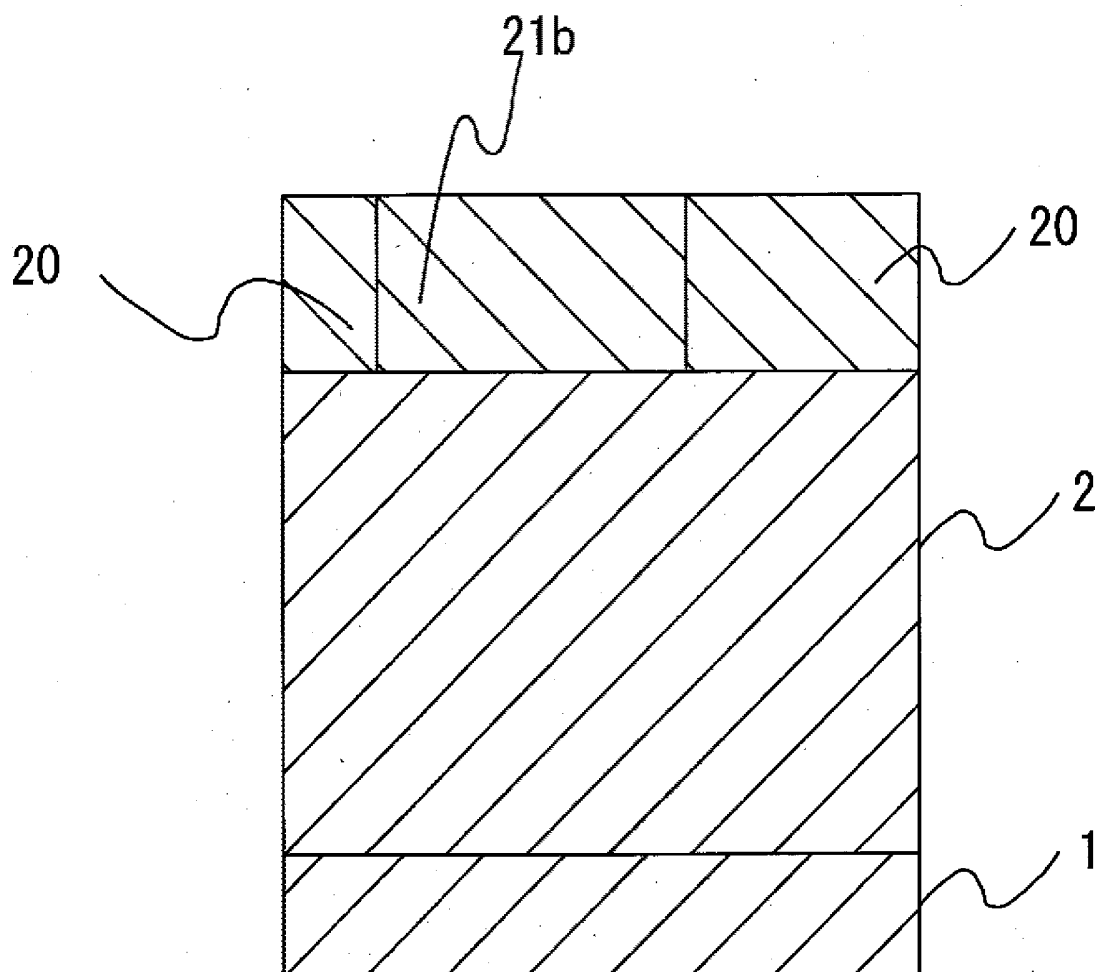
[図9]



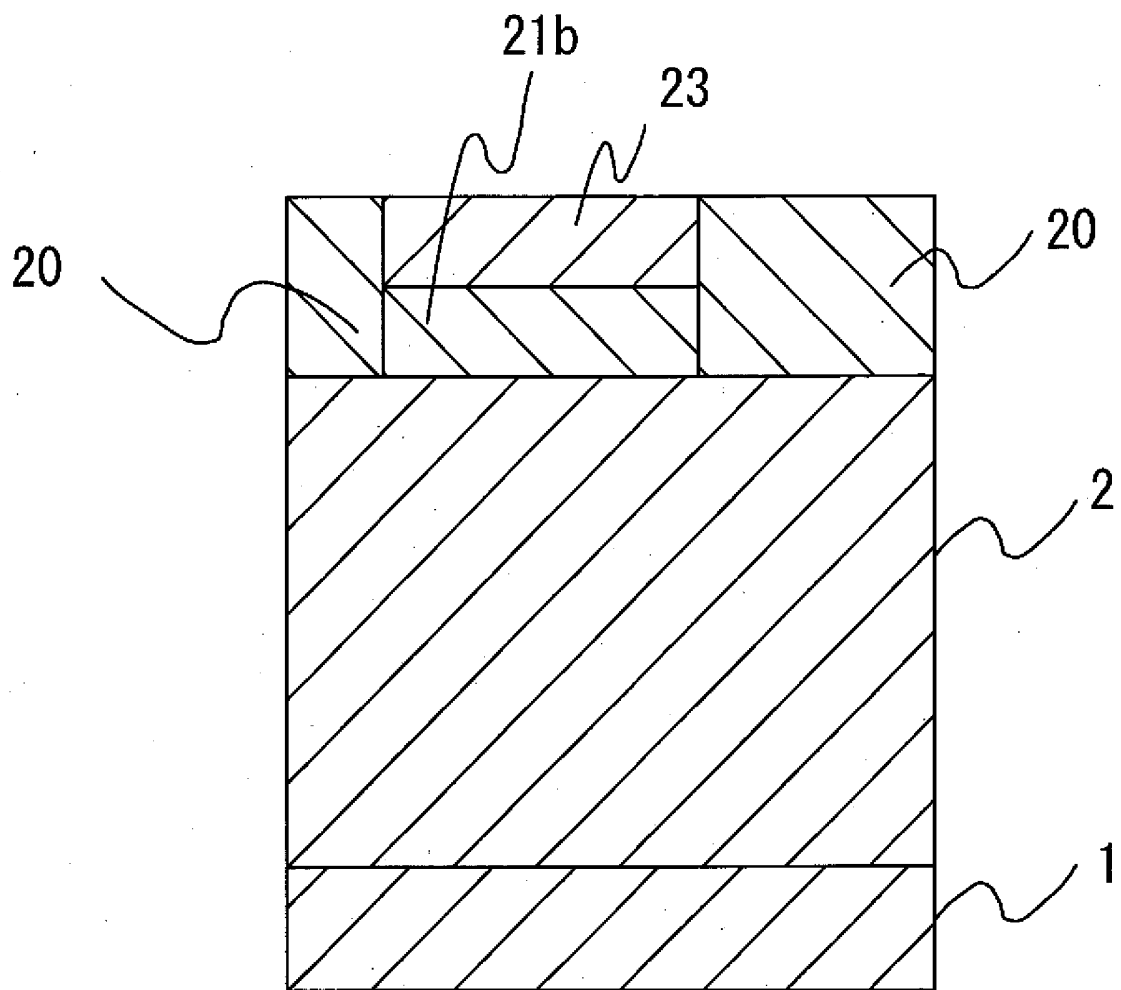
[図10]



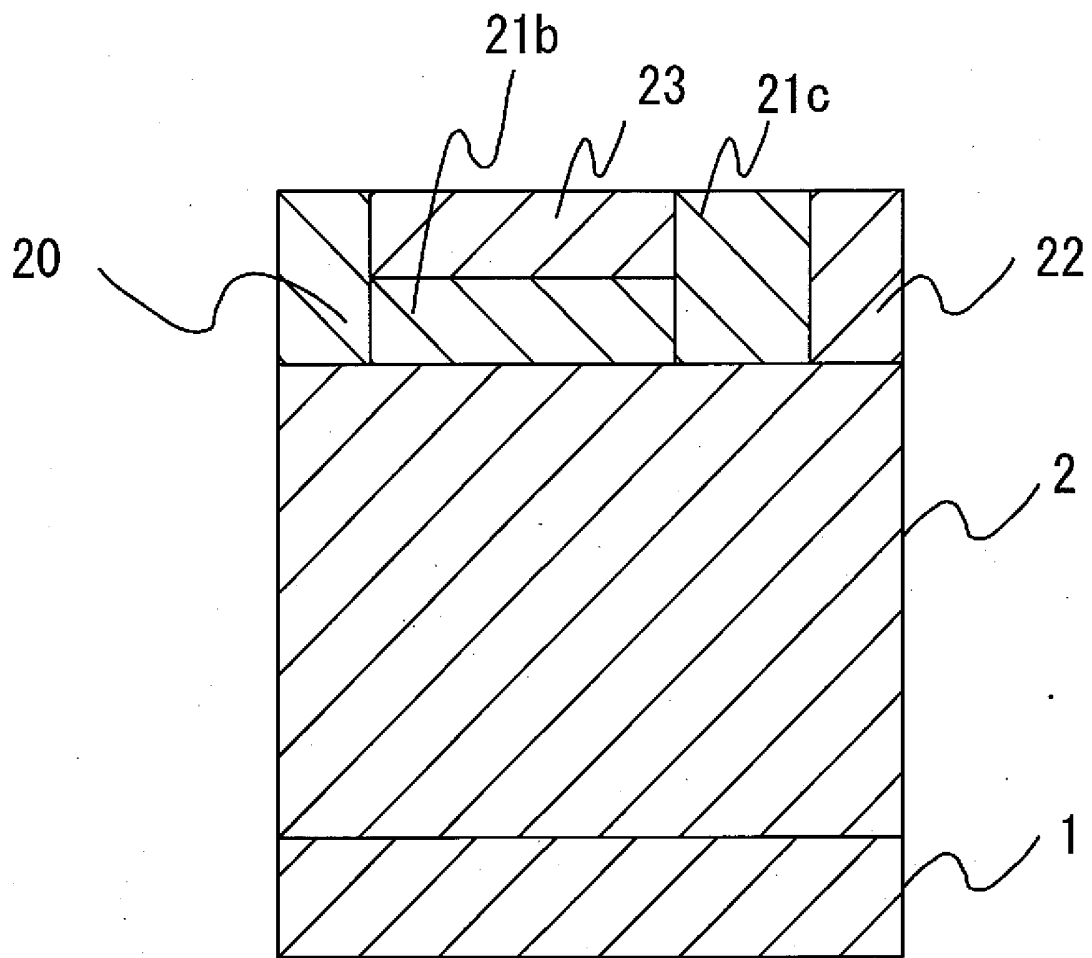
[図11]



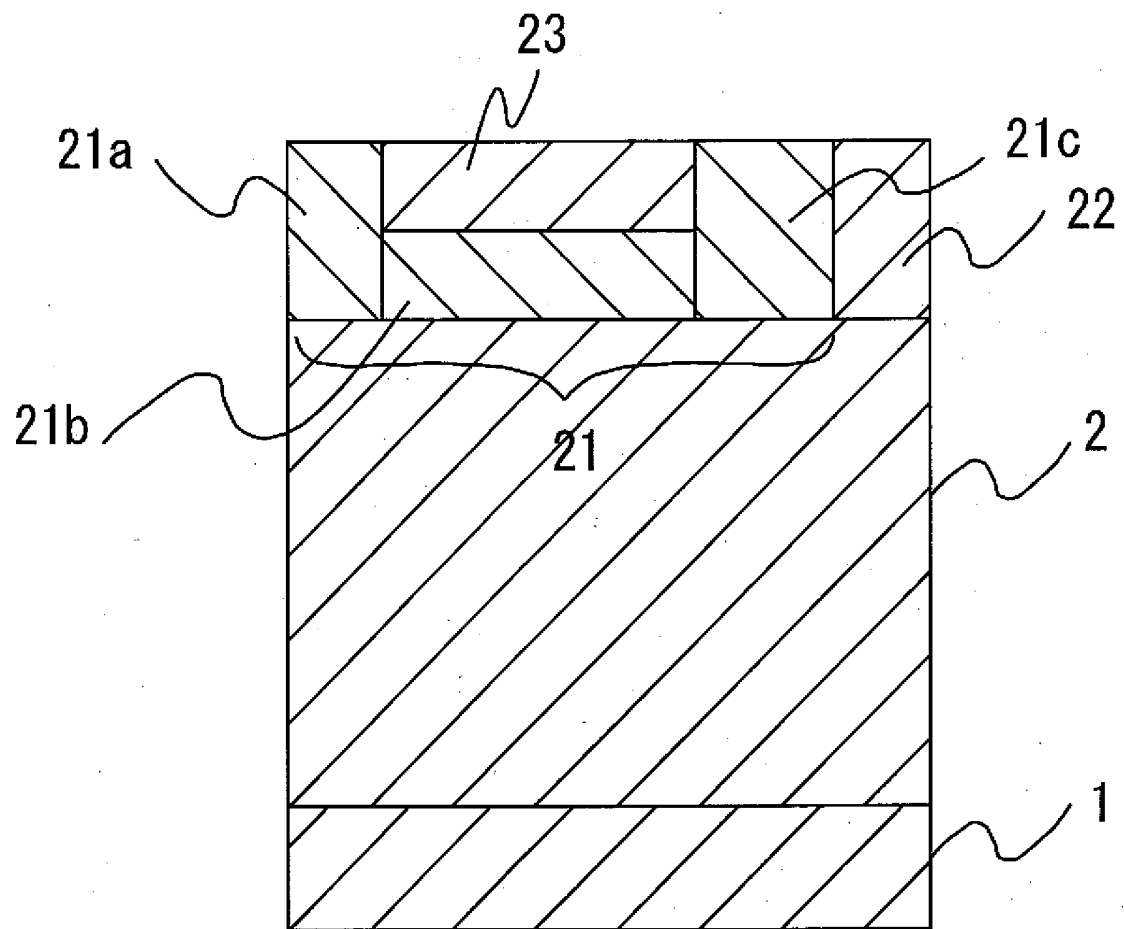
[図12]



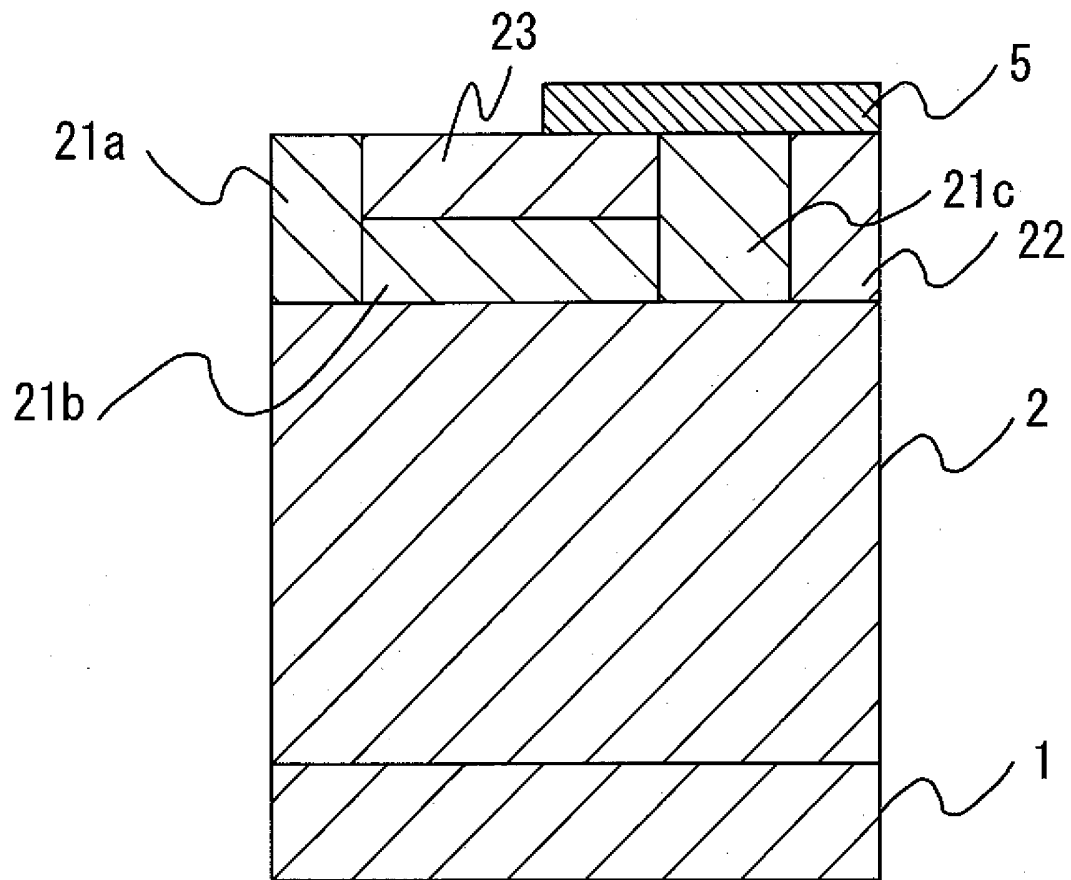
[図13]



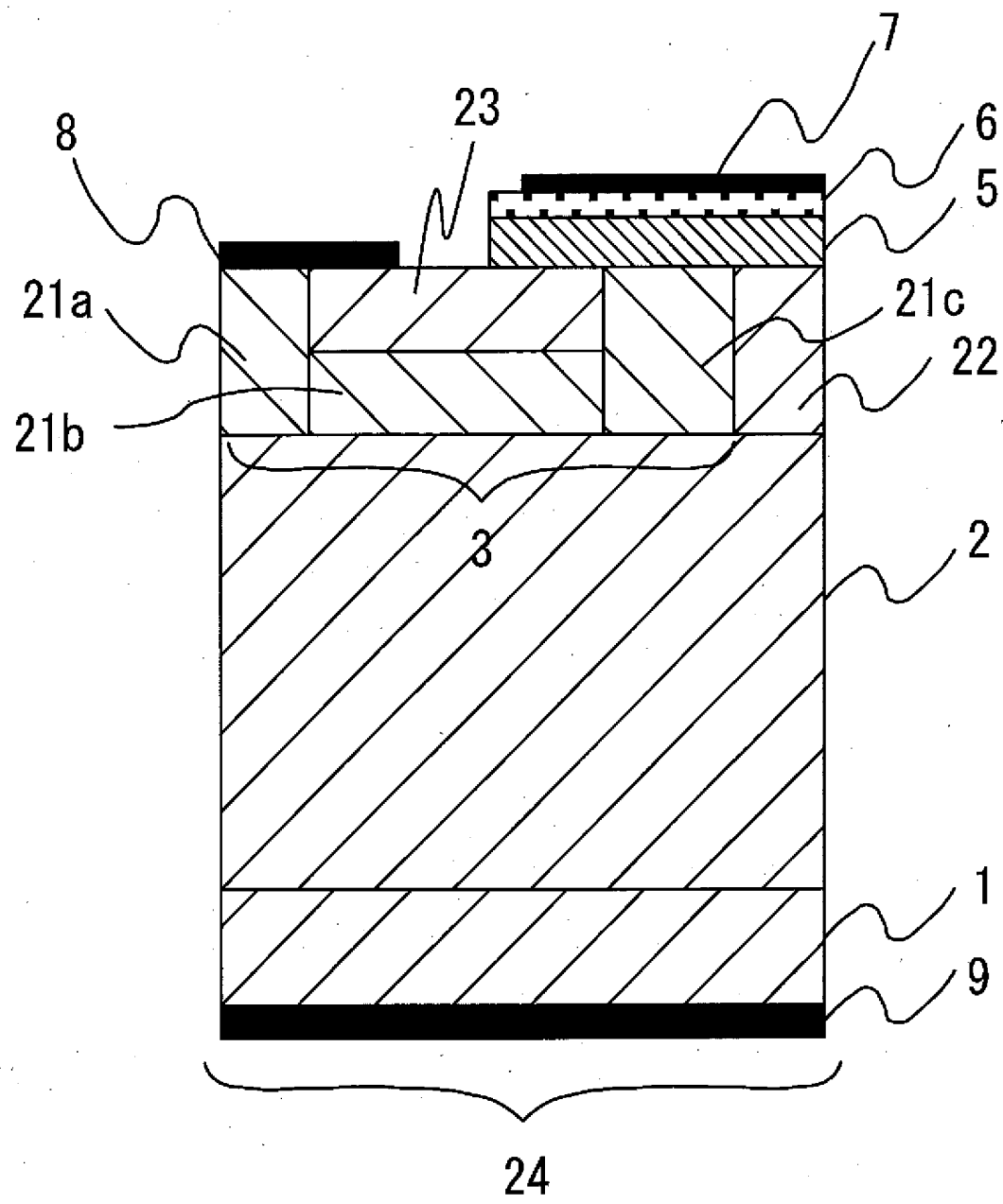
[図14]



[図15]



[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/302516

A. CLASSIFICATION OF SUBJECT MATTER H01L29/78(2006.01), H01L21/336(2006.01), H01L29/12(2006.01)		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L29/78(2006.01), H01L21/336(2006.01), H01L29/12(2006.01)		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2006 Kokai Jitsuyo Shinan Koho 1971-2006 Toroku Jitsuyo Shinan Koho 1994-2006		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-033030 A (Matsushita Electric Industrial Co., Ltd.), 03 February, 2005 (03.02.05), Full text; all drawings (Family: none)	1-9
A	JP 2002-270837 A (Denso Corp.), 20 September, 2002 (20.09.02), Full text; all drawings (Family: none)	1-9
☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 27 April, 2006 (27.04.06)		Date of mailing of the international search report 16 May, 2006 (16.05.06)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C）） Int.Cl. H01L29/78(2006. 01), H01L21/336(2006. 01), H01L29/12(2006. 01)			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（I P C）） Int.Cl. H01L29/78(2006. 01), H01L21/336(2006. 01), H01L29/12(2006. 01)			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1 9 2 2 - 1 9 9 6 年 日本国公開実用新案公報 1 9 7 1 - 2 0 0 6 年 日本国実用新案登録公報 1 9 9 6 - 2 0 0 6 年 日本国登録実用新案公報 1 9 9 4 - 2 0 0 6 年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
A	J P 2 0 0 5 - 0 3 3 0 3 0 A（松下電器産業株式会社） 2 0 0 5 . 0 2 . 0 3 , 全文, 全図（ファミリーなし）	1 - 9	
A	J P 2 0 0 2 - 2 7 0 8 3 7 A（株式会社デンソー） 2 0 0 2 . 0 9 . 2 0 , 全文, 全図（ファミリーなし）	1 - 9	
☐ C 欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献			
国際調査を完了した日 2 7 . 0 4 . 2 0 0 6		国際調査報告の発送日 1 6 . 0 5 . 2 0 0 6	
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 小野田 誠 電話番号 03-3581-1101 内線 3498	4 L 8 4 2 7