

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5907899号
(P5907899)

(45) 発行日 平成28年4月26日 (2016. 4. 26)

(24) 登録日 平成28年4月1日 (2016. 4. 1)

(51) Int. Cl.	F I
G09G 3/36 (2006.01)	G09G 3/36
G09G 3/20 (2006.01)	G09G 3/20 621F
G02F 1/133 (2006.01)	G09G 3/20 624B
	G09G 3/20 660X
	G09G 3/20 641K
請求項の数 30 (全 48 頁) 最終頁に続く	

(21) 出願番号	特願2012-557532 (P2012-557532)	(73) 特許権者	507230267
(86) (22) 出願日	平成23年3月15日 (2011. 3. 15)		シーリアル テクノロジーズ ソシエテ
(65) 公表番号	特表2013-525825 (P2013-525825A)		アノニム
(43) 公表日	平成25年6月20日 (2013. 6. 20)		SEEREAL TECHNOLOGIE
(86) 国際出願番号	PCT/EP2011/053912		S S. A.
(87) 国際公開番号	W02011/113843		ルクセンブルグ大公国 ムンスバッハ エ
(87) 国際公開日	平成23年9月22日 (2011. 9. 22)		ルー5365, パルク ダクティヴィテ
審査請求日	平成26年2月28日 (2014. 2. 28)		シルダール, 6ビー
(31) 優先権主張番号	10156572.9	(74) 代理人	100076428
(32) 優先日	平成22年3月15日 (2010. 3. 15)		弁理士 大塚 康德
(33) 優先権主張国	欧州特許庁 (EP)	(74) 代理人	100115071
前置審査			弁理士 大塚 康弘
		(74) 代理人	100112508
			弁理士 高柳 司郎
		最終頁に続く	

(54) 【発明の名称】 空間光変調器のバックプレーンデバイス及びバックプレーンデバイスを操作する方法

(57) 【特許請求の範囲】

【請求項1】

空間光変調器（12）のための、又は、シーン又はコンテンツの2次元表現又は3次元表現を生成する表示装置における空間光変調器（12）のためのバックプレーンデバイスであり、前記空間光変調器（12）が画素アドレスを有し、且つ、画素値（15）を画素（14）に割り当てるように前記バックプレーンデバイス（16）により電子制御可能な前記画素（14）を含み、前記バックプレーンデバイス（16）が画素（14）毎に少なくとも1つの電極（500）と、少なくとも1つのアナログ線（22）と、少なくとも1つの画素アドレッシング手段（24）とを含むバックプレーンデバイスであって、

前記画素アドレッシング手段（24）は、xアドレッシング線（26）及びyアドレッシング線（28）を含み、全ての画素（14）は、アナログ線（22）、xアドレッシング線（26）及びyアドレッシング線（28）に接続され、

画素値（15）割当方式として、生成手段が、第1画素値が割り当てられるべき少なくとも1つの画素の第1の数および少なくとも1つの第1画素アドレスを取得し、第2画素値が割り当てられるべき少なくとも1つの画素の第2の数および少なくとも1つの第2画素アドレスを取得し、且つ前記少なくとも1つのアドレス線（22）に適用される時間の関数としての電圧特性（10）を生成するように構成され、前記電圧特性（10）は、前記第1画素値に対応する電圧が前記第1の数に応じて継続する期間と、前記第2画素値に対応する電圧が前記第2の数に応じて継続する期間とを含むように生成され、

前記バックプレーンデバイス（16）は、アドレス指定される前記画素の前記少なくと

10

20

も1つの第1画素アドレスおよび前記少なくとも1つの第2画素アドレスの順序が画素アドレッシング方式として前記生成された電圧特性(10)に依存して決定されるように構成され、且つ、前記第1および第2画素値(15)を前記画素(14)に割り当てるために、前記決定された順序に対応する前記少なくとも1つのアナログ線(22)に前記生成された電圧特性(10)が適用されるように構成されることを特徴とするバックプレーンデバイス。

【請求項2】

前記電圧特性(10)は、電圧ランプアップ関数、電圧ランプダウン関数、階段状のランプアップ関数、階段状のランプダウン関数及びのこぎり歯関数の少なくとも1つであり、前記電圧特性(10)は、前記画素値が前記画素に割り当てられるそれぞれの期間についてオーバドライブ値を含むことを特徴とする請求項1に記載のバックプレーンデバイス。

10

【請求項3】

前記電圧特性(10)は、時間において可変であり、数学的な単調関数である単調増加又は単調減少の特性を有することを特徴とする請求項1又は2に記載のバックプレーンデバイス。

【請求項4】

前記少なくとも1つのアナログ線(22)に適用されている前記生成された電圧特性(10)は、前記画素(14)のアドレッシングの順序を決定することを特徴とする請求項1から3のうちいずれか1項に記載のバックプレーンデバイス。

20

【請求項5】

決定されている前記画素アドレスは、x方向及びy方向に対して生成され、画素値(15)を画素(14)に前記割り当てることは、前記x方向及び前記y方向に対してランダムアクセス方式で実行されることを特徴とする請求項1から4のうちいずれか1項に記載のバックプレーンデバイス。

【請求項6】

同一の画素値(15)が割り当てられる全ての画素(14)は、前記バックプレーンデバイス(16)の1つの動作モード、又は、実質的に同時の前記バックプレーンデバイス(16)の別の動作モード、又は、ある期間における前記バックプレーンデバイス(16)の更に別の動作モード、又は、画素値(15)が1つの画素(14)にのみ割り当てられる時間において、互いに時間的に近接してアドレス指定されることを特徴とする請求項1から5のうちいずれか1項に記載のバックプレーンデバイス。

30

【請求項7】

前記空間光変調器(21)又は前記バックプレーンデバイス(16)は、画素(14)をそれぞれ有する少なくとも2つのクラスタ(18)によって構成されたクラスタ配列を含み、各クラスタ(18)は、アナログ線(22)と、前記クラスタ(18)の前記画素(14)をアドレス指定する画素アドレッシング手段(24)とを含むことを特徴とする請求項1から6のうちいずれか1項に記載のバックプレーンデバイス。

【請求項8】

前記少なくとも2つのクラスタ(18)は互いに個別に制御され、前記空間光変調器(12)の接続領域又は隣接領域を形成する複数の画素(14)はクラスタ(18)を形成し、前記接続領域又は前記隣接領域は、矩形形状、正方形形状及びハニカム形状の少なくとも1つを有し、クラスタ(18)は、前記空間光変調器(12)の全幅又は全長に及ばないことを特徴とする請求項7に記載のバックプレーンデバイス。

40

【請求項9】

画素(14)に対する制御回路(20)は、2つのTFT(100、200)を含み、第1のTFT(100)は、前記アナログ線(22)、xアドレッシング線(26)及び第2のTFT(200)に接続され、前記第2のTFT(200)は、前記第1のTFT(100)、yアドレッシング線(28)及び前記画素(14)の電極(500)に接続されることを特徴とする請求項1から8のうちいずれか1項に記載のバックプレーンデバ

50

イス。

【請求項10】

画素(14)に対する制御回路(20)は、2つのTFT(100、200)を含み、第1のTFT(100)は、xアドレッシング線(26)、yアドレッシング線(28)及び第2のTFT(200)に接続され、前記第2のTFT(200)は、前記第1のTFT(100)、前記アナログ線(22)及び前記画素(14)の電極(500)に接続されることを特徴とする請求項1から8のうちいずれか1項に記載のバックプレーンデバイス。

【請求項11】

少なくとも1つのイネーブル線(30)を含み、前記画素(14)は制御回路(20)を含み、全ての画素(14)の制御回路(20)がイネーブル線(30)に接続されることを特徴とする請求項1から8のうちいずれか1項に記載のバックプレーンデバイス。

10

【請求項12】

画素(14)に対する制御回路(20)は、3つのTFT(100、200、300)を含み、第1のTFT(100)は、前記イネーブル線(30)、xアドレッシング線(26)及び第2のTFT(200)に接続され、前記第2のTFT(200)は、前記第1のTFT(100)、yアドレッシング線(28)及び第3のTFT(300)に接続され、前記第3のTFT(300)は、前記第2のTFT(200)、前記アナログ線(22)及び前記画素(14)の電極(500)に接続されることを特徴とする請求項11に記載のバックプレーンデバイス。

20

【請求項13】

画素(14)に対する制御回路(20)は、3つのTFT(100、200、300)を含み、2つの画素(14; 20、32)は、互いに隣接して配置され、同一のyアドレッシング線(28)によりアドレス指定され、第1の画素(20)の第1のTFT(100)は、イネーブリング機能として、第2の画素(32)の前記xアドレッシング線(26)、前記yアドレッシング線(28)及び前記第1の画素(20)の第2のTFT(200)に接続され、前記第1の画素(20)の前記第2のTFT(200)は、前記第1の画素(20)の前記第1のTFT(100)、前記第1の画素(20)のxアドレッシング線(26)及び前記第1の画素(20)の第3のTFT(300)に接続され、前記第1の画素(20)の前記第3のTFT(300)は、前記第1の画素(20)の前記第2のTFT(200)、前記アナログ線(22)及び前記第1の画素(20)の電極(500)に接続され、前記第2の画素(32)の前記第1のTFT(100)は、イネーブリング機能として、前記第1の画素(20)の前記xアドレッシング線(26)、前記yアドレッシング線(28)及び前記第2の画素(32)の前記第2のTFT(200)に接続され、前記第2の画素(32)の前記第2のTFT(200)は、前記第2の画素(32)の前記第1のTFT(100)、前記第2の画素(32)のxアドレッシング線(26)及び前記第2の画素(32)の前記第3のTFT(300)に接続され、前記第2の画素(32)の前記第3のTFT(300)は、前記第2の画素(32)の前記第2のTFT(200)、前記アナログ線(22)及び前記第2の画素(32)の電極(500)に接続されることを特徴とする請求項1から8のうちいずれか1項に記載のバックプレーンデバイス。

30

40

【請求項14】

画素(20、32、34、36)に対する制御回路(20、32、34、36)は、3つのTFT(100、200、300)を含み、4つの画素(20、32、34、36)は、互いに隣接して配置され、同一のyアドレッシング線(28)によりアドレス指定され、第1の画素(20)の第1のTFT(100)は、イネーブリング機能として、第3の画素(34)の前記xアドレッシング線(26)、前記yアドレッシング線(28)及び前記第1の画素(20)の第2のTFT(200)に接続され、前記第1の画素(20)の前記第2のTFT(200)は、前記第1の画素(20)の前記第1のTFT(100)、前記第1の画素(20)のxアドレッシング線(26)及び前記第1の画素(20)

50

）の第3のTF T（300）に接続され、前記第1の画素（20）の前記第3のTF T（300）は、前記第1の画素（20）の前記第2のTF T（200）、前記アナログ線（22）及び前記第1の画素（20）の電極（500）に接続され、第2の画素（32）の前記第1のTF T（100）は、イネープリング機能として、前記第1の画素（20）の前記xアドレッシング線（26）、前記yアドレッシング線（28）及び前記第2の画素（32）の前記第2のTF T（200）に接続され、前記第2の画素（32）の前記第2のTF T（200）は、前記第2の画素（32）の前記第1のTF T（100）、前記第2の画素（32）のxアドレッシング線（26）及び前記第2の画素（32）の前記第3のTF T（300）に接続され、前記第2の画素（32）の前記第3のTF T（300）は、前記第2の画素（32）の前記第2のTF T（200）、前記アナログ線（22）及び前記第2の画素（32）の電極（500）に接続され、第3の画素（34）の前記第1のTF T（100）は、イネープリング機能として、第4の画素（36）の前記xアドレッシング線（26）、前記yアドレッシング線（28）及び前記第3の画素（34）の前記第2のTF T（200）に接続され、前記第3の画素（34）の前記第2のTF T（200）は、前記第3の画素（34）の前記第1のTF T（100）、前記第3の画素（34）のxアドレッシング線（26）及び前記第3の画素（34）の前記第3のTF T（300）に接続され、前記第3の画素（34）の前記第3のTF T（300）は、前記第3の画素（34）の前記第2のTF T（200）、前記アナログ線（22）及び前記第3の画素（34）の電極（500）に接続され、前記第4の画素（36）の前記第1のTF T（100）は、イネープリング機能として、前記第2の画素（32）の前記xアドレッシング線（26）、前記yアドレッシング線（28）及び前記第4の画素（36）の前記第2のTF T（200）に接続され、前記第4の画素（36）の前記第2のTF T（200）は、前記第4の画素（36）の前記第1のTF T（100）、前記第4の画素（36）のxアドレッシング線（26）及び前記第4の画素（36）の前記第3のTF T（300）に接続され、前記第4の画素（36）の前記第3のTF T（300）は、前記第4の画素（36）の前記第2のTF T（200）、前記アナログ線（22）及び前記第4の画素（36）の電極（500）に接続されることを特徴とする請求項1から8のうちいずれか1項に記載のバックプレーンデバイス。

【請求項15】

イネーブル線（30）の論理レベルは、前記xアドレッシング線（26）の論理レベルに等しいことを特徴とする請求項13又は14に記載のバックプレーンデバイス。

【請求項16】

画素（20、32、34、36）の前記第1のTF T（100）及び同一の画素（20、32、34、36）の前記第2のTF T（200）は、デュアルゲートTF Tに結合されることを特徴とする請求項9、10、12から15のうちいずれか1項に記載のバックプレーンデバイス。

【請求項17】

xアドレッシング線（26）又はyアドレッシング線（28）は、画素（20、32、34、36）の前記第1のTF T（100）のゲート（G）、又は、前記画素（20、32、34、36）の前記第2のTF T（200）のゲート（G）と接続されることを特徴とする請求項9、10、12から16のうちいずれか1項に記載のバックプレーンデバイス。

【請求項18】

イネーブル線（30）又はイネーブル線（30）として動作する前記xアドレッシング線（26）は、画素（20、32、34、36）の前記第1のTF T（100）のソース（S）と接続され、又は、画素（20、32、34、36）の前記第1のTF T（100）のドレイン（D）は、同一の画素の前記第2のTF T（200）のソース（S）に接続されることを特徴とする請求項9、10、12から17のうちいずれか1項に記載のバックプレーンデバイス。

【請求項19】

前記アナログ線（２２）は画素（２０、３２、３４、３６）の第３のＴＦＴ（３００）のソース（Ｓ）に接続され、同一の画素（２０、３２、３４、３６）の前記電極（５００）は、前記同一の画素（２０、３２、３４、３６）の前記第３のＴＦＴ（３００）のドレイン（Ｄ）と接続され、又は、画素（２０、３２、３４、３６）の前記第２のＴＦＴ（２００）のドレイン（Ｄ）は、前記同一の画素（２０、３２、３４、３６）の前記第３のＴＦＴ（３００）のゲート（Ｇ）に接続されることを特徴とする請求項９、１０、１２から１８のうちいずれか１項に記載のバックプレーンデバイス。

【請求項２０】

前記画素アドレッシング手段（２４）は、前記ｘアドレッシング線（２６）に接続される少なくとも１つのｘアドレス復号器（３８、３８'）と、前記ｙアドレッシング線（２８）に接続される少なくとも１つのｙアドレス復号器（４４、４４'）とを備えることを特徴とする請求項１から１９のうちいずれか１項に記載のバックプレーンデバイス。

10

【請求項２１】

前記ｘアドレス復号器（３８、３８'）及び前記ｙアドレス復号器（４４、４４'）の少なくとも一方は、ダイナミックＮＯＲ復号器、ダイナミックＡＮＤ復号器、ＯＲ復号器、ＮＡＮＤ回路とＮＯＲ回路とを含むＣＭＯＳ復号器及びＡＮＤ復号器の少なくとも１つに基づくことを特徴とする請求項２０に記載のバックプレーンデバイス。

【請求項２２】

前記ｘアドレス復号器（３８、３８'）又は前記ｙアドレス復号器（４４、４４'）は、前記バックプレーンデバイス（１６）とは別に配列され、又は、前記ｘアドレス復号器（３８、３８'）又は前記ｙアドレス復号器（４４、４４'）は、前記バックプレーンデバイス（１６）の外側エッジにおいて配置され、又は、前記ｘアドレス復号器（３８、３８'）又は前記ｙアドレス復号器（４４、４４'）は、前記画素（１４；２０、３２、３４、３６）間の前記バックプレーンデバイス（１６）上に配置されることを特徴とする請求項２０又は２１に記載のバックプレーンデバイス。

20

【請求項２３】

各画素（１４）は、規則的なレイアウトで配列される画素制御構造（２０、３２、３４、３６）を含み、全ての画素制御構造（２０、３２、３４、３６）は、同様に配向され、又は、２つの隣接画素の前記画素制御構造（２０、３２、３４、３６）は、前記２つの隣接画素の間の軸に対して互いにミラーリングして配列され、又は、４つの隣接画素の前記画素制御構造（２０、３２、３４、３６）は、前記４つの隣接画素の間の軸に対して互いにミラーリングして配列されることを特徴とする請求項１から２２のうちいずれか１項に記載のバックプレーンデバイス。

30

【請求項２４】

前記空間光変調器（１２）は、回折に基づいて前記空間光変調器（１２）と相互作用する光を偏向するように構成されることを特徴とする請求項１から２３のうちいずれか１項に記載のバックプレーンデバイス。

【請求項２５】

空間光変調器のバックプレーンデバイス又は請求項１から２４のうちいずれか１項に記載のバックプレーンデバイス（１６）を操作する方法であり、前記空間光変調器（１２）が画素アドレスを有し、且つ、画素値（１５）を画素（１４）に割り当てるように前記バックプレーンデバイス（１６）により電子制御可能な前記画素（１４）を含み、前記バックプレーンデバイス（１６）が画素（１４）毎に少なくとも１つの電極（５００）と、少なくとも１つのアナログ線（２２）と、少なくとも１つの画素アドレッシング手段（２４）とを含み、前記画素アドレッシング手段（２４）がｘアドレッシング線（２６）及びｙアドレッシング線（２８）を含み、全ての画素（１４）がアナログ線（２２）、ｘアドレッシング線（２６）及びｙアドレッシング線（２８）に接続される方法であって、

40

画素値（１５）割当方式として、生成手段が、第１画素値が割り当てられるべき少なくとも１つの画素の第１の数および少なくとも１つの第１画素アドレスを取得し、第２画素値が割り当てられるべき少なくとも１つの画素の第２の数および少なくとも１つの第２画

50

素アドレスを取得し、且つ前記少なくとも1つのアドレス線(22)に適用される時間の関数としての電圧特性(10)を生成し、前記電圧特性(10)は、前記第1画素値に対応する電圧が前記第1の数に応じて継続する期間と、前記第2画素値に対応する電圧が前記第2の数に応じて継続する期間とを含むように生成されるステップと、

アドレス指定される前記画素の前記少なくとも1つの第1画素アドレスおよび前記少なくとも1つの第2画素アドレスの順序が画素アドレッシング方式として前記生成された電圧特性(10)に依存して決定されるステップと、

前記第1および第2画素値(15)を前記画素(14)に割り当てるために、前記決定された順序に対応する前記少なくとも1つのアナログ線(22)に前記生成された電圧特性(10)が適用されるステップと、

を備えることを特徴とする方法。

【請求項26】

画素値(15)を画素(14)に割り当てるために、前記画素(14)に対する前記xアドレッシング線(26)及び前記yアドレッシング線(28)を選択し、前記画素(14)に接続されているイネーブル線(30)を起動することで、前記アナログ線(22)から前記画素(14)の電極(500)への電荷の転送が起こり、前記画素(14)の前記電極(500)において転送された前記電荷を維持するために、前記xアドレッシング線(26)及び前記yアドレッシング線(28)を選択解除すること及び前記画素(14)に接続されている前記イネーブル線(30)を停止することの少なくとも一方を行うことを特徴とする請求項25に記載の方法。

【請求項27】

同一の画素値(15)を複数の画素(14)に割り当てるために、画素(14)毎に、前記画素(14)に接続されているイネーブル線(30)を起動して、前記xアドレッシング線(26)及び前記yアドレッシング線(28)が選択されることで、前記アナログ線(22)から各々が後続して起動した画素(14)の電極(500)への後続の電荷の転送が起こり、前記画素(14)の前記電極(500)において転送された前記電荷を維持するために、前記画素(14)に対する前記xアドレッシング線(26)、前記yアドレッシング線(28)及び前記イネーブル線(30)を停止することを特徴とする請求項25又は26に記載の方法。

【請求項28】

複数の選択された画素(14)に対して、前記xアドレッシング線(26)及び前記yアドレッシング線(28)を選択し、前記選択された全ての画素(14)の電極(500)を前記アナログ線(22)を介して提供されたのと同じ電圧に設定し、又は、前記選択された画素(14)の全ての電極(500)を短絡するように前記画素(14)に対してイネープリング機能を有するアドレッシング線又は前記画素(14)に接続されているイネーブル線(30)を起動し、前記xアドレッシング線(26)及び前記yアドレッシング線(28)が選択解除され、画素値(15)を画素(14)に割り当てるため、前記画素(14)に対する前記xアドレッシング線(26)及び前記yアドレッシング線(28)が選択されることで、前記アナログ線(22)から前記画素(14)の前記電極(500)への電荷の転送が起こり、前記画素(14)の前記電極(500)の前記電荷を維持するために、前記画素(14)に接続されている前記イネーブル線(30)を停止することを特徴とする請求項25記載の方法。

【請求項29】

シーン又はコンテンツの2次元表現又は3次元表現を生成し、請求項1から24のうちいずれか1項に記載のバックプレーンデバイス(16)を備えることを特徴とする表示装置の空間光変調器。

【請求項30】

シーンの2次元表現又は3次元表現を生成する立体表示装置又はホログラム表示装置を含む表示装置であって、請求項1から24のうちいずれか1項に記載のバックプレーンデバイス(16)又は請求項29に記載の前記空間光変調器(12)を備えることを特徴と

10

20

30

40

50

する表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、空間光変調器のバックプレーンデバイス及びバックプレーンデバイスを操作する方法に関する。

【背景技術】

【0002】

空間光変調器は、特に、情報を表示するために使用される高解像度ディスプレイの形態の表示装置において使用されるように設計される。本発明の適用分野は、画素を非常に迅速に制御する必要がある場合にその目的で使用される高解像度ディスプレイ、特に、TFT（薄膜トランジスタ）ディスプレイ及びLCOS（Liquid Crystal On Silicon）を含む。別の適用分野は、空間光変調器を含む光学素子である。かかる素子は、光束の方向又は形状、或いは、コヒーレント波面の形状に影響を及ぼす。

【0003】

図26は、4つの画素電極11-1、11-2、11-3及び11-4を含む従来技術におけるバックプレーンデバイスのアクティブマトリクス（AM）構造の一例を示す。ゲート線は、ディスプレイ全体の画素を書き込むように順に起動される。しかしながら、益々向上する解像度及びリフレッシュレートが、例えば、ホログラムディスプレイにおけるホログラムの表現に必要であるため、従来の表示装置において使用されるような全体的な行線及び列線を使用するこの種のアドレッシングは、それら解像度及びリフレッシュレートに関して不十分であることが分かる。

【0004】

例えば、図28に示すように、列線上で周波数を上げることは、データ線全体が各クロックサイクル中にデータ線の抵抗及び容量に対して再充電されなければならないことを意味する。これにより、高い出力駆動電流及び高い電力損が発生する。また、線の高いインピーダンスは、この線に接続された全てのTFTのゲート容量により更に増加する。

【0005】

列線の容量及び全ての画素TFTのゲートは、非常に短い間隔で電荷反転を受けなければならない。その結果、周波数が上がるため電力損失が増加する。コンダクタのインピーダンス及び容量による規定限度があり、それを超えると、1つのクロックサイクルでコンダクタにおいて完全な電荷反転を実現するのは不可能である。

【0006】

その結果、ほぼ全ての今日のLCD（液晶ディスプレイ）バックプレーンデバイスにおいて使用されるアクティブマトリクス構造は、例えば、1000Hz以上の範囲において高速フレームレートで高解像度ディスプレイ（例えば、16000画素×8000画素）を駆動できない。そのようなディスプレイは、例えば、参考として本明細書に取り入れられる国際公開第2006/066919号パンフレットにおいて開示されるように、特に、ホログラムディスプレイの適用例に対して必要である。そのような高フレームレートが必要な理由は、特に、仮想観察者ウィンドウ（VOW）が1人以上の観察者に対して時系列に生成されなければならないためである。

【0007】

また、線の高いインピーダンスは、全ての接続されたTFTゲート容量により更に増加する。両方の特徴を組み合わせることにより、最大データ線周波数を制限する。その結果、高フレームレートの高解像度ディスプレイに対して、従来のアクティブマトリクス設計を使用することは実現不可能であると考えられる。

【0008】

国際公開第2009/092717号パンフレットは、ディスプレイを小クラスタにタイルのように配列することでAMの問題のうちのいくつかを克服し、且つ、アナログシフトレジスタを使用してこれらのクラスタを外部から独立して駆動する方法を開示する。デ

ィスプレイをクラスタにタイルのように配列し、且つ、非常に少ないが高速の外側のドライバからクラスタ回路へのポイントツーポイント接続を使用することにより、非常に高い解像度及び非常に高速なディスプレイが可能になる。しかしながら、全てのこれらの種類のディスプレイは、表示位置によりソートされた線単位で画素値を画素に割り当てる。画素値が線毎に変化する場合、これは、高周波数で再充電されるシフトレジスタの高電圧のアナログデータ線又はその部分を必要とする。

【0009】

これは、通常、空間光変調器にわたり一様に分布した画素値を含むホログラムディスプレイに対して特に不都合である。従って、これらの従来技術の種類のディスプレイを用いる場合、一般にホログラムディスプレイは、一般的なLCディスプレイと同一の電力損を有する。最悪の場合、チェスボードテストパターンの画素値が画素に割り当てられる。

10

【0010】

LTPS（低温ポリシリコン）の不均一性がアナログシフトレジスタに対して必要なアナログ回路の実現例を複雑にするため、例えば、国際公開第2009/024523号パンフレット又は国際公開第2009/092717号パンフレットにおいて開示されたような画素クラスタ及びアナログシフトレジスタを使用して特別に開発されたバックプレーン構造は、今日のLTPS TFTを用いて実現することは困難である。

【先行技術文献】

【特許文献】

【0011】

20

【特許文献1】国際公開第2006/066919号パンフレット

【特許文献2】国際公開第2009/092717号パンフレット

【特許文献3】国際公開第2009/024523号パンフレット

【発明の概要】

【課題を解決するための手段】

【0012】

従って、本発明の目的は、非常に高速に又は高フレームレートで、例えば、300Hz以上、特に、300Hz～1800Hz又はそれ以上で動作する空間光変調器、特に、高解像度ディスプレイのバックプレーンデバイスを提供することである。

【0013】

30

上述の問題は、空間光変調器のバックプレーンデバイスによる請求項1の特徴により規定された本発明により解決される。そのような空間光変調器は、特に、シーン又はコンテンツの2次元表現及び／又は3次元表現を生成する表示装置において適用される。空間光変調器は、画素アドレスを有し、且つ、画素値を画素に割り当てるようにバックプレーンデバイスにより電子制御可能な画素を含む。バックプレーンデバイスは、画素毎に少なくとも1つの電極と、少なくとも1つのアナログ線と、少なくとも1つの画素アドレッシング手段とを含む。そのような画素アドレッシング手段は、xアドレッシング線及びyアドレッシング線を含む。全ての画素は、アナログ線、xアドレッシング線及びyアドレッシング線に接続される。画素値割当方式として、生成手段が少なくとも1つのアドレス線に適用される電圧特性を生成するように構成され、電圧特性は画素に割り当てられる画素値に依存する。バックプレーンデバイスは、画素アドレスが画素アドレッシング方式として生成された電圧特性に依存して決定されるように構成される。バックプレーンデバイスは、生成された電圧特性が画素値を画素に割り当てるために少なくとも1つのアナログ線に適用されるように更に構成される。

40

【0014】

バックプレーンデバイスの単一の画素が、その後、行単位で、且つ、アドレス指定された行内で同時に又は画素単位でアドレス指定されるアクティブマトリクスバックプレーンなどの従来技術のバックプレーンデバイスの画素アドレッシング方式に従うのではなく、本発明は全く異なる画素アドレッシング方式を使用する。データ線又はアナログ線の容量及びデータ線に接続された全ての画素のトランジスタゲート容量は、全てクロックサイク

50

ル毎にデータ線抵抗を介して再充電されなければならない。これにより、高い出力駆動電流及び高い電力損が発生する。また、データ線の高いインピーダンスは、接続された全てのTFTのゲート容量により更に増加する。双方の特徴を組み合わせることにより、最大データ線周波数を制限する。その結果、360Hz以上のフレームレートで駆動された24インチを超える高解像度ディスプレイに対して、従来のアクティブマトリクス設計を使用することは実現不可能であると考えられる。

【0015】

本発明に係る画素アドレッシング方式は、画素に割り当てられる画素値に依存している。従って、本発明の画素アドレッシング方式は、画素に割り当てられる画素値に依存して、例えば、1つの画素において最小電圧の画素値及び次の画素において最大電圧が2つのクロックサイクル内で割り当てられなければならない従来技術のシステムにおいて使用されている一般的なアナログ線上で非常に高い周波数を有することを防止する。本発明は、より低い周波数を含むアナログ線に適用されている電圧特性又は電圧機能を得ることを試みている。これは、例えば、電圧特性であるランプアップ関数をアナログ線に適用することで実現される。次に、単一の画素は、アナログ線に適用されている電圧特性、特に、アナログ線に適用されている実際の電圧値に依存してアドレス指定される。換言すれば、特定の画素は、この特定の画素に割り当てられる画素値に対応する電圧特性の電圧値がアナログ線上に適用される時にアドレス指定されている。従って、アナログ線に適用されている高周波数電圧特性は、（少なくとも画素クロック範囲に対して）阻止され、やや平滑な又はより低い周波数電圧特性がアナログ線に適用される。そのようにするために、アナログ線に適用されている電圧特性に依存して画素をアドレス指定する必要がある。この結果、高周波数信号がxアドレッシング線及びyアドレッシング線に適用される可能性が最も高い。しかしながら、これは、より高い電圧が印加されるアナログ線回路ではなく、同一の（低）電圧のデジタル信号が適用されるデジタルアドレッシング回路に関する。

【0016】

従来技術のアドレッシング方式に従って、最新のディスプレイの低速デジタル信号はトランジスタゲートの小容量を充電し、高周波数アナログ信号は大容量の画素電極を駆動する。本発明は、本発明の画素回路のアドレッシング方式を用いて、高周波数信号を画素回路の小ゲート容量に適用し、且つ、相対的に低速なアナログ信号を大容量の画素電極に適用することでこれを交換する。換言すれば、従来技術のアドレッシング方式に従ってアドレス線上に転送される大電荷又はより大きい電荷ではなく、小電荷は、本発明のアドレッシング方式を用いてアドレッシング線上に高周波数で転送される。

【0017】

高解像度ディスプレイの場合、高い画素開口率を有するためにより小さなトランジスタ及び線構造サイズを有することが有用である。これにより、考えられる駆動電流が減少する。これに反して、最新のディスプレイは、線の数が増加するにもかかわらず、フレームレートを維持するためにより高速な伝送時間を実現するより大きな電流を必要とする。トランジスタ構造サイズを減少することにより、トランジスタゲート容量及び閾値電圧も減少する。より小さなゲート容量により、より高いトランジスタスイッチング周波数、より低い電圧レベル及びより小さい電流が可能になるため、本発明はより小さな構造サイズから利益を得る。より低い電圧及びより小さい電流により、最新の實現例と比較して電力損が減少する。

【0018】

好適な実施形態において、バックプレーンデバイス又は空間光変調器は、バックプレーンデバイスの画素電極に対する対向電極を含む。アナログ線は、接地に接続される。本発明に係る画素アドレッシング方式が適用されると同時に、アナログ線ではなく、対向電極は生成された電圧特性と共に適用される。通常、接地接続又は接地線は、一般に、例えば、画素電極に接続されたアドレス復号器回路又は記憶コンデンサに対して、いずれにしてもバックプレーンデバイス上で必要とされる。液晶層は、2つのガラス基板により取り囲まれる。一方のガラス基板は、TFTを有し、且つ、TFT上に書き込むバックプレーン

デバイスを備える。他方のガラス基板は、殆どの例において、ガラス基板上の平坦な導電性の透明なITO（インジウムスズ酸化物）層である共通電極（対向電極とも呼ぶ）を含む。画素電極は、一方のコンタクト又は画素コンデンサの一部である。共通電極は、他方のコンタクト又は全ての画素コンデンサの一部を形成する。本実施形態に従って生成された電圧特性が共通電極上に適用される場合、これは、バックプレーンデバイスの全ての画素の画素電極に影響を及ぼす。以下に説明するように、バックプレーンデバイスがクラスタを含む場合、これは同様に全てのクラスタに影響を及ぼす。クラスタが画素値の種々の分布を有する場合、遅延サイクルは、アドレッシング方式に追加されなければならない。しかしながら、ホログラムディスプレイが規則的にほぼ一様に分布した画素値を含むため、非常に少ない遅延サイクルを追加する必要がある。

10

【0019】

電力損を更に減少するために、非常に効率的な電荷再利用が可能である。高周波数デジタル信号は、非常に小さなゲート容量のみを駆動する。古い画素電圧と新しい画素電圧との差が評価される場合、アドレス指定された画素を巧妙にソートすることは、外部駆動なしで1つの画素から別の画素に電荷を転送するため、或いは、アナログ線の値を上昇又は低下させるために使用される。転送が独立した時間毎に起動及び停止される場合、電荷再利用は更により効率的である。例えば、これは、付録の2. 1節に示される。

【0020】

イネーブル動作及びディスエーブル動作を用いた駆動方式により、フレーム時間の大部分に対して、アナログ線を介して画素容量を充電するように時間を設定できる。これにより、相対的に長い伝送時間を使用して高画素容量を充電するために小電流を使用できる。アナログ線上の低周波数のため、アナログ信号は、伝送トランジスタが切り替えられ、且つ、画素値を画素に格納する瞬間に既に着実に選択された画素の伝送トランジスタのソース上に適用される。これにより、画素電極上で電圧を更により正確に制御できるため、より高いグレースケール解像度（ビット深度）、特に、高画素周波数が得られる。

20

【0021】

一般に、提案された本発明は、主に、より小さな構造サイズから利益を得る一方で、最新の解決方法は性能を犠牲にする。

【0022】

本発明に従って値をソートする手法は、クロックサイクル毎に1つ又は非常に少ない画素にのみアクセスできる。従って、マトリクスに対する画素数は、必要なフレーム時間及び1つの画素に対して実現可能なアクセス時間により制限される。1つ又は非常に少ない画素のみが同時にアドレス指定されるため、1つのクラスタに対する画素数は制限される。しかしながら、統合されたアドレス復号器を用いる場合、外部からクラスタへの接続の数は非常に少なく、それにより、多くの数の高速であるが低解像度のクラスタを高速で高解像度のディスプレイにすることができる。

30

【0023】

他の従来技術の表示装置は、例えば、デジタルアナログ変換器として画素を使用するためにアナログランプ線、並びに、xアドレス線及びyアドレス線を含む図7において説明された3TFT画素回路に類似した画素回路を使用する。しかしながら、本発明と異なり、画素は、フレーム毎ではなく、線毎に1つの固定パターンのランプアップサイクル／ランプダウンサイクルで線毎にアドレス指定される。

40

【0024】

電荷が単一の画素に転送される画素のアドレスが現在アナログ線に適用されている電圧値によりソートされるように、画素の値は、この画素がアドレス指定される場合に少なくとも1つのアナログ線上に適用されている実際の電圧値を示すかそれに対応する。

「電圧特性」という用語の本明細書における意味は、ある特定の期間の一定値を含むが、ある特定の期間の更に可変である電圧機能として理解される。

【0025】

50

本発明に対して「画素値を画素に割り当てる」という用語は、特に、電圧が画素の電極に印加される結果、殆どの場合、電荷が画素の電極に転送すること又は画素の電極から転送することであると理解される。そのような画素値により、空間光変調器は、本発明に従ってバックプレーンにより操作される空間光変調器の種類に依存して輝度値又は色値などを示す。

【0026】

電圧特性は、電圧ランプアップ関数又は電圧ランプダウン関数である。双方の組合せが適用されることが好ましい。すなわち、電圧ランプダウン関数に後続して電圧ランプアップ関数が適用されることが好ましい。或いは、更に、のこぎり歯関数が適用される。そのようなのこぎり歯関数は、急峻な立上り端及び急峻な立下り端が後続する緩やかに減少する特性又は緩やかに増加する特性、或いは、緩やかに減少する特性が後続する緩やかに増加する特性を含む。電圧特性は、所定の期間、オーバドライブ値を含むことが好ましい。或いは、更に、電圧特性は、所定の期間、アンダドライブ値を含むことが好ましい。そのようなオーバドライブ値又はアンダドライブ値は、特に該当する場合は常に上述の他の電圧特性と組み合わせて適用される。

10

【0027】

通常、電圧特性は、時間において可変であり、主に、数学的な単調関数又は級数の特性を有する。これは、電圧特性が単一の急峻な立上り端又は立下り端を含まないことを意味しない。しかしながら、単一の急峻な立上り端又は立下り端が発生した後、後続の電圧特性は、通常、主に、数学的な単調関数又は級数の特性を有する。特に、電圧特性は、単調増加又は単調減少している。

20

【0028】

本発明の特に好適な実施形態において、少なくとも1つのアナログ線に適用されている生成された電圧特性は、画素のアドレッシングの順序を決定する。例えば、少なくとも1つのアナログ線に適用されている生成された電圧特性が低電圧値から開始し、且つ、高電圧値に増加するランプアップ関数を含む場合、低電圧値が適用される必要のある画素（この画素に割り当てられる画素値が低電圧値に対応するため）は、最初にアドレス指定される。ランプアップ関数の電圧値が別の電圧値に増加し、この他の電圧値が1つ以上の画素に割り当てられる次に増加した画素値を示す場合、この次の電圧値が1つの画素又はこれらのより多くの画素に割り当てられるように、この1つの画素又はこれらのより多くの画素はアドレス指定される。同一の電圧値が複数の画素に適用される場合には画素をアドレス指定する特定の順序はないが、本発明の実施形態に従って、種々の電圧値、即ち、画素に割り当てられる画素値に対する画素のアドレッシングの順序がある。

30

【0029】

本発明の好適な実施形態において、決定されている画素アドレスは、x方向及びy方向に対して生成される。画素値を画素に割り当てることは、x方向及びy方向に対して、ランダムアクセス方式で実行される。これは、電圧特性が画素に割り当てられる画素値に依存して決定されないために、生成されたsin関数などの周期関数、或いは、直線の線形増加／減少特性を含むランプアップ関数及び／又はランプダウン関数である場合に特に当てはまる。従って、定義上、その後、バックプレーンの各行がアドレス指定されるという従来技術のような画素をアドレス指定する特定の順序は存在しない。これが特定の状況において本発明のアドレッシング方式に従う場合であっても、例えば、画素の隣接する行が僅かに増加する画素値に割り当てられるべきであり、且つ、行内において画素値が一定である場合、一般にこれは当てはまらない。従来技術のアドレッシング方式と異なり、アドレッシング方式、即ち、本発明の本実施形態に従って画素値を画素に割り当てることは、ランダムアクセス方式で実行される。従って、画素をランダムアクセス方式でアドレス指定するため、適用される固定の行サイクル又はフレームサイクルは存在しない。

40

【0030】

同一の画素値が割り当てられる全ての画素は、バックプレーンデバイスの1つの動作モードで互いに時間的に近接してアドレス指定されることが好ましい。上述したように、こ

50

れは、電圧特性がランプアップ関数及び／又はランプダウン関数を含む場合に特に適用される。バックプレーンデバイスの別の好適な動作モードにおいて、同一の画素値が割り当てられる全ての画素は、実質的に同時にアドレス指定される。多くの画素又は全ての画素を同一の画素値に割り当てなければならない場合、或いは、多くの画素又は全ての画素の画素値を所定の画素値に再設定しなければならない場合、バックプレーンデバイスのそのような動作モードが適用される。バックプレーンデバイスの更に別の動作モードにおいて、同一の画素値が割り当てられる全ての画素は、ある期間アドレス指定される。画素値が一度に1つの画素だけに割り当てられる場合、バックプレーンデバイスのこの動作モードが特に適用される。その後、5つの画素を同一の画素値に割り当てる必要がある場合、画素値が一度に1つの画素だけに割り当てられるため、この動作には、ある期間である5画素書込みサイクルが必要となる。

10

【0031】

バックプレーンの特定の動作モードにおいて、画素値が一度に1つの画素だけに割り当てられる。この動作モードにおいて、全ての画素は、順次、次々に割り当てられる。

【0032】

本発明の好適な実施形態において、空間光変調器及び／又はバックプレーンデバイスは、画素の少なくとも2つのクラスタのクラスタ配列を含む。各クラスタは、アナログ線及びクラスタの画素をアドレス指定する画素アドレッシング手段を含む。各クラスタのアナログ線は、例えば、バックプレーンデバイスのドライバ手段の外部電圧源とクラスタ自体との間に接続される。クラスタは、互いに個別に制御されることが好ましい。従って、特定のクラスタに対する画素値は、この特定のクラスタのアドレッシング手段及びアナログ線により、この特定のクラスタの画素に割り当てられ、別のクラスタに対する画素値は、同時に又は時間をずらして個別にこの他のクラスタのアドレッシング手段及びアナログ線により、この他のクラスタの画素に割り当てられる。種々の適用例に対して適切なクラスタの例は、正方形形状であり、 64×64 画素、 128×128 画素、 256×256 画素又は 1024×1024 画素を含む。「クラスタ」という用語の本発明における意味は、特に、複数の画素が配列されることにより、空間光変調器の接続領域又は隣接領域を形成することを意味する。そのような領域は、矩形形状、正方形形状又はハニカム形状を有する。クラスタは、空間光変調器の全幅又は全長に及ばないことが好ましい。x方向又はy方向のクラスタの画素数は 2^n である必要はなく、nは自然数である。

20

30

【0033】

一般に、能動的に制御可能なスイッチング素子を含む全ての種類の基板は、本発明に係るバックプレーンデバイスを実現するために使用される。一例は、単結晶シリコンから構成された基板を含むLCOS (Liquid Crystal On Silicon) ディスプレイである。他の可能性は、LTFS、a-Si、アモルファス酸化物TFT又は有機TFTなどから構成されたTFTを含む基板である。

【0034】

TFT及びトランジスタという用語は、明細書及び特許請求の範囲において同義であり、全てのトランジスタがTFTから構成され、全てのTFTが単結晶シリコン又は他の半導体材料などから構成された他の種類のトランジスタ、或いは、他の能動的なスイッチング素子により置換されることを意味する。

40

【0035】

以下において、バックプレーンデバイスの画素の制御回路を実行する種々の可能性を説明する。なお、通常、空間光変調器又はバックプレーンデバイスの全ての画素は同一の制御回路を含むが、空間光変調器又はバックプレーンデバイスにおいて適用されている画素に対して異なる制御回路を有することができてよい。

【0036】

第1の実施形態において、画素に対する制御回路は、2つのTFTを含む。第1のTFTは、アナログ線、xアドレッシング線及び第2のTFTに接続される。第2のTFTは、第1のTFT、yアドレッシング線及び画素の電極に接続される。なお、第1のTFT

50

がxアドレッシング線に接続され、第2のTFTがyアドレッシング線に接続されるが、逆であってもよい。換言すれば、第1のTFTはyアドレッシング線に接続され、第2のTFTはxアドレッシング線に接続される。これは、以下において説明する画素にも当てはまる。xアドレッシング線及びyアドレッシング線に接続されたゲートを含む2つのトランジスタを、デュアルゲートトランジスタに結合することが有利である。第1の実施形態において、デュアルゲートTFTは、選択TFT（この場合、第1のTFT）及び伝送TFT（この場合、第2のTFT）の機能を結合する。

【0037】

更なる実施形態において、xアドレッシング線及びyアドレッシング線に接続されたTFTは、伝送TFTのゲート上の電圧を制御することで伝送TFTをon又はoffするかを選択する選択TFTとして機能している。伝送TFTのソースはアナログ線に接続され、伝送TFTのドレインは画素電極に接続される。このトランジスタをonする場合、電荷はアナログ線から画素電極に転送される。伝送トランジスタをoffする場合、現在印加されている電荷が画素電極上に格納されることで画素値を規定する。

【0038】

第2の実施形態において、画素に対する制御回路は、2つのTFTを含む。第1のTFTは、選択TFTとして機能しており、xアドレッシング線、yアドレッシング線及び第2のTFTに接続される。第2のTFTは、伝送TFTとして機能しており、第1のTFT、アナログ線及び画素の電極に接続される。そのような画素回路は、DRAM（ダイナミックランダムアクセスメモリ）記憶セルの回路に相当する。伝送TFTのゲート容量において格納又は印加された電荷は、伝送TFTをon又はoffするかを決定する。本発明の画素割当方式及び画素アドレッシング方式は、特に、マルチレベルの目的のためにDRAM技術又はFLASH技術に適用される。この場合、画素は記憶セルに対応し、画素電極は記憶セルのコンデンサの電極に対応する。画素値を画素に割り当てることは、情報（ビット又はマルチレベルビット）を記憶セルに格納することに対応する。

【0039】

バックプレーンデバイスは少なくとも1つのイネーブル線を含み、全ての画素はイネーブル線に接続されることが好ましい。これは、以下において説明する画素回路の第3の実施形態から第5の実施形態に当てはまる。

【0040】

第3の実施形態において、画素に対する制御回路は、3つのTFTを含む。第1のTFTは、イネーブル線、xアドレッシング線及び第2のTFTに接続される。第2のTFTは、第1のTFT、yアドレッシング線及び第3のTFTに接続される。第3のTFTは、第2のTFT、アナログ線及び画素の電極に接続される。この回路が種々の方法で操作されるため、この画素回路は、ホログラム表示装置において適用される空間光変調器に対して好まれる。

【0041】

第4の実施形態において、画素に対する制御回路は、3つのTFTを含む。ここで、2つの画素は、互いに隣接して配置され、同一のyアドレッシング線によりアドレス指定される。第1の画素の第1のTFTは、イネーブリング機能として、第2の画素のxアドレッシング線、yアドレッシング線及び第1の画素の第2のTFTに接続される。第1の画素の第2のTFTは、第1の画素の第1のTFT、第1の画素のxアドレッシング線及び第1の画素の第3のTFTに接続される。第1の画素の第3のTFTは、第1の画素の第2のTFT、アナログ線及び第1の画素の電極に接続される。第2の画素の第1のTFTは、イネーブリング機能として、第1の画素のxアドレッシング線、yアドレッシング線及び第2の画素の第2のTFTに接続される。第2の画素の第2のTFTは、第2の画素の第1のTFT、第2の画素のxアドレッシング線及び第2の画素の第3のTFTに接続される。第2の画素の第3のTFTは、第2の画素の第2のTFT、アナログ線及び第2の画素の電極に接続される。本実施形態は、画素のイネーブルメント機能性に対してバックプレーンデバイス上に独立したイネーブル線を有する必要はない。これは、2つの隣接

画素の一方の画素のxアドレッシング線を他方の画素に対するイネーブル線として使用することで実現される。これは、イネーブル線の論理レベルがxアドレッシング線の論理レベルに対応する場合に実行される。

【0042】

第5の実施形態において、画素に対する制御回路は、3つのTF Tを含む。4つの画素は、互いに隣接して配置され、同一のyアドレッシング線によりアドレス指定される。第1の画素の第1のTF Tは、イネープリング機能として、第3の画素のxアドレッシング線、yアドレッシング線及び第1の画素の第2のTF Tに接続される。第1の画素の第2のTF Tは、第1の画素の第1のTF T、第1の画素のxアドレッシング線及び第1の画素の第3のTF Tに接続される。第1の画素の第3のTF Tは、第1の画素の第2のTF T、アナログ線及び第1の画素の電極に接続される。第2の画素の第1のTF Tは、イネープリング機能として、第1の画素のxアドレッシング線、yアドレッシング線及び第2の画素の第2のTF Tに接続される。第2の画素の第2のTF Tは、第2の画素の第1のTF T、第2の画素のxアドレッシング線及び第2の画素の第3のTF Tに接続される。第2の画素の第3のTF Tは、第2の画素の第2のTF T、アナログ線及び第2の画素の電極に接続される。第3の画素の第1のTF Tは、イネープリング機能として、第4の画素のxアドレッシング線、yアドレッシング線及び第3の画素の第2のTF Tに接続される。第3の画素の第2のTF Tは、第3の画素の第1のTF T、第3の画素のxアドレッシング線及び第3の画素の第3のTF Tに接続される。第3の画素の第3のTF Tは、第3の画素の第2のTF T、アナログ線及び第3の画素の電極に接続される。第4の画素の第1のTF Tは、イネープリング機能として、第2の画素のxアドレッシング線、yアドレッシング線及び第4の画素の第2のTF Tに接続される。第4の画素の第2のTF Tは、第4の画素の第1のTF T、第4の画素のxアドレッシング線及び第4の画素の第3のTF Tに接続される。第4の画素の第3のTF Tは、第4の画素の第2のTF T、アナログ線及び第4の画素の電極に接続される。第4の実施形態と同様に、本実施形態は、画素のイネーブルメント機能性に対してバックプレーンデバイス上に独立したイネーブル線を有する必要はない。これは、1つの画素に対して4つの隣接画素の他の画素のうちの1つのxアドレッシング線がこの画素に対するイネーブル線として使用される場合に実現される。これは、イネーブル線の論理レベルがxアドレッシング線の論理レベルに対応する場合に実行される。

【0043】

上述のTF T要素又はトランジスタ要素が挙げられるが、伝送トランジスタ及び選択トランジスタの機能を能動的に実現する他の回路及び／又は他のスイッチング要素が代わりにバックプレーンデバイスに対して使用又は適用されてよい。

【0044】

画素の第1のTF T及び同一の画素の第2のTF Tがデュアルゲートに結合される結果、画素回路の更なる簡潔性が得られ、空間を節約することが有利である。これは、上述の5つの実施形態に対して実行される。

【0045】

原則的に、TF Tのゲート、ソース及びドレインの接続のために多くの可能性が存在するが、以下において、上述の5つの実施形態のTF Tを接続する最も好適な方法を説明する。これらの接続の方法は、互いに更に組み合わせられる。

【0046】

xアドレッシング線又はyアドレッシング線は、画素の第1のTF Tのゲートと接続されるか、或いは、画素の第2のTF Tのゲート又は上述のデュアルゲートTF Tのゲートに接続される。

【0047】

イネーブル線又はイネーブル線として動作するxアドレッシング線は、画素の第1のTF Tのソースと接続される。画素の第1のTF Tのドレインは、同一の画素の第2のTF Tのソースに接続される。

【0048】

アナログ線は、画素の第3のTFTのソースに接続され、同一の画素の電極は、同一の画素の第3のTFTのドレインと接続される。画素の第2のTFTのドレインは、同一の画素の第3のTFTのゲートに接続される。

【0049】

画素アドレッシング手段は、少なくとも1つのxアドレス復号器及び少なくとも1つのyアドレス復号器を備えることが好ましい。xアドレス復号器はxアドレッシング線に接続され、yアドレス復号器はyアドレッシング線に接続される。

【0050】

アドレス復号器は、単一又は全てのアドレッシング線のイネーブルメントを実行する論理回路を含む。xアドレス復号器及び／又はyアドレス復号器は、ダイナミックNOR復号器、及び／又は、ダイナミックNAND復号器、及び／又は、OR復号器、及び／又は、NAND回路及びNOR回路を含むCMOS復号器、及び／又は、AND復号器に基づく。

【0051】

空間光変調器の種類及びそれを用いて実現されることを意図する適用例に依存して、xアドレス復号器及び／又はyアドレス復号器は、バックプレーンデバイス上又はバックプレーンデバイスに対する種々の位置において配列される。xアドレス復号器及び／又はyアドレス復号器は、バックプレーンデバイスとは別に配列される。また、xアドレス復号器及び／又はyアドレス復号器は、バックプレーンデバイスの外側エッジにおいて配置される。更に別の方法は、画素間のバックプレーンデバイス上にxアドレス復号器及び／又はyアドレス復号器を配置することである。

【0052】

例えば、バックプレーンデバイス又は1つのクラスタの全ての画素がイネーブル線を含む3つの画素回路等の同一の種類画素回路を含む場合、画素の画素回路を互いに配向する種々の方法がある。全ての画素制御構造が同様に配向されることを意味する規則的なレイアウトで画素制御構造が配列される画素制御構造を各画素が含むのが好ましい。或いは、2つの隣接画素の画素制御構造は、互いにミラーリングされて配列される。ミラーリングされた配列に対する対称の軸は、2つの画素の中間にある。2つの画素がx方向に互いに隣接する場合、対称の軸はy方向に配向される。更に別の方法は、共通の中心に隣接して配置される4つの隣接画素の画素制御構造が互いにミラーリングされて配列される方法である。対称の第1の軸は、2つの画素間及び共通の中心上に位置付けられ、対称の第2の軸は、2つの画素間及び共通の中心上、及び、対称の第1の軸に対して垂直に位置付けられる。そのようにミラーリングされたレイアウトにより、アナログ線、イネーブル線、或いは、電力又は画素の記憶容量に対して必要な線等の全ての画素に共通の線を提供する労力が減少する。

【0053】

好適な実施形態において、空間光変調器は、回折に基づいて空間光変調器と相互作用する光を偏向するように構成される。ここで、空間光変調器は、国際公開第2010/149587号パンフレットの請求項のうちの1つに従って実現されることが好ましい。そのような空間光変調器は、回折格子構造に対応する屈折率分布が符号化される制御可能な液晶分子層を含む。そのような回折格子／パターンと相互作用する光は、空間光変調器により回折される。空間光変調器は、空間光変調器に符号化される回折格子が可変ピッチを有する回折格子を含むように操作されることが好ましい。従って、空間光変調器と相互作用する光の偏向角は変動する。そのような空間光変調器は、1つの方向に線形に延長され、互いに隣接して配置される電極を含む。従って、そのような空間光変調器の画素は、空間光変調器の延長された線形領域である。そのような空間光変調器の更なる詳細については、参考として本明細書に完全に取り入れられる国際公開第2010/149587号パンフレットを参照する。

【0054】

上述の問題は、空間光変調器のバックプレーンデバイスを操作する方法による請求項 25 の特徴により規定された本発明により解決される。空間光変調器は、画素アドレスを有し、且つ、画素値を画素に割り当てるようにバックプレーンデバイスにより電子制御される画素を含む。バックプレーンデバイスは、画素毎に少なくとも 1 つの電極と、少なくとも 1 つのアナログ線と、少なくとも 1 つの画素アドレッシング手段とを含む。そのような画素アドレッシング手段は、x アドレッシング線及び y アドレッシング線を含む。全ての画素は、アナログ線、x アドレッシング線及び y アドレッシング線に接続される。本発明に係る方法は、

画素値割当方式として、生成手段が少なくとも 1 つのアドレス線に適用される電圧特性を生成し、電圧特性は画素に割り当てられる画素値に依存するステップと、

10

画素アドレスが画素アドレッシング方式として生成された電圧特性に依存して決定されるステップと、

生成された電圧特性が画素値を画素に割り当てるために少なくとも 1 つのアナログ線に適用されるステップと、を備える。

【0055】

本発明に係る方法は、特に、請求項 1 から 24 のうちいずれか 1 項に記載のバックプレーンデバイスを操作するように設計される。請求項 1 から 24 のうちいずれか 1 項に記載のバックプレーンデバイスの知識に基づいて、当業者は、請求項 1 から 24 のうちいずれか 1 項に記載のバックプレーンデバイスを操作する方法及びその変形例を提案される。従って、繰り返しを避けるために、上述の説明を参照する。

20

【0056】

以下において、画素値を 1 つ以上の画素に割り当てる特定の動作モードを説明する。これらの動作モードは、いくつかの適用例に対して好ましいが、バックプレーンデバイスを操作し、且つ、画素値を画素に割り当てるのが可能な又はそれに適したより多くの動作モードがある。以下において説明する動作モードは、画素値を画素に割り当てることに焦点を当てる。しかしながら、この説明は、特定のアドレッシング方式を実現するようにアドレッシング手段を構成する場合に当業者により提案されるアドレッシング手段及びアドレッシング復号器の動作の詳細などを説明しない。

【0057】

画素値を画素に割り当てるために、好適な動作モードにおいて、この画素に対する x アドレッシング線及び y アドレッシング線を選択又は起動し、この画素に接続されているイネーブル線を起動する。この結果、アナログ線から画素の電極への電荷転送が起こる。x アドレッシング線及び y アドレッシング線を選択解除又は停止し、及び／又は、この画素に接続されているイネーブル線を停止する。これにより、この画素の電極において転送されている電荷を維持する。

30

【0058】

同一の画素値を複数の画素に割り当てるために、更に好適な動作モードにおいて、これらの画素毎に、そのような画素に接続されているイネーブル線を起動し、その後、x アドレッシング線及び y アドレッシング線を選択する。この結果、アナログ線から各々が後続して起動した画素の電極への後続の電荷転送が起こる。これらの画素に対する x アドレッシング線、y アドレッシング線及びイネーブル線を停止する。これにより、これらの画素の電極において転送されている電荷を維持する。

40

【0059】

更なる別の好適な動作モードにおいて、複数の選択された画素に対する画素値は、以下の方法で割り当てられる。x アドレッシング線及び y アドレッシング線が選択される。また、これらの画素に対してイネープリング機能を有するアドレッシング線を起動する。イネープリングがイネーブル線を介して実行される場合、これらの画素に接続されているイネーブル線を起動する。これが実行されると、全てのこれらの選択された画素の電極は、アナログ線を介して提供されたのと同じ電圧に設定される。これは、選択された画素の全ての電極を短絡することに対応する。その後、x アドレッシング線及び y アドレッシン

50

グ線が選択解除される。画素値を選択された画素の特定の画素に割り当てるため、この画素に対するxアドレッシング線及びyアドレッシング線が選択される。この結果、アナログ線から画素の電極への電荷転送が起こる。xアドレッシング線及びyアドレッシング線が選択解除される。これらの画素の電極の電荷を維持するために、これらの画素に接続されているイネーブル線を停止する。

【0060】

特定の好適な実施形態において、請求項29に記載の空間光変調器は、請求項1から24のうちいずれか1項に記載のバックプレーンデバイスを備える。同様に、特定の好適な実施形態において、請求項30に記載の表示装置は、請求項1から24のうちいずれか1項に記載のバックプレーンデバイス又は請求項29に記載の空間光変調器を備える。これらの実施形態は、シーン又はコンテンツの2次元表現及び／又は3次元表現を生成する表示装置に対して特に有利である。

【図面の簡単な説明】

【0061】

有利な方法で本発明の教示を構成及び開発する種々の可能性がある。この点において、最初に特許請求の範囲の請求項1に従属する請求項、次に図面を参照して本発明の好適な例示的な実施形態の以下の説明を参照すべきである。一般に、教示の好適な構成及び開発は、図面を参照して本発明の好適な例示的な実施形態の説明と共に更に説明される。

【図1】図1は、ホログラムディスプレイの適用例において現れる一様に分布した画素値を使用して従来技術に係るバックプレーンデバイスのアナログ線の電圧特性の一例を示す概略図である。

【図2a】図2aは、本発明に係るバックプレーンデバイスのアナログ線の電圧特性の一例を示す概略図である。

【図2b】図2bは、本発明に係る画素アドレッシング信号の一例を示す概略図である。

【図3a】図3aは、4つの異なるグレー値、即ち、画素値が割り当てられている16個の画素を含む空間光変調器の一例を示す図である。

【図3b】図3bは、図3aに示された空間光変調器の16個の画素に4つの異なるグレー値を割り当てるようにアナログ線上に適用される画像特性の一例を示す図である。

【図4】図4は、4つのクラスタのみが示される複数のクラスタを含む本発明に係るバックプレーンデバイスの一例を示す図である。

【図5】図5は、画素の2つのTF Tを含む画素回路の一例を示す図である。

【図6】図6は、画素の2つのTF Tを含む画素回路の一例を示す図である。

【図7】図7は、画素の3つのTF Tを含む画素回路の一例を示す図である。

【図8】図8は、画素の4つのTF Tを含む画素回路の一例を示す図である。

【図9】図9は、空間光変調器のバックプレーンデバイスの各々が3つのTF Tを含む画素回路を含む2つの隣接画素の一例を示す図である。

【図10】図10は、空間光変調器のバックプレーンデバイスの各々が3つのTF Tを含む画素回路を含む4つの隣接画素の一例を示す図である。

【図11】図11は、2つのTF T画素回路（表現の下部において示された）に対するダイナミックNOR回路（表現の上部）を含むxアドレス復号器の一例を示す図である。

【図12】図12は、2つのTF T画素回路に対してダイナミックNOR回路を含む画素回路の中間に組み込まれるxアドレス復号器の一例を示す図である。

【図13a】図13aは、16個のxアドレッシング線をアドレス指定するダイナミックNOR回路を含むxアドレス復号器の一例の詳細を示す図である。

【図13b】図13bは、64個のxアドレッシング線をアドレス指定する3つのTF T画素回路に対するダイナミックNOR回路を含むxアドレス復号器を示す図である。

【図14】図14は、ダイナミックAND素子を含むxアドレス復号器の一例を示す図である。

【図15】図15は、NAND素子及びNOR素子を含むxアドレスCMOS復号器の一例を示す図である。

【図 16】図 16 は、OR 素子を含む x アドレス復号器の一例を示す図である。

【図 17】図 17 は、アドレス復号器を画素回路間に配置しない、本発明に係るバックプレーンデバイスの画素回路の規則的な配列の一例を示す図である。

【図 18】図 18 は、本発明に係るバックプレーンデバイスの 1 つの方向にミラーリングされている画素回路の配列の一例を示す図である。

【図 19】図 19 は、本発明に係るバックプレーンデバイスの 2 つの方向にミラーリングされている画素回路の配列の一例を示す図である。

【図 20】図 20 は、バックプレーンデバイスのアナログ線に適用される適応性のあるオーバドライブ値を含む電圧特性の一例を示す概略図である。

【図 21】図 21 は、従来技術に従って画素に割り当てられる電圧特性の一例を示す概略図である。

10

【図 22】図 22 は、従来技術に従って画素に割り当てられる電圧特性の一例を示す概略図である。

【図 23】図 23 は、本発明に従って画素に割り当てられる電圧特性の一例を示す概略図である。

【図 24】図 24 は、本発明に従って画素に割り当てられる電圧特性の一例を示す概略図である。

【図 25】図 25 は、本発明に従って画素に割り当てられる電圧特性の一例を示す概略図である。

【図 26】図 26 は、対応する画素容量 11-1、11-2、11-3、11-4 を有し、且つ、データ線 12-1、12-2 及びゲート線 13-1、13-2 を介して制御される 4 つの画素電極 10-1、10-2、10-3、10-4 を含む従来技術のディスプレイのアクティブマトリクス構造を示す図である。

20

【図 27】図 27 は、クラスタ及びクラスタのアドレス復号器への回路網パスの一例を示す図である。

【図 28】図 28 は、従来技術のアナログ線の一例を示す図である。

【図 29】図 29 は、バックプレーンの回路網の一部、特に、2 つの TFT を含む 2 つの画素の回路網を示す本発明の実施形態の一例を示す図である。

【図 30】図 30 は、クラスタのアドレス復号器に対してローカル配線する復号器階層構造の一例を示す図である。

30

【図 31】図 31 は、バックプレーンの回路網の一部、特に、3 つの TFT を含む 3 つの画素の回路網を示す本発明の実施形態の一例を示す図である。

【図 32】図 32 は、画素に対する画素回路が 3 つの TFT を含み、且つ、アナログ線が存在する図 7 に相当する 2 つの画素の画素回路の一例を更に詳細に示す図である。

【図 33】図 33 は、各々が 2 つの TFT 画素回路を含む画素のクラスタの一例を示す図であり、アナログ線が全ての画素に対して存在し、x 線アドレス及び y 線アドレスがデジタルシフトトランジスタを適用する少なくとも 1 つの線にビットシリアルに伝送される図である。

【図 34】図 34 は、各々が 2 つの TFT 画素回路を含む画素のクラスタの一例を示す図であり、アナログ線が存在し、アドレス線が多数のクラスタ間で共有される図である。

40

【図 35】図 35 は、各々が 2 つの TFT 画素回路を含む画素のクラスタの一例を示す図であり、アナログ線が存在し、アドレス線が多数のクラスタ間で共有される図である。

【発明を実施するための形態】

【0062】

なお、図示された同一の構成要素又は同様の構成要素は、同一の図中符号により示される。

【0063】

図 1 は、従来技術に係るバックプレーンデバイスのアナログ線の電圧特性の一例を示す概略図である。

【0064】

50

電圧Vは、2つのフレームの持続期間中、画素数Nの関数として示される。空間光変調器の画素が線単位でアドレス指定され、且つ、単一の線内で順にアドレス指定される従来技術のアドレッシング方式のため、固定のアドレッシング方式に従う次の画素がアドレス指定される場合は常に、0V～6Vの種々の様に分布した電圧は、従来技術のバックプレーンのアナログ線の上に印加される。この結果、非常に高速に表示エリアの外部からアナログ値を駆動し、バックプレーンデバイスの電極の物理的限界に達することとなり、例えば、大きな線容量は、継続アナログ線上でスイッチング周波数が増加することを防止する。しかしながら、空間光変調器のフレームレート又はリフレッシュレートは、本発明の明細書に従って高くなる。

【0065】

本発明によれば、従来技術において既知の方式とは異なる画素値割当方式が使用される。これは、図2aに示された概略図により示される。図2aの図は、画素が接続されるバックプレーンデバイスのアナログ線に適用される電圧関数である電圧特性10を示す。図示されたこの電圧特性10は、2つのフレーム中にアナログ線に適用される電圧値を含む。電圧特性10は、第1のフレームに対するランプアップ関数の形状、及び、実質的には、第2のフレームに対するランプダウン関数を含む。本発明の本実施形態によれば、電圧特性10は、バックプレーンデバイスにより空間光変調器の単一の画素に割り当てられる必要のある画素値に依存して生成されている。電圧特性10が第1のフレームに対する線形増加及び第2のフレームに対する略線形減少を含む略関数であるため、画素に割り当てられる画素値はやや高度に分布する。換言すれば、例えば、全ての画素の1/3が同一の画素値を有する場合、図2aに図示されたような横軸に対して水平、即ち、平行である電圧特性10の領域が得られるため、同一の画素値を含む領域は、図2aの電圧特性10により割り当てられる2つのフレームに現れない。図2bに係る概略図は、第1のフレームに対してバックプレーンデバイスのアドレッシング線に適用される画素アドレス信号を示す。本実施形態において、高周波数信号は、アドレッシング線に適用されることがわかる。しかしながら、これらのアドレッシング信号が0又は1の論理値を有するデジタル信号であるため、これは、高周波数アナログ電圧値が、例えば、図1に示されるように、それらを実現するより高い周波数で電子的に実現される。

【0066】

図3aは、画素14を含む空間光変調器12の一部を示す。図3aに示されたような空間光変調器12の画素14は、異なる陰影をつけて示されている4つの異なる画素値15を含む。図3aの例において、4つの画素は、100%の最大画素値15で割り当てられている。2つの画素14は75%の画素値15を含む。3つの画素14は25%の画素値15を含み、残りの7つの画素は0%の画素値15を含む。図3aの空間光変調器12の上には、x方向に単一の画素の0～3のアドレス番号付けが示される。空間光変調器12の左側には、y方向に単一の画素14の0～3のアドレス番号付けが示される。

【0067】

図3bは、図3aに示されたような画素値15の分布のために、アナログ線（図3a、図3bには示されない）上に適用される電圧特性10を示す概略図である。0%の画素値15に対応する電圧は、合計7つの画素アドレッシングサイクルの間、アナログ線に適用されることがわかる。25%の画素値15に対応する電圧は、3つの画素書込みサイクルの間、アナログ線に適用される。75%の画素値15に対応する電圧は、2つのアドレッシングサイクルの間、適用される。100%の画素値15に対応する電圧は、4つの画素アドレッシングサイクルの間、割り当てられ、図3aに示されたような1つのフレームに対して空間光変調器12の全ての16個の画素14の割当を完了する。

【0068】

図2a及び図3bからわかるように、電圧特性10は、時間において可変であり、これらの例において、主に、数学的な単調関数の特性を有する。なお、図3bの電圧特性10は、実線で示された種々の電圧間の点線で示された継続した種類のものである。

【0069】

図3 aに示されたような空間光変調器12の画素14の画素値分布から開始し、図3 bに示されたような電圧特性10が生成される。この例において、ランプアップ関数が適用される。従って、電圧特性10は、最低電圧から開始し、最高電圧に上昇する。従って、電圧特性10は、画素14に割り当てられる画素値15に依存する。これは、特に「画素値割当方式」という用語で理解される。電圧特性10は、図3 a及び図3 bには示されない生成手段により生成される。

【0070】

電圧特性10が画素14に割り当てられる画素値15に依存して生成されると、電圧特性10がアナログ線に適用される場合にアドレス指定される画素14の画素アドレスが決定される。0%を有する画素値15を含む画素14は、最初にアドレス指定される必要があることがわかる。従って、(0、2)、(1、0)、(1、1)、(1、3)、(3、0)、(3、1)及び(3、3)の画素が生成される。0%の画素値15を有する画素14のアドレスは、厳密に上述したような順序でなくてもよい。これらの画素値15を画素14に割り当てる異なる順序も使用されてよい。従って、少なくとも1つのアナログ線に適用されている生成された電圧特性10は、画素14のアドレッシングの順序を決定することが可能である。この例において、同一の画素値15が割り当てられる全ての画素14は、互いに時間的に近接してアドレス指定される。

【0071】

図4は、複数のクラスタ18を含むバックプレーンデバイス16の一例を示す。図4は、完全なバックプレーンデバイス16を示さず、その単一の部分のみを示す。従って、図4には、4つのクラスタ18のみが示される。全てのクラスタ18は、単一の正方形で概略的に示されている画素回路20を含む。全ての画素回路20は、空間光変調器12(図4には示されない)の画素に割り当てられる。図4に示されたような実施形態によれば、クラスタ18は互いに個別に制御される。画素、即ち、画素回路20は、バックプレーンデバイス16及び空間光変調器の接続領域及び隣接領域を形成し、クラスタ18を形成する。本実施形態の接続領域は矩形形状を有し、クラスタ18は、バックプレーンデバイス16又は空間光変調器の全幅又は全長に及ばない。

【0072】

全てのクラスタ18は、アナログ線22及びクラスタ18の画素又は画素回路20をアドレス指定する画素アドレッシング手段24を含む。例えば、コンピュータに対して転送される画素データが、空間光変調器及びバックプレーンデバイス16を含む表示装置の表示電子機器に伝送されることを図4に概略的に示す。表示電子機器は、画素値及びアドレッシング値をバックプレーンデバイス16のパネル電子機器に伝送する。表示装置の特定の構成に依存して、電圧特性10及び画素アドレスは、コンピュータ又は表示装置の表示電子機器、或いは、バックプレーンデバイス16のパネル電子機器において生成される。図4において、各クラスタ18がアドレス情報を画素アドレッシング手段24に伝送する画素アドレッシング手段24とパネル電子機器との間に接続線を含むことが示される。画素アドレッシング手段24が接続されること及び／又はxアドレッシング線26を含むことを図4に概略的に示す。画素のyアドレスをアドレス指定するアドレッシング手段24は、yアドレッシング線28を含む。

【0073】

図3 1は、小クラスタ18の別の例を示す概略図である。図3 1に示されたクラスタ18は、説明のためだけに、16個の画素及び画素回路20(そのうちの3つの画素回路20のみが図3 1に示される)を含む。実際には、クラスタは、より多くの画素を有するが、同様に操作される。いくつかのクラスタ設計が可能である。いくつかのクラスタ設計は、画素毎のTFTの数、並びに、電気線の数及び配列に関して異なる。通常、種々のクラスタ設計は、種々の特徴を含む。

【0074】

図3 1に示されたようなクラスタ18は、xアドレス復号器38及びyアドレス復号器44を備えるアドレス復号器回路50により制御される。xアドレス復号器38及びyア

10

20

30

40

50

ドレス復号器44は、パネル電子機器（不図示）から $x_Addr[1:0]$ 及び $y_Addr[1:0]$ などのアドレスを受信する。単一の画素回路20の各々は、2つ、3つ又はそれ以上のTFTから構成されたTFT回路を含む。本発明の例において、図7の例に係る3TFTの変形例は、更なる特徴を与えるために選択される。

【0075】

画素回路20は、2つの選択TFT100及び200と、伝送TFT300とを含む。双方の選択TFT100及び200は、起動される場合に、伝送TFT300をそれぞれon又はoffするためにイネーブル線22を伝送TFT300のゲートに接続する。伝送TFT300がonされる場合、アナログ線22からのアナログ電圧は、画素電極500に印加される。

10

【0076】

クラスタ構成による各画素電極500のランダムアクセスのため、パネル電子機器により提供されたある特定のアナログ電圧がクラスタ18内で任意の位置を含むいくつかの画素セルに順次印加されることを制御することが可能である。その後、アナログ線22上の電圧が上昇し、適切な画素がアドレス指定されるように選択される。適切な画素が選択されると、アナログ線22上に印加されている電圧は、そのような画素電極50又はそのような画素電極500のグループに印加される。

【0077】

図31において、クラスタ18に加えて概略的に示されたアドレス復号器50は、例えば、図12に示されるように、実際には、クラスタ18全体の画素回路20にわたり分布するように実現される。これにより、クラスタ間の間隔を排除する。

20

【0078】

従来技術のAMバックプレーンと異なり、クラスタに基づく手法の最大フレームレートは、実現されたTFT100、200及び300の最大スイッチング周波数だけに依存する。

【0079】

フレームの書込み、即ち、画素値を画素に割り当てることは、初期化から開始する。最初に、「On」値（例えば、6V）がイネーブル線22に適用される。次に、X選択TFT100及びY選択TFT200のゲートに接続されている全てのxアドレッシング線26及びyアドレッシング線28は、「On」値（例えば、更に6V）に切り替えられる。ここで、全ての伝送TFT300は導電性であり、全ての電極500は同時にアナログ線22に接続される。フレームの先行する書込みから既に格納された画素電極500の電荷は等化され、全ての画素電極500は、アナログ線22を介して0V又は別の所望のプリチャージ電圧Vに充電される。以下において、0Vを初期値として仮定する。

30

【0080】

次に、画素回路20のディスエーブル位相が開始する。ランプアップ関数（電圧特性10）は、パネル電子機器によりアナログ線22に印加される。この例において、ランプアップは、最低電圧、即ち、0Vから開始する。この駆動モードの例を用いる場合、全ての伝送TFT300は、依然としてイネーブル、即ち、導電性のままである。これは、アナログ線22上に印加された電圧Vを変更することにより、全ての画素電極500にわたり電圧が変化することを意味する。

40

【0081】

次に、0Vの値に設定されるべき画素電極500に接続されている全ての伝送TFT300は、非導電性（停止）にされる。イネーブル線30は、選択TFT100及び200を介して、これらの伝送TFT300のゲートに接続される。次に、イネーブル線30は、ディスエーブル値0Vに切り替えられる。これらの伝送TFT300のゲートを放電するために、イネーブル線30が低い状態（例えば、0V）に留まる間、双方の選択TFT100及び200は、伝送TFT300のゲート容量上に格納された電荷を除去するために「On」されなければならない。同一の電圧（ここでは、0V）の全ての画素電極500がアドレス指定され、且つ、アナログ線22から切断されるまで、この手順は数回繰り返される。

50

返される。

【0082】

次のステップにおいて、アナログ線22上に印加された電圧は、より高い値（例えば、1V）に上昇し、この量は、上述の第1のステップで既にディスエーブルになった画素電極500を除く全ての画素電極500に印加される。1Vを格納すべき全ての画素電極500は、選択TFT100及び200を「On」にし、且つ、イネーブル線30を「Off」することを含む個々の停止動作により分離される。その後、画素に割り当てられる全ての電圧レベルが完了するまで、ランプアップ電圧及び画素の非アクティブ化は継続する。

【0083】

図5～図29は、上述の第1の実施形態に従って2つのTFT100及び200を含む画素に対する制御回路20（又は画素回路）の一例を示す。第1のTFT100のソースSはアナログ線22に接続され、第1のTFT100のゲートGはxアドレッシング線26に接続され、第1のTFT100のドレインDは第2のTFT200に接続される。第2のTFT200のソースSは第1のTFT100のドレインDに接続され、第2のTFT200のゲートGはyアドレッシング線28に接続され、第2のTFT200のドレインDは画素の電極500に接続される。画素の電極500は、コンデンサとして示される。なお、第1のTFT100がxアドレッシング線26に接続され、第2のTFT200がyアドレッシング線28に接続されるが、逆であってもよい。換言すれば、第1のTFT100がyアドレッシング線28に接続されていてもよく、第2のTFT200がxアドレッシング線26に接続されていてもよい。

【0084】

xアドレッシング線26及びyアドレッシング線28に接続されたゲートGを含む2つのトランジスタ100及び200を単一のデュアルゲートトランジスタ（図5には示されない）に結合することが有利であり、これは更なる例に対しても適用可能である。

【0085】

更なる実施形態において、xアドレス線26及びyアドレス線28に接続されたTFT100及び200は、それぞれ、伝送TFT300のゲート上の電圧を制御することで伝送TFT300がon又はoffされるかを選択する選択TFTの機能を有する。伝送TFT300のソースSはアナログ線22に接続され、ドレインDは画素電極500に接続される。このトランジスタ300がonされる場合、電荷は、アナログ線22から画素電極500に転送される。トランジスタ300がoffされる場合、実際の電荷は、画素値を規定する画素電極500上に格納される。

【0086】

図6は、上述の第2の実施形態に従って2つのTFT100及び200を含む画素に対する制御回路20の一例を示す。第1のTFT100、即ち、選択TFTは、xアドレッシング線26、yアドレッシング線28及び第2のTFT200に接続される。第2のTFT200、即ち、伝送TFTは、第1のTFT100、アナログ線22及び画素の電極500に接続される。そのような画素回路20は、DRAM（ダイナミックランダムアクセスメモリ）記憶セルの回路に相当する。nチャネル又はpチャネルの伝送TFT200、或いは、nチャネル又はpチャネルの選択TFT100が使用されるかどうかは依存して画素がアドレス指定される場合、以下のアドレス方式を適用する必要がある（X=xアドレッシング線26に適用されている信号、Y=yアドレッシング線28に適用されている信号）。

【0087】

10

20

30

40

【表 1】

n チャンネル伝送 T F T 及び n チャンネル選択 T F T		
X	Y	
0	1	ディスエーブル
1	1	イネーブル
p チャンネル伝送 T F T 及び n チャンネル選択 T F T		
X	Y	
1	1	ディスエーブル
0	1	イネーブル
p チャンネル伝送 T F T 及び p チャンネル選択 T F T		
X	Y	
1	0	ディスエーブル
0	0	イネーブル
n チャンネル伝送 T F T 及び p チャンネル選択 T F T		
X	Y	
0	0	ディスエーブル
1	0	イネーブル

10

20

【0088】

図 7 は、上述の第 3 の実施形態に従って 3 つの T F T 1 0 0、2 0 0 及び 3 0 0 を含む画素に対する制御回路 2 0 の一例を示す。第 1 の T F T 1 0 0 は、イネーブル線 3 0、x アドレッシング線 2 6 及び第 2 の T F T 2 0 0 に接続される。第 2 の T F T 2 0 0 は、第 1 の T F T 1 0 0、y アドレッシング線 2 8 及び第 3 の T F T 3 0 0 に接続される。伝送 T F T と呼ばれる第 3 の T F T 3 0 0 は、第 2 の T F T 2 0 0、アナログ線 2 2 及び画素の電極 5 0 0 に接続される。n チャンネル又は p チャンネルの伝送 T F T 3 0 0、或いは、n チャンネル又は p チャンネルの選択 T F T 1 0 0 及び 2 0 0 が使用されるかどうか依存して、以下の制御方式を適用する必要がある（X = x アドレッシング線 2 6 に適用されている信号、Y = y アドレッシング線 2 8 に適用されている信号、E N = イネーブル線 3 0 に適用されている信号）。

30

【0089】

【表 2】

n チャンネル伝送 T F T 及び n チャンネル選択 T F T			
X	Y	EN	
1	1	0	ディスエーブル
1	1	1	イネーブル
p チャンネル伝送 T F T 及び n チャンネル選択 T F T			
X	Y	EN	
0	0	0	ディスエーブル
0	0	1	イネーブル
p チャンネル伝送 T F T 及び p チャンネル選択 T F T			
X	Y	EN	
0	0	1	ディスエーブル
0	0	0	イネーブル
n チャンネル伝送 T F T 及び p チャンネル選択 T F T			
X	Y	EN	
1	1	1	ディスエーブル
1	1	0	イネーブル

【0090】

図 8 は、4 つの T F T 1 0 0、2 0 0、3 0 0 及び 4 0 0 を含む画素に対する制御回路 2 0 の一例を示す。第 1 の T F T 1 0 0 は、図中、符号 3 0 で示されたイネーブリング機能である隣接画素（図 8 には示されない）の x アドレッシング線 2 6（X 0）、x アドレッシング線 2 6 及び第 2 の T F T 2 0 0 に接続される。第 2 の T F T 2 0 0 は、第 1 の T F T 1 0 0、y アドレッシング線 2 8 及び第 3 の T F T 3 0 0 に接続される。y アドレッシング線 2 8 は、アナログ線 2 2 からの第 4 の T F T 4 0 0 を利用して生成される。伝送 T F T とも呼ばれる第 3 の T F T 3 0 0 は、第 2 の T F T 2 0 0 及び第 4 の T F T 4 0 0 を介したアナログ線 2 2 及び画素の電極 5 0 0 に接続される。

【0091】

図 9 は、上述の第 4 の実施形態に従って各々の制御回路 2 0 又は 3 2 が 3 つの T F T 1 0 0、2 0 0 及び 3 0 0 を含む 2 つの隣接画素に対する 2 つの制御回路 2 0 及び 3 2 の一例を示す。2 つの画素は、同一の y アドレッシング線 2 8 によりアドレス指定される。第 1 の画素回路 2 0 の第 1 の T F T 1 0 0 は、図中、符号 3 0 で示されたイネーブリング機能である第 2 の画素回路 3 2 の x アドレッシング線 2 6（X 1）、y アドレッシング線 2 8 及び第 1 の画素回路 2 0 の第 2 の T F T 2 0 0 に接続される。第 1 の画素回路 2 0 の第 2 の T F T 2 0 0 は、第 1 の画素回路 2 0 の第 1 の T F T 1 0 0、第 1 の画素回路 2 0 の x アドレッシング線 2 6（X 0）及び第 1 の画素回路 2 0 の第 3 の T F T 3 0 0 に接続される。第 1 の画素回路 2 0 の第 3 の T F T 3 0 0 は、第 1 の画素回路 2 0 の第 2 の T F T 2 0 0、アナログ線 2 2 及び第 1 の画素回路 2 0 の電極 5 0 0 に接続される。第 2 の画素回路 3 2 の第 1 の T F T 1 0 0 は、図中、符号 3 0 で示されたイネーブリング機能である第 1 の画素回路 2 0 の x アドレッシング線 2 6（X 0）、y アドレッシング線 2 8 及び第 2 の画素回路 3 2 の第 2 の T F T 2 0 0 に接続される。第 2 の画素回路 3 2 の第 2 の T F T 2 0 0 は、第 2 の画素回路 3 2 の第 1 の T F T 1 0 0、第 2 の画素回路 3 2 の x アドレッシング線 2 6（X 1）及び第 2 の画素回路 3 2 の第 3 の T F T 3 0 0 に接続される。第 2 の画素回路 3 2 の第 3 の T F T 3 0 0 は、第 2 の画素回路 3 2 の第 2 の T F T 2 0 0、アナログ線 2 2 及び第 2 の画素回路 3 2 の電極 5 0 0 に接続される。本実施形態は、画素のイネーブルメント機能性に対してバックプレーンデバイス上に独立したイネーブル線を

有する必要はない。これは、2つの隣接画素の一方の画素のxアドレッシング線を他方の画素に対するイネーブル線として使用することで実現される。これは、イネーブル線の論理レベルがxアドレッシング線の論理レベルに対応する場合に実行される。nチャンネル又はpチャンネルの伝送T F T 3 0 0、或いは、nチャンネル又はpチャンネルの選択T F T 1 0 0、2 0 0が使用されるかどうかは依存して、以下の制御方式を適用する必要がある（X 0、X 1＝それぞれのxアドレッシング線26に適用されている信号、Y＝yアドレッシング線28に適用されている信号）。

【0092】

【表3】

nチャンネル伝送T F T及びnチャンネル選択T F T			
Y	X 1	X 0	
1	1	1	イネーブル 双方
1	0	1	ディスエーブル 左
1	1	0	ディスエーブル 右
pチャンネル伝送T F T及びnチャンネル選択T F T			
Y	X 1	X 0	
1	1	1	ディスエーブル 双方
1	0	1	イネーブル 左
1	1	0	イネーブル 右
pチャンネル伝送T F T及びpチャンネル選択T F T			
Y	X 1	X 0	
0	0	0	イネーブル 双方
0	1	0	ディスエーブル 左
0	0	1	ディスエーブル 右
nチャンネル伝送T F T及びpチャンネル選択T F T			
Y	X 1	X 0	
0	0	0	ディスエーブル 双方
0	1	0	イネーブル 左
0	0	1	イネーブル 右

【0093】

図10は、上述の第5の実施形態に従って各々の制御回路20、32、34又は36が3つのT F T 1 0 0、2 0 0及び3 0 0を含む4つの隣接画素に対する4つの制御回路20、32、34及び36の一例を示す。4つの画素は、互いに隣接して配置され、同一のyアドレッシング線28によりアドレス指定される。第1の画素回路20の第1のT F T 1 0 0は、図中、符号30で示されたイネープリング機能である第3の画素回路34のxアドレッシング線26（X 2）、yアドレッシング線28及び第1の画素回路20の第2のT F T 2 0 0に接続される。第1の画素回路20の第2のT F T 2 0 0は、第1の画素回路20の第1のT F T 1 0 0、第1の画素回路20のxアドレッシング線26（X 0）及び第1の画素回路20の第3のT F T 3 0 0に接続される。第1の画素回路20の第3のT F T 3 0 0は、第1の画素回路20の第2のT F T 2 0 0、アナログ線22及び第1の画素回路20の電極500に接続される。第2の画素回路32の第1のT F T 1 0 0は、図中、符号30で示されたイネープリング機能である第1の画素回路20のxアドレッシング線26（X 0）、yアドレッシング線28及び第2の画素回路32の第2のT F T 2 0 0に接続される。第2の画素回路32の第2のT F T 2 0 0は、第2の画素回路32

10

20

30

40

50

の第1のTFT100、第2の画素回路32のxアドレッシング線26(X1)及び第2の画素回路32の第3のTFT300に接続される。第2の画素回路32の第3のTFT300は、第2の画素回路32の第2のTFT200、アナログ線22及び第2の画素回路32の電極500に接続される。第3の画素回路34の第1のTFT100は、図中、符号30で示されたイネープリング機能である第4の画素回路36のxアドレッシング線26(X3)、yアドレッシング線28及び第3の画素回路34の第2のTFT200に接続される。第3の画素回路34の第2のTFT200は、第3の画素回路34の第1のTFT100、第3の画素回路34のxアドレッシング線26(X2)及び第3の画素回路34の第3のTFT300に接続される。第3の画素回路34の第3のTFT300は、第3の画素回路34の第2のTFT200、アナログ線22及び第3の画素回路34の電極500に接続される。第4の画素回路36の第1のTFT100は、図中、符号30で示されたイネープリング機能である第2の画素回路32のxアドレッシング線26(X1)、yアドレッシング線28及び第4の画素回路36の第2のTFT200に接続される。第4の画素回路36の第2のTFT200は、第4の画素回路36の第1のTFT100、第4の画素回路36のxアドレッシング線26(X3)及び第4の画素回路36の第3のTFT300に接続される。第4の画素回路36の第3のTFT300は、第4の画素回路36の第2のTFT200、アナログ線22及び第4の画素回路36の電極500に接続される。第4の実施形態と同様に、本実施形態は、画素のイネーブルメント機能性に対してバックプレーンデバイス上に独立したイネーブル線を有する必要はない。これは、1つの画素に対して4つの隣接画素の他の画素のうちの1つのxアドレッシング線がこの画素に対するイネーブル線として使用される場合に実現される。これは、イネーブル線の論理レベルがxアドレッシング線の論理レベルに対応する場合に実行される。nチャネル又はpチャネルの伝送TFT300、或いは、nチャネル又はpチャネルの選択TFT100及び200が使用されるかどうかに依存して、以下の制御方式を適用する必要がある(X0、X1、X2、X3=それぞれのxアドレッシング線26に適用されている信号、Y=yアドレッシング線28に適用されている信号)。

【0094】

10

20

【表 4】

nチャネル伝送T F T及びnチャネル選択T F T					
Y	X 3	X 2	X 1	X 0	
1	1	1	1	1	全てをイネーブル
1	0	0	0	1	X 3における画素をディスエーブル
1	0	0	1	0	X 2における画素をディスエーブル
1	0	1	0	0	X 1における画素をディスエーブル
1	1	0	0	0	X 0における画素をディスエーブル
1	1	0	0	1	X 0及びX 3における画素をディスエーブル
1	0	1	1	0	X 1及びX 2における画素をディスエーブル
1	1	0	1	0	X 0における画素をイネーブル (X 2においてディスエーブル)
1	1	1	0	0	X 1における画素をイネーブル (X 0においてディスエーブル)
1	0	0	1	1	X 2における画素をイネーブル (X 3においてディスエーブル)
1	0	1	0	1	X 3における画素をイネーブル (X 1においてディスエーブル)
pチャネル伝送T F T及びnチャネル選択T F T					
Y	X 3	X 2	X 1	X 0	
1	1	1	1	1	全てをディスエーブル
1	0	0	0	1	X 3における画素をイネーブル
1	0	0	1	0	X 2における画素をイネーブル
1	0	1	0	0	X 1における画素をイネーブル
1	1	0	0	0	X 0における画素をイネーブル
1	1	0	0	1	X 0及びX 3における画素をイネーブル
1	0	1	1	0	X 1及びX 2における画素をイネーブル
1	0	1	0	1	X 0における画素をディスエーブル (X 2においてイネーブル)
1	0	0	1	1	X 1における画素をディスエーブル (X 0においてイネーブル)
1	1	1	0	0	X 2における画素をディスエーブル (X 3においてイネーブル)
1	1	0	1	0	X 3における画素をディスエーブル (X 1においてイネーブル)

【0 0 9 5】

10

20

【表 5】

p チャンネル伝送 T F T 及び p チャンネル選択 T F T					
Y	X 3	X 2	X 1	X 0	
0	0	0	0	0	全てをイネーブル
0	1	1	1	0	X 3 における画素をディスエーブル
0	1	1	0	1	X 2 における画素をディスエーブル
0	1	0	1	1	X 1 における画素をディスエーブル
0	0	1	1	1	X 0 における画素をディスエーブル
0	0	1	1	0	X 0 及び X 3 における画素をディスエーブル
0	1	0	0	1	X 1 及び X 2 における画素をディスエーブル
0	0	1	0	1	X 0 における画素をイネーブル (X 2 においてディスエーブル)
0	0	0	1	1	X 1 における画素をイネーブル (X 0 においてディスエーブル)
0	1	1	0	0	X 2 における画素をイネーブル (X 3 においてディスエーブル)
0	1	0	1	0	X 3 における画素をイネーブル (X 1 においてディスエーブル)
n チャンネル伝送 T F T 及び p チャンネル選択 T F T					
Y	X 3	X 2	X 1	X 0	
0	0	0	0	0	全てをディスエーブル
0	1	1	1	0	X 3 における画素をイネーブル
0	1	1	0	1	X 2 における画素をイネーブル
0	1	0	1	1	X 1 における画素をイネーブル
0	0	1	1	1	X 0 における画素をイネーブル
0	0	1	1	0	X 0 及び X 3 における画素をイネーブル
0	1	0	0	1	X 1 及び X 2 における画素をイネーブル
0	0	1	0	1	X 0 における画素をディスエーブル (X 2 においてイネーブル)
0	0	0	1	1	X 1 における画素をディスエーブル (X 0 においてイネーブル)
0	1	1	0	0	X 2 における画素をディスエーブル (X 3 においてイネーブル)
0	1	0	1	0	X 3 における画素をディスエーブル (X 1 においてイネーブル)

【0096】

図 11 は、図 11 の表現の上部に示されているダイナミック NOR 回路を含む x アドレス復号器 38 の一例を示す。x アドレス復号器 38 は、図 11 の表現の下部に示される 2 つの T F T を含む全ての画素回路 20 をアドレス指定するために使用される。例えば、x アドレス復号器 38 は、バックプレーンデバイスの外側エッジにおいて配置される。図 11 の下部に示されたような画素回路 20 は、図 5 に示されたような画素回路に相当する。

【0097】

図 12 は、2 つの T F T 画素回路 20 に対するダイナミック NOR 回路を含む x アドレス復号器 38 の一例を示す。本実施形態において、x アドレス復号器 38 は、画素回路 20 間に組み込まれる。同様に、y アドレス復号器（図 12 には示されない）は、画素回路 20 間に更に組み込まれる。

【0098】

図 13 a は、ダイナミック NOR 回路を含む x アドレス復号器 38 の一例の詳細を示す。図 13 a に示されたようなアドレス復号器は、X 0、...、X 15 で示された 16 個の x アドレッシング線をアドレス指定するために使用される。

【0099】

図 13 b は、64 個の x アドレッシング線をアドレス指定する図 13 a の x アドレス復号器 38 を示す。この復号器は、3 つの T F T 画素回路 20 をアドレス指定するのに適したダイナミック NOR 回路を含む。

【0100】

図 14 は、ダイナミック NAND 構成要素を含む x アドレス復号器 38 の一例を示す。これらの構成要素は、CMOS 素子から構成される。

【0101】

図 15 に示されたような x アドレス復号器 38 は、x アドレッシング線 X 0 ~ X 15 上で 16 個の T F T をアドレス指定するのに適しており、図 16 は、OR 素子を含む x アド

10

20

30

40

50

レス復号器 38 の一例を示す。

【0102】

図17は、バックプレーンデバイス16の画素回路20の規則的な配列の一例を示す。図17に示されたような画素回路20は、2つのTFT100及び200を含む。図17に示されるように、画素制御回路20は、規則的なレイアウトで配列され、即ち、同様に配向される。

【0103】

図18は、第1の行40の画素回路20が第2の行42の画素回路に対してミラーリングされる画素回路20の配列の一例を示す。対称の軸、即ち、ミラー軸は、2つの行40と行42との間に水平に配置される。図18に係る画素回路の配列は、バックプレーンデバイス16自体の上で画素回路20間にxアドレス復号器38及びyアドレス復号器44を備える。また、第1の行40'は第2の行42'の鏡像であり、この場合、対称の軸は、2つの行40'と行42'との間に水平に配置される。なお、対称性に関して、行40は、別の行40'の鏡像であり、この場合、そのようなミラーリング軸に対する対称の軸は、垂直方向に配置される。行42及び42'についても同じことが言える。

【0104】

例えば、4つの画素回路20が図19の右側及び上部に配置されることからわかるように、図19は、バックプレーンデバイス16の2つの方向にミラーリングされている画素回路20の配列の一例を示す。最右列の画素回路20は、左に配置されている画素回路の列の鏡像であり、この場合、ミラー軸は、例えば、アナログ線22であると考えられる。また、上部の行40は、上部の行40に隣接して配置されている行42の鏡像であると考えられる。ミラー軸、即ち、対称の軸は、行40と行42との間の水平線であると考えられる。

【0105】

図19に示されたような画素回路20は、それらの動作を除いて図17及び／又は図18の画素回路20に相当する。図19に示されたような矩形46は、図19には示されない画素回路20に対するアドレス復号器の考えられる場所を示す。

【0106】

図20は、本発明に従って値をソートするアドレッシング手法を用いて可能である適応性のあるオーバドライブの一例を示す概略図である。本発明に係るオーバドライブを含み、且つ、特に、クラスタ概念（3TFT手法を使用する）における一般的なAM駆動方式と異なり、画素電極500は、合計フレーム時間の非常により長い期間、アナログ線22に接続されたままである。オーバドライブ値は、画素に割り当てられる所望の画素値に依存して長期間、中期間又は短期間適用される。

【0107】

画素電極がアナログ線から切断される瞬間に、画素電圧は、標準的なオーバドライブ方式よりも空間光変調器のLC（液晶）分子を所望の画素値に切り替えるのに必要な厳密な電圧（画素値を示す）に非常に近接する。従来技術に係る標準的な制御と異なり、一般に画素を完全にonするために使用された電圧より高いオーバドライブ電圧を印加することが可能である。

【0108】

図20は、6Vの一般的な最大画素電圧を含む画素のLC分子により「示される」ような12Vの値を含むオーバドライブパルス48を示す（図の下矢印でマーク付けされたイネーブルとディスエーブルとの間の期間を示す）。48'、48''などのオーバドライブパルスは、それぞれ、より低い位相及び電圧画素値を割り当てられる必要のある画素により短い期間適用される。12Vのオーバドライブ電圧が使用される場合、4Vの静電圧に対応するLC分子回転を実現するための時間は非常に短い。実際に画素に適用されるオーバドライブ時間及びオーバドライブの効果を図20の右側に示す。本発明に係る方法のこの動作モードは、on方向にグレーからグレーへの切替を加速する。

【0109】

本発明に係る空間光変調器及びバックプレーンデバイスを適用するホログラム表示装置を用いて表示される一様に分布したホログラムデータの場合、 t_{OFF} が少なくとも全ての画素値 (t_{WR}) を書き込むための時間であるとすれば、フレーム時間は、 t_{OFF} の合計 (LC 分子が $0V$ になるか、或いは、所定の位置につくのにかかる時間) 及びバックライトが on される時間 (t_{BL}) であると考えられる。一様に分布した画素値を含まない一般的な画素データの場合、最大値のより悪い場合のフレーム時間は、どの時間がより長いか依存し、 $t_{OFF} + t_{BL}$ 又は $t_{WR} + t_{ON} + t_{BL}$ の合計である。 t_{ON} は、 LC 分子が画素の電極により生成される電界により決定された位置／方位につくのにかかる時間である。点滅バックライトを用いた従来のディスプレイの場合、この時間は、非常に長く、最小の $t_{WR} + t_{OFF} + t_{BL}$ である。走査バックライトを用いた従来のディスプレイの場合も、フレーム時間は少なくとも $t_{OFF} + t_{BL}$ である。 t_{ON} が t_{OFF} より長い場合、最大値へのプリチャージは、説明した解決方法に類似するランプアップサイクルと組み合わせられる。

10

【0110】

フレーム毎に2回以上の書込みが画素に対して実行される場合、 LC 分子応答時間は、更なるオーバドライブ値を画素に書き込むことで更に長くなる。例えば、これは、「最も遅い」画素の10%にのみ適用される。このオーバドライブは、画素値を巧妙にソートすることで実現される。

【0111】

その結果、値をソートする手法は、よりコストのかかる走査バックライトを用いた従来のディスプレイと同一の点滅バックライトのみを使用するフレーム時間を実現する。これは、走査バックライトを許可しないホログラムディスプレイなどの種類のディスプレイにとって重要である。しかしながら、この解決方法は、一般的な LC ディスプレイに対するコストを更に減少させる。ホログラムディスプレイの場合、フレーム時間は、書込み時間 (t_{WR}) を t_{OFF} 時間にすることで更に短縮される。

20

【0112】

以下において、アンダードライブ及びオーバドライブなどの動作モードにより取得される LC スイッチング時間に対する利点を説明する。一般的なディスプレイの場合、 LC スイッチング時間は、種々のビューの時系列分離を使用してモーションブラーだけでなく3Dディスプレイ及びホログラムディスプレイにも影響を及ぼし、使用可能なフレームレートを規定する。例えば、このフレームレートは、1人のユーザに対するちらつきのない画像に対して少なくとも $2 \times 50Hz$ であるべきである。

30

【0113】

標準的な AM ディスプレイは、フレーム毎に1度だけ値を再書き込みする（或いは、新しい画素値を画素に割り当てる）。従って、実際には、オーバドライブを適用する可能性は限られる。期間が固定され、且つ、フレームレートにより決定されるため、より高い電圧をより短い時間又はより長い時間印加することは不可能である。

【0114】

図21及び図22は、 $0V$ に初期化することなく従来の AM ディスプレイに対する $5V$ から $3V$ への LC スイッチングを示す。このディスプレイは、例えば、図23に示される提案された新しい駆動方式におけるより長く、且つ、 t_{OFF} より更に長い低速なグレーからグレーへのスイッチング時間を示す。図21は、走査バックライトを用いたディスプレイの任意の線又は点滅バックライトを用いたディスプレイの第1の線の場合の状態を示す。点線 (LC 分子の方位状況を示す) と $3V$ の方位値との大きな差からわかるように、 LC 分子がまだしかるべく配向されていないため、図22は、更に悪化した点滅バックライトを用いたディスプレイの最後の線に対する関係を示す。

40

【0115】

従来のオーバドライブモードと異なり、値をソートする手法により、フレーム毎に多数の値を適用できる。値をソートする手法は、初期値を適用することで LC スイッチングを加速し、他のあらゆる駆動方法より優れた LC スイッチング時間を更に使用する。

50

【0116】

説明は、6 VでONであり、且つ、0 VでOFFであるLCモードの空間光変調器又はLCディスプレイを仮定する。

【0117】

電界により駆動された方向にLCを回転すること（tON）は、より高い電圧を印加することで加速される。しかしながら、他の方向に非常により低速なLC分子の受動緩和がある（tOFF）結果、受動緩和が発生し、tOFF時間はtONより非常に長い。特殊なオーバドライブ方式は、on方向に切替を加速するために使用される。

【0118】

ほぼ全てのアドレッシング方式により、同時に全てのxアドレッシング線及びyアドレッシング線をonでき、全ての伝送TF Tを導電性にする事で全ての画素をイネーブルにする。これは、電圧がアナログ線に印加された後、全ての画素がアナログ線に接続されることを意味する。これはフレーム開始時に実行され、アナログ線を使用して画素容量の電荷を等化し、画素電極値を0 Vの初期値に設定する。

10

【0119】

図23及び図24に示されるように、本発明に従って値をソートする手法のこの実現例は、全ての画素のLCが最大（受動）緩和力でoff方向に向き始めるように、フレーム開始直後に全ての画素を0 V値に駆動する。この初期化の後、アドレスモードは単一の画素だけにアクセスするように変化するが、画素電極は、画素が再度アクセスされるまで0 Vのままである。

20

【0120】

次に、アナログ線は、可能な限り速く最大値にランプアップする。最大値に切り替わる画素は、フレームにおいて最初にアクセスされ、LC回転角の最終値に切り替わるためのtONの時間のみを必要とする。この後、ランプダウンサイクルは、全ての画素が下降値の順序でアクセスされることから開始する。

【0121】

図24は、2 Vの古い画素値から5 Vの新しい画素値への更新を示す。フレーム開始時における0 Vへの初期化は、LC分子をこの画素に対して割り当てて間違っただけに回転し始めるが、この受動緩和による回転は相対的に低速である。5 Vの新しい値が適用されるとすぐ、LCは、更により強い力及び更により高速な時間で正しい方向に再度回転する。考えられるon方向への回転角が大きいほど画素が早くアドレス指定されるため、考えられる間違っただけの回転の影響を最小限にし、画素値の書込みからバックライトをonするまでの時間を拡張する。

30

【0122】

off方向に回転すべきLC分子を含む全ての画素は、フレーム開始時に同一の最小電圧値に設定される。考えられるLC回転角が小さいほど、画素は早く最終値に設定される。5 Vから3 Vへのグレーからグレーへの切替に対して図23に示されるように、回転が所望の角度を上回る場合でも、所望の角度に再度切り替えることは、「on」方向にあるために非常により高速である。初期化の結果、各方向のグレーからグレーへのスイッチング時間はtOFFを下回るべきである。

40

【0123】

最後に、上述した例示的な実施形態は、特許請求の範囲に記載された教示を説明するためだけのものであり、上述した教示を例示的な実施形態に限定しないことが特に指摘されるべきである。

【0124】

付録

以下の開示内容は、上述した本発明に関する更なる情報を開示するために提供される。なお、情報が付録においてのみ提供されて上述の説明において提供されないが、付録は本発明の一部を構成する。

【0125】

50

画素のLCDバックプレーン構造クラスタに対する実現例が使用され、LCDバックプレーン構造は、デジタルスイッチングTFT（薄膜トランジスタ）のみを含むことが好ましい。画素のクラスタの本発明における意味は、特に、ディスプレイの接続領域又は隣接領域を形成する複数の画素である。そのような領域は、矩形、正方形、ハニカム又は他のあらゆる適切な形状を有する。クラスタは、ディスプレイの全幅又は全長に及ばないことが好ましい。いくつかのクラスタは、シームレスに互いに隣接して配列される。クラスタは、サブディスプレイであると考えられる。これを図3a及び図3bに概略的に示す。図27は、クラスタ及びクラスタのアドレス復号器への回路網パスの一例を示す。従って、本発明の1つの実施形態において、ディスプレイは、クラスタ（サブディスプレイ）に分割される。

10

【0126】

一般的なAMディスプレイにおいて、アナログ画素値がアナログデータ線を介して線単位で線をディスプレイに書き込む一方で、ディスプレイのバックプレーンデバイスは、交互のアナログ値を線単位及び列単位で単一の画素に書き込まないが、1つの所定の値から別の所定の電圧値に、例えば、最小電圧値から最大電圧値にアナログ電圧をランプアップ又はランプダウンする。単一の画素又は多数の画素に割り当てられている実際に印加されたアナログ電圧に依存して、画素のアドレス又は位置、或いは、多数の画素のアドレス又は位置は、好ましくは、デジタルにクラスタに伝送される。従って、電圧によりバックプレーンデバイスによるディスプレイの画素への電荷の転送は、従来技術において既知であるディスプレイにおいて実行されるように、位置ではなく、電圧値によりソートされる。

20

【0127】

本発明の概念は、特に、本明細書において全ての内容が参考としてコピーされる国際公開第2009/024523号パンフレット、国際公開第2009/092717号パンフレット、国際公開第2008/138983号、国際公開第2008/138984号、国際公開第2008/138985号又は国際公開第2008/138986号などにおいて開示されたように、クラスタを使用してバックプレーンを含むディスプレイ設計に対して有利な方法で適用される。また、本発明の概念は、2Dコンテンツ及び3Dのコンテンツを表示するディスプレイに対して適用される。3Dディスプレイは、特に、立体ディスプレイ、マルチビューを生成する立体ディスプレイ、ユーザの眼を追跡する裸眼立体ディスプレイ及びホログラムディスプレイである。そのような2Dディスプレイ又は3Dディスプレイは、透過モード、ミラーリングモード又は半透過モードで操作される。そのような2Dディスプレイ又は3Dディスプレイは、OLED（有機発光ダイオード）、LCD（液晶ディスプレイ）又はPDP（プラズマ表示パネル）の原理で動作している。本発明に係るバックプレーンデバイスは、例えば、a-Si（アモルファスシリコン）、LTSPS（低温ポリシリコン）又はa-酸化（アモルファス酸化物）などの全ての種類のポリシリコンTFT、有機TFT又は単結晶シリコンのような材料に基づくか、或いは、それらを含む。

30

【0128】

アナログ値（画素容量を変更するための電流）を外部から表示エリアに非常に高速に駆動する主な問題は、本発明の概念を用いて解決される。エリア（画素数）は、サイズに関して、2のべき乗に比例して増加するが、ディスプレイのエッジのサイズは線形にしか増加しない。大きな線容量により、継続アナログ線上のより高速なスイッチング周波数を防止する。事前に定義された長さの後、代わりにデジタル線が登録及び増幅される。図27及び図28を参照する。

40

【0129】

本発明の好適な実施形態によれば、解決方法は、デジタルスイッチングトランジスタのみに基づいて提供される。従って、アナログスイッチングLTSPS-TFT、及び、特に、LTSPS-TFTの種々の閾値電圧に関する問題が防止される。

【0130】

その後、全てのTFTがスイッチ（ON/OFF）としてのみ動作し、TFTのアナロ

50

グスイッチングは必要ない。デジタルシミュレーションツール及び設計ツールを使用することが有利である。

【0131】

また、考えられるフレームレートが従来のバックプレーン設計を用いて可能である、より非常に高いが、バックプレーンデバイスに対して小さなLTPTS TFTを使用することが有利である。更なる利点は、以下の通りである。

【0132】

- ・相対的に長い伝送時間により小さい電流が可能になるため、より小さなTFTを使用できる

- ・TFTのより低い閾値（ゲート）電圧の結果、消費電力が更に低下する

10

- ・TFTのより低いゲート容量の結果、バックプレーンデバイスの消費電力が更に低下する

- ・TFTが高速に操作されるほど、より大きなクラスタサイズが設計される

【0133】

フレームレート及び応答時間

- ・電力損が上限を下回る場合、このバックプレーンのフレームレートは、TFTのスイッチング周波数のみにより制限される。従って、より小さなTFT及びより高速なTFTの結果、線容量に殆ど影響を及ぼさずにより高いフレームレートが得られる。より高いフレームレートがより大きな大電流TFTを必要とするため、従来のAMディスプレイは、その点に関して制限される。しかしながら、より大きなTFTがより大きな容量を示すことにより、必要な電流は更に増加する。

20

- ・画素への書込みが2回以上実行される場合、LC応答時間は、更なるオーバドライブ値を画素に書き込むことで長くなる。従って、例えば、これは、「最も遅い」画素の10%にのみ適用される。オーバドライブは、画素値を巧妙にソートすることで容易に実現される。

- ・16000画素×8000画素を含む24インチのディスプレイ、画素の行及び列毎の1つの全体的な線、50%のバックライトON時間及び25MHzのスイッチング周波数を含むLTPTSを仮定すると、最大フレームレートは、約200fps（フレーム/秒）である。TFTスイッチング周波数と共にエッジを介してディスプレイに伝送されたデータ量が限られるため、この値は全てのクラスタ手法に対してほぼ同一である。

30

- ・新しい値を含む画素のみが更新される場合、フレームレートは高くなり、小さな画像変化のみが発生する。画像生成への直接アクセスが確立される場合、イメージバッファへの書込みは、ディスプレイへの直接伝送である。従って、変化が即座にディスプレイに書き込まれるため、規定されたフレームレートはこれ以上存在しない。電気分解に関する問題のため、LCDは一定値の変化を必要とする。従って、変更された画素値のみを更新する完全な静的LCディスプレイは不可能である。しかしながら、この手法は、eペーパーのような他の種類のディスプレイにより使用可能である。

【0134】

外部ドライバ

- ・列線毎に1つのDAC（デジタルアナログ変換器）ではなく、クラスタ毎に1つのDACのみが必要である。

40

- ・出力周波数がAMディスプレイ等の線の数ではなくグレースケール値（ビット分解能）の数に依存するため、DACは非常により低速である。

- ・他の信号はデジタル出力のみを必要とする

【0135】

内蔵システムの校正

- ・ADC（アナログデジタル変換器）が外部ドライバIC（集積回路）においてアナログ線に接続される場合、インシステム校正が実現される。インシステム校正に対して必要な画素エリアにおける更なるTFTはない。MUX（マルチプレクサ）は、ADCの数を減少するために使用される。

50

- ・駆動された値は、巧妙にソートすることで補正される

【0136】

消費電力

・ $P \sim U^2$ 、 $P \sim C$ 、 $P \sim f$ ：AMデータ線と比較してアナログ信号が非常に緩やかに変化しているため、高電圧アナログ信号は、大きな容量を駆動するが、相対的に低い電力損を発生させる。電力損を更に減少するために、非常に効率的な電荷再利用が可能である。

・高周波数デジタル信号は、非常に小さなゲート容量のみを駆動する。今日、ゲート（閾値）電圧は、アナログ信号の範囲にあるか、或いは、アナログ信号より高いが、ゲート誘電体の厚みが減少する場合にゲート電圧が低下する結果、電力損が低下する。

10

・古い画素電圧と新しい画素電圧との差が評価される場合、アドレス指定された画素を巧妙にソートすることは、外部駆動なしで1つの画素から別の画素に電荷を転送するため、或いは、アナログ線の値を上昇又は低下するために使用される。転送が独立した時間毎に起動及び停止される場合、電荷再利用は更により効率的である（例えば、手法2.1を用いて）。

【0137】

一般的な解釈

・画素毎に1. $\times$ T F Tではなく、3. $\times$ T F T又は2. $\times$ T F T（例えば、AM又はアナログシフトレジスタによる解決方法）が必要である。しかしながら、T F Tが非常により弱い（より少ない電流）ため、画素毎に3つ以上のT F Tを実現するためにより小さなT F Tが可能である。

20

・製造に必要なより多くの層及びマスクを得るために、多くのローカル「配線」が必要である。

・クラスタが大きいほど、1つの値をプログラムするためにより多くのデジタル信号が切り替えられなければならない、それにより、クラスタサイズを制限する。

【0138】

ゲート容量及びゲート電圧が低下しない場合、多数のデジタル線が高い電力損を発生させる。

【0139】

直接伝送の実現例

30

アドレス復号器の変形例、2 T F T直接伝送。図29を参照する。

【0140】

マルチプレクサの構造、直接伝送

アナログ信号が多くのT F Tを伝播しなければならないため、階層構造とアドレス構造とが組み合わされた変形例は、伝送T F Tの数を減少すべきである。

【0141】

より長い伝送時間に対する解決方法

【0142】

0. 一般的な直接伝送の問題

クラスタ毎の1つのアナログ線のみが使用される場合、プログラミング時間は非常に短いべき（ $25 \text{ MHz} = 40 \text{ ns}$ ）である。直接伝送の変形例上でプログラミング時間は伝送（書込み）時間に等しく、 R_{ON} が高すぎるため、T F Tを介した高い転送電流は、必要とされるがおそらく不可能である。

40

【0143】

以下の手法により、短いプログラミング時間を可能にするが、低いトランジスタ電流では長い伝送時間になる。

【0144】

1. 選択された多数の伝送

伝送時間がある画素のみに対して短すぎる場合、この画素は、フレーム毎に2回以上書き込まれる。

50

【0145】

2. 3 T F T 構造（伝送時間＞プログラミング時間）

以下の3つの「3 T F T」による解決方法は、同一の画素構造及びローカルマトリクスを使用する。アドレス線及びE N A 信号（イネーブル信号）の駆動のみが異なる。図30、図31及び図32を参照する。

【0146】

2. 1. 画素「アドレス」上の異なるイネーブル動作及びディスエーブル動作

【0147】

機能

伝送を開始するため、E N A は「1」に設定され、2つのT F T（ T_X 及び T_Y ）は、専用／規定画素の双方の行線及び列線を起動することでo n される。 T_T のゲートに転送した電荷は、伝送T F T T_T を「O N」に切り替える。 C_{PIXEL} の電圧は、アナログ線の電圧に適応する。所望の伝送時間の後、E N A は「0」に設定され、2つのT F T（ T_X 及び T_Y ）は、専用画素の双方の行線及び列線を起動することで再度o n される。 T_T のゲートは、 T_T スイッチを「O F F」に放電される。異なる画素に対するプログラミング動作（O N 又はO F F）は、開始（イネーブル）と停止（ディスエーブル）との間で適用される。

10

【0148】

利点

- ・画素毎に種々の伝送時間が可能である
- ・古い電荷値を提供するイネーブル動作のタイミングが新しい値を格納するディスエーブル動作と無関係であるため、非常に効率的な電荷再利用が可能である。

20

【0149】

注釈

- ・イネーブル動作及びディスエーブル動作の結果、2倍多い伝送及び半分のフレームレートが得られる
- ・画素毎に異なるF T F が必要である（画素毎に2. x T F T ではなく、3. x T F T）

【0150】

2. 2. ランプ値変化前のクラスタディスエーブル動作

30

【0151】

機能

伝送を開始するため、E N A は「1」に設定され、2つのT F T（ T_X 及び T_Y ）は、専用画素の双方の行線及び列線を起動することでo n される。 T_T のゲートに転送した電荷は、伝送T F T T_T を「O N」する。 C_{PIXEL} の電圧は、アナログ線の電圧に適応する。同一のグレースケールの全ての値が書き込まれた後、クラスタの全ての T_T は、単一の動作によりO F F に切り替えられる。E N A は「0」に設定され、全ての行線及び列線は同時に「1」に設定される。8ビット分解能であると仮定すると、 $(2^8 - 1) = 254$ 個のディスエーブル動作のみの最大値が必要である。

【0152】

40

利点

- ・ビット値毎に唯一のディスエーブル動作（クラスタサイズが $2^8 = 256$ 画素より大きい場合、画素ディスエーブル方法としてより効率的である）。
- ・（全て=1）のような特殊なアドレスパターンが放電動作を誘起するために使用される場合、イネーブル線は必要ない

【0153】

注釈

- ・オーバヘッドはビットにおけるグレースケール解像度と共に増加した
- ・画素毎に更なるT F T が必要である（画素毎に2. x T F T ではなく、3. x T F T）

50

【0154】

2. 3. 開始時に全ての画素 T F T をイネーブルにし、ランプアップ／ランプダウン中に伝送 T F T をディスエーブルにする

【0155】

機能

フレーム開始時、全ての伝送 T F T T_T は「ON」に切り替えられる。E N A は「1」に設定され、全ての行線及び列線は同時に「1」に設定される。これにより、フレーム開始時に全ての画素容量は短絡し、画素電極電圧を等化する。全ての画素電圧は、アナログ電圧のランプアップに従う。所望の電圧に達する場合、画素容量は、 T_T から O F F に切り替わることでアナログ線から切断される。これを実行するために、E N A は「0」に設定され、2つの T F T (T_X 及び T_Y) は、専用画素の双方の行線及び列線を起動することで on される。

10

【0156】

利点

- ・更なるイネーブル／ディスエーブル動作及び遅延はない。
- ・（全て＝1）のような特殊なアドレスパターンが使用される場合、更なる「フレームの開始」線は必要ない。
- ・最長限度の伝送時間。

【0157】

注釈

- ・全ての電荷がフレーム開始時に等化されるため、限られた電荷再利用のみが実現される。
- ・全ての画素が開始時にイネーブルにされるため、充電されなければならない容量は増加する。
- ・ハイは、「イネーブル動作」中に T F T を介して電流を等化する。

20

【0158】

更なる特徴

平均電圧（全ての古い画素値の合計）から最大電圧へのランプアップ及び最小電圧へのランプダウン又はその逆。

【0159】

動作間の変化

2. 1 節において E N A = 「0」又は「1」との間で変化するため、或いは、2. 2 節におけるディスエーブル動作又は 2. 3 節におけるイネーブル動作を起動するため、特殊な線が使用される。この線を割愛するため、代わりに特殊なアドレスコード又は「マジックワード」が使用される。例えば、全てのアドレスが「1」である状態で動作がトリガされる場合、画素は、このアドレスを使用できない。ヌル画素のこの問題を回避するため、以下の解決方法を使用する。

30

【0160】

- ・1つの画素欠け（欠損）を受け入れる
- ・1つのクロックヌル>動作、2つのクロックヌル>画素
- ・新しいクラスタ設計（場合によってはホログラムディスプレイに対して適切である）

40

$x = \text{クラスタ } 1 \quad y = \text{クラスタ } 2$

x x x x y y y

x x x y y y y

x x x x y y y

x x x y y y y

x x x x y y y

x x x y y y y

- ・3 T F T の変形例をディスエーブルにする：ディスエーブル動作に対して平行なヌル画素に書き込み、最後にヌル画素に対して書き込んで正確な値に変化する。

50

・ 3 T F T の変形例をイネーブルにする：開始時に全ての画素をイネーブルにし、開始直後に正確な値を「ヌル」画素に書き込む。

【0161】

3. サイリスタ又は可逆的なブレイクスルー T F T

【0162】

機能

2つのサイリスタ又は2つの特殊な T F T を含む 2 T F T 構造が使用される。画素が起動され、且つ、 T_x 及び T_y の T F T が on される場合、高いソースドレイン電流は2つの T F T に流れる。ゲート電圧がディスエーブルである場合でも、この大電流は、電流が流れ続けられるようにソースとドレインとの間で可逆的なブレイクスルーを誘起すべきである。画素容量の電圧及びアナログ線が等しい場合、電流はゼロに低下する。アナログ線がランプアップする場合、これにより、ブレイクスルーが更なる電流の流れを阻害するのを阻止すべきである。

10

【0163】

利点

- ・ 2つの T F T 又はある 2つのゲートサイリスタのみ。
- ・ 長い自己調節された伝送時間。

【0164】

更なる特徴

・ 伝送時間は、2層式マルチプルゲート構造においてブレイクスルーを介して実現されないが、電荷トラップを介して実現される。

20

【0165】

注釈

- ・ 規定されたゲート電荷の放電、
- ・ T F T が長時間 ON と OFF との間にある場合、高い電力損が発生する。

【0166】

4. より小さなクラスタ及び／又はより多くのアナログデータ線

【0167】

4. 0. 一般的な機能

プログラミング時間は伝送時間に等しいが、より小さなクラスタにより、より長いプログラミング時間が可能になる（=>伝送時間）。デジタル線の数は一減少するが、アナログ線の数は一増加する。

30

【0168】

4. 1. アドレスは伝送されたビットシリアルである

【0169】

機能

行線及び列線のアドレスが1つの線（又は非常に少ない線）上に伝送されたビットシリアルであるため、 64×64 画素等のより小さなクラスタが使用される。図 33 を参照する。

【0170】

40

利点

- ・ マトリクスにおいて2つの T F T のみ。

【0171】

注釈

- ・ デジタルシフトレジスタに対する更なる T F T 及びクロックネットワーク線。

【0172】

4. 2. 多数のクラスタ間で共有されたアドレス線

【0173】

機能

小クラスタ及びクラスタ毎に1つのアナログ線が使用される。行線及び列線のアドレス

50

は、全ての行アドレス線及び列アドレス線をゲートする余分なクラスタイネーブル信号を含む多数のクラスタ間で共有される。信号は、アドレス復号器の入力又は出力上にゲートされる。

【0174】

利点

- ・ 2つのTFTのみ。

【0175】

図34及び図35を参照する。

【0176】

5. 2TFT構造とAMとの組合せ（2つ以上のランプアップ）

10

【0177】

機能

回路は、AMと2TFT構造との組合せを使用する。例えば、行線は、一般的なAMゲート線であり、伝送のために1つの線を選択する。列線は、ソートされた伝送のためにアドレス復号器により制御される。この手法は行線毎にオンランプアップを使用する。

【0178】

2つ以上の前のバージョンの組合せ

一般に、上述の実施形態のうちの少なくとも2つ以上を組み合わせることが可能である。

【0179】

20

全ての手法に対する一般的な観念

- ・ 2／3画素TFTのサイズを縮小するためにマルチゲートTFTを使用する。
- ・ サイズを縮小するために上部ゲート及び下部ゲートを含むTFTを使用する。
- ・ Eペーパーのような非常に低速のディスプレイに対して、更新された画素のみが書き込まれる場合、完全なディスプレイは、1つのDACを含む1つのクラスタのみからなる。従って、ディスプレイを駆動するために、1つ又は非常に少ない離散DAC-IC及びデジタルFPGA出力が使用される。従って、組み合わせられた信号ドライバICは必要ない。

- ・ 「巧妙なソーティング」：巧妙なソーティングは、オーバドライブ、電荷再利用、誤り訂正を実行するため、或いは、アドレス線上で切替を最小化する（全ての伝送の総ハミング距離を最短にするようにソートする）ために、一般的な値と比較して異なる時間上に画素起動を挿入することを意味する。

30

- ・ 電荷再利用を改善するために、2つ以上のランプ、或いは、不連続の上昇ランプ又は下降ランプが使用される。

【0180】

重複

ある重複が可能であり、アナログ値が絶えず変化しているため、TFTのスイッチング時間はより低速である。2つ以上の同一の値が書き込まれる場合、リップルは殆ど追加されない。

【0181】

40

他の関連する観念

【0182】

積分電圧を使用すること

伝送された画素電圧は、一定のランプ電圧ではなく、変化するランプ電圧の積分により規定される。 R_{ON} の衝撃は、インシステム校正により補正される。積分伝達（integral transfer）と共に、アナログ信号の「ランプアップ」時間がデータを伝送するために更に使用されることにより、アナログ値を変更するためのオーバーヘッドが減少する。

【0183】

ディスプレイ毎に1つの一定のアナログランプアップパターンのみを使用すること

50

(低速なディスプレイのみ、低いグレースケール解像度のみ)

ディスプレイ全体に対して1つの静的なアナログパターンのみ(1つのアナログ線、1つのDACのみ)を使用する。

【0184】

クラスタが $64 \times 64 = 4096$ 画素から構成される場合、アナログ信号は、次の値に変化する前に各グレースケール値4096クロックを出力する。6ビットのグレースケール解像度が使用される場合、アドレスは、 $4096 * 2^6 * 60 \text{ fps} = 15 \text{ MHz}$ で書き込まなければならない。

【0185】

グレースケール値がほぼ一様に分布する場合、一定のアナログ値を含む時間が短縮されるため、この構造はより高速のディスプレイに対しても可能である。

【0186】

電圧段階の数を減少するため、4ビット等の小さな基本的なビット分解能のみを使用する。1つ又は種々のフレームにおいて多数の書き込みを使用してより高い解像度がPWMに適用される。

【0187】

【表6】

N	クラスタGröße画素	x	y	MUX TFT
1	2	1	1	2
2	4	2	2	6
4	14	4	4	30
6	64	8	8	126
8	256	16	16	
10	1024	32	32	
12	4096	64	64	
14	16384	128	128	
16	65536	256	256	

【0188】

デジタルAM構造、並びに、唯一のクラスタ及びDACを含む一般的なLCD

【0189】

ディスプレイ全体は、本実施形態において1つのクラスタを含み、クラスタ毎にデジタルマトリクス構造及びオンアナログ信号のみを使用する。

【0190】

バックプレーン設計

・LTPSに基づく新しいバックプレーン設計は、ホログラムディスプレイに対してだけでなく、更に他のステレオディスプレイ及び2Dディスプレイに対しても使用された高フレームレートでSLMを駆動することを目的に開発されている

・消費電力は、いくつかの画素セルにわたり電荷を分布させる電荷再利用を適用することで制限される

・本発明は、行線及び列線、画素毎に3つのTFTを含む画素マトリクス、並びに、SLMエッジから電荷を提供するデータ線を制御するアドレス復号器からなるクラスタ設計に基づく

・画素セルの全部で3つのTFTがあり、アナログ線からアドレス指定された画素容量(CPIXEL)に電荷を転送するように、伝送TFT T_Tと呼ばれる第3のTFTをon/offするために3つのうちの2つのTFTがデジタル制御される(図を参照)

【0191】

上記の図6を参照されたい。

【0192】

- ・いくつかの制御モードが可能である（図6を参照）。

【0193】

- ・用語

- ・ T_T : アナログ線からある特定の画素コンデンサに電荷を転送する伝送TFT
- ・ T_x 、 T_y : アドレス指定可能な方法で伝送トランジスタ T_T を on/offするTFT

・アナログ線（双方の図において赤で強調表示された）：電圧を提供して画素容量に充電する 10

・ENA（E/D）線：この線は、 T_T のゲート容量に印加された電荷の状態を制御する

起動された電荷が T_T のゲートに転送される場合、電荷は T_T のゲートとは逆の方向に移動する

- ・第1の手法

・ある特定の画素値に割り当てられた画素のTFT（ T_x 、 T_y ）は、その後、電圧を書き込むために起動されたENA信号と共にonにされる

・そのゲート容量に充電されるため、結果として伝送トランジスタ T_T が起動する 20

画素容量は、アナログデータ線上に印加された電圧に従って充電される

・その後、新しい種々の電圧（他の画素セル向けの）がアナログデータ線により提供される場合、ある特定の画素値に割り当てられた画素のTFT（ T_x 、 T_y ）は、電荷を保存するために停止されたENA信号と共にoffされる

・伝送トランジスタの T_T ゲート容量上の電荷は、ENA線を介して配置される、

伝送トランジスタ T_T がoffであるため、画素容量は、アナログ線に印加された電圧による影響を受けない

- ・結果

・充電等化に対するタイミングがENA信号線により制御されるため、この制御系により、消費電力を削減する効率的な電荷再利用が容易になる 30

・伝送時間は画素毎に制御される

- ・第2の手法

・同一の電圧値を含む画素セルを充電する手順は、第1の手法において説明されたような手順と同一である

・各画素容量において電荷を保存する手段は、第1の手法と比較して異なる

同一の電圧を必要とする全ての画素が次に充電される場合、全てのアドレス線及びENA線は起動される

・電荷及びそれによって画素電圧が留まるように、全ての伝送トランジスタ T_T のゲート容量は放電されて T_T をoffにする 40

・次に、電圧が更に上昇され、より高い電圧を必要とする画素は上述したのと同様にアドレス指定される

- ・結果

・より少ないディスプレイサイクル（グレー値／位相値の数のみに依存する）は、第1の手法と比較して高くなり続けるフレームレートを必要とした

- ・第3の手法

・この種の制御系は、上述の2つの制御系とは異なる

・開始時に全てのアドレス線及びENA信号線が起動される結果、全ての画素セルは同一の電圧値により提供される

・伝送トランジスタ T_T のゲート容量に充電することとなる結果、R(on)を 50

最小化する、 $R(on)$: チャネル抵抗

- ・ 伝送トランジスタ T_T は on である
- ・ 次に、全てのアドレス線及び ENA 線は、 T_T を on に維持する T_T のゲート上の電荷を保存するために停止される
- ・ アナログデータ線を増加することにより、全ての画素の容量はそれに従って充電される。これは、ある特定の画素のアドレス線が起動されない限り継続する
- ・ ある特定の画素のアドレス線が起動される場合、伝送トランジスタ T_T ゲート容量の電荷が ENA 線を介して放電される結果、伝送トランジスタ T_T を off にする
- ・ この動作は、起動されたアドレス線を含む画素が電圧の更なる上昇による影響を受けないが、他の全ての起動されていない画素が新しい電圧値により適用されることを確認する
- ・ 結果
 - ・ 更なるイネーブル／ディスエーブル動作及び遅延はない

10

【図 1】

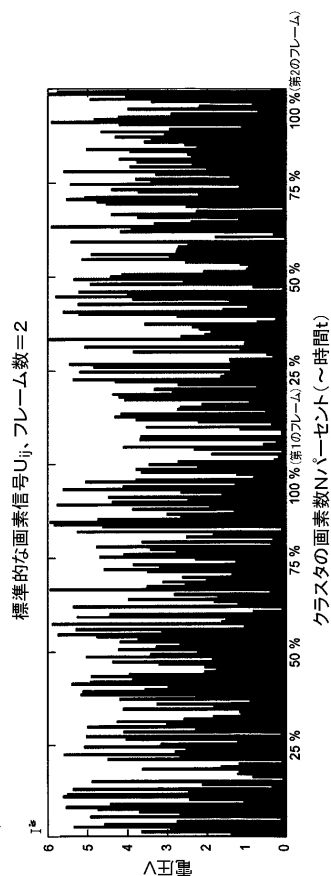


Fig. 1

【図 2 a】

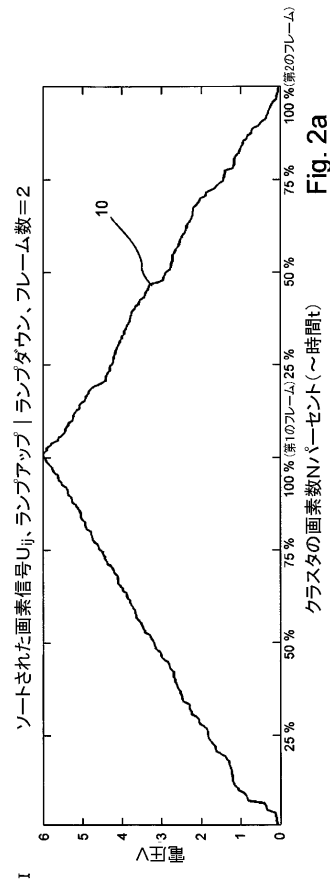


Fig. 2a

【図 7】

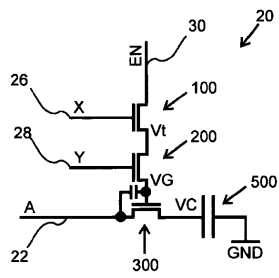


Fig. 7

【図 9】

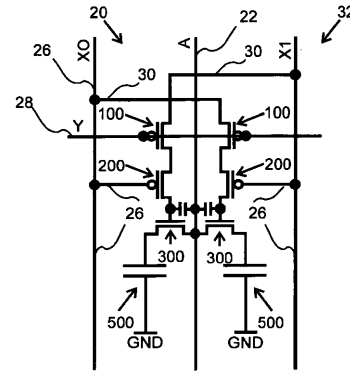


Fig. 9

【図 8】

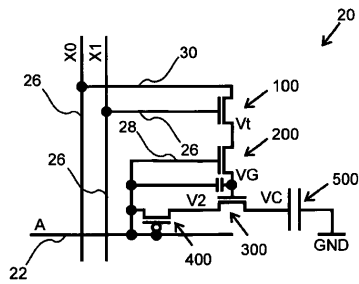


Fig. 8

【図 10】

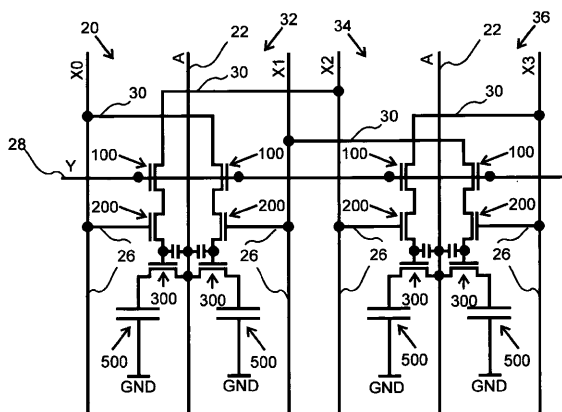


Fig. 10

【図 11】

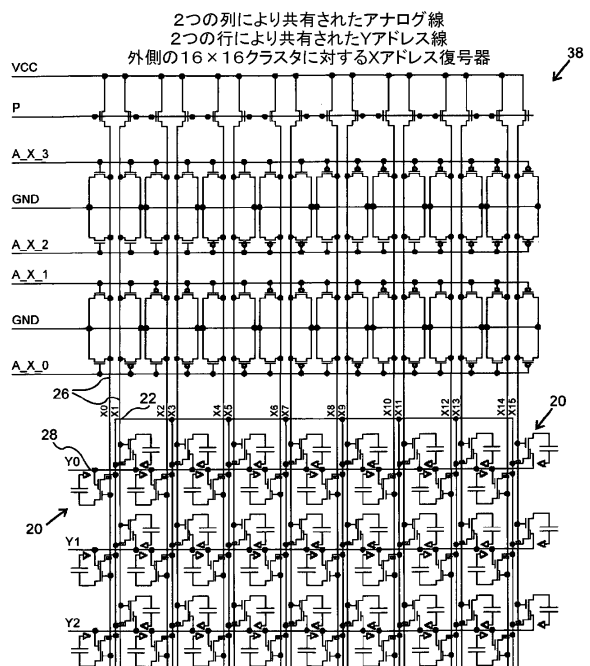


Fig. 11

【図 1 2】

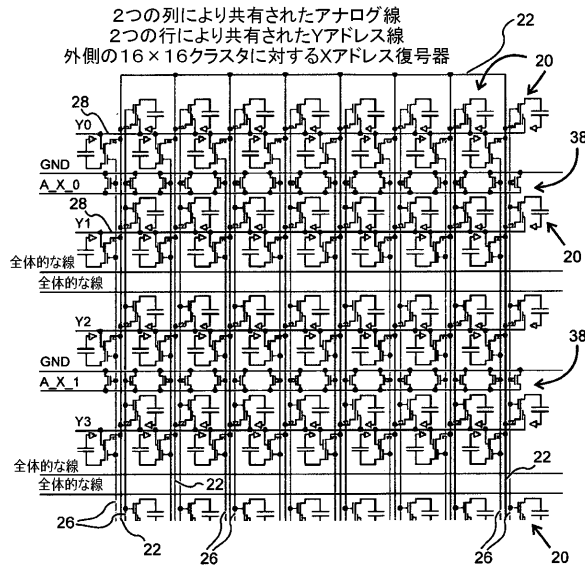


Fig. 12

【図 1 3 a】

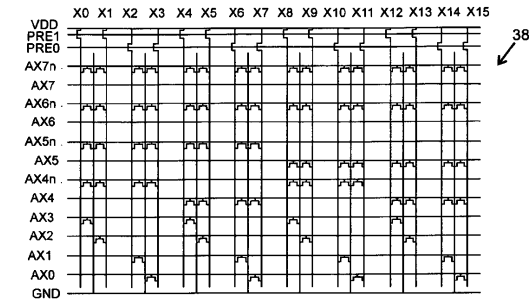


Fig. 13a

【図 1 3 b】

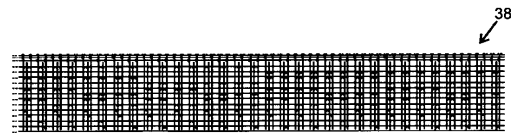


Fig. 13b

【図 1 4】

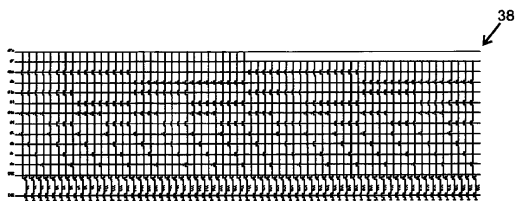


Fig. 14

【図 1 5】

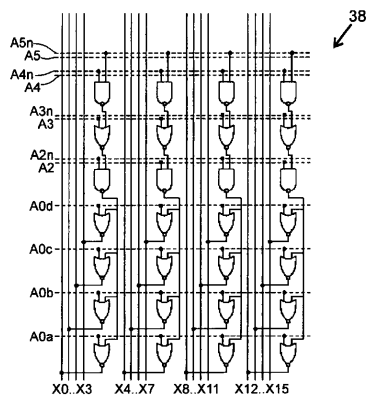


Fig. 15

【図 1 6】

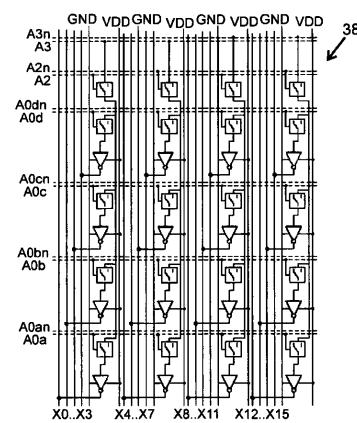


Fig. 16

【図 1 7】

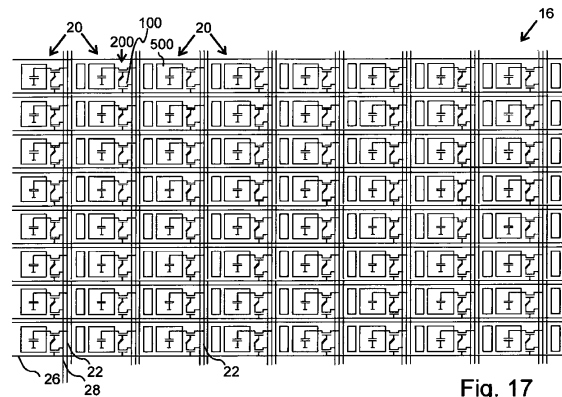


Fig. 17

【図 18】

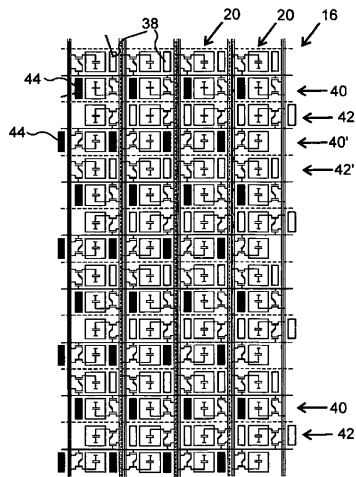


Fig. 18

【図 19】

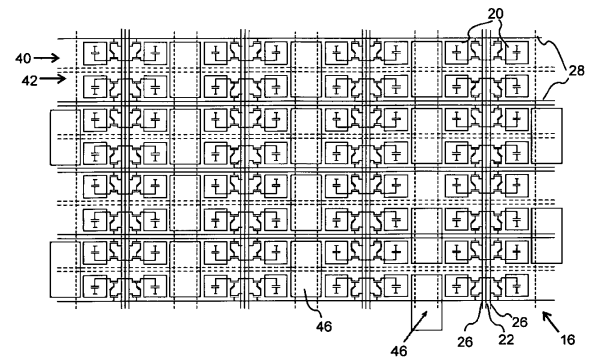


Fig. 19

【図 20】

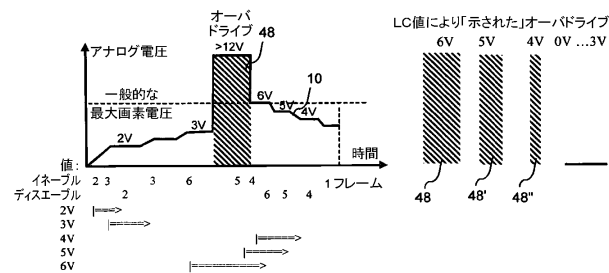


Fig. 20

【図 21】

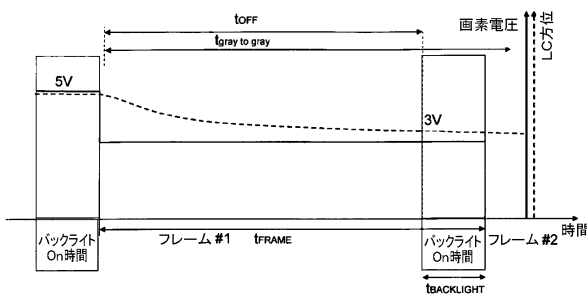


Fig. 21

【図 23】

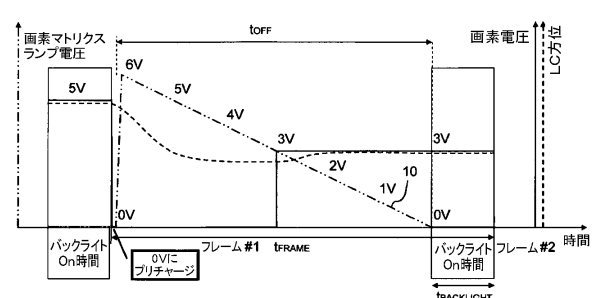


Fig. 23

【図 22】

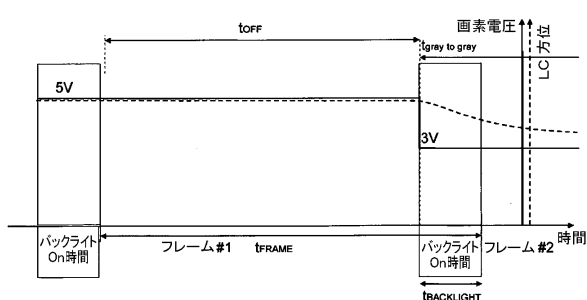


Fig. 22

【図 24】

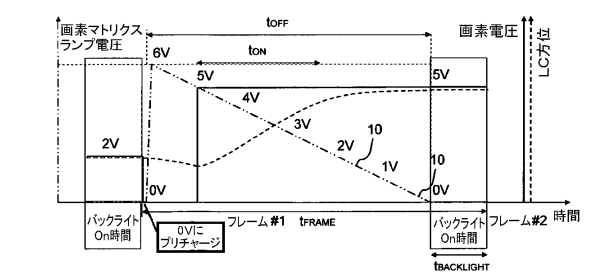


Fig. 24

【図 25】

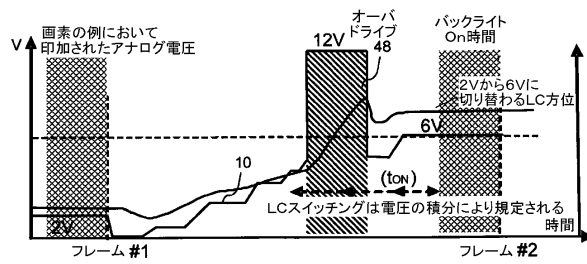


Fig. 25

【図 27】

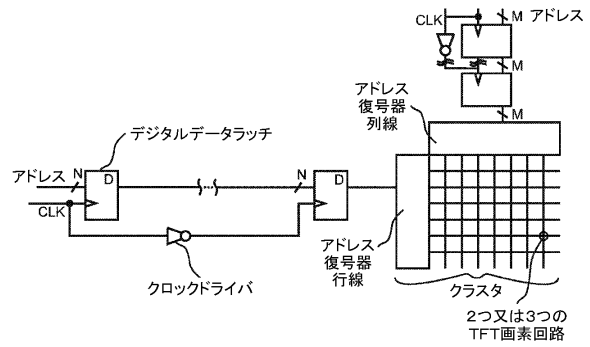


Fig. 27

【図 26】

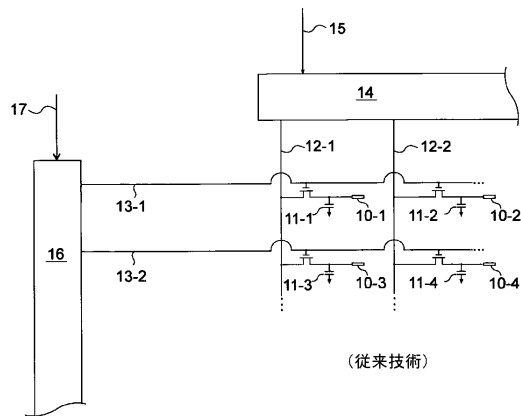


Fig. 26

【図 28】

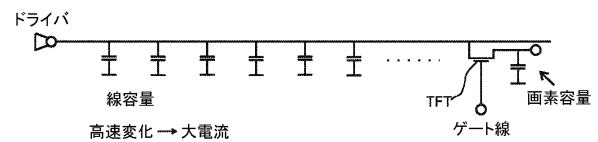


Fig. 28

【図 29】

ローカル配線: アドレス+ローカルAM

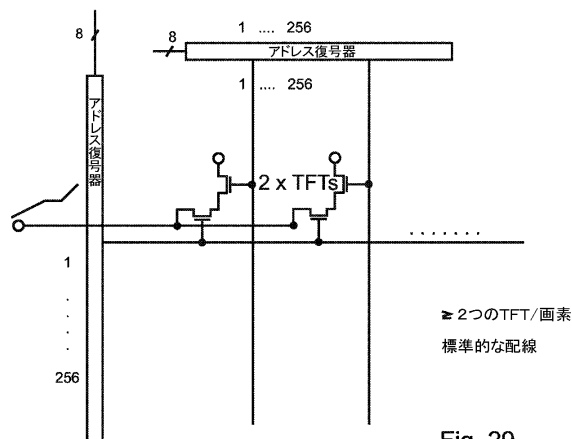


Fig. 29

【図 31】

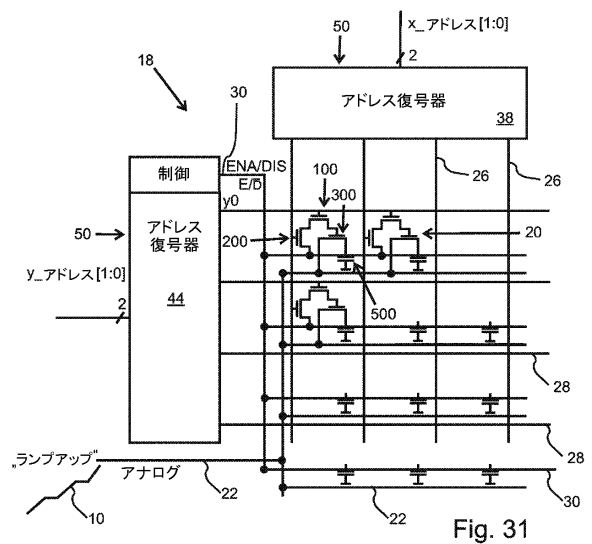


Fig. 31

【図 30】

ローカル配線: 本構造

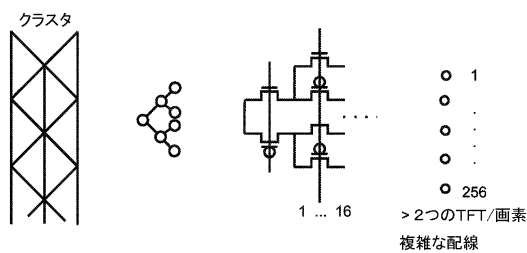


Fig. 30

【図 32】

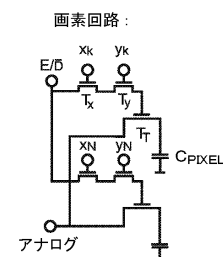


Fig. 32

【図 3 3】

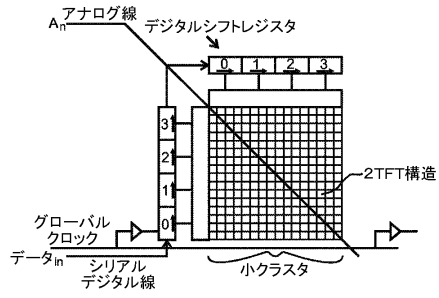


Fig. 33

【図 3 5】

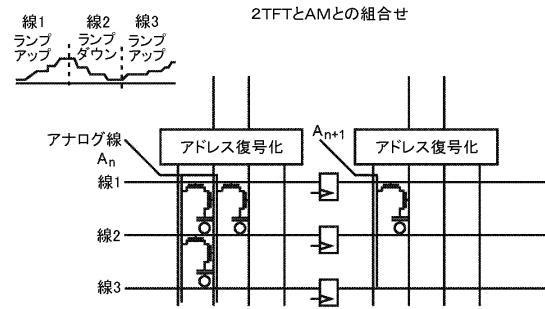


Fig. 35

【図 3 4】

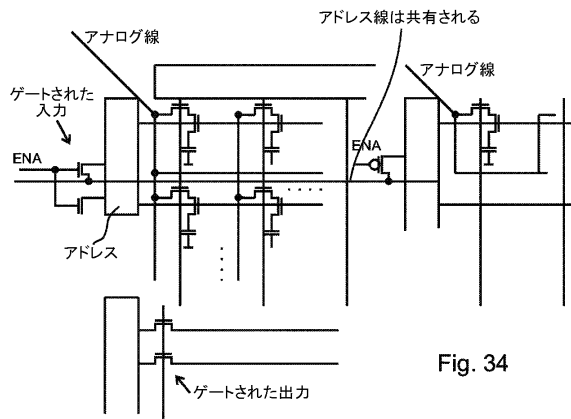


Fig. 34

フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 4 1 C
G 0 9 G	3/20	6 4 1 A
G 0 2 F	1/133	5 5 0
G 0 2 F	1/133	5 7 5
G 0 2 F	1/133	5 7 0

(74)代理人 100116894

弁理士 木村 秀二

(74)代理人 100130409

弁理士 下山 治

(72)発明者 ミスバッハ, ロベルト

ドイツ国 オーテー ベーレンクラウゼ / クライシャ 0 1 7 3 1, アム タイヒ 1 0

審査官 西島 篤宏

(56)参考文献 特開昭63-107380 (JP, A)

特開平09-005789 (JP, A)

特開平10-026945 (JP, A)

特開2002-175040 (JP, A)

特開2003-050404 (JP, A)

国際公開第97/011447 (WO, A1)

特開2006-301651 (JP, A)

特開平07-064512 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G 3/00 - 3/38

G 0 2 F 1/133