

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국



(43) 국제공개일
2009년 11월 12일 (12.11.2009)

(10) 국제공개번호
WO 2009/136718 A2

PCT

- (51) 국제특허분류:
H01L 21/18 (2006.01)
- (21) 국제출원번호: PCT/KR2009/002353
- (22) 국제출원일: 2009년 5월 4일 (04.05.2009)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2008-0041605 2008년 5월 4일 (04.05.2008) KR
- (71) 출원인 (US 을(를) 제외한 모든 지정국에 대하여): **엘지이노텍 주식회사 (LG INNOTEK CO., LTD)** [KR/KR]; 서울시 영등포구 여의도동 20 번지 엘지트윈타워 서관 33 층, 150-721 Seoul (KR).
- (72) 발명자; 겸
- (75) 발명자/출원인 (US 에 한하여): **송준오 (SONG, June O)** [KR/KR]; 경기도 용인시 기흥구 중동 어은목마을 한라비발디 APT 4004 동 1004 호, 446-750 Gyeonggi-do (KR).
- (74) 대리인: **서교준 (SEO, Kyo Jun)**; 서울 강남구 역삼동 832-41 현죽빌딩 9 층, 135-080 Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 유럽 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

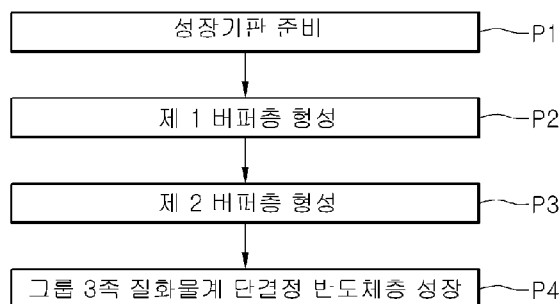
공개:

- 국제조사보고서 없이 공개하며 보고서 접수 후 이를 별도 공개함 (규칙 48.2(g))

(54) Title: SEMICONDUCTOR ELEMENT AND A PRODUCTION METHOD THEREFOR

(54) 발명의 명칭: 반도체 소자 및 그 제조방법

[Fig. 1]



P1 ... Growth substrate preparation
P2 ... First buffer layer formation
P3 ... Second buffer layer formation
P4 ... Group 3 nitride-based single-crystal semiconductor layer growth

(57) Abstract: According to an embodiment of this invention, a semiconductor element comprises: a growth substrate; a first buffer layer having the composition $\text{Re}_x\text{Si}_y(0 \leq x \leq 2, 0 \leq y \leq 2)$, on the growth substrate; and a group 3 nitride-based single-crystal semiconductor layer having the composition $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}(0 \leq x, 0 \leq y, x+y \leq 1)$, on the buffer layer.

(57) 요약서: 실시예에 따른 반도체 소자는 성장 기판; 상기 성장 기판 상에 $\text{Re}_x\text{Si}_y(0 \leq x \leq 2, 0 \leq y \leq 2)$ 의 조성을 갖는 제 1 버퍼층; 및 상기 버퍼층 상에 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}(0 \leq x, 0 \leq y, x+y \leq 1)$ 의 조성을 갖는 그룹 3족 질화물계 단결정 반도체층을 포함한다.



WO 2009/136718 A2

명세서

반도체 소자 및 그 제조방법

기술분야

- [1] 본 발명은 반도체 소자 및 그 제조방법에 관한 것이다.

배경기술

- [2] 최근, 발광 소자로서 발광 다이오드(Light Emitting Diode; LED)가 각광 받고 있다. 발광 다이오드는 전기에너지를 빛에너지로 변환하는 효율이 높고 수명이 평균 5년 이상으로 길기 때문에, 에너지 소모와 유지보수 비용을 크게 절감할 수 있는 장점이 있어 차세대 조명 분야에서 주목받고 있다.
- [3] 상기 발광 다이오드는 육방정계의 구조를 갖는 사파이어(sapphire), 실리콘 카바이드(SiC), 또는 실리콘(Si)과 같은 성장 기판 상에 버퍼층을 형성하고, 상기 버퍼층 상에 제1 도전형의 반도체층, 활성층 및 제2 도전형의 반도체층을 포함하는 발광 반도체층을 형성한다. 상기 발광 다이오드는 그룹 3족 질화물 단결정 반도체로 형성될 수 있으며, 상기 제1 도전형의 반도체층 및 제2 도전형의 반도체층을 통해 인가되는 전류에 따라 상기 활성층에서 빛이 발생된다.
- [4] 그러나, 상기 그룹 3족 질화물 단결정 반도체가 상기 성장 기판에 형성될 경우, 그룹 3족 질화물계 단결정 반도체와 성장 기판 사이의 격자 상수 및 열팽창계수의 차이로 인하여 상기 그룹 3족 질화물 단결정 반도체에 크랙(crack) 또는 뒤틀림(warpage)이 발생되고, 전위(dislocation)가 생성될 수 있다.
- [5] 특히, 실리콘 성장 기판 상에 그룹 3족 질화물 단결정 반도체를 성장시키는 경우, 실리콘 성장 기판과 그룹 3족 질화물 단결정 반도체 사이의 큰 격자 상수의 차이 및 열팽창계수의 차이로 인하여 그룹 3족 질화물계 단결정 반도체의 결정성이 저하되고 크랙 및 전위가 발생하는 문제가 발생된다.
- [6] 예를 들어, 대표적인 그룹 3족 질화물 단결정 반도체인 질화갈륨(GaN)의 열팽창계수는 $5.59 \times 10^{-6}/K$ 이고, 격자상수는 $3.189 \text{\AA}$ 이다. 그리고, (111) 결정면을 갖는 실리콘(Si) 성장기판의 열팽창계수는 $2.50 \times 10^{-6}/K$ 이고, 격자상수는 $3.84 \text{\AA}$ 이다.
- [7] 즉, 실리콘 성장기판은 질화갈륨(GaN)과 비교하여 약 53.6%의 열팽창계수 차이와 16.9%의 격자상수 차이를 갖는다. 따라서, 실리콘 성장기판 상에 성장되는 질화갈륨층은 격자상수 차이로 인해 다량의 전위가 발생하며, 열팽창계수 차이로 인해 크랙이 발생한다.
- [8] 특히, 크랙은 고온에서 질화갈륨층을 성장시킨 후 냉각 과정에서 열팽창계수의 차이로 인한 인장 응력 때문에 발생되는데, 이것은 질화갈륨층의 결정성을 저하할 뿐만 아니라, 전자 또는 정공 주입 시 방해층으로 작용하여 발광 다이오드의 성능을 저하시킨다.

발명의 상세한 설명

기술적 과제

- [9] 실시예에는 새로운 구조의 반도체 소자 및 그 제조방법을 제공한다.
 [10] 실시예에는 전기적 특성이 향상된 반도체 소자 및 그 제조방법을 제공한다.

기술적 해결방법

- [11] 실시예에 따른 반도체 소자는 성장 기판; 상기 성장 기판 상에 Re_xSi_y ($0 \leq x \leq 2$, $0 \leq y \leq 2$)의 조성을 갖는 제1 버퍼층; 및 상기 버퍼층 상에 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x$, $0 \leq y$, $x+y \leq 1$)의 조성을 갖는 그룹 3족 질화물계 단결정 반도체층을 포함한다.
 [12] 실시예에 따른 반도체 소자는 실리콘 성장 기판; 상기 실리콘 성장 기판 상에 Re_xSi_y ($0 \leq x \leq 2$, $0 \leq y \leq 2$)의 조성을 갖는 제1 버퍼층; 상기 제1 버퍼층 상에 GaN 또는 AlN을 포함하는 제2 버퍼층; 및 상기 제2 버퍼층 상에 제1 도전형의 반도체층, 활성층, 및 제2 도전형의 반도체층을 포함한다.
 [13] 실시예에 따른 반도체 소자 제조방법은 성장 기판 상에 Re_xSi_y ($0 \leq x \leq 2$, $0 \leq y \leq 2$)의 조성을 갖는 화합물을 포함하는 버퍼층을 형성하는 단계; 상기 버퍼층 상에 제1 도전형의 반도체층, 활성층, 및 제2 도전형의 반도체층을 포함하는 발광 반도체층을 형성하는 단계; 상기 제2 도전형의 반도체층 상에 오믹 접촉 반사층을 형성하는 단계; 상기 오믹 접촉 반사층 상에 도전성 웨이퍼 결합층 및 도전성 지지 기판을 형성하는 단계; 상기 성장 기판 및 버퍼층을 제거하는 단계; 및 상기 제1 도전형의 반도체층 상에 제1 전극층을 형성하는 단계를 포함한다.

유리한 효과

- [14] 실시예에는 새로운 구조의 반도체 소자 및 그 제조방법을 제공할 수 있다.
 [15] 실시예에는 전기적 특성이 향상된 반도체 소자 및 그 제조방법을 제공할 수 있다.

도면의 간단한 설명

- [16] 도 1과 도 2는 실시예에 따른 반도체 소자 제조방법을 설명하는 도면.
 [17] 도 3은 제1 실시예에 따른 반도체 소자를 설명하는 도면.
 [18] 도 4는 제2 실시예에 따른 반도체 소자를 설명하는 도면.
 [19] 도 5 내지 도 9는 실리콘 성장기판을 이용한 그룹 3족 질화물계 발광 소자의 제조방법을 설명하는 도면.

발명의 실시를 위한 형태

- [20] 본 발명에 따른 실시예의 설명에 있어서, 각 층(막), 영역, 패턴 또는 구조물들이 기판, 각 층(막), 영역, 패드 또는 패턴들의 "상/위(on)"에 또는 "하/아래(under)"에 형성되는 것으로 기재되는 경우에 있어, "상/위(on)"와 "하/아래(under)"는 "직접(directly)" 또는 "다른 층을 개재하여 (indirectly)" 형성되는 것을 모두 포함한다. 또한 각 층의 위 또는 아래에 대한 기준은 도면을 기준으로 설명한다.
 [21] 도면에서 각층의 두께나 크기는 설명의 편의 및 명확성을 위하여 과장되거나 생략되거나 또는 개략적으로 도시되었다. 또한 각 구성요소의 크기는 실제크기를 전적으로 반영하는 것은 아니다.

- [22] 도 1과 도 2는 실시예에 따른 반도체 소자 제조방법을 설명하는 도면이다.
- [23] 도 1과 도 2를 참조하면, 먼저, 성장 기판(100)을 준비한다(P1).
- [24] 상기 성장 기판(100)은 사파이어, 탄화실리콘(SiC), 산화아연(ZnO), 갈륨비소(GaAs), 질화갈륨(GaN), 실리콘(Si), 산화리튬알루미늄(LiAlO₂), 또는 산화리튬갈륨(LiGaO₂) 중 어느 하나로 형성될 수 있다. 예를 들어, 상기 성장 기판(100)은 사파이어 성장 기판, 탄화실리콘(SiC) 성장 기판, 또는 실리콘(Si) 성장 기판 중 어느 하나가 선택될 수 있다.
- [25] 상기 성장 기판(100) 상에 제1 버퍼층(110) 및 제2 버퍼층(120)을 형성한다(P2)(P3).
- [26] 상기 제1 버퍼층(110)은 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x, 0 \leq y, x+y \leq 1$) 또는 Re_xSi_y ($0 \leq x \leq 2, 0 \leq y \leq 2$)의 조성을 갖는 박막 중 어느 하나로 형성될 수 있고, 상기 제2 버퍼층(120)은 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x, 0 \leq y, x+y \leq 1$) 또는 Re_xSi_y ($0 \leq x \leq 2, 0 \leq y \leq 2$)의 조성을 갖는 박막 중 다른 하나로 형성될 수 있다.
- [27] 상기 제1 버퍼층(110) 및 제2 버퍼층(120)은 화학 기상 증착법(CVD) 또는 물리 기상 증착법(PVD)을 사용하여 10nm 내지 1000nm의 두께로 형성될 수 있다.
- [28] 상기 제2 버퍼층(120) 상에 단결정 반도체층(130)을 형성한다(P4).
- [29] 상기 단결정 반도체층(130)은 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x, 0 \leq y, x+y \leq 1$)으로 표기되는 그룹 3족 질화물계 단결정 반도체 물질로서, 전자소자 또는 발광소자 제조를 위한 단층 또는 다층막인 구조체가 될 수 있다. 예를 들어, 상기 단결정 반도체층(130)은 제1 도전형의 반도체층, 활성층, 제2 도전형의 반도체층을 포함할 수 있다.
- [30] 도 3은 제1 실시예에 따른 반도체 소자를 설명하는 도면이다.
- [31] 도 3을 참조하면, (111) 면방위의 실리콘(Si) 성장 기판(200) 상에 물리 기상 증착법(PVD) 중 스퍼터링 또는 증발(evaporator)을 이용하거나 MOCVD, HVPE, MBE, ALD와 같은 화학 기상 증착법을 이용하여 레늄(rhenium) 또는 레늄 실리사이드(rhenium silicide) 물질을 10nm 내지 1000nm로 증착한다. 그리고, 열처리 공정을 수행하여 $\text{ReSi}_{1.75}$ 또는 ReSi_2 에 근접하는 화학식을 갖는 화합물을 형성하여 제1 버퍼층(210)을 형성한다.
- [32] 그리고, 상기 제1 버퍼층(210) 상에 화학 기상 증착법(CVD) 중 MOCVD, HVPE, MBE 등을 사용하여 GaN 또는 AlN으로 형성된 제2 버퍼층(220)을 형성한다.
- [33] 그리고, 상기 제2 버퍼층(220) 상에 연속적으로 MOCVD, HVPE, MBE 등을 사용하여 제1 도전형의 반도체층으로서, 실리콘(Si)이 도핑된 질화갈륨(GaN:Si) 박막층(230)을 형성한다.
- [34] 비록 도시되지는 않았지만, 상기 질화갈륨 박막층(230) 상에 활성층 및 제2 도전형의 반도체층을 형성하는 공정이 추가로 진행될 수 있다.
- [35] 도 4는 제2 실시예에 따른 반도체 소자를 설명하는 도면이다.
- [36] 도 4를 참조하면, (0001) 면방위의 사파이어 성장 기판(300) 상에 화학 기상 증착법(CVD) 중 MOCVD, HVPE, MBE 등을 사용하여 GaN 또는 AlN을 형성하고

- 열처리 공정을 거쳐 제1 버퍼층(310)을 형성한다.
- [37] 그리고, 상기 제1 버퍼층(310) 상에 물리 기상 증착법(PVD) 중 스퍼터링 또는 증발(evaporator)을 이용하거나 MOCVD, HVPE, MBE, ALD와 같은 화학 기상 증착법을 이용하여 레늄(rhenium) 또는 레늄 실리사이드(rhenium silicide) 물질을 증착하여 $\text{ReSi}_{1.75}$ 또는 ReSi_2 에 근접하는 화학식을 갖는 화합물을 형성하여 제2 버퍼층(320)을 형성한다.
- [38] 그리고, 상기 제2 버퍼층(320) 상에 연속적으로 MOCVD, HVPE, MBE 등을 사용하여 제1 도전형의 반도체층으로서, 실리콘(Si)이 도핑된 질화갈륨(GaN:Si) 박막층(330)을 형성한다.
- [39] 비록 도시되지는 않았지만, 상기 질화갈륨 박막층(330) 상에 활성층 및 제2 도전형의 반도체층을 형성하는 공정이 추가로 진행될 수 있다.
- [40] 상기 실리콘 성장기판(200)은 일반적인 반도체 공정에서 가장 광범위하게 사용되고 있는 기판으로서, 저렴하면서 대형 웨이퍼의 제작이 가능하고 열전도도가 우수한 특징을 갖는다.
- [41] 실시예에서 실리콘 성장기판(200)의 면방위는 (111) 이외에도 (100) 또는 (110)인 것이 사용될 수 있다. 면방위가 (111)인 실리콘 성장기판(200)의 면은 약 $3.84\text{\AA}$ 의 격자상수를 갖는다. 반면, 면방위가 (100)인 실리콘 성장기판(200)의 면은 약 $5.40\text{\AA}$ 의 격자상수를 갖는다.
- [42] 따라서 질화갈륨(GaN)의 격자상수가 약 $3.189\text{\AA}$ 임을 감안하면 그룹 3족 질화물계 단결정 반도체 물질을 직접적으로 성장시키기 위한 실리콘 성장기판(200)의 면방위는 (111)인 것이 바람직하다.
- [43] 그러나, 실시예에서는 실리콘 성장기판(200) 상면에 직접적으로 그룹 3족 질화물계 단결정 반도체 물질을 직접적으로 성장하기에 앞서, 실시예에 따른 $\text{Re}_x\text{Si}_y(0 \leq x \leq 2, 0 \leq y \leq 2)$ 의 조성을 갖는 적어도 하나의 박막으로 형성된 버퍼층(buffering layer)을 구비하고 있기 때문에, (111)인 면방위를 갖는 실리콘 성장기판(200) 뿐만 아니라, (100) 또는 (110)인 면방위를 갖는 실리콘 성장기판(200)도 사용이 가능하다.
- [44] 상기 제1 버퍼층 또는 제2 버퍼층으로 사용되는 $\text{Re}_x\text{Si}_y(0 \leq x \leq 2, 0 \leq y \leq 2)$ 의 조성을 갖는 화합물 중에서 상술한 $\text{ReSi}_{1.75}$ 또는 ReSi_2 박막층은 형성 방법에 따라서 삼사정계(triclinic system), 사방정계(orthorhombic system), 또는 정방정계(tetragonal system) 결정을 갖는다.
- [45] 상기 $\text{ReSi}_{1.75}$ 또는 ReSi_2 박막층은 결정계와 무관하게 결정 격자상수는 결정 성장면의 a축의 단위 값이 $0.313\text{\AA}$ 이고, b축의 단위 값도 $0.312\text{\AA}$ 이다. 또한, 상기한 $\text{ReSi}_{1.75}$ 또는 ReSi_2 박막층의 열팽창계수는 $300 \sim 1400\text{K}$ 온도 범위에서, a축은 $4.239 + 0.0044T$, b축은 $5.604 + 0.0039T$, c축은 $7.53 + 0.0012T$ (T: 절대온도) 값을 갖는다. 즉, 상기 $\text{ReSi}_{1.75}$ 또는 ReSi_2 박막층의 결정 격자상수 및 열팽창계수 값은 그룹 3족 질화물계 단결정 반도체의 것들과 매우 유사한 값을 보인다.
- [46] 따라서, 실시예에 따른 버퍼층은 단가가 저렴하고 대량 생산이 가능한 실리콘

- 성장기판을 이용하여 그룹 3족 질화물계 반도체 소자를 제조하는데 사용될 수 있다.
- [47] 실시예에 따르면, 상기 성장기판 상에 버퍼층을 매개로 형성되는 그룹 3족 질화물계 반도체 소자에 크랙 또는 뒤틀림이 감소되며 전위의 발생도 억제될 수 있다. 따라서, 그룹 3족 질화물계 반도체 소자의 품질이 향상될 수 있으며, 그에 따라 그룹 3족 질화물계 반도체 소자를 이용한 반도체 소자의 전기적 특성이 향상될 수 있다.
- [48] 도 5 내지 도 9는 실리콘 성장기판을 이용한 그룹 3족 질화물계 발광 소자의 제조방법을 설명하는 도면이다.
- [49] 실리콘 성장기판을 이용하여 그룹 3족 질화물계 발광 소자를 제조하는 경우에 있어서, 상기 실리콘 성장기판은 빛을 매우 잘 흡수하는 특성을 있고, 종래의 사파이어 성장기판과는 달리 통상의 습식식각법에 의해 용이하게 분리되는 특징이 있다.
- [50] 따라서, 실리콘 성장기판의 광학적, 물리적 특성에 견주어 볼 때, 실리콘 성장기판을 이용한 그룹 3족 질화물계 발광 소자는 버티컬 타입의 발광 소자를 제조하는데 유용하게 사용될 수 있다. 그러나, 실리콘 성장기판을 사용하여 래터럴 타입의 발광 소자를 제조하는 것도 가능하다.
- [51] 도 5를 참조하면, 실리콘 성장기판(400) 상에 $\text{ReSi}_{1.75}$ 또는 ReSi_2 박막층에 근접하는 화학식을 갖는 제1 버퍼층(410)과, GaN 또는 AlN으로 형성된 제2 버퍼층(420)을 형성한다.
- [52] 그리고, 상기 제2 버퍼층(420) 상에 제1 도전형의 반도체층(430), 활성층(440), 및 제2 도전형의 반도체층(450)을 포함하는 발광 반도체층을 형성한다.
- [53] 예를 들어, 상기 제1 도전형의 반도체층(430)은 실리콘(Si)이 도핑된 n형 질화물계 반도체층으로 형성될 수 있고, 상기 활성층(440)은 양자우물구조를 갖는 질화물계 반도체층으로 형성될 수 있으며, 상기 제2 도전형의 반도체층(450)은 마그네슘(Mg)이 도핑된 p형 질화물계 반도체층으로 형성될 수 있다.
- [54] 도 6을 참조하면, 발광 소자의 전기적 특성 및 광학적 특성을 향상시키기 위해 상기 제2 도전형의 반도체층(450) 상에 오믹접촉 반사층(460)을 형성한다.
- [55] 상기 오믹접촉 반사층(460)은 Rh, Au, Pt, Ni, Ag, Pd, 또는 Al 중 어느 하나로 형성되거나, Rh, Au, Pt, Ni, Ag, Pd, 또는 Al 중 어느 하나가 포함된 합금으로 형성될 수 있다.
- [56] 상기 오믹접촉 반사층(460)은 상기 제2 도전형의 반도체(450)과는 수직방향으로의 접촉 저항이 낮은 오믹접촉 계면을 형성하여 수직방향으로 전류를 원활하게 주입시킬 수 있다. 상기 오믹접촉 반사층(460)은 통상의 증기 장치(evaporator)를 이용하여 형성될 수 있다.
- [57] 도 7을 참조하면, 상기 오믹접촉 반사층(460)상에 도전성 웨이퍼 결합층(470)을 이용하여 도전성 지지기판(480)을 접합시킨다.

- [58] 본 공정은 오믹접촉 반사층(460)상에 상기 도전성 웨이퍼 결합층(470)을 미리 형성한 후 상기 도전성 지지기판(480)을 접합시키는 방식으로 도시되어 있으나, 이와 달리, 상기 도전성 웨이퍼 결합층(470)을 상기 도전성 지지기판(480)의 하면에 형성한 후에 상기 오믹접촉 반사층(460)에 접합하는 방식으로 구현될 수도 있다.
- [59] 상기 도전성 웨이퍼 결합층(470)을 구성하는 물질은 소정의 압력과 200~600°C의 녹는점을 갖고 있는 물질을 사용하는 것이 바람직하다. 예를 들어, 상기 도전성 웨이퍼 결합층(470)은 Au, Sn, Pd, In, Ag, Ti, Ni, Cr, 또는 Pt 중 적어도 어느 하나를 포함하여 형성될 수 있다.
- [60] 또한, 상기 도전성 지지기판(480)은 불순물이 도핑되어 도전성을 가질 수 있는 실리콘(Si)을 포함하는 지지기판을 사용할 수 있다.
- [61] 도 8을 참조하면, 상기 도전성 지지기판(480)의 웨이퍼 결합 공정이 완료되면, 상기 실리콘 성장기판(400)을 분리 제거한다.
- [62] 사파이어 성장기판은 레이저 용융, 기계적 연마, 화학적 식각과 같은 기판 분리 제거 기술 중 하나를 이용하여 제거될 수 있다. 종래에 사용되는 사파이어 성장기판은 알루미나(Al_2O_3)의 육방정계 결정구조로서 매우 견고하므로, 기계적 연마나 화학적 식각공정을 사용하는 경우에는 공정비용이나 시간이 증가하는 문제가 있어 주로 레이저빔을 이용하여 분리하였다. 이러한 레이저빔을 이용한 분리 제거 방법은 분리 공정에서 발생하는 고열로 인해 발광구조물의 단결정면을 손상시켜 최종적인 발광다이오드의 신뢰성을 저하는 문제가 있다.
- [63] 반면, 실시예에서는 상기 실리콘 성장기판(400)을 사용하므로 일반적으로 알려진 식각기법, 특히 습식식각법으로 용이하게 분리할 수 있으므로 레이저빔 분리기법에 수반되는 문제점을 해결할 수 있다.
- [64] 도 9를 참조하면, 상기 제1 버퍼층(410) 및 제2 버퍼층(420)을 제거한 다음에 상기 제1 도전형의 반도체층(430)상에 제1 전극층(490)을 형성한다.
- [65] 따라서, 버티컬 타입의 발광 소자가 제조될 수 있다.
- [66] 실시예에 따른 반도체 소자는 상기 발광 반도체층에 크랙이나 뒤틀림 현상이 거의 발생되지 않기 때문에, 발광 소자의 신뢰성 및 휘도를 획기적으로 향상시킬 수 있다.
- [67] 이상에서 실시예를 중심으로 설명하였으나 이는 단지 예시일 뿐 본 발명을 한정하는 것이 아니며, 본 발명이 속하는 분야의 통상의 지식을 가진 자라면 본 실시예의 본질적인 특성을 벗어나지 않는 범위에서 이상에 예시되지 않은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다. 예를 들어, 실시예에 구체적으로 나타난 각 구성 요소는 변형하여 실시할 수 있는 것이다. 그리고 이러한 변형과 응용에 관계된 차이점들은 첨부된 청구 범위에서 규정하는 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

산업상 이용가능성

- [68] 실시예는 광원으로 사용되는 발광 소자를 포함하는 다양한 용도의 반도체 소자에 적용될 수 있다.

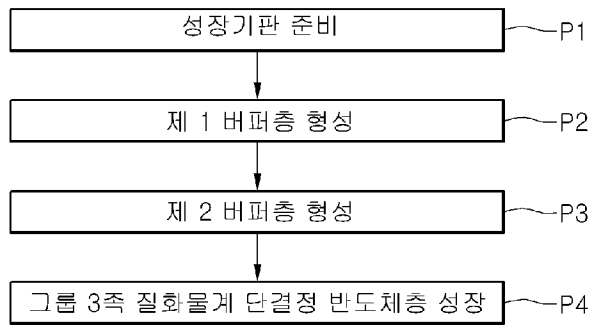
청구범위

- [1] 성장 기관;
상기 성장 기관 상에 Re_xSi_y ($0 \leq x \leq 2$, $0 \leq y \leq 2$)의 조성을 갖는 제1 버퍼층; 및
상기 버퍼층 상에 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x$, $0 \leq y$, $x+y \leq 1$)의 조성을 갖는 그룹 3족
질화물계 단결정 반도체층을 포함하는 반도체 소자.
- [2] 제 1항에 있어서,
상기 성장 기관과 제1 버퍼층 사이 또는 상기 제1 버퍼층과 상기 그룹 3족
질화물계 단결정 반도체층 사이에 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x$, $0 \leq y$, $x+y \leq 1$)의 조성을
갖는 제2 버퍼층을 포함하는 반도체 소자.
- [3] 제 1항에 있어서,
상기 성장 기관은 사파이어, 탄화실리콘(SiC), 산화아연(ZnO),
갈륨비소(GaAs), 질화갈륨(GaN), 실리콘(Si), 산화리튬알루미늄(LiAlO_2),
또는 산화리튬갈륨(LiGaO_2) 중 어느 하나로 형성되는 반도체 소자.
- [4] 제 1항에 있어서,
상기 성장 기관은 실리콘(Si) 성장 기관인 반도체 소자.
- [5] 제 1항에 있어서,
상기 제1 버퍼층은 $\text{ReSi}_{1.75}$ 또는 ReSi_2 를 포함하는 반도체 소자.
- [6] 제 2항에 있어서,
상기 제2 버퍼층은 GaN 또는 AlN을 포함하는 반도체 소자.
- [7] 제 1항에 있어서,
상기 그룹 3족 질화물계 단결정 반도체층은 제1 도전형의 반도체층, 활성층
및 제2 도전형의 반도체층을 포함하는 반도체 소자.
- [8] 실리콘 성장 기관;
상기 실리콘 성장 기관 상에 Re_xSi_y ($0 \leq x \leq 2$, $0 \leq y \leq 2$)의 조성을 갖는 제1
버퍼층;
상기 제1 버퍼층 상에 GaN 또는 AlN을 포함하는 제2 버퍼층; 및
상기 제2 버퍼층 상에 제1 도전형의 반도체층, 활성층, 및 제2 도전형의
반도체층을 포함하는 반도체 소자.
- [9] 제 8항에 있어서,
상기 제2 도전형의 반도체층 상에 오믹 접촉층을 포함하는 반도체 소자.
- [10] 성장 기관 상에 Re_xSi_y ($0 \leq x \leq 2$, $0 \leq y \leq 2$)의 조성을 갖는 화합물을 포함하는
버퍼층을 형성하는 단계;
상기 버퍼층 상에 제1 도전형의 반도체층, 활성층, 및 제2 도전형의
반도체층을 포함하는 발광 반도체층을 형성하는 단계;
상기 제2 도전형의 반도체층 상에 오믹 접촉 반사층을 형성하는 단계;
상기 오믹 접촉 반사층 상에 도전성 웨이퍼 결합층 및 도전성 지지 기판을
형성하는 단계;

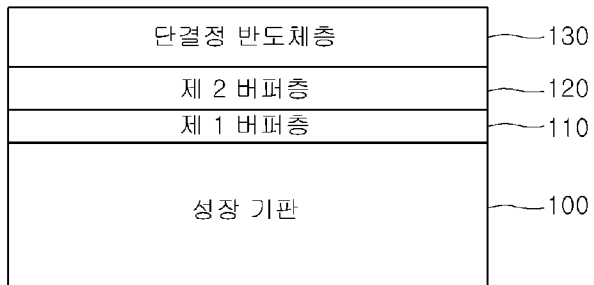
상기 성장 기판 및 버퍼층을 제거하는 단계; 및
상기 제1 도전형의 반도체층 상에 제1 전극층을 형성하는 단계를 포함하는
반도체 소자 제조방법.

- [11] 제 10항에 있어서,
상기 버퍼층은 상기 Re_xSi_y ($0 \leq x \leq 2$, $0 \leq y \leq 2$)의 조성을 갖는 제1 버퍼층과, $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x$, $0 \leq y$, $x+y \leq 1$)의 조성을 갖는 제2 버퍼층을 포함하는 반도체 소자 제조방법.
- [12] 제 10항에 있어서,
상기 성장 기판은 사파이어, 탄화실리콘(SiC), 산화아연(ZnO), 갈륨비소(GaAs), 질화갈륨(GaN), 실리콘(Si), 산화리튬알루미늄(LiAlO_2), 또는 산화리튬갈륨(LiGaO_2) 중 어느 하나로 형성되는 반도체 소자 제조방법.
- [13] 제 10항에 있어서,
상기 성장 기판은 실리콘 성장 기판인 반도체 소자 제조방법.
- [14] 제 11항에 있어서,
상기 제1 버퍼층은 $\text{ReSi}_{1.75}$ 또는 ReSi_2 를 포함하는 반도체 소자 제조방법.
- [15] 제 11항에 있어서,
상기 제2 버퍼층은 GaN 또는 AlN을 포함하는 반도체 소자 제조방법.

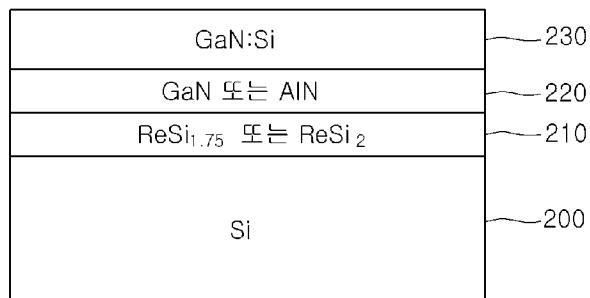
[Fig. 1]



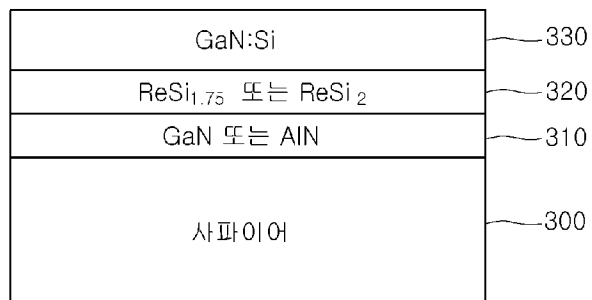
[Fig. 2]



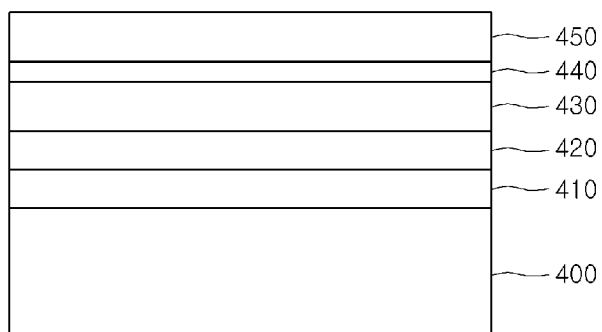
[Fig. 3]



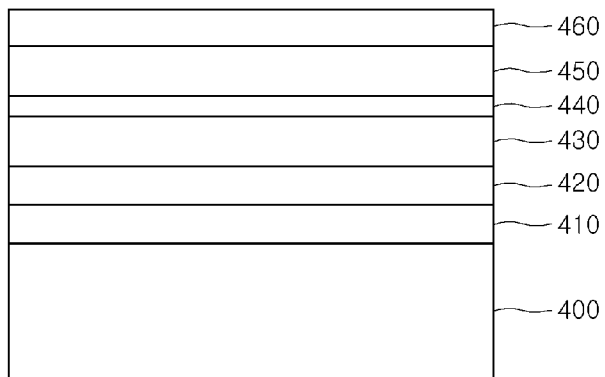
[Fig. 4]



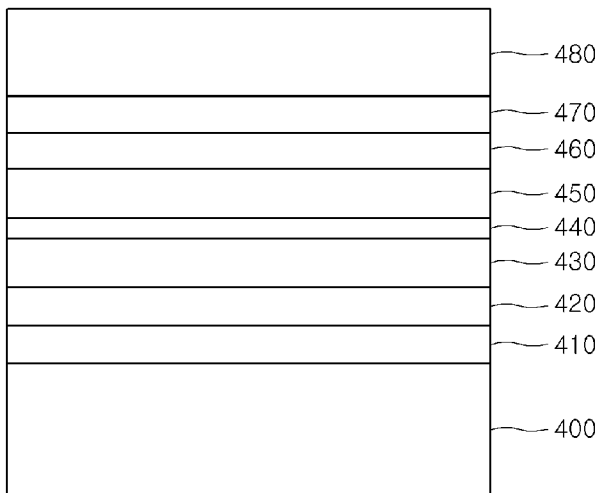
[Fig. 5]



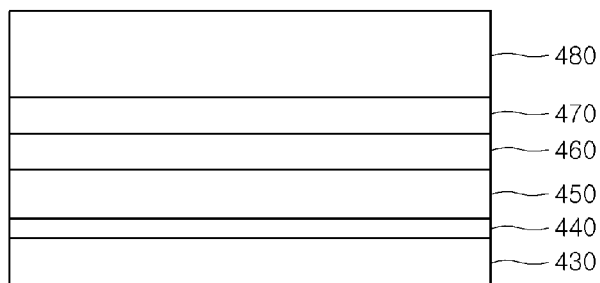
[Fig. 6]



[Fig. 7]



[Fig. 8]



[Fig. 9]

