

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年6月29日(29.06.2023)



(10) 国際公開番号

WO 2023/120546 A1

(51) 国際特許分類:
H02M 7/48 (2007.01)

(21) 国際出願番号: PCT/JP2022/046982

(22) 国際出願日: 2022年12月20日(20.12.2022)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2021-211311 2021年12月24日(24.12.2021) JP

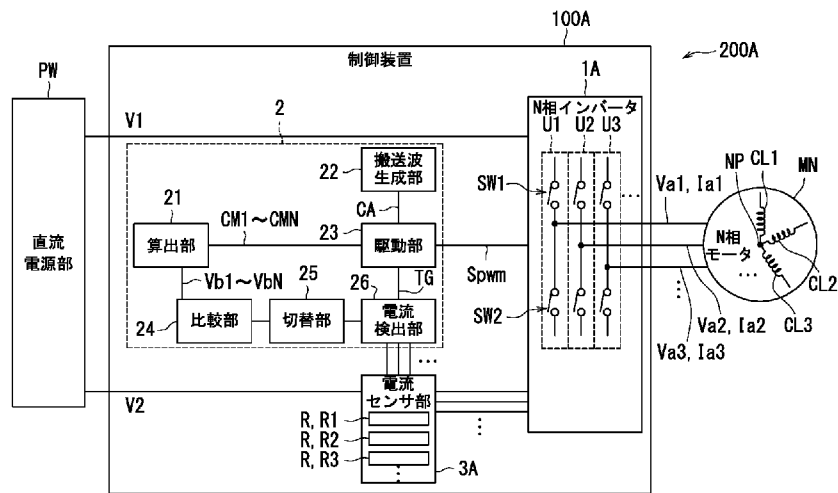
(71) 出願人: ニデック株式会社 (NIDEC CORPORATION) [JP/JP]; 〒6018205 京都府京都市南区久世殿城町 3 3 8 番地 Kyoto (JP).

(72) 発明者: 永 久 哲 三 (NAGAHISA Tetsuzo); 〒6018205 京都府京都市南区久世殿城町 3 3 8 番地 日本電産株式会社内 Kyoto (JP). 福村 友博(FUKUMURA Tomohiro); 〒6018205 京都府京都市南区久世殿城町 3 3 8 番地 日本電産株式会社内 Kyoto (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,

(54) Title: CONTROL DEVICE AND CONTROL METHOD

(54) 発明の名称: 制御装置及び制御方法



- | | | | |
|----|------------------------------|------|------------------------|
| 1A | N-phase inverter | 25 | Switching unit |
| 3A | Current sensor unit | 26 | Current detection unit |
| 21 | Calculation unit | 100A | Control device |
| 22 | Carrier wave generation unit | MN | N-phase motor |
| 23 | Drive unit | PW | DC power supply unit |
| 24 | Comparison unit | | |

(57) Abstract: This control device controls an N-phase inverter that applies a voltage to each of N-phases, where N represents an odd number greater than or equal to 3. The control device comprises a current detection unit and a calculation unit. Assuming that from among the voltages applied to the N-phases, a phase to which the $((N+1)/2)$ th highest voltage at the time of current detection is applied is set as an intermediate phase, the current detection unit detects currents of (N-1) phases other than the intermediate phase from among currents of the N-phases. The calculation unit calculates the current

PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG,
SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

value of the current of the intermediate phase on the basis of detection results from the current detection unit.

(57) 要約: 制御装置は、 N を3以上の奇数としたときに、 N 相それぞれに電圧を印加する N 相インバータを制御する。制御装置は、電流検出部と、算出部とを備える。電流検出部は、前記 N 相それぞれに印加する電圧のうち、電流検出時刻において、 $(N+1)/2$ 番目に大きい電圧を印加する相を中間相としたときに、前記 N 相それぞれの電流のうち、前記中間相以外の $(N-1)$ 相それぞれの電流を検出する。算出部は、前記電流検出部の検出結果に基づいて前記中間相の電流の電流値を算出する。

明 細 書

発明の名称： 制御装置及び制御方法

技術分野

[0001] 本開示は、制御装置及び制御方法に関する。

背景技術

[0002] 従来、三相ブラシレスモータを制御するマイクロコンピュータ（マイコン）が知られている（例えば、特許文献1）。

[0003] 従来のマイコンにおいて、PWM形成部は、電圧指令値に基づいて16kHzの搬送波（三角波）を変調した各相のPWM信号をインバータ回路に出力するようになっている。インバータ回路によりモータが駆動されるようになっている。インバータ回路の下アーム側のIGBTのエミッタとグランドの間にはシャント抵抗が介挿されており、IGBTのエミッタは、増幅バイアス回路の入力端子に接続されている。

[0004] また、従来のマイコンにおいて、2つのA/Dコンバータに夫々三相分の電流信号を与えて、夫々のコンバータにおいて、何れか一相の電流信号の入力を切り換えてA/D変換することで、同時に二相分のA/D変換値を得るようにしている。シャント抵抗による電流の検出は、下アーム側のIGBTがオンしている期間でなければできないので、A/D変換はPWM搬送波の三角波の谷に達したタイミングで行っている。三相の電流の内の二相を検出できれば、残りの一相は推定することが可能である。

先行技術文献

特許文献

[0005] 特許文献1：特開2003-164197号公報

発明の概要

発明が解決しようとする課題

[0006] しかしながら、従来のマイコンでは、二相変調波通電における三相の相電圧のうち、電流検出時刻において、2番目に大きな相電圧に対応する中間相

の電流と、最も小さい相電圧に対応する最小相の電流とを検出している。

[0007] 特に、本願の発明者は、中間相の電流の変動が最小相の電流の変動よりも大きくなるという知見を有している。加えて、本願の発明者は、電流のゼロクロス近傍では、電流に乱れが生じ易いという知見を有している。このような知見によれば、中間相の電流の検出結果の誤差は、最小相の電流の検出結果の誤差よりも大きくなる可能性がある。換言すれば、従来のマイコンでは、各相に流れる電流の検出値にバラツキが発生し得る。

[0008] 本開示は上記課題に鑑みてなされたものであり、その目的は、各相に流れる電流の検出値のバラツキを抑制できる制御装置及び制御方法を提供することにある。

課題を解決するための手段

[0009] 本開示の例示的な制御装置は、 N を3以上の奇数としたときに、 N 相それぞれに電圧を印加する N 相インバータを制御する。制御装置は、電流検出部と、算出部とを備える。電流検出部は、前記 N 相それぞれに印加する電圧のうち、電流検出時刻において、 $(N+1)/2$ 番目に大きい電圧を印加する相を中間相としたときに、前記 N 相それぞれの電流のうち、前記中間相以外の $(N-1)$ 相それぞれの電流を検出する。算出部は、前記電流検出部の検出結果に基づいて前記中間相の電流の電流値を算出する。

[0010] 本開示の例示的な制御方法は、 N を3以上の奇数としたときに、 N 相それぞれに電圧を印加する N 相インバータを制御する制御装置によって実行される。制御方法は、電流検出工程と、算出工程とを含む。電流検出工程において、前記 N 相それぞれに印加する電圧のうち、電流検出時刻において、 $(N+1)/2$ 番目に大きい電圧を印加する相を中間相としたときに、前記 N 相それぞれの電流のうち、前記中間相の電流以外の $(N-1)$ 相それぞれの電流を検出する。算出工程において、前記電流検出工程による検出結果に基づいて前記中間相の電流の電流値を算出する。

発明の効果

[0011] 例示的な本開示によれば、各相に流れる電流の検出値のバラツキを抑制で

きる。

図面の簡単な説明

[0012] [図1]図1は、本開示の実施形態1に係るモータモジュールを示すブロック図である。

[図2]図2は、実施形態1において、各相に印加する電圧の波形（3相変調）及び各相の電流の波形を示す図である。

[図3]図3は、実施形態1に係る3相インバータを示す回路図である。

[図4]図4は、実施形態1において、各相に印加する電圧（3相変調）、搬送波及びコンペア値の一例を示す図である。

[図5]図5は、実施形態1において、0 [deg]E ~ 360 [deg]E の電気角範囲での中間相、最大相、及び最小相の遷移を示す図である。

[図6]図6は、実施形態1において、各相に印加する電圧（3相変調）、搬送波、コンペア値、及び、第2ゲート信号の一例を示す図である。

[図7]図7は、実施形態1において、各相に印加する電圧（3相変調）、搬送波、コンペア値、及び、第2ゲート信号の他の例を示す図である。

[図8]図8は、実施形態1に係る電流検出部を示す図である。

[図9]図9は、実施形態1の第1変形例において、各相に印加する電圧（2相変調min型）、搬送波、コンペア値、及び、第2ゲート信号の一例を示す図である。

[図10]図10は、実施形態1の第1変形例において、各相に印加する電圧（2相変調min型）、搬送波、コンペア値、及び、第2ゲート信号の他の例を示す図である。

[図11]図11は、実施形態1の第2変形例において、各相に印加する電圧（2相変調min-max型）、搬送波、コンペア値、及び、第2ゲート信号の一例を示す図である。

[図12]図12は、実施形態1の第2変形例において、各相に印加する電圧（2相変調min-max型）、搬送波、コンペア値、及び、第2ゲート信号の他の例を示す図である。

[図13]図 1 3 は、本開示の実施形態 2 に係るモータモジュールを示すブロック図である。

[図14]図 1 4 は、実施形態 2 に係る搬送波及びコンペア値の一例を示す図である。

[図15]図 1 5 は、実施形態 2 に係る搬送波及びコンペア値の他の例を示す図である。

[図16]図 1 6 は、実施形態 2 において、電流を直接的に検出する相を決定する相決定処理を示すフローチャートである。

[図17]図 1 7 は、実施形態 2 において、未検出の電流の電流値を算出する電流値算出処理を示すフローチャートである。

[図18]図 1 8 は、実施形態 2 において、各相に印加する電圧（5 相変調）、搬送波、及び、コンペア値の一例を示す図である。

[図19]図 1 9 は、実施形態 2 における 5 相変調において、0 [deg] ～ 360 [deg] の電気角範囲での P 1 相～P 5 相の大きさの順番の変化を示す図である。

[図20]図 2 0 は、本開示の実施形態 3 に係るモータモジュールを示す図である。

[図21]図 2 1 は、実施形態 3 に係る電流センサ部を示す図である。

[図22]図 2 2 は、本開示の実施形態 4 に係る電流センサ部を示す図である。

[図23]図 2 3 は、実施形態 4 に係る電流検出部を示す図である。

発明を実施するための形態

[0013] 以下、本開示の実施形態について、図面を参照しながら説明する。なお、図中、同一または相当部分については同一の参照符号を付して説明を繰り返さない。

[0014] （実施形態 1）

図 1 ～図 8 を参照して、本開示の実施形態 1 に係るモータモジュール 200 について説明する。図 1 は、実施形態 1 に係るモータモジュール 200 を示すブロック図である。

[0015] 図1に示すように、モータモジュール200は、制御装置100と、3相モータM3とを備える。制御装置100は、3相それぞれに電圧 V_u 、 V_v 、 V_w を印加する3相インバータ1を制御する。3相は、U相、V相、及び、W相である。電圧 V_u はU相電圧であり、電圧 V_v はV相電圧であり、電圧 V_w はW相電圧である。以下、電圧 V_u 、 V_v 、 V_w を印加電圧 V_u 、 V_v 、 V_w と記載する場合がある。なお、図1の例では、制御装置100が3相インバータ1を備える。そして、3相インバータ1は直流電源部PWに接続される。

[0016] 本明細書では、一例として、3相インバータ1は、3相モータM3のU相、V相、及び、W相に対して位相の異なる電圧 V_u 、 V_v 、 V_w を印加して、3相モータM3を駆動する。3相モータM3のU相、V相、及び、W相には、電圧 V_u 、 V_v 、 V_w に応じた電流 I_u 、 I_v 、 I_w が流れる。電流 I_u はU相電流であり、電流 I_v はV相電流であり、電流 I_w はW相電流である。

[0017] 3相モータM3は、3相のコイル CL_u 、 CL_v 、 CL_w を備える。コイル CL_u はU相コイルであり、コイル CL_v はV相コイルであり、コイル CL_w はW相コイルである。3相モータM3は、例えば、ブラシレスDCモータである。3相モータM3は、U相、V相およびW相を有する。なお、電流 I_u 、 I_v 、 I_w の極性については、3相インバータ1から3相モータM3の中性点NPに流れ込む方向の電流の極性を正とし、中性点NPから3相インバータ1に流れ出す方向の電流の極性を負とする。

[0018] なお、3相インバータ1の駆動対象は、3相モータM3に限定されず、他の電気機器であってもよい。また、3相インバータ1は制御装置100の外部に配置されていてもよい。

[0019] 図2は、各相に印加する電圧 V_u 、 V_v 、 V_w の波形及び各相の電流 I_u 、 I_v 、 I_w の波形を示す図である。図2に示すように、波形図F1は、各相に印加する電圧 V_u 、 V_v 、 V_w を示す。波形図F1において、横軸は電気角[degE]を示し、縦軸は電圧 V_u 、 V_v 、 V_w を示す。波形図F1

の縦軸は、説明の便宜上、入力電圧 $V_1 - V_2$ で規格化した電圧値を表しており、電圧 V_u 、 V_v 、 V_w は $0 \sim 1$ の範囲の値をとる。波形図F1に示すように、電圧 V_u 、 V_v 、 V_w は、正弦波状である。電圧 V_u 、 V_v 、 V_w の位相は互い異なる。実施形態1では、3相変調方式の通電を実行している。

[0020] 波形図F2は、各相の電流 I_u 、 I_v 、 I_w を示す。波形図F2において、横軸は電気角 $[deg E]$ を示し、縦軸は電流 I_u 、 I_v 、 I_w $[a.u.]$ を示す。電流 I_u 、 I_v 、 I_w の位相は、それぞれ、電圧 V_u 、 V_v 、 V_w の位相に対して遅れている。波形図F2から、電流 I_u 、 I_v 、 I_w のゼロクロスZの近傍では、電流 I_u 、 I_v 、 I_w が乱れている。

[0021] ゼロクロスZは、電圧 V_u 、 V_v 、 V_w の中間相で生じる。中間相は、電圧 V_u 、 V_v 、 V_w のうち2番目に大きい電圧を印加する相である。例えば、電気角が約 $60 [deg E]$ のタイミングでは、中間相は、2番目に大きい電圧 V_w を印加する相（W相）である。例えば、電気角が約 $180 [deg E]$ のタイミングでは、中間相は、2番目に大きい電圧 V_u を印加する相（U相）である。例えば、電気角が約 $300 [deg E]$ のタイミングでは、中間相は、2番目に大きい電圧 V_v を印加する相（V相）である。

[0022] 実施形態1では、電流 I_u 、 I_v 、 I_w のうち、中間相以外の2相の電流を検出し、中間相以外の2相の電流の電流値に基づいて、中間相の電流を算出する。その結果、ゼロクロスZ等を起因とした中間相の電流の誤差を抑制できる。中間相以外の2相は、最大相及び最小相である。

[0023] 最大相は、電圧 V_u 、 V_v 、 V_w のうち最も大きい電圧を印加する相である。例えば、電気角が約 $60 [deg E]$ のタイミングでは、最大相は、最も大きい電圧 V_u を印加する相（U相）である。例えば、電気角が約 $180 [deg E]$ のタイミングでは、最大相は、最も大きい電圧 V_v を印加する相（V相）である。例えば、電気角が約 $300 [deg E]$ のタイミングでは、最大相は、最も大きい電圧 V_w を印加する相（W相）である。

[0024] 最小相は、電圧 V_u 、 V_v 、 V_w のうち最も小さい電圧を印加する相であ

る。例えば、電気角が約 $60 [deg E]$ のタイミングでは、最小相は、最も小さい電圧 V_v を印加する相（V相）である。例えば、電気角が約 $180 [deg E]$ のタイミングでは、最小相は、最も小さい電圧 V_w を印加する相（W相）である。例えば、電気角が約 $300 [deg E]$ のタイミングでは、最小相は、最も小さい電圧 V_u を印加する相（U相）である。

[0025] 図1に戻って、制御装置100は、算出部21と、電流検出部26とを更に備える。電流検出部26は、3相それぞれに印加する電圧 V_u 、 V_v 、 V_w のうち、電流検出時刻において、2番目に大きい電圧を印加する相を中間相としたときに、3相それぞれの電流 I_u 、 I_v 、 I_w のうち、中間相以外の2相それぞれの電流を検出する。中間相以外の2相は、最大相及び最小相である。最大相は、電流検出時刻において、3相それぞれに印加する電圧 V_u 、 V_v 、 V_w のうち最も大きい電圧を印加する相である。最小相は、電流検出時刻において、3相それぞれに印加する電圧 V_u 、 V_v 、 V_w のうち最も小さい電圧を印加する相である。実施形態1では、電流検出部26は、電流 I_u 、 I_v 、 I_w のうち、電流の変動及び乱れが比較的大きな中間相の電流ではなく、中間相よりも電流の変動及び乱れが小さな最大相及び最小相の電流を検出する。従って、電流 I_u 、 I_v 、 I_w のうち、直接的に検出される電流について、検出結果の誤差が抑制される。

[0026] そして、算出部21は、電流検出部26の検出結果に基づいて中間相の電流の電流値 I_{mid} を算出する。具体的には、算出部21は、キルヒホッフの法則に基づいて、最大相の電流の電流値と最小相の電流の電流値との合計値 I_{sum} から、中間相の電流の電流値 I_{mid} を算出する。 $I_{mid} = -I_{sum}$ 、である。このように、実施形態1では、算出部21は、電流 I_u 、 I_v 、 I_w のうち、中間相よりも検出結果の誤差が抑制された最大相及び最小相の電流の検出結果から、中間相の電流を算出する。つまり、中間相の電流が間接的に検出される。従って、中間相の電流を直接的に検出する場合と比較して、中間相の電流の検出結果の誤差を抑制できる。その結果、各相に流れる電流 I_u 、 I_v 、 I_w の検出値のバラツキを抑制できる。

[0027] 制御装置100は、搬送波生成部22と、駆動部23と、比較部24と、切替部25とを更に備える。具体的には、制御装置100はインバータ制御部2を備える。そして、インバータ制御部2が、算出部21と、搬送波生成部22と、駆動部23と、比較部24と、切替部25と、電流検出部26とを備える。インバータ制御部2は、例えば、マイクロコンピュータである。マイクロコンピュータは、例えば、CPU (Central Processing Unit) のようなプロセッサ、半導体メモリ、ASIC (Application Specific Integrated Circuit)、A/Dコンバータ (ADC: Analog-to-Digital Converter)、及び、各種電子部品によって構成されるハードウェア回路である。

[0028] 具体的には、算出部21、搬送波生成部22、駆動部23、比較部24、及び、切替部25の各々は、マイクロコンピュータにおいて、ワイヤードロジックによって実現されてもよいし、プロセッサが半導体メモリに記憶されたコンピュータプログラムを実行することによって実現されてもよいし、それらの組み合わせで実現されてもよい。また、例えば、電流検出部26は、A/Dコンバータによって実現される。

[0029] 次に、図1及び図3を参照して、駆動部23及び3相インバータ1を説明する。図3は、3相インバータM3を示す回路図である。図3に示すように、駆動部23は、PWM (Pulse Width Modulation) 信号S_{pwm}を3相インバータ1に出力する。その結果、3相インバータ1は、PWM信号S_{pwm}によって駆動される。PWM信号S_{pwm}は、第1ゲート信号G_{1u}、G_{1v}、G_{1w}及び第2ゲート信号G_{2u}、G_{2v}、G_{2w}を含む。

[0030] 具体的には、3相インバータ1は、3つのスイッチングユニットU_u、U_v、U_wを備える。スイッチングユニットU_u、U_v、U_wは、3相それぞれに電圧V_u、V_v、V_wを印加する。具体的には、スイッチングユニットU_u、U_v、U_wは、それぞれ、3相のコイルC_{Lu}、C_{Lv}、C_{Lw} (図

1) に対して異なる位相の電圧 V_u 、 V_v 、 V_w を印加する。スイッチングユニット U_u 、 U_v 、 U_w は、第1電源ライン L_{N1} と第2電源ライン L_{N2} との間に並列に接続される。

[0031] スwitchingユニット U_u 、 U_v 、 U_w の各々は、直流電源部 PW の第1電圧 V_1 側の第1スイッチング素子 SW_1 と、直流電源部 PW の第2電圧 V_2 側の第2スイッチング素子 SW_2 とを備える。第2スイッチング素子 SW_2 は第1スイッチング素子 SW_1 と直列に接続される。具体的には、第1スイッチング素子 SW_1 と第2スイッチング素子 SW_2 とは、第1電源ライン L_{N1} と第2電源ライン L_{N2} との間に直列に接続される。第1電源ライン L_{N1} には、直流電源部 PW から第1電圧 V_1 が供給される。第2電源ライン L_{N2} には、直流電源部 PW から第2電圧 V_2 が供給される。図1の例では、第2電圧 V_2 は第1電圧 V_1 より小さい。例えば、第2電圧 V_2 は、接地電圧 (0V) である。

[0032] ここで、制御装置100は、3相それぞれの電流 I_u 、 I_v 、 I_w を検出するための3つの電気抵抗部 R_u 、 R_v 、 R_w を更に備える。電気抵抗部 R_u 、 R_v 、 R_w のそれぞれ、又はこれらの総称を電気抵抗部 R と記載する場合がある。具体的には、制御装置100は、3相それぞれの電流 I_u 、 I_v 、 I_w を検出するための電流センサ部3を備える。そして、電流センサ部3が電気抵抗部 R_u 、 R_v 、 R_w を備える。このため、スイッチングユニット U_u の第1スイッチング素子 SW_1 と第2スイッチング素子 SW_2 と電気抵抗部 R_u とが、第1電源ライン L_{N1} と第2電源ライン L_{N2} との間に直列に接続される。スイッチングユニット U_v の第1スイッチング素子 SW_1 と第2スイッチング素子 SW_2 と電気抵抗部 R_v とが、第1電源ライン L_{N1} と第2電源ライン L_{N2} との間に直列に接続される。スイッチングユニット U_w の第1スイッチング素子 SW_1 と第2スイッチング素子 SW_2 と電気抵抗部 R_w とが、第1電源ライン L_{N1} と第2電源ライン L_{N2} との間に直列に接続される。

[0033] 第1スイッチング素子 SW_1 及び第2スイッチング素子 SW_2 の各々は、

半導体スイッチング素子である。図3の例では、第1スイッチング素子SW1及び第2スイッチング素子SW2の各々は、IGBT（絶縁ゲートバイポーラトランジスタ）である。なお、第1スイッチング素子SW1及び第2スイッチング素子SW2の各々は、電界効果トランジスタのような他のトランジスタであってもよい。

[0034] 第1スイッチング素子SW1のコレクタが第1電源ラインLN1に接続される。第1スイッチング素子SW1のエミッタと第2スイッチング素子SW2のコレクタとが接続点Nで接続される。

[0035] スwitchングユニットUuの接続点Nは、3相モータM3のコイルCLu（図1）に接続される。スイッチングユニットUvの接続点Nは、3相モータM3のコイルCLv（図1）に接続される。スイッチングユニットUwの接続点Nは、3相モータM3のコイルCLw（図1）に接続される。

[0036] スwitchングユニットUuの第2スイッチング素子SW2のエミッタは、電気抵抗部Ruの一方端子と接続点N1で接続される。スイッチングユニットUvの第2スイッチング素子SW2のエミッタは、電気抵抗部Rvの一方端子に接続点N2で接続される。スイッチングユニットUwの第2スイッチング素子SW2のエミッタは、電気抵抗部Rwの一方端子に接続点N3で接続される。電気抵抗部Ru、Rv、Rwの他方端子は、第2電源ラインLN2に接続される。

[0037] 第1ゲート信号G1u、G1v、G1wは、それぞれ、スイッチングユニットUu、Uv、Uwの第1スイッチング素子SW1のゲートに入力される。スイッチングユニットUu、Uv、Uwの第1スイッチング素子SW1は、それぞれ、第1ゲート信号G1u、G1v、G1wがハイレベルの場合にオンになる。スイッチングユニットUu、Uv、Uwの第1スイッチング素子SW1は、それぞれ、第1ゲート信号G1u、G1v、G1wがローレベルの場合にオフになる。

[0038] 第2ゲート信号G2u、G2v、G2wは、それぞれ、スイッチングユニットUu、Uv、Uwの第2スイッチング素子SW2のゲートに入力される

。スイッチングユニット U_u 、 U_v 、 U_w の第2スイッチング素子 SW_2 は、それぞれ、第2ゲート信号 G_{2u} 、 G_{2v} 、 G_{2w} がハイレベルの場合にオンになる。スイッチングユニット U_u 、 U_v 、 U_w の第2スイッチング素子 SW_2 は、それぞれ、第2ゲート信号 G_{2u} 、 G_{2v} 、 G_{2w} がローレベルの場合にオフになる。

[0039] 第2ゲート信号 G_{2u} 、 G_{2v} 、 G_{2w} の極性は、それぞれ、第1ゲート信号 G_{1u} 、 G_{1v} 、 G_{1w} の極性と基本的には逆である。つまり、第2ゲート信号 G_{2u} 、 G_{2v} 、 G_{2w} と第1ゲート信号 G_{1u} 、 G_{1v} 、 G_{1w} とは、基本的には相補関係にある。ただし、第1ゲート信号 G_{1u} 、 G_{1v} 、 G_{1w} 及び第2ゲート信号 G_{2u} 、 G_{2v} 、 G_{2w} に関し、第1スイッチング素子 SW_1 及び第2スイッチング素子 SW_2 の各々のオンとオフとの切り替わり時には、第1ゲート信号と第2ゲート信号との双方がローレベルとなる期間（デッドタイム）が設けられる場合がある。デッドタイムを設ける理由は、第1スイッチング素子 SW_1 及び第2スイッチング素子 SW_2 の各々に必要な立ち上がり時間および立ち下がり時間の影響による、第1電源ライン LN_1 と第2電源ライン LN_2 との間での短絡を防止するためである。

[0040] 第1スイッチング素子 SW_1 及び第2スイッチング素子 SW_2 の各々には、第1電源ライン LN_1 側をカソード、第2電源ライン LN_2 側をアノードとして、整流素子 D が並列に接続される。第1スイッチング素子 SW_1 及び第2スイッチング素子 SW_2 として電界効果トランジスタを用いる場合には、寄生ダイオードを整流素子として用いてもよい。

[0041] 引き続き図3を参照して、電気抵抗部 R_u 、 R_v 、 R_w を説明する。電気抵抗部 R_u 、 R_v 、 R_w は、3相のコイル CL_u 、 CL_v 、 CL_w （図1）にそれぞれ流れる電流 I_u 、 I_v 、 I_w を、3相インバータ1を介して検出するための抵抗部品（例えば、抵抗素子）である。実施形態1では、電気抵抗部 R_u 、 R_v 、 R_w を電流センサとして使用することで、制御装置100を安価に実現できる。電気抵抗部 R_u 、 R_v 、 R_w の各々は、例えば、シャント抵抗である。具体的には、各電流検出時刻において、3つの電気抵抗部

R_u 、 R_v 、 R_w のうち、2つの電気抵抗部 R が使用される。

[0042] 電気抵抗部 R_u 、 R_v 、 R_w は、それぞれ、スイッチングユニット U_u 、 U_v 、 U_w に対応して配置される。電気抵抗部 R_u は、スイッチングユニット U_u の第2スイッチング素子 SW_2 と直流電源部 PW との間に配置される。電気抵抗部 R_v は、スイッチングユニット U_v の第2スイッチング素子 SW_2 と直流電源部 PW との間に配置される。電気抵抗部 R_w は、スイッチングユニット U_w の第2スイッチング素子 SW_2 と直流電源部 PW との間に配置される。

[0043] 制御装置100は、信号線 LN_u 、 LN_v 、 LN_w を更に備える。信号線 LN_u は、電気抵抗部 R_u の接続点 N_1 から電流検出部26まで延びる。信号線 LN_v は、電気抵抗部 R_v の接続点 N_2 から電流検出部26まで延びる。信号線 LN_w は、電気抵抗部 R_w の接続点 N_3 から電流検出部26まで延びる。

[0044] 電流検出部26は、電流 I_u を検出する場合には、電流 I_u が流れる電気抵抗部 R_u の両端の電位差を、信号線 LN_u を介して検出する。電気抵抗部 R_u の両端の電位差は、電気抵抗部 R_u による電圧降下によって生じる。そして、電流検出部26は、電気抵抗部 R_u の両端の電位差を電流に換算することで、電流 I_u の電流値を取得する。なお、電気抵抗部 R_u を使用して電流 I_u を検出するためには、スイッチングユニット U_u の第2スイッチング素子 SW_2 がオンである必要がある。また、算出部21が、電気抵抗部 R_u の両端の電位差を電流 I_u に換算してもよい。

[0045] 電流検出部26は、電流 I_v を検出する場合には、電流 I_v が流れる電気抵抗部 R_v の両端の電位差を、信号線 LN_v を介して検出する。そして、電流検出部26は、電気抵抗部 R_v の両端の電位差を電流に換算することで、電流 I_v の電流値を取得する。なお、電気抵抗部 R_v を使用して電流 I_v を検出するためには、スイッチングユニット U_v の第2スイッチング素子 SW_2 がオンである必要がある。また、算出部21が、電気抵抗部 R_v の両端の電位差を電流 I_v に換算してもよい。その他、電流 I_v の検出は、電流 I_u

を検出する場合と同様である。

[0046] 電流検出部26は、電流 I_w を検出する場合には、電流 I_w が流れる電気抵抗部 R_w の両端の電位差を、信号線 LN_w を介して検出する。そして、電流検出部26は、電気抵抗部 R_w の両端の電位差を電流に換算することで、電流 I_w の電流値を取得する。なお、電気抵抗部 R_w を使用して電流 I_w を検出するためには、スイッチングユニット U_w の第2スイッチング素子 SW_2 がオンである必要がある。また、算出部21が、電気抵抗部 R_w の両端の電位差を電流 I_w に換算してもよい。その他、電流 I_w の検出は、電流 I_u を検出する場合と同様である。

[0047] 制御装置100は、コンデンサ C を更に備える。コンデンサ C は、第1電源ライン LN_1 と第2電源ライン LN_2 との間に接続される。コンデンサ C によって、直流電源部 PW からの電源電流を安定化させることができる。

[0048] 図1に戻って、算出部21は、 U 相、 V 相、及び、 W 相にそれぞれ対応して電圧指令値 V_{bu} 、 V_{bv} 、 V_{bw} を算出する。算出部21は、電圧指令値 V_{bu} 、 V_{bv} 、 V_{bw} を比較部24に出力する。

[0049] 電圧指令値 V_{bu} 、 V_{bv} 、 V_{bw} は、それぞれ、3相インバータ1が出力する電圧 V_u 、 V_v 、 V_w の電圧値を示す。従って、実質的には、電圧指令値 V_{bu} 、 V_{bv} 、 V_{bw} は、それぞれ、3相インバータ1が出力する電圧 V_u 、 V_v 、 V_w の電圧値に一致する。詳細には、電圧指令値 V_{bu} 、 V_{bv} 、 V_{bw} は、 U 相、 V 相、及び、 W 相にそれぞれ印加する電圧 V_u 、 V_v 、 V_w が追従すべき電圧値を示す。本明細書においては、実質的には、電圧指令値 V_{bu} 、 V_{bv} 、 V_{bw} と印加電圧 V_u 、 V_v 、 V_w とは同義である。

[0050] 算出部21は、電圧指令値 V_{bu} 、 V_{bv} 、 V_{bw} に基づいてコンペア値 CM_u 、 CM_v 、 CM_w を算出する。従って、コンペア値 CM_u 、 CM_v 、 CM_w は、それぞれ、電圧指令値 V_{bu} 、 V_{bv} 、 V_{bw} に対応する。コンペア値 CM_u 、 CM_v 、 CM_w は、それぞれ、PWM信号 S_{pwm} における第1ゲート信号 $G1_u$ 、 $G1_v$ 、 $G1_w$ のデューティ値を直接的又は間接的

に示す。具体的には、デューティ値は、予め設定されたPWM周期 T_{pwm} に対する各相の第1スイッチング素子 $SW1$ のオン時間の比率を示す。PWM周期 T_{pwm} は、PWM信号 S_{pwm} の周期である。具体的には、PWM周期 T_{pwm} は、第1ゲート信号 $G1u$ 、 $G1v$ 、 $G1w$ 及び第2ゲート信号 $G2u$ 、 $G2v$ 、 $G2w$ の周期である。算出部21は、コンペア値 CMu 、 CMv 、 CMw を駆動部23に出力する。

[0051] 搬送波生成部22は、搬送波 CA を生成する。搬送波生成部22は、搬送波 CA を駆動部23に出力する。搬送波 CA は、例えば、三角波である。なお、搬送波 CA の波形は、特に限定されない。

[0052] 図4は、各相に印加する電圧 Vu 、 Vv 、 Vw 、搬送波 CA 及びコンペア値 CMu 、 CMv 、 CMw の一例を示す図である。図4の波形図F10は、U相、V相、及び、W相に印加する電圧 Vu 、 Vv 、 Vw を示す。波形図F10において、横軸は電気角 $[degE]$ を示し、縦軸は電圧 Vu 、 Vv 、 Vw を示す。波形図F10の縦軸は入力電圧 $V1-V2$ で規格化した電圧値を表しており、電圧 Vu 、 Vv 、 Vw は0～1の範囲の値をとる。またこの値は、PWM周期 T_{pwm} に対する各相の第1スイッチング素子 $SW1$ のオン時間の比率であるデューティ値も表している。波形図F10に示すように、電圧 Vu 、 Vv 、 Vw は、正弦波状である。電圧 Vu 、 Vv 、 Vw の位相は互い異なる。

[0053] 図4において、波形図F10の右領域に、波形図F10の領域A1に示す電気角範囲（時間範囲）の搬送波 CA 及びコンペア値 CMu 、 CMv 、 CMw が示される。

[0054] 図4に示すように、PWM周期 T_{pwm} は搬送波 CA の周期に等しい。図4の例では、搬送波 CA の極小点から次の極小点までの期間が、PWM周期 T_{pwm} を示す。PWM周期 T_{pwm} は、限定されないが、例えば、 $50\mu s$ である。なお、PWM周期 T_{pwm} の始点及び終点は、搬送波 CA の極小点に限定されず、任意に設定できる。

[0055] また、搬送波 CA の周期によって、制御周期 T_{cnt} が規定される。制御

周期 T_{cnt} は、PWM信号 S_{pwm} のデューティ値を更新するための周期である。従って、制御周期 T_{cnt} ごとに、PWM信号 S_{pwm} のデューティ値が更新される。つまり、制御周期 T_{cnt} ごとに、コンペア値 CM_u 、 CM_v 、 CM_w 及び電圧指令値 V_{bu} 、 V_{bv} 、 V_{bw} が更新される。制御周期 T_{cnt} は、PWM周期 T_{pwm} よりも長い。図4の例では、制御周期 T_{cnt} は、PWM周期 T_{pwm} の整数倍である。ただし、制御周期 T_{cnt} は、PWM周期 T_{pw} の整数倍でなくてもよい。制御周期 T_{cnt} ごとに決定したコンペア値 CM_u 、 CM_v 、 CM_w は、例えば、インバータ制御部2として使用するマイクロコンピュータによって定められたタイミングで更新されてもよい。この場合、マイクロコンピュータによって定められたタイミングは、例えば、搬送波 CA の極小点である。なお、制御周期 T_{cnt} は、特に限定されないが、例えば、 $200\mu s$ である。また、図4の例では、制御周期 T_{cnt} の始点及び終点は、搬送波 CA の極小点である。なお、制御周期 T_{cnt} の始点及び終点は、搬送波 CA の極小点に限定されず、任意に設定できる。

[0056] 図1に戻って、駆動部23は、搬送波 CA 及びコンペア値 CM_u 、 CM_v 、 CM_w に基づいて、PWM信号 S_{pwm} を生成する。具体的には、駆動部23は、コンペア値 CM_u 、 CM_v 、 CM_w の各々と搬送波 CA とを比較し、比較結果に基づいてPWM信号 S_{pwm} を生成する。詳細は後述する。そして、駆動部23は、PWM信号 S_{pwm} を3相インバータ1に出力して、3相インバータ1を駆動する。その結果、3相インバータ1は、電圧指令値 V_{bu} 、 V_{bv} 、 V_{bw} によってそれぞれ示される電圧 V_u 、 V_v 、 V_w を、3相のコイル CL_u 、 CL_v 、 CL_w にそれぞれ印加する。

[0057] また、駆動部23は、搬送波 CA に同期してトリガ TG を生成し、電流検出部26に出力する。トリガ TG は、電流検出部26に対して電流検出時刻の到来を示す。例えば、駆動部23は、搬送波 CA に極大点が発生したタイミングでトリガ TG を生成して、トリガ TG を電流検出部26に出力する。なお、トリガ TG を生成するためのイベントは、極大点に限定されず、任意

に設定できる。

[0058] 電流検出部26は、駆動部23が生成したトリガTGに応答して、電流センサ部3を介して電流を検出する。トリガTGが生成された時刻が電流検出時刻になる。具体的には、図4に示すように、電流検出部26は、PWM信号S_{pwm}を生成するための搬送波CAに同期した電流検出時刻t_dにおいて、オンした2つの第2スイッチング素子SW2（図3）にそれぞれ接続された2つの電気抵抗部Rに流れる各相の電流を検出する。図4の例では、電流検出時刻t_dは、搬送波CAの極大点が発生する時刻である。なお、本明細書において、電気角[deg E]は、角度によって時間を表していると捉えることができる。

[0059] ここで、図4の例では、説明の便宜のため、コンペア値CM_u、CM_v、CM_wの大小関係と、電圧指令値V_{b u}、V_{b v}、V_{b w}（印加電圧V_u、V_v、V_w）の大小関係を一致させている。従って、図1の比較部24の説明に関しては、便宜上、図4において、コンペア値CM_u、CM_v、CM_wを示す直線を、電圧指令値V_{b u}、V_{b v}、V_{b w}（印加電圧V_u、V_v、V_w）を示す直線とみなして説明する。

[0060] 比較部24は、電流検出時刻t_dごとに、3相の電圧指令値V_{b u}、V_{b v}、V_{b w}を相互に比較して、電圧指令値V_{b u}、V_{b v}、V_{b w}の各々が何番目に大きいかを決定する。換言すれば、比較部24は、電流検出時刻t_dごとに、U相、V相、及び、W相にそれぞれ印加する電圧V_u、V_v、V_wを相互に比較して、電圧V_u、V_v、V_wの各々が何番目に大きいかを決定する。更に換言すれば、比較部24は、U相、V相、及び、W相のうちから、中間相、最大相、及び、最小相を決定する。例えば、図4の中央の制御周期T_{cnt}では、W相が中間相であり、V相が最大相であり、U相が最小相である。

[0061] 図5は、0[deg E]～360[deg E]の電気角範囲での中間相、最大相、及び最小相の遷移を示す図である。図5の横軸及び縦軸は、図4に示す波形図F10の横軸及び縦軸と同様である。図5の例では、60[deg E]

g E] ごとに、中間相、最大相、及び最小相の組み合わせが変化している。
例えば、150 [deg E] ~ 210 [deg E] の電気角範囲では、比較部24は、U相を中間相に決定し、V相を最大相に決定し、W相を最小相に決定している。

[0062] 次に、図1、図6、及び、図7を参照して、駆動部23、比較部24、切替部25、及び、電流検出部26を説明する。図6は、各相に印加する電圧 V_u 、 V_v 、 V_w 、搬送波CA、コンペア値 CM_u 、 CM_v 、 CM_w 、及び、第2ゲート信号 G_{2u} 、 G_{2v} 、 G_{2w} の一例を示す図である。図6の波形図F20は、U相、V相、及び、W相に印加する電圧 V_u 、 V_v 、 V_w を示す。波形図F20の横軸及び縦軸は、図4の波形図F10の横軸及び縦軸と同様である。

[0063] 図6において、波形図F20の右領域に、波形図F10の領域A2に示す電気角範囲（時間範囲）の搬送波CA及びコンペア値 CM_u 、 CM_v 、 CM_w が示される。また、搬送波CA及びコンペア値 CM_u 、 CM_v 、 CM_w に対応して、スイッチングユニット U_u 、 U_v 、 U_w の第2スイッチング素子SWにそれぞれ印加する第2ゲート信号 G_{2u} 、 G_{2v} 、 G_{2w} が示されている。なお、比較部24の説明に関しては、図6においても、図4の場合と同様に、便宜上、コンペア値 CM_u 、 CM_v 、 CM_w を示す直線を、電圧指令値 V_{bu} 、 V_{bv} 、 V_{bw} （印加電圧 V_u 、 V_v 、 V_w ）を示す直線とみなして説明する。

[0064] 図6に示すように、駆動部23は、各PWM周期 T_{pwm} において、コンペア値 CM_u と搬送波CAとの比較、コンペア値 CM_v と搬送波CAとの比較、及び、コンペア値 CM_w と搬送波CAとの比較を実行する。その結果、第1ゲート信号 G_{1u} 、 G_{1v} 、 G_{1w} 及び第2ゲート信号 G_{2u} 、 G_{2v} 、 G_{2w} が生成される。実施形態1では、駆動部23は、センターアライン方式により、第1ゲート信号 G_{1u} 、 G_{1v} 、 G_{1w} 及び第2ゲート信号 G_{2u} 、 G_{2v} 、 G_{2w} を生成する。

[0065] 図6の例では、駆動部23は、コンペア値 CM_u が搬送波CAのレベル未

満の場合、第2ゲート信号 $G2u$ をハイレベル（第1ゲート信号 $G1u$ をローレベル）に設定する。一方、駆動部23は、コンペア値 CMu が搬送波 CA のレベル以上の場合に、第2ゲート信号 $G2u$ をローレベル（第1ゲート信号 $G1u$ をハイレベル）に設定する。

[0066] 同様に、図6の例では、駆動部23は、コンペア値 CMv が搬送波 CA のレベル未満の場合に、第2ゲート信号 $G2v$ をハイレベル（第1ゲート信号 $G1v$ をローレベル）に設定する。一方、駆動部23は、コンペア値 CMv が搬送波 CA のレベル以上の場合に、第2ゲート信号 $G2v$ をローレベル（第1ゲート信号 $G1v$ をハイレベル）に設定する。

[0067] 同様に、図6の例では、駆動部23は、コンペア値 CMw が搬送波 CA のレベル未満の場合に、第2ゲート信号 $G2w$ をハイレベル（第1ゲート信号 $G1w$ をローレベル）に設定する。一方、駆動部23は、コンペア値 CMw が搬送波 CA のレベル以上の場合に、第2ゲート信号 $G2w$ をローレベル（第1ゲート信号 $G1w$ をハイレベル）に設定する。

[0068] 比較部24は、電流検出時刻 t_d ごとに、電圧指令値 Vbu 、 Vbv 、 Vbw の比較結果に基づいて、中間相、最大相、及び、最小相を決定する。図6の例では、電流検出時刻 t_d において、中間相は電圧指令値 Vbw に対応する W 相であり、最大相は電圧指令値 Vbv に対応する V 相であり、最小相は電圧指令値 Vbu に対応する U 相である。

[0069] 切替部25は、図6の例では、電流検出時刻 t_d ごとに、最大相（ V 相）に電圧を印加するためのスイッチングユニット Uv の第2スイッチング素子 $SW2$ がオンとなる期間 Tm が電流検出部26によって電流を検出するために予め設定された期間 Td よりも短いかな否かを判定する。図6の例では、切替部25は、期間 Tm が期間 Td 以上であると判定する。

[0070] その結果、図6の例では、電流検出部26は、電流検出時刻 t_d において、中間相（ W 相）以外の最大相（ V 相）の電流 Iv 及び最小相（ U 相）の電流 Iu を、それぞれ、電気抵抗部 Rv 、 Ru を介して検出する。なお、電流検出時刻 t_d では、第2ゲート信号 $G2u$ 、 $G2v$ がハイレベルであるため

、スイッチングユニット U_u 、 U_v の第2スイッチング素子 SW_2 がオンする。従って、電気抵抗部 R_u 、 R_v にそれぞれ電流 I_u 、 I_v が流れる。

[0071] 図7は、各相に印加する電圧 V_u 、 V_v 、 V_w 、搬送波 CA 、コンペア値 CM_u 、 CM_v 、 CM_w 、及び、第2ゲート信号 G_{2u} 、 G_{2v} 、 G_{2w} の他の例を示す図である。図7の波形図F30は、U相、V相、及び、W相に印加する電圧 V_u 、 V_v 、 V_w を示す。波形図F30の横軸及び縦軸は、図6の波形図F20の横軸及び縦軸と同様である。図7において、波形図F30の右領域に、波形図F30の領域A3に示す電気角範囲（時間範囲）の搬送波 CA 及びコンペア値 CM_u 、 CM_v 、 CM_w が示される。その他、図7の見方は、図6の見方と同様である。

[0072] 図7の例に示すように、切替部25が、PWM周期 T_{pwm} 内で、電流検出部26によって電流を検出するために予め設定された期間 T_d よりも、最大相（V相）に電圧 V_v を印加するためのスイッチングユニット U_v の第2スイッチング素子 SW_2 がオンとなる期間 T_m が短くなると判定した場合には、電流検出部26は、最大相（V相）の代わりに中間相（W相）の電流 I_w を検出し、算出部21は、中間相（W相）の電流 I_w 及び最小相（U相）の電流 I_u の検出結果に基づいて最大相（V相）の電流 I_v の電流値を算出する。

[0073] 以上、図7を参照して説明したように、最大相の第1スイッチング素子 SW_1 に印加する第1ゲート信号（図7の例では、第1ゲート信号 G_{1v} ）のデューティ値が100%近傍であるため電流検出部26による最大相の電流の検出が不可能な場合でも、中間相の電流で代替することで、3相の電流 I_u 、 I_v 、 I_w の電流値を検出できる。具体的には、算出部21は、キルヒホッフの法則に基づいて、最小相の電流の電流値と中間相の電流の電流値との合計値 I_{sum} から、最大相の電流の電流値 I_{max} を算出する。 $I_{max} = -I_{sum}$ 、である。

[0074] なお、PWM周期 T_{pwm} 内で、最大相の第2スイッチング素子 SW_2 がオンとなる期間 T_m が期間 T_d よりも短いことは、PWM周期 T_{pwm} 内で

、最大相の第1スイッチング素子SW1がオンとなる期間が長いことを示す。この場合、最大相の第1スイッチング素子SW1に印加する第1ゲート信号(図7の例では、第1ゲート信号G1v)のデューティ値が100%近傍である。

[0075] また、電流検出時刻 t_d では、第2ゲート信号G2u、G2wがハイレベルであるため、スイッチングユニットUu、Uwの第2スイッチング素子SW2がオンする。従って、電気抵抗部Ru、Rwにそれぞれ電流Iu、Iwが流れる。その結果、電流検出部26は、電気抵抗部Ru、Rwを介して電流Iu、Iwを検出できる。

[0076] 次に、図8を参照して、電流検出部26を説明する。図8は、電流検出部26を示す図である。図8に示すように、電流検出部26は、第1検出器31と、第2検出器32と、増幅部33uと、増幅部33vと、増幅部33wと、第1選択部41と、第2選択部42とを備える。第1検出器31は、サンプルホールド部311と、検出部312とを備える。第2検出器32は、サンプルホールド部321と、検出部322とを備える。第1選択部41は、3つのスイッチング素子51、52、53を備える。第2選択部42は、3つのスイッチング素子61、62、63を備える。

[0077] 電流検出時刻において、3相それぞれに印加する電圧Vu、Vv、Vwのうち最も大きい電圧を印加する相を最大相としたときに、第1検出器31は、3相それぞれの電流Iu、Iv、Iwのうち、最大相の電流を検出する。一方、電流検出時刻において、3相それぞれに印加する電圧Vu、Vv、Vwのうち最も小さい電圧を印加する相を最小相としたときに、第2検出器32は、3相それぞれの電流Iu、Iv、Iwのうち、最小相の電流を検出する。

[0078] 以上、図8を参照して説明したように、実施形態1によれば、最大相及び最小相に対してそれぞれ専用の検出器(第1検出器31及び第2検出器32)を設けることで、各検出器で検出する電流が検出全期間で安定している。その結果、検出全期間において電流検出精度を向上できる。また、2個の検

出器で、3相の電流 I_u 、 I_v 、 I_w の電流値を取得できる。

[0079] 具体的には、図3及び図8に示すように、増幅部33u、33v、33wには、それぞれ、信号線 L_{Nu} 、 L_{Nv} 、 L_{Nw} が接続される。

[0080] 電流検出時刻においてスイッチングユニット U_u の第2スイッチング素子 SW_2 がオンした状態である場合、電気抵抗部 R_u に流れる電流 I_u に応じた電圧信号 SG_u が、信号線 L_{Nu} から増幅部33uに入力される。つまり、電気抵抗部 R_u の両端の電位差に応じたレベルの電圧信号 SG_u が、信号線 L_{Nu} から増幅部33uに入力される。

[0081] 増幅部33uは、電圧信号 SG_u を増幅して、増幅後の電圧信号 SG_{ua} を第1選択部41及び第2選択部42に出力する。増幅部33uは、例えば、オペアンプ等の増幅器を含む。

[0082] 電流検出時刻においてスイッチングユニット U_v の第2スイッチング素子 SW_2 がオンした状態である場合、電気抵抗部 R_v に流れる電流 I_v に応じた電圧信号 SG_v が、信号線 L_{Nv} から増幅部33vに入力される。つまり、電気抵抗部 R_v の両端の電位差に応じたレベルの電圧信号 SG_v が、信号線 L_{Nv} から増幅部33vに入力される。

[0083] 増幅部33vは、電圧信号 SG_v を増幅して、増幅後の電圧信号 SG_{va} を第1選択部41及び第2選択部42に出力する。増幅部33vは、例えば、オペアンプ等の増幅器を含む。

[0084] 電流検出時刻においてスイッチングユニット U_w の第2スイッチング素子 SW_2 がオンした状態である場合、電気抵抗部 R_w に流れる電流 I_w に応じた電圧信号 SG_w が、信号線 L_{Nw} から増幅部33wに入力される。つまり、電気抵抗部 R_w の両端の電位差に応じたレベルの電圧信号 SG_w が、信号線 L_{Nw} から増幅部33wに入力される。

[0085] 増幅部33wは、電圧信号 SG_w を増幅して、増幅後の電圧信号 SG_{wa} を第1選択部41及び第2選択部42に出力する。増幅部33wは、例えば、オペアンプ等の増幅器を含む。

[0086] 第1選択部41は、切替部25の制御を受けて、増幅部33u、33v、

33wのうちのいずれか1つの増幅部を選択し、選択した増幅部を第1検出器31のサンプルホールド部311に接続する。具体的には、スイッチング素子51は、切替部25の制御を受けて、増幅部33uとサンプルホールド部311とを電氣的に接続又は分離する。スイッチング素子52は、切替部25の制御を受けて、増幅部33vとサンプルホールド部311とを電氣的に接続又は分離する。スイッチング素子53は、切替部25の制御を受けて、増幅部33wとサンプルホールド部311とを電氣的に接続又は分離する。

[0087] 第2選択部42は、切替部25の制御を受けて、増幅部33u、33v、33wのうちのいずれか1つの増幅部を選択し、選択した増幅部を第2検出器32のサンプルホールド部321に接続する。具体的には、スイッチング素子61は、切替部25の制御を受けて、増幅部33uとサンプルホールド部321とを電氣的に接続又は分離する。スイッチング素子62は、切替部25の制御を受けて、増幅部33vとサンプルホールド部321とを電氣的に接続又は分離する。スイッチング素子63は、切替部25の制御を受けて、増幅部33wとサンプルホールド部321とを電氣的に接続又は分離する。

[0088] 切替部25は第1選択部41及び第2選択部42を制御する。具体的には、切替部25は、最大相及び最小相の電流を検出することを決定した場合には、電圧信号SGua、SGva、SGwaのうち、最大相の電流の電流値を表す電圧信号が第1検出器31のサンプルホールド部311に入力されるように、第1選択部41を制御する。その結果、第1選択部41は、最大相の電流の電流値を表す電圧信号だけをサンプルホールド部311に入力する。そして、サンプルホールド部311は、駆動部23のトリガTGに応答して、最大相の電流の電流値を表す電圧信号のサンプリングを開始する。

[0089] そして、サンプルホールド部311は、サンプリング開始から期間Tdの経過時に、電圧信号のサンプリングを終了する。期間Tdは、電流検出部26に予め設定されており、第1検出器31によって電流を検出するために要

求される必須期間である。サンプルホールド部 3 1 1 は、例えば、コンデンサ等の素子を含むサンプルホールド回路である。

[0090] 検出部 3 1 2 は、サンプルホールド部 3 1 1 によってサンプリングされた電圧信号をデジタル信号に変換する。つまり、検出部 3 1 2 は、電気抵抗部 R の両端の電位差を示す電圧信号をデジタル信号に変換し、デジタル信号を算出部 2 1 に出力する。算出部 2 1 は、デジタル信号によって示される電気抵抗部 R の両端の電位差を電流値に変換して、最大相の電流の電流値を取得する。このようにして、検出部 3 1 2 は、最大相の電流を検出する。

[0091] 加えて、切替部 2 5 は、最大相及び最小相の電流を検出することを決定した場合には、電圧信号 S G u a、S G v a、S G w a のうち、最小相の電流の電流値を表す電圧信号が第 2 検出器 3 2 のサンプルホールド部 3 2 1 に入力されるように、第 2 選択部 4 2 を制御する。その結果、第 2 選択部 4 2 は、最小相の電流の電流値を表す電圧信号だけをサンプルホールド部 3 2 1 に入力する。そして、サンプルホールド部 3 2 1 は、駆動部 2 3 のトリガ T G に応答して、最小相の電流の電流値を表す電圧信号のサンプリングを開始する。

[0092] そして、サンプルホールド部 3 2 1 は、サンプリング開始から期間 T d の経過時に、電圧信号のサンプリングを終了する。期間 T d は、電流検出部 2 6 に予め設定されており、第 2 検出器 3 2 によって電流を検出するために要求される必須期間である。サンプルホールド部 3 2 1 は、例えば、コンデンサ等の素子を含むサンプルホールド回路である。

[0093] 検出部 3 2 2 は、サンプルホールド部 3 2 1 によってサンプリングされた電圧信号をデジタル信号に変換する。つまり、検出部 3 2 2 は、電気抵抗部 R の両端の電位差を示す電圧信号をデジタル信号に変換し、デジタル信号を算出部 2 1 に出力する。算出部 2 1 は、デジタル信号によって示される電気抵抗部 R の両端の電位差を電流値に変換して、最小相の電流の電流値を取得する。このようにして、検出部 3 2 2 は、最小相の電流を検出する。

[0094] 一方、切替部 2 5 は、中間相及び最小相の電流を検出することを決定した

場合には、電圧信号 $S_{Gu a}$ 、 $S_{Gv a}$ 、 $S_{Gw a}$ のうち、中間相の電流の電流値を表す電圧信号が第1検出器31のサンプルホールド部311に入力されるように、第1選択部41を制御する。そして、サンプルホールド部311は、駆動部23のトリガTGに応答して、中間相の電流の電流値を表す電圧信号のサンプリングを開始する。

[0095] そして、サンプルホールド部311は、サンプリング開始から期間Tdの経過時に、電圧信号のサンプリングを終了する。

[0096] 検出部312は、サンプルホールド部311によってサンプリングされた電圧信号をデジタル信号に変換する。つまり、検出部312は、電気抵抗部Rの両端の電位差を示す電圧信号をデジタル信号に変換し、デジタル信号を算出部21に出力する。算出部21は、デジタル信号によって示される電気抵抗部Rの両端の電位差を電流値に変換して、中間相の電流の電流値を取得する。このようにして、検出部312は、中間相の電流を検出する。

[0097] 加えて、切替部25は、中間相及び最小相の電流を検出することを決定した場合には、電圧信号 $S_{Gu a}$ 、 $S_{Gv a}$ 、 $S_{Gw a}$ のうち、最小相の電流の電流値を表す電圧信号が第2検出器32のサンプルホールド部321に入力されるように、第2選択部42を制御する。その他、中間相及び最小相の電流を検出することを決定した場合の最小相の電流検出処理は、最大相及び最小相の電流を検出することを決定した場合の最小相の電流検出処理と同様である。

[0098] なお、検出部312、322の各々は、例えば、A/Dコンバータである。ただし、第1検出器31及び第2検出器32の各々がA/Dコンバータであってもよい。また、検出部312、322の各々が電気抵抗部Rの両端の電位差を電流値に変換してもよい。

[0099] (第1変形例)

図9及び図10を参照して、実施形態1の第1変形例を説明する。第1変形例では、2相変調min型の変調方式を採用する点で、3相変調の通電を実行する実施形態1と主に異なる。以下、第1変形例が実施形態1と異なる

点を主に説明する。

[0100] 図9の波形図F40は、U相、V相、及び、W相に印加する電圧 V_u 、 V_v 、 V_w を示す。波形図F20の横軸及び縦軸は、図4の波形図F10の横軸及び縦軸と同様である。波形図F40に示すように、2相変調min型の変調方式とは、各相に印加する電圧 V_u 、 V_v 、 V_w の波形において、3相のうち1相がオフ固定となる期間を有する変調方式のことである。第1変形例に係る制御装置100は、2相変調min型の変調方式による通電を実行する。

[0101] 図9において、波形図F40の右領域に、波形図F40の領域A4に示す電気角範囲（時間範囲）の搬送波CA及びコンペア値 CM_u 、 CM_v 、 CM_w が示される。その他、図9の見方は、図6の見方と同様である。

[0102] 比較部24は、電流検出時刻 t_d ごとに、電圧指令値 V_{bu} 、 V_{bv} 、 V_{bw} の比較結果に基づいて、中間相、最大相、及び、最小相を決定する。図9の例では、電流検出時刻 t_d において、中間相は電圧指令値 V_{bw} に対応するW相であり、最大相は電圧指令値 V_{bv} に対応するV相であり、最小相は電圧指令値 V_{bu} に対応するU相である。

[0103] 切替部25は、図9の例では、電流検出時刻 t_d ごとに、最大相（V相）に電圧を印加するためのスイッチングユニットUvの第2スイッチング素子SW2がオンとなる期間 T_m が電流検出部26によって電流を検出するために予め設定された期間 T_d よりも短いかな否かを判定する。図9の例では、切替部25は、期間 T_m が期間 T_d 以上であると判定する。

[0104] その結果、図9の例では、電流検出部26は、電流検出時刻 t_d において、中間相（W相）以外の電最大相（V相）の電流 I_v 及び最小相（U相）の電流 I_u を、それぞれ、電気抵抗部 R_v 、 R_u を介して検出する。そして、算出部21は、最大相の電流 I_v 及び最小相の電流 I_u に基づいて、中間相の電流 I_w を算出する。従って、第1変形例によれば、2相変調min型の変調方式を採用した場合にも、中間相の電流を直接的に検出する場合と比較して、各相に流れる電流 I_u 、 I_v 、 I_w の検出値のバラツキを抑制できる

。

[0105] 図10は、各相に印加する電圧 V_u 、 V_v 、 V_w （2相変調 min 型）、搬送波 CA 、コンペア値 CM_u 、 CM_v 、 CM_w 、及び、第2ゲート信号 G_{2u} 、 G_{2v} 、 G_{2w} の他の例を示す図である。図10の波形図F50は、U相、V相、及び、W相に印加する電圧 V_u 、 V_v 、 V_w を示す。波形図F50の横軸及び縦軸は、図6の波形図F20の横軸及び縦軸と同様である。図10において、波形図F50の右領域に、波形図F50の領域A5に示す電気角範囲（時間範囲）の搬送波 CA 及びコンペア値 CM_u 、 CM_v 、 CM_w が示される。その他、図10の見方は、図6の見方と同様である。

[0106] 図10の例に示すように、切替部25が、PWM周期 T_{pwm} 内で、電流検出部26によって電流を検出するために予め設定された期間 T_d よりも、最大相（V相）に電圧 V_v を印加するためのスイッチングユニット U_v の第2スイッチング素子 SW_2 がオンとなる期間 T_m が短くなると判定した場合には、電流検出部26は、最大相（V相）の代わりに中間相（W相）の電流 I_w を検出し、算出部21は、中間相（W相）の電流 I_w 及び最小相（U相）の電流 I_u の検出結果に基づいて最大相（V相）の電流 I_v の電流値を算出する。

[0107] 以上、図10を参照して説明したように、第1変形例によれば、2相変調 min 型の変調方式において、最大相の第1スイッチング素子 SW_1 に印加する第1ゲート信号（図10の例では、第1ゲート信号 G_{1v} ）のデューティ値が100%近傍であるため電流検出部26による最大相の電流の検出が不可能な場合でも、中間相の電流で代替することで、3相の電流 I_u 、 I_v 、 I_w の電流値を検出できる。

[0108] （第2変形例）

図11及び図12を参照して、実施形態1の第2変形例を説明する。第2変形例では、2相変調 $min-max$ 型の変調方式を採用する点で、3相変調の通電を実行する実施形態1と主に異なる。以下、第2変形例が実施形態1と異なる点を主に説明する。

- [0109] 図11の波形図F60は、U相、V相、及び、W相に印加する電圧 V_u 、 V_v 、 V_w を示す。波形図F60の横軸及び縦軸は、図4の波形図F10の横軸及び縦軸と同様である。波形図F60に示すように、2相変調min-max型の変調方式とは、各相に印加する電圧 V_u 、 V_v 、 V_w の波形において、3相のうち1相がオン固定となる期間と、3相のうち1相がオフ固定となる期間とを有する変調方式のことである。第2変形例に係る制御装置100は、2相変調min-max型の変調方式による通電を実行する。
- [0110] 図11において、波形図F60の右領域に、波形図F60の領域A6に示す電気角範囲（時間範囲）の搬送波CA及びコンペア値 CM_u 、 CM_v 、 CM_w が示される。その他、図11の見方は、図6の見方と同様である。
- [0111] 比較部24は、電流検出時刻 t_d ごとに、電圧指令値 V_{bu} 、 V_{bv} 、 V_{bw} の比較結果に基づいて、中間相、最大相、及び、最小相を決定する。図11の例では、電流検出時刻 t_d において、中間相は電圧指令値 V_{bw} に対応するW相であり、最大相は電圧指令値 V_{bv} に対応するV相であり、最小相は電圧指令値 V_{bu} に対応するU相である。
- [0112] 切替部25は、図11の例では、電流検出時刻 t_d ごとに、最大相（V相）に電圧を印加するためのスイッチングユニットUvの第2スイッチング素子SW2がオンとなる期間 T_m が電流検出部26によって電流を検出するために予め設定された期間 T_d よりも短いかな否かを判定する。図11の例では、切替部25は、期間 T_m が期間 T_d 以上であると判定する。
- [0113] その結果、図11の例では、電流検出部26は、電流検出時刻 t_d において、中間相（W相）以外の最大相（V相）の電流 I_v 及び最小相（U相）の電流 I_u を、それぞれ、電気抵抗部 R_v 、 R_u を介して検出する。そして、算出部21は、最大相の電流 I_v 及び最小相の電流 I_u に基づいて、中間相の電流 I_w を算出する。従って、第2変形例によれば、2相変調min-max型の変調方式を採用した場合にも、中間相の電流を直接的に検出する場合と比較して、各相に流れる電流 I_u 、 I_v 、 I_w の検出値のバラツキを抑制できる。

[0114] 図12は、各相に印加する電圧 V_u 、 V_v 、 V_w 、搬送波 CA 、コンペア値 CM_u 、 CM_v 、 CM_w 、及び、第2ゲート信号 $G2_u$ 、 $G2_v$ 、 $G2_w$ の他の例を示す図である。図12の波形図F70は、U相、V相、及び、W相に印加する電圧 V_u 、 V_v 、 V_w を示す。波形図F70の横軸及び縦軸は、図6の波形図F20の横軸及び縦軸と同様である。図12において、波形図F70の右領域に、波形図F70の領域A7に示す電気角範囲（時間範囲）の搬送波 CA 及びコンペア値 CM_u 、 CM_v 、 CM_w が示される。その他、図12の見方は、図6の見方と同様である。

[0115] 図12の例では、2相変調 $min-max$ 型の変調方式において、第2ゲート信号 $G2_v$ はゼロレベルである。従って、電流検出時刻 t_d において、スイッチングユニット U_v の第2スイッチング素子 $SW2$ はオフしている。その結果、切替部25は、PWM周期 T_{pwm} 内で、電流検出部26によって電流を検出するために予め設定された期間 T_d よりも、最大相（V相）に電圧 V_v を印加するためのスイッチングユニット U_v の第2スイッチング素子 $SW2$ がオンとなる期間 T_m が短いと判定する。よって、電流検出部26は、最大相（V相）の代わりに中間相（W相）の電流 I_w を検出し、算出部21は、中間相（W相）の電流 I_w 及び最小相（U相）の電流 I_u の検出結果に基づいて最大相（V相）の電流 I_v の電流値を算出する。

[0116] 以上、図12を参照して説明したように、第2変形例によれば、2相変調 $min-max$ 型の変調方式において、最大相の第1スイッチング素子 $SW1$ に印加する第1ゲート信号（図12の例では、第1ゲート信号 $G1_v$ ）のデューティ値が100%であるため電流検出部26による最大相の電流の検出が不可能な場合でも、中間相の電流で代替することで、3相の電流 I_u 、 I_v 、 I_w の電流値を検出できる。

[0117] （実施形態2）

図13～図17を参照して、本開示の実施形態2に係るモータモジュール200Aについて説明する。実施形態2に係るモータモジュール200AがN相インバータ1Aを制御する点で、実施形態2は、モータモジュール20

0が3相インバータ1を制御する実施形態1と主に異なる。以下、実施形態2が実施形態1と異なる点を主に説明する。

[0118] 図13は、実施形態2に係るモータモジュール200Aを示すブロック図である。図13に示すように、モータモジュール200Aは、制御装置100Aと、N相モータMNとを備える。本明細書において、「N」は3以上の奇数を示す。制御装置100Aは、Nを3以上の奇数としたときに、N相それぞれに電圧 $V_{a1} \sim V_{aN}$ を印加するN相インバータ1Aを制御する。図13の例では、制御装置100AがN相インバータ1Aを備える。そして、N相インバータ1Aは直流電源部PWに接続される。本明細書では、一例として、N相インバータ1Aは、N相モータMNの各相に対して位相の異なる電圧 $V_{a1} \sim V_{aN}$ を印加して、N相モータMNを駆動する。以下、電圧 $V_{a1} \sim V_{aN}$ を印加電圧 $V_{a1} \sim V_{aN}$ と記載する場合がある。N相モータMNの各相には、電圧 $V_{a1} \sim V_{aN}$ に応じた電流 $I_{a1} \sim I_{aN}$ が流れる。

[0119] N相モータMNは、N相のコイル $CL1 \sim CLN$ を備える。N相モータMNは、例えば、ブラシレスDCモータである。N相モータMNは、P1相～PN相を有する。電流 $I_{a1} \sim I_{aN}$ の極性については、N相インバータ1AからN相モータMNの中性点NPに流れ込む方向の電流の極性を正とし、中性点NPからN相インバータ1Aに流れ出す方向の電流の極性を負とする。なお、N相インバータ1Aの駆動対象は、N相モータMNに限定されず、他の電気機器であってもよい。また、N相モータMNは制御装置100Aの外部に配置されていてもよい。

[0120] 制御装置100Aは、算出部21と、電流検出部26とを更に備える。電流検出部26は、N相それぞれに印加する電圧 $V_{a1} \sim V_{aN}$ のうち、電流検出時刻において、 $(N+1)/2$ 番目に大きい電圧を印加する相を中間相としたときに、N相それぞれの電流 $I_{a1} \sim I_{aN}$ のうち、中間相以外の $(N-1)$ 相それぞれの電流を検出する。具体的には、電流検出部26は、N相のコイル $CL1 \sim CLN$ それぞれに印加する電圧 $V_{a1} \sim V_{aN}$ のうち、

電流検出時刻において、 $(N+1)/2$ 番目に大きい電圧を印加する相を中間相としたときに、 N 相それぞれの電流 $I_{a1} \sim I_{aN}$ のうち、中間相以外の $(N-1)$ 相それぞれの電流を検出する。このように、実施形態 2 では、電流検出部 26 は、電流 $I_{a1} \sim I_{aN}$ のうち、電流の変動及び乱れが比較的大きな中間相の電流ではなく、中間相よりも電流の変動及び乱れが小さな他の $(N-1)$ 相の電流を検出する。従って、電流 $I_{a1} \sim I_{aN}$ のうち、直接的に検出される電流について、検出結果の誤差が抑制される。

[0121] 算出部 21 は、電流検出部 26 の検出結果に基づいて中間相の電流の電流値 I_{mid} を算出する。具体的には、算出部 21 は、キルヒホッフの法則に基づいて、中間相以外の $(N-1)$ 相の電流の電流値の合計値 I_{sum} から、中間相の電流の電流値 I_{mid} を算出する。 $I_{mid} = -I_{sum}$ 、である。このように、実施形態 2 では、算出部 21 は、電流 $I_{a1} \sim I_{aN}$ のうち、中間相よりも検出結果の誤差が抑制された他の $(N-1)$ 相の電流の検出結果から、中間相の電流を算出する。つまり、中間相の電流が間接的に検出される。従って、中間相の電流を直接的に検出する場合と比較して、中間相の電流の検出結果の誤差を抑制できる。その結果、中間相及び他の $(N-1)$ 相を含む各相に流れる電流 $I_{a1} \sim I_{aN}$ の検出値のバラツキを抑制できる。

[0122] 引き続き図 13 を参照して制御装置 100A を説明する。 N 相インバータ 1A は、 N 個のスイッチングユニット $U1 \sim UN$ を備える。

[0123] N 個のスイッチングユニット $U1 \sim UN$ は、 N 相それぞれに電圧 $V_{a1} \sim V_{aN}$ を印加する。具体的には、 N 個のスイッチングユニット $U1 \sim UN$ は、それぞれ、 N 相のコイル $CL1 \sim CLN$ に対して異なる位相の電圧 $V_{a1} \sim V_{aN}$ を印加する。

[0124] スwitchングユニット $U1 \sim UN$ の各々は、直流電源部 PW の第 1 電圧 $V1$ 側の第 1 スwitchング素子 $SW1$ と、直流電源部 PW の第 2 電圧 $V2$ 側の第 2 スwitchング素子 $SW2$ とを備える。第 2 スwitchング素子 $SW2$ は、第 1 スwitchング素子 $SW1$ と直列に接続される。図 1 の例では、第 2 電圧

V_2 は第 1 電圧 V_1 より小さい。例えば、第 2 電圧 V_2 は、接地電圧 ($0V$) である。

[0125] 典型的には、 N 相インバータ 1A は、PWM 信号 S_{pwm} によって駆動される。PWM 信号 S_{pwm} は、スイッチングユニット $U_1 \sim U_N$ の第 1 スwitching 素子 SW_1 をそれぞれ駆動する N 本の第 1 ゲート信号 $G_{11} \sim G_{1N}$ と、スイッチングユニット $U_1 \sim U_N$ の第 2 スwitching 素子 SW_2 をそれぞれ駆動する N 本の第 2 ゲート信号 $G_{21} \sim G_{2N}$ とを含む。この場合、例えば、第 1 スwitching 素子 SW_1 及び第 2 スwitching 素子 SW_2 の各々は、半導体スitching 素子である。例えば、第 1 スitching 素子 SW_1 及び第 2 スitching 素子 SW_2 の各々は、IGBT (絶縁ゲートバイポーラトランジスタ) である。なお、第 1 スitching 素子 SW_1 及び第 2 スitching 素子 SW_2 の各々は、電界効果トランジスタのような他のトランジスタであってもよい。

[0126] 第 2 ゲート信号 $G_{21} \sim G_{2N}$ の極性は、それぞれ、第 1 ゲート信号 $G_{11} \sim G_{1N}$ の極性と基本的には逆である。つまり、第 2 ゲート信号 $G_{21} \sim G_{2N}$ と第 1 ゲート信号 $G_{11} \sim G_{1N}$ とは、基本的には相補関係にある。ただし、デッドタイムが設けられる場合がある点は、図 3 を参照して説明した 3 相の場合と同様である。

[0127] 制御装置 100A は、 N 相それぞれの電流 $I_{a1} \sim I_{aN}$ を検出するための電流センサ部 3A を更に備える。電流センサ部 3A は、 N 相それぞれの電流 $I_{a1} \sim I_{aN}$ を検出するための N 個の電気抵抗部 $R_1 \sim R_N$ を備える。電気抵抗部 $R_1 \sim R_N$ のそれぞれ、又はこれらの総称を電気抵抗部 R と記載する場合がある。電気抵抗部 $R_1 \sim R_N$ は、 N 相のコイル $CL_1 \sim CL_N$ にそれぞれ流れる電流を、 N 相インバータ 1A を介して検出するための抵抗部品 (例えば、抵抗素子) である。各電流検出時刻において、 N 個の電気抵抗部 $R_1 \sim R_N$ のうち、 $(N-1)$ 個の電気抵抗部 R が使用される。

[0128] 電気抵抗部 $R_1 \sim R_N$ は、それぞれ、スイッチングユニット $U_1 \sim U_N$ に対応して配置される。そして、電気抵抗部 $R_1 \sim R_N$ の各々は、スitching

グユニットU1～UNのうちの対応するスイッチングユニットの第2スイッチング素子SW2と、直流電源部PWとの間に配置される。

[0129] 制御装置100Aは、搬送波生成部22と、駆動部23と、比較部24と、切替部25とを更に備える。具体的には、制御装置100Aはインバータ制御部2を備える。そして、インバータ制御部2が、算出部21と、搬送波生成部22と、駆動部23と、比較部24と、切替部25と、電流検出部26とを備える。インバータ制御部2は、例えば、マイクロコンピュータである。例えば、電流検出部26は、A/Dコンバータによって実現される。

[0130] 算出部21は、電圧指令値Vb1～VbNを算出する。N相を構成するN個の相を「P1相～PN相」としたときに、算出部21は、P1相～PN相にそれぞれ対応して電圧指令値Vb1～VbNを算出する。算出部21は、電圧指令値Vb1～VbNを比較部24に出力する。

[0131] 電圧指令値Vb1～VbNは、それぞれ、N相インバータ1Aが出力する電圧Va1～VaNの電圧値を示す。従って、実質的には、電圧指令値Vb1～VbNは、それぞれ、N相インバータ1Aが出力する電圧Va1～VaNの電圧値に一致する。詳細には、電圧指令値Vb1～VbNは、N相を構成するP1相～PN相にそれぞれ印加する電圧Va1～VaNが追従すべき電圧値を示す。本明細書においては、実質的には、電圧指令値Vb1～VbNと印加電圧Va1～VaNとは同義である。

[0132] 算出部21は、電圧指令値Vb1～VbNに基づいてコンペア値CM1～CMNを算出する。従って、コンペア値CM1～CMNは、それぞれ、電圧指令値Vb1～VbNに対応する。コンペア値CM1～CMNは、それぞれ、PWM信号Spwmにおける第1ゲート信号G11～G1Nのデューティ値を直接的又は間接的に示す。算出部21は、コンペア値CM1～CMNを駆動部23に出力する。具体的には、デューティ値は、予め設定されたPWM周期Tpwmに対する各相の第1スイッチング素子SW1のオン時間の比率を示す。

[0133] 搬送波生成部22は、搬送波CAを生成する。搬送波生成部22は、搬送

波CAを駆動部23に出力する。搬送波CAは、例えば、三角波である。なお、搬送波CAの波形は、特に限定されない。

[0134] 図14は、搬送波CA及びコンペア値CM1～CMNの一例を示す図である。図14において、「n」は、Nより小さく、1より大きい整数を示す。図14に示すように、PWM周期Tpwmは搬送波CAの周期に等しい。その他、実施形態2のPWM周期Tpwmは、実施形態1のPWM周期Tpwmと同様である。

[0135] また、搬送波CAの周期によって、制御周期Tcntが規定される。制御周期Tcntは、PWM信号Spwmのデューティ値を更新するための周期である。従って、制御周期Tcntごとに、PWM信号Spwmのデューティ値が更新される。制御周期Tcntは、PWM周期Tpwmよりも長い。その他、実施形態2の制御周期Tcntは、実施形態1の制御周期Tcntと同様である。

[0136] 図13に戻って、駆動部23は、搬送波CA及びコンペア値CM1～CMNに基づいて、PWM信号Spwmを生成する。そして、駆動部23は、PWM信号SpwmをN相インバータ1Aに出力して、N相インバータ1Aを駆動する。その結果、N相インバータ1Aは、電圧指令値Vb1～VbNによってそれぞれ示される電圧Va1～VaNを、N相のコイルCL1～CLNにそれぞれ印加する。

[0137] 具体的には、図14に示すように、駆動部23は、コンペア値CM1～CMNの各々と搬送波CAとを比較し、比較結果に基づいてPWM信号Spwmを生成する。更に具体的には、駆動部23は、コンペア値CM1～CMNごとに、コンペア値が搬送波CAのレベル以上か否かを判定する。そして、駆動部23は、コンペア値CM1～CMNごとの判定結果に基づいて、PWM信号Spwmにおける各第1ゲート信号G11～G1Nを活性化又は非活性化する。その結果、コンペア値CM1～CMNに従って、N本の第1ゲート信号G11～G1Nのデューティ値が設定される。なお、第1ゲート信号G11～G1Nのうち、活性化された第1ゲート信号が印加される第1スイ

ッチング素子SW1はオンする。第1ゲート信号G11～G1Nのうち、非活性化された第1ゲート信号が印加される第1スイッチング素子SW1はオフする。

[0138] ここで、図14の例では、説明の便宜のため、コンペア値CM1～CMNの大小関係と、電圧指令値Vb1～VbN（印加電圧Va1～VaN）の大小関係とを一致させている。従って、図13の比較部24の説明に関しては、便宜上、図14において、コンペア値CM1～CMNを示す直線を、電圧指令値Vb1～VbN（印加電圧Va1～VaN）を示す直線とみなして説明する。

[0139] 比較部24は、電流検出時刻tdごとに、N相を構成するP1相～PN相の電圧指令値Vb1～VbNを相互に比較して、P1相～PN相の電圧指令値Vb1～VbNの各々が何番目に大きいかを決定する。換言すれば、比較部24は、電流検出時刻tdごとに、P1相～PN相にそれぞれ印加する電圧Va1～VaNを相互に比較して、P1相～PN相に印加する電圧Va1～VaNの各々が何番目に大きいかを決定する。更に換言すれば、比較部24は、P1相～PN相のうちから、中間相及び最大相を決定する。なお、比較部24は、最小相を決定してもよい。例えば、図14の中央の制御周期Tcntでは、PN相が中間相であり、Pn相が最大相であり、P1相が最小相である。

[0140] 中間相は、N相を構成するP1相～PN相に対する電圧指令値Vb1～VbNのうち、電流検出時刻tdにおいて、 $(N+1)/2$ 番目に大きい電圧指令値が設定される相である。つまり、中間相は、P1相～PN相にそれぞれ印加する電圧Va1～VaNのうち、電流検出時刻tdにおいて、 $(N+1)/2$ 番目に大きい電圧が印加される相である。

[0141] 最大相は、N相を構成するP1相～PN相に対する電圧指令値Vb1～VbNのうち、電流検出時刻tdにおいて、最も大きい電圧指令値が設定される相である。つまり、最大相は、P1相～PN相にそれぞれ印加する電圧Va1～VaNのうち、電流検出時刻tdにおいて、最も大きい電圧が印加さ

れる相である。

[0142] なお、最小相は、 N 相を構成する $P1$ 相～ P_N 相に対する電圧指令値 $V_{b1} \sim V_{bN}$ のうち、電流検出時刻において、最も小さい電圧指令値が設定される相である。つまり、最小相は、 $P1$ 相～ P_N 相にそれぞれ印加する電圧 $V_{a1} \sim V_{aN}$ のうち、電流検出時刻 t_d において、最も小さい電圧が印加される相である。

[0143] ここで、図 14 において、一例として、図 14 の中央の制御周期 T_{cnt} に着目する。この場合、 P_n 相が最大相である。図 13 の切替部 25 は、最大相である P_n 相に電圧 V_{an} を印加するためのスイッチングユニット U_n の第 2 スwitching 素子 $SW2$ がオンとなる期間 T_m が、電流検出部 26 によって電流を検出するために予め設定された期間 T_d よりも短いかなんかを判定する。切替部 25 は、期間 T_m が期間 T_d よりも短くないと判定した場合、つまり、期間 T_m が期間 T_d 以上であると判定した場合は、中間相以外の $(N-1)$ 相それぞれの電流を検出することを決定する。

[0144] なお、図 14 の例では、駆動部 23 は、コンペア値 CM_n が搬送波 CA のレベル未満の場合に、第 2 ゲート信号 $G2_n$ を活性化して、スイッチングユニット U_n の第 2 スwitching 素子 $SW2$ をオンしている。

[0145] 図 15 は、搬送波 CA 及びコンペア値 $CM1 \sim CMN$ の他の例を示す図である。図 15 に示すように、一例として、 P_n 相が最大相である。図 13 の切替部 25 は、最大相の第 2 スwitching 素子 $SW2$ がオンとなる期間 T_m が、電流検出部 26 によって電流を検出するために予め設定された期間 T_d よりも短いかなんかを判定する。切替部 25 は、期間 T_m が期間 T_d よりも短いと判定した場合、最大相以外の $(N-1)$ 相それぞれの電流を検出することを決定する。つまり、この場合は、最大相の代わりに、中間相の電流が検出される。

[0146] 図 13 に戻って、電流検出部 26 は、駆動部 23 が生成したトリガ TG に応答して、電流センサ部 3 を介して電流を検出する。トリガ TG が生成された時刻が電流検出時刻になる。

[0147] 具体的には、切替部25が、中間相以外の $(N-1)$ 相それぞれの電流を検出することを決定した場合には、電流検出部26は、駆動部23が生成したトリガTGに応答して、中間相以外の $(N-1)$ 相それぞれの電流を検出する。そして、電流検出部26は、中間相以外の $(N-1)$ 相それぞれの電流の電流値を示す信号を算出部21に出力する。算出部21は、中間相以外の $(N-1)$ 相それぞれの電流の電流値に基づいて、中間相の電流の電流値を算出する。

[0148] 一方、切替部25が、最大相以外の $(N-1)$ 相それぞれの電流を検出することを決定した場合には、電流検出部26は、駆動部23が生成したトリガTGに応答して、最大相以外の $(N-1)$ 相それぞれの電流を検出する。そして、電流検出部26は、最大相以外の $(N-1)$ 相それぞれの電流の電流値を示す信号を算出部21に出力する。算出部21は、最大相以外の $(N-1)$ 相それぞれの電流の電流値に基づいて、最大相の電流の電流値を算出する。具体的には、算出部21は、キルヒホッフの法則に基づいて、最大相以外の $(N-1)$ 相の電流の電流値の合計値 I_{sum} から、最大相の電流の電流値 I_{max} を算出する。 $I_{max} = -I_{sum}$ 、である。

[0149] 以上、図13及び図15を参照して説明したように、最大相の第1スイッチング素子SW1に印加する第1ゲート信号のデューティ値が100%近傍であるか100%であるため電流検出部26による最大相の電流の検出が不可能な場合でも、中間相の電流で代替することで、N相の電流 $I_{a1} \sim I_{aN}$ の電流値を検出できる。

[0150] なお、PWM周期 T_{wpm} 内で、最大相の第2スイッチング素子SW2がオンとなる期間 T_m が期間 T_d よりも短いことは、PWM周期 T_{wpm} 内で、最大相の第1スイッチング素子SW1がオンとなる期間が長いことを示す。この場合、最大相の第1ゲート信号 G_{1n} のデューティ値は100%近傍である。

[0151] また、PWM周期 T_{wpm} 内で、最大相の第2スイッチング素子SW2がオンとなる期間 T_m がゼロであることは、PWM周期 T_{wpm} の全期間で、

最大相の第1スイッチング素子SW1がオンとなることを示す。この場合、最大相の第1スイッチング素子SW1に印加する第1ゲート信号のデューティ値は100%である。

[0152] 次に、図13及び図16を参照して相決定処理を説明する。図4は、電流を直接的に検出する相を決定する相決定処理を示すフローチャートである。図16に示すように、相決定処理は工程S1～S7を含む。相決定処理は、制御周期Tcntごとに繰り返し実行される。

[0153] 図13及び図16に示すように、工程S1において、算出部21は、印加電圧Va1～VaNをそれぞれ示す電圧指令値Vb1～VbNを算出する。

[0154] 次に、工程S2において、算出部21は、電圧指令値Vb1～VbNに基づいて、コンペア値CM1～CMNを算出する。

[0155] 次に、工程S3において、比較部24は、P1相～PN相の電圧指令値Vb1～VbNを比較して、P1相～PN相の電圧指令値Vb1～VbNの各々が何番目に大きいかを決定する。そして、比較部24は、電圧指令値Vb1～VbNのうち最も大きな電圧指令値が設定される相を最大相に決定する。また、比較部24は、電圧指令値Vb1～VbNのうち(N+1)/2番目に大きい電圧指令値が設定される相を中間相に決定する。

[0156] 換言すれば、比較部24は、P1相～PN相に印加する電圧Va1～VaNを比較して、電圧Va1～VaNの各々が何番目に大きいかを決定する。そして、比較部24は、P1相～PN相に印加する電圧Va1～VaNのうち最も大きな電圧が印加される相を最大相に決定する。また、比較部24は、P1相～PN相に印加する電圧Va1～VaNのうち、(N+1)/2番目に大きい電圧が印加される相を中間相に決定する。

[0157] 次に、工程S4において、切替部25は、最大相に対応する第2スイッチング素子SW2のオン期間Tmが、電流検出部26に対して電流検出のために予め設定された期間Tdより短いかな否かを判定する。

[0158] 工程S4でオン期間Tmが期間Tdよりも短くないと判定された場合(No)、処理は工程S5に進む。つまり、工程S4でオン期間Tmが期間Td

以上であると判定された場合、処理は工程 S 5 に進む。

[0159] 次に、工程 S 5 において、切替部 2 5 は、中間相以外の (N - 1) 相の電流を検出することを決定する。例えば、切替部 2 5 は、中間相以外の (N - 1) 相の電流を検出すること示すフラグを設定する。

[0160] 一方、工程 S 4 でオン期間 T_m が期間 T_d よりも小さいと判定された場合 (Yes)、処理は工程 S 6 に進む。

[0161] 次に、工程 S 6 において、切替部 2 5 は、最大相以外の (N - 1) 相の電流を検出することを決定する。例えば、切替部 2 5 は、最大相以外の (N - 1) 相の電流を検出すること示すフラグを設定する。

[0162] 次に、工程 S 5 及び工程 S 6 の後の工程 S 7 において、算出部 2 1 は、工程 S 2 で算出したコンペア値 $CM_1 \sim CM_N$ を駆動部 2 3 に設定する。そして、処理は終了する。

[0163] ここで、ある制御周期 T_{cnt} で実行される工程 S 7 で駆動部 2 3 に設定されたコンペア値 $CM_1 \sim CM_N$ は、駆動部 2 3 によって、次の制御周期 T_{cnt} 又はインバータ制御部 2 として使用するマイクロコンピュータによって定められたタイミングで反映される。また、ある制御周期 T_{cnt} で実行される工程 S 5、S 6 での決定は、切替部 2 5 及び電流検出部 2 6 によって、次の制御周期 T_{cnt} 又はインバータ制御部 2 として使用するマイクロコンピュータによって定められたタイミングで反映される。

[0164] 次に、図 1 3 及び図 1 7 を参照して電流値算出処理を説明する。図 1 7 は、未検出の電流の電流値を算出する電流値算出処理を示すフローチャートである。図 1 7 に示すように、電流値算出処理は、工程 S 1 1 ~ S 1 7 を含む。電流値算出処理は、PWM 周期 T_{pwm} ごとに繰り返し実行される。工程 S 1 1 ~ S 1 7 は、「制御装置によって実行される制御方法」の一例に相当する。

[0165] 図 1 3 及び図 1 7 に示すように、工程 S 1 1 において、切替部 2 5 は、最大相以外の (N - 1) 相の電流を検出することが決定されたか否かを判定する。つまり、切替部 2 5 は、最大相以外の (N - 1) 相の電流を検出するこ

とを示すフラグが設定されているか否かを判定する。

[0166] 最大相以外の ($N-1$) 相の電流を検出することが決定されていないと工程 S 1 1 で判定された場合 (No)、処理は工程 S 1 2 に進む。つまり、中間相以外の ($N-1$) 相の電流を検出することが決定されたらと工程 S 1 1 で判定された場合、処理は工程 S 1 2 に進む。

[0167] 次に、工程 S 1 2 において、電流検出部 2 6 は、電流検出時刻が到来したか否かを判定する。つまり、電流検出部 2 6 は、駆動部 2 3 がトリガ TG を出力したか否かを判定する。

[0168] 工程 S 1 2 で電流検出時刻が到来していないと判定された場合 (No)、処理は工程 S 1 2 を繰り返す。

[0169] 一方、工程 S 1 2 で電流検出時刻が到来したと判定された場合 (Yes)、処理は工程 S 1 3 に進む。

[0170] 次に、工程 S 1 3 において、電流検出部 2 6 は、中間相以外の ($N-1$) 相の電流をそれぞれ検出する。工程 S 1 3 は、「電流検出工程」の一例に相当する。

[0171] 次に、工程 S 1 4 において、算出部 2 1 は、中間相以外の ($N-1$) 相それぞれの電流の検出結果に基づいて、中間相の電流の電流値を算出する。工程 S 1 4 は、「算出工程」の一例に相当する。そして、処理は終了する。

[0172] 一方、最大相以外の ($N-1$) 相の電流を検出することが決定されたらと工程 S 1 1 で判定された場合 (Yes)、処理は工程 S 1 5 に進む。

[0173] 次に、工程 S 1 5 において、電流検出部 2 6 は、電流検出時刻が到来したか否かを判定する。つまり、電流検出部 2 6 は、駆動部 2 3 がトリガ TG を出力したか否かを判定する。

[0174] 工程 S 1 5 で電流検出時刻が到来していないと判定された場合 (No)、処理は工程 S 1 5 を繰り返す。

[0175] 一方、工程 S 1 5 で電流検出時刻が到来したと判定された場合 (Yes)、処理は工程 S 1 6 に進む。

[0176] 次に、工程 S 1 6 において、電流検出部 2 6 は、最大相以外の ($N-1$)

相の電流をそれぞれ検出する。

[0177] 次に、工程 S 1 7 において、算出部 2 1 は、最大相以外の ($N - 1$) 相それぞれの電流の検出結果に基づいて、最大相の電流の電流値を算出する。そして、処理は終了する。

[0178] 次に、図 1 8 及び図 1 9 を参照して、 N が「5」であり、 N 相が 5 相の場合の例を説明する。図 1 8 は、実施形態 2 において、5 相それぞれに印加する電圧 V_{a1} 、 V_{a2} 、 V_{a3} 、 V_{a4} 、 V_{a5} 、搬送波 CA 、及び、コンペア値 $CM1$ 、 $CM2$ 、 $CM3$ 、 $CM4$ 、 $CM5$ の一例を示す図である。

[0179] 図 1 8 の波形図 F 1 0 0 は、 $P1$ 相、 $P2$ 相、 $P3$ 相、 $P4$ 相、及び、 $P5$ 相にそれぞれ印加する電圧 V_{a1} 、 V_{a2} 、 V_{a3} 、 V_{a4} 、 V_{a5} を示す。波形図 F 1 0 0 において、横軸は電気角 $[degE]$ を示し、縦軸は電圧 $V_{a1} \sim V_{a5}$ を示す。波形図 F 1 0 0 の縦軸は入力電圧 $V1 - V2$ で規格化した電圧値を表しており、電圧 $V_{a1} \sim V_{a5}$ は $0 \sim 1$ の範囲の値をとる。またこの値は、PWM 周期 T_{pwm} に対する各相の第 1 スイッチング素子 $SW1$ のオン時間の比率であるデューティ値も表している。波形図 F 1 0 0 に示すように、電圧 $V_{a1} \sim V_{a5}$ は、正弦波状である。電圧 $V_{a1} \sim V_{a5}$ の位相は互い異なる。図 1 8 の例では、5 相変調による通電が実行される。

[0180] 図 1 8 において、波形図 F 1 0 0 の右領域に、波形図 F 1 0 0 の領域 A 1 0 に示す電気角範囲（時間範囲）の搬送波 CA 及びコンペア値 $CM1 \sim CM5$ が示される。制御周期 T_{cnt} ごとに、コンペア値 $CM1 \sim CM5$ 及び電圧指令値 $V_{b1} \sim V_{b5}$ （印加電圧 $V_{a1} \sim V_{a5}$ ）が更新される。

[0181] 駆動部 2 3 は、各 PWM 周期 T_{pwm} において、コンペア値 $CM1 \sim CM5$ の各々と搬送波 CA との比較を実行する。その結果、第 1 ゲート信号 $G11 \sim G15$ 及び第 2 ゲート信号 $G21 \sim G25$ が生成される。実施形態 2 では、駆動部 2 3 は、センターアライン方式により、第 1 ゲート信号 $G11 \sim G15$ 及び第 2 ゲート信号 $G21 \sim G25$ を生成する。

[0182] ここで、比較部 2 4 の説明に関しては、図 1 8 においても、図 4 の場合と

同様に、便宜上、コンペア値 $CM1 \sim CM5$ を示す直線を、電圧指令値 $Vb1 \sim Vb5$ （印加電圧 $Va1 \sim Va5$ ）を示す直線とみなして説明する。

[0183] 比較部24は、電流検出時刻 t_d ごとに、5相の電圧指令値 $Vb1 \sim Vb5$ を相互に比較して、電圧指令値 $Vb1 \sim Vb5$ の各々が何番目に大きいかを決定する。図18の中央の制御周期 T_{cnt} に着目すると、比較部24は、電圧指令値 $Vb3$ を一番目に大きいと決定し、電圧指令値 $Vb2$ を二番目に大きいと決定し、電圧指令値 $Vb4$ を三番目に大きいと決定し、電圧指令値 $Vb1$ を四番目に大きいと決定し、電圧指令値 $Vb5$ を五番目に大きいと決定する。

[0184] 従って、比較部24は、電圧指令値 $Vb3$ が設定される相を最大相に決定し、電圧指令値 $Vb4$ が設定される相を中間相に決定する。その結果、電流検出部26は、中間相であるP4相以外の4相の電流を検出する。具体的には、電流検出部26は、P1相の電流 $Ia1$ と、P2相の電流 $Ia2$ と、P3相（最大相）の電流 $Ia3$ と、P5相の電流 $Ia5$ とを、電気抵抗部 $R1$ 、 $R2$ 、 $R3$ 、 $R5$ を介して検出する。

[0185] そして、算出部21は、電流 $Ia1$ 、電流 $Ia2$ 、電流 $Ia3$ 、及び、電流 $Ia5$ の電流値に基づいて、中間相の電流 $Ia4$ の電流値を算出する。

[0186] 図19は、5相変調において、 $0 [degE] \sim 360 [degE]$ の電気角範囲でのP1相～P5相の大きさの順番の変化を示す図である。図19の横軸及び縦軸は、図18に示す波形図F100の横軸及び縦軸と同様である。図19では、P1相～P5相ごとに、大きさの順番を第1番から第5番まで示している。図19に示すように、所定電気角 $[degE]$ ごとに、P1相～P5相の大きさの順番が変化している。

[0187] 以上、図18及び図19を参照して説明したように、一例として、5相変調の通電を実行する場合において、中間相以外の4相の電流を検出して、中間相の電流を算出することで、5相の電流 $Ia1 \sim Ia5$ の検出値のバラツキを抑制できる。

[0188] （実施形態3）

図20及び図21を参照して、本開示の実施形態3に係るモータモジュール200Bを説明する。実施形態3が、クランプ型の電流センサ部3Bを備えている点で、電気抵抗型の電流センサ部3を備えている実施形態1と主に異なる。以下、実施形態3が実施形態1と異なる点を主に説明する。

[0189] 図20は、実施形態3に係るモータモジュール200Bを示す図である。図20に示すように、モータモジュール200Bは制御装置100Bを備える。制御装置100Bは、3相それぞれの電流 I_u 、 I_v 、 I_w を検出するための電流センサ部3Bを備える。電流センサ部3Bは例えばクランプ型である。電流センサ部3Bは、3相インバータ1と3相モータM3との間に配置される。

[0190] 図21は、実施形態3に係る電流センサ部3Bを示す図である。図21に示すように、電流センサ部3Bは、U相の電流 I_u を検出するための磁気コアCP_u、V相の電流 I_v を検出するための磁気コアCP_v、W相の電流を検出するための磁気コアCP_w、電流センサMG_u、電流センサMG_v、及び、電流センサMG_wを備える。例えば、磁気コアCP_u、CP_v、CP_wは、それぞれ、ラインL_u、L_v、L_wを囲んでいる。

[0191] 磁気コアCP_uは、ラインL_uに配置される。ラインL_uは、スイッチングユニットU_uにおける接続点NとU相のコイルCL_uとを接続する電線である。磁気コアCP_uは、ラインL_uを流れる電流 I_u の電流値に応じた磁束を検出する。例えば磁束は電流値に比例する。磁気コアCP_uは、電流センサMG_uに接続される。電流センサMG_uは、磁気コアCP_uが検出した磁束を電圧信号SG_uに変換して、電圧信号SG_uを電流検出部26に出力する。電圧信号SG_uは、ラインL_uを流れる電流 I_u の電流値を表す。電流センサMG_uは、信号線LN_uによって図8の増幅部33_uに接続されている。従って、実施形態1と同様に、電圧信号SG_uが増幅部33_uに入力される。電流センサMG_uは、例えば、ホール素子等の磁気センサを含む。磁束検出精度を確保するため、電流センサMG_uは、例えば、磁気コアCP_uの近傍又は磁気コアCP_uに配置される。

[0192] 磁気コアCP_vは、ラインL_vに配置される。ラインL_vは、スイッチングユニットU_vにおける接続点NとV相のコイルCL_vとを接続する電線である。磁気コアCP_vは、ラインL_vを流れる電流I_vの電流値に応じた磁束を検出する。例えば磁束は電流値に比例する。電流センサMG_vは、磁気コアCP_vが検出した磁束を電圧信号SG_vに変換して、電圧信号SG_vを電流検出部26に出力する。電圧信号SG_vは、ラインL_vを流れる電流I_vの電流値を表す。電流センサMG_vは、信号線LN_vによって図8の増幅部33_vに接続されている。従って、実施形態1と同様に、電圧信号SG_vが増幅部33_uに入力される。電流センサMG_vは、例えば、ホール素子等の磁気センサを含む。磁束検出精度を確保するため、電流センサMG_vは、例えば、磁気コアCP_vの近傍又は磁気コアCP_vに配置される。

[0193] 磁気コアCP_wは、ラインL_wに配置される。ラインL_wは、スイッチングユニットU_wにおける接続点NとW相のコイルCL_wとを接続する電線である。磁気コアCP_wは、ラインL_wを流れる電流I_wの電流値に応じた磁束を検出する。例えば磁束は電流値に比例する。電流センサMG_wは、磁気コアCP_wが検出した磁束を電圧信号SG_wに変換して、電圧信号SG_wを電流検出部26に出力する。電圧信号SG_wは、ラインL_wを流れる電流I_wの電流値を表す。電流センサMG_wは、信号線LN_wによって図8の増幅部33_wに接続されている。従って、実施形態1と同様に、電圧信号SG_wが増幅部33_wに入力される。電流センサMG_wは、例えば、ホール素子等の磁気センサを含む。磁束検出精度を確保するため、電流センサMG_wは、例えば、磁気コアCP_wの近傍又は磁気コアCP_wに配置される。

[0194] 以上、図20及び図21を参照して説明したように、実施形態3によれば、ラインL_u、L_v、L_wは、それぞれ、スイッチングユニットU_u、U_v、U_wにおける接続点Nに接続される。そして、電流センサ部3Bには、ラインL_u、L_v、L_wから、電流I_u、I_v、I_wのうち最大相及び最小相の電流が流れ込む。従って、電流検出部26は、第2スイッチング素子SW2のオン／オフに拘わらず、電流センサ部3Bを介して、最大相及び最小相

の電流を検出できる。つまり、電流検出部 26 は、第 2 スwitching 素子 S W 2 による制約を受けることなく、最大相及び最小相の電流を検出できる。

[0195] (実施形態 4)

図 20、図 22、及び、図 23 を参照して、本開示の実施形態 4 に係るモータモジュール 200B を説明する。実施形態 4 に係るモータモジュール 200B の全体構成は、図 20 に示す実施形態 3 に係るモータモジュール 200B の全体構成と同様である。実施形態 4 の電流センサ部 3B が電気抵抗部 R_u 、 R_v 、 R_w を備えている点で、実施形態 4 は、電流センサ部 3B が磁気コア $C P_u$ 、 $C P_v$ 、 $C P_w$ を備える実施形態 3 と主に異なる。以下、実施形態 4 が実施形態 3 と異なる点を主に説明する。

[0196] 図 22 は、実施形態 4 に係る電流センサ部 3B を示す図である。図 22 に示すように、電流センサ部 3B は、3 相それぞれの電流 I_u 、 I_v 、 I_w を検出するための電気抵抗部 R_u 、 R_v 、 R_w を備える。電気抵抗部 R_u 、 R_v 、 R_w の構成は、例えば、図 3 の電気抵抗部 R_u 、 R_v 、 R_w の構成と同様である。また、実施形態 4 では、図 20 及び図 21 に示す電流検出部 26 に代えて、後述する電流検出部 26A が設けられる。

[0197] 電気抵抗部 R_u は、U 相の電流 I_u が流れるライン L_u 上に配置される。ライン L_u は、Switching ユニット U_u における接続点 N からコイル $C L_u$ (図 20) まで延びる。つまり、電気抵抗部 R_u は、接続点 N とコイル $C L_u$ との間に接続される。電気抵抗部 R_v は、V 相の電流 I_v が流れるライン L_v 上に配置される。ライン L_v は、Switching ユニット U_v の接続点 N からコイル $C L_v$ (図 20) まで延びる。つまり、電気抵抗部 R_v は、接続点 N とコイル $C L_v$ との間に接続される。電気抵抗部 R_w は、W 相の電流 I_w が流れるライン L_w 上に配置される。ライン L_w は、Switching ユニット U_w の接続点 N からコイル $C L_w$ (図 20) まで延びる。つまり、電気抵抗部 R_w は、接続点 N とコイル $C L_w$ との間に接続される。

[0198] 電気抵抗部 R_u の両端から電流検出部 26A まで信号線 L_{u1} 、 L_{u2} が延びる。従って、電流検出部 26A は、電気抵抗部 R_u の両端の電位差を検

出できる。電気抵抗部 R_u の両端の電位差は、電気抵抗部 R_u を流れる電流 I_u に応じた大きさを有する。電気抵抗部 R_u の両端の電位差を電気抵抗部 R_u の抵抗値で割ることで、電流 I_u の電流値を算出できる。電気抵抗部 R_v の両端から電流検出部 26 A まで信号線 L_{v1} 、 L_{v2} が延びる。従って、電流検出部 26 A は、電気抵抗部 R_v の両端の電位差を検出できる。電気抵抗部 R_v の両端の電位差は、電気抵抗部 R_v を流れる電流 I_v に応じた大きさを有する。電気抵抗部 R_v の両端の電位差を電気抵抗部 R_v の抵抗値で割ることで、電流 I_v の電流値を算出できる。電気抵抗部 R_w の両端から電流検出部 26 A まで信号線 L_{w1} 、 L_{w2} が延びる。従って、電流検出部 26 A は、電気抵抗部 R_w の両端の電位差を検出できる。電気抵抗部 R_w の両端の電位差は、電気抵抗部 R_w を流れる電流 I_w に応じた大きさを有する。電気抵抗部 R_w の両端の電位差を電気抵抗部 R_w の抵抗値で割ることで、電流 I_w の電流値を算出できる。

[0199] 図 23 は、実施形態 4 に係る電流検出部 26 A を示す図である。図 23 に示すように、電流検出部 26 A は、図 8 に示す増幅部 33 u、33 v、33 w に代えて、差動増幅部 39 u、39 v、39 w を備える。差動増幅部 39 u、39 v、39 w の各々は、例えば、オペアンプ等を含む差動増幅器である。

[0200] 差動増幅部 39 u には、信号線 L_{u1} 、 L_{u2} が接続される。従って、差動増幅部 39 u は、電気抵抗部 R_u (図 22) の両端の電位差を増幅して、増幅後の電位差を示す電圧信号 SG_u を第 1 選択部 41 及び第 2 選択部 42 に出力する。差動増幅部 39 u 以降の電圧信号 SG_u の処理は、図 8 に示す増幅部 33 u 以降の電圧信号 SG_u の処理と同様である。なお、例えば、算出部 21 は、電圧信号 SG_u が検出部 312 又は検出部 322 でデジタル信号に変換された後、デジタル信号によって示される電気抵抗部 R_u の両端の電位差を、電気抵抗部 R_u の抵抗値で割ることで、電流 I_u の電流値を算出する。

[0201] 差動増幅部 39 v には、信号線 L_{v1} 、 L_{v2} が接続される。従って、差

動増幅部 39 v は、電気抵抗部 R v（図 22）の両端の電位差を増幅して、増幅後の電位差を示す電圧信号 S G v を第 1 選択部 41 及び第 2 選択部 42 に出力する。差動増幅部 39 v 以降の電圧信号 S G v の処理は、図 8 に示す増幅部 33 v 以降の電圧信号 S G v の処理と同様である。なお、算出部 21 は、電圧信号 S G v が検出部 312 又は検出部 322 でデジタル信号に変換された後、デジタル信号によって示される電気抵抗部 R v の両端の電位差を、電気抵抗部 R v の抵抗値で割ることで、電流 I v の電流値を算出する。

[0202] 差動増幅部 39 w には、信号線 L w 1、L w 2 が接続される。従って、差動増幅部 39 w は、電気抵抗部 R w（図 22）の両端の電位差を増幅して、増幅後の電位差を示す電圧信号 S G w を第 1 選択部 41 及び第 2 選択部 42 に出力する。差動増幅部 39 w 以降の電圧信号 S G w の処理は、図 8 に示す増幅部 33 w 以降の電圧信号 S G w の処理と同様である。なお、算出部 21 は、電圧信号 S G w が検出部 312 又は検出部 322 でデジタル信号に変換された後、デジタル信号によって示される電気抵抗部 R w の両端の電位差を、電気抵抗部 R w の抵抗値で割ることで、電流 I w の電流値を算出する。

[0203] 以上、図 22 を参照して説明したように、実施形態 4 によれば、ライン L u、L v、L w は、それぞれ、スイッチングユニット U u、U v、U w における接続点 N に接続される。そして、電流センサ部 3 B には、ライン L u、L v、L w から、電流 I u、I v、I w のうち最大相及び最小相の電流が流れ込む。従って、電流検出部 26 A は、第 2 スwitching 素子 S W 2 のオン／オフに拘わらず、電流センサ部 3 B を介して、最大相及び最小相の電流を検出できる。つまり、電流検出部 26 A は、第 2 スwitching 素子 S W 2 による制約を受けることなく、最大相及び最小相の電流を検出できる。また、電気抵抗部 R u、R v、R w を使用しているため、比較的安価に制御装置 100 B を実現できる。

[0204] 以上、図面を参照して本発明の実施形態について説明した。ただし、本発明は、上記の実施形態に限られるものではなく、その要旨を逸脱しない範囲で種々の態様において実施できる。また、上記の実施形態に開示される複数

の構成要素は適宜改変可能である。例えば、ある実施形態に示される全構成要素のうちのある構成要素を別の実施形態の構成要素に追加してもよく、または、ある実施形態に示される全構成要素のうちの一つの構成要素を実施形態から削除してもよい。

[0205] また、図面は、発明の理解を容易にするために、それぞれの構成要素を主体に模式的に示しており、図示された各構成要素の厚さ、長さ、個数、間隔等は、図面作成の都合上から実際とは異なる場合もある。また、上記の実施形態で示す各構成要素の構成は一例であって、特に限定されるものではなく、本発明の効果から実質的に逸脱しない範囲で種々の変更が可能であることは言うまでもない。

[0206] 図20～図22では、制御装置100Bは、3相インバータ1を制御した。ただし、制御装置100Bは、N相インバータ1Aを制御してもよい。この場合は、例えば、図21において、電流センサ部3Bは、N個の磁気コア及びN個の電流センサを備える。例えば、図22において、電流センサ部3Bは、N個の電気抵抗部Rを備える。

[0207] 本発明は、制御装置及び制御方法に好適に利用できる。

請求の範囲

- [請求項1] N を 3 以上の奇数としたときに、 N 相それぞれに電圧を印加する N 相インバータを制御する制御装置であって、
- 前記 N 相それぞれに印加する電圧のうち、電流検出時刻において、
 $(N + 1) / 2$ 番目に大きい電圧を印加する相を中間相としたときに、
 前記 N 相それぞれの電流のうち、前記中間相以外の $(N - 1)$ 相それぞれの電流を検出する電流検出部と、
- 前記電流検出部の検出結果に基づいて前記中間相の電流の電流値を算出する算出部と
- を備える、制御装置。
- [請求項2] 前記 N は、「3」であり、前記 N 相は、3 相である、請求項 1 に記載の制御装置。
- [請求項3] 前記電流検出部は、第 1 検出器と、第 2 検出器とを備え、
- 前記電流検出時刻において、前記 3 相それぞれに印加する電圧のうち最も大きい電圧を印加する相を最大相としたときに、前記第 1 検出器は、前記 3 相それぞれの電流のうち、前記最大相の電流を検出し、
- 前記電流検出時刻において、前記 3 相それぞれに印加する電圧のうち最も小さい電圧を印加する相を最小相としたときに、前記第 2 検出器は、前記 3 相それぞれの電流のうち、前記最小相の電流を検出する、請求項 2 に記載の制御装置。
- [請求項4] 前記 N 相インバータは、PWM 信号によって駆動される 3 相インバータであり、
- 前記 3 相インバータは、前記 3 相それぞれに電圧を印加する 3 つのスイッチングユニットを備え、
- 前記 3 つのスイッチングユニットの各々は、
- 直流電源部の第 1 電圧側の第 1 スwitchング素子と、
- 前記第 1 スwitchング素子と直列に接続され、前記直流電源部の第 2 電圧側の第 2 スwitchング素子と

を備え、

前記制御装置は、前記3相それぞれの電流を検出するための3つの電気抵抗部を更に備え、

前記電気抵抗部は、前記第2スイッチング素子と前記直流電源部との間に接続され、

前記電流検出部は、前記PWM信号を生成するための搬送波に同期した前記電流検出時刻において、オンした2つの前記第2スイッチング素子にそれぞれ接続された2つの前記電気抵抗部に流れる各相の電流を検出する、請求項3に記載の制御装置。

[請求項5] 前記電流検出部によって電流を検出するために予め設定された期間（図7の T_d ）よりも、前記最大相に電圧を印加するための前記第2スイッチング素子がオンとなる期間（図7の T_m ）が短くなると判定された場合には、前記電流検出部は、前記最大相の代わりに前記中間相の電流を検出し、前記算出部は、前記中間相の電流及び前記最小相の電流の検出結果に基づいて前記最大相の電流の電流値を算出する、請求項4に記載の制御装置。

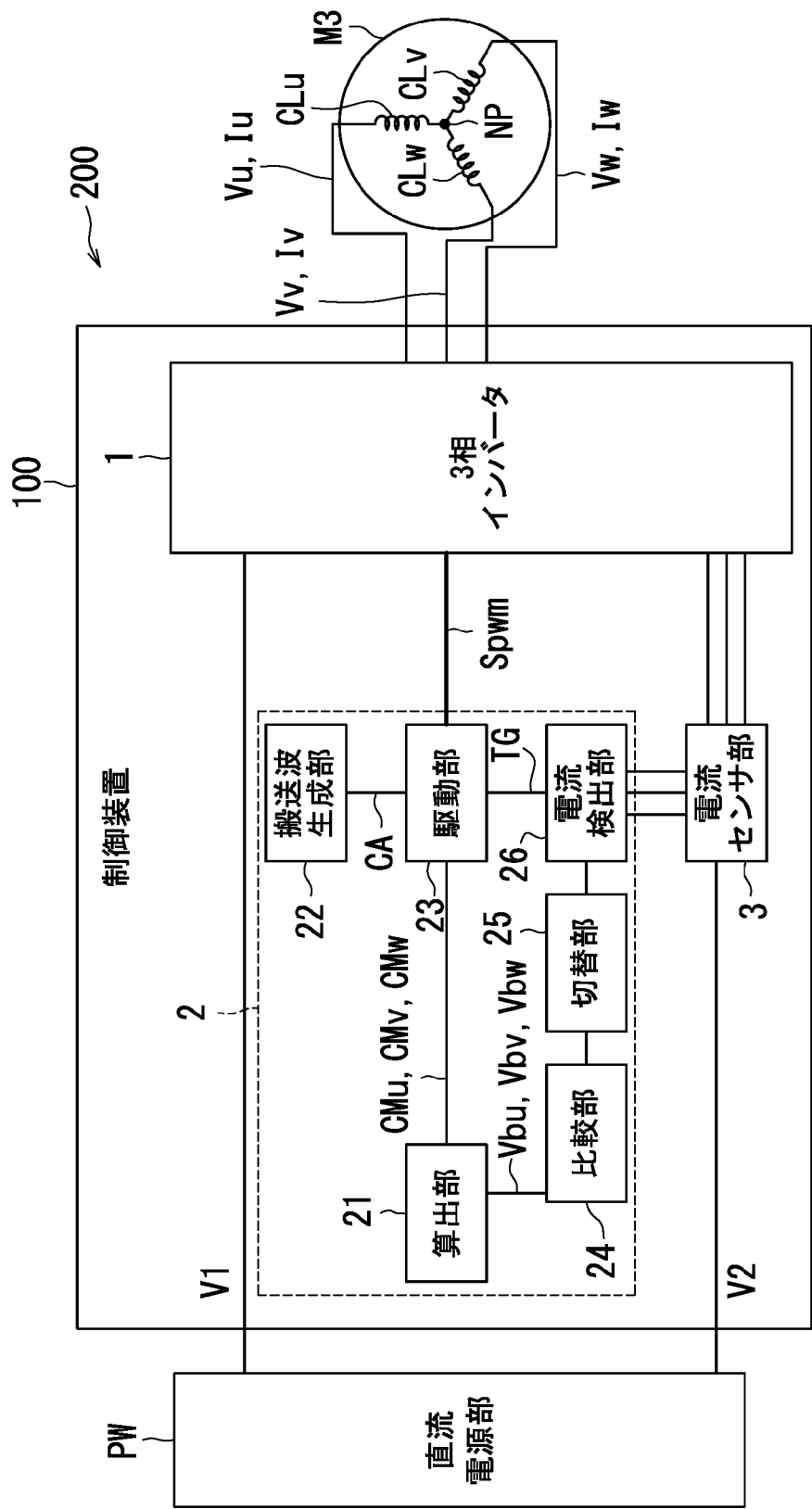
[請求項6] N を3以上の奇数としたときに、 N 相それぞれに電圧を印加する N 相インバータを制御する制御装置によって実行される制御方法であって、

前記 N 相それぞれに印加する電圧のうち、電流検出時刻において、 $(N+1)/2$ 番目に大きい電圧を印加する相を中間相としたときに、前記 N 相それぞれの電流のうち、前記中間相以外の $(N-1)$ 相それぞれの電流を検出する電流検出工程と、

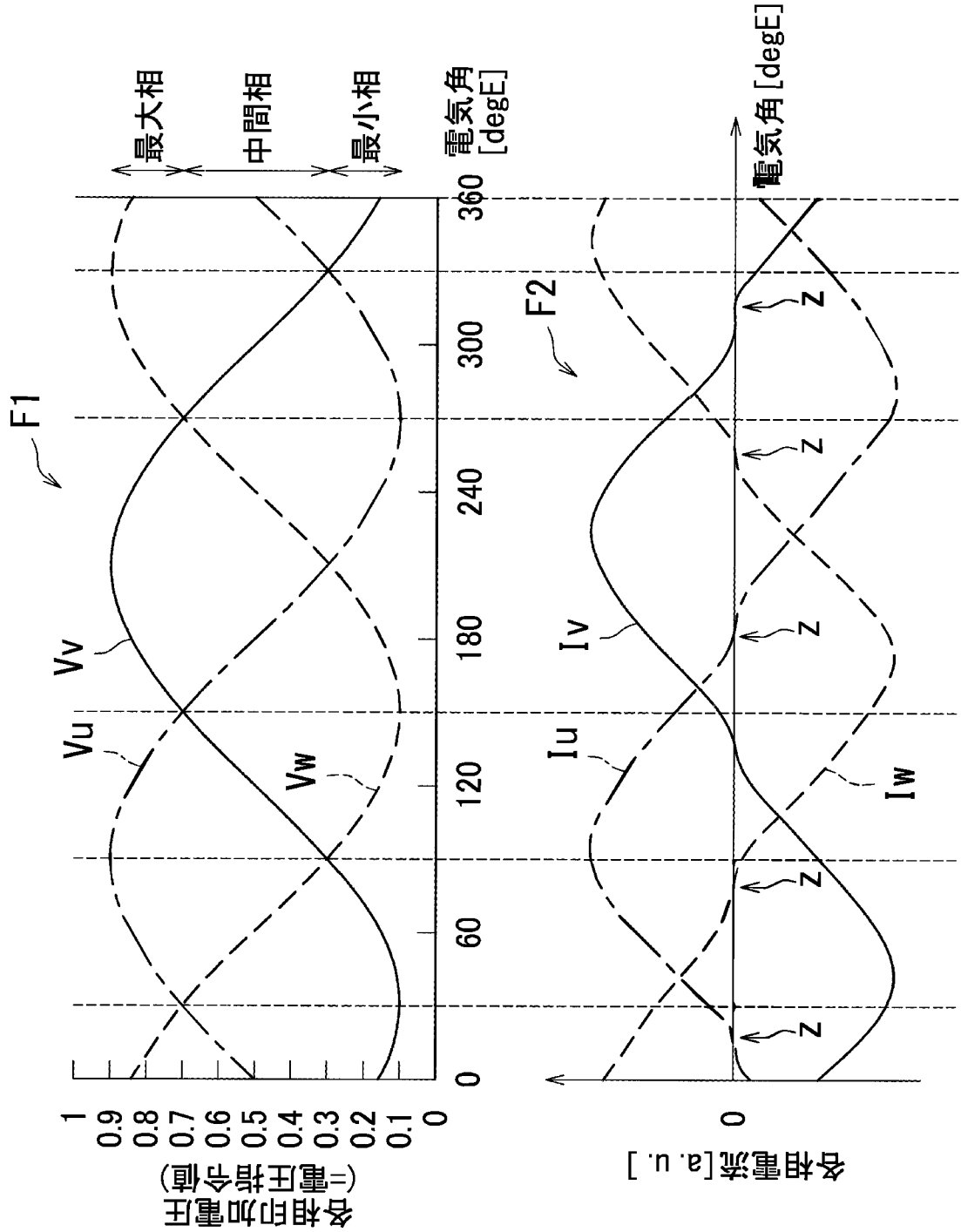
前記電流検出工程による検出結果に基づいて前記中間相の電流の電流値を算出する算出工程と

を含む、制御方法。

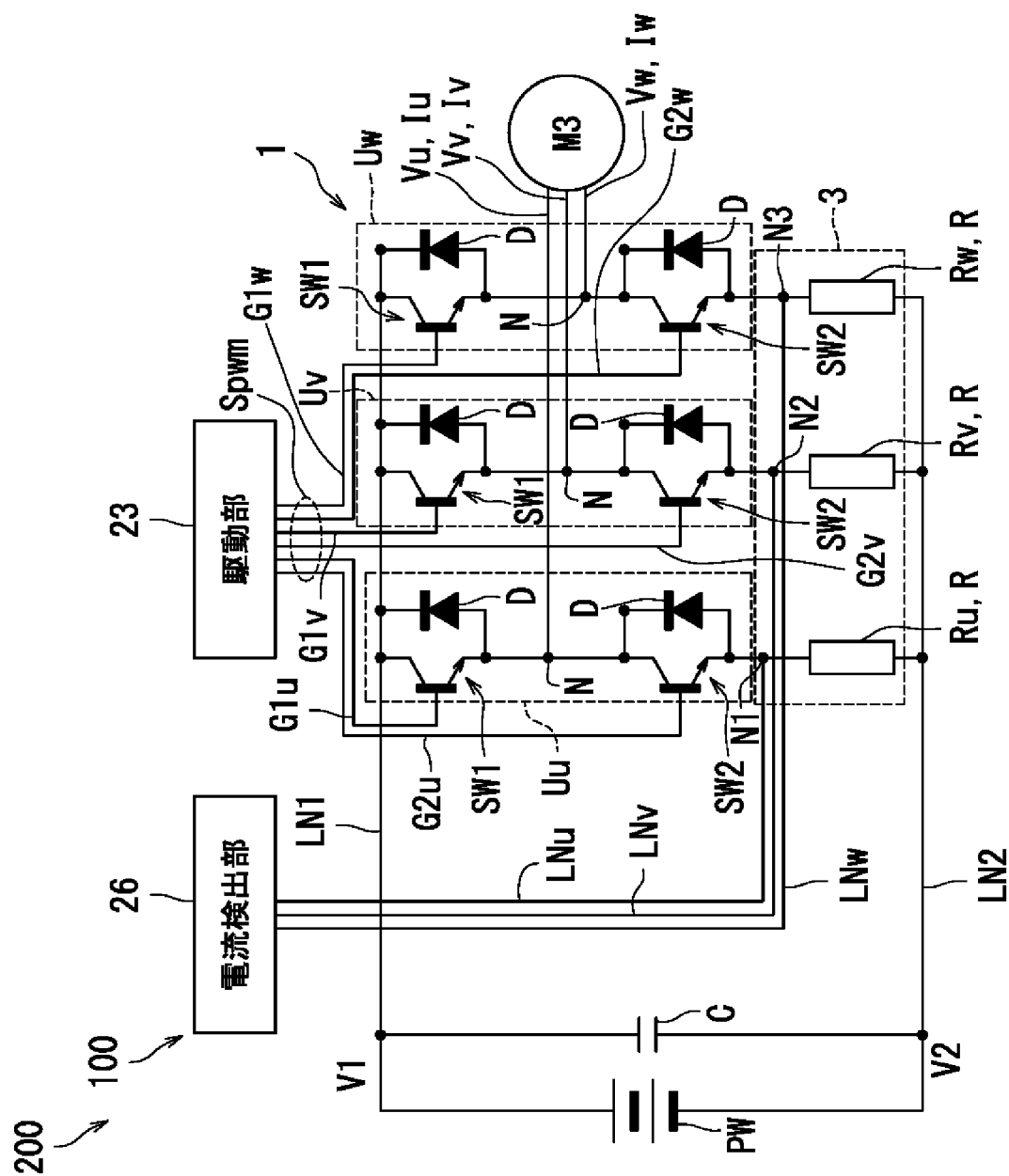
[図1]



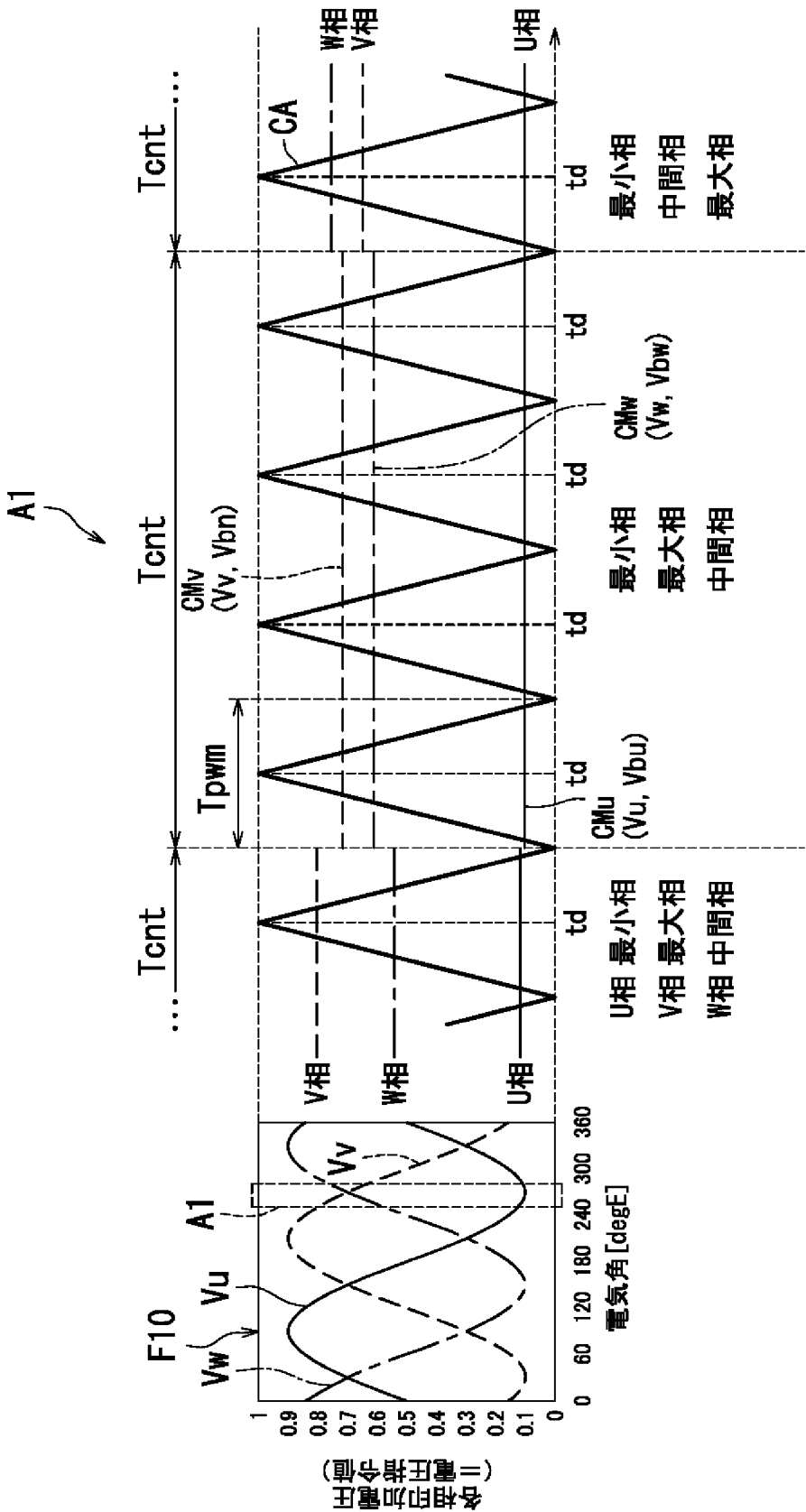
[図2]



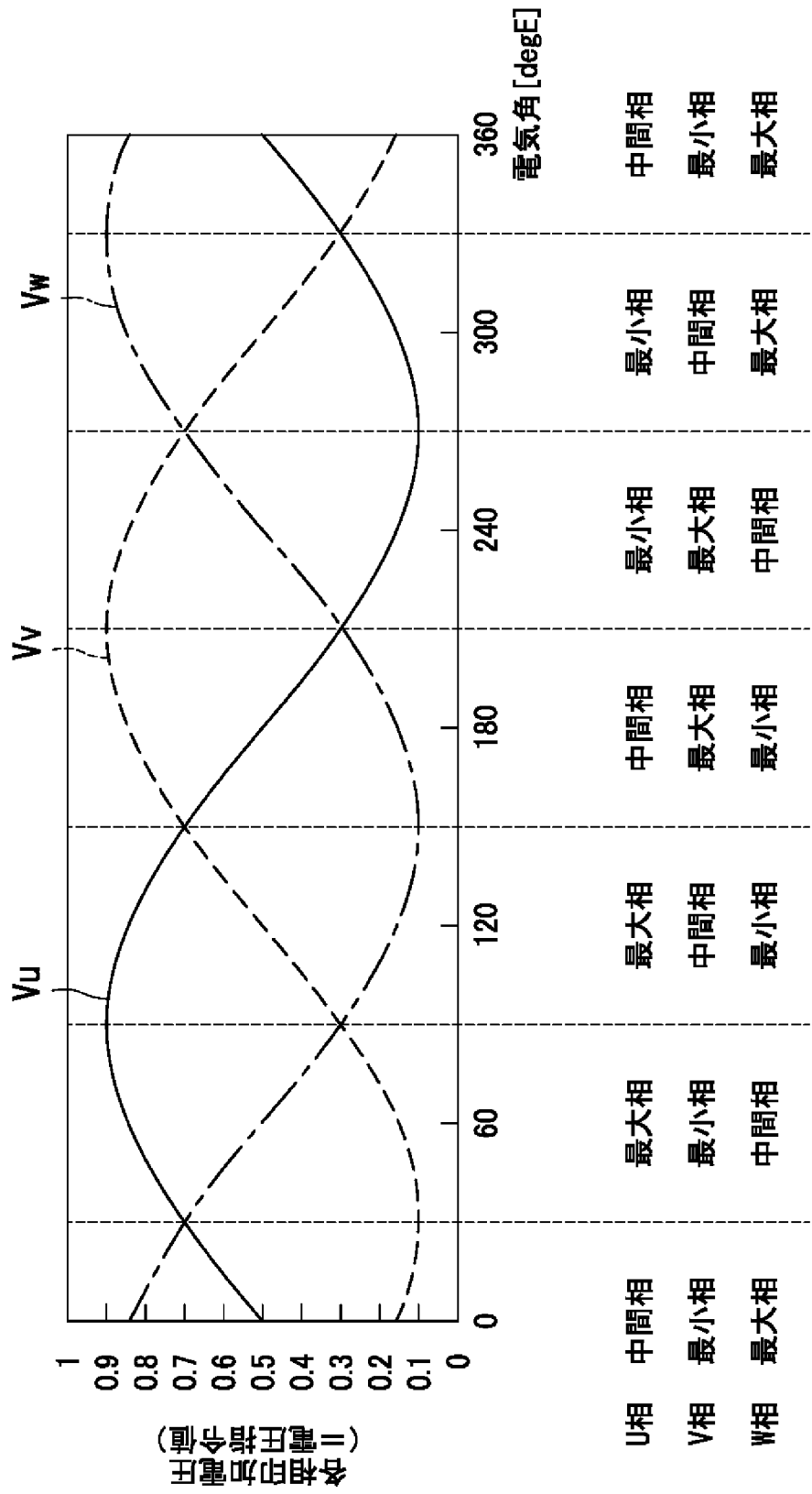
[図3]



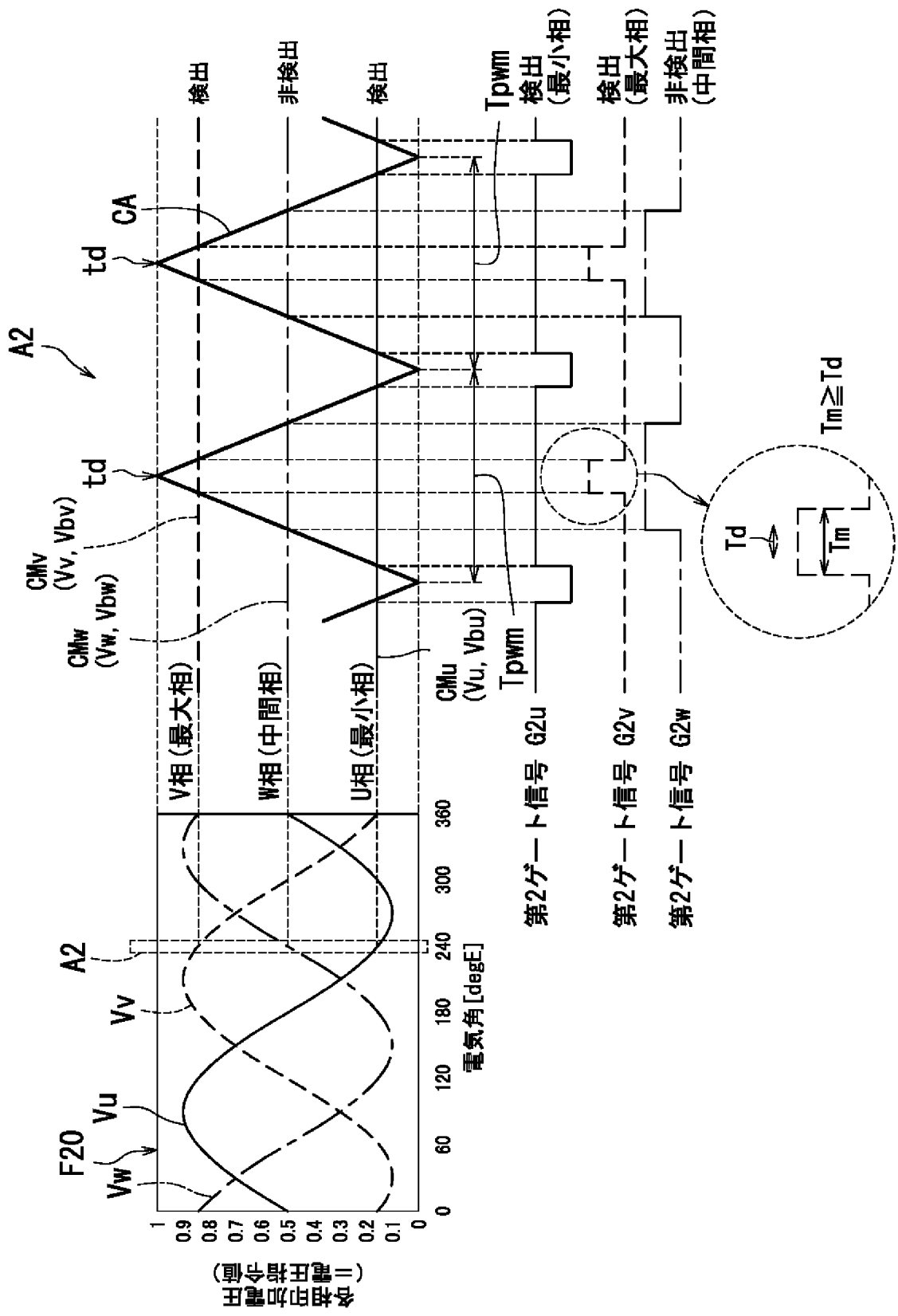
[図4]



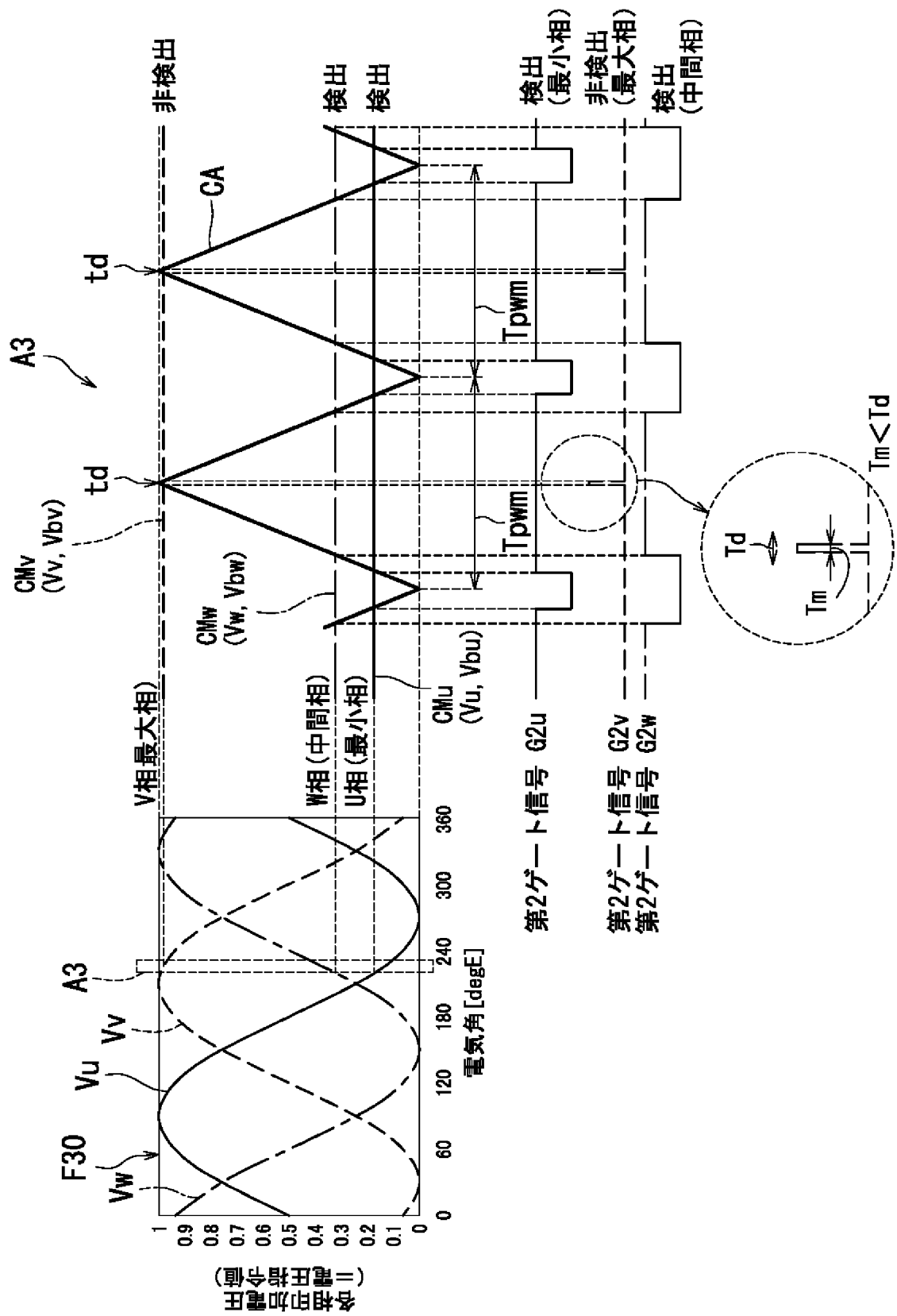
[図5]



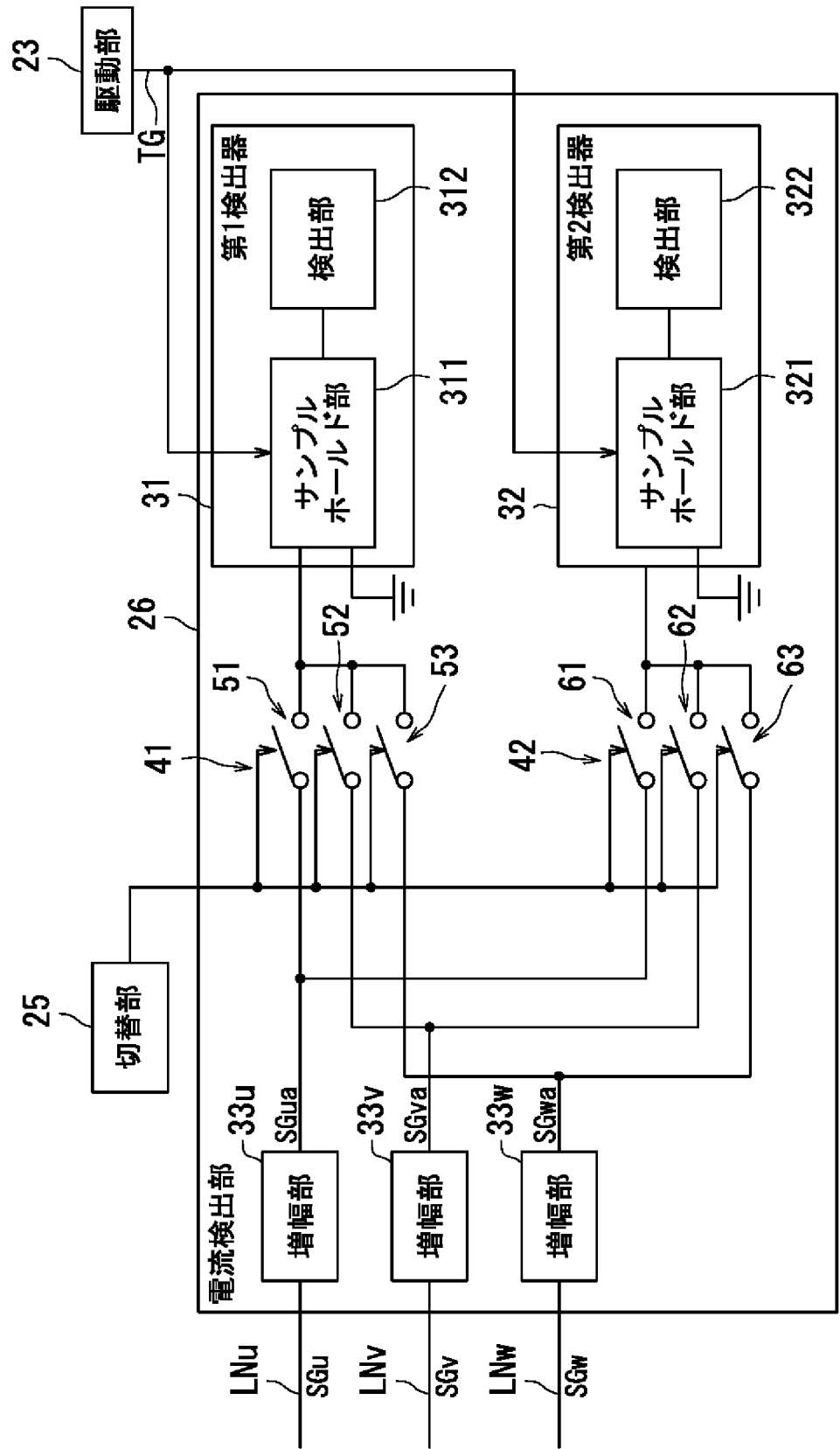
[図6]



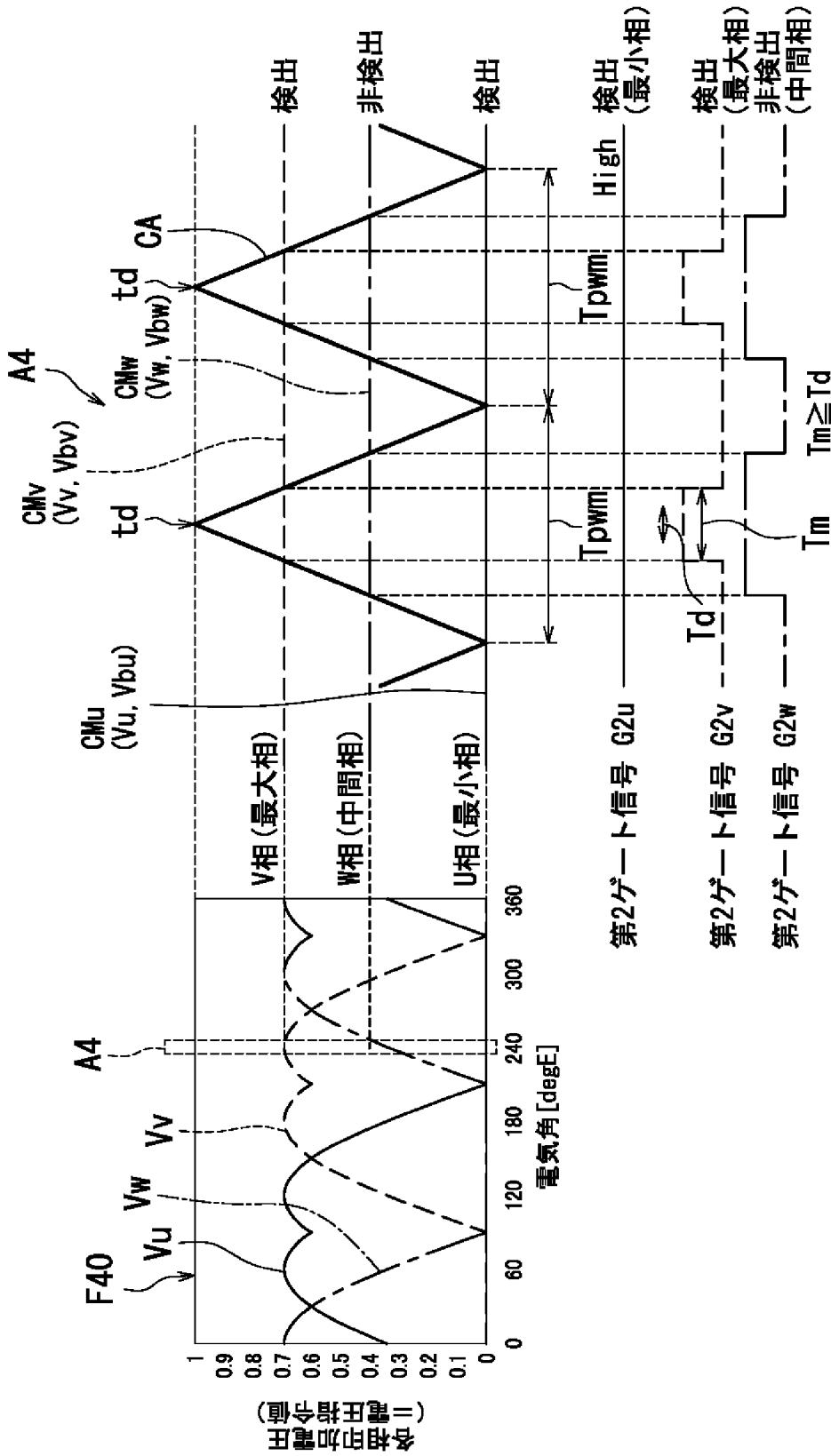
[図7]



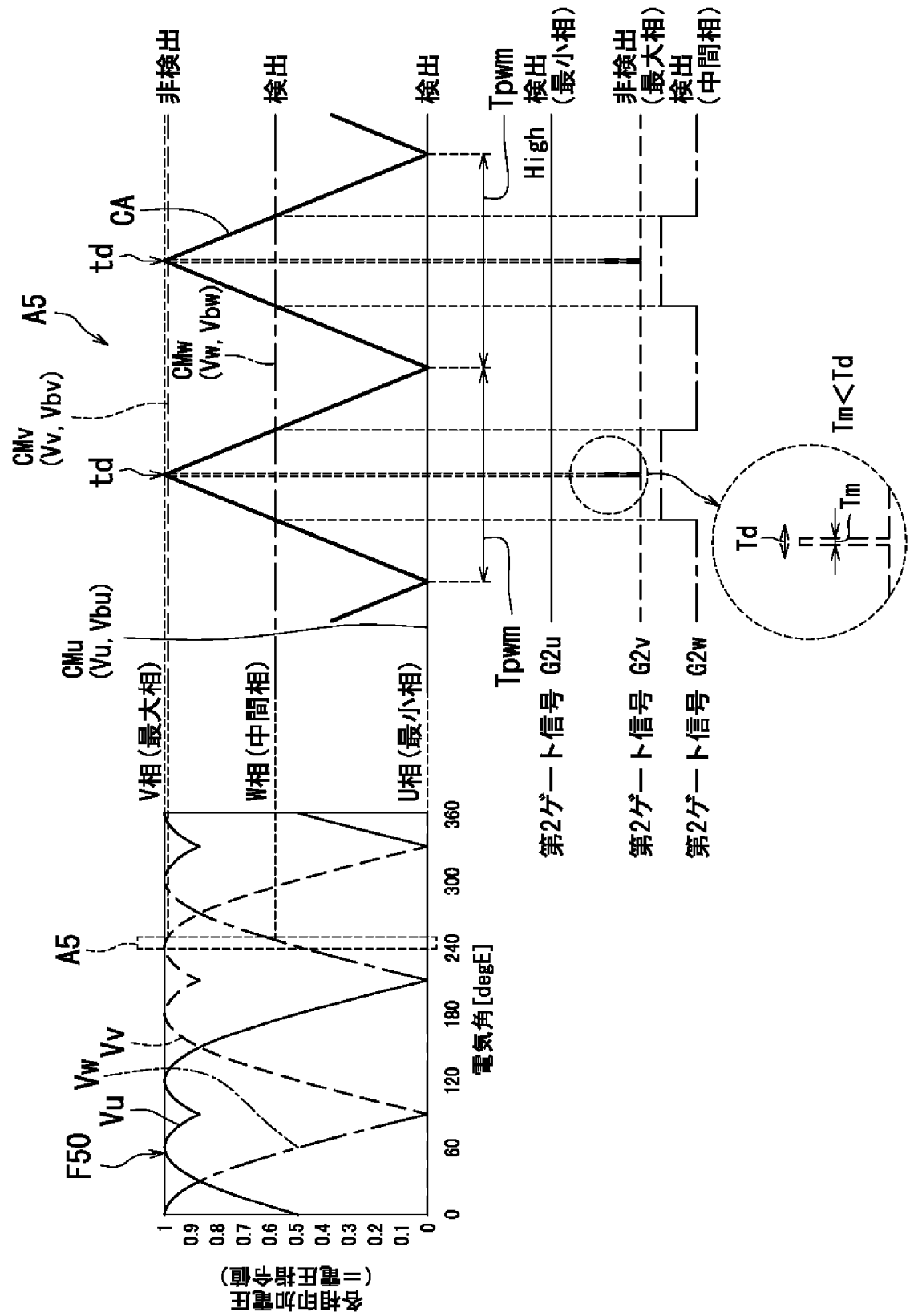
[図8]



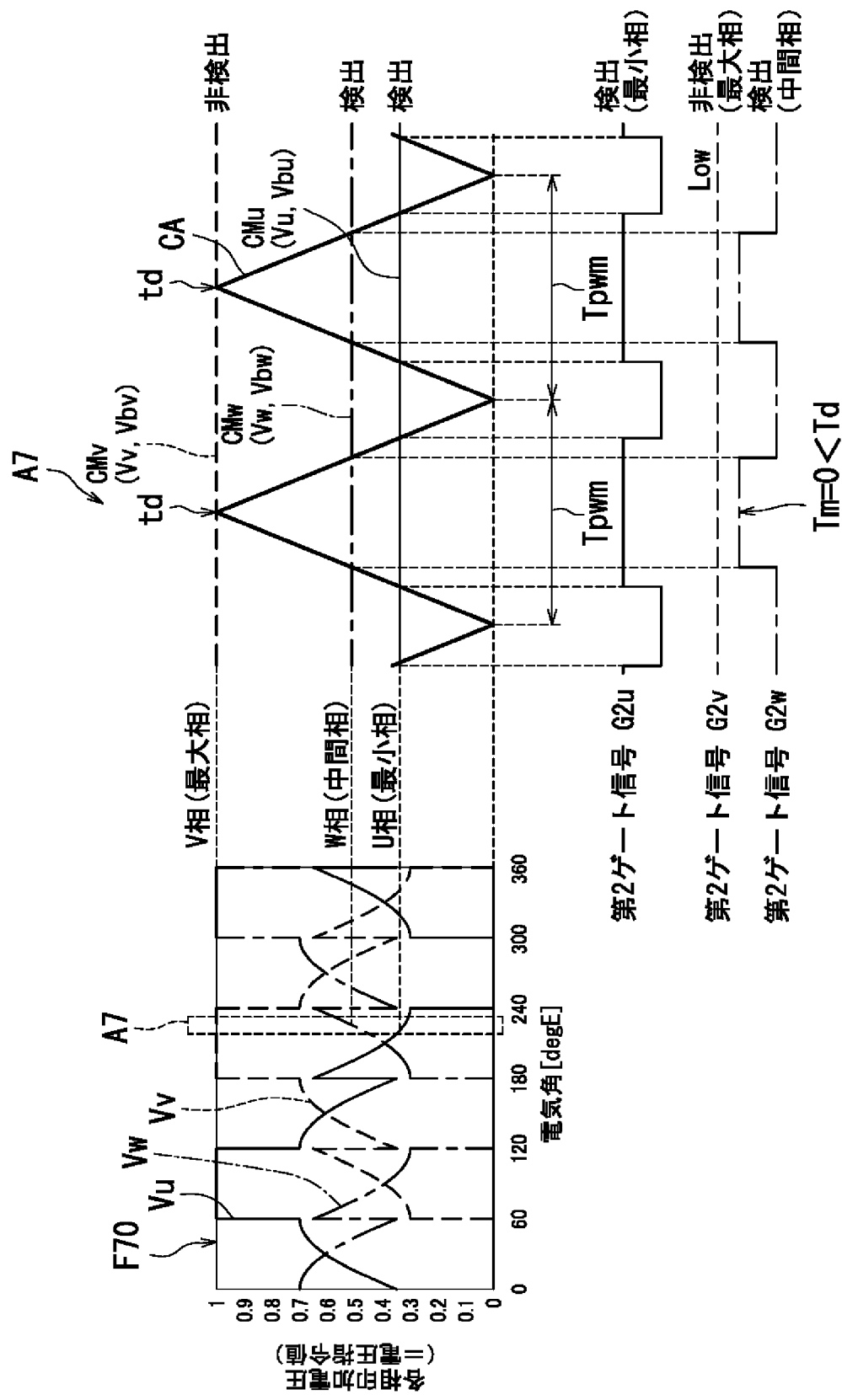
[図9]



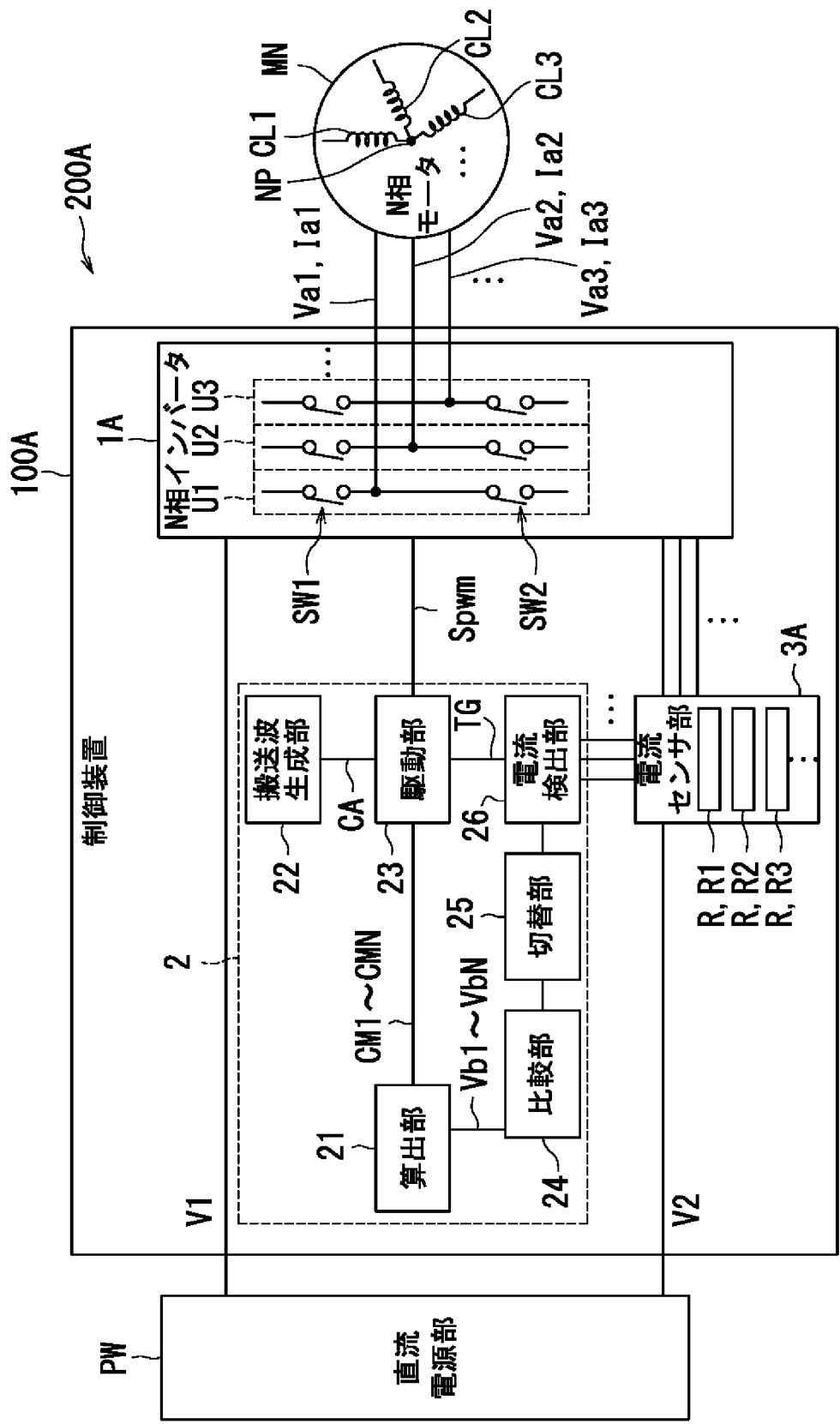
[図10]



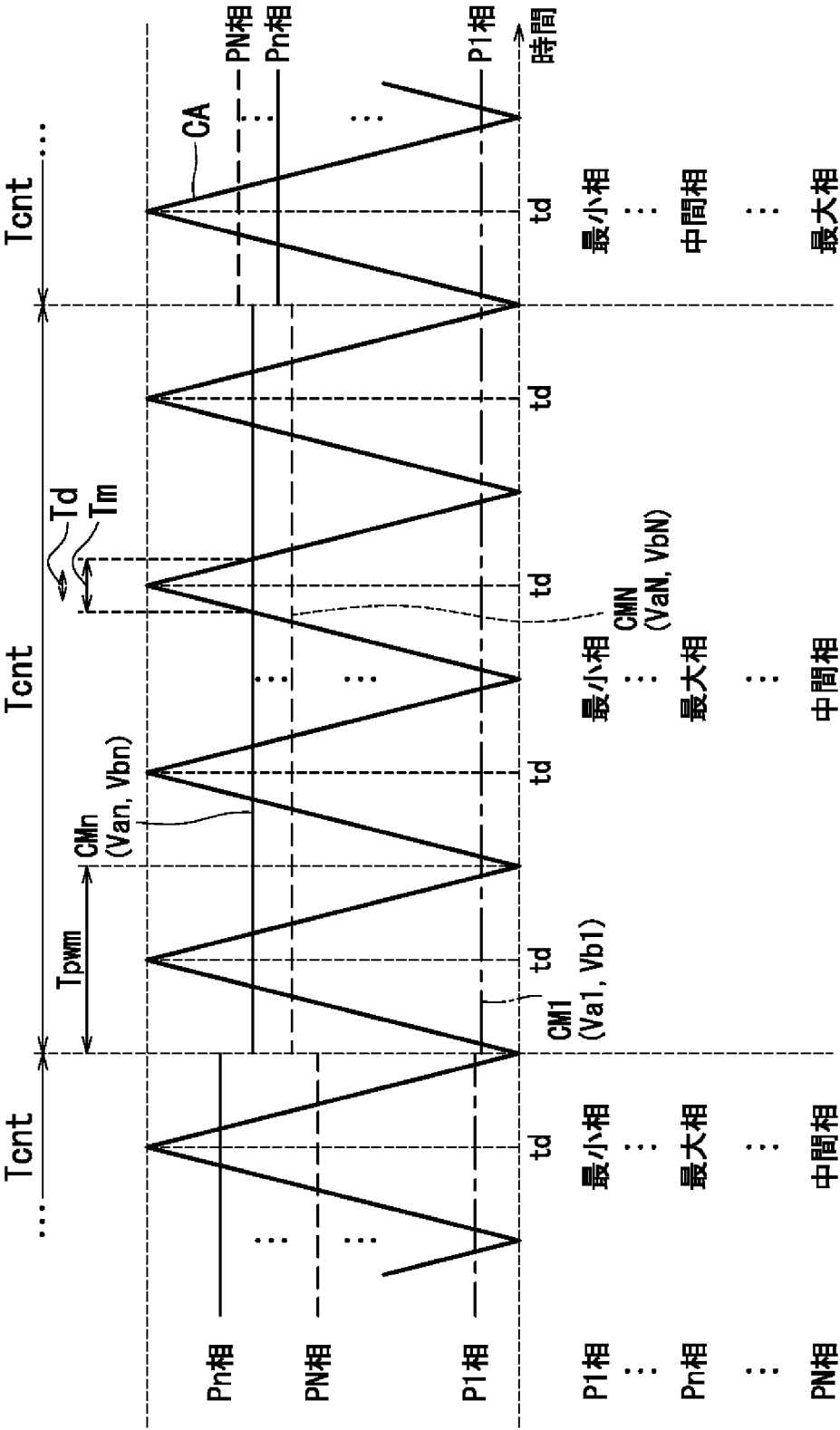
[図12]



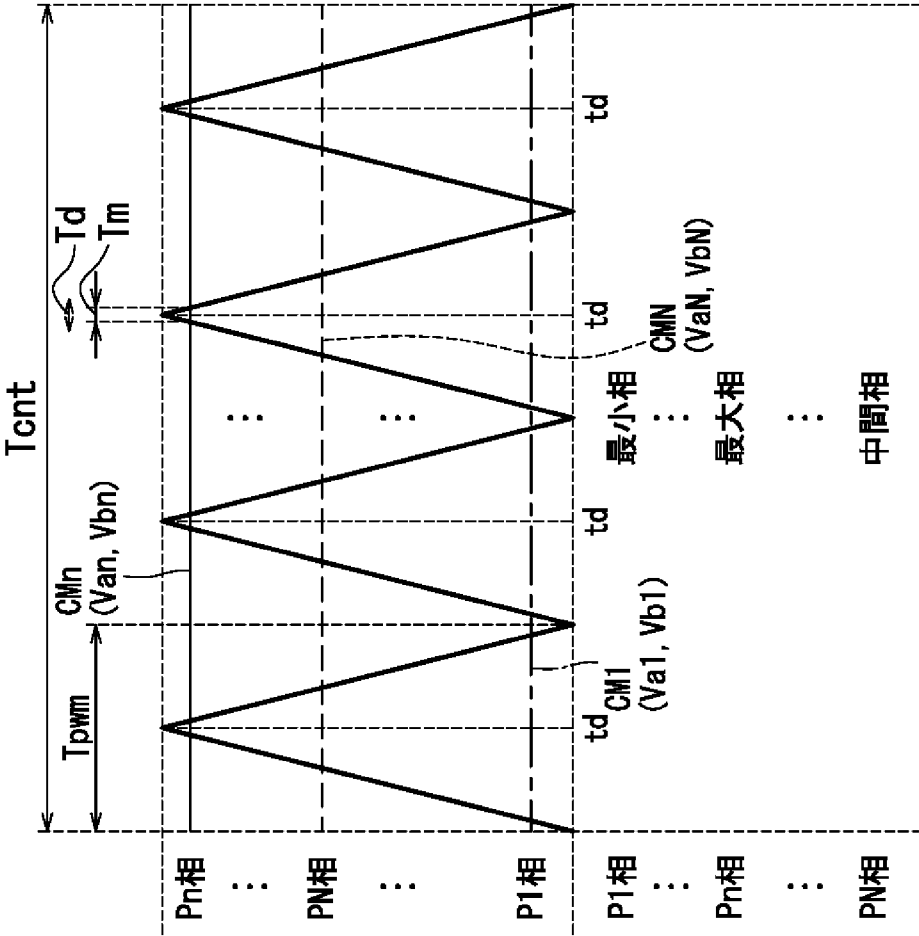
[図13]



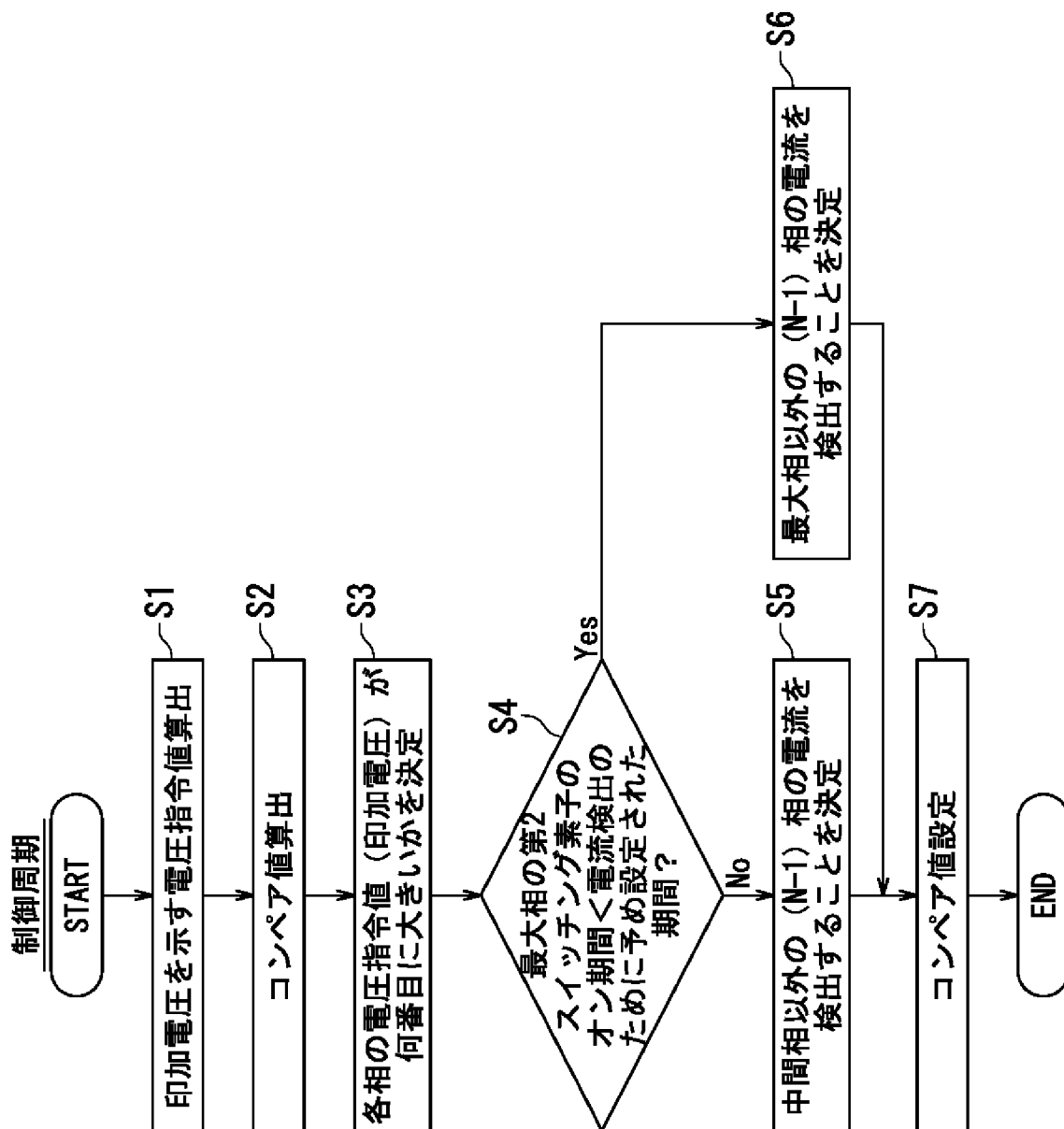
[図14]



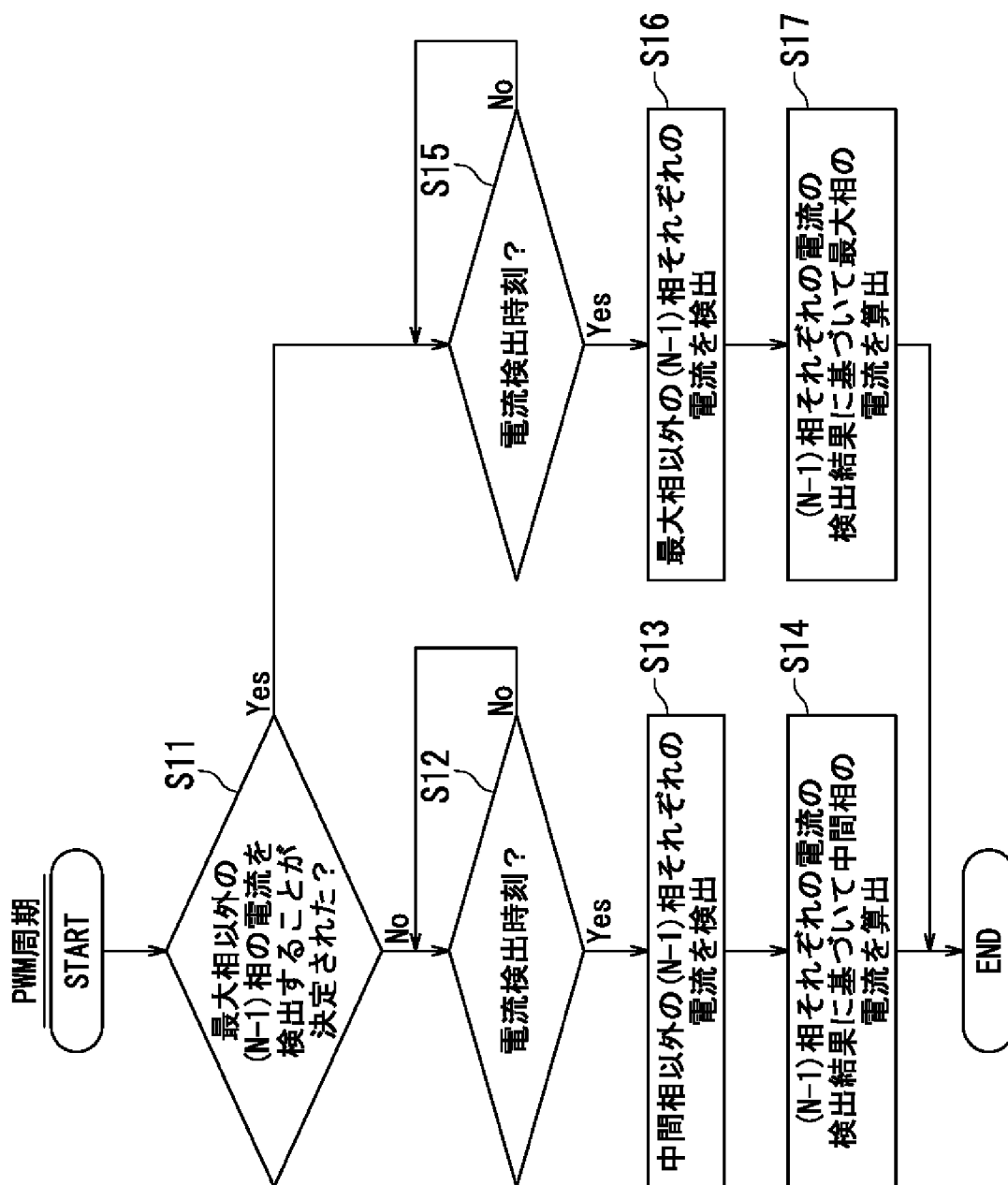
[図15]



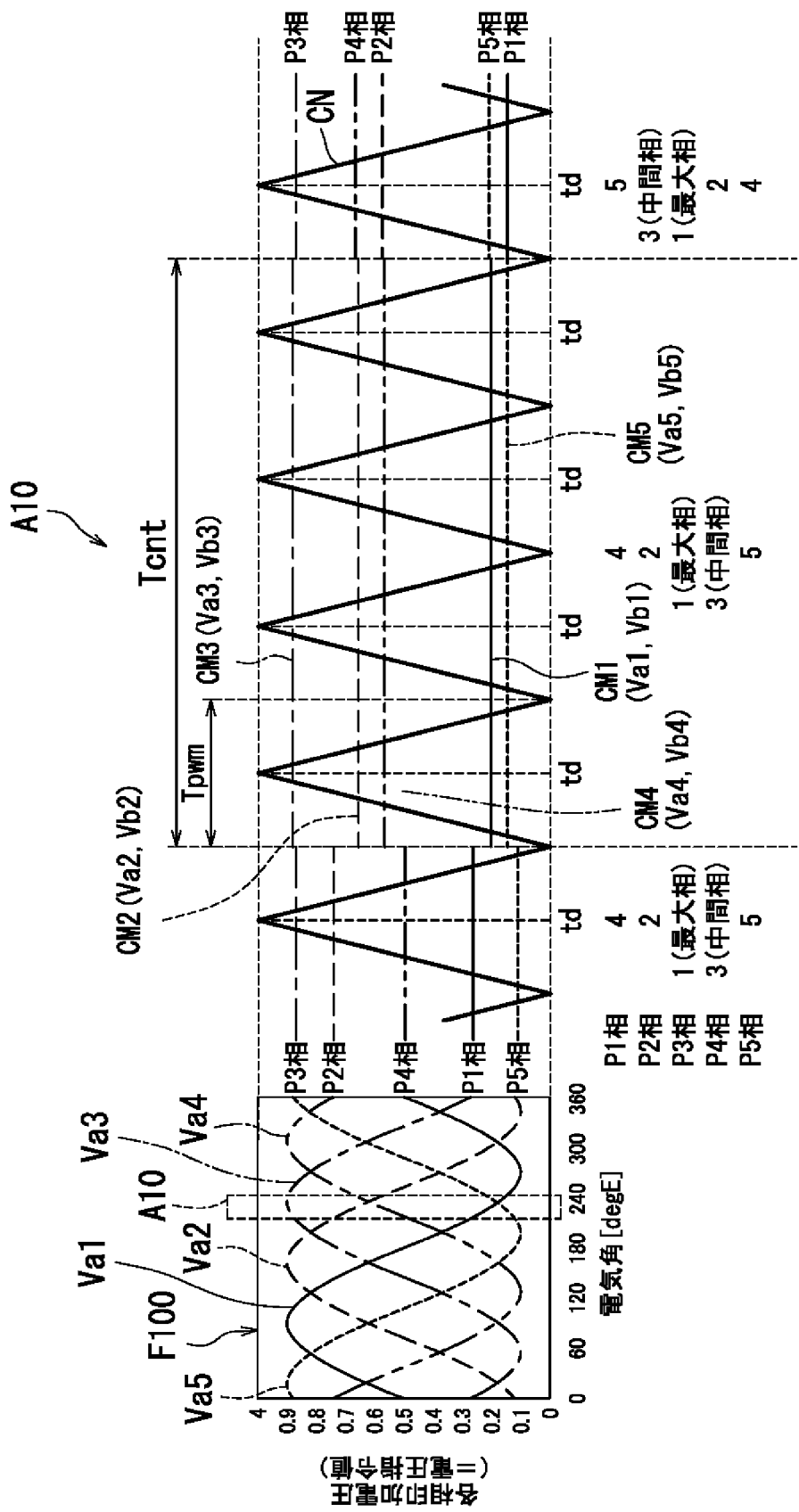
[図16]



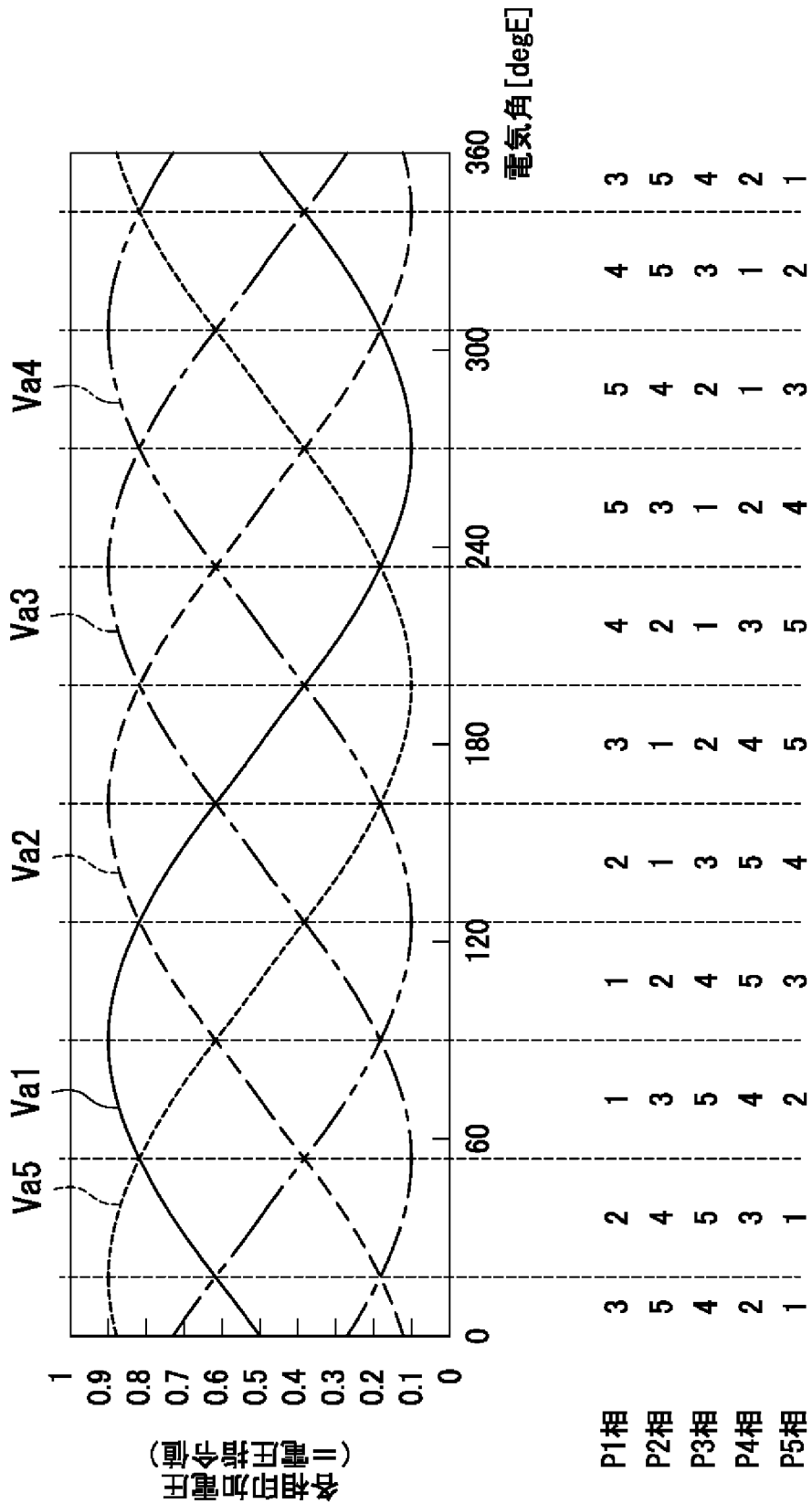
[図17]



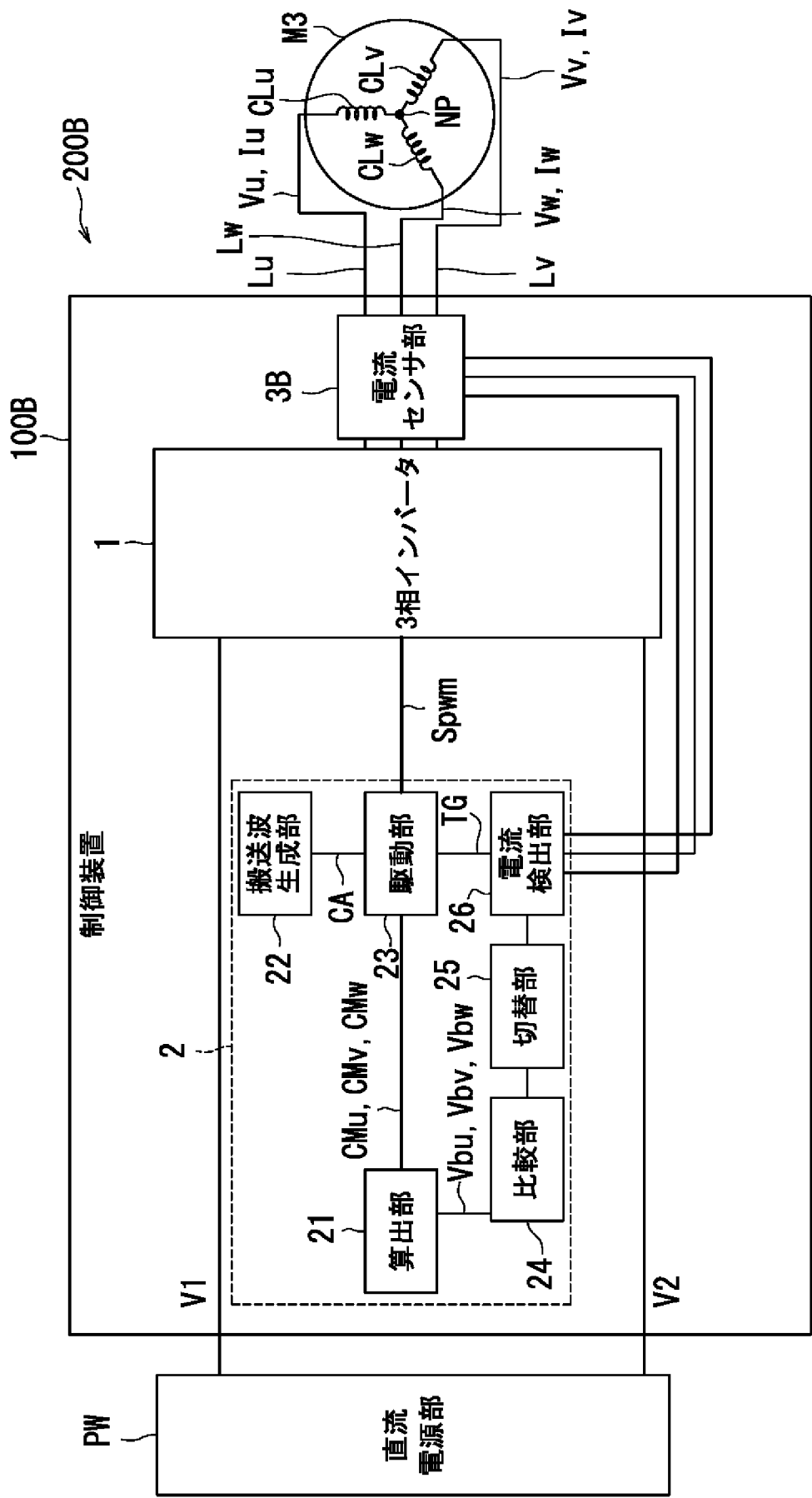
[図18]



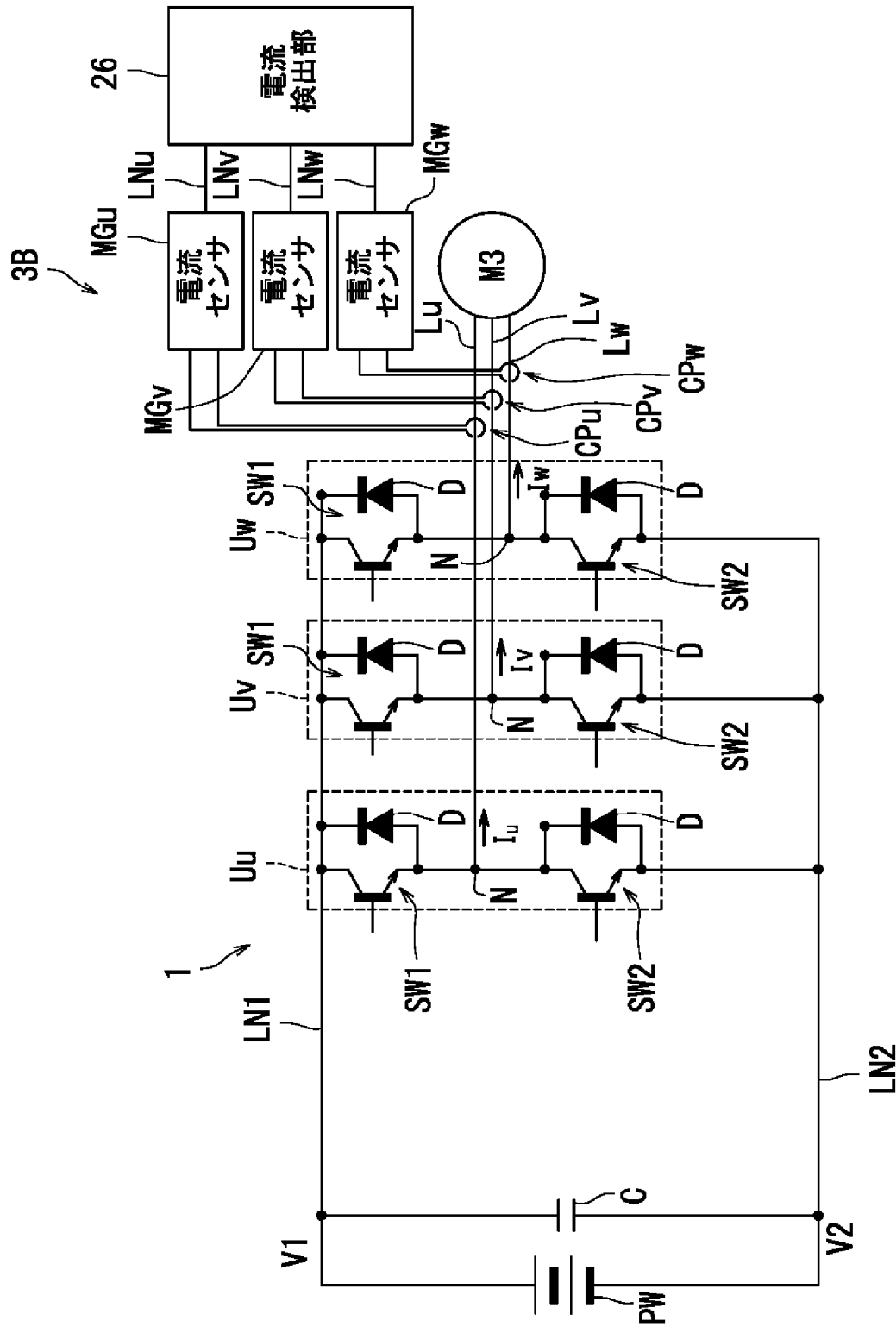
[図19]



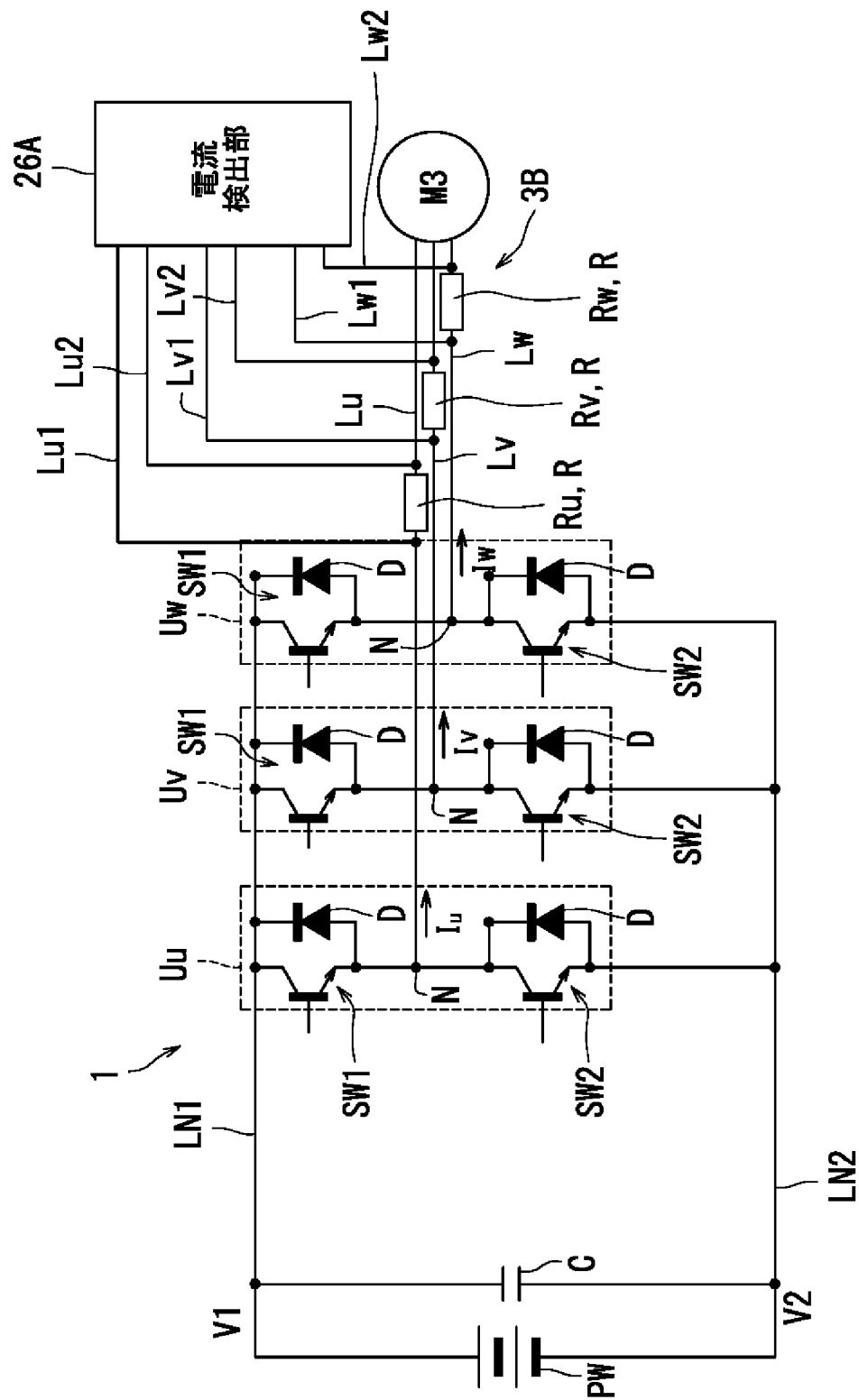
[図20]



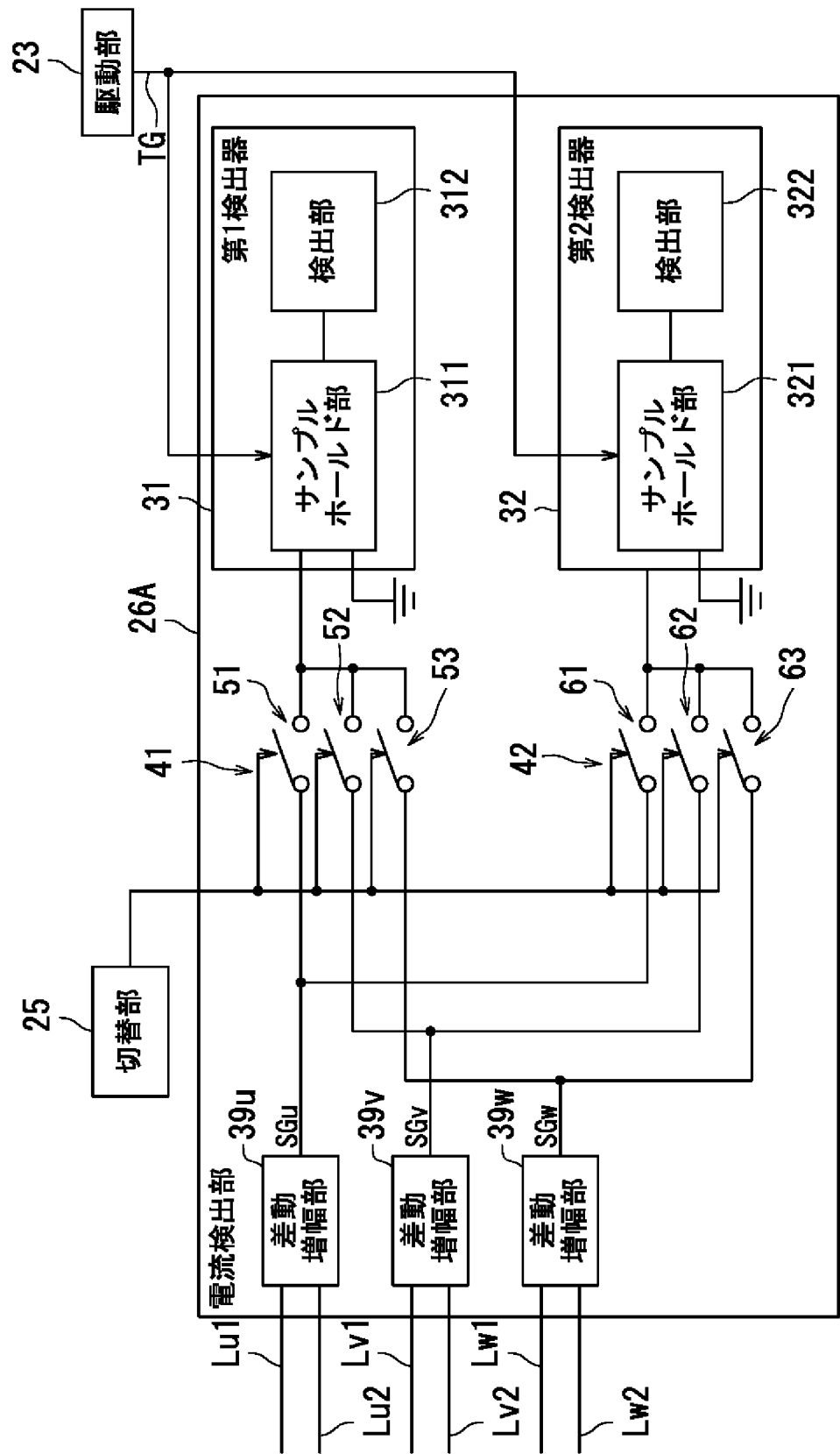
[図21]



[図22]



[図23]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/046982

A. CLASSIFICATION OF SUBJECT MATTER**H02M 7/48**(2007.01)i

FI: H02M7/48 E

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M7/48

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2023
 Registered utility model specifications of Japan 1996-2023
 Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-79157 A (FUJI ELECTRIC CO LTD) 14 March 2003 (2003-03-14) entire text, all drawings	1-6
A	JP 10-54852 A (YASKAWA ELECTRIC CORP) 24 February 1998 (1998-02-24) entire text, all drawings	1-6
A	JP 2011-91949 A (EBARA CORP) 06 May 2011 (2011-05-06) entire text, all drawings	1-6
A	WO 2017/221339 A1 (MITSUBISHI ELECTRIC CORPORATION) 28 December 2017 (2017-12-28) entire text, all drawings	1-6



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

20 February 2023

Date of mailing of the international search report

28 February 2023

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/046982

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2003-79157	A	14 March 2003	(Family: none)	
JP	10-54852	A	24 February 1998	(Family: none)	
JP	2011-91949	A	06 May 2011	(Family: none)	
WO	2017/221339	A1	28 December 2017	US 2019/0131887 A1	
				entire text, all drawings	
				EP 3477842 A1	
				CN 109478854 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H02M 7/48(2007.01)i FI: H02M7/48 E														
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H02M7/48 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2023年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2023年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2023年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2023年	日本国実用新案登録公報	1996 - 2023年	日本国登録実用新案公報	1994 - 2023年				
日本国実用新案公報	1922 - 1996年													
日本国公開実用新案公報	1971 - 2023年													
日本国実用新案登録公報	1996 - 2023年													
日本国登録実用新案公報	1994 - 2023年													
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
A	JP 2003-79157 A（富士電機株式会社）14.03.2003（2003 - 03 - 14） 全文, 全図	1-6												
A	JP 10-54852 A（株式会社安川電機）24.02.1998（1998 - 02 - 24） 全文, 全図	1-6												
A	JP 2011-91949 A（株式会社荏原製作所）06.05.2011（2011 - 05 - 06） 全文, 全図	1-6												
A	WO 2017/221339 A1（三菱電機株式会社）28.12.2017（2017 - 12 - 28） 全文, 全図	1-6												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 20.02.2023	国際調査報告の発送日 28.02.2023													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 遠藤 尊志 5G 3052 電話番号 03-3581-1101 内線 3526													

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/046982

引用文献			公表日	パテントファミリー文献	公表日
JP	2003-79157	A	14.03.2003	(ファミリーなし)	
JP	10-54852	A	24.02.1998	(ファミリーなし)	
JP	2011-91949	A	06.05.2011	(ファミリーなし)	
WO	2017/221339	A1	28.12.2017	US 2019/0131887	A1
				全文, 全図	
				EP 3477842	A1
				CN 109478854	A