

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3757204号
(P3757204)

(45) 発行日 平成18年3月22日(2006.3.22)

(24) 登録日 平成18年1月6日(2006.1.6)

(51) Int.C1.

F 1

H04L 1/00	(2006.01)	H04L 1/00	A
G06F 11/08	(2006.01)	G06F 11/08	310C
G06F 13/00	(2006.01)	G06F 13/00	301L
H03M 13/35	(2006.01)	H03M 13/35	

請求項の数 6 (全 7 頁)

(21) 出願番号

特願2002-355634 (P2002-355634)

(22) 出願日

平成14年12月6日 (2002.12.6)

(65) 公開番号

特開2004-193664 (P2004-193664A)

(43) 公開日

平成16年7月8日 (2004.7.8)

審査請求日

平成14年12月6日 (2002.12.6)

(73) 特許権者 390008235

ファンック株式会社

山梨県南都留郡忍野村忍草字古馬場358

○番地

(74) 代理人 100082304

弁理士 竹本 松司

(74) 代理人 100088351

弁理士 杉山 秀雄

(74) 代理人 100093425

弁理士 湯田 浩一

(74) 代理人 100102495

弁理士 魚住 高博

(72) 発明者 青山 一成

山梨県南都留郡忍野村忍草字古馬場358

○番地 ファンック株式会社 内

最終頁に続く

(54) 【発明の名称】エラー検出／訂正方式及び該方式を用いた制御装置

(57) 【特許請求の範囲】

【請求項 1】

制御装置におけるバス接続された複数のモジュール間のデータ伝送におけるエラー検出／訂正方式であって、検査ビット長、情報ビット長、訂正能力の少なくとも1つが異なる、複数のエラー検出／訂正コード生成回路及び該エラー検出／訂正コード生成回路に対応するエラー検出／訂正回路を組み込み、転送するデータの種類、長さ、タイミングによって使用するエラー検出／訂正コード生成回路及びエラー検出／訂正回路を切り替えるエラー検出／訂正方式。

【請求項 2】

アドレスやコマンド、データを送出するフェーズによって使用するエラー検出／訂正コード生成回路及びエラー検出／訂正回路を切り替えることを特徴とした請求項1に記載のエラー検出／訂正方式。

【請求項 3】

シングルアクセス時とバーストアクセス時とで使用するエラー検出／訂正コード生成回路及びエラー検出／訂正回路を切り替えることを特徴とした請求項1又は請求項2に記載のエラー検出／訂正方式。

【請求項 4】

転送するデータ量によってエラー検出／訂正コード生成回路及びエラー検出／訂正回路を切り替えることを特徴とした請求項1に記載のエラー検出／訂正方式。

【請求項 5】

前記請求項 1 乃至 4 の内のいずれか 1 項に記載のエラー検出 / 訂正方式を用いる複数のモジュールがバスで接続された制御装置。

【請求項 6】

前記複数のモジュールが接続されたバスの複数をシリアル伝送路によって結合するシリアル転送モジュールを備え、該シリアル転送モジュールにも検査ビット長、情報ビット長、訂正能力の少なくとも 1 つが異なる、複数のエラー検出 / 訂正コード生成回路及び該エラー検出 / 訂正コード生成回路に対応するエラー検出 / 訂正回路を組み込まれ、シリアル転送においても、前記請求項 1 乃至 4 の内のいずれか 1 項に記載のエラー検出 / 訂正方式を用いる請求項 5 に記載の制御装置。

【発明の詳細な説明】

10

【0 0 0 1】

【発明の属する技術分野】

本発明は、制御装置の各モジュール間を接続するバスにおけるエラー検出 / 訂正方式及び該方式を用いた制御装置に関する。

【0 0 0 2】

【従来の技術】

データ伝送を行う場合、その伝送中にデータの誤りを含む場合があり、このデータ誤りを検出し、訂正するためにエラー検出 / 訂正コードが用いられている。一般にエラー検出 / 訂正コードは、検査ビットが多いほど検出 / 訂正能力が高く、エラー検出 / 訂正をかける単位が大きくなれば、情報ビットに対する検査ビットの比率が同じ場合は、検出 / 訂正能力が高まる。

20

【0 0 0 3】

一方でバスの転送単位はアドレス、コマンド部分は固定長であるがデータ部分は長さが様々に変化するため、この制約からデータ側最小転送量によって、エラー検出 / 訂正をかけるパケットの大きさが決まる。一般に情報ビットに対する検査ビットの比率に対して、低い訂正検出能力に制限されてしまう。

【0 0 0 4】

送受信するデータ量の変動に対応するために、特に、メモリ素子の出力ビット数が増加 ($n \times k$ ビット) するときに、メモリ素子の出力ビット数が少ないとときに使用された ECC (エラー訂正コード) 回路 (n ビット) を複数個 (k 個) 使用してメモリ素子の故障発生を検出できるようにしたデータ誤り検出装置が知られている (特許文献 1 参照)。

30

【0 0 0 5】

又、メッセージが固定サイズバースト又はセルを介して交換される多数起点 / 多数目標端末装置切り替えシステムにおいて、各端末装置は、メッセージの第 1 バーストでの初期エラー訂正コード、前のバーストエラー訂正コード及びバーストのデータバイトの関数としてエラー訂正コードを生成し、受信バーストエラー訂正コードと比較して誤りを検出するようにして、データ処理端末装置間で交換されるメッセージの保全性を確保するものも知られている (特許文献 2 参照)。

【0 0 0 6】

40

【特許文献 1】

特開平 11 - 65944 号公報 (段落「0 0 0 9」 ~ 「0 0 1 1」 及び図 1 参照)

【特許文献 2】

特開平 6 - 53942 号公報 (段落「0 0 0 6」 参照)

【0 0 0 7】

【発明が解決しようとする課題】

上述したデータ長が変化するものに対してエラー検出する際に、データを最小単位で分割してその最小単位ごとにエラー検出する方法では、検出 / 訂正能力は一定となり、先に述べたように、エラー検出 / 訂正をかける単位が大きくなった場合には、情報ビットに対する検査ビットの比率が同じ場合には、検出 / 訂正能力が高まるというメリットは享受できない。

50

【0008】

そこで、本発明の目的は、エラー検出／訂正をかける単位の大きさが変化しても、又情報の種類によっても、最適な訂正／検出能力の向上を図ったエラー検出／訂正方式及び該方式を採用した制御装置を提供することにある。

【0009】**【課題を解決するための手段】**

制御装置におけるバス接続された複数のモジュール間のデータ伝送におけるエラー検出／訂正方式であって、請求項1に係わる発明は、検査ビット長、情報ビット長、訂正能力の少なくとも1つが異なる、複数のエラー検出／訂正コード生成回路及び該エラー検出／訂正コード生成回路に対応するエラー検出／訂正回路を組み込み、転送するデータの種類、長さ、タイミングによって使用するエラー検出／訂正コード生成回路及びエラー検出／訂正回路を切り替えることにより、データ伝送によるエラーを検出し訂正するようにした。特に、請求項2に係わる発明は、アドレスやコマンド、データを送出するフェーズによって使用するエラー検出／訂正コード生成回路及びエラー検出／訂正回路を切り替えるものとした。又、請求項3に係わる発明は、シングルアクセス時とバーストアクセス時とで使用するエラー検出／訂正コード生成回路及びエラー検出／訂正回路を切り替えるようにした。さらに、請求項4に係わる発明は、転送するデータ量によってエラー検出／訂正コード生成回路及びエラー検出／訂正回路を切り替えるようにした。

【0010】

又、請求項5に係わる発明は、上述した請求項1～4に係わる発明のエラー検出／訂正方式を用いた制御装置であり、請求項6に係わる発明は、複数のモジュールが接続されたバスの複数をシリアル伝送路によって結合するシリアル転送モジュールを備え、該シリアル転送モジュールにも検査ビット長、情報ビット長、訂正能力の少なくとも1つが異なる、複数のエラー検出／訂正コード生成回路及び該エラー検出／訂正コード生成回路に対応するエラー検出／訂正回路を組み込まれ、シリアル転送においても、上述した各エラー検出／訂正方式を用いるようにした制御装置である。

【0011】**【発明の実施の形態】**

図1は、本発明のエラー検出／訂正を採用した制御装置の一実施形態のブロック図である。バス1a上には複数のモジュールM1～Mnが接続されている。バス1b上にも複数のモジュールM11～M1nが接続されている。そしてバス1aとバス1bは、バス結合用モジュールMa、Mbでシリアル接続されている。各モジュールは、バスマスターにもスレーブにもなり得る。バスマスターはバス使用権を獲得すると、アクセス先のアドレス、コマンド等を出力することによって、バスサイクルを起こす。これらの情報を出力している状態をアドレスフェーズと呼ぶ。バスマスター以外のモジュールはアドレスフェーズの情報を受信して、自分に対するアクセスであると判断した場合にスレーブとなり、マスター、スレーブ間のデータのやり取りが行われる。このデータをやり取りが行われている状態をデータフェーズと呼ぶ。

【0012】

図2にバス上の転送フォーマットを示す。アドレスフェーズでは、アドレス、コマンドが順次送信され、これら全体に対するエラー訂正コード（以下、ECCコードという）が最後に付加される。又、アドレス及びコマンドにそれぞれECCコードを付加する場合もあるが、いずれにしても、アドレスフェーズはフォーマットが固定されている。

【0013】

しかし、データフェーズは図2(a),(b)に示すように、データ量が固定のシングルアクセスと、図2(c)に示すように、データ量が可変のバーストアクセスがある。シングルアクセスには、さらにデータ量の違いによって区別され、図2(a)に示すように、例えばデータ量32ビットに対してECCコードが付加されている場合と、図2(b)のように、データ量が2倍の64ビットに対してECCコードが付加されている場合の2つのシングルアクセスがある。又、バーストアクセスでは、図2(c)に示すように、デー

10

20

30

40

50

タ量が可変なので、データと ECC コードが分離されていない。

【0014】

データフェーズのフォーマットの違いを示す情報はアドレスフェーズのコマンドに入っている、スレーブはこの情報を基にデータフェーズのフォーマットを判断する。

【0015】

図3にモジュール内部の構成を示す。この実施形態ではバスマスターとスレーブの両方になり得るモジュールで各モジュール M₁ ~ M_n, M₁₁ ~ M_{1n} が構成されている。又、バス結合用モジュール M_a, M_b もこれらのモジュールと同一構成である。図3は、その1つのモジュール（モジュール M₁ ~ M_n, M₁₁ ~ M_{1n}、バス結合用モジュール M_a, M_b を代表して M と付している）の構成を示すものである。10

各モジュール M には、送信側 10 と受信側 11 を備え、送信側 10 及び受信側 11 は内部バス 12 を介してモジュール間バス（1a, 1b）又はシリアル伝送路に接続されている。。

【0016】

送信側 10 には、アドレス / コマンドを受信してエラー検出 / 訂正コード（ECC コード）を生成する検出 / 訂正コード生成回路 #A、シングル 32 ビットのデータを受信しエラー検出 / 訂正コード（ECC コード）を生成する検出 / 訂正コード生成回路 #B、シングルでデータ幅が 2 倍の 64 ビットのデータを受信しエラー検出 / 訂正コード（ECC コード）を生成する検出 / 訂正コード生成回路 #C、バーストのデータを受信しエラー検出 / 訂正コード（ECC コード）を生成する検出 / 訂正コード生成回路 #D、及び送信側選択回路 13 を備える。20

【0017】

アドレス、コマンド、各データ（シングルデータ、2 倍のシングルデータ、バーストデータ）はそれぞれ内部バス 12 に送出され、かつ、送信側選択回路 13 によってその送出されたアドレス / コマンド、データの種類に基づいて ECC コードがそれぞれ図2に示すように付されて、モジュール間バス 1a, 1b 又はシリアル伝送路に送出される。

【0018】

一方、受信側 11 は、受信側選択回路 14 と、アドレス / コマンドのエラー検出 / 訂正を行うエラー検出 / 訂正回路 #A、シングル 32 ビットのデータのエラー検出 / 訂正を行うエラー検出 / 訂正回路 #B、シングルでデータ幅が 2 倍の 64 ビットのデータにおけるエラー検出 / 訂正を行うエラー検出 / 訂正回路 #C、バーストデータのデータのエラー検出 / 訂正を行うエラー検出 / 訂正回路 #D を備える。モジュール間バス 1a, 1b 又はシリアル伝送路を介して受信したアドレス / コマンド、データの種類に基づいて、受信側選択回路 14 によって、各エラー検出 / 訂正回路 #A ~ #D に引き渡され、エラー検出 / 訂正がなされて、モジュール M 内に取りこまれる。30

【0019】

バスマスターがアドレス / コマンドを送信するアドレスフェーズの場合は、アドレス / コマンドフェーズ用のエラー検出 / 訂正コード生成回路 #A によって生成された ECC コードが送信側選択回路 13 によって選択され、該 ECC コードが図2に示すようにアドレス / コマンドの後に付されて、モジュール間バス 1a, 1b 又はシリアル伝送路に送出される。40 一方、バスマスター以外のモジュールはアドレスフェーズを受信する際に受信側選択回路 14 によりアドレスフェーズ用のエラー検出 / 訂正回路 #A が選択され使用される。

【0020】

データフェーズではリードの場合はスレーブがデータを送信し、ライトの場合はバスマスターがデータを送信する。送信側のモジュールは、図2のような転送フォーマット毎に送信側 10 のエラー検出 / 訂正コード生成回路 #A ~ #D を切り替え、バスに送信する。受信側のモジュールは、これに対応して受信側選択回路 14 でエラー検出 / 訂正回路 #A ~ #D を選択切り替える。

【0021】

バスマスターが出力したアドレス / コマンドがライトの場合、受信側のスレーブのモジュー50

ルは、このアドレスフェーズで受信したコマンドの情報によって転送フォーマットを認識し、このコマンドで指令されている転送フォーマットに基づいて、受信側のモジュール（スレープ）の受信側選択回路14は、データがシングル32ビットの場合は、エラー検出／訂正回路#Bに切り替え、データをシングル64ビットの場合は、エラー検出／訂正回路#Cに切り替え、バーストデータの場合には、エラー検出／訂正回路#Dに切り替えて、データを受信する。

【0022】

一方、バスマスターが出力したアドレス／コマンドがリードの場合、受信側のスレープのモジュールは、このアドレスフェーズで受信したコマンドの情報によって転送フォーマットを認識し、この転送フォーマットに基づいて送信側選択回路13がエラー検出／訂正コード生成回路#B～#Dを選択切り替え、リードしたデータを選択したエラー検出／訂正コード生成回路#B～#Dで生成されたECCコードを図2に示すように、それぞれのデータにECCコードを付して送信する。このデータを受信するバスマスターのモジュールでは、アドレスフェーズでアドレス／コマンドを送出するときに、すでに、転送フォーマットを指定しているものであるから、このバスマスターのモジュールの受信側選択回路14は、指定した転送フォーマットに対応するエラー検出／訂正回路#B～#Dを選択して切り替え、受信データのエラーの検出／訂正を行い、データを取りこむ。

10

【0023】

バス間を繋ぐシリアル伝送路においても同様に数種類の転送フォーマットを用意し、最適な回路でエラー検出／訂正を行うことができるようエラー検出／訂正コード生成回路、又はエラー検出／訂正回路を切り替える。

20

【0024】

以上のように、本実施形態では、制御装置内でバスで接続されているモジュール間の通信において、各モジュールには、数種類の転送フォーマットに対応するエラー検出／訂正コード生成回路及びエラー検出／訂正回路を備えることによって、最適のデータ伝送を構成することができる。

【0025】

上述した実施形態では、アドレス／コマンド用の検出／訂正コード生成回路#A、エラー検出／訂正回路#A、データがシングル32ビット用の検出／訂正コード生成回路#B、エラー検出／訂正回路#B、データがシングル64ビット用の検出／訂正コード生成回路#C、エラー検出／訂正回路#C、バーストデータ用の検出／訂正コード生成回路#D、エラー検出／訂正回路#Dをモジュールに設けたが、これ以外にも、検査ビット長、情報ビット長、訂正能力に差異がある検出／訂正コード生成回路、エラー検出／訂正回路を設けて、必要とする最適なエラー検出／訂正方式を採用するようすればよい。

30

【0026】

特に、アドレス、コマンド部分とデータ部分に対するエラー検出／訂正方式を変えることによって、固定長のアドレス、コマンド部分は大きなパケット単位でエラー検出／訂正を適用し、データ部分に比較してより検出／訂正能力を高めることによってより高い信頼性が期待ができる。

【0027】

40

アドレス、コマンド部分に誤りが発生した場合、予期せぬ部位のデータを乱したり、システムとしてアクセスが許容されない資源に対するアクセスになり、重篤な障害を招く可能性があるため、この部分の誤り訂正／検出能力を高めることによってより高い信頼性が期待できる。

【0028】

またバスサイクルの一部に高い誤り訂正／検出能力を持つサイクルを含めることによって、万一把握にハード的な不具合が検出された場合に、その原因及び故障箇所を明確にすることが容易になる。例えばアドレス／コマンド部分には隣接2ビットの誤り検出、データ転送部分には1ビット誤り検出とした場合に、バスの隣接2ビットがショートしたケースにはシステムとして継続して動作することはできないが、バスのどの2ビットに不具合が

50

あったのかを明確にすることが可能となり、故障箇所や原因の解析に有効である。

【0029】

【発明の効果】

エラー検出・訂正機能が異なる複数のものの中から伝送する情報の内容、その量、その性質に応じて、最適なものを用いてデータの送受を行うことにより、信頼性の高いデータ伝送を行うことができる。

【図面の簡単な説明】

【図1】本発明のエラー検出／訂正方式を採用した一実施形態の制御装置の要部ブロック図である。

【図2】同実施形態におけるバス上の転送フォーマットの説明図である。

【図3】同実施形態におけるモジュールの一形態の要部ブロック図である。

【符号の説明】

M, M1 ~ Mn, M11 ~ M1n モジュール

Ma, Mb バス結合用モジュール

1a, 1b バス

10 送信側

11 受信側

12 内部バス

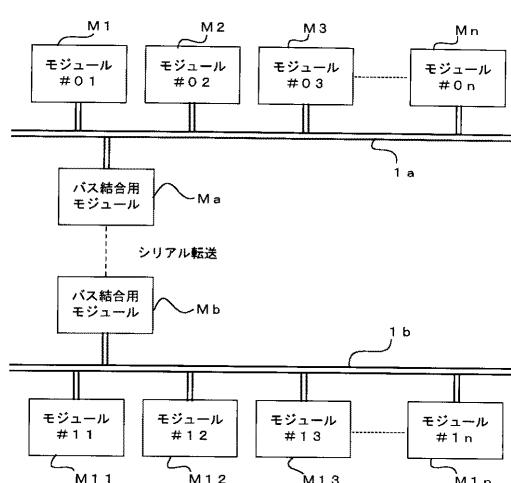
13 送信側選択回路

14 受信側選択回路

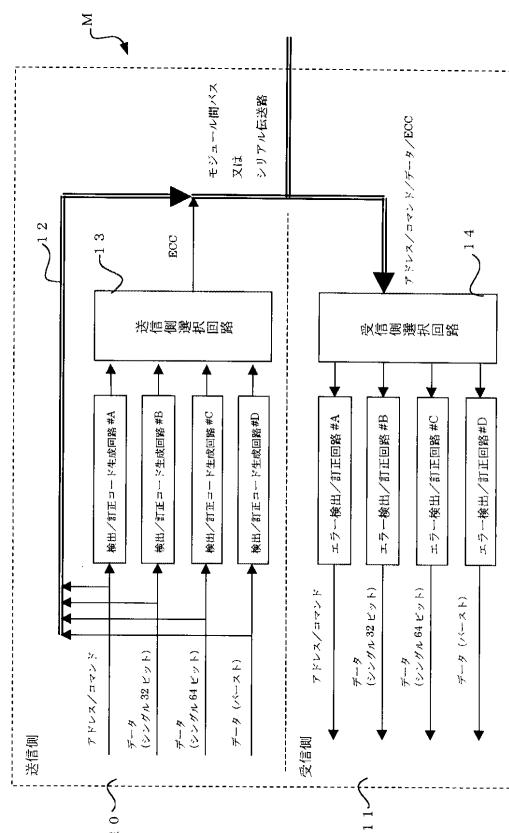
10

20

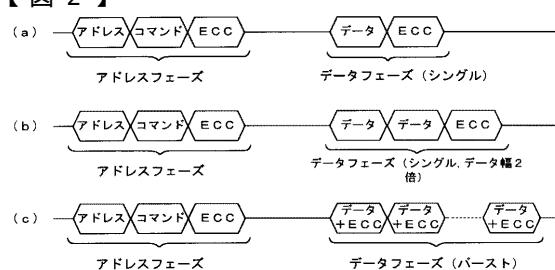
【図1】



【図3】



【図2】



フロントページの続き

(72)発明者 中村 稔

山梨県南都留郡忍野村忍草字古馬場3580番地 ファナック株式会社 内

(72)発明者 酒井 裕

山梨県南都留郡忍野村忍草字古馬場3580番地 ファナック株式会社 内

審査官 矢頭 尚之

(56)参考文献 国際公開第98/001806(WO,A1)

特開平05-158808(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04L 1/00

H03M 13/35