

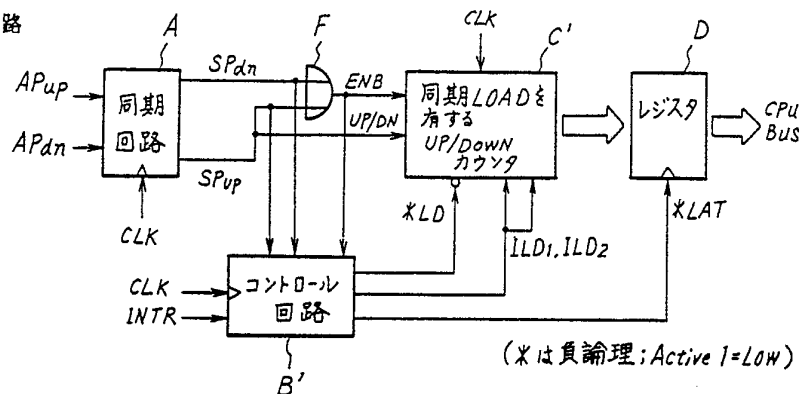


特許協力条約に基づいて公開された国際出願

(51) 国際特許分類 ⁴ H03K 21/02, 23/86	A1	(11) 国際公開番号 WO 87/ 05453 (43) 国際公開日 1987年9月11日 (11.09.87)		
<table border="0"> <tr> <td style="vertical-align: top;"> (21) 国際出願番号 PCT/JP87/00136 (22) 国際出願日 1987年3月3日(03. 03. 87) (31) 優先権主張番号 特願昭61-45984 (32) 優先日 1986年3月3日(03. 03. 86) (33) 優先権主張国 JP (71) 出願人(米国を除くすべての指定国について) ファナック株式会社(FANUC LTD)[JP/JP] 〒401-05 山梨県南都留郡忍野村忍草字古馬場3580番地 Yamanashi, (JP) (72) 発明者; および (75) 発明者/出願人(米国についてのみ) 坂本啓二 (SAKAMOTO, Keiji)[JP/JP] 〒192 東京都八王子市高倉町65-4 芙蓉ハイツ102 Tokyo, (JP) 豊沢雪雄 (TOYOZAWA, Yukio)[JP/JP] 〒862 熊本県熊本市竜田町弓削1598-1 Kumamoto, (JP) (74) 代理人 弁理士 辻 實 (TSUJII, Minoru) 〒101 東京都千代田区神田小川町3丁目14番地 第一万水ビル 辻特許事務所 Tokyo, (JP) </td> <td style="vertical-align: top;"> (81) 指定国 DE(欧州特許), FR(欧州特許), GB(欧州特許), US. 添付公開書類 国際調査報告書 </td> </tr> </table>			(21) 国際出願番号 PCT/JP87/00136 (22) 国際出願日 1987年3月3日(03. 03. 87) (31) 優先権主張番号 特願昭61-45984 (32) 優先日 1986年3月3日(03. 03. 86) (33) 優先権主張国 JP (71) 出願人(米国を除くすべての指定国について) ファナック株式会社(FANUC LTD)[JP/JP] 〒401-05 山梨県南都留郡忍野村忍草字古馬場3580番地 Yamanashi, (JP) (72) 発明者; および (75) 発明者/出願人(米国についてのみ) 坂本啓二 (SAKAMOTO, Keiji)[JP/JP] 〒192 東京都八王子市高倉町65-4 芙蓉ハイツ102 Tokyo, (JP) 豊沢雪雄 (TOYOZAWA, Yukio)[JP/JP] 〒862 熊本県熊本市竜田町弓削1598-1 Kumamoto, (JP) (74) 代理人 弁理士 辻 實 (TSUJII, Minoru) 〒101 東京都千代田区神田小川町3丁目14番地 第一万水ビル 辻特許事務所 Tokyo, (JP)	(81) 指定国 DE(欧州特許), FR(欧州特許), GB(欧州特許), US. 添付公開書類 国際調査報告書
(21) 国際出願番号 PCT/JP87/00136 (22) 国際出願日 1987年3月3日(03. 03. 87) (31) 優先権主張番号 特願昭61-45984 (32) 優先日 1986年3月3日(03. 03. 86) (33) 優先権主張国 JP (71) 出願人(米国を除くすべての指定国について) ファナック株式会社(FANUC LTD)[JP/JP] 〒401-05 山梨県南都留郡忍野村忍草字古馬場3580番地 Yamanashi, (JP) (72) 発明者; および (75) 発明者/出願人(米国についてのみ) 坂本啓二 (SAKAMOTO, Keiji)[JP/JP] 〒192 東京都八王子市高倉町65-4 芙蓉ハイツ102 Tokyo, (JP) 豊沢雪雄 (TOYOZAWA, Yukio)[JP/JP] 〒862 熊本県熊本市竜田町弓削1598-1 Kumamoto, (JP) (74) 代理人 弁理士 辻 實 (TSUJII, Minoru) 〒101 東京都千代田区神田小川町3丁目14番地 第一万水ビル 辻特許事務所 Tokyo, (JP)	(81) 指定国 DE(欧州特許), FR(欧州特許), GB(欧州特許), US. 添付公開書類 国際調査報告書			

(54) Title: COUNTING CIRCUIT

(54) 発明の名称 カウンタ回路



A ... synchronizing circuit

B' ... control circuit

C' ... up/down counter having synchronous load

D ... register

(57) Abstract

(* denotes a negative logic; Active 1 = low)

A counting circuit which counts the number of pulses asynchronously input during a predetermined period of time includes a counter (C') which counts the number of input pulses, a register (D) which stores the pulses emitted from the counter (C') every after a predetermined period, and a control circuit (B') which generates a signal for controlling the operation condition and a signal for controlling the operation period of the counter (C') and the register (D). The counter (C') performs the counting operation ordinarily during the period in which no signal is generated for determining the operation period of the counter (C'), i.e., during the period between a pulse and another pulse which represents the operation period. When the input pulses are fed to the counter (C') so as to be counted during the period in which the pulses are being generated, the control circuit (B') does not clear the value counted by the counter (C') but permits the counter (C') to continue the counting operation. Then, the value counted by the counter (C') is output to the register (D) so as to be latched there in order to prevent miscounting.

(57) 要約

一定周期間に、非同期的に入力されるパルスの数进行数するカウンタ回路は、入力パルスを计数するカウンタC'と、一定周期毎に該カウンタC'から出力されるパルスを記憶するレジスタDと、カウンタC'やレジスタDの動作状態を制御する信号や動作周期を制御する信号を発生するコントロール回路B'とを含み、カウンタC'の動作周期を決定する信号が发せられていない間、すなわち動作周期を示すパルスとパルスとの間では、カウンタC'が通常の计数動作を行い、該パルスが発生している期間であって、この間に计数するための入力パルスがカウンタC'に入力されると、コントロール回路B'がカウンタC'の计数値をクリアさせず计数動作を继续させ、その後、カウンタC'の计数値をレジスタDに出力してレジスタDにラッチさせ、レジスタDのミスカウントを防止する。

情報としての用途のみ

PCTに基づいて公開される国際出願のパンフレット第1頁にPCT加盟国を同定するために使用されるコード

AT	オーストリア	FR	フランス	MR	モーリタニア
AU	オーストラリア	GA	ガボン	MW	マラウイ
BB	バルバドス	GB	イギリス	NL	オランダ
BE	ベルギー	HU	ハンガリー	NO	ノルウェー
BG	ブルガリア	IT	イタリア	RO	ルーマニア
BJ	ベナン	JP	日本	SD	スーダン
BR	ブラジル	KP	朝鮮民主主義人民共和国	SE	スウェーデン
CF	中央アフリカ共和国	KR	大韓民国	SN	セネガル
CG	コンゴ	LI	リヒテンシュタイン	SU	ソビエト連邦
CH	スイス	LK	スリランカ	TD	チャード
CM	カメルーン	LU	ルクセンブルグ	TG	トーゴ
DE	西ドイツ	MC	モナコ	US	米国
DK	デンマーク	MG	マダガスカル		
FI	フィンランド	ML	マリ		

- 1 -

明 細 書

カウンタ回路

技 術 分 野

- 5 本発明は、パルスの数を計数するカウンタ回路に関し、特に、一定周期の間に、非同期的に入力されるパルスの数を計数するカウンタ回路に関するものである。

背 景 技 術

- 10 数値制御工作機械は、多くのサーボ機構を使用している。この数値制御サーボ機構は、機械を直接駆動させる電動モータを有する。この電動モータにはパルスコードが設けられ、これにより刻々の電動モータの回転速度に比例したパルスが出力され、その情報が制御回路に
- 15 フィードバックされてこの電動モータは速度制御される。このようなサーボ機構において、パルスコードによる刻々の速度検出は、パルスコードから出力されるパルスをカウンタ回路によりパルス計数することにより行われる。最近、サーボ機構全体をマイクロコンピュータで
- 20 制御し、回路全体をデジタル化するようになってからは、前記速度検出の他にたとえば指令回転速度と現在の回転速度との差を計算する回路など、多くの部分にカウンタ回路が使用されるようになった。

- 25 従来から使用されている上述の如きカウンタ回路に、第6図に示すような回路が知られている。このカウンタ

- 2 -

回路を説明すると、Aは、入力パルスA P_{up}又はA P_{dn}の同期を取り、同期パルスS P_{up}又はS P_{dn}を出力する同期回路、Bは、コントロール回路である。このコントロール回路Bにタイミング回路Eからの一定周期のパルスI N T Rが入力されると、イネーブルパルスE N Bが
5 カウンタCを動作させ、U P又はD Nのパルス数がこのカウンタCで計数され、次のI N T Rの入力によりそれまでのカウンタCでの計数結果をレジスタDに記憶させると共に、カウンタCをクリアする。

10 第7図は、このようなカウンタ回路のタイミングチャート、第8図、第9図は、第7図の各信号波形を拡大して示すタイミングチャートである。

第7図(c)に示される入力パルスS P_{up}に、パルスI N T Rと重なって入力されるパルスaが存在すると、
15 レジスタDをラッチする際にミスラッチが生ずる恐れがあった。第8図は、第7図を拡大してこれを説明するタイミングチャートである。

このような欠点を解消するため、第9図のタイミングチャートに示すように、パルスI N T Rに同期されかつ
20 これと重ならないように位相をずらしたタイミング信号Iを発生させ、第7図(c)においてaで示すようなパルスI N T Rと重なったパルスS P_{up}が発生した場合には、これをタイミング信号Iの位置までずらせて、第9図(e)に示すように、パルスI N T Rと重ならないよ
25 うなタイミングのイネーブルパルスE N Bを形成しこれ

- 3 -

をカウントし、ミ斯拉ッチが生じないようにコントロール回路 B で制御していた。このような制御を行なうとき、クロックパルス CLK を何分周かしてタイミング信号 I を形成しているので、入力パルス A P_{up}, A P_{dn} の周波数が上げられないという問題があった。

本発明はこのような従来技術の問題点を解消しようとするものであり、その目的は、入力パルスをミ斯拉ッチしてカウント精度を低下せしめることがないようなカウンタ回路を提供しようとするものである。

本発明の他の目的は、入力パルスのスピードを上げてミ斯拉ッチが生じないようなカウンタ回路を提供することにある。

発 明 の 開 示

本発明は、一定周期の間に、非同期的に入力される入力パルスの数を計数しレジスタに記憶するカウンタ回路において、一定の周期内に発生する入力パルスを計数する手段と、該計数手段での計数値をレジスタにラッチするとともに該計数手段をクリアして次の計数周期を開始するパルスを発生させる手段と、該パルスの発生中に入力パルスが印加されたとき該計数値をクリアせずに計数動作を継続させ該入力パルスを計数させる手段と、該入力パルスの計数後にその計数値をレジスタにラッチするとともに該計数手段の計数値をクリアする手段とを有することを特徴とするカウンタ回路を提供することにより、従来技術の問題点を解消するものである。

- 4 -

そして本発明は、計数手段からその計数値をレジスタ
へラッチするとともにその計数値をクリアする動作を開
始するためのパルスが発生している間に、カウンタ回路
に入力パルスが印加されると、計数値をクリアすること
なくこの計数動作を継続させ、その後にレジスタで計数
5 値をラッチするので、ミスラッチは起らない。また、従
来のカウンタ回路の如くクロック信号を分周して得られ
るタイミング信号を使用しないので、パルスの高速処理
が可能なカウンタ回路が得られる。

10

図面の簡単な説明

第1図は、本発明の一実施例の概略の構成を示すブ
ロック図、第2図は、同実施例の動作タイミングを示す
図、第3図は、コントロール回路の状態遷移を示す図、
15 第4図は、コントロール回路の入出力関係を示す説明
図、第5図は、コントロール回路の一例を示す構成説明
図、第6図は、従来のカウンタ回路の一例を示すブロッ
ク図、第7図～第9図は、第6図回路の各部入出力信号
のタイミングを示す図である。

20

発明を実施するための最良の形態

以下、図により本発明の一実施例を説明する。

第1図は本発明のカウンタ回路のブロック図、第2図
はタイミングチャート、第3図はコントロール回路の状
態遷移図、第4図は入出力関係の説明図、第5図はコン
25

- 5 -

トロール回路の回路図である。

本発明のカウンタ回路は、第1図に示すように、従来回路と同様の同期回路Aと、同期ロードを有するアップ
ダウンカウンタC'と、レジスタDと、アップダウンカ
5 ウンタC'とレジスタDの動作を制御するコントロール
回路B'と、同期回路Aから出力されたパルスアップ
ダウンカウンタC'とコントロール回路B'に振り分け
るとともにパルスのアップダウンの判定信号を作成する
オアゲートを用いたゲート回路Fとからなる構成を有
10 し、計数値を記憶するレジスタDがラッチパルス*LAT
によりセットされているときに、カウンタC'に同期
回路Aから同期パルスup/dnが入力される場合には、
カウンタC'をロードパルス*LDによりプリセッ
トしてロードILD₁、ILD₂出力を発生することによ
15 り、クロックパルスCLKの立上り、及び立下りのい
ずれのタイミングでも入力パルスAP_{up}、AP_{dn}のカウ
ントを行なっているので、入力パルスの高速処理を実現
できる。

次に、このような本発明実施例のカウンタ回路の作用
20 について、第2図、第3図により説明する。

(1) コントロール回路B'は、動作周期を決定するパ
ルス信号INTRが来ない間、状態S₁を保持してい
る。この状態S₁は、カウンタ回路における入力パルス
に対するカウントの準備完了を示すものである。このと
25 き、コントロール回路B'からの*LAT (= $\overline{LAT}$)

- 6 -

$\overline{T}$)、 $*LD (= \overline{LD})$ 、 ILD_1 、 ILD_2 の各出力パルスは 0 で、現状維持となっている。

(2) コントロール回路 B' に入力するパルス信号 $INTR$ により、コントロール回路 B' の状態は S_1 (準備完了) から S_2 (ラッチ) に遷移し、レジスタ D をラッチパルス $*LAT$ によりラッチ状態にセットする。この時、入力パルス SP_{up} 又は SP_{dn} があれば、コントロール回路 B' はイネーブルパルス ENB により現状維持となり、このラッチ状態を続ける。

10 (3) 入力パルス SP_{up} 又は SP_{dn} のいずれもが入力しなければ、オア回路 F からの負論理のイネーブルパルス $\overline{ENB}$ により、コントロール回路 B' はこのラッチ状態 S_2 から S_3 (ロード) に遷移する。このときロードパルス $*LD$ が出力され、これによりカウンタ C' をプリ
15 セットし、次のクロックパルス CLK に同期してロードパルス $*LD$ が立ち上がり 1 になって、コントロール回路 B' の状態はロード S_3 から再び S_1 (準備完了) に遷移する。

このようにして、本発明においては、入力パルス $INTR$ とイネーブルパルス ENB との重なりによるミ
20 スラッチを、タイミング信号 I を用いて防止する従来方法に替えて、コントロール回路 B' により、ラッチパルス $*LAT$ とロードパルス $*LD$ とを制御して、直接に周期を定めるパルス信号 $INTR$ とイネーブルパルス ENB との重なりによるレジスタ D でのミ
25 スラッチを防止し

ている。

第 1 図の本発明のカウンタ回路を第 6 図の従来回路と対比すると、コントロール回路 B' がカウンタ C' にロードパルス *LD と、ロード ILD₁、ILD₂ を出力し、レジスタ D に対してラッチパルス *LAT を出力するように構成されている。また、アップダウンカウンタ C' が、同期ロードを有するアップダウンカウンタとして構成される。更に、同期回路 A とアップダウンカウンタ C' との間には、ゲート回路 F を設け、同期パルス S P_{up} と S P_{dn} のいずれかが入力されると、イネーブルパルス E N B がアップダウンカウンタ C' に出力されるように構成されている。また、前記同期パルス S P_{up} と S P_{dn} は、コントロール回路 B' にも入力されている。

第 5 図は、同実施例のコントロール回路 B' の構成の具体例を示すものであって、第 4 図の入出力関係を示す説明図に基づき、さらに詳細構成とその動作について説明する。

アップまたはダウNPパルスとしてゲート回路 F に入力される入力パルス S P_{up} 又は S P_{dn} は、イネーブルパルス E N B となり、アンドゲート a₁ を介してクロックパルス C L K に同期するフリップフロップ Q₁ のセット側に供給されている。計数の周期を定めるパルス信号 I N T R はアンドゲート a₂ を介してクロックパルス C L K に同期するフリップフロップ Q₀ のセット側に供給され

ている。Q₀のリセット出力はa₁を介してQ₀のセット側に戻され、Q₁のリセット出力はa₁とa₂を介してQ₀のセット側に戻されるとともに、アンドゲートa₄に出力されている。Q₀のセット出力はそれぞれアンドゲートa₁、a₃を介してQ₁とQ₀のセット側に戻されるとともに、アンドゲートa₆、a₇に供給される。またQ₁のセット出力はa₃を介してQ₀とQ₁のリセット側に戻されるとともに、a₅、a₆、a₇に出力されている。

10 上記アンドゲートa₄からは、Q₁、Q₀がともにセット状態のときにラッチパルス*LATが出力され、a₅からは、Q₁、Q₀のいずれかがセット状態のときにロードパルス*LDが出力される。そしてその状態で、入力パルスSP_{up}とSP_{dn}との入力に応じ、ロード
15 IL_{D1}、IL_{D2}を出力している。

なお、上記実施例において、カウンタ回路を、アップダウンカウンタとしているが、これに限定することなく、単にパルスを係数するカウンタを使用することもできる。

20 また、この発明をある程度詳細にその最も好ましい数値制御サーボ回路の実施態様について説明したが、その好ましい実施態様の説明は、構成の詳細な部分についての変形、請求の範囲に記載された本発明の精神に反しないかぎりでの種々な変形、あるいはそれらを組み合わせた
25 ものに変更することができることは明らかなことであ

- 9 -

る。

産業上の利用可能性

本発明は、デジタル化されたサーボ回路に使用される
5 のみならず、測定の技術分野における周波数測定用のカウンタや、デジタル計量システムの計量回路に使用できるなど、計量・計測の技術分野にも使用され、さらに通信の技術分野にまで応用範囲が広がることはいうまでもないことである。

10

15

20

25

- 1 0 -

請 求 の 範 囲

(1) 一定周期の間に、非同期的に入力される入力パルスの数を計数しレジスタに記憶するカウンタ回路は、次の手段を含む：

5 一定の周期内に発生する入力パルスを計数する手段；

該計数手段での計数値をレジスタにラッチするとともに該計数手段をクリアして次の計数周期を開始するパルスを発生させる手段；

10 該パルスの発生中に入力パルスが印加されたとき該計数値をクリアせずに計数動作を継続させ該入力パルスを計数させる手段；

該入力パルスの計数後にその計数値をレジスタにラッチするとともに該計数手段の計数値をクリアする手段。
15

(2) 前記計数手段はアップダウンカウンタであることを特徴とする請求範囲第 (1) 項記載のカウンタ回路。

20

(3) 前記非同期的に入力される入力パルスは、数値制御サーボ回路からのパルスであることを特徴とする請求範囲第 (1) 項または第 (2) 項記載のカウンタ回路。

25

Fig. 1

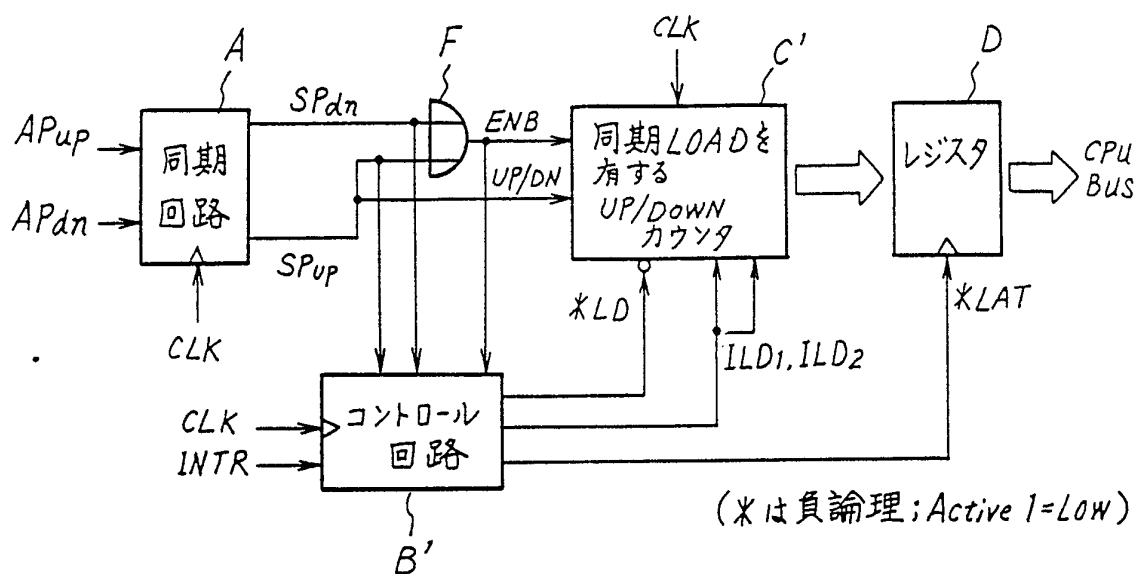
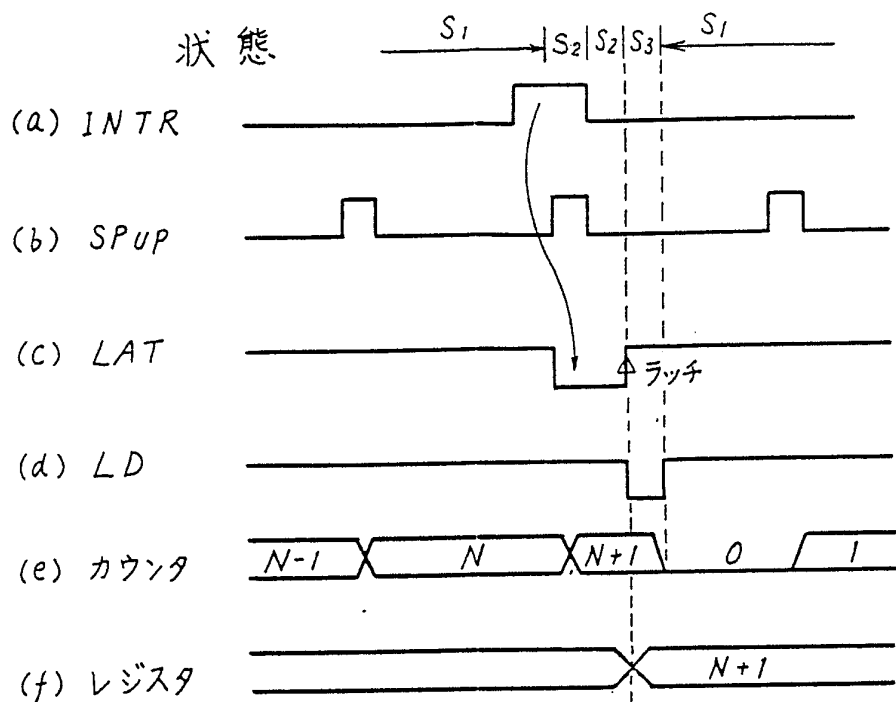


Fig. 2



2/5

Fig. 3

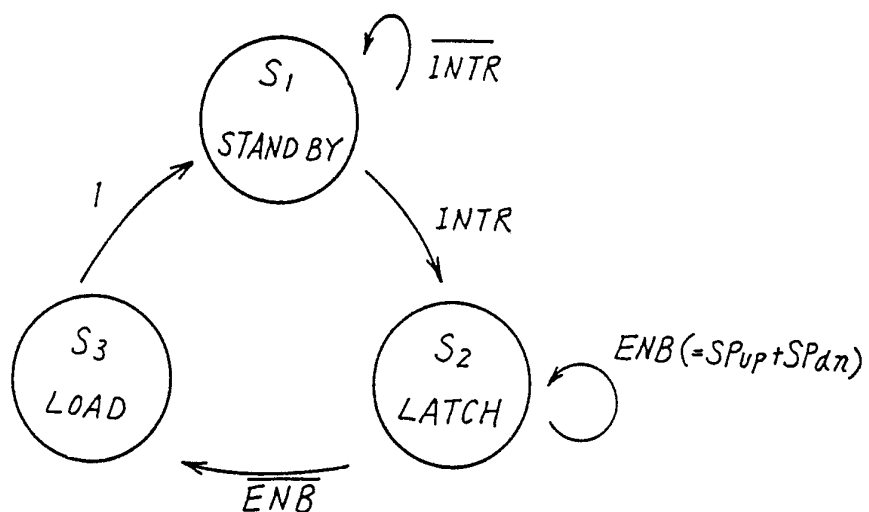


Fig. 4

状態	入力		出力			
	SP_{up}	SP_{dn}	*LAT	*LD	ILD ₁	ILD ₂
S_1	.	.	0	0	0	0
S_2	.	.	1	0	0	0
S_3	0	0	0	1	0	0
	1	0			0	1
	0	1			1	1

. : don't care
 * : 1=LOW (負論理)

Fig. 5

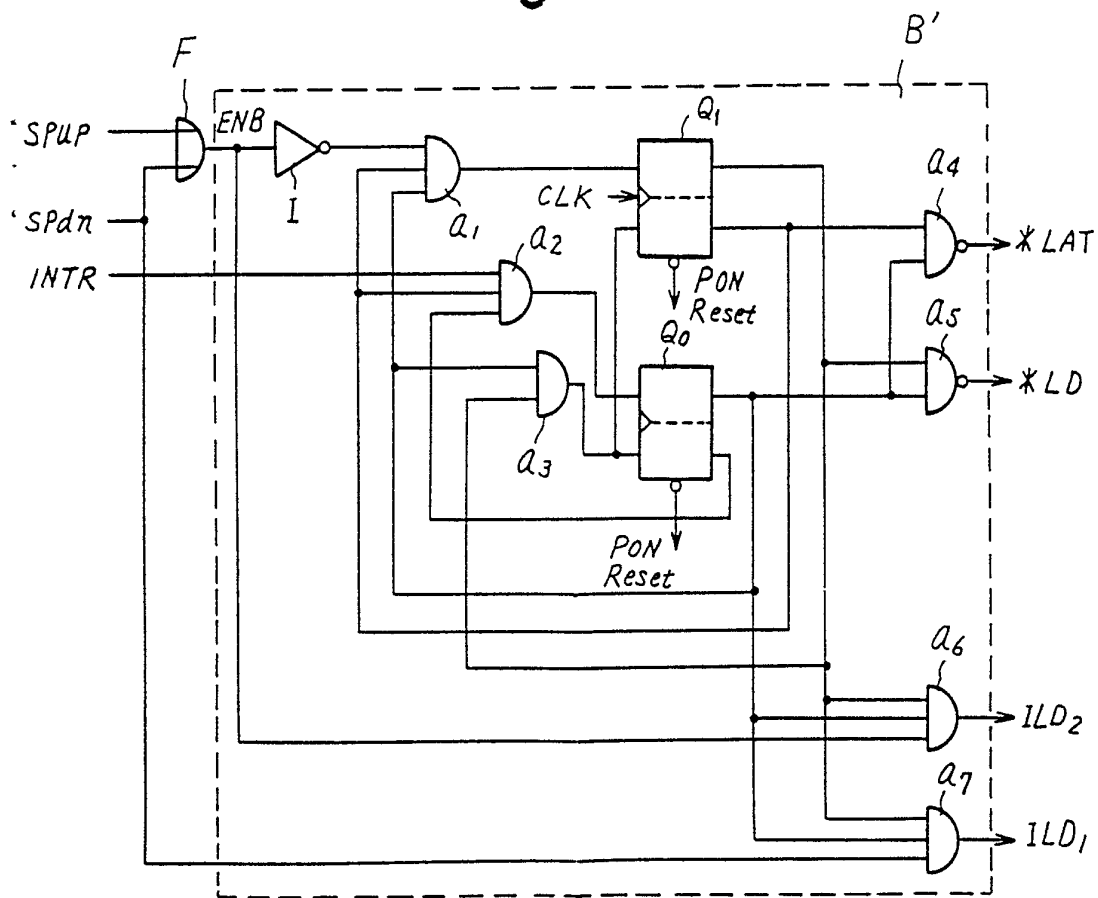
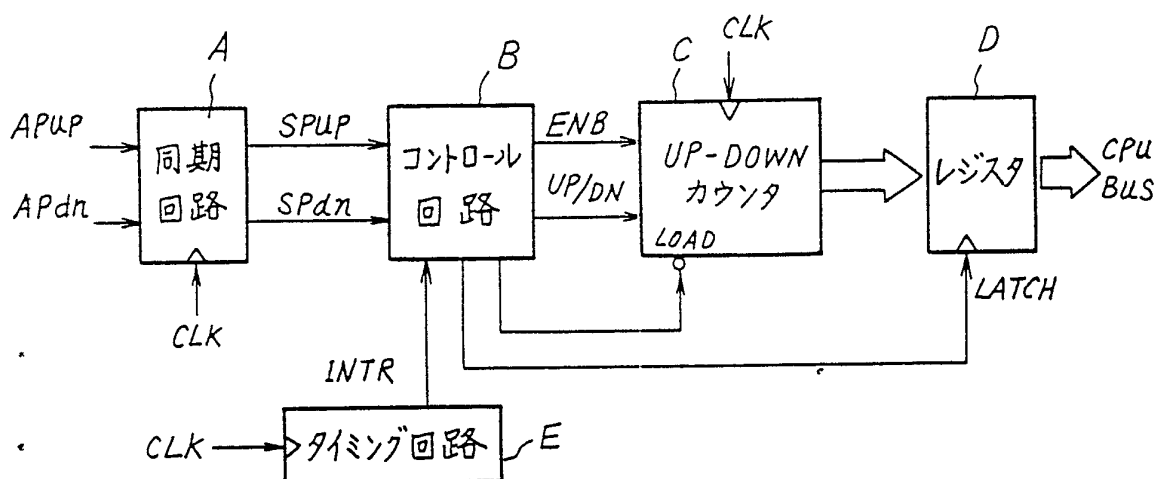


Fig. 6



4/5
Fig. 7

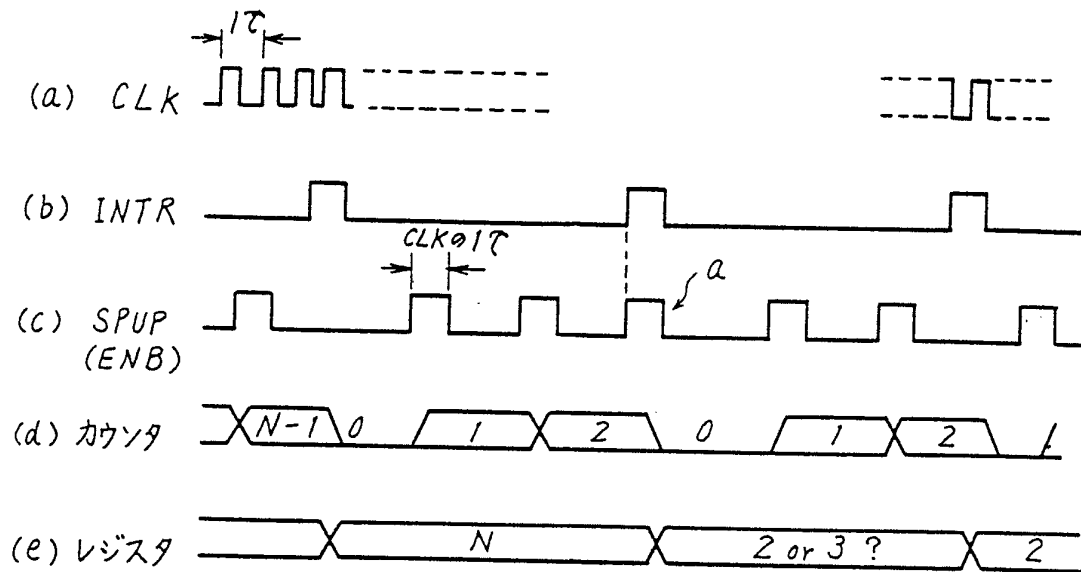
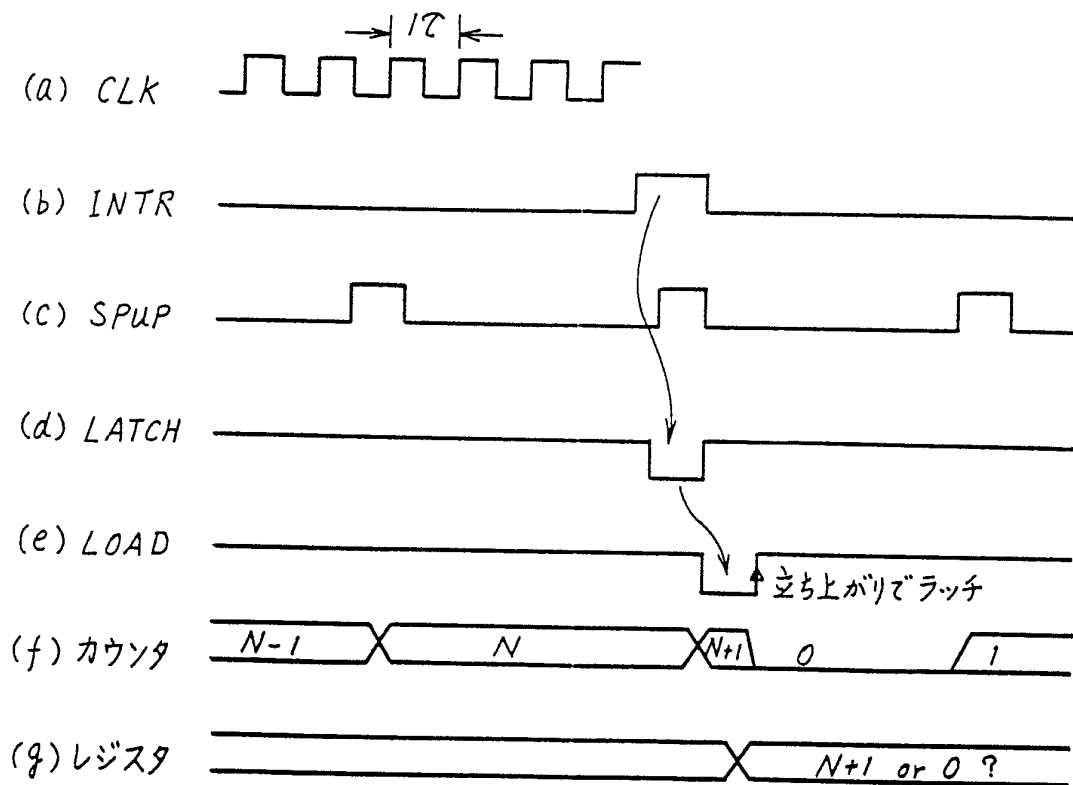
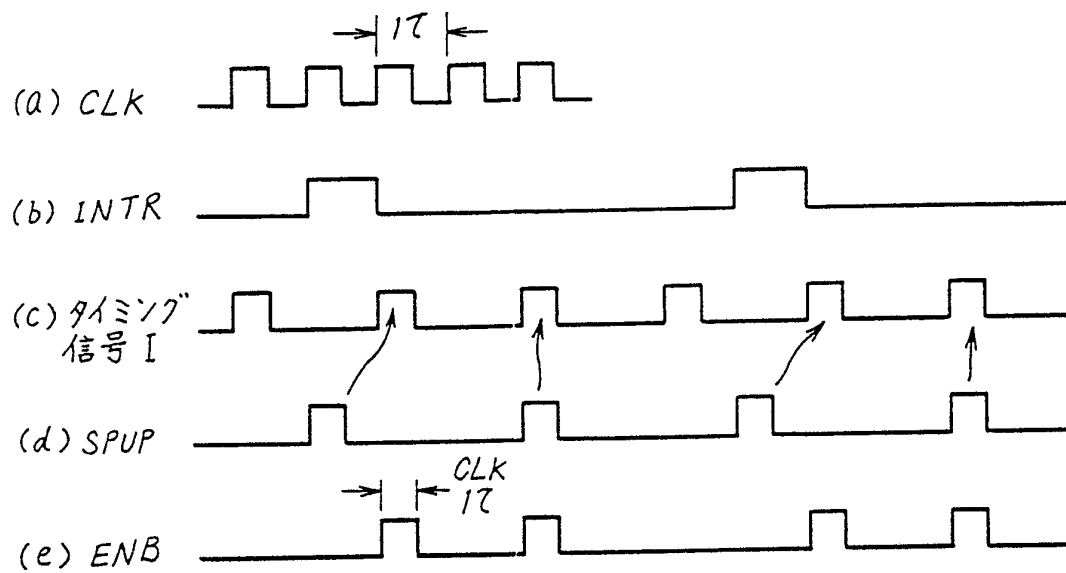


Fig. 8



5/5

Fig. 9



INTERNATIONAL SEARCH REPORT

International Application No

PCT/JP87/00136

I. CLASSIFICATION OF SUBJECT MATTER (if several classification symbols apply, indicate all) ³		
According to International Patent Classification (IPC) or to both National Classification and IPC <div style="display: flex; justify-content: space-between; margin-top: 10px;"> Int.Cl⁴ H03K21/02, H03K23/86 </div>		
II. FIELDS SEARCHED		
Minimum Documentation Searched ⁴		
Classification System	Classification Symbols	
IPC	H03K21/02, H03K23/86	
Documentation Searched other than Minimum Documentation to the Extent that such Documents are Included in the Fields Searched ⁵		
Jitsuyo Shinan Koho	1920 - 1986	
Kokai Jitsuyo Shinan Koho	1973 - 1986	
III. DOCUMENTS CONSIDERED TO BE RELEVANT ¹⁴		
Category *	Citation of Document, ¹⁶ with indication, where appropriate, of the relevant passages ¹⁷	Relevant to Claim No. ¹⁸
A	JP, A, 54-37675 (Toshiba Corp.) 20 March 1979 (20. 03. 79) Page 2, p.378, upper left column, line 3 to page 3, p.379, lower right column, line 1 (Family: none)	1, 2, 3
A	JP, A, 53-61375 (Toshiba Corp.) 1 June 1978 (01. 06. 78) Page 1, p.397, lower right column, line 17 to page 3, p.399, upper left column, line 9 (Family: none)	1, 2, 3
A	JP, A, 52-93263 (Sony Corporation) 5 August 1977 (05. 08. 77) Page 1, p.395, lower right column, line 11 to page 4, p.398, lower right column, line 14 (Family: none)	1, 2, 3
<div style="display: flex; justify-content: space-between;"> <div style="width: 45%;"> <p>¹⁵ Special categories of cited documents:</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p> </div> <div style="width: 45%;"> <p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance: the claimed invention cannot be considered novel or cannot be considered to involve an inventive step</p> <p>"Y" document of particular relevance: the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"&" document member of the same patent family</p> </div> </div>		
IV. CERTIFICATION		
Date of the Actual Completion of the International Search ²	Date of Mailing of this International Search Report ²	
May 14, 1987 (14. 05. 87)	June 1, 1987 (01. 06. 87)	
International Searching Authority ¹	Signature of Authorized Officer ²⁰	
Japanese Patent Office		

I. 発明の属する分野の分類		
国際特許分類 (IPC) Int. Cl. H03K21/02, H03K23/86		
II. 国際調査を行った分野		
調 査 を 行 っ た 最 小 限 資 料		
分 類 体 系	分 類 記 号	
IPC	H03K21/02, H03K23/86	
最小限資料以外の資料で調査を行ったもの		
日本国実用新案公報 1920-1986年 日本国公開実用新案公報 1973-1986年		
III. 関連する技術に関する文献		
引用文献の カテゴリー ※	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	請求の範囲の番号
A	JP, A, 54-37675 (東京芝浦電気株式会社) 20. 3月. 1979 (20. 03. 79) 第2頁, P. 378, 左上欄第3行-第3頁, P. 379, 右下欄第1行 (ファミリーなし)	1, 2, 3
A	JP, A, 53-61375 (東京芝浦電気株式会社) 1. 6月. 1978 (01. 06. 78) 第1頁, P. 397, 右下欄第17行-第3頁, P. 399, 左上欄第9行 (ファミリーなし)	1, 2, 3
A	JP, A, 52-93263 (ソニー株式会社) 5. 8月. 1977 (05. 08. 77) 第1頁, P. 395, 右下欄第11行-第4頁, P. 398, 右下欄第14行 (ファミリーなし)	1, 2, 3
<p>※ 引用文献のカテゴリー</p> <p>「A」 特に関連のある文献ではなく、一般的技术水準を示すもの</p> <p>「E」 先行文献ではあるが、国際出願日以後に公表されたもの</p> <p>「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)</p> <p>「O」 口頭による開示、使用、展示等に言及する文献</p> <p>「P」 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</p> <p>「T」 国際出願日又は優先日の後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの</p> <p>「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</p> <p>「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</p> <p>「&」 同一パテントファミリーの文献</p>		
IV. 認 証		
国際調査を完了した日 14. 05. 87	国際調査報告の発送日 01.06.87	
国際調査機関 日本国特許庁 (ISA/JP)	権限のある職員 特許庁審査官 矢 田 歩	5 J 6 7 4 9