



(21)申請案號：100100333

(22)申請日：中華民國 100 (2011) 年 01 月 05 日

(51)Int. Cl. : *H01L21/8247(2006.01)**H01L27/115 (2006.01)*

(30)優先權：2010/01/15 日本

2010-007494

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：關根祐輔 SEKINE, YUSUKE (JP)；鹽野入豐 SHIONOIRI, YUTAKA (JP)；加藤
清 KATO, KIYOSHI (JP)；山崎舜平 YAMAZAKI, SHUNPEI (JP)

(74)代理人：林志剛

(56)參考文獻：

JP 2002-368226A

US 6680864B2

審查人員：林士淵

申請專利範圍項數：16 項 圖式數：19 共 99 頁

(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

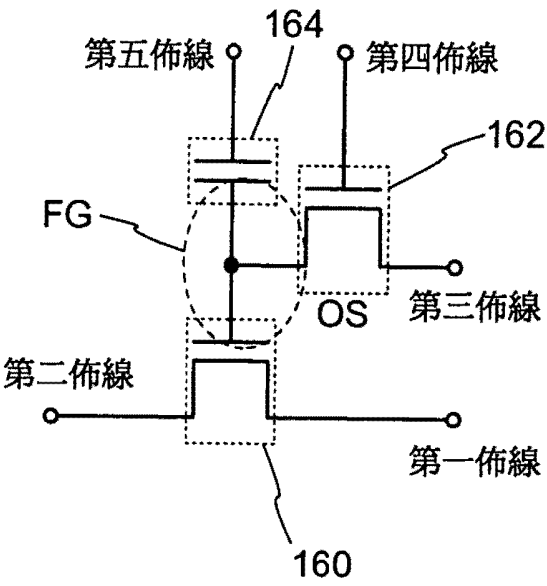
(57)摘要

提供一種半導體裝置，該半導體裝置包括非揮發性記憶體單元。該非揮發性記憶體單元包括：使用氧化物半導體的截止狀態下的源極與汲極之間的漏電流(截止電流)少的寫入電晶體；使用與該寫入電晶體不同的半導體材料的讀取電晶體；以及電容器。對該記憶體單元的資訊的寫入藉由將電位供應到寫入電晶體的源極電極及汲極電極的其中之一者、電容器的電極中的其中一者、讀取電晶體的閘極電極彼此電連接的節點，使節點中保持預定量的電荷來進行。在進行 1×10^9 次的寫入前後，該記憶體單元的儲存視窗寬度的變化量為 2% 或更小。

A semiconductor device has a non-volatile memory cell including a write transistor which includes an oxide semiconductor and has small leakage current in an off state (off-state current) between a source and a drain, a read transistor including a semiconductor material different from that of the write transistor, and a capacitor. Data is written to the memory cell by applying a potential to a node where one of a source electrode and drain electrode of the write transistor, one electrode of the capacitor, and a gate electrode of the read transistor are electrically connected to one another so that the predetermined amount of charge is held in the node. The memory window width is changed by 2 % or less, before and after 1×10^9 times of writing.

指定代表圖：

圖 1A



符號簡單說明：

- 160 . . . 電晶體
- 162 . . . 電晶體
- 164 . . . 電容器
- FG . . . 節點
- OS . . . 符號

六、發明說明：

【發明所屬之技術領域】

所揭示的發明關於一種利用半導體元件的半導體裝置及其製造方法。

【先前技術】

利用半導體元件的記憶體裝置可以大致分為如果沒有電力供給儲存內容就消失的揮發性記憶體裝置和即使沒有電力供給也保持儲存內容的非揮發性記憶體裝置。

作為揮發性記憶體裝置的典型例子，有DRAM（Dynamic Random Access Memory：動態隨機存取記憶體）。DRAM選擇構成記憶元件的電晶體並將電荷累積在電容器中而儲存資訊。

根據上述原理，因為當從DRAM讀取資訊時電容器的電荷消失，所以每次讀取資訊，就需要再次進行寫入工作。另外，因為在構成記憶元件的電晶體中由於截止狀態下的源極電極與汲極電極之間的漏電流（截止電流）等，而即使未選擇電晶體也流出或流入電荷，所以資料（資訊）的保持期間較短。由此，需要按規定的週期再次進行寫入工作（更新工作），而難以充分降低耗電量。另外，因為如果沒有電力供給儲存內容就消失，所以需要利用磁性材料或光學材料的另一記憶體裝置以實現較長期間的儲存保持。

作為揮發性記憶體裝置的另一例子，有SRAM（Static

Random Access Memory：靜態隨機存取記憶體）。SRAM 使用正反器等電路保持儲存內容，而不需要進行更新工作，在這一點上 SRAM 優越於 DRAM。但是，因為使用正反器等電路，所以存在儲存容量的單價變高的問題。另外，在如果沒有電力供給儲存內容就消失這一點上，SRAM 和 DRAM 相同。

作為非揮發性記憶體裝置的典型例子，有快閃記憶體。快閃記憶體在電晶體的閘極電極和通道形成區之間具有浮動閘極，並使該浮動閘極保持電荷而進行儲存，因此，快閃儲存器具有其資料保持期間極長（半永久）並且不需要進行揮發性記憶體裝置所需要的更新工作的優點（例如，參照專利文獻 1）。

但是，由於當進行寫入時產生的穿隧電流而引起構成記憶元件的閘極絕緣層的退化，因此發生因規定次數的寫入而不能發揮記憶元件的功能的問題。為了緩和上述問題的影響，例如，使用使各記憶元件的寫入次數均勻的方法，但是，為了採用該方法，需要複雜的週邊電路。另外，即使採用上述方法，也不能解決使用壽命的根本問題。就是說，快閃記憶體不合適於資訊的重寫頻繁的應用。

另外，為了向浮動閘極保持電荷或者去除該電荷，而需要高電壓和用於該目的的電路。再者，還有電荷的注入或去除需要較長時間而難以實現寫入和抹除的高速化的問題。

[專利文獻 1] 日本專利申請公開 昭 57-105889 號公

報

【發明內容】

鑒於上述問題，所揭示的發明的一實施例的目的之一就是提供一種即使沒有電力供給也能夠保持儲存內容並且對寫入次數也沒有限制的具有新結構的半導體裝置。

在本說明書等中揭示的發明中提供一種半導體裝置，該半導體裝置包括非揮發性記憶體單元。該非揮發性記憶體單元包括：使用氧化物半導體的截止狀態下的源極電極與汲極電極之間的漏電流（截止電流）少的寫入電晶體；使用與該寫入電晶體不同的半導體材料的讀取電晶體；以及電容器。對該記憶體單元的資訊的寫入及該記憶體單元中的資訊的重寫藉由如下步驟來進行：將寫入電晶體成為導通狀態，並且將電位供應到寫入電晶體的源極電極及汲極電極中的一者、電容器的電極中的一者、讀取電晶體的閘極電極彼此電連接的節點，然後將寫入電晶體成為截止狀態，以使節點保持規定量的電荷。

所揭示的發明的一實施例是一種半導體裝置，包括：具有第一電晶體、第二電晶體及電容器的非揮發性記憶體單元，其中，第一電晶體和第二電晶體包括不同的半導體材料而構成，並且，第二電晶體包括氧化物半導體而構成，並且，對記憶體單元的資訊的寫入藉由將第二電晶體成為導通狀態，並且將電位供應到第二電晶體的源極電極及汲極電極中的一者、第一電晶體的閘極電極、電容器的電

極中的一者彼此電連接的節點，然後將第二電晶體成爲截止狀態，以使節點保持電荷來進行，並且，從記憶體單元的資訊的讀取藉由控制施加到電容器的電極中的另一者的電位，而讀取第一電晶體的導通狀態或截止狀態來進行，並且，在進行 1×10^9 次的寫入前後記憶體單元的儲存視窗寬度的變化量爲2%或更少。

所揭示的發明的另一實施例是一種半導體裝置，包括：具有第一電晶體、第二電晶體及電容器的非揮發性記憶體單元，其中，第一電晶體和第二電晶體包括不同的半導體材料而構成，並且，第二電晶體包括氧化物半導體而構成且其截止電流（在此，每單位通道寬度（ $1 \mu\text{m}$ ）的值）爲小於或等於 $100 \text{ zA}/\mu\text{m}$ ，並且，對記憶體單元的資訊的寫入藉由將第二電晶體成爲導通狀態，並且將電位供應到第二電晶體的源極電極及汲極電極中的一者、第一電晶體的閘極電極、電容器的電極中的一者彼此電連接的節點，然後將第二電晶體成爲截止狀態，以使節點保持電荷來進行，並且，從記憶體單元的資訊的讀取藉由控制施加到電容器的電極中的另一者的電位，而讀取第一電晶體的導通狀態或截止狀態來進行，並且，在進行 1×10^9 次的寫入前後記憶體單元的儲存視窗寬度的變化量爲2%以內。

在上述半導體裝置中，第二電晶體的截止電流較佳低於第一電晶體的截止電流。

在上述半導體裝置中，第一電晶體的開關速度較佳大於第二電晶體的開關速度。

在上述半導體裝置中，第二電晶體較佳包括能隙大於 3 eV 的材料而構成。

注意，雖然在上述說明中，使用氧化物半導體來實現截止電流少的寫入電晶體，但是所揭示的發明不侷限於此。也可以應用可以實現與氧化物半導體同等的截止電流特性的材料，例如，碳化矽等的寬頻隙材料（ $E_g > 3\text{ eV}$ ）等。

注意，在本說明書等中，非揮發性記憶體單元是指在沒有電力供給也能夠保持一定期間以上（至少為長或等於 1×10^4 秒，較佳為長或等於 1×10^6 秒）資訊的記憶體單元。

另外，在本說明書等中，“之上”或“之下”不侷限於構成要素的位置關係為“正上”或“正下”。例如，“閘極絕緣層上的閘極電極”包括在閘極絕緣層和閘極電極之間包含另一構成要素的情況。另外，“之上”及“之下”只是為了便於說明而使用的，而在沒有特別的說明時，“之上”及“之下”還包括其上下倒轉的情況。

另外，在本說明書等中，“電極”或“佈線”不在功能上限定其構成要素。例如，有時將“電極”用作“佈線”的一部分，反之亦然。再者，“電極”或“佈線”還包括多個“電極”或“佈線”被形成為一體的情況等。

另外，在使用極性不同的電晶體的情況或電路工作的電流方向變化的情況等下，“源極電極”及“汲極電極”的功能有時被互相調換。因此，在本說明書中，“源極電極”及“汲極電極”可以被互相調換。

另外，在本說明書等中，“電連接”包括隔著“具有某

種電作用的元件”連接的情況。這裏，“具有某種電作用的元件”只要可以進行連接物件間的電信號的授受，就對其沒有特別的限制。

例如，“具有某種電作用的元件”不僅包括電極和佈線，而且還包括電晶體等的切換元件、電阻元件、電感器、電容器、其他具有各種功能的元件等。

因為使用氧化物半導體的電晶體的截止電流極小，所以藉由使用該電晶體，可以保持極長期間所儲存的資訊。就是說，因為不需要進行更新工作，或者，可以將更新工作的頻度降低到極低，所以可以充分降低耗電量。另外，即使沒有電力供給，也可以在較長期間內保持儲存內容。

此外，在根據所揭示的發明的半導體裝置中，資訊的寫入不需要高電壓，而且也沒有元件退化的問題。例如，不需要像現有的非揮發性記憶體那樣進行對浮動閘極的電子注入、從浮動閘極的電子抽出，所以根本不會發生閘極絕緣層的退化等的問題。就是說，在根據所揭示的發明的半導體裝置中，對現有的非揮發性記憶體的問題的能夠重寫的次數沒有限制，而顯著提高可靠性。再者，根據電晶體的導通狀態或截止狀態而進行資訊寫入，而可以容易實現高速工作。另外，還有不需要用來抹除資訊的工作的優點。

此外，使用氧化物半導體以外的材料的電晶體可以進行足夠的高速工作，所以藉由將該電晶體和使用氧化物半導體的電晶體組合而使用，可以確保足夠的半導體裝置的

工作（例如，資訊的讀取工作）的高速性。此外，藉由利用使用氧化物半導體以外的材料的電晶體，可以正好實現被要求高速工作的各種電路（邏輯電路、驅動電路等）。

如此，藉由將使用氧化物半導體以外的半導體材料的電晶體和使用氧化物半導體的電晶體設置為一體，可以實現具有從來沒有的特徵的半導體裝置。

【實施方式】

下面，使用附圖對本發明的實施例的一個例子進行說明。但是，本發明不侷限於以下說明，所屬技術領域的普通技術人員可以很容易地理解一個事實就是其方式及詳細內容在不脫離本發明的宗旨及其範圍的情況下可以被變換為各種各樣的形式。因此，本發明不應該被解釋為僅限定在以下所示的實施例所記載的內容中。

另外，附圖等所示的各結構的位置、大小、範圍等為了容易理解而有時不表示實際上的位置、大小、範圍等。因此，所揭示的發明不一定侷限於附圖等所揭示的位置、大小、範圍等。

另外，本說明書等中的“第一”、“第二”、“第三”等的序數是為避免結構要素的混同而附記的，而不是用於在數目方面上進行的限制。

（實施例1）

在本實施例中，參照圖1A和1A而對根據所揭示的發

明的一實施例的半導體裝置的電路結構及其工作進行說明。另外，在電路圖中，爲了表示使用氧化物半導體的電晶體，而有時還附上“OS”的符號。

圖 1A 所示的半導體裝置具有包括電晶體 160、電晶體 162、電容器 164 的非揮發性記憶體單元。在圖 1A-1 中，電晶體 162 的源極電極及汲極電極中的一者、電容器 164 的電極中的一者、電晶體 160 的閘極電極電連接。此外，第一佈線（1st Line：也稱爲源極電極線）與電晶體 160 的源極電極電連接，第二佈線（2nd Line：也稱爲位線）與電晶體 160 的汲極電極電連接。另外，第三佈線（3rd Line：也稱爲第一信號線）與電晶體 162 的源極電極及汲極電極中的另一者電連接，第四佈線（4th Line：也稱爲第二信號線）與電晶體 162 的閘極電極電連接。並且，第五佈線（5th Line：也稱爲字線）與電容器 164 的電極中的另一者電連接。

在此，作爲電晶體 162，應用使用氧化物半導體的電晶體。使用氧化物半導體的電晶體具有截止電流極小的特徵。由此，藉由將電晶體 162 成爲截止狀態，可以將電晶體 162 的源極電極及汲極電極中的一者、電容器 164 的電極中的一者、電晶體 160 的閘極電極電連接的節點（以下，節點 FG）的電位保持極長時間。此外，藉由具有電容器 164，可以容易保持施加到節點 FG 的電荷，並且，可以容易讀取所保持的資訊。

此外，對電晶體 160 的截止電流沒有限制，爲使記憶

體單元的工作速度高速化而使用其開關速度快（例如，電場效應遷移率的值大）於電晶體 162 的電晶體。就是說，作為電晶體 160，應用使用氧化物半導體以外的半導體材料的電晶體。注意，根據所選擇的半導體材料而有時電晶體 160 的截止電流高於電晶體 162 的截止電流。作為用於電晶體 160 的半導體材料，例如可以使用矽、鍺、矽鍺、碳化矽、鎵砷等，並且，較佳使用單晶半導體。使用這種半導體材料的電晶體 160 可以高速進行所儲存的資訊的讀取等。

在圖 1A 所示的半導體裝置中，在將資訊儲存於記憶體單元的情況（資料寫入）下，首先，將第四佈線的電位設定為使電晶體 162 成為導通狀態的電位，而使電晶體 162 成為導通狀態。由此，將第三佈線的電位供應到節點 FG，而將規定量的電荷累積於節點 FG。在此，將給予不同的兩種電位位準的電荷（以下，稱為低 (Low) 位準電荷、高 (High) 位準電荷）中的任一者供給到節點 FG。然後，將第四佈線的電位設定為使電晶體 162 成為截止狀態的電位，而使電晶體 162 成為截止狀態。由此，節點 FG 成為浮動狀態，所以得到節點 FG 保持著規定電荷的情況。如上所述，藉由使節點 FG 累積並保持規定量的電荷，可以使記憶體單元儲存資訊。

因為電晶體 162 的截止電流極小，所以供應到節點 FG 的電荷被保持很長時間。從而，不需要更新工作，或者，可以使更新工作的頻度極低，而可以充分降低耗電量。此

外，即使沒有電力供給，也可以在較長期間內保持儲存內容。

在讀取儲存於記憶體單元的資訊的情況（資料讀取）下，當在對第一佈線供應規定電位（固定電位）的情況下，對第五佈線供應適當的電位（讀取電位）時，根據保持於節點FG的電荷量，而電晶體160成為不同的狀態。這是因為如下原因：通常，當電晶體160是n通道型時，節點FG保持High位準電荷的情況下的電晶體160的外觀上的臨界值 V_{th_H} 低於節點FG保持Low位準電荷的情況下的電晶體160的外觀上的臨界值 V_{th_L} 。在此，外觀上的臨界值是指為使電晶體160成為“導通狀態”而需要的第五佈線的電位。從而，藉由將第五佈線的電位設定為 V_{th_H} 和 V_{th_L} 之間的電位 V_0 ，可以辨別節點FG所保持的電荷。例如，在寫入中，當被供應High位準電荷時，如果第五佈線的電位為 $V_0(>V_{th_H})$ ，則電晶體160成為“導通狀態”。當被供應Low位準電荷時，即使第五佈線的電位為 $V_0(<V_{th_L})$ ，也電晶體160維持“截止狀態”。由此，藉由控制第五佈線的電位，讀取電晶體160的導通狀態或截止狀態（讀取第二佈線的電位），可以讀取所儲存的資訊。

注意，當將記憶體單元配置為陣列狀時，需要唯讀取所希望的記憶體單元的資訊。當不讀取記憶體單元的資訊時，對第五佈線供應不管怎麼節點FG的狀態電晶體160也成為“截止狀態”的電位即小於 V_{th_H} 的電位，即可。或者，對第五佈線供應不管怎麼節點FG的狀態電晶體160也成為“

導通狀態”的電位即大於 V_{th_L} 的電位，即可。

此外，在重寫儲存於記憶體單元的資訊的情況下，藉由對由上述寫入保持規定量的電荷的節點 FG 供應新電位，使節點 FG 保持根據新資訊的電荷。明確而言，將第四佈線的電位設定為使電晶體 162 成為導通狀態的電位，來使電晶體 162 成為導通狀態。由此，將第三佈線的電位（根據新資訊的電位）供應到節點 FG，來將規定量的電荷累積於節點 FG。然後，藉由將第四佈線的電位成為使電晶體 162 成為截止狀態的電位，來使電晶體 162 成為截止狀態，從而成為節點 FG 保持根據新資訊的電荷的狀態。就是說，藉由在由第一寫入而節點 FG 保持規定量的電荷的狀態下進行與第一寫入同樣的工作（第二寫入），可以對儲存於記憶體單元的資訊進行重寫。

如此，根據所揭示的發明的半導體裝置藉由再度進行資訊的寫入，可以對資訊進行直接重寫。由此，不需要快閃記憶體等所需要的利用高電壓的從浮動閘極的電荷的抽出，並且，可以抑制起因於抹除工作的工作速度的降低。就是說，可以實現半導體裝置的高速工作。

注意，電晶體 162 的源極電極或汲極電極與電晶體 160 的閘極電極電連接，從而起與用作非揮發性記憶元件的浮動閘極型電晶體的浮動閘極同等的作用。在電晶體 162 處於截止狀態的情況下，可以認為：節點 FG 被埋設於絕緣體中（所謂的浮動狀態），並且，節點 FG 保持電荷。因為使用氧化物半導體的電晶體 162 的截止電流為小於或等於使

用矽半導體等形成的電晶體的十萬分之一，所以可以不顧由於電晶體 162 的洩漏而發生的累積於節點 FG 的電荷的消失。就是說，藉由利用使用氧化物半導體的電晶體 162，可以實現即使沒有電力供給也保持資訊的非揮發性記憶體單元。

例如，在電晶體 162 的室溫下的截止電流為 10 zA （ 1 zA （仄普托安培）為 $1 \times 10^{-21}\text{ A}$ ）或更小且電容器 164 的電容值為 10 fF 左右的情況下，可以進行至少 10^4 秒或更久的資料保持。注意，不用說，該保持時間根據電晶體特性、電容值而變動。

在現有的浮動閘極型電晶體中，當寫入（重寫）時電荷在閘極絕緣膜（穿隧絕緣膜）中移動，所以不能避免該閘極絕緣膜（穿隧絕緣膜）的退化。然而，在本實施例所示的半導體裝置中，由於電晶體 162 的開關工作而僅發生第三佈線與節點 FG 之間的電荷的移動，所以可以消除從來認為問題的閘極絕緣膜的退化。這意味著沒有原理上的寫入次數的限制，而重寫耐性極高的事實。

因為根據本發明的一實施例的記憶體單元的寫入耐性極高，所以即使在進行 1×10^9 次（十億次）或更多的寫入後，也可以不影響到特性地使用。例如，可以在 1×10^9 次的寫入前後將作為示出記憶體單元的特性的指標之一的儲存視窗寬度的變化量抑制為極少的 2% 以內。注意，在本說明書中，儲存視窗寬度是指當節點 FG 保持 High 電平電荷時為使讀取電晶體的電晶體 160 成為導通狀態所需要的第五

佈線的電位 V_{th_H} 和當節點 FG 保持 Low 電平電荷時為使讀取電晶體的電晶體 160 成為導通狀態所需要的第五佈線的電位 V_{th_L} 之差異。

圖 1A 所示的半導體裝置可以被認為如圖 1A 所示的半導體裝置，其中，構成該半導體裝置的電晶體等的要素包括電阻器及電容器。就是說，被認為：在圖 1A-2 中，電晶體 160 及電容器 164 分別包括電阻器及電容器而構成。R1 及 C1 分別是電容器 164 的電阻值及電容值，並且，電阻值 R1 相當於構成電容器 164 的絕緣層的電阻值。此外，R2 及 C2 分別是電晶體 160 的電阻值及電容值，並且，電阻值 R2 相當於當電晶體 160 處於導通狀態時的閘極絕緣層的電阻值，電容值 C2 相當於所謂的閘極電容（形成在閘極電極與源極電極及 / 或汲極電極之間的電容、以及形成在閘極電極與通道形成區之間的電容）值。

當將在電晶體 162 處於截止狀態的情況下的源極電極及汲極電極之間的電阻值（也稱為有效電阻）設定為 R_{OS} 時，在電晶體 162 的閘極洩漏足夠小的條件下，如果 R1 及 R2 滿足 R1 為大於或等於 R_{OS} 且 R2 為大於或等於 R_{OS} ，則電荷的保持期間（也可以稱為資訊的保持期間）主要由電晶體 162 的截止電流決定。

反之，在不滿足該條件的情況下，即使電晶體 162 的截止電流足夠小，也難以充分確保保持期間。這是因為電晶體 162 的截止電流以外的漏電流（例如，發生在源極電極與閘極電極之間的漏電流等）大的緣故。由此，可以說

，本實施例所揭示的半導體裝置較佳是滿足上述關係的半導體裝置。

一者 $C1$ 較大或等於 $C2$ 較佳。 $C1$ 較大時，當利用第五佈線控制節點 FG 的電位時（例如，當讀取時），可以將第五佈線的電位的變動抑制。

當滿足上述關係時，可以實現更適宜的半導體裝置。注意， $R1$ 及 $R2$ 由電晶體 160 或電晶體 162 的閘極絕緣層控制。 $C1$ 及 $C2$ 也同樣。因此，較佳的是，適當地設定閘極絕緣層的材料或厚度等，而滿足上述關係。

在本實施例所示的半導體裝置中，節點 FG 起與快閃記憶體等的浮動閘極型電晶體的浮動閘極同等的作用，但是本實施例的節點 FG 具有在本質上不同於快閃記憶體等的浮動閘極的特徵。在快閃記憶體中，由於施加到控制閘極的電壓高，所以為了防止該電位的影響到達相鄰的單元的浮動閘極，而需要將單元和單元之間的間隔保持為某種程度。這是阻礙半導體裝置的高集成化的主要原因之一。並且，該主要原因是起因於藉由施加高電場來發生穿隧電流的快閃記憶體的根本原理的。

此外，還發生另外的問題，即由於快閃記憶體的上述原理，而絕緣膜的退化加劇，在寫入次數上發生限制（一萬次左右）。

根據所揭示的發明的半導體裝置由於使用氧化物半導體的電晶體的開關而工作，並且，不使用如上所述的利用穿隧電流的電荷注入的原理。就是說，不需要快閃記憶體

所需要的用來注入電荷的高電場的施加。由此，不需要考慮到對相鄰的單元的控制閘極的高電場的影響，所以可以使單元和單元的間隔窄，並且，容易實現高集成化。

此外，因為不使用利用穿隧電流的電荷注入的原理，所以沒有記憶體單元的退化的原因。就是說，與快閃記憶體相比，具有高耐久性及其可靠性。

此外，不需要高電場及大型週邊電路（升壓電路等）的一點也是優越於快閃記憶體的一點。

注意，當使構成電容器164的絕緣層的相對介電常數 ϵ_{r1} 和構成電晶體160的絕緣層的相對介電常數 ϵ_{r2} 不同時，容易實現如下情況：在構成電容器164的絕緣層的面積 $S1$ 和電晶體160中構成閘極電容的絕緣層的面積 $S2$ 滿足 $2 \cdot S2$ 為大於或等於 $S1$ （較佳的是， $S2$ 為大於或等於 $S1$ ）的同時， $C1$ 為大於或等於 $C2$ 。就是說，容易實現如下情況：在使構成電容器164的絕緣層的面積小的同時， $C1$ 為大於或等於 $C2$ 。明確而言，例如，在構成電容器164的絕緣層中採用使用氧化鉛等的高介電常數（high-k）材料構成的膜，或者使用氧化鉛等的高介電常數（high-k）材料構成的膜和使用氧化物半導體構成的膜的疊層結構，而可以將 ϵ_{r1} 成為10或更大，較佳為15或更大，並且，在構成閘極電容的絕緣層中採用氧化矽，而可以實現 $\epsilon_{r2}=3$ 至4。

藉由採用這種結構的組合，可以實現根據所揭示的發明的半導體裝置的進一步的高集成化。

注意，雖然上述說明是對使用以電子為多數載子的n

型電晶體（n通道型電晶體）的情況的說明，但是，不用說，可以使用以電洞為多數載子的p型電晶體（p通道型電晶體）而代替n型電晶體。

如上所述，所揭示的發明的一實施例的半導體裝置具有包括截止狀態下的源極電極與汲極電極之間的漏電流（截止電流）少的寫入電晶體、使用與該寫入電晶體不同的半導體材料的讀取電晶體及電容器的非揮發性記憶體單元。

較佳的是，寫入電晶體的截止電流在使用時的溫度（例如， 25°C ）下為 100zA （ $1\times 10^{-19}\text{A}$ ）或更小，較佳為 10zA （ $1\times 10^{-20}\text{A}$ ）或更小，更較佳為 1zA （ $1\times 10^{-21}\text{A}$ ）或更小。在通常的矽半導體中，難以得到如上所述的低截止電流，但是在以適當的條件加工氧化物半導體而得到的電晶體中可以達成如上所述的低截止電流。由此，作為寫入電晶體，較佳使用包括氧化物半導體的電晶體。

並且，因為使用氧化物半導體的電晶體亞臨界值擺幅值（S值）小，所以即使遷移率較低，也可以充分增大開關速度。由此，藉由將該電晶體用作寫入電晶體，可以使施加到節點FG的寫入脈衝的上升極為陡峭。此外，由於截止電流小，所以可以減少節點FG所保持的電荷量。就是說，藉由將使用氧化物半導體的電晶體用作寫入電晶體，可以高速進行資訊的重寫。

至於讀取電晶體，對截止電流沒有限制，但是為了提高讀取速度，而較佳使用高速工作的電晶體。例如，作為

讀取電晶體，較佳使用開關速度為1奈米秒或更快的電晶體。

對記憶體單元的資訊的寫入藉由如下步驟來進行：將寫入電晶體成為導通狀態，並且將電位供應到寫入電晶體的源極電極及汲極電極中的一者、電容器的電極中的一者、讀取電晶體的閘極電極彼此電連接的節點，然後將寫入電晶體成為截止狀態，以使節點保持規定量的電荷。在此，因為寫入電晶體的截止電流極小，所以供應到節點的電荷被保持為很長時間。當截止電流例如實際上為0時，不需要現有的DRAM所需要的更新工作，或者，可以使更新工作的頻度極低（例如，每一個月或一年進行一次左右），並且，可以充分降低半導體裝置的耗電量。

此外，藉由對記憶體單元再度進行資訊的寫入，可以直接重寫資訊。由此，不需要快閃記憶體等所需要的抹除工作，並且，可以抑制起因於抹除工作的工作速度的降低。就是說，可以實現半導體裝置的高速工作。此外，因為不需要現有的浮動閘極型電晶體當寫入或抹除時需要的高電壓，所以可以進一步降低半導體裝置的耗電量。施加到根據本實施例的記憶體單元的電壓（對記憶體單元的各端子同時施加的最大電位和最小電位之差）的最大值，當進行二步驟（1位元）的資訊寫入時，在一個記憶體單元中，為5V或更低，較佳為3V或更低。

配置於根據所揭示的發明的半導體裝置的記憶體單元至少包括寫入電晶體、讀取電晶體、電容器即可，並且，

即使電容器的面積小也可以工作。從而，例如，與每一個記憶體單元需要六個電晶體的SRAM相比，可以使每記憶體單元的面積足夠小，並且，可以將記憶體單元高密度地配置在半導體裝置中。

此外，在現有的浮動閘極型電晶體中，當寫入時電荷在閘極絕緣膜（穿隧絕緣膜）中移動，所以不能避免該閘極絕緣膜（穿隧絕緣膜）的退化。然而，在根據本發明的一實施例的記憶體單元中，由於寫入電晶體的開關工作而使節點保持規定量的電荷來進行資訊的寫入，所以可以消除從來認為問題的閘極絕緣膜的退化。這意味著沒有原理上的寫入次數的限制，而重寫耐性極高的情況。例如，根據本發明的一實施例的記憶體單元可以在 1×10^9 次以上的寫入前後將儲存視窗寬度的變化量抑制為2%或更小。

再者，當作爲記憶體單元的寫入電晶體而利用使用氧化物半導體的電晶體時，因爲氧化物半導體能隙大即3.0eV至3.5eV且熱激發載子極少，所以例如即使在150℃的高溫環境下也沒有記憶體單元的電流-電壓特性的退化。

本發明人在進行深入研究後初次發現如下事實：使用氧化物半導體的電晶體具有優越的特性，即在150℃的高溫下也不發生特性的退化，並且，其截止電流極小即在室溫下爲100zA。在所揭示的發明的一實施例中，將具有這些優越的特性的電晶體應用於記憶體單元的寫入電晶體，而提供具有從來沒有的特徵的半導體裝置。

本實施例所示的結構、方法等可以與其他實施例所示的結構、方法等適當地組合而使用。

(實施例2)

在本實施例中，使用圖2A和2B及圖3A至3C對之前的實施例所示的半導體裝置的應用例子進行說明。

圖2A和2B是使用多個圖1A所示的半導體裝置（以下也表示為記憶體單元190）來形成的半導體裝置的電路圖。圖2A是記憶體單元190串聯連接的所謂NAND型半導體裝置的電路圖。圖2B是記憶體單元190並聯連接的所謂NOR型半導體裝置的電路圖。

圖2A所示的半導體裝置具有源極電極線SL、位元線BL、第一信號線S1、多個第二信號線S2、多個字線WL、多個記憶體單元190。圖2A示出具有有一個源極電極線SL及一個位線BL的結構，但是不侷限於此。可以採用具有多個源極電極線SL及位元線BL的結構。

在各記憶體單元190中，電晶體160的閘極電極、電晶體162的源極電極及汲極電極中的一者以及電容器164的電極中的一者電連接。另外，第一信號線S1與電晶體162的源極電極及汲極電極中的另一者電連接，第二信號線S2與電晶體162的閘極電極電連接。再者，字線WL與電容器164的電極中的另一者電連接。

另外，記憶體單元190所具有的電晶體160的源極電極與相鄰的記憶體單元190的電晶體160的汲極電極電連接，

記憶體單元 190 所具有的電晶體 160 的汲極電極與相鄰的記憶體單元 190 的電晶體 160 的源極電極電連接。但是，串聯連接的多個記憶體單元中的設置在一者的端部的記憶體單元 190 所具有的電晶體 160 的汲極電極與位線電連接。另外，串聯連接的多個記憶體單元中的設置在另一者的端部的記憶體單元 190 所具有的電晶體 160 的源極電極與源極電極線電連接。

圖 2A 所示的半導體裝置進行每行的寫入工作和讀取工作。以如下步驟進行寫入工作：對進行寫入的行的第二信號線 S2 施加使電晶體 162 成為導通狀態的電位，使進行寫入的行的電晶體 162 成為導通狀態。由此，對所指定的行的電晶體 160 的閘極電極施加第一信號線 S1 的電位，而對該閘極電極施加規定的電荷。像這樣，可以對所指定的行的記憶體單元寫入資料。

另外，以如下步驟進行讀取工作：首先，對進行讀取的行之外的字線 WL 施加不管電晶體 160 的閘極電極的電荷使電晶體 160 成為導通狀態的電位，使進行讀取的行之外的電晶體 160 成為導通狀態。然後，對進行讀取的行的字線 WL 施加根據電晶體 160 的閘極電極所具有的電荷選擇電晶體 160 的導通狀態或截止狀態的電位（讀取電位）。然後，對源極電極線 SL 施加恒定電位，使與位線 BL 連接的讀取電路（未圖示）成為工作狀態。這裏，源極電極線 SL-位線 BL 之間的多個電晶體 160 除了進行讀取的行之外處於導通狀態，所以根據進行讀取的行的電晶體 160 的狀態

，決定源極電極線SL-位線BL之間的導電性。就是說，根據進行讀取的行的電晶體160的閘極電極所具有的電荷，讀取電路所讀取的位元線BL的電位取不同的值。像這樣，可以從所指定的行的記憶體單元讀取資料。

圖2B所示的半導體裝置具有多個源極電極線SL、多個位線BL、多個第一信號線S1、多個第二信號線S2、多個字線WL以及多個記憶體單元190。各電晶體160的閘極電極、電晶體162的源極電極及汲極電極中的一者以及電容器164的電極中的一者電連接。另外，源極電極線SL與電晶體160的源極電極電連接，位線BL與電晶體160的汲極電極電連接。另外，第一信號線S1與電晶體162的源極電極及汲極電極中的另一者電連接，第二信號線S2與電晶體162的閘極電極電連接。再者，字線WL與電容器164的電極中的另一者電連接。

圖2B所示的半導體裝置進行每行的寫入工作和讀取工作。以與上述圖2A所示的半導體裝置相同的方法進行寫入工作。以如下步驟進行讀取工作：首先，對進行讀取的行之外的字線WL施加不管電晶體160的閘極電極的電荷使電晶體160成為截止狀態的電位，使進行讀取的行之外的電晶體160成為截止狀態。然後，對進行讀取的行的字線WL施加根據電晶體160的閘極電極所具有的電荷選擇電晶體160的導通狀態或截止狀態的電位（讀取電位）。然後，對源極電極線SL施加恒定電位，使與位線BL連接的讀取電路（未圖示）成為工作狀態。這裏，根據進行讀取的行

的電晶體 160 的狀態，決定源極電極線 SL-位線 BL 之間的導電性。就是說，根據進行讀取的行的電晶體 160 的閘極電極所具有的電荷，讀取電路所讀取的位元線 BL 的電位取不同的值。像這樣，可以從所指定的行的記憶體單元讀取資料。

接著，使用圖 3A 至 3C 對可用於圖 2A 和 2B 所示的半導體裝置等的讀取電路的一個例子進行說明。

圖 3A 示出讀取電路的概況。該讀取電路具有電晶體和讀取放大器電路。

當進行讀取時，端子 A 與連接到進行讀取的記憶體單元的位元線連接。另外，對電晶體的閘極電極施加偏電位 V_{bias} ，來控制端子 A 的電位。

根據所容納的資料，記憶體單元 190 示出不同的電阻值。明確地說，當所選擇的記憶體單元 190 的電晶體 160 處於導通狀態時成為低電阻狀態，當所選擇的記憶體單元 190 的電晶體 160 處於截止狀態時成為高電阻狀態。

當記憶體單元 190 處於高電阻狀態時，端子 A 的電位高於參考電位 V_{ref} ，讀取放大器輸出對應於端子 A 的電位的電位（資料“1”）。另一者面，當記憶體單元 190 處於低電阻狀態時，端子 A 的電位低於參考電位 V_{ref} ，讀取放大器電路輸出對應於端子 A 的電位的電位（資料“0”）。

像這樣，藉由使用讀取電路，可以從記憶體單元 190 讀取資料。另外，本實施例所示的讀取電路是一個例子。也可以使用其他已知的電路。此外，讀取電路也可以具有

預充電電路。也可以採用連接有參照用位線代替參考電位 V_{ref} 的結構。

圖 3B 示出讀取放大器電路的一個例子的差動讀取放大器。差動讀取放大器具有輸入端子 $V_{in}(+)$ 、輸入端子 $V_{in}(-)$ 以及輸出端子 V_{out} ，放大 $V_{in}(+)$ 與 $V_{in}(-)$ 之差。當 $V_{in}(+) > V_{in}(-)$ 時， V_{out} 大概成為 High 輸出，當 $V_{in}(+) < V_{in}(-)$ 時， V_{out} 大概成為 Low 輸出。當將該差動讀取放大器用於讀取電路時， $V_{in}(+)$ 和 $V_{in}(-)$ 中的一者與端子 A 連接，並且，對 $V_{in}(+)$ 和 $V_{in}(-)$ 中的另一者施加參考電位 V_{ref} 。

圖 3C 示出讀取放大器電路的一個例子的鎖存型讀取放大器。鎖存型讀取放大器具有輸入輸出端子 $V1$ 、輸入端子 $V2$ 、控制用信號 S_p 的輸入端子、控制用信號 S_n 的輸入端子。首先，將信號 S_p 設定為 High，並將信號 S_n 設定為 Low，來遮斷電源電位 (V_{dd})。然後，對 $V1$ 和 $V2$ 施加進行比較的電位。之後，在將信號 S_p 設定為 Low 並將信號 S_n 設定為 High 而供應電源電位 (V_{dd}) 的情況下，當進行比較的電位 $V1_{in}$ 和 $V2_{in}$ 處於 $V1_{in} > V2_{in}$ 的關係時， $V1$ 的輸出成為 High， $V2$ 的輸出成為 Low。當進行比較的電位 $V1_{in}$ 和 $V2_{in}$ 處於 $V1_{in} < V2_{in}$ 的關係時， $V1$ 的輸出成為 Low， $V2$ 的輸出成為 High。可以藉由利用這種關係，放大 $V1_{in}$ 和 $V2_{in}$ 之差。當將該鎖存型讀取放大器用於讀取電路時， $V1$ 和 $V2$ 中的一者藉由開關與端子 A 及輸出端子連接，並且，對 $V1$ 和 $V2$ 中的另一者施加參考電位 V_{ref} 。

本實施例所示的結構、方法等可以與其他實施例所示的結構、方法等適當地組合而使用。

(實施例3)

在本實施例中，參照圖7A至9E對根據所揭示的發明的一實施例的半導體裝置的結構及其製造方法進行說明。

<半導體裝置的截面結構及平面結構>

圖7A和7B是半導體裝置的結構的一個例子。圖7A示出半導體裝置的截面，而圖7B示出半導體裝置的平面。在此，圖7A相當於圖7B的A1-A2及B1-B2的截面。圖7A和7B所示的半導體裝置在下部具有使用氧化物半導體以外的半導體材料的電晶體160，並且，在上部具有使用氧化物半導體的電晶體162。使用氧化物半導體以外的半導體材料的電晶體160容易高速工作。另一者面，使用氧化物半導體的電晶體162由於其特性而可以將電荷保持很長時間。

另外，雖然說明上述電晶體為n通道型電晶體，但是當然也可以使用p通道型電晶體。另外，所揭示的發明的技術本質是爲了保持信息而將氧化物半導體用於電晶體162。所以，半導體裝置的具體結構不侷限於這裏所示的結構。

圖7A和7B中的電晶體160包括：設置在包括半導體材料（例如，矽等）的基板100中的通道形成區116；夾著通道形成區116而設置的雜質區114及高濃度雜質區120（將

它們一併稱為雜質區)；設置在通道形成區116上的閘極絕緣層108a；設置在閘極絕緣層108a上的閘極電極110a；電連接到雜質區的源極電極或汲極電極130a及源極電極或汲極電極130b。

在此，在閘極電極110a的側面設置有側壁絕緣層118。此外，在基板100的從垂直於表面的方向來看不重疊於側壁絕緣層118的區中具有高濃度雜質區120，並且，存在有接觸於高濃度雜質區120的金屬化合物區124。此外，在基板100上以圍繞電晶體160的方式設置有元件分離絕緣層106，並且，覆蓋電晶體160地設置有層間絕緣層126及層間絕緣層128。源極電極或汲極電極130a及源極電極或汲極電極130b藉由形成在層間絕緣層126及層間絕緣層128中的開口電連接到金屬化合物區124。就是說，源極電極或汲極電極130a及源極電極或汲極電極130b藉由金屬化合物區124電連接到高濃度雜質區120及雜質區114。此外，電極130c藉由形成在層間絕緣層126及層間絕緣層128中的開口電連接到閘極電極110a。注意，為了實現電晶體160的集成化等，而有時不形成側壁絕緣層118。

圖7A和7B中的電晶體162包括：設置在層間絕緣層128上的源極電極或汲極電極142a和源極電極或汲極電極142b；與源極電極或汲極電極142a和源極電極或汲極電極142b電連接的氧化物半導體層144；覆蓋源極電極或汲極電極142a、源極電極或汲極電極142b和氧化物半導體層144的閘極絕緣層146；在閘極絕緣層146上設置為重疊於氧化物

半導體層 144 的閘極電極 148a。

在此，較佳藉由充分去除氫等的雜質，或者供應足夠的氧，來使氧化物半導體層 144 高純度化。明確地說，例如將氧化物半導體層 144 的氫濃度設定為低於或等於 $5 \times 10^{19} \text{ atoms/cm}^3$ ，較佳為低於或等於 $5 \times 10^{18} \text{ atoms/cm}^3$ ，更較佳為低於或等於 $5 \times 10^{17} \text{ atoms/cm}^3$ 。另外，藉由二次離子質譜測定技術 (SIMS: Secondary Ion Mass Spectroscopy) 來測量上述氧化物半導體層 144 中的氫濃度。如此，在氫濃度被充分降低而被高純度化，並藉由供應足夠的氧來降低起因於氧缺乏的能隙中的缺陷能級的氧化物半導體層 144 中，載子濃度為低於 $1 \times 10^{12} / \text{cm}^3$ ，較佳為低於 $1 \times 10^{11} / \text{cm}^3$ ，更較佳為低於 $1.45 \times 10^{10} / \text{cm}^3$ 。例如，室溫下的截止電流（在此，每單位通道寬度 ($1 \mu\text{m}$) 的值）為 $100 \text{ zA}/\mu\text{m}$ 或以下，較佳為 $10 \text{ zA}/\mu\text{m}$ （ 1 zA (仄普托安培) 為 $1 \times 10^{-21} \text{ A}$ ）或以下。如此，藉由使用 i 型化（本質化）或實質上 i 型化的氧化物半導體，可以得到截止電流特性極為優良的電晶體 162。

另外，在圖 7A 和 7B 所示的電晶體 162 中，不將氧化物半導體層 144 加工為島狀，因此可以防止由於加工時的蝕刻而引起的氧化物半導體層 144 的污染。

電容器 164 包括源極電極或汲極電極 142a、氧化物半導體層 144、閘極絕緣層 146 和電極 148b。換言之，源極電極或汲極電極 142a 用作電容器 164 的一者電極，電極 148b 用作電容器 164 的另一者電極。

另外，在圖7A和7B所示的電容器164中，藉由層疊氧化物半導體層144和閘極絕緣層146，可以充分確保源極電極或汲極電極142a和電極148b之間的絕緣性。

另外，在電晶體162和電容器164中，較佳將源極電極或汲極電極142a、源極電極或汲極電極142b的端部形成為錐形形狀。在此，將錐形角例如設定為 30° 至 60° 。注意，錐形角是指當從垂直於截面（與基板的表面正交的面）的方向觀察到具有錐形形狀的層（例如，源極電極或汲極電極142a）時，該層的側面和底面所形成的傾斜角。藉由將源極電極或汲極電極142a、源極電極或汲極電極142b的端部形成為錐形形狀，可以提高氧化物半導體層144的覆蓋性，並防止斷開。

另外，在電晶體162和電容器164上設置有層間絕緣層150，在層間絕緣層150上設置有層間絕緣層152。

<半導體裝置的製造方法>

以下，說明上述半導體裝置的製造方法的一個例子。以下，首先，參照圖8A至8H說明下部的電晶體160的製造方法，然後，參照圖9A至9E說明上部的電晶體162的製造方法。

<下部的電晶體的製造方法>

首先，準備包括半導體材料的基板100（參照圖8A）。作為包括半導體材料的基板100，可以使用矽或碳化矽

等的單晶半導體基板、多晶半導體基板、矽鍺等的化合物半導體基板、SOI基板等。這裏，示出當作爲包括半導體材料的基板100而使用單晶矽基板時的一個例子。注意，一般來說，“SOI基板”是指具有在絕緣表面上設置有矽半導體層的結構的基板，但是在本說明書等中，作爲包括在絕緣表面上設置有由矽以外的材料構成的半導體層的結構的基板的概念而使用。換言之，“SOI基板”所具有半導體層不侷限於矽半導體層。此外，將具有在玻璃基板等絕緣基板上隔著絕緣層設置半導體層的結構的基板也包括在SOI基板中。

在基板100上形成用作用來形成元件分離絕緣層的掩模的保護層102（參照圖8A）。作爲保護層102，例如可以使用利用氧化矽、氮化矽、氧氮化矽等的材料的絕緣層。另外，在該製程的前後，也可以將賦予n型導電性的雜質元素、賦予p型導電性的雜質元素添加到基板100，以控制電晶體的臨界值電壓。在半導體爲矽時，作爲賦予n型的導電性的雜質，例如可以使用磷（P）、砷（As）等。另外，作爲賦予p型的導電性的雜質，例如可以使用硼（B）、鋁（Al）、鎵（Ga）等。

接著，使用上述保護層102作爲掩模進行蝕刻，去除不由保護層102覆蓋的區（露出的區）的基板100的一部分。由此，形成從其他半導體區分離的半導體區104（參照圖8B）。該蝕刻較佳使用乾蝕刻，但是也可以使用濕蝕刻。可以根據被蝕刻材料適當地選擇蝕刻氣體和蝕刻液。

接著，藉由覆蓋半導體區104地形成絕緣層，並且選擇性地去除重疊於半導體區104的區的絕緣層，形成元件分離絕緣層106（參照圖8B）。該絕緣層使用氧化矽、氮化矽、氧氮化矽等而形成。作為絕緣層的去除方法，有CMP等拋光處理或蝕刻處理等，可以使用任一種方法。另外，在形成半導體區104之後，或者，在形成元件分離絕緣層106之後，去除上述保護層102。

接著，在半導體區104上形成絕緣層，並且在該絕緣層上形成包含導電材料的層。

絕緣層是之後成為閘極絕緣層的層，該絕緣層較佳採用藉由CVD法或濺射法等來得到的包含氧化矽、氧氮化矽、氮化矽、氧化鉛、氧化鋁、氧化鋇、氧化釷、矽酸鉛（ $\text{HfSi}_x\text{O}_y(x>0,y>0)$ ）、添加有氮的矽酸鉛（ $\text{HfSi}_x\text{O}_y(x>0,y>0)$ ）、添加有氮的鋁酸鉛（ $\text{HfAl}_x\text{O}_y(x>0,y>0)$ ）等的膜的單層結構或多層結構即可。另外，也可以藉由高密度電漿處理或熱氧化處理使半導體區104的表面氧化或氮化，形成上述絕緣層。高密度電漿處理例如可以使用He、Ar、Kr、Xe等稀有氣體、氧、氧化氮、氮、氫、氬等的混合氣體來進行。另外，例如可以將絕緣層的厚度設定為1nm至100nm，較佳為10nm至50nm。

包含導電材料的層可以使用鋁、銅、鈦、鉭、鎢等的金屬材料而形成。另外，也可以藉由使用多晶矽等的半導體材料，形成包含導電材料的層。對形成方法也沒有特別的限制，可以使用蒸鍍法、CVD法、濺射法、旋塗法等

各種成膜方法。此外，在本實施例中，說明當使用金屬材料形成包含導電材料的層時的一個例子。

然後，藉由選擇性地蝕刻絕緣層和包含導電材料的層，形成閘極絕緣層 108a 和閘極電極 110a（參照圖 8C）。

接著，形成覆蓋閘極電極 110a 的絕緣層 112（參照圖 8C）。然後，藉由將磷（P）或砷（As）等添加到半導體區 104，形成其結深淺的雜質區 114（參照圖 8C）。這裏，雖然添加磷（P）或砷（As）以形成 n 型電晶體，但是也可以在形成 p 型電晶體時添加硼（B）或鋁（Al）等的雜質元素。藉由形成上述雜質區 114，在半導體區 104 的閘極絕緣層 108a 的下部形成通道形成區 116（參照圖 8C）。在此，雖然可以適當地設定所添加的雜質的濃度，但是較佳在半導體元件被高度微細化時提高其濃度。此外，這裏，雖然採用在形成絕緣層 112 之後形成雜質區 114 的製程，但是也可以採用在形成雜質區 114 之後形成絕緣層 112 的製程。

接著，形成側壁絕緣層 118（參照圖 8D）。可以在覆蓋絕緣層 112 地形成絕緣層之後，對該絕緣層及絕緣層 112 進行各向異性高的蝕刻處理，以自對準的方式形成側壁絕緣層 118。另外，此時，較佳藉由對絕緣層 112 的一部分進行蝕刻，暴露閘極電極 110a 的頂面和雜質區 114 的頂面。注意，爲了實現高集成化等而有時不形成側壁絕緣層 118。

接著，覆蓋閘極電極 110a、雜質區 114 和側壁絕緣層 118 等地形成絕緣層。並且，藉由將磷（P）或砷（As）等

添加到該絕緣層接觸雜質區 114 的區，形成高濃度雜質區 120（參照圖 8E）。然後，去除上述絕緣層，覆蓋閘極電極 110a、側壁絕緣層 118 和高濃度雜質區 120 等地形成金屬層 122（參照圖 8E）。該金屬層 122 可以使用真空蒸鍍法、濺射法和旋塗法等各種成膜方法形成。較佳使用與構成半導體區 104 的半導體材料起反應而成為低電阻的金屬化合物的金屬材料形成金屬層 122。作為上述金屬材料，例如有鈦、鋁、鎢、鎳、鈷、鉑等。

接著，進行熱處理，使上述金屬層 122 與半導體材料起反應。由此，形成接觸高濃度雜質區 120 的金屬化合物區 124（參照圖 8F）。另外，在使用多晶矽等作為閘極電極 110a 的情況下，還在閘極電極 110a 與金屬層 122 接觸的部分形成金屬化合物區。

作為上述熱處理，例如可以使用利用閃光燈的照射的熱處理。當然，也可以使用其他熱處理方法，為了提高在形成金屬化合物時的化學反應的控制性，較佳使用可以在極短時間內進行熱處理的方法。另外，上述金屬化合物區 124 由於金屬材料與半導體材料之間的反應而形成，該金屬化合物區 124 的導電性充分得到提高。藉由形成該金屬化合物區，可以充分降低電阻，並可以提高元件特性。另外，在形成金屬化合物區 124 之後，去除金屬層 122。

接著，覆蓋藉由上述製程形成的各結構地形成層間絕緣層 126 和層間絕緣層 128（參照圖 8G）。層間絕緣層 126 和層間絕緣層 128 可以使用包含氧化矽、氧氮化矽、氮化

矽、氧化鉛、氧化鋁、氧化鋇等無機絕緣材料的材料形成。此外，也可以使用聚醯亞胺、丙烯酸樹脂等有機絕緣材料形成層間絕緣層 126 和層間絕緣層 128。這裏，雖然示出層間絕緣層 126 和層間絕緣層 128 的疊層結構，但是所揭示的發明的一實施例不侷限於此。既可以採用單層，又可以採用三層以上的疊層結構。在形成層間絕緣層 128 之後，較佳對其表面進行 CMP 或蝕刻處理等而使其表面平坦化。

然後，在上述層間絕緣層中形成到達金屬化合物區 124 的開口，並且在該開口中形成源極電極或汲極電極 130a 和源極電極或汲極電極 130b（參照圖 8H）。例如，可以在包括開口的區中使用 PVD 法或 CVD 法等形成導電層，然後使用蝕刻處理或 CMP 等的方法去除上述導電層的一部分，以形成源極電極或汲極電極 130a 和源極電極或汲極電極 130b。

更明確地說，可以使用如下方法：例如，在包括開口的區中使用 PVD 法形成薄的鈦膜，並且使用 CVD 法形成薄的氮化鈦膜，然後將鎢膜形成為嵌入開口中。這裏，藉由 PVD 法形成的鈦膜具有還原被形成面上的氧化膜（自然氧化膜等），並且降低與下部電極等（這裏，金屬化合物區 124 等）的接觸電阻的功能。另外，之後形成的氮化鈦膜具有抑制導電材料的擴散的阻擋功能。另外，也可以在形成由鈦或氮化鈦等構成的障壁膜之後，使用鍍敷法形成銅膜。

另外，在藉由去除上述導電層的一部分形成源極電極

或汲極電極 130a、源極電極或汲極電極 130b時，較佳將其表面加工為平坦。例如，當在包含開口的區中形成薄的鈦膜或氮化鈦膜，然後將鎢膜形成為嵌入開口中時，可以在藉由之後的CMP去除多餘的鎢膜、鈦膜或氮化鈦膜等的同時提高其表面的平坦性。像這樣，藉由對包含源極電極或汲極電極 130a、源極電極或汲極電極 130b的表面進行平坦化，可以在之後的製程中形成優良的電極、佈線、絕緣層或半導體層等。

雖然這裏僅示出接觸金屬化合物區 124的源極電極或汲極電極 130a、源極電極或汲極電極 130b，但是也可以在該製程中還形成接觸閘極電極 110a的電極等。對可以用作源極電極或汲極電極 130a、源極電極或汲極電極 130b的材料沒有特別的限制，而可以使用各種導電材料。例如，可以使用鉬、鈦、鉻、鉭、鎢、鋁、銅、鈐和鈳等導電材料。此外，考慮到之後進行的熱處理，而較佳使用具有能夠承受熱處理程度的耐熱性的材料，來形成源極電極或汲極電極 130a、源極電極或汲極電極 130b。

藉由上述製程，形成使用包括半導體材料的基板 100的電晶體 160（參照圖 8H）。使用氧化物半導體以外的半導體材料的電晶體 160可以高速工作。

注意，在上述製程後，也可以形成電極、佈線、絕緣層等。藉由使用由層間絕緣層和導電層的疊層結構構成的多層佈線結構作為佈線的結構，可以提供高度集成化的半導體裝置。

<上部的電晶體的製造方法>

接著，參照圖9A至9E而說明在層間絕緣層128上製造電晶體162的製程。注意，因為圖9A至9E是說明層間絕緣層128上的各種電極、電晶體162等的製造製程的，所以省略存在於電晶體162的下部的電晶體160等。

首先，在層間絕緣層128上形成導電層，對該導電層進行選擇性的蝕刻，以形成源極電極或汲極電極142a、源極電極或汲極電極142b（參照圖9A）。

作為導電層，可以利用如濺射法等之PVD法或如電漿CVD法等之CVD法來形成。另外，作為導電層的材料，可以使用選自鋁、鉻、銅、鈮、鈦、鉬及鎢中的元素或以上述元素為成分的合金等。還可以使用選自錳、鎂、鋅、銻中的任一種或組合了多種上述元素的材料。另外，還可以使用將鋁與選自鈦、鈮、鎢、鉬、鉻、釹、銦中的元素或多種上述元素組合而成的材料。

導電層既可以採用單層結構又可以採用兩層以上的疊層結構。例如可以舉出：鈦膜或氮化鈦膜的單層結構；含有矽的鋁膜的單層結構；在鋁膜上層疊鈦膜的雙層結構；在氮化鈦膜上層疊鈦膜的雙層結構；層疊鈦膜、鋁膜及鈦膜的三層結構等。另外，當作為導電層而採用鈦膜或氮化鈦膜的單層結構時，具有易於將導電層加工為具有錐形形狀的源極電極或汲極電極142a及源極電極或汲極電極142b的優點。

另外，導電層還可以使用導電金屬氧化物來形成。作為導電金屬氧化物，可以使用氧化銦（ In_2O_3 ）、氧化錫（ SnO_2 ）、氧化鋅（ ZnO ）、氧化銦氧化錫合金（ $\text{In}_2\text{O}_3\text{-SnO}_2$ ，有時簡稱為ITO）、氧化銦氧化鋅合金（ $\text{In}_2\text{O}_3\text{-ZnO}$ ）或者含有矽或氧化矽的這些金屬氧化物材料。

較佳以形成的源極電極或汲極電極142a及源極電極或汲極電極142b的端部成為錐形形狀的方式對導電層進行蝕刻。這裏，錐形角例如較佳為 30° 至 60° 。藉由以源極電極或汲極電極142a及源極電極或汲極電極142b的端部成為錐形形狀的方式進行蝕刻，可以提高後面形成的閘極絕緣層146的覆蓋性，並防止斷開。

電晶體的通道長度（L）由源極電極或汲極電極142a的下端部與源極電極或汲極電極142b的下端部的間隔決定。另外，當形成通道長度（L）短於25nm的電晶體時，較佳使用波長短即幾nm至幾十nm的超紫外線（Extreme Ultraviolet）進行形成掩模時的曝光。利用超紫外線的曝光的解析度高且景深大。由此，可以將後面形成的電晶體的通道長度（L）設定為10nm至1000nm（ $1\mu\text{m}$ ），可以提高電路的工作速度。此外，藉由微細化，可以降低半導體裝置的耗電量。

另外，還可以在層間絕緣層128上設置用作基底的絕緣層。該絕緣層可以藉由利用PVD法、CVD法等來形成。

此外，在源極電極或汲極電極142a及源極電極或汲極電極142b上形成絕緣層。藉由設置該絕緣層，可以降低之

後形成的閘極電極與源極電極或汲極電極 142a 及源極電極或汲極電極 142b 之間的寄生電容。

接著，以覆蓋源極電極或汲極電極 142a 及源極電極或汲極電極 142b 的方式形成氧化物半導體層 144（參照圖 9B）。

作為氧化物半導體層 144，可以使用如下氧化物半導體來形成：四元金屬氧化物的 In-Sn-Ga-Zn-O 類；三元金屬氧化物的 In-Ga-Zn-O 類、In-Sn-Zn-O 類、In-Al-Zn-O 類、Sn-Ga-Zn-O 類、Al-Ga-Zn-O 類、Sn-Al-Zn-O 類；二元金屬氧化物的 In-Zn-O 類、Sn-Zn-O 類、Al-Zn-O 類、Zn-Mg-O 類、Sn-Mg-O 類、In-Mg-O 類；一元金屬氧化物的 In-O 類、Sn-O 類、Zn-O 類等。

尤其是 In-Ga-Zn-O 類的氧化物半導體材料，由於其在無電場時的電阻足夠高而可以充分降低截止電流，並且，與通常的矽半導體相比，電場效應遷移率也高，所以作為用於半導體裝置的半導體材料十分合適。

作為 In-Ga-Zn-O 類的氧化物半導體材料的典型例子，有表示為 $\text{InGaO}_3(\text{ZnO})_m$ ($m > 0$) 的氧化物半導體材料。此外，還有使用 M 代替 Ga 的表示為 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) 的氧化物半導體材料。在此，M 表示選自鎵 (Ga)、鋁 (Al)、鐵 (Fe)、鎳 (Ni)、錳 (Mn)、鈷 (Co) 等中的一種金屬元素或多種金屬元素。例如，作為 M，可以採用 Ga、Ga 及 Al、Ga 及 Fe、Ga 及 Ni、Ga 及 Mn、Ga 及 Co 等。另外，上述組成是根據結晶結構而導出的，僅表示一個例子

作為用於以濺射法形成氧化物半導體層144的靶材，較佳使用由 $\text{In:Ga:Zn}=1:x:y$ （ x 為0或更大， y 為0.5至5）的組成比表示的靶材。例如，可以使用其組成比為 $\text{In:Ga:Zn}=1:1:1$ [atom比]（ $x=1$ ， $y=1$ ）（就是說， $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:2$ [摩爾數比]）的靶材等。另外，還可以使用其組成比為 $\text{In:Ga:Zn}=1:1:0.5$ [atom比]（ $x=1$ ， $y=0.5$ ）（就是說， $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ [摩爾數比]）的靶材、其組成比為 $\text{In:Ga:Zn}=1:1:2$ [atom比]（ $x=1$ ， $y=2$ ）（就是說， $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:4$ [摩爾數比]）的靶材、其組成比為 $\text{In:Ga:Zn}=1:0:1$ [atom比]（ $x=0$ ， $y=1$ ）（就是說， $\text{In}_2\text{O}_3:\text{ZnO}=1:2$ [摩爾數比]）的靶材。

在本實施例中，利用使用 In-Ga-Zn-O 類的金屬氧化物靶材的濺射法形成非晶結構的氧化物半導體層144。

將金屬氧化物靶材中的金屬氧化物的相對密度設定為80%或更高，較佳為95%或更高，更較佳為99.9%或更高。藉由使用相對密度高的金屬氧化物靶材，可以形成具有緻密結構的氧化物半導體層144。

氧化物半導體層144的形成氛圍較佳為稀有氣體（典型為氬）氛圍、氧氛圍或稀有氣體（典型為氬）和氧的混合氛圍。明確地說，例如，較佳使用氬、水、羥基或氫化物等的雜質的濃度被降低到1ppm或以下（較佳的是濃度為10ppb或以下）的高純度氣體氛圍。

當形成氧化物半導體層144時，例如，將被處理物保

持於維持為減壓狀態的處理室內，並對被處理物進行加熱以使被處理物的溫度達到高於或等於 100°C 且低於 550°C ，較佳為 200°C 至 400°C 。或者，也可以將形成氧化物半導體層144時的被處理物的溫度設定為室溫。然後，邊去除處理室內的水分邊引入去除了氫或水等的濺射氣體，並使用上述靶材形成氧化物半導體層144。藉由邊加熱被處理物邊形成氧化物半導體層144，可以減少氧化物半導體層144所含有的雜質。另外，可以減輕因濺射而帶來的損傷。較佳使用吸附式真空泵去除處理室內的水分。例如，可以使用低溫泵、離子泵、鈦昇華泵等。另外，還可以使用裝備有冷阱的渦輪泵。由於藉由使用低溫泵等進行排氣，可以從處理室去除氫或水等，因此可以降低氧化物半導體層144中的雜質濃度。

作為氧化物半導體層144的形成條件，例如可以採用以下條件：被處理物與靶材之間的距離為 170mm ，壓力為 0.4Pa ，直流（DC）電力為 0.5kW ，氛圍為氧（氧100%）氛圍、氫（氫100%）氛圍或氧和氫的混合氛圍。另外，當利用脈衝直流（DC）電源時，可以減少塵屑（在成膜時形成的粉狀物質等）並且膜厚分佈也變得均勻，所以是較佳的。將氧化物半導體層144的厚度設定為 1nm 至 50nm ，較佳為 1nm 至 30nm ，更較佳為 1nm 至 10nm 。藉由採用該厚度的氧化物半導體層144，可以抑制伴隨微細化的短通道效應。但是，由於根據使用的氧化物半導體材料、半導體裝置的用途等而所適宜的厚度也不同，所以可以根據使用的

材料、用途等而選擇氧化物半導體層 144 的厚度。

另外，在利用濺射法形成氧化物半導體層 144 之前，較佳進行藉由引入氬氣體來產生電漿的反濺射來去除形成表面（例如層間絕緣層 128 的表面）的附著物。這裏，反濺射是指以下一種方法：在通常的濺射中使離子碰撞到濺射靶材，而反濺射與此相反，其藉由使離子碰撞到處理表面來改變表面的性質。作為使離子碰撞到處理表面的方法，有如下方法等：在氬氛圍下對處理表面一側施加高頻電壓以在被處理物附近產生電漿的方法。另外，也可以使用氮、氬、氧等氛圍而代替氬氛圍。

然後，較佳對氧化物半導體層 144 進行熱處理（第一熱處理）。藉由該第一熱處理，可以去除氧化物半導體層 144 中的過量的氫（包括水或羥基）並改善氧化物半導體層的結構，從而降低能隙中的缺陷能級。例如，將第一熱處理的溫度設定為高於或等於 300℃ 且低於 550℃，或者 400℃ 至 500℃。

作為熱處理，例如，可以將被處理物放入使用電阻發熱體等的電爐中，並在氮氛圍下以 450℃ 加熱 1 個小時。在此期間，不使氧化物半導體層 144 接觸大氣以防止水或氫的混入。

熱處理裝置不限於電爐，還可以使用利用被加熱的氣體等的介質的熱傳導或熱輻射來加熱被處理物的裝置。例如，可以使用 GRTA（Gas Rapid Thermal Anneal：氣體快速熱退火）裝置、LRTA（Lamp Rapid Thermal Anneal：

燈快速熱退火)裝置等的RTA(Rapid Thermal Anneal:快速熱退火)裝置。LRTA裝置是藉由利用從鹵素燈、金鹵燈、氙弧燈、碳弧燈、高壓鈉燈或者高壓汞燈等的燈發射的光(電磁波)的輻射來加熱被處理物的裝置。GRTA裝置是使用高溫氣體進行熱處理的裝置。作為氣體,使用如氬等的稀有氣體或如氮等的即使進行熱處理也不與被處理物產生反應的惰性氣體。

例如,作為第一熱處理,可以採用GRTA處理,即將被處理物放入被加熱的惰性氣體氛圍中,進行幾分鐘的加熱後,從該惰性氣體氛圍中取出被處理物。藉由利用GRTA處理,可以在短時間內進行高溫熱處理。另外,即使溫度條件超過被處理物的耐熱溫度,也有可能適用該方法。另外,在處理中,還可以將惰性氣體轉換為含有氧的氣體。這是因為如下緣故:藉由在含有氧的氛圍中進行第一熱處理,可以降低由於氧缺損而引起的能隙中的缺陷能級。

另外,作為惰性氣體氛圍,較佳採用以氮或稀有氣體(氮、氬、氙等)為主要成分且不含有水、氫等的氛圍。例如,將引入熱處理裝置中的氮或氬、氬、氙等的稀有氣體的純度設定為高於或等於6N(99.9999%),較佳為高於或等於7N(99.99999%)(即,雜質濃度為低於或等於1ppm,較佳為低於或等於0.1ppm)。

總之,藉由利用第一熱處理減少雜質以形成i型(本質半導體)或無限接近於i型的氧化物半導體層144,可以

實現具有極為優越特性的電晶體。

另外，上述熱處理（第一熱處理）具有去除氫或水等的作用，所以也可以將該熱處理稱為脫水化處理或脫氫化處理等。也可以在形成氧化物半導體層之後、形成閘極絕緣層之後或形成閘極電極之後等進行該脫水化處理或該脫氫化處理。另外，該脫水化處理、脫氫化處理不限於一次，而可以進行多次。

接著，形成接觸氧化物半導體層144的閘極絕緣層146（參照圖9C）。閘極絕緣層146可以利用CVD法或濺射法等形成。另外，閘極絕緣層146較佳以含有氧化矽、氮化矽、氧氮化矽、氧化鋁、氧化鉭、氧化鉛、氧化釷、矽酸鉛（ HfSi_xO_y ($x>0$ 、 $y>0$))、添加有氮的矽酸鉛（ HfSi_xO_y ($x>0$ 、 $y>0$))、添加有氮的鋁酸鉛（ HfAl_xO_y ($x>0$ 、 $y>0$))等的方式形成。閘極絕緣層146既可以採用單層結構，又可以採用疊層結構。另外，雖然對其厚度沒有特別的限定，但是當對半導體裝置進行微細化時，為了確保電晶體的工作而較佳將其形成得較薄。例如，當使用氧化矽時，可以將閘極絕緣層146形成為1nm至100nm，較佳為10nm至50nm。

當如上述那樣將閘極絕緣層形成得較薄時，存在由於穿隧效應等而發生閘極洩漏的問題。為了解決閘極洩漏的問題，可以使用如氧化鉛、氧化鉭、氧化釷、矽酸鉛（ HfSi_xO_y ($x>0$ 、 $y>0$))、添加有氮的矽酸鉛（ HfSi_xO_y ($x>0$ 、 $y>0$))、添加有氮的鋁酸鉛（ HfAl_xO_y ($x>0$ 、 $y>0$))等的

高介電常數 (high-k) 材料作為閘極絕緣層 146。藉由將高介電常數 (high-k) 材料用於閘極絕緣層 146，可以在確保電特性的條件下抑制閘極洩漏，所以可以將膜厚度設定得大。另外，還可以採用由含有高介電常數 (high-k) 材料的膜和含有氧化矽、氮化矽、氧氮化矽、氮氧化矽和氧化鋁等中的任一種的膜構成的疊層結構。

較佳在形成閘極絕緣層 146 之後，在惰性氣體氛圍下或氧氛圍下進行第二熱處理。熱處理的溫度為 200℃ 至 450℃，較佳為 250℃ 至 350℃。例如，可以在氮氛圍下以 250℃ 進行 1 個小時的熱處理。藉由進行第二熱處理，可以降低電晶體的電特性的不均勻性。另外，當閘極絕緣層 146 含有氧時，向氧化物半導體層 144 供給氧，填補該氧化物半導體層 144 的氧缺陷，而可以形成 i 型（本質半導體）或無限接近於 i 型的氧化物半導體層。

另外，在本實施例中，雖然在形成閘極絕緣層 146 之後進行第二熱處理，但是第二熱處理的時序不特別限定於此。例如，也可以在形成閘極電極之後進行第二熱處理。另外，既可以在第一熱處理之後連續進行第二熱處理，又可以使第一熱處理還具有第二熱處理的作用，或使第二熱處理還具有第一熱處理的作用。

接著，在閘極絕緣層 146 上的與氧化物半導體層 144 重疊的區上形成閘極電極 148a，並且，在閘極絕緣層 146 上的與源極電極或汲極電極 142a 重疊的區上形成電極 148b（參照圖 9D）。藉由在閘極絕緣層 146 上形成導電層之後，

對該導電層進行選擇性的蝕刻來形成閘極電極 148a 及電極 148b。成為閘極電極 148a 及電極 148b 的導電層可以利用如濺射法等 PVD 法或如電漿 CVD 法等 CVD 法來形成。其詳細內容與形成源極電極或汲極電極 142a 等的情況相同而可以參照關於它們的記載內容。

接著，在閘極絕緣層 146、閘極電極 148a 及電極 148b 上形成層間絕緣層 150 及層間絕緣層 152（參照圖 9E）。層間絕緣層 150 及層間絕緣層 152 可以利用 PVD 法或 CVD 法等形式形成。另外，還可以使用含有氧化矽、氧氮化矽、氮化矽、氧化鉛、氧化鋁、氧化鉭等的無機絕緣材料的材料形成。另外，在本實施例中，雖然採用層間絕緣層 150 與層間絕緣層 152 的疊層結構，但是所揭示的發明的一實施例不限定於此。既可以採用單層結構，又可以採用三層以上的疊層結構。另外，也可以不設置層間絕緣層。

另外，較佳將上述層間絕緣層 152 的表面形成得較為平坦。這是因為如下緣故：藉由將層間絕緣層 152 的表面形成得較為平坦，當使半導體裝置微細化等時，也可以在層間絕緣層 152 上順利地形成電極或佈線等。另外，可以利用 CMP（化學機械拋光）等方法進行層間絕緣層 152 的平坦化。

藉由上述步驟完成使用被高純度化的氧化物半導體層 144 的電晶體 162（參照圖 9E）。此外，完成電容器 164。

圖 9E 所示的電晶體 162 包括：氧化物半導體層 144；電連接到氧化物半導體層 144 的源極電極或汲極電極 142a 及

源極電極或汲極電極 142b；覆蓋氧化物半導體層 144、源極電極或汲極電極 142a及源極電極或汲極電極 142b的閘極絕緣層 146；閘極絕緣層 146上的閘極電極 148a。此外，電容器 164包括：源極電極或汲極電極 142a；氧化物半導體層 144；覆蓋氧化物半導體層 144及源極電極或汲極電極 142a的閘極絕緣層 146；閘極絕緣層 146上的電極 148b。

在本實施例所示的電晶體 162中，由於氧化物半導體層 144被高純度化，所以其氫濃度為低於或等於 $5 \times 10^{19} \text{ atoms/cm}^3$ ，較佳為低於或等於 $5 \times 10^{18} \text{ atoms/cm}^3$ ，更較佳為低於或等於 $5 \times 10^{17} \text{ atoms/cm}^3$ 。另外，氧化物半導體層 144的載子密度比通常的矽晶圓中的載子密度（ $1 \times 10^{14} / \text{cm}^3$ 左右）小得多（例如，低於 $1 \times 10^{12} / \text{cm}^3$ ，更較佳為低於 $1.45 \times 10^{10} / \text{cm}^3$ ）。並且，由此，截止電流變得足夠小。例如，電晶體 162的室溫下的截止電流（這裏，每單位通道寬度（ $1 \mu\text{m}$ ）的值）成為 $100 \text{ zA}/\mu\text{m}$ 或以下，較佳為 $10 \text{ zA}/\mu\text{m}$ （ 1 zA （仄普托安培）為 $1 \times 10^{-21} \text{ A}$ ）或以下。

如此，藉由使用被高純度化而被本質化的氧化物半導體層 144，可以充分地降低電晶體的截止電流。並且，藉由使用這種電晶體，可以得到能夠在極長期間內保持儲存內容的半導體裝置。

如上所述，可以將本實施例所示的結構、方法等與其他實施例所示的結構、方法等適當地組合而使用。

（實施例 4）

在本實施例中，參照圖10A至11D而說明與實施例3不同的根據所揭示的發明的一實施例的半導體裝置的結構及其製造方法。

<半導體裝置的截面結構及平面結構>

圖10A和10B是半導體裝置的結構的一個例子。圖10A示出半導體裝置的截面，而圖10B示出半導體裝置的平面。在此，圖10A相當於圖10B的A1-A2及B1-B2的截面。圖10A及10B所示的半導體裝置在下部具有使用氧化物半導體以外的半導體材料的電晶體160，並且，在上部具有使用氧化物半導體的電晶體162。使用氧化物半導體以外的半導體材料的電晶體160容易高速工作。另一者面，使用氧化物半導體的電晶體162由於其特性而可以將電荷保持很長時間。

另外，雖然說明上述電晶體為n通道型電晶體，但是當然也可以使用p通道型電晶體。另外，所揭示的發明的技術本質是爲了保持信息而將氧化物半導體用於電晶體162。所以，半導體裝置的具體結構不侷限於這裏所示的結構。

圖10A和10B中的電晶體160包括：設置在包括半導體材料（例如，矽等）的基板100中的通道形成區116；夾著通道形成區116而設置的雜質區114及高濃度雜質區120（將它們總只稱爲雜質區）；設置在通道形成區116上的閘極絕緣層108a；設置在閘極絕緣層108a上的閘極電極110a

；電連接到雜質區的源極電極或汲極電極 130a 及源極電極或汲極電極 130b。此外，在源極電極或汲極電極 130a 及源極電極或汲極電極 130b 上具有佈線 142c 及佈線 142d。

在此，在閘極電極 110a 的側面設置有側壁絕緣層 118。此外，在基板 100 中的從垂直於表面的方向來看不重疊於側壁絕緣層 118 的區中具有高濃度雜質區 120，並且，存在有接觸於高濃度雜質區 120 的金屬化合物區 124。此外，在基板 100 上以圍繞電晶體 160 的方式設置有元件分離絕緣層 106。以在閘極電極 110a 上具有開口並且覆蓋電晶體 160 的方式設置有層間絕緣層 126 及層間絕緣層 128。源極電極或汲極電極 130a 及源極電極或汲極電極 130b 藉由形成在層間絕緣層 126 及層間絕緣層 128 中的開口電連接到金屬化合物區 124。就是說，源極電極或汲極電極 130a 及源極電極或汲極電極 130b 藉由金屬化合物區 124 電連接到高濃度雜質區 120 及雜質區 114。注意，爲了實現電晶體 160 的集成化等，而有時不形成側壁絕緣層 118。

圖 10A 和 10B 中的電晶體 162 包括：設置在層間絕緣層 128 上的源極電極或汲極電極 142a 和源極電極或汲極電極 142b；與源極電極或汲極電極 142a 和源極電極或汲極電極 142b 電連接的島狀氧化物半導體層 144；覆蓋源極電極或汲極電極 142a、源極電極或汲極電極 142b 和島狀氧化物半導體層 144 的閘極絕緣層 146；在閘極絕緣層 146 上設置爲重疊於島狀氧化物半導體層 144 的閘極電極 148a。

在此，下部的電晶體 160 和上部的電晶體 162 藉由在閘

極電極 110a 上直接形成源極電極或汲極電極 142a 彼此電連接。就是說，本實施例所示的半導體裝置採用在實施例 3 所示的半導體裝置中從閘極電極 110a 的頂面去除上部，並且，在下部的電晶體 160 上形成上部電晶體 162 的結構。

注意，較佳藉由充分去除氫等的雜質，或者供應足夠的氧，來使氧化物半導體層 144 高純度化。明確地說，例如將氧化物半導體層 144 的氫濃度設定為低於或等於 $5 \times 10^{19} \text{ atoms/cm}^3$ ，較佳為低於或等於 $5 \times 10^{18} \text{ atoms/cm}^3$ ，更較佳為低於或等於 $5 \times 10^{17} \text{ atoms/cm}^3$ 。另外，藉由二次離子質譜測定技術 (SIMS: Secondary Ion Mass Spectroscopy) 來測量上述氧化物半導體層 144 中的氫濃度。如此，在氫濃度被充分降低而被高純度化並供應足夠的氧來降低起因於氧缺乏的能隙中的缺陷能級的氧化物半導體層 144 中，載子濃度為低於 $1 \times 10^{12} / \text{cm}^3$ ，較佳為低於 $1 \times 10^{11} / \text{cm}^3$ ，更較佳為低於 $1.45 \times 10^{10} / \text{cm}^3$ 。例如，室溫下的截止電流（在此，每單位通道寬度 ($1 \mu\text{m}$) 的值）為 $100 \text{ zA}/\mu\text{m}$ 或以下，較佳為 $10 \text{ zA}/\mu\text{m}$ （ 1 zA (仄普托安培) 為 $1 \times 10^{-21} \text{ A}$ ）或以下。如此，藉由使用 i 型化（本質化）或實質上 i 型化的氧化物半導體，可以得到截止電流特性極為優良的電晶體 162。

電容器 164 包括源極電極或汲極電極 142a、氧化物半導體層 144、閘極絕緣層 146 和電極 148b。換言之，源極電極或汲極電極 142a 用作電容器 164 的一者電極，電極 148b 用作電容器 164 的另一者電極。

在圖 10A 和 10B 所示的電容器 164 中，藉由層疊氧化物

半導體層 144 和閘極絕緣層 146，可以充分確保源極電極或汲極電極 142a 和電極 148b 之間的絕緣性。

在電晶體 162 和電容器 164 中，較佳將源極電極或汲極電極 142a、源極電極或汲極電極 142b 的端部形成為錐形形狀。在此，將錐形角例如設定為 30° 至 60° 。注意，錐形角是指當從垂直於截面（與基板的表面正交的面）的方向觀察到具有錐形形狀的層（例如，源極電極或汲極電極 142a）時，該層的側面和底面所形成的傾斜角。藉由將源極電極或汲極電極 142a、源極電極或汲極電極 142b 的端部形成為錐形形狀，可以提高氧化物半導體層 144 的覆蓋性，並防止斷開。

另外，在電晶體 162 和電容器 164 上設置有層間絕緣層 150，在層間絕緣層 150 上設置有層間絕緣層 152。

<半導體裝置的製造方法>

接著，說明上述半導體裝置的製造方法的一例。下面，參照圖 11A 至 11D 而說明在形成下部的電晶體 160 後製造上部的電晶體 162 的方法。下部的電晶體 160 可以利用與實施例 3 所示的方法同樣的方法來製造，而可以參酌實施例 3 的記載。

首先，在利用實施例 3 所示的方法形成下部的電晶體 160 後，從電晶體 160 的閘極電極 110a 的頂面去除上部（參照圖 11A）。電晶體 160 的該部分的去除藉由直到閘極電極 110a 的頂面露出進行對下部的電晶體 160 的研磨處理（

CMP處理)來實現。由此，去除閘極電極110a上的層間絕緣層126和128、源極電極或汲極電極130a和130b。此時，藉由使包括層間絕緣層126和128、源極電極或汲極電極130a和130b的表面平坦化，可以在後面的製程中形成良好的電極、佈線、絕緣層、半導體層等。此外，由於實施例3所示的電極130c藉由該CMP處理而被完全去除，所以沒需要形成。

如此，藉由進行CMP處理來使閘極電極110a的頂面露出，可以使閘極電極110a和源極電極或汲極電極142a直接連接，所以可以容易實現電晶體160和電晶體162的電連接。

接著，在層間絕緣層126及128上形成導電層，對該導電層進行選擇性的蝕刻，形成源極電極或汲極電極142a、源極電極或汲極電極142b、佈線142c、佈線142d(參照圖11B)。在此，源極電極或汲極電極142a與閘極電極110a直接連接，佈線142c與源極電極或汲極電極130a直接連接，並且，佈線142d與源極電極或汲極電極130b直接連接。

在此，形成源極電極或汲極電極142a、源極電極或汲極電極142b、佈線142c、佈線142d的導電層可以使用與實施例3所示的材料同樣的材料，而可以參酌實施例3的記載。此外，對導電層的蝕刻也可以與實施例3所示的方法同樣地進行，而可以參酌實施例3的記載。

此外，如實施例3所示，還可以在源極電極或汲極電極142a及源極電極或汲極電極142b上形成絕緣層。藉由設

置該絕緣層，可以降低之後形成的閘極電極與源極電極或汲極電極 142a 及源極電極或汲極電極 142b 之間的寄生電容。

接著，以覆蓋源極電極或汲極電極 142a、源極電極或汲極電極 142b、佈線 142c 及佈線 142d 的方式形成氧化物半導體層，對該氧化物半導體層進行選擇性的蝕刻，以接觸於源極電極或汲極電極 142a、源極電極或汲極電極 142b 地形成氧化物半導體層 144（參照圖 11C）。

氧化物半導體層可以使用與實施例 3 所示的材料同樣的材料及方法形成。因此，關於氧化物半導體層的材料及成膜方法，可以參酌實施例 3。

藉由使用掩模的蝕刻等方法來將如此形成的氧化物半導體層加工為島狀，形成島狀氧化物半導體層 144。

作為氧化物半導體層的蝕刻可以採用乾蝕刻或濕蝕刻。當然，也可以組合乾蝕刻和濕蝕刻而使用。為了將氧化物半導體層蝕刻為所希望的形狀，根據材料而適當地設定蝕刻條件（蝕刻氣體、蝕刻液、蝕刻時間、溫度等）。

此外，如實施例 3 所示，較佳對氧化物半導體層 144 進行熱處理（第一熱處理）。第一熱處理可以利用實施例 3 所示的方法進行，而可以參酌實施例 3。藉由利用第一熱處理降低雜質，形成 i 型（本質半導體）或無限接近於 i 型的氧化物半導體層 144，可以實現具有極為優越特性的電晶體。注意，第一熱處理既可以在蝕刻氧化物半導體層之前進行，又可以在藉由蝕刻將氧化物半導體層加工為島狀

之後進行。

接著，形成接觸於氧化物半導體層 144 的閘極絕緣層 146（參照圖 11C）。

閘極絕緣層 146 可以使用與實施例 3 所示的材料同樣的材料及方法形成。因此，關於閘極絕緣層 146 的材料及成膜方法，可以參酌實施例 3。

另外，較佳在形成閘極絕緣層 146 後，如實施例 3 所示，在惰性氣體氛圍下或氧氛圍下進行第二熱處理。第二熱處理可以使用實施例 3 所示的方法進行，而可以參酌實施例 3 的記載。藉由進行第二熱處理，可以降低電晶體的電特性的不均勻性。另外，當閘極絕緣層 146 含有氧時，向氧化物半導體層 144 供給氧，填補該氧化物半導體層 144 的氧缺陷，而可以形成 i 型（本質半導體）或無限接近於 i 型的氧化物半導體層。

另外，在本實施例中，雖然在形成閘極絕緣層 146 之後進行第二熱處理，但是第二熱處理的時序不特別限定於此。例如，也可以在形成閘極電極之後進行第二熱處理。另外，既可以在第一熱處理之後連續地進行第二熱處理，又可以使第一熱處理還具有第二熱處理的作用，或使第二熱處理還具有第一熱處理的作用。

接著，在閘極絕緣層 146 上的與氧化物半導體層 144 重疊的區上形成閘極電極 148a，並且，在閘極絕緣層 146 上的與源極電極或汲極電極 142a 重疊的區上形成電極 148b（參照圖 11D）。藉由在閘極絕緣層 146 上形成導電層之後，

對該導電層進行選擇性的蝕刻來形成閘極電極 148a 及電極 148b。成為閘極電極 148a 及電極 148b 的導電層可以利用如濺射法等 PVD 法或如電漿 CVD 法等 CVD 法來形成。其詳細內容與形成源極電極或汲極電極 142a 等的情況相同而可以參照關於它們的記載內容。

接著，如實施例 3 所示，在閘極絕緣層 146、閘極電極 148a、電極 148b 上形成層間絕緣層 150 及層間絕緣層 152。層間絕緣層 150 及層間絕緣層 152 可以使用與實施例 3 所示的材料同樣的材料及方法形成。由此，關於層間絕緣層 150 及層間絕緣層 152 的材料及形成方法，可以參酌實施例 3。

另外，較佳將上述層間絕緣層 152 的表面形成得較為平坦。這是因為如下緣故：藉由將層間絕緣層 152 的表面形成得較為平坦，當使半導體裝置微細化等時，也可以在層間絕緣層 152 上順利地形成電極或佈線等。另外，可以利用 CMP（化學機械拋光）等方法進行層間絕緣層 152 的平坦化。

藉由上述步驟完成使用被高純度化的氧化物半導體層 144 的電晶體 162（參照圖 10A 和 10B）。此外，完成電容器 164。

圖 10A 和 10B 所示的電晶體 162 包括：氧化物半導體層 144；電連接到氧化物半導體層 144 的源極電極或汲極電極 142a 及源極電極或汲極電極 142b；覆蓋氧化物半導體層 144、源極電極或汲極電極 142a 及源極電極或汲極電極

142b的閘極絕緣層146；閘極絕緣層146上的閘極電極148a。此外，電容器164包括：源極電極或汲極電極142a；氧化物半導體層144；覆蓋氧化物半導體層144及源極電極或汲極電極142a的閘極絕緣層146；閘極絕緣層146上的電極148b。

在本實施例所示的電晶體162中，由於氧化物半導體層144被高純度化，所以其氫濃度為低於或等於 $5 \times 10^{19} \text{ atoms/cm}^3$ ，較佳為低於或等於 $5 \times 10^{18} \text{ atoms/cm}^3$ ，更較佳為低於或等於 $5 \times 10^{17} \text{ atoms/cm}^3$ 。另外，氧化物半導體層144的載子密度比通常的矽晶圓中的載子密度（ $1 \times 10^{14} / \text{cm}^3$ 左右）小得多（例如，低於 $1 \times 10^{12} / \text{cm}^3$ ，更較佳為低於 $1.45 \times 10^{10} / \text{cm}^3$ ）。並且，由此，截止電流變得足夠小。例如，電晶體162的室溫下的截止電流（在此，每單位通道寬度（ $1 \mu\text{m}$ ）的值）為 $100 \text{ zA}/\mu\text{m}$ 或以下，較佳為 $10 \text{ zA}/\mu\text{m}$ （ 1 zA （仄普托安培）為 $1 \times 10^{-21} \text{ A}$ ）或以下。

如此，藉由使用被高純度化而被本質化的氧化物半導體層144，可以充分地降低電晶體的截止電流。並且，藉由使用這種電晶體，可以得到能夠在極長期間內保持儲存內容的半導體裝置。

如上所述，可以將本實施例所示的結構、方法等與其他實施例所示的結構、方法等適當地組合而使用。

（實施例5）

在本實施例中，參照圖4A至圖6C而說明與實施例3、

實施例 4 不同的根據所揭示的發明的一實施例的半導體裝置的結構及其製造方法。

<半導體裝置的截面結構及平面結構>

圖 4A 和 4B 是半導體裝置的結構的一個例子。圖 4A 示出半導體裝置的截面，而圖 4B 示出半導體裝置的平面。在此，圖 4A 相當於圖 4B 的 C1-C2 及 D1-D2 的截面。在圖 4B 的平面圖中，爲了避免成爲複雜，而省略源極電極或汲極電極 154、佈線 156 等的結構要素的一部分。圖 4A 及 4B 所示的半導體裝置在下部具有使用氧化物半導體以外的半導體材料的電晶體 160，並且，在上部具有使用氧化物半導體的電晶體 162。使用氧化物半導體以外的半導體材料的電晶體 160 容易高速工作。另一者面，使用氧化物半導體的電晶體 162 由於其特性而可以將電荷保持很長時間。

另外，雖然說明上述電晶體爲 n 通道型電晶體，但是當然也可以使用 p 通道型電晶體。另外，所揭示的發明的技術本質是爲了保持信息而將氧化物半導體用於電晶體 162。所以，半導體裝置的具體結構不侷限於這裏所示的結構。

圖 4A 和 4B 所示的半導體裝置與前面的實施例所示的半導體裝置之間的不同之一是半導體裝置的平面佈局。在本實施例中，將電晶體 162 及電容器 164 設置得重疊於電晶體 160。藉由採用這種平面佈局，可以實現高集成化。例如，可以將最小加工尺寸設定爲 F，並且，將記憶體單元所

佔有的面積設定為 $15F^2$ 至 $25F^2$ 。

圖 4A 和 4B 所示的半導體裝置與前面的實施例所示的半導體裝置之間的不同之另一是在電晶體 160 中有沒有側壁絕緣層 118。就是說，圖 4A 和 4B 所示的半導體裝置不具有側壁絕緣層。此外，因為不形成側壁絕緣層，所以不形成雜質區 114。如此，在不設置側壁絕緣層時，與設置側壁絕緣層 118 的情況相比，容易實現集成化。此外，與設置側壁絕緣層 118 的情況相比，可以實現製造製程的簡單化。

圖 4A 和 4B 所示的半導體裝置與前面的實施例所示的半導體裝置之間的不同之另一是在電晶體 160 中有沒有層間絕緣層 125。就是說，圖 4A 和 4B 所示的半導體裝置包括層間絕緣層 125。藉由將包括氫的絕緣層用作層間絕緣層 125，對電晶體 160 供應氫，從而可以提高電晶體 160 的特性。作為這種層間絕緣層 125，例如有藉由電漿 CVD 法形成的包括氫的氮化矽層等。再者，藉由將充分降低了氫的絕緣層用作層間絕緣層 126，可以防止有可能會使電晶體 162 的特性惡化的氫混入到電晶體 162 中。作為這種層間絕緣層 126，例如有藉由濺射法形成的氮化矽層等。藉由採用這種結構，可以充分提高電晶體 160 和電晶體 162 的特性。

圖 4A 和 4B 所示的半導體裝置與前面的實施例所示的半導體裝置之間的不同之另一是在電晶體 162 中有沒有絕緣層 143a 及絕緣層 143b。就是說，圖 4A 和 4B 所示的半導體裝置包括絕緣層 143a 及絕緣層 143b。如此，藉由設置絕緣層

143a及絕緣層143b，可以降低由閘極電極148a和源極電極或汲極電極142a（或者，閘極電極148a和源極電極或汲極電極142b）構成的所謂的閘極電容，從而可以提高電晶體162的工作速度。

注意，與實施例4同樣，下部的電晶體160和上部的電晶體162藉由在閘極電極110a上直接形成源極電極或汲極電極142a彼此電連接。藉由採用這種結構，與另行設置電極、佈線的情況相比，提高集成度。此外，製造製程簡單化。

注意，在本實施例中，包括上述不同之點，但是也可以採用僅包括該不同之點中的任一個的結構。

<半導體裝置的製造方法>

接著，說明上述半導體裝置的製造方法的一例。下面，參照圖5A至5D及圖6A至6C而說明在形成下部的電晶體160後製造上述電晶體162的方法。下部的電晶體160可以利用與實施例3所示的方法同樣的方法製造。關於詳細內容，可以參酌實施例3的記載。注意，在本實施例中，覆蓋電晶體160地形成層間絕緣層125、層間絕緣層126、層間絕緣層128的三種層間絕緣層（參照圖8G）。此外，在本實施例中，雖然在電晶體160的製造製程中不形成源極電極或汲極電極130a、源極電極或汲極電極130b（參照圖8H），但是即使在不形成源極電極或汲極電極130a、源極電極或汲極電極130b的情況下也爲了方便起見而稱爲電晶

體 160。

首先，在利用實施例3所示的方法形成下部的電晶體160後，從電晶體160的閘極電極110a的頂面去除上部。作為該去除製程，可以應用CMP（化學機械拋光）等研磨處理。由此，去除閘極電極110a的頂面上的層間絕緣層125、層間絕緣層126、層間絕緣層128。注意，藉由使根據研磨處理的表面充分平坦化，可以在後面的製程中形成良好的電極、佈線、絕緣層、半導體層等。

接著，在閘極電極110a、層間絕緣層125、層間絕緣層126、層間絕緣層128上形成導電層，對該導電層進行選擇性的蝕刻，來形成源極電極或汲極電極142a、源極電極或汲極電極142b（參照圖5A）。在此，直接連接到閘極電極110a地形成源極電極或汲極電極142a。

用來形成源極電極或汲極電極142a、源極電極或汲極電極142b的導電層可以使用與實施例3所示的材料同樣的材料來形成。此外，對導電層的蝕刻也可以使用與實施例3所示的方法同樣的方法來進行。關於詳細內容，可以參酌實施例3的記載。

接著，覆蓋源極電極或汲極電極142a、源極電極或汲極電極142b地形成絕緣層，對該絕緣層進行選擇性的蝕刻，在源極電極或汲極電極142a上形成絕緣層143a，在源極電極或汲極電極142b上形成絕緣層143b（參照圖5B）。

藉由設置該絕緣層143a、絕緣層143b，可以降低後面形成的閘極電極與源極電極或汲極電極142a之間及後面形

成的閘極電極與源極電極或汲極電極 142b 之間的寄生電容。

接著，覆蓋源極電極或汲極電極 142a、源極電極或汲極電極 142b 地形成氧化物半導體層 144，在氧化物半導體層 144 上形成閘極絕緣層 146（參照圖 5C）。

氧化物半導體層 144 可以使用實施例 3 所示的材料、方法來形成。較佳對氧化物半導體層 144 進行熱處理（第一熱處理）。關於詳細內容，可以參酌實施例 3 的記載。

閘極絕緣層 146 可以使用實施例 3 所示的材料、方法來形成。此外，較佳在形成閘極絕緣層 146 後，在惰性氣體氛圍或者氧氛圍下進行熱處理（第二熱處理）。關於詳細內容，可以參酌實施例 3 的記載。

接著，在閘極絕緣層 146 上的重疊於成為電晶體 162 的通道形成區的區上形成閘極電極 148a，並且，在閘極絕緣層 146 上的重疊於源極電極或汲極電極 142a 的區上形成電極 148b（參照圖 5D）。

閘極電極 148a 及電極 148b 可以藉由在閘極絕緣層 146 上形成導電層後對該導電層進行選擇性的蝕刻來形成。成為閘極電極 148a 及電極 148b 的導電層可以利用如濺射法等 PVD 法或如電漿 CVD 法等 CVD 法來形成。其詳細內容與形成源極電極或汲極電極 142a 等的情況相同而可以參酌關於它們的記載內容。

接著，在閘極絕緣層 146、閘極電極 148a 及電極 148b 上形成層間絕緣層 150 及層間絕緣層 152（參照圖 6A）。層

間絕緣層 150 及層間絕緣層 152 可以使用實施例 3 所示的材料、方法來形成。關於詳細內容，可以參酌實施例 3 的記載。

另外，較佳將上述層間絕緣層 152 的表面形成得較為平坦。這是因為如下緣故：藉由將層間絕緣層 152 的表面形成得較為平坦，當使半導體裝置微細化等時，也可以在層間絕緣層 152 上順利地形成電極或佈線等。另外，可以利用 CMP（化學機械拋光）等方法進行層間絕緣層 152 的平坦化。

接著，對層間絕緣層 125、層間絕緣層 126、層間絕緣層 128、氧化物半導體層 144、閘極絕緣層 146、層間絕緣層 150、層間絕緣層 152 進行選擇性的蝕刻，來形成到達電晶體 160 的金屬化合物區 124 的開口（參照圖 6B）。作為蝕刻，可以採用乾蝕刻或濕蝕刻，但是，從微細化的觀點來看，較佳採用乾蝕刻。

並且，以埋入在上述開口中的方式形成源極電極或汲極電極 154。並且，形成連接到源極電極或汲極電極 154 的佈線 156（參照圖 6C）。

源極電極或汲極電極 154 例如可以在利用 PVD 法或 CVD 法等包括開口的區中形成導電層後，利用蝕刻處理或 CMP 等的方法去除上述導電層的一部分來形成。更明確地說，例如，利用 PVD 法在包括開口的區中形成較薄的鈦膜，利用 CVD 法形成較薄的氮化鈦膜，然後以埋入在開口中的方式形成鎢膜。這裏，藉由 PVD 法形成的鈦膜具有還原

被形成面上的氧化膜（自然氧化膜等），並且降低與下部電極等（這裏，金屬化合物區124）的接觸電阻的功能。另外，之後形成的氮化鈦膜具有抑制導電材料的擴散的阻擋功能。另外，也可以在形成由鈦或氮化鈦等構成的障壁膜之後，使用鍍敷法形成銅膜。

佈線156可以在形成接觸於源極電極或汲極電極154的導電層之後對該導電層進行選擇性的蝕刻來形成。該導電層可以藉由如濺射法等之PVD法或如電漿CVD法等之CVD法來形成。詳細內容與源極電極或汲極電極142a等同樣。

藉由上述步驟，完成包括電晶體160、電晶體162及電容器164的半導體裝置。

本實施例所示之半導體裝置因為電晶體162及電容器164包括重疊於電晶體160之結構，電晶體160不包括側壁絕緣層，並且，在閘極電極110a上直接形成源極電極或汲極電極142a等來實現高集成化。此外，製造製程簡單化。

此外，本實施例所示之半導體裝置藉由將包括氫之絕緣層用作層間絕緣層125並且將充分降低了氫之絕緣層用作層間絕緣層126，提高電晶體160及電晶體162之特性。此外，藉由具有絕緣層143a及絕緣層143b，降低所謂的閘極電容，從而提高電晶體162之工作速度。

藉由本實施例所示之上述特徵，可以提供具有極為優越之特徵之半導體裝置。

如上所述，可以將本實施例所示之結構、方法等與其他實施例所示之結構、方法等適當地組合而使用。

(實施例6)

在本實施例中，使用圖12A至12F而對將上述實施例所說明的半導體裝置應用於電子裝置的情況進行說明。在本實施例中，說明將上述半導體裝置應用於電腦、行動電話機（也稱為行動電話、行動電話裝置）、可攜式資訊終端（包括可攜式遊戲機、聲音再現裝置等）、數位相機、數位攝影機、電子紙、電視裝置（也稱為電視或電視接收機）等的電子裝置的情況。

圖12A示出筆記本型個人電腦，包括外殼701、外殼702、顯示部703和鍵盤704等。上述實施例所示的半導體裝置被設置在外殼701和外殼702中。因此，可以實現一種其寫入和讀取資訊的速度很高，能夠保持較長期間的儲存，並且耗電量被充分地降低了的筆記本型個人電腦。

圖12B示出可攜式資訊終端（PDA），其主體711包括顯示部713、外部介面715和操作按鈕714等。另外，還包括用來操作可攜式資訊終端的觸控筆712等。上述實施例所示的半導體裝置被設置在主體711中。因此，可以實現一種其寫入和讀取資訊的速度很高，能夠保持較長期間的儲存，並且耗電量被充分地降低了的可攜式資訊終端。

圖12C示出安裝有電子紙的電子書閱讀器720，包括外殼721和外殼723的兩個外殼。外殼721和外殼723分別設置有顯示部725和顯示部727。外殼721和外殼723由軸部737彼此連接，並且可以以該軸部737為軸進行開閉動作。另

外，外殼 721 包括電源 731、操作鍵 733 和揚聲器 735 等。上述實施例所示的半導體裝置被設置在外殼 721 和外殼 723 中的至少一個中。因此，可以實現一種其寫入和讀取資訊的速度很高，能夠保持較長期間的儲存，並且耗電量被充分地降低了的電子書閱讀器。

圖 12D 示出行動電話機，包括外殼 740 和外殼 741 的兩個外殼。再者，外殼 740 和外殼 741 滑動而可以將如圖 12D 所示那樣的展開狀態成為重疊狀態，可以實現適於攜帶的小型化。另外，外殼 741 包括顯示面板 742、揚聲器 743、麥克風 744、定位裝置 746、相機透鏡 747、外部連接端子 748 等。此外，外殼 740 包括進行行動電話機的充電的太陽電池單元 749 和外部記憶體插槽 750 等。另外，天線被內置在外殼 741 中。上述實施例所示的半導體裝置被設置在外殼 740 和外殼 741 中的至少一個中。因此，可以實現一種其寫入和讀取資訊的速度很高，能夠保持較長期間的儲存，並且耗電量被充分地降低了的行動電話機。

圖 12E 示出數位相機，包括主體 761、顯示部 767、取景器 763、操作開關 764、顯示部 765 和電池 766 等。上述實施例所示的半導體裝置被設置在主體 761 中。因此，可以實現一種其寫入和讀取資訊的速度很高，能夠保持較長期間的儲存，並且耗電量被充分地降低了的數位相機。

圖 12F 示出電視裝置 770，包括外殼 771、顯示部 773 和支架 775 等。可以藉由外殼 771 所具有的開關、遙控器 780 來進行電視裝置 770 的操作。外殼 771 和遙控器 780 安裝有

上述實施例所示的半導體裝置。因此，可以實現一種其寫入和讀取資訊的速度很高，能夠保持較長期間的儲存，並且耗電量被充分地降低了的電視裝置。

如上所述，根據上述實施例的半導體裝置被安裝到本實施例所示的電子裝置中。所以，可以實現一種耗電量被降低了的電子裝置。

● [範例 1]

對根據所揭示的發明的一實施例的記憶體單元的能夠重寫的次數進行考察。在本範例中，參照圖 13 對該考察結果進行說明。

用於考察的半導體裝置是具有圖 1A 所示的電路結構的半導體裝置。這裏，相當於電晶體 162 的電晶體使用氧化物半導體。並且，作為相當於電容器 164 的電容器，使用電容值為 0.33 pF 的電容器。

● 藉由對相當於圖 1A 中的第三佈線的佈線施加 0V 和 5V 中的一者，對相當於第四佈線的佈線施加 0V 和 5V 中的一者，進行對記憶體單元的資訊的保持和資訊的寫入。當相當於第四佈線的佈線的電位為 0V 時，相當於電晶體 162 的電晶體（寫入電晶體）處於截止狀態，所以保持對節點 FG 施加的電位。當相當於第四佈線的佈線的電位為 5V 時，相當於電晶體 162 的電晶體處於導通狀態，所以對節點 FG 施加相當於第三佈線的佈線的電位。

圖 13A 示出表示進行 1×10^9 次的寫入前後的相當於第五

佈線的佈線的電位 V_{cg} 和相當於電晶體 160 的電晶體（讀取電晶體）的汲極電流 I_d 的關係的曲線（ V_{cg} - I_d 曲線）。在圖 13A 和 13B 中，L 寫入是指對節點 FG 供應 0V 的狀態，而 H 寫入是指對節點 FG 供應 5V 的狀態。另外，在圖 13A 中，橫軸示出 $V_{cg}(V)$ ，縱軸示出 $I_d(A)$ 。

如圖 13A 所示，在進行 1×10^9 次的寫入前後幾乎沒有 H 寫入的 V_{cg} - I_d 曲線和 L 寫入的 V_{cg} - I_d 曲線的變化。此外，關於 H 寫入的 V_{cg} - I_d 曲線和 L 寫入的 V_{cg} - I_d 曲線之間的漂移量（ ΔV_{cg} ），也在 1×10^9 次的寫入前後幾乎沒有變化。

圖 13B 示出在 H 寫入或 L 寫入中使電晶體 160 成為導通狀態而需要的相當於第五佈線的佈線的電位和寫入次數的關係。在圖 13B 中，橫軸表示寫入次數，縱軸表示相當於第五佈線的佈線的電位，即電晶體 160 的外觀上的臨界值 $V_{th}(V)$ 。

注意，臨界值 V_{th} 通常可以利用接線法來算出。明確而言，如圖 19 所示，得到橫軸為閘極電壓 V_g ，縱軸為汲極電流 I_d 的平方根的值的曲線的傾斜最大的點的接線。將該接線和橫軸（閘極電壓 V_g 的值）的交點設定為臨界值 V_{th} 。也在圖 13 中，利用接線法算出外觀上的臨界值 $V_{th}(V)$ 。

表 1 示出根據圖 13B 而算出的儲存視窗寬度。注意，儲存視窗寬度藉由算出 H 寫入時的電晶體 160 的外觀上的臨界值 V_{th_H} 與 L 寫入時的電晶體 160 的外觀上的臨界值 V_{th_L} 之間的差異來得到。

[表 1]

寫入時間	1.E+00	1.E+01	1.E+02	1.E+03	1.E+04
儲存視窗寬度	6.06	6.00	6.01	6.01	6.04

寫入時間	1.E+05	1.E+06	1.E+07	1.E+08	1.E+09
儲存視窗寬度	6.00	5.98	6.01	5.96	5.96

表 1 示出本範例的記憶體單元在進行 1×10^9 次的寫入前後儲存視窗寬度的變化量為 2% 以內，具體為 1.68% 的事實。在進行 1×10^9 次的寫入前後儲存視窗寬度的變化量為 2% 以內的事實示出至少在該期間內半導體裝置不退化的事實。

如行所述，根據所揭示的發明的一實施例的記憶體單元即使反復 10^{19} 次的多個保持及寫入也沒有特性的變化，而其重寫耐性極高。就是說，根據所揭示的發明的一實施例，可以實現可靠性極高的記憶體單元及安裝有該記憶體單元的可靠性極高的半導體裝置。

[範例 2]

在本範例中，對求得使用被高純度化的氧化物半導體的電晶體的截止電流的結果進行說明。

在本範例中，根據實施例 3，使用被高純度化的氧化物半導體製造電晶體。首先，考慮到使用被高純度化的氧化物半導體的電晶體的截止電流足夠小的情況，而準備其通道寬度 W 足夠大即 1m 的電晶體而測量截止電流。圖 14 示出測量其通道寬度為 1m 的電晶體的截止電流的結果。在圖

14中，橫軸為閘極電壓 V_G ，縱軸為汲極電極電流 I_D 。當汲極電極電壓 V_D 為 $+1V$ 或 $+10V$ 時，在閘極電壓 V_G 在於 $-5V$ 至 $-20V$ 的範圍內，電晶體的截止電流為檢測限度的小於或等於 $1 \times 10^{-13} A$ 。此外，電晶體的截止電流（在此，每單位通道寬度($1 \mu m$)的值）為小於或等於 $1 aA/\mu m$ ($1 \times 10^{-18} A/\mu m$)。

接著，對更準確地求得使用被高純度化的氧化物半導體的電晶體的截止電流的結果進行說明。如上所述，使用被高純度化的氧化物半導體的電晶體的截止電流為測量器的檢測限度的小於或等於 $1 \times 10^{-13} A$ 。於是，對製造特性評價用元件並且求得更準確的截止電流的值（上述測量中的測量器的檢測限度以下的值）的結果進行說明。

首先，參照圖15而說明用於電流測量方法的特性評價用元件。

在圖15所示的特性評價用元件中，三個測量系統800並聯連接。測量系統800包括電容器802、電晶體804、電晶體805、電晶體806、電晶體808。電晶體804、電晶體805、電晶體806使用根據實施例3而製造的電晶體。

在測量系統800中，電晶體804的源極端子及漏端子中的一者、電容器802的端子中的一者、電晶體805的源極端子及漏端子中的一者連接到電源（施加 V_2 的電源）。此外，電晶體804的源極端子及漏端子中的另一者、電晶體808的源極端子及漏端子中的一者、電容器802的端子中的另一者、電晶體805的閘極端子彼此連接。此外，電晶體808

的源極端子及漏端子中的另一者、電晶體 806 的源極端子及漏端子中的一者、電晶體 806 的閘極端子連接到電源（施加 V_1 的電源）。此外，電晶體 805 的源極端子及漏端子中的另一者和電晶體 806 的源極端子及漏端子中的另一者連接，而成為輸出端子 V_{out} 。

注意，對電晶體 804 的閘極端子供應控制電晶體 804 的導通狀態和截止狀態的電位 V_{ext_b2} ，並且，對電晶體 808 的閘極端子供應控制電晶體 808 的導通狀態和截止狀態的電位 V_{ext_b1} 。此外，從輸出端子輸出電位 V_{out} 。

接著，說明使用上述測量系統的電流測量方法。

首先，對為了測量截止電流而賦予電位差的初始化期間的概況進行說明。在初始化期間中，對電晶體 808 的閘極端子輸入使電晶體 808 成為導通狀態的電位 V_{ext_b1} ，對連接到電晶體 804 的源極端子和汲極電極端子中的另一者的節點（就是說，連接到電晶體 808 的源極端子和汲極電極端子中的一者、電容器 802 的端子中的另一者及電晶體 805 的閘極端子的節點）即節點 A 施加電位 V_1 。在此，將電位 V_1 例如設定為高電位。此外，將電晶體 804 成為截止狀態。

然後，對電晶體 808 的閘極端子輸入使電晶體 808 成為截止狀態的電位 V_{ext_b1} ，使電晶體 808 成為截止狀態。在使電晶體 808 成為截止狀態後，將電位 V_1 成為低電位。在此，也使電晶體 804 成為截止狀態。此外，將電位 V_2 設定為與電位 V_1 相同的電位。藉由上述步驟，初始化期間結束

。在初始化期間結束的狀態下，在節點 A 和電晶體 804 的源極電極及汲極電極中的一者之間發生電位差，並且，在節點 A 和電晶體 808 的源極電極及汲極電極中的另一者之間發生電位差，所以在電晶體 804 及電晶體 808 中流過很少電荷。就是說，發生截止電流。

接著，對截止電流的測量期間的概況進行說明。在測量期間中，將電晶體 804 的源極端子和漏端子中的一者的電位（即 V_2 ）及電晶體 808 的源極端子和漏端子中的另一者的電位（即 V_1 ）固定為低電位。另一者面，在測量期間中，不固定上述節點 A 的電位（將其設定為浮動狀態）。由此，在電晶體 804 中流過電荷，並且，隨著時間的經過而保持於節點 A 的電荷量變化。並且，隨著保持於節點 A 的電荷量的變化而節點 A 的電位變化。就是說，輸出端子的輸出電位 V_{out} 也變化。

圖 16 示出賦予電位差的初始化期間及此後的測量期間中的各電位的關係的詳細情況（時序圖）。

在初始化期間中，首先，將電位 V_{ext_b2} 設定為使電晶體 804 成為導通狀態的電位（高電位）。由此，節點 A 的電位成為 V_2 即低電位（ V_{SS} ）。然後，將電位 V_{ext_b2} 設定為使電晶體 804 成為截止狀態的電位（低電位），來使電晶體 804 成為截止狀態。接著，將電位 V_{ext_b1} 設定為使電晶體 808 成為導通狀態的電位（高電位）。由此，節點 A 的電位成為 V_1 即高電位（ V_{DD} ）。然後，將電位 V_{ext_b1} 設定為使電晶體 808 成為截止狀態的電位。由此，節點 A 成

為浮動狀態，而初始化期間結束。

在此後的測量期間中，將電位 V_1 及電位 V_2 設定為電荷流過於節點 A 或從節點 A 流出電荷的電位。在此，將電位 V_1 及電位 V_2 設定為低電位（ V_{SS} ）。但是，由於在測量輸出電位 V_{out} 的時序中需要使輸出電路工作，所以有時將 V_1 設定為暫時的高電位（ V_{DD} ）。注意，將 V_1 設定為高電位（ V_{DD} ）的期間是不影響到測量程度的短期間。

當如上所述賦予電位差而開始測量期間時，隨著時間的經過而保持於節點 A 的電荷量變化，因此節點 A 的電位變化。這意味著電晶體 805 的閘極端子的電位變化，並且，隨著時間的經過而輸出端子的輸出電位 V_{out} 的電位也變化。

下面說明從所得到的輸出電位 V_{out} 算出截止電流的方法。

在算出截止電流之前求得節點 A 的電位 V_A 和輸出電位 V_{out} 的關係。由此，可以從輸出電位 V_{out} 求得節點 A 的電位 V_A 。根據上述關係，節點 A 的電位 V_A 作為輸出電位 V_{out} 的函數而可以用如下算式表示。

[算式 1]

$$V_A = F(V_{out})$$

此外，利用節點 A 的電位 V_A 、連接到節點 A 的電容 C_A 、常數（const），節點 A 的電荷 Q_A 用如下算式表示。在此，連接到節點 A 的電容 C_A 是電容器 802 的電容和其他電容的總和。

[算式 2]

$$Q_A = C_A V_A + \text{const}$$

因為節點 A 的電流 I_A 是流過於節點 A 的電荷（或者從節點 A 流出的電荷）的時間微分，所以節點 A 的電流 I_A 用如下算式表示。

[算式 3]

$$I_A = \frac{\Delta Q_A}{\Delta t} = \frac{C_A \cdot \Delta F(V_{out})}{\Delta t}$$

如此，根據連接到節點 A 的電容 C_A 和輸出端子的輸出電位 V_{out} ，可以求得節點 A 的電流 I_A 。

根據上述方法，可以測量在截止狀態下流過於電晶體的源極電極和汲極電極之間的漏電流（截止電流）。

在本範例中，利用通道長度 L 為 $10\mu\text{m}$ 且通道寬度 W 為 $50\mu\text{m}$ 的被高純度化的氧化物半導體來製造電晶體 804、電晶體 805、電晶體 806、電晶體 808。此外，在並聯連接的各測量系統 800 中，將電容器 802a 的電容值設定為 100fF ，將電容器 802b 的電容值設定為 1pF ，並且將電容器 802c 的電容值設定為 3pF 。

注意，在根據本範例的測量中，設定為 $V_{DD}=5\text{V}$ 且 $V_{SS}=0\text{V}$ 。此外，在測量期間中，將電位 V_1 原則設定為 V_{SS} ，而只在每 10sec 至 300sec 中的 100msec 的期間中將電位 V_1 設定為 V_{DD} 來測量 V_{out} 。此外，將用於流過於元件的電流 I 的算出的 Δt 設定為大約 30000sec 。

圖 17 示出根據上述電流測量的經過時間 Time 和輸出電位 V_{out} 的關係。根據圖 17，可以確認到隨著時間的經過而

電位變化的情況。

圖 18 示出利用上述電流測量來算出的截止電流。注意，圖 18 是示出源極電極 - 汲極電極電壓 V 和截止電流 I 之間的關係。根據圖 18，觀察到在源極電極 - 汲極電極電壓為 4V 的條件下截止電流在室溫下大約為 $40 \text{ zA}/\mu\text{m}$ 。此外，觀察到在源極電極 - 汲極電極電壓為 3.1V 的條件下截止電流在室溫下為 $10 \text{ zA}/\mu\text{m}$ 以下。注意， 1 zA 表示 10^{-21} A 。

如上所述，根據本範例，觀察到如下事實：在使用被高純度化的氧化物半導體的電晶體中，截止電流足夠小。

【圖式簡單說明】

在附圖中：

圖 1A 和 1B 是半導體裝置的電路圖；

圖 2A 和 2B 是半導體裝置的電路圖；

圖 3A 至 3C 是半導體裝置的電路圖；

圖 4A 是半導體裝置的截面圖，而圖 4B 是半導體裝置的平面圖；

圖 5A 至 5D 是根據半導體裝置的製造製程的截面圖；

圖 6A 至 6C 是根據半導體裝置的製造製程的截面圖；

圖 7A 是半導體裝置的截面圖，而圖 7B 是半導體裝置的平面圖；

圖 8A 至 8H 是根據半導體裝置的製造製程的截面圖；

圖 9A 至 9E 是根據半導體裝置的製造製程的截面圖；

圖 10A 是半導體裝置的截面圖，而圖 10B 是半導體裝置

的平面圖；

圖 11A 至 11D 是根據半導體裝置的製造製程的截面圖

；

圖 12A 至 12F 是說明利用半導體裝置的電子裝置的圖；

圖 13A 和 13B 是示出儲存視窗寬度的調查結果的圖；

圖 14 是示出使用氧化物半導體的電晶體的特性的圖；

圖 15 是使用氧化物半導體的電晶體的特性評價用電路圖；

圖 16 是使用氧化物半導體的電晶體的特性評價用時序圖；

圖 17 是示出使用氧化物半導體的電晶體的特性的圖；

圖 18 是示出使用氧化物半導體的電晶體的特性的圖；

圖 19 是示出臨界值的算出方法的示意圖。

【主要元件符號說明】

100：基板、102：保護層、104：半導體區、

106：元件分離絕緣層、108a：閘極絕緣層、

110a：閘極電極、112：絕緣層、114：雜質區、

116：通道形成區、118：側壁絕緣層、

120：高濃度雜質區、122：金屬層、

124：金屬化合物區、125：層間絕緣層、

126：層間絕緣層、128：層間絕緣層、

130a：源極電極或汲極電極、

130b：源極電極或汲極電極、130c：電極、

142a：源極電極或汲極電極、
142b：源極電極或汲極電極、143a：絕緣層、
143b：絕緣層、144：氧化物半導體層、
146：閘極絕緣層、148a：閘極電極、148b：電極、
150：層間絕緣層、152：層間絕緣層、
154：源極電極或汲極電極、160：電晶體、
162：電晶體、164：電容器、701：外殼、702：外殼、
703：顯示部、704：鍵盤、711：主體、712：觸控筆、
713：顯示部、714：操作按鈕、715：外部介面、
720：電子書閱讀器、721：外殼、723：外殼、
725：顯示部、727：顯示部、731：電源、733：操作鍵、
735：揚聲器、737：軸部、740：外殼、741：外殼、
742：顯示面板、743：揚聲器、744：麥克風、
746：定位裝置、747：相機透鏡、748：外部連接端子、
749：太陽電池單元、750：外部記憶體插槽、
761：主體、763：取景器、764：操作開關、
765：顯示部、766：電池、767：顯示部、
770：電視裝置、771：外殼、773：顯示部、
775：支架、780：遙控器、802：電容器、
802a：電容器、802b：電容器、802c：電容器、
804：電晶體、805：電晶體、806：電晶體、
808：電晶體。

照4)

空白頁

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

公告本

※申請案號：100100333

※申請日：100 年 01 月 05 日

※IPC 分類：H01L 21/8247 (2006.01)
H01L 27/115 (2006.01)

一、發明名稱：(中文／英文)

半導體裝置

Semiconductor device

二、中文發明摘要：

提供一種半導體裝置，該半導體裝置包括非揮發性記憶體單元。該非揮發性記憶體單元包括：使用氧化物半導體的截止狀態下的源極與汲極之間的漏電流（截止電流）少的寫入電晶體；使用與該寫入電晶體不同的半導體材料的讀取電晶體；以及電容器。對該記憶體單元的資訊的寫入藉由將電位供應到寫入電晶體的源極電極及汲極電極的其中之一者、電容器的電極中的其中之一者、讀取電晶體的閘極電極彼此電連接的節點，使節點中保持預定量的電荷來進行。在進行 1×10^9 次的寫入前後，該記憶體單元的儲存視窗寬度的變化量為 2% 或更小。

三、英文發明摘要：

A semiconductor device has a non-volatile memory cell including a write transistor which includes an oxide semiconductor and has small leakage current in an off state (off-state current) between a source and a drain, a read transistor including a semiconductor material different from that of the write transistor, and a capacitor. Data is written or to the memory cell by applying a potential to a node where one of a source electrode and drain electrode of the write transistor, one electrode of the capacitor, and a gate electrode of the read transistor are electrically connected to one another so that the predetermined amount of charge is held in the node. The memory window width is changed by 2 % or less, before and after 1×10^9 times of writing.

四、指定代表圖：

(一) 本案指定代表圖為：第(1A)圖。

(二) 本代表圖之元件代表符號簡單說明：

160：電晶體

162：電晶體

164：電容器

FG：節點

OS：符號

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

圖 1A

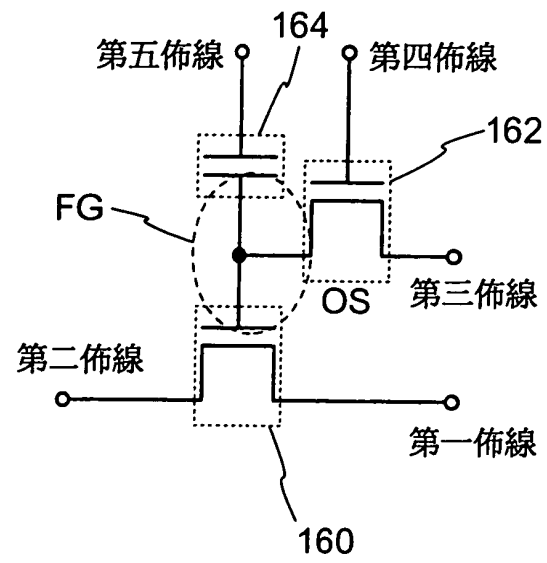


圖 1B

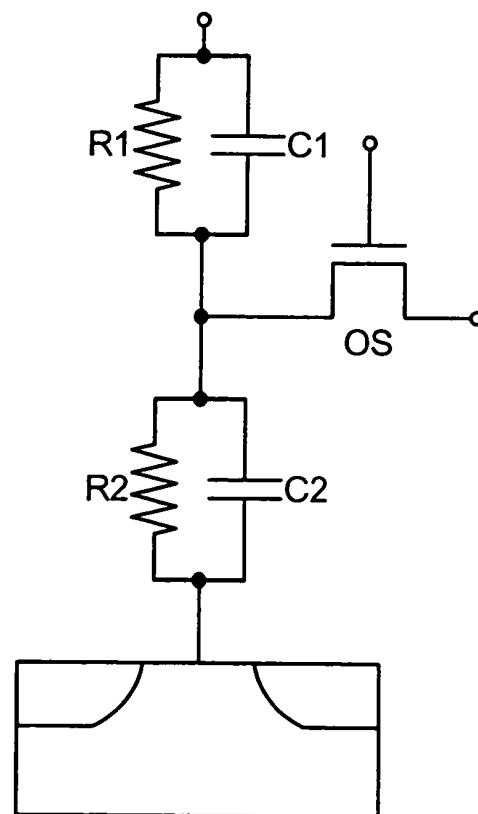


圖2A

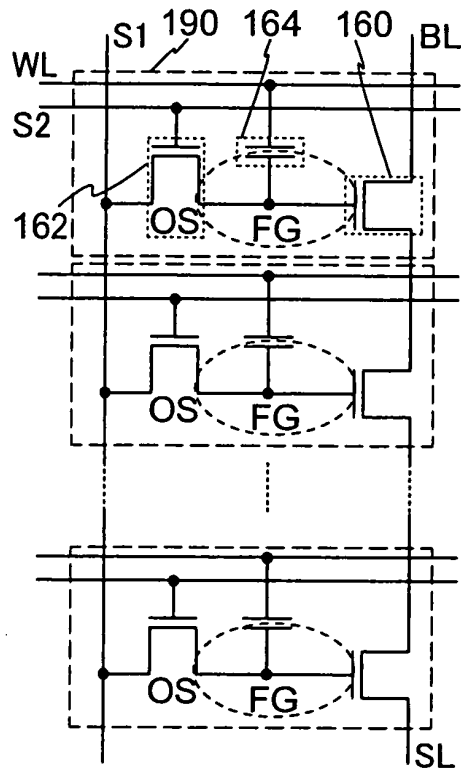


圖2B

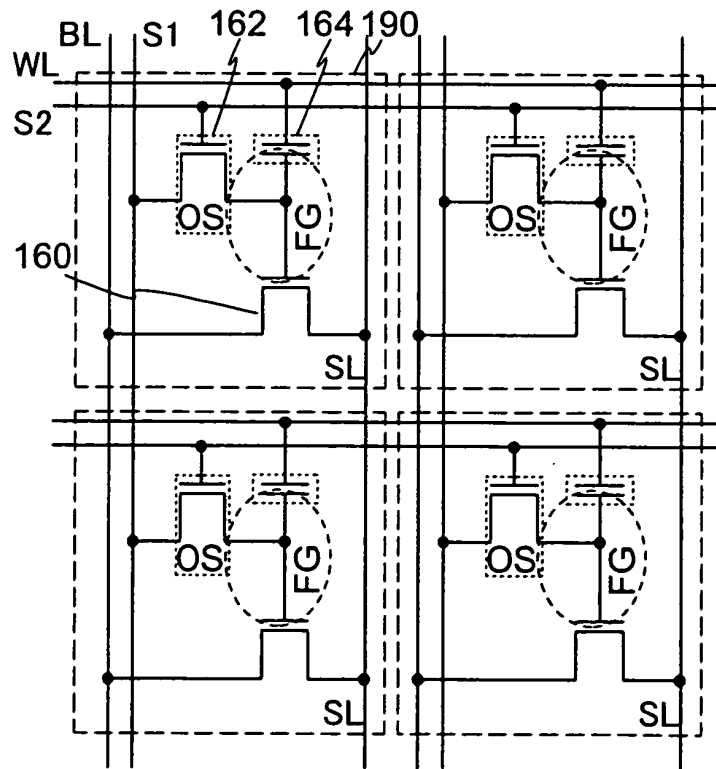


圖 3A

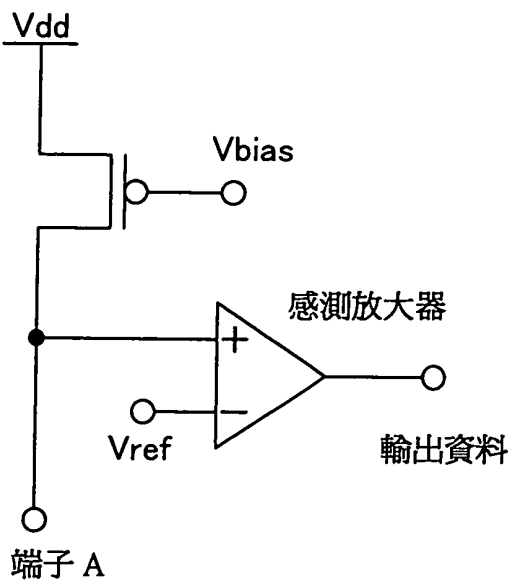


圖 3B

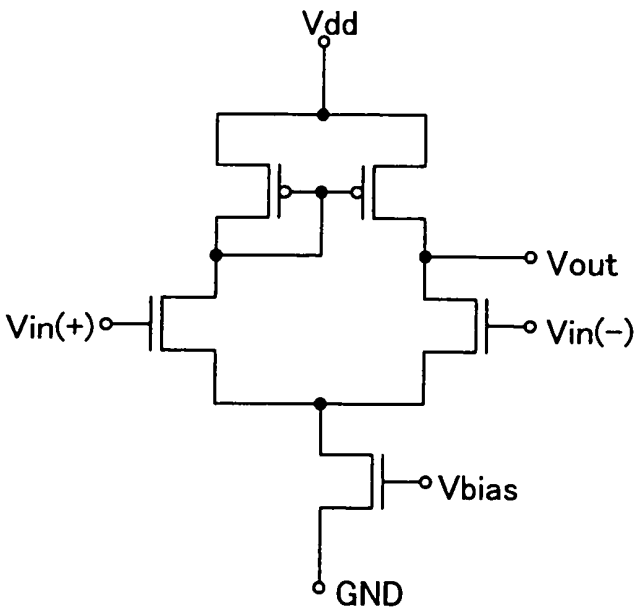


圖 3C

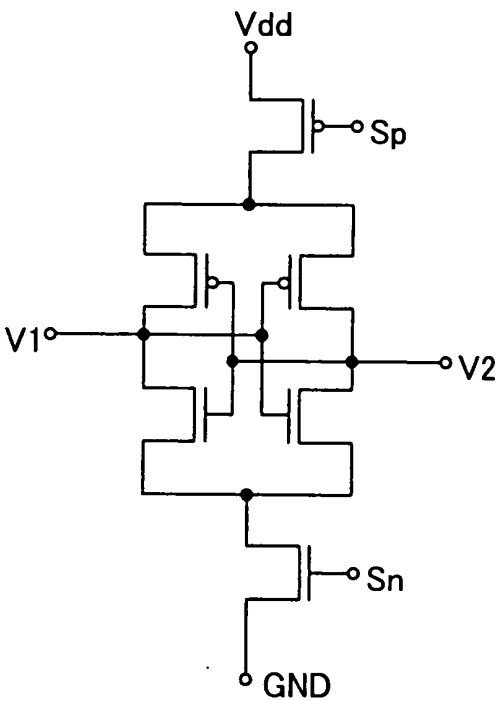


圖 4A

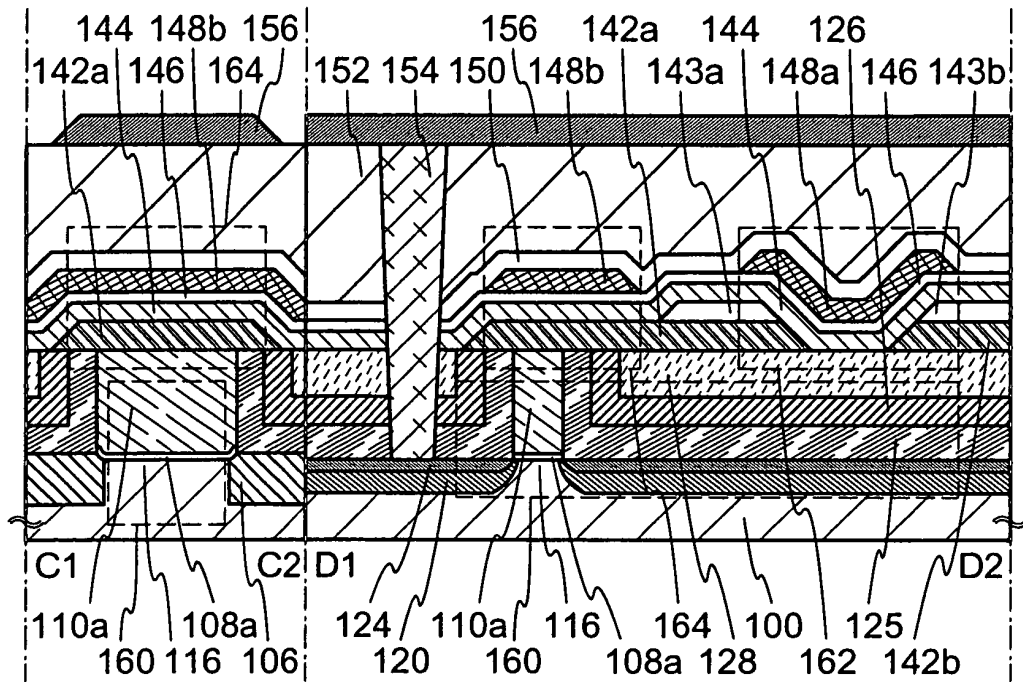


圖 4B

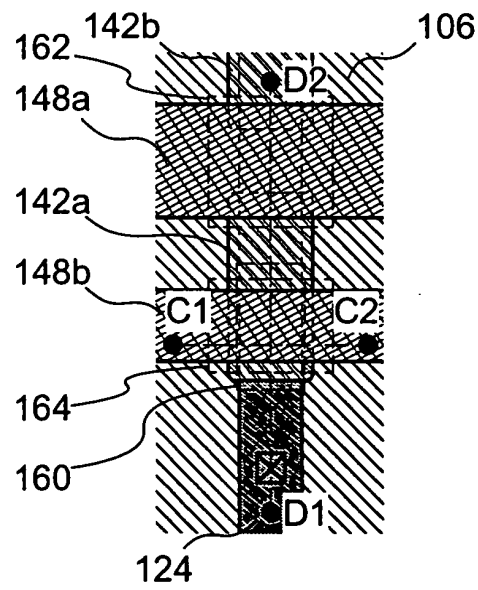


圖 5A

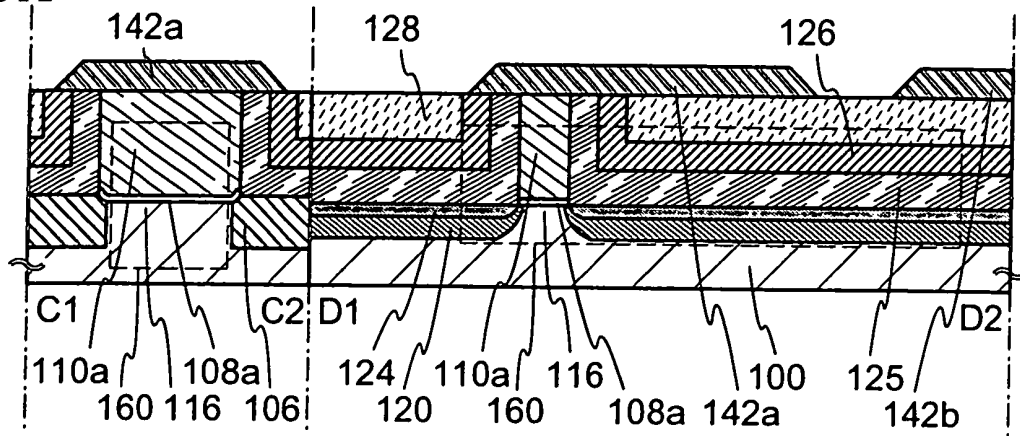


圖 5B

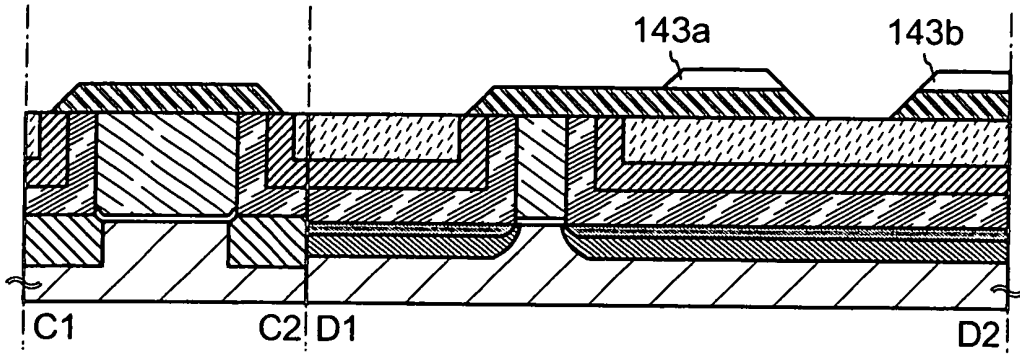


圖 5C

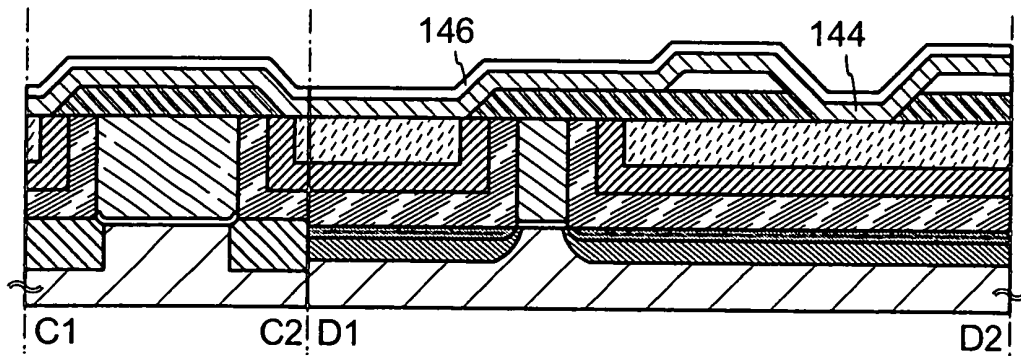


圖 5D

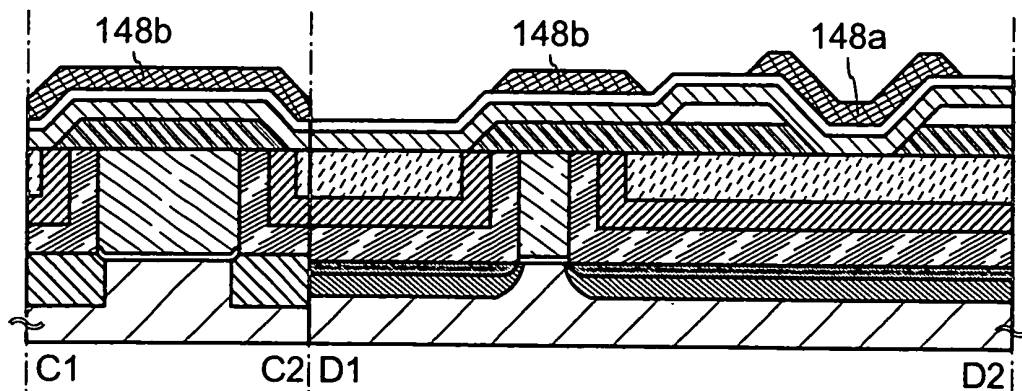


圖 6A

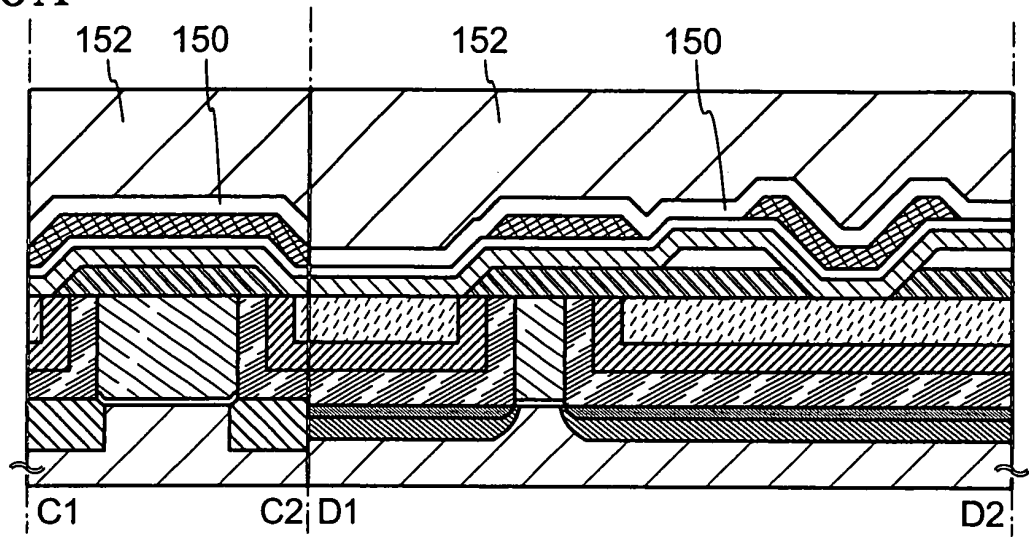


圖 6B

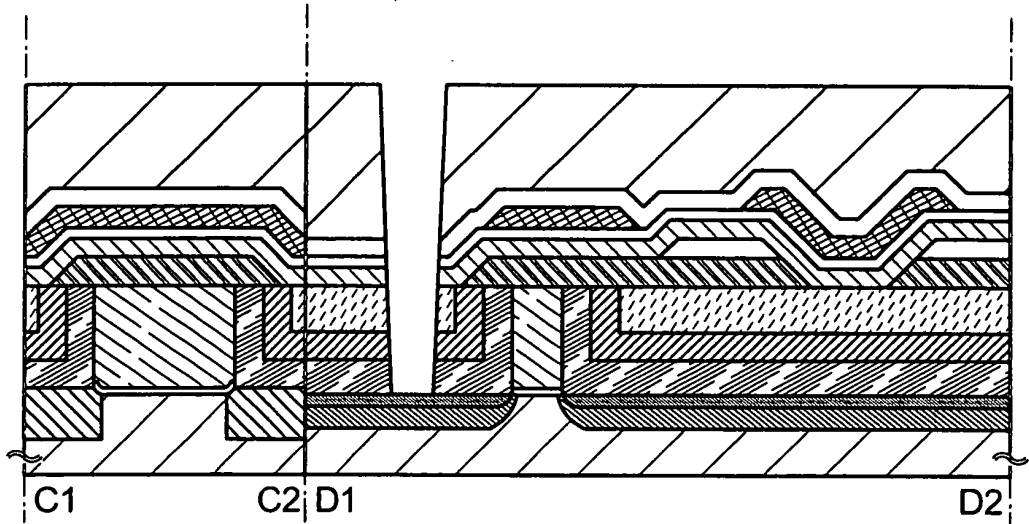


圖 6C

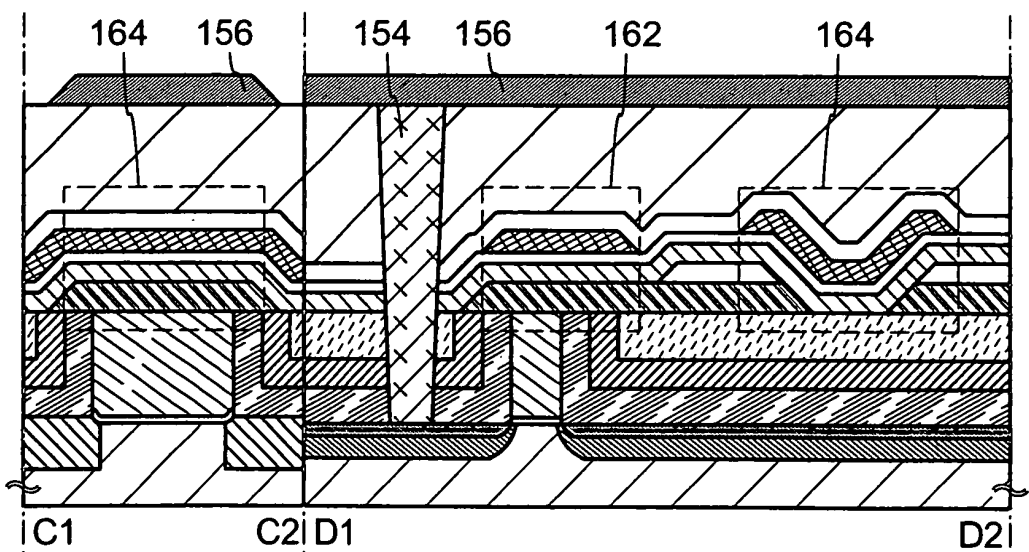


圖 7A

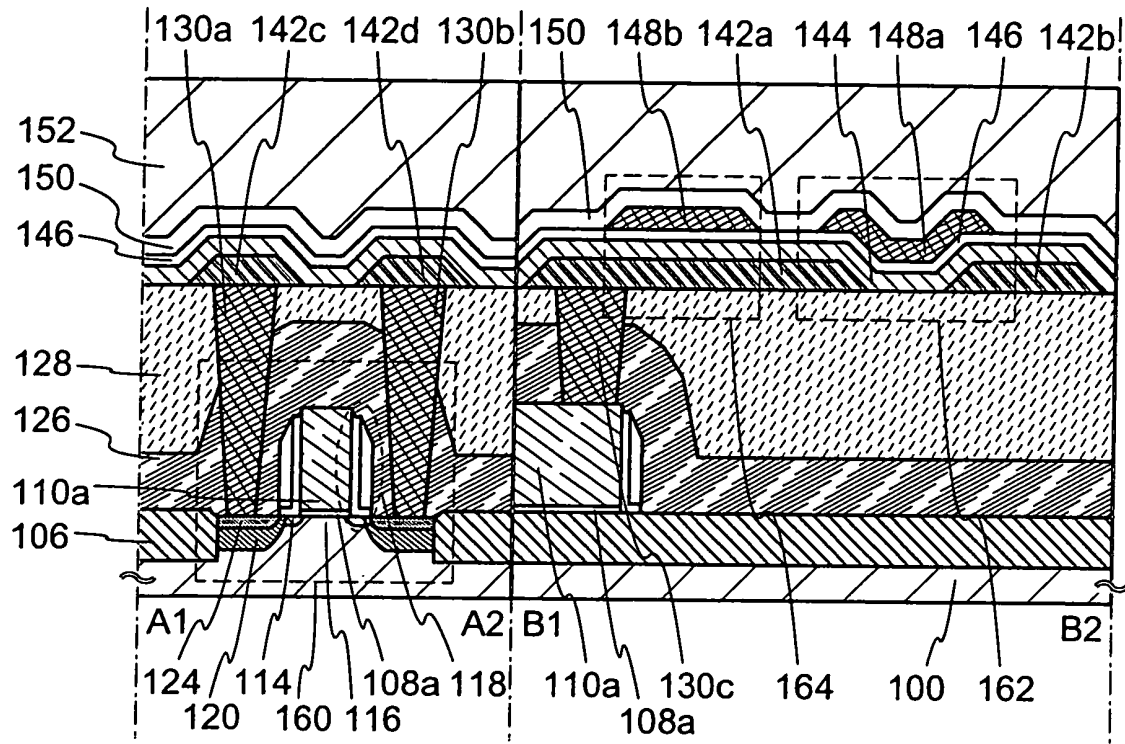


圖 7B

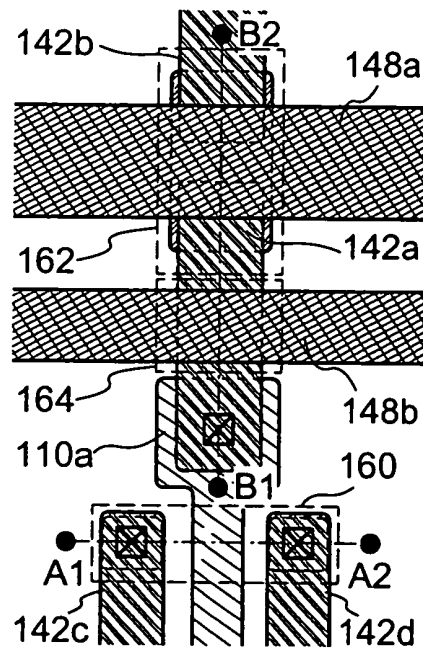


圖 8A

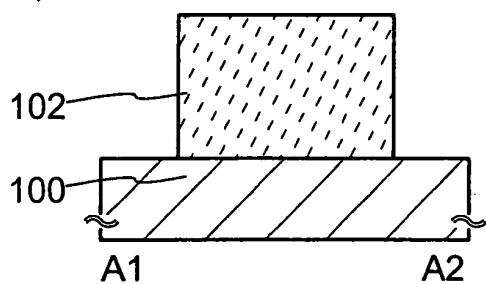


圖 8E

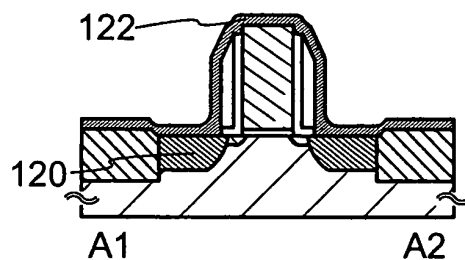


圖 8B

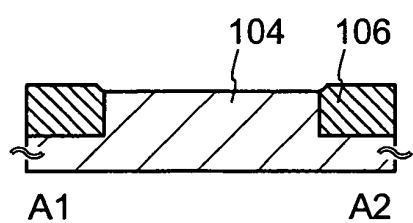


圖 8F

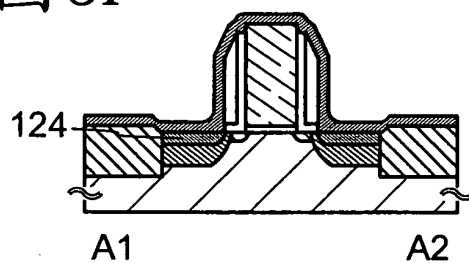


圖 8C

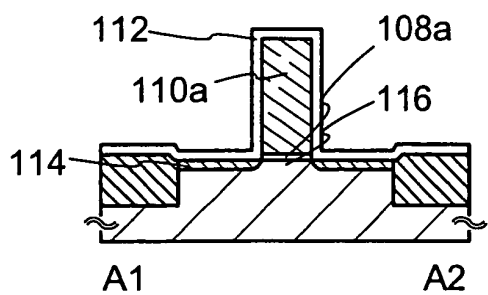


圖 8G

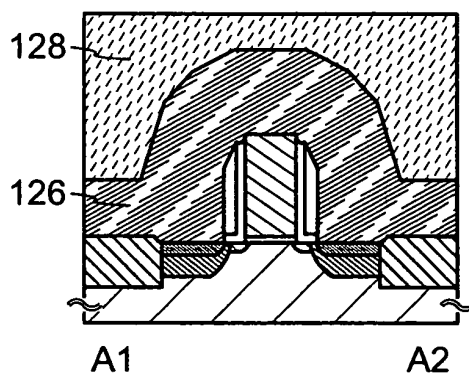


圖 8D

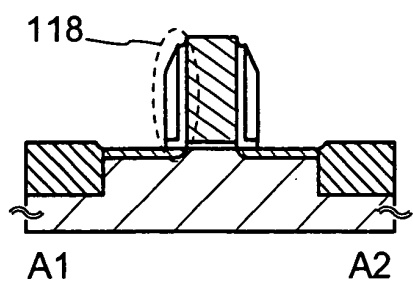


圖 8H

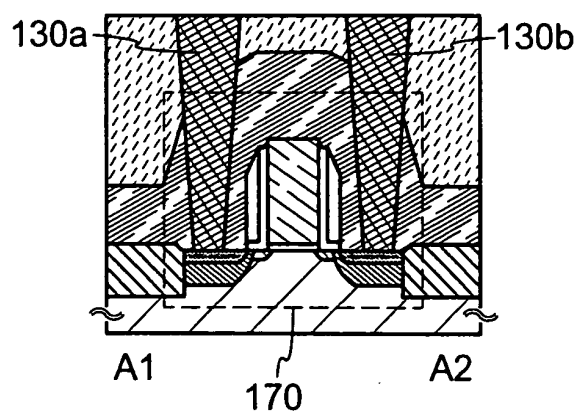


圖 9A

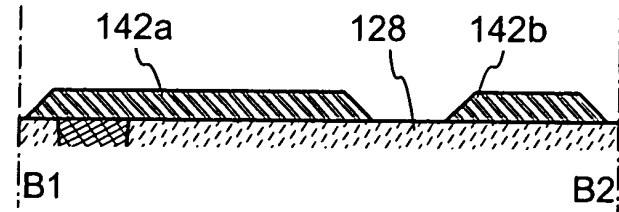


圖 9B

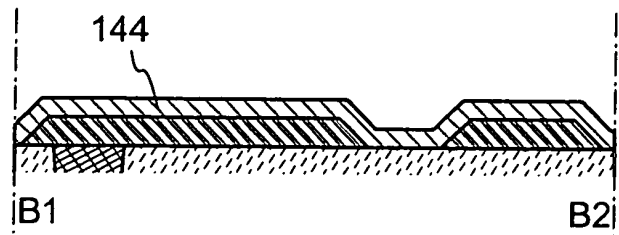


圖 9C

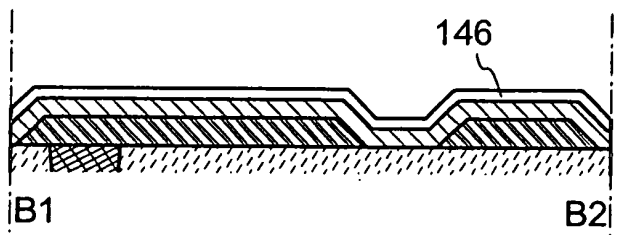


圖 9D

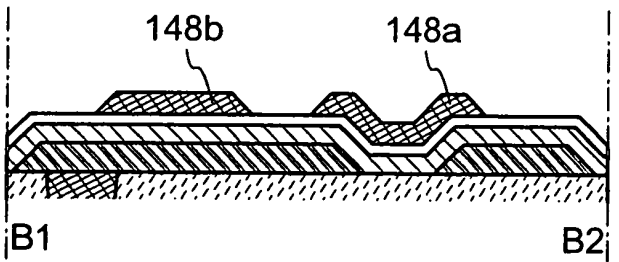


圖 9E

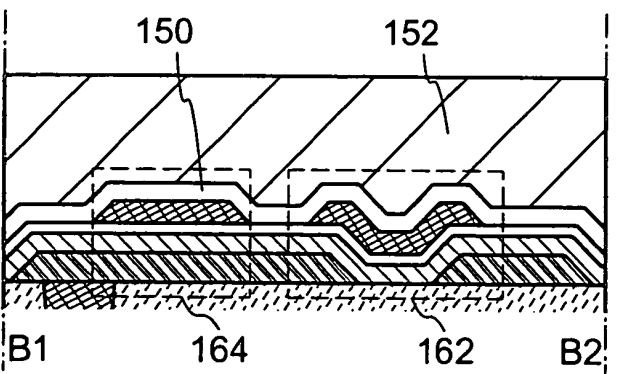


圖10A

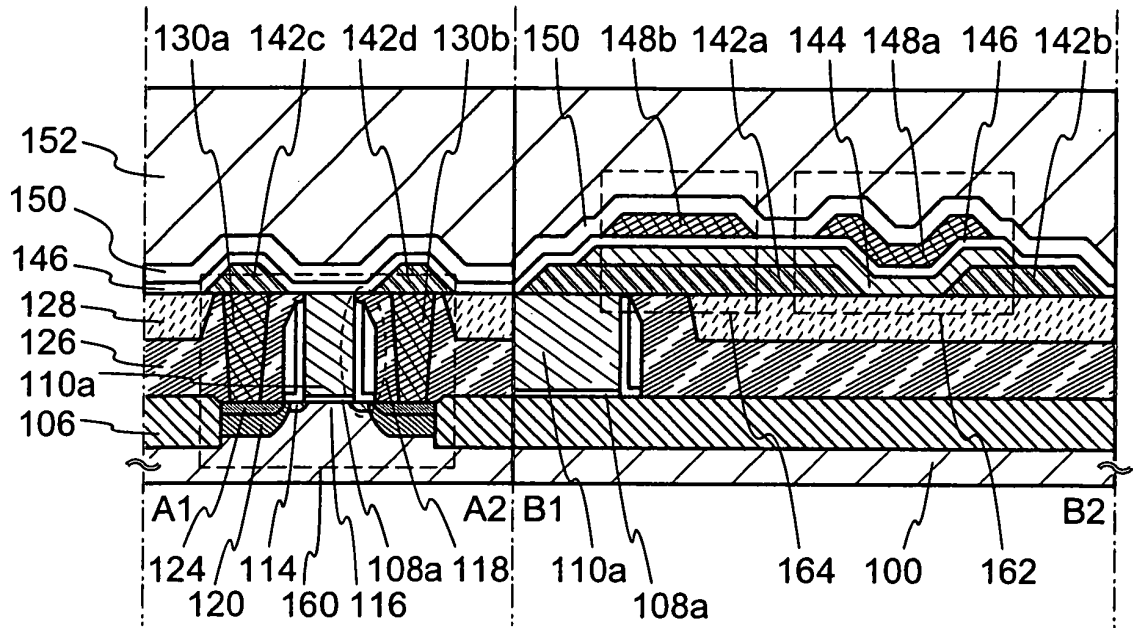


圖10B

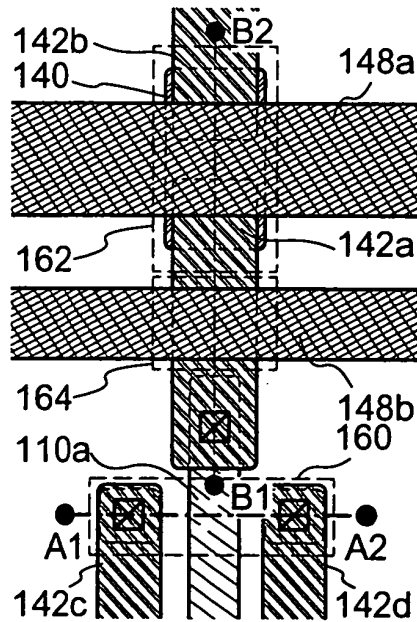


圖11A

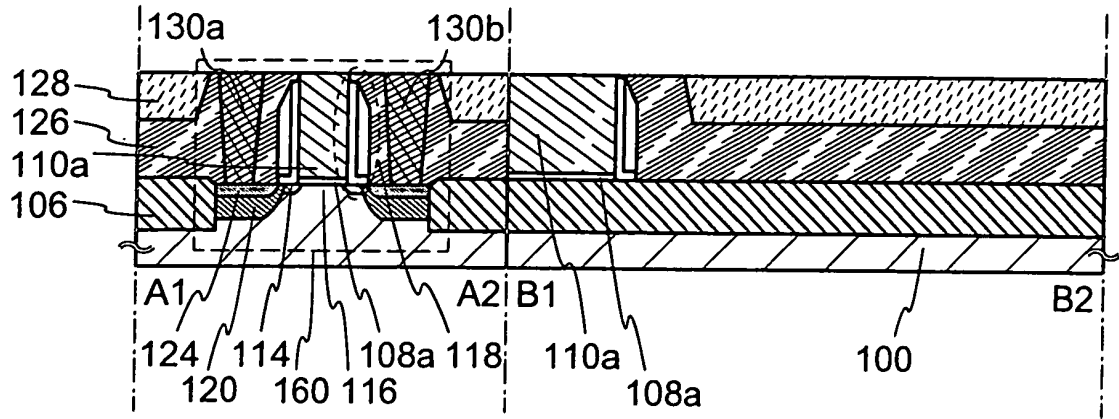


圖11B

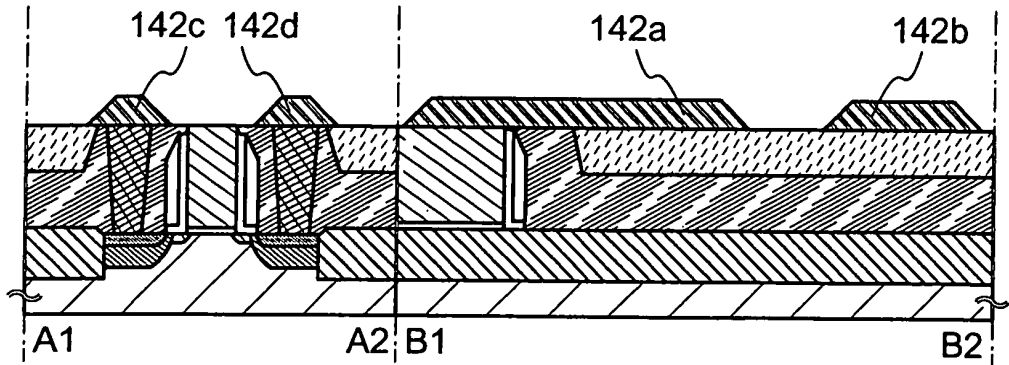


圖11C

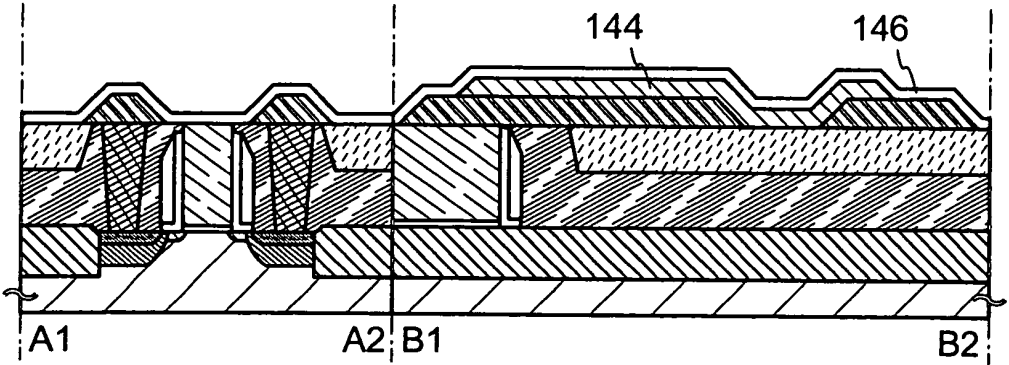


圖11D

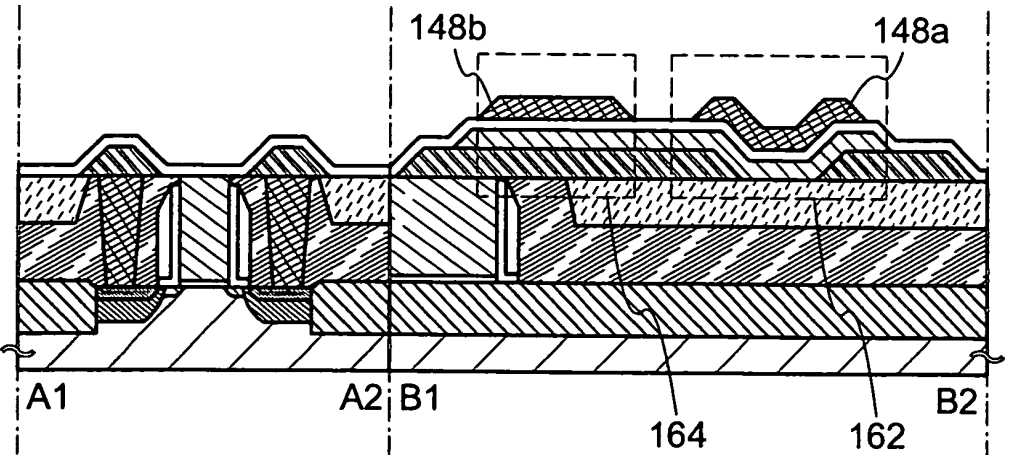


圖 12A

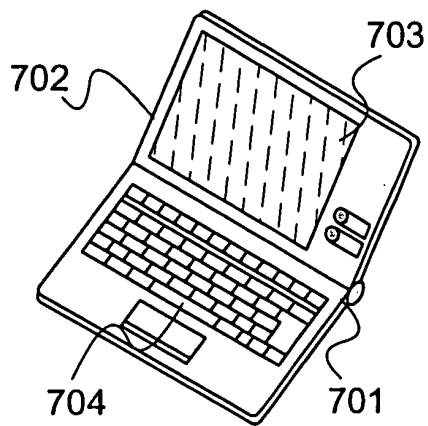


圖 12B

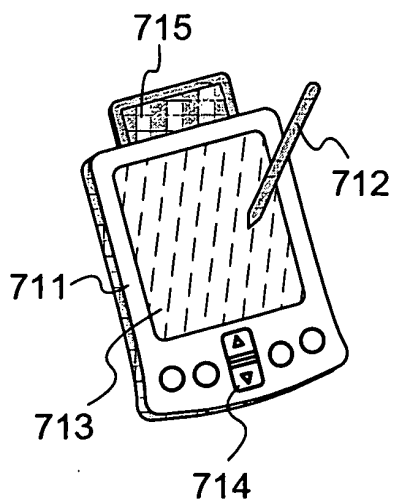


圖 12C

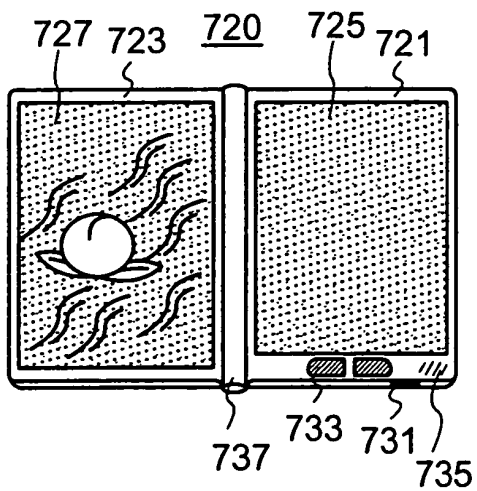


圖 12D

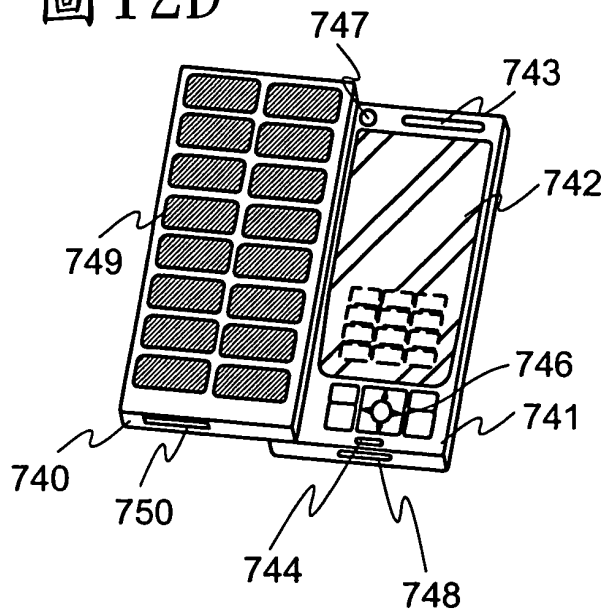


圖 12E

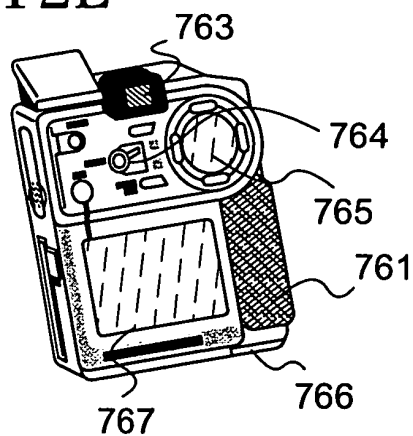


圖 12F

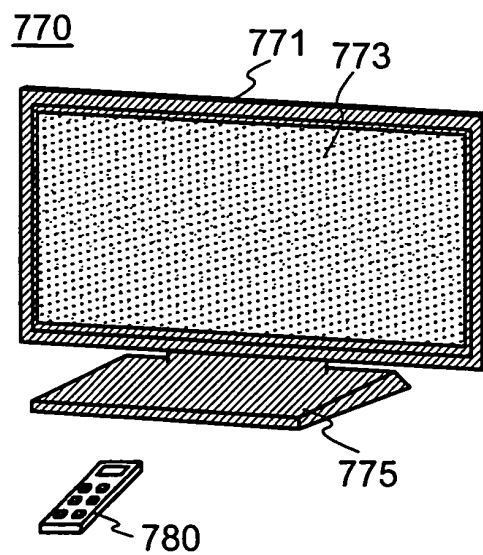


圖 13A

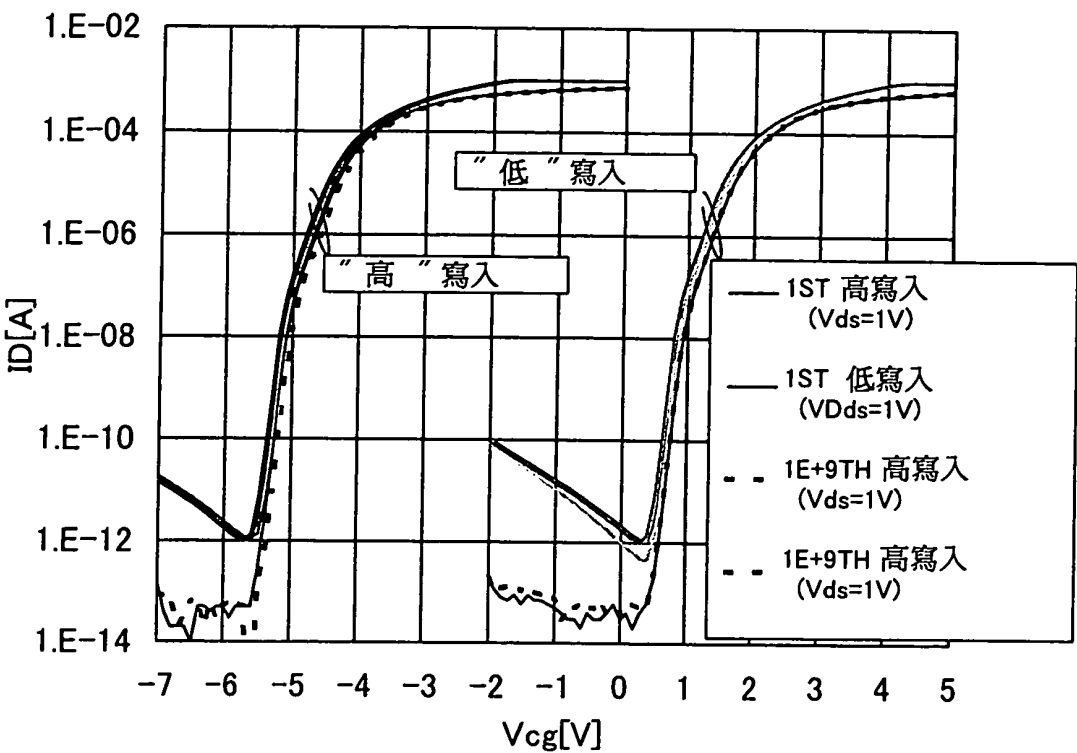


圖 13B

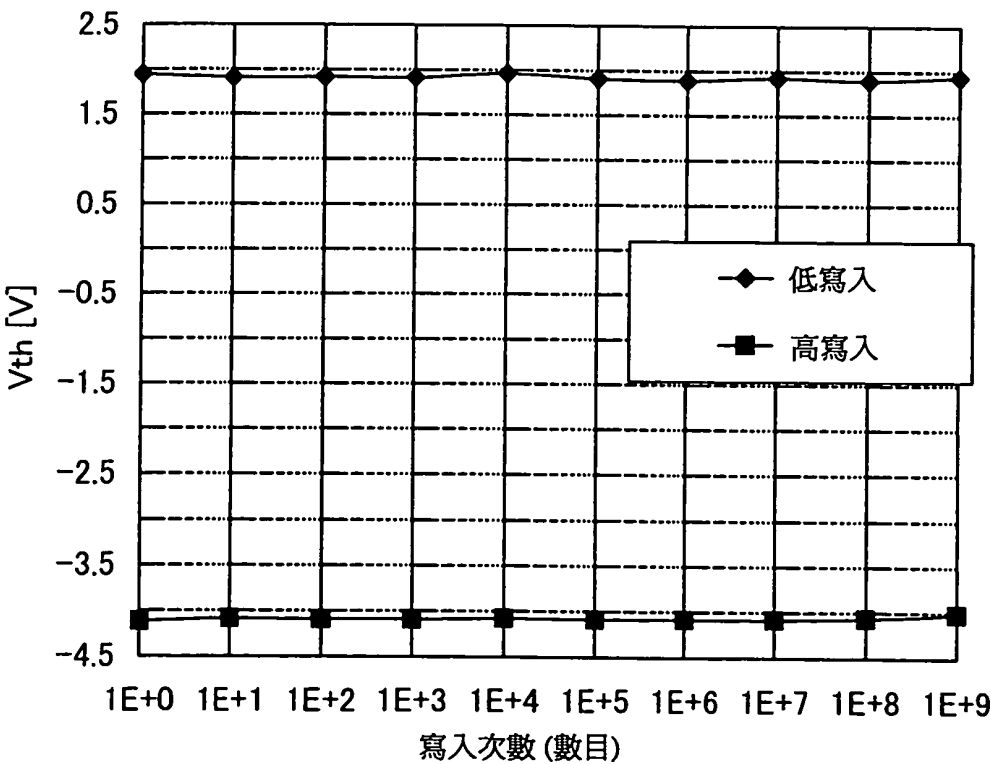


圖 14

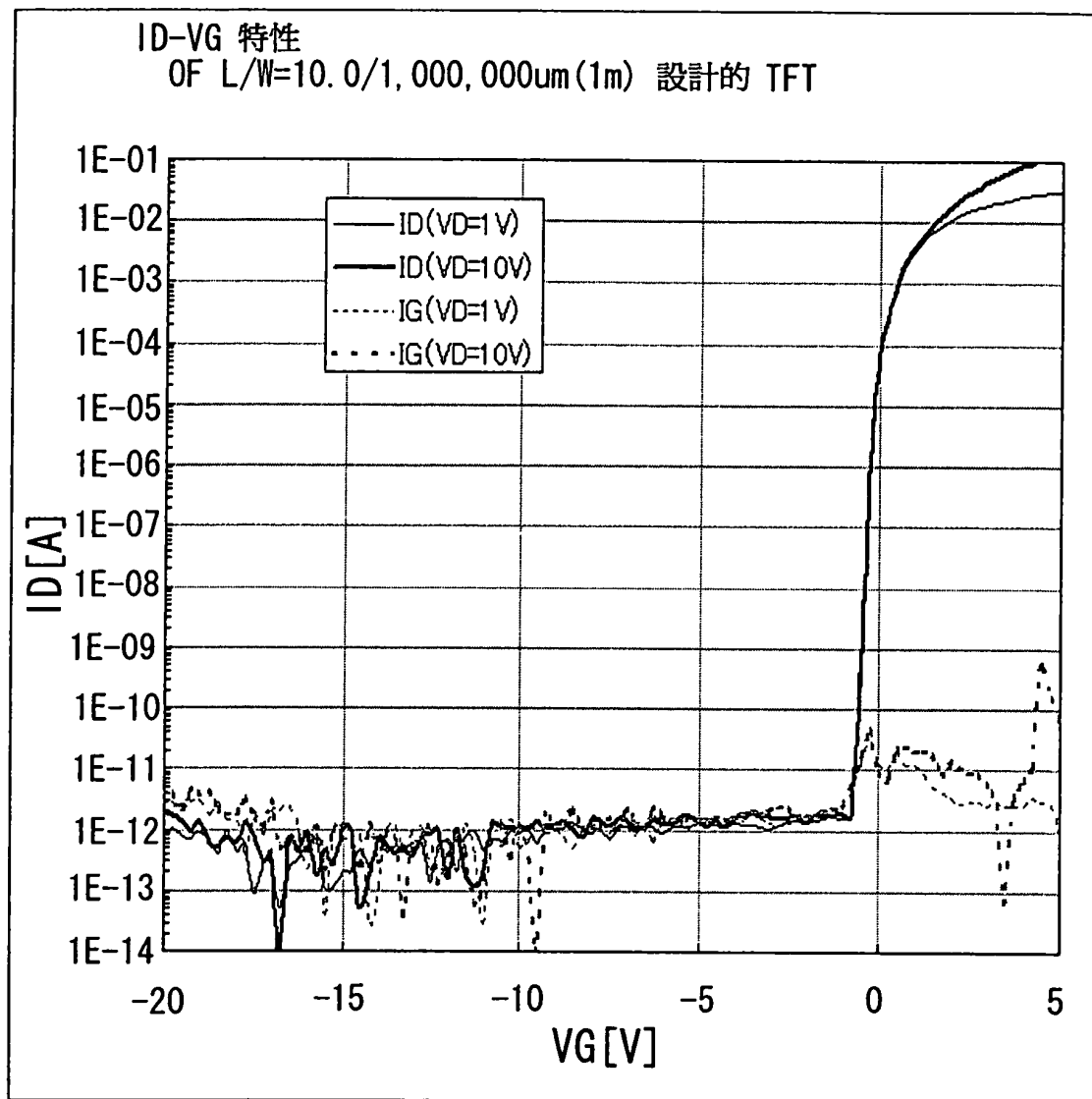


圖 15

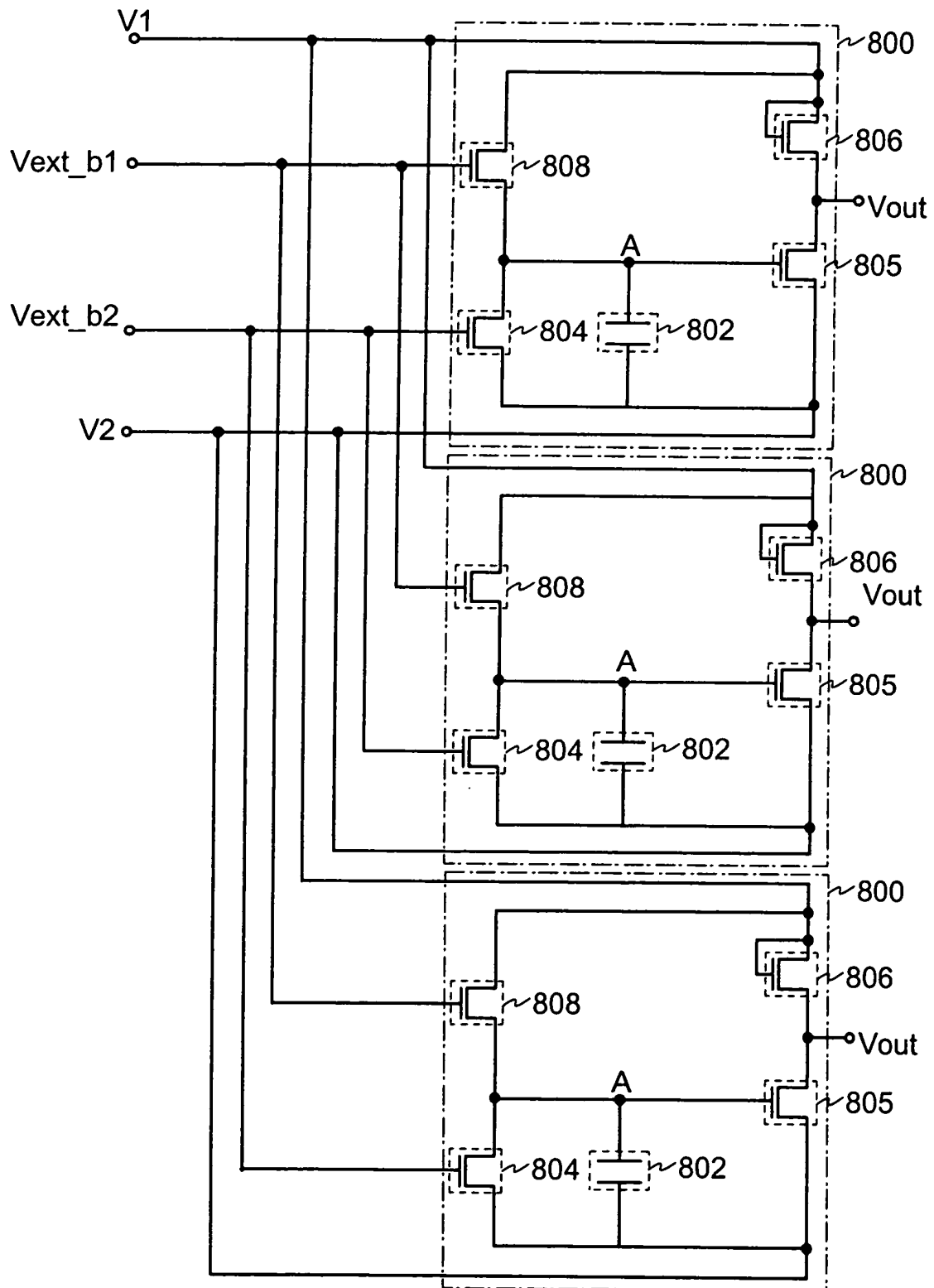


圖 16

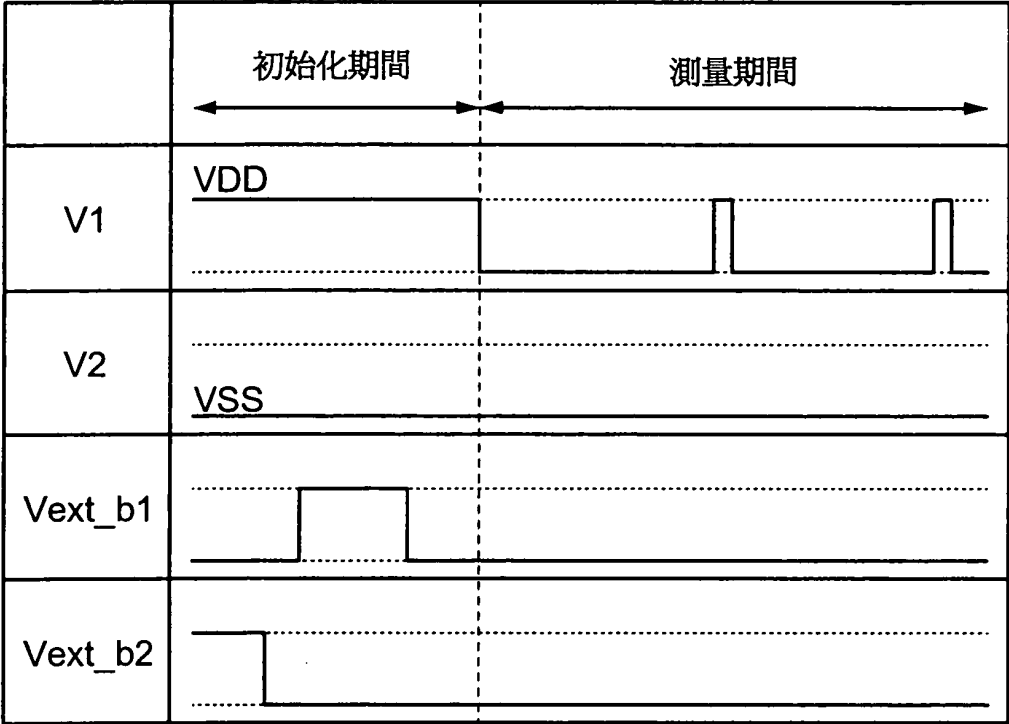


圖 17

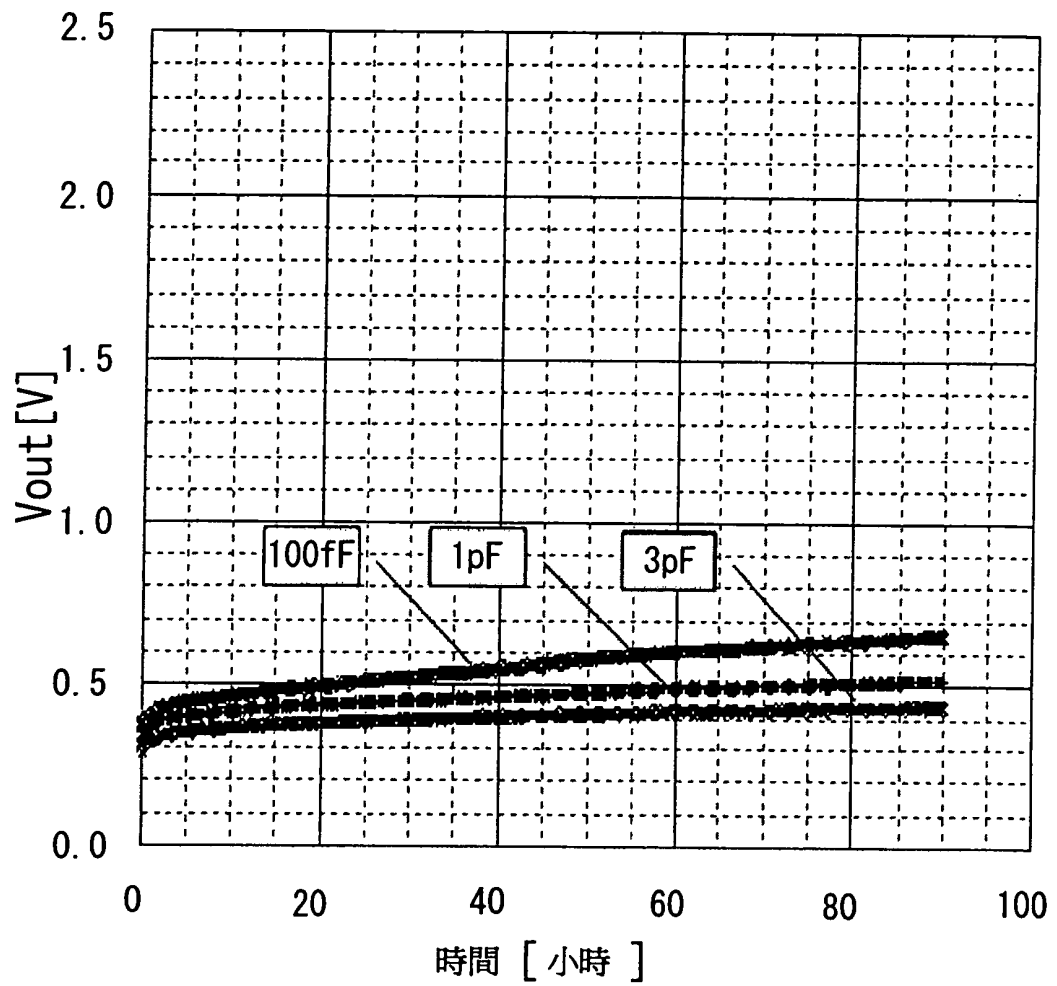


圖 18

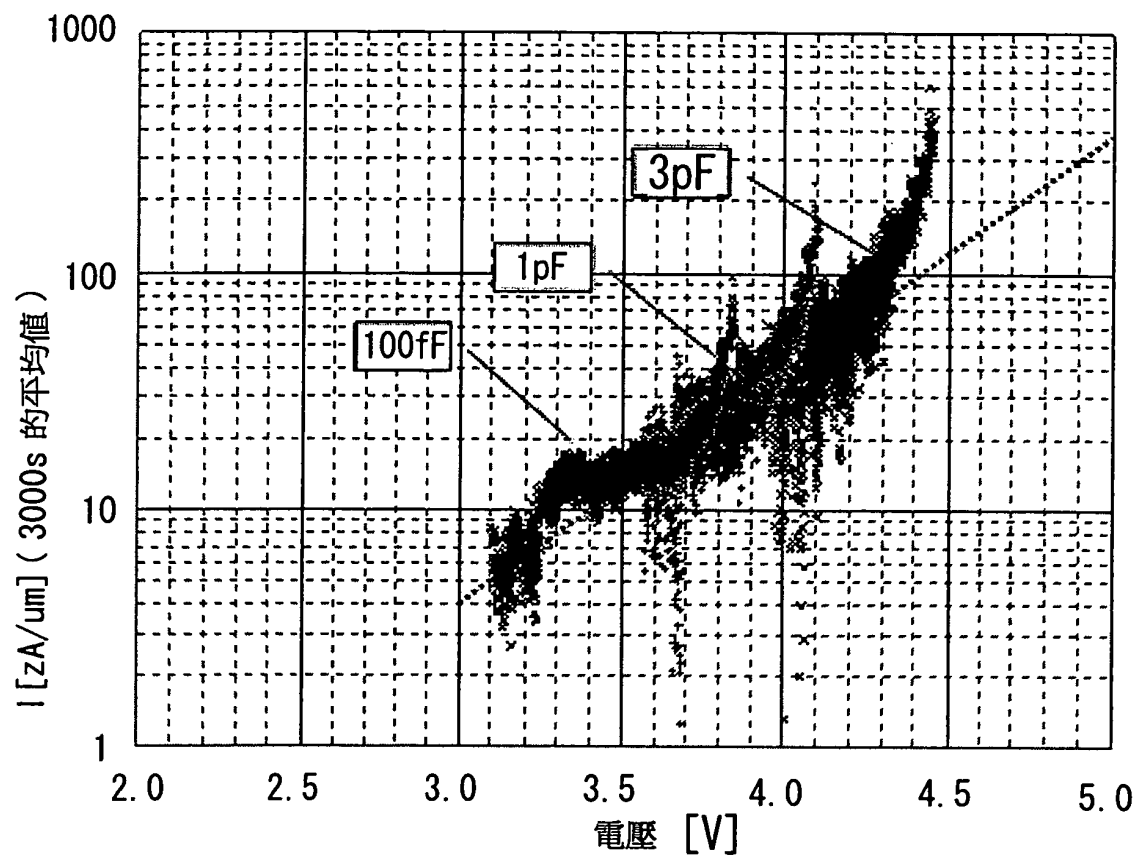
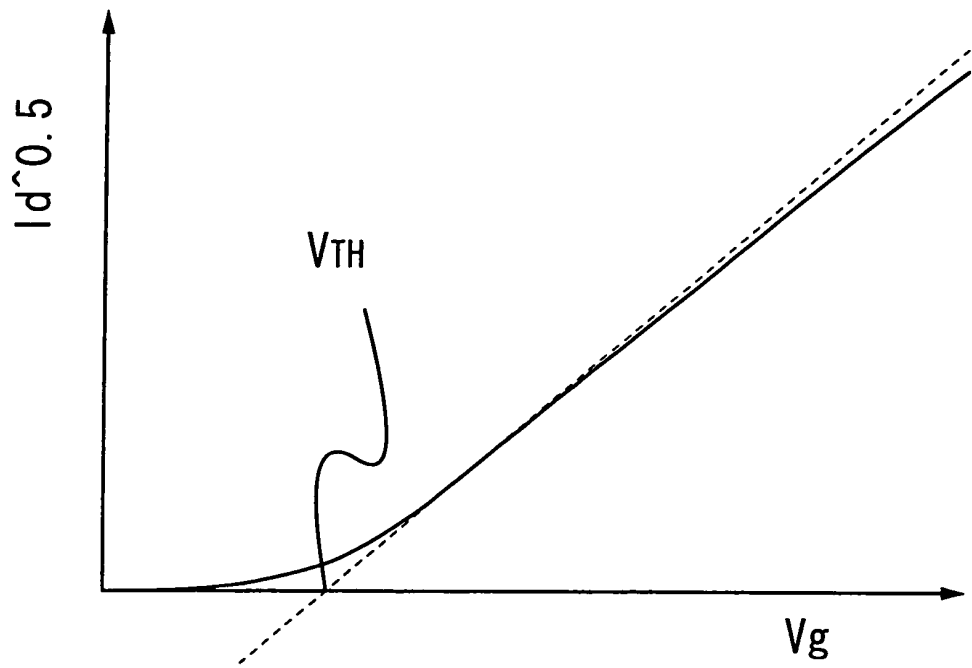


圖 19



三、英文發明摘要：

A semiconductor device has a non-volatile memory cell including a write transistor which includes an oxide semiconductor and has small leakage current in an off state (off-state current) between a source and a drain, a read transistor including a semiconductor material different from that of the write transistor, and a capacitor. Data is written or to the memory cell by applying a potential to a node where one of a source electrode and drain electrode of the write transistor, one electrode of the capacitor, and a gate electrode of the read transistor are electrically connected to one another so that the predetermined amount of charge is held in the node. The memory window width is changed by 2 % or less, before and after 1×10^9 times of writing.

四、指定代表圖：

(一) 本案指定代表圖為：第(1A)圖。

(二) 本代表圖之元件代表符號簡單說明：

160：電晶體

162：電晶體

164：電容器

FG：節點

OS：符號

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

七、申請專利範圍：

1. 一種半導體裝置，包括：

包括第一半導體的第一電晶體；

包括氧化物半導體的第二電晶體；

電容器；以及

節點，於該節點處該第二電晶體的源極電極及汲極電極的其中一者係連接到該第一電晶體的閘極電極和該電容器的一個電極，

其中，當藉由將第二電位施加到該第二電晶體的閘極電極來使該第二電晶體成為導通狀態時，將第一電位施加到該第二電晶體的該源極電極及該汲極電極中的另一者來寫入資料，

其中，當該第二電晶體成為截止狀態時，該節點保持資料，

其中，藉由判定當將第三電位施加到該電容器的另一個電極時該第一電晶體處於導通狀態或截止狀態來讀取在該節點處所保持的資料，並且

其中，在進行 1×10^9 次的寫入前後，處於導通狀態的該第一電晶體的第一臨界值電壓與處於截止狀態的該第一電晶體的第二臨界值電壓之差保持在 2% 或更小。

2. 根據申請專利範圍第 1 項之半導體裝置，其中，該第二電晶體的截止電流低於該第一電晶體的截止電流。

3. 根據申請專利範圍第 1 項之半導體裝置，其中，該第一電晶體的開關速度大於該第二電晶體的開關速度。

4. 根據申請專利範圍第 1 項之半導體裝置，其中，該氧化物半導體的能隙為 3eV 或更大。

5. 一種半導體裝置，包括：

包括第一半導體的第一電晶體；

包括氧化物半導體的第二電晶體，其中該第二電晶體的截止電流密度為等於 $100\text{zA}/\mu\text{m}$ 或更小；

電容器；以及

節點，於該節點處該第二電晶體的源極電極及汲極電極的其中一者係連接到該第一電晶體的閘極電極和該電容器的一個電極，

其中，當藉由將第二電位施加到該第二電晶體的閘極電極來使該第二電晶體成為導通狀態時，將第一電位施加到該第二電晶體的該源極電極及該汲極電極中的另一個來寫入資料，

其中，當該第二電晶體成為截止狀態時，該節點保持資料，

其中，藉由判定當將第三電位施加到該電容器的另一個電極時該第一電晶體處於導通狀態或截止狀態來讀取在該節點處所保持的資料，並且

其中，在進行 1×10^9 次的寫入前後，處於導通狀態的該第一電晶體的第一臨界值電壓與處於截止狀態的該第一電晶體的第二臨界值電壓之差保持在 2% 或更小。

6. 根據申請專利範圍第 5 項之半導體裝置，其中，該第二電晶體的截止電流低於該第一電晶體的截止電流。

7. 根據申請專利範圍第 5 項之半導體裝置，其中，該第一電晶體的開關速度大於該第二電晶體的開關速度。

8. 根據申請專利範圍第 5 項之半導體裝置，其中，該氧化物半導體的能隙為 3eV 或更大。

9. 一種半導體裝置的使用方法，該半導體裝置包含第一電晶體、包括氧化物半導體的第二電晶體及電容器，其中於節點處該第一電晶體的閘極電極連接到該第二電晶體的源極電極及汲極電極的其中一者及該電容器的一個電極；包括如下步驟：

當藉由將第二電位施加到該第二電晶體的閘極電極來使該第二電晶體成為導通狀態時，將第一電位施加到該第二電晶體的該源極電極及該汲極電極中的另一者來在節點處寫入資料；以及

藉由判定當將第三電位施加到該電容器的另一電極時該第一電晶體處於導通狀態或截止狀態來讀取在該節點處的資料，

其中，在進行 1×10^9 次的寫入前後，處於導通狀態的該第一電晶體的第一臨界值電壓與處於截止狀態的該第一電晶體的第二臨界值電壓之差保持在 2% 或更小。

10. 根據申請專利範圍第 9 項之半導體裝置的使用方法，其中，該第二電晶體的截止電流低於該第一電晶體的截止電流。

11. 根據申請專利範圍第 9 項之半導體裝置的使用方法，其中，該第一電晶體的開關速度大於該第二電晶體的

開關速度。

12. 根據申請專利範圍第 9 項之半導體裝置的使用方法，其中，該氧化物半導體的能隙為 3eV 或更大。

13. 一種半導體裝置的使用方法，該半導體裝置包含第一電晶體、包括氧化物半導體的第二電晶體及電容器，其中於節點處該第一電晶體的閘極電極連接到該第二電晶體的源極電極及汲極電極的其中一者及該電容器的一個電極；包括如下步驟：

當藉由將第二電位施加到該第二電晶體的閘極電極來使該第二電晶體成為導通狀態時，將第一電位施加到該第二電晶體的該源極電極及該汲極電極中的另一個來在節點處寫入資料；以及

藉由判定當將第三電位施加到該電容器的另一個電極時該第一電晶體處於導通狀態或截止狀態來讀取在該節點處所寫入的資料，

其中，在進行 1×10^9 次的寫入前後，處於導通狀態的該第一電晶體的第一臨界值電壓與處於截止狀態的該第一電晶體的第二臨界值電壓之差保持在 2% 或更小，並且

其中，該第二電晶體的截止電流密度為 $100\text{zA}/\mu\text{m}$ 或更小。

14. 根據申請專利範圍第 13 項之半導體裝置的使用方法，其中，該第二電晶體的截止電流低於該第一電晶體的截止電流。

15. 根據申請專利範圍第 13 項之半導體裝置的使用

方法，其中，該第一電晶體的開關速度大於該第二電晶體的開關速度。

16. 根據申請專利範圍第 13 項之半導體裝置的使用方法，其中，該氧化物半導體的能隙為 3 eV 或更大。