

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第5136532号
(P5136532)

(45) 発行日 平成25年2月6日 (2013.2.6)

(24) 登録日 平成24年11月22日 (2012.11.22)

(51) Int.Cl.

F I

H O 4 B 1/44 (2006.01)

H O 4 B 1/44

H O 3 K 17/00 (2006.01)

H O 3 K 17/00

D

請求項の数 5 (全 19 頁)

(21) 出願番号	特願2009-225537 (P2009-225537)	(73) 特許権者	000006231
(22) 出願日	平成21年9月29日 (2009.9.29)		株式会社村田製作所
(65) 公開番号	特開2011-77723 (P2011-77723A)		京都府長岡京市東神足1丁目10番1号
(43) 公開日	平成23年4月14日 (2011.4.14)	(74) 代理人	110000970
審査請求日	平成23年9月15日 (2011.9.15)		特許業務法人 楓国際特許事務所
		(72) 発明者	上嶋 孝紀
			京都府長岡京市東神足1丁目10番1号
			株式会社村田製作所
			内
		(72) 発明者	村瀬 永徳
			京都府長岡京市東神足1丁目10番1号
			株式会社村田製作所
			内
		審査官	大濱 宏之
			最終頁に続く

(54) 【発明の名称】 高周波スイッチモジュール

(57) 【特許請求の範囲】

【請求項 1】

単一のアンテナに接続される共通端子、および、複数の高周波通信用回路にそれぞれ接続される複数の高周波信号入出力端子を有するスイッチ IC を備えた高周波スイッチモジュールであって、

前記スイッチ IC の前記共通端子を直接にグランドへ接続する第 1 インダクタと、

前記複数の高周波信号入力端子の内の少なくとも一つを、直接にグランドへ接続する第 2 インダクタと、を備え、

前記共通端子側の端部に前記第 1 インダクタを設置した前記スイッチ IC と前記アンテナとのインピーダンス整合を行うインピーダンス整合回路を前記スイッチ IC の前記共通端子と、前記アンテナとの間に備え、

前記インピーダンス整合回路は、前記アンテナ側に接続される低域通過フィルタと、前記共振端子側に接続される高域通過フィルタとを組み合わせる帯域通過フィルタで構成され、

前記高域通過フィルタを構成するインダクタに前記第 1 インダクタを用いるとともに、

前記アンテナと前記高域通過フィルタとの間に接続されたインダクタを前記低域通過フィルタに備え、

前記第 2 インダクタを備えた高周波信号入力端子には、S A W フィルタが接続され、前記第 2 インダクタは前記スイッチ IC と前記 S A W フィルタとの間に接続された、回路構成を有し、

10

20

前記スイッチＩＣが実装され、且つ前記インピーダンス整合回路の回路素子が内部電極もしくは実装される電子回路部品により実現される積層回路基板を備え、

前記第１インダクタのグランド側の端部は、前記積層回路基板に形成されたビアホールのみにより前記積層回路基板の内層もしくは裏面に形成されたグランド電極へ接続され、

前記積層回路基板の前記スイッチＩＣが実装される主面側から平面視したとき、前記第１インダクタと前記第２インダクタとは重なることなく配置されている、高周波スイッチモジュール。

【請求項２】

前記第２インダクタの少なくとも一つのグランド側の端部は、前記積層回路基板に形成されたビアホールのみにより前記グランド電極へ接続する、請求項１に記載の高周波スイッチモジュール。

10

【請求項３】

前記第２インダクタの少なくとも一つは、前記積層回路基板の表面に実装された実装型のインダクタである、請求項２に記載の高周波スイッチモジュール。

【請求項４】

前記第１インダクタは、前記積層回路基板の表面に実装された実装型のインダクタであり、該実装型の第１インダクタと、前記実装型の第２インダクタとの間には、高周波スイッチモジュールを構成する他の回路素子が配置されている、請求項３に記載の高周波スイッチモジュール。

【請求項５】

20

前記インピーダンス整合回路は、一方端がグランドへ接続するキャパシタを備え、該キャパシタの対向電極は、前記積層回路基板に形成された二つのグランド電極により積層方向に沿って挟まれた形状に形成されている、請求項１～請求項４のいずれかに記載の高周波スイッチモジュール。

【発明の詳細な説明】

【技術分野】

【０００１】

この発明は、複数種類の高周波信号を切り替えて送受信する高周波スイッチモジュールに関するものである。

【背景技術】

30

【０００２】

従来、一つのアンテナで、それぞれに個別の周波数帯域からなる複数の通信信号を送受信するための高周波スイッチモジュールが各種考案されている。このような高周波スイッチモジュールには、現在、ＳＰｎＴ型（ｎは正数）のスイッチＩＣを用いたものが主流である。このスイッチＩＣは、アンテナに接続するアンテナ接続ポートと複数の高周波入出力ポート（送信ポートや受信ポート、さらには送受兼用ポート）とを有し、制御信号により、高周波信号入出力ポートのいずれかとアンテナ接続ポートとを接続するように切替制御を行う。

【０００３】

そして、従来の高周波スイッチモジュールでは、スイッチＩＣとアンテナとのインピーダンス整合を行う整合回路が、スイッチＩＣのアンテナ接続ポートに接続されている。例えば、特許文献１の高周波スイッチモジュールでは、アンテナ接続ポートとアンテナとの間に、 π 型構造のバンドパスフィルタが接続されている。

40

【０００４】

この π 型構造のバンドパスフィルタは、スイッチＩＣのアンテナ接続ポートとアンテナとの間に接続されたＬＣ直列共振回路と、当該ＬＣ直列共振回路の両端を、それぞれにグランドに接続する二つのＬＣ並列共振回路とを備える。さらに、これらの回路のアンテナ接続ポート側およびアンテナ側にはＬＣ直列共振回路に直列接続するキャパシタを備える。

【０００５】

50

そして、このような π 型構造のバンドパスフィルタは、インピーダンス整合回路として機能するだけでなく、ESD保護回路として機能する。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特表2005-505186号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

ところで、高周波スイッチモジュールで利用されるスイッチICは、内部にFETやキャパシタを備えており、通電されていると、これらに電荷がチャージされる。そして、このように電荷がチャージされている状態で、スイッチング制御（切替制御）を行っても、これらチャージされた電荷が放電されるまで、スイッチの切替制御が完了しない。すなわち、高速で放電を行えなければ、高速なスイッチングは実現できない。

【0008】

しかしながら、上述の従来の構造の高周波スイッチモジュールでは、アンテナ接続ポートに対して直接にキャパシタが挿入されているため、スイッチIC内にチャージされた電荷が放電されにくく、この放電時間に影響されて、スイッチング切替速度が遅くなってしまう。

【0009】

したがって、本発明の目的は、スイッチIC内にチャージされた電荷を高速に放電し、高速なスイッチ切替を実現する高周波スイッチモジュールを構成することにある。

【課題を解決するための手段】

【0010】

この発明は、単一のアンテナに接続される共通端子、および、複数の高周波通信用回路にそれぞれ接続される複数の高周波信号入出力端子を有するスイッチICを備えた高周波スイッチモジュールに関するものである。この高周波スイッチモジュールは、スイッチICの前記共通端子を直接にグランドへ接続する第1インダクタと、複数の高周波信号入力端子の内の少なくとも一つを、直接にグランドへ接続する第2インダクタと、を備えている。この高周波スイッチモジュールは、共通端子側の端部に第1インダクタを設置したスイッチICとアンテナとのインピーダンス整合を行うインピーダンス整合回路をスイッチICの共通端子とアンテナとの間に備えている。インピーダンス整合回路は、アンテナ側に接続される低域通過フィルタと、共振端子側に接続される高域通過フィルタとを組み合わせる帯域通過フィルタで構成されている。高域通過フィルタを構成するインダクタに第1インダクタを用いるとともに、アンテナと高域通過フィルタとの間に接続されたインダクタを低域通過フィルタに備え、第2インダクタを備えた高周波信号入力端子には、SAWフィルタが接続され、第2インダクタは前記スイッチICとSAWフィルタとの間に接続された、回路構成を有する。この高周波スイッチモジュールは、スイッチICが実装され、且つインピーダンス整合回路の回路素子が内部電極もしくは実装される電子回路部品により実現される積層回路基板を備える。第1インダクタのグランド側の端部は、積層回路基板に形成されたビアホールのみにより積層回路基板の内層もしくは裏面に形成されたグランド電極へ接続される。積層回路基板のスイッチICが実装される主面側から平面視したとき、第1インダクタと第2インダクタとは重なることなく配置されている。

【0011】

この構成では、スイッチICの共通端子とグランドとの間には、インダクタのみしか接続されていないので、スイッチICの電荷が共通端子からインダクタを介してグランドへ高速に放電される。これにより、スイッチ切替速度が高速化される。

【0013】

この構成では、さらに、スイッチICの複数の高周波信号入出力端子に対しても、共通端子と同様な高速放電の構成が実現される。これにより、さらに高速な放電が実現でき、

10

20

30

40

50

さらに高速なスイッチ切替を実現できる。

【 0 0 1 5 】

この構成では、上述の高速放電用のインダクタを、スイッチ IC の共通端子へ接続するインピーダンス整合回路内のインダクタにより実現する。これにより、インピーダンス整合回路は、インピーダンス整合機能と、高速放電機能とを同時に実現することができ、個別に回路構成するよりも、高周波スイッチモジュールを小型化できる。

【 0 0 1 7 】

この構成では、インピーダンス整合回路のさらに詳細な構成を示すものである。このように、低域通過フィルタと高域通過フィルタとを組み合わせることで、それぞれ単体で用いるよりも整合できる周波数帯域を広帯域にすることができる。その上で、高域通過フィルタには、信号ラインとグランドとを接続するインダクタ（シャントインダクタ）が用いられることを利用し、当該シャントインダクタを高速放電用の第 1 インダクタとして利用している。これにより、広帯域での伝送特性に優れ、且つ高速放電による高速スイッチング制御が可能な高周波スイッチモジュールを実現できる。

【 0 0 1 9 】

この構成では、高速放電用の第 1 インダクタのグランド側端子が、積層回路基板内の他の回路電極パターンを介することなく、ビアホールのみでグランドへ直接接続されるので、放電時間をさらに高速化できる。

【 0 0 2 0 】

また、この発明の高周波スイッチモジュールでは、第 2 インダクタの少なくとも一つのグランド側の端部は、積層回路基板に形成されたビアホールのみによりグランド電極へ接続している。

【 0 0 2 1 】

この構成では、上述の第 1 インダクタと同様に、第 2 インダクタについてもビアホールのみでグランドへ直接接続されることで、放電時間を高速化できる。

【 0 0 2 2 】

また、この発明の高周波スイッチモジュールでは、第 2 インダクタの少なくとも一つは、積層回路基板の表面に実装された実装型のインダクタである。

【 0 0 2 3 】

この構成では、第 2 インダクタを実装型のインダクタにすることで、積層回路基板内に形成されたスイッチ IC の高周波信号入出力端子側の各回路パターンとのアイソレーションを向上させることができる。

【 0 0 2 4 】

また、この発明の高周波スイッチモジュールでは、第 1 インダクタは、積層回路基板の表面に実装された実装型のインダクタであり、該実装型の第 1 インダクタと、実装型の第 2 インダクタとの間には、高周波スイッチモジュールを構成する他の回路素子が配置されている。

【 0 0 2 5 】

この構成では、第 1 インダクタを実装型のインダクタとすることで、耐電流性が高いものや所望のインダクタンスとなるものを選びやすく、設計自由度が向上する。さらに、積層回路基板の表面に実装された第 1 インダクタと第 2 インダクタとの間に、他の素子を介在することで、スイッチ IC の共通端子側と高周波信号入出力端子側とのアイソレーションを確保することができる。これにより、アンテナを介して流入する静電気のノイズ等が高周波信号入出力端子側へ漏洩することも防止できる。

【 0 0 2 6 】

また、この発明の高周波スイッチモジュールでは、インピーダンス整合回路は、一方端がグランドへ接続するキャパシタを備える。そして、このキャパシタの対向電極は、積層回路基板に形成された二つのグランド電極により積層方向に沿って挟まれた形状に形成されている。

【 0 0 2 7 】

この構成では、インピーダンス整合回路に用いるキャパシタを、積層回路基板に形成したグラウンド電極間に挟み込むことで、積層回路基板内に形成された高周波信号入出力端子側の回路パターンとのアイソレーションを確保できる。これにより、インピーダンス整合回路に流入する上述のノイズ等が、積層回路基板内に形成された高周波信号入出力端子側へ漏洩することをさらに防止できる。

【発明の効果】

【0028】

この発明によれば、スイッチICとグラウンドとを直接に接続するインダクタが存在することで、スイッチ切替時にスイッチICにチャージされた電荷を高速に、グラウンドへ放電することができる。これにより、高速なスイッチ切替制御を行える高周波スイッチモジュールを実現することができる。

10

【図面の簡単な説明】

【0029】

【図1】第1実施形態に係る高周波スイッチモジュール1の回路図である。

【図2】第1実施形態に係る高周波スイッチモジュール1の積層図である。

【図3】第2実施形態に係る高周波スイッチモジュール1Aの回路図である。

【図4】第2実施形態に係る高周波スイッチモジュール1Aの積層図である。

【図5】第3の実施形態に係る高周波スイッチモジュール1Bの回路図である。

【図6】第3の実施形態に係る高周波スイッチモジュール1Bの積層図である。

【図7】第4の実施形態に係る高周波スイッチモジュール1Cの回路図である。

20

【発明を実施するための形態】

【0030】

本発明の第1実施形態に係る高周波スイッチモジュールについて、図を参照して説明する。

図1は、本実施形態の高周波スイッチモジュール1の回路図である。図2は、本実施形態の高周波スイッチモジュール1を構成する積層回路基板の積層図である。

【0031】

高周波スイッチモジュール1を構成する積層回路基板は、具体的構成は図2を用いて後述するが、概略的には、セラミックあるいは樹脂等の複数の誘電体層を積層してなる積層体によって形成される。そして、積層回路基板は、各誘電体層間となる内層および積層体の天面および底面に所定パターンで電極を形成することで、図1に示すような高周波スイッチモジュール1のスイッチIC10およびインダクタ L_{m1} 、 L_{m2} 、 L_{m3} 、 L_{m4} 、 L_d 、キャパシタ C_{m1} 、SAWフィルタ $SAW1$ 、 $SAW2$ 、 $SAW3$ 、 $SAW4$ 以外の回路パターンを実現している。

30

【0032】

高周波スイッチモジュール1は、複数の外部接続用電極 P_M を有する。これら複数の外部接続用電極 P_M は、当該高周波スイッチモジュール1が実装される後段回路の回路基板に実装されるために利用される。なお、以下の説明では、説明の便宜上、高周波スイッチモジュール1としての外部接続用電極 P_M は「電極」と称し、後述するスイッチIC10の実装用電極 P_{IC} は「ポート」と称する。

40

【0033】

複数の外部接続用電極 P_M は、アンテナ用外部電極 $P_M(ANT0)$ と、送信用外部電極 $P_M(TxLB)$ 、 $P_M(TxHB)$ 、受信用外部電極 $P_M(Rx1)$ 、 $P_M(Rx2)$ 、 $P_M(Rx3)$ 、 $P_M(Rx4)$ 、送受信兼用外部電極 $P_M(UM1)$ 、 $P_M(UM2)$ 、 $P_M(UM3)$ と、駆動電圧入力用の駆動電圧入力用外部電極 $P_M(Vd)$ と、制御電圧信号入力用の制御電圧入力用外部電極 $P_M(Vc1)$ 、 $P_M(Vc2)$ 、 $P_M(Vc3)$ 、 $P_M(Vc4)$ とを有する。なお、図1には図示していないが接地用のグラウンド電極も有する。

【0034】

まず、高周波スイッチモジュール1におけるスイッチIC10よりもアンテナ側の構成

50

について説明する。

【0035】

高周波スイッチモジュール1としてアンテナANTに接続するアンテナ用外部電極 P_M (ANT0)には、インピーダンス整合回路20を介して、CMOS構造等からなるスイッチIC10のアンテナ用ポート P_{IC} (ANT0)が接続されている。

【0036】

インピーダンス整合回路20は、ローパスフィルタ200Lとハイパスフィルタ200Hとがアンテナ用外部電極 P_M (ANT0)とアンテナ用ポート P_{IC} (ANT0)との間に直列接続された構成からなる。この際、ローパスフィルタ200Lがアンテナ用外部電極 P_M (ANT0)側に接続され、ハイパスフィルタ200Hがアンテナ用ポート P_{IC} (ANT0)側に接続される。

10

【0037】

ローパスフィルタ200Lは、インダクタ L_{m2} とキャパシタACとを備える。インダクタ L_{m2} は、一方端がアンテナ用外部電極 P_M (ANT0)に接続され、他方端がハイパスフィルタ200Hのキャパシタ C_{m1} に接続されている。キャパシタACは、一方端がアンテナ用外部電極 P_M (ANT0)に接続され、他方端がグランドに接続されている。

【0038】

ハイパスフィルタ200Hは、キャパシタ C_{m1} とインダクタ L_{m1} (本発明の第1「インダクタ」に相当する。)とを備える。キャパシタ C_{m1} は、一方端がローパスフィルタ200Lのインダクタ L_{m2} に接続され、他方端がスイッチIC10のアンテナ用ポート P_{IC} (ANT0)に接続されている。インダクタ L_{m1} は、一方端がアンテナ用ポート P_{IC} (ANT0)に接続され、他方端がグランドに接続されている。

20

【0039】

このような構成として、インダクタ L_{m1} , L_{m2} のインダクタンス、キャパシタ C_{m1} , ACのキャパシタンスを適宜設定することで、インピーダンス整合回路20は、ローパスフィルタ200Lとハイパスフィルタ200Hとを組み合わせるバンドパスフィルタとして機能する。これにより、ローパスフィルタのみやハイパスフィルタのみを用いる場合よりも、広い周波数帯域でのインピーダンス整合が可能になる。例えば、ローパスフィルタのみではGSM850, GSM900の周波数帯域のみのインピーダンス整合となり、ハイパスフィルタのみではGSM1800, GSM1900の周波数帯域のみのインピーダンス整合となっても、これらを組み合わせたバンドパスフィルタとすることで、GSM850, GSM900, GSM1800, GSM1900のすべて周波数帯域をインピーダンス整合することができる。この結果、本発明のように、一つのアンテナに対して四つやより多数の周波数帯域の信号を切り替えて送受信するような高周波スイッチモジュールであって、いずれの周波数帯域での通信を行っても、優れた伝送特性を実現することができる。

30

【0040】

また、インダクタ L_{m1} により、信号ラインがグランドに接続されているので、アンテナANTから静電気ノイズ等がサージされても、当該インダクタ L_{m1} からグランドへ当該サージによる電流が放電されるので、当該インピーダンス整合回路20は、ESD保護デバイスとしても機能し、スイッチIC10の静電破壊を防ぐことができる。

40

【0041】

また、インダクタ L_{m1} により、スイッチIC10のアンテナ用ポート P_{IC} (ANT0)がグランドに直接接続されるので、スイッチIC10内にチャージされていた静電気を、インダクタ L_{m1} を介して高速にグランドへ放電することができる。これにより、高速スイッチングを実現できる。

【0042】

例えば、同じCMOS構造からなるスイッチICを用いて、当該インダクタ L_{m1} のインダクタンスを22nHとし、比較対象の従来回路として当該インダクタ L_{m1} とアンテ

50

ナ用ポート $P_{IC} (ANT0)$ との間にキャパシタンス 10 pF のキャパシタを挿入した場合、スイッチングスピードが、比較対象の従回路では $81.6 \mu\text{sec}$.であったのに対して、本願構成の回路では $1.2 \mu\text{sec}$.となる。

【0043】

このように、本実施形態のインピーダンス整合回路20を用いれば、スイッチICとアンテナとの間の広帯域なインピーダンス整合と、ESD保護と、スイッチICの高速スイッチングを、簡素な構成で実現することができる。

【0044】

次に、スイッチIC10の構成について説明する。

【0045】

スイッチIC10は、例えばCMOS構造からなり、平面視して略矩形からなる所謂SP9T型のFETスイッチICである。スイッチIC10は、駆動電圧 V_{dd} で駆動し、制御電圧信号 $V_{c1} \sim V_{c4}$ の組み合わせに応じて、本発明の「共通端子」に相当するアンテナ用ポート $P_{IC} (ANT0)$ を、本発明の「高周波信号入出力端子」に相当する通信用ポート $P_{IC} (RF1) \sim P_{IC} (RF9)$ のいずれかに選択的に接続する機能を有する。なお、本実施形態では、SP9T型を例にしたが、SPnT型 (n は2以上の正数) についても、本発明の構成を適用することができる。

【0046】

次に、高周波スイッチモジュール1におけるスイッチIC10のアンテナ側と反対側、すなわち「高周波信号入出力端子」側である通信用ポート側の回路構成について説明する。

【0047】

高周波スイッチモジュール1としての送信用外部電極 $P_M (T \times L B)$ には、ローパスフィルタ30Aを介して、スイッチIC10の通信用ポート $P_{IC} (RF1)$ が接続されている。

【0048】

ローパスフィルタ30Aは、インダクタ $GLt1$, $GLt2$ 、およびキャパシタ $GCu1$, $GCu2$, $GCu3$, $GCc1$, $GCc2$ を有する。

【0049】

インダクタ $GLt1$, $GLt2$ は、送信用外部電極 $P_M (T \times L B)$ と通信用ポート $P_{IC} (RF1)$ との間に直列接続されている。インダクタ $GLt1$ にはキャパシタ $GCc1$ が並列接続され、インダクタ $GLt2$ にはキャパシタ $GCc2$ が並列接続されている。インダクタ $GLt1$ の通信用ポート $P_{IC} (RF1)$ 側とグラウンドとの間には、キャパシタ $GCu1$ が接続されている。インダクタ $GLt1$, $GLt2$ の接続点とグラウンドの間には、キャパシタ $GCu2$ が接続されている。インダクタ $GLt2$ の送信用外部電極 $P_M (T \times L B)$ 側とグラウンドの間には、キャパシタ $GCu3$ が接続されている。

【0050】

これらローパスフィルタ30Aを構成する各インダクタ及びキャパシタの素子値は、送信用外部電極 $P_M (T \times L B)$ から入力される送信信号の周波数帯域を通過帯域とし、当該送信信号の高調波帯域を減衰する特性となるように設定されている。例えば、GSM850やGSM900の送信信号の周波数帯域を通過帯域とし、これらの2倍高調波や3倍高調波の帯域を減衰帯域とするように設定されている。

【0051】

高周波スイッチモジュール1としての送信用外部電極 $P_M (T \times H B)$ には、ローパスフィルタ30Bを介して、スイッチIC10の通信用ポート $P_{IC} (RF2)$ が接続されている。

【0052】

ローパスフィルタ30Bは、インダクタ $DLt1$, $DLt2$ 、およびキャパシタ $DCu2$, $DCu3$, $DCc1$ を有する。

【0053】

10

20

30

40

50

インダクタ $D L t 1$, $D L t 2$ は、送信用外部電極 $P_M (T \times H B)$ と通信用ポート $P_{I C} (R F 2)$ との間に直列接続されている。インダクタ $D L t 1$ にはキャパシタ $D C c 1$ が並列接続されている。インダクタ $D L t 1$, $D L t 2$ の接続点とグランドとの間には、キャパシタ $D C u 2$ が接続されている。インダクタ $D L t 2$ の送信用外部電極 $P_M (T \times H B)$ 側とグランドとの間には、キャパシタ $D C u 3$ が接続されている。

【 0 0 5 4 】

これらローパスフィルタ 3 0 B を構成する各インダクタ及びキャパシタの素子値は、送信用外部電極 $P_M (T \times H B)$ から入力される送信信号の周波数帯域を通過帯域とし、当該送信信号の高調波帯域を減衰する特性となるように設定されている。例えば、G S M 1 8 0 0 や G S M 1 9 0 0 の送信信号の周波数帯域を通過帯域とし、これらの 2 倍高調波や 3 倍高調波の帯域を減衰帯域とするように設定されている。

10

【 0 0 5 5 】

高周波スイッチモジュール 1 としての受信用外部電極 $P_M (R \times 1)$ には、S A W フィルタ S A W 1 を介して、スイッチ I C 1 0 の通信用ポート $P_{I C} (R F 3)$ が接続されている。この S A W フィルタ S A W 1 は、第 1 受信周波数帯域を通過帯域とするフィルタであり、例えば、G S M 8 5 0 通信の受信信号の周波数帯域を通過帯域とするように設定されている。

【 0 0 5 6 】

高周波スイッチモジュール 1 としての受信用外部電極 $P_M (R \times 2)$ には、S A W フィルタ S A W 2 を介して、スイッチ I C 1 0 の通信用ポート $P_{I C} (R F 4)$ が接続されている。この S A W フィルタ S A W 2 は、第 2 受信周波数帯域を通過帯域とするフィルタであり、例えば、G S M 9 0 0 通信の受信信号の周波数帯域を通過帯域とするように設定されている。

20

【 0 0 5 7 】

高周波スイッチモジュール 1 としての受信用外部電極 $P_M (R \times 3)$ には、S A W フィルタ S A W 3 を介して、スイッチ I C 1 0 の通信用ポート $P_{I C} (R F 5)$ が接続されている。この S A W フィルタ S A W 3 は、第 3 の受信周波数帯域を通過帯域とするフィルタであり、例えば、G S M 1 8 0 0 通信の受信信号の周波数帯域を通過帯域とするように設定されている。さらに、このスイッチ I C 1 0 の通信用ポート $P_{I C} (R F 5)$ は、インダクタ $L m 3$ (本発明の「第 2 インダクタ」に相当する。)によりグランドに接続されている。このように、通信用ポート $P_{I C} (R F 5)$ がインダクタ $L m 3$ によりグランドに直接接続されていることで、上述のアンテナ用ポート $P_{I C} (A N T 0)$ 側のインダクタ $L m 1$ と同様に、スイッチ切替時に、スイッチ I C 1 0 内にチャージされていた静電気を、インダクタ $L m 3$ を介して高速にグランドへ放電することができる。これにより、さらに高速なスイッチングを実現することができる。

30

【 0 0 5 8 】

高周波スイッチモジュール 1 としての受信用外部電極 $P_M (R \times 4)$ には、S A W フィルタ S A W 4 を介して、スイッチ I C 1 0 の通信用ポート $P_{I C} (R F 6)$ が接続されている。この S A W フィルタ S A W 4 は、第 4 の受信周波数帯域を通過帯域とするフィルタであり、例えば、G S M 1 9 0 0 通信の受信信号の周波数帯域を通過帯域とするように設定されている。さらに、このスイッチ I C 1 0 の通信用ポート $P_{I C} (R F 6)$ は、インダクタ $L m 4$ (本発明の「第 2 インダクタ」に相当する。)によりグランドに接続されている。このように、通信用ポート $P_{I C} (R F 6)$ がインダクタ $L m 4$ によりグランドに直接接続されていることで、上述のアンテナ用ポート $P_{I C} (A N T 0)$ 側のインダクタ $L m 1$ や通信用ポート $P_{I C} (R F 5)$ のインダクタ $L m 3$ と同様に、スイッチ切替時に、スイッチ I C 1 0 内にチャージされていた静電気を、インダクタ $L m 4$ を介して高速にグランドへ放電することができる。これにより、さらに高速なスイッチングを実現することができる。

40

【 0 0 5 9 】

高周波スイッチモジュール 1 としての送受信兼用外部電極 $P_M (U M 1)$, $P_M (U M$

50

2), $P_M(UM3)$ には、スイッチ IC10 の通信用ポート $P_{IC}(RF7)$, $P_{IC}(RF8)$, $P_{IC}(RF9)$ がそれぞれ接続されている。

【0060】

高周波スイッチモジュール1としての駆動電圧入力用外部電極 $P_M(Vd)$ には、チョークコイルであるインダクタ Ld を介してスイッチ IC10 の駆動電圧入力用ポート $P_{IC}(Vd)$ が接続されている。

【0061】

高周波スイッチモジュール1としての制御電圧入力用外部電極 $P_M(Vc1)$, $P_M(Vc2)$, $P_M(Vc3)$, $P_M(Vc4)$ には、スイッチ IC10 の制御電圧入力用ポート $P_{IC}(Vc1)$, $P_{IC}(Vc2)$, $P_{IC}(Vc3)$, $P_{IC}(Vc4)$ がそれぞれ接続されている。

10

【0062】

次に、高周波スイッチモジュール1を構成する積層回路基板の積層構成について、図2を参照して、より具体的に説明する。

【0063】

高周波スイッチモジュール1を形成する積層回路基板は、ローパスフィルタ30A, 30Bを内部電極パターンで実現するとともに、これらローパスフィルタ30A, 30Bと、積層回路基板の表面に実装されたその他の回路素子と、高周波スイッチモジュール1としての各外部接続用電極 P_M およびスイッチ IC10 の各ポート P_{IC} とを接続する回路パターンを、内部電極パターンや天面および底面の電極で実現する。

20

【0064】

積層回路基板は21層の誘電体層が積層された構造からなる。なお、図2は、積層回路基板の天面の層を第1層として、底面側にむかって層番号が増加し、積層回路基板の底面の層を第21層とする積層図であり、以下ではこの層番号に準じて説明する。また、図2において、各層で記載されている○印は、導電性のビアホールを示し、当該ビアホールにより積層方向に列ぶ各層の電極間の導電性が確保されている。

【0065】

積層回路基板の天面に対応する第1層の天面側には、実装ランド群が形成されており、実装部品であるスイッチ IC10、インダクタ $Lm1$, $Lm2$, $Lm3$, $Lm4$, Ld 、キャパシタ $Cm1$ 、SAWフィルタ $SAW1$, $SAW2$, $SAW3$, $SAW4$ が所定の位置関係で実装されている。ここで、インダクタ $Lm1$ やインダクタ $Lm3$, $Lm4$ を実装部品とすることで、積層回路基板内に形成した電極パターンによるインダクタよりも、耐電流性が高く、素子値が選びやすいものとなるので、スイッチ切替時の静電気放電による電流が流れるインダクタに対する選択自由度を向上することができる。

30

【0066】

また、インダクタ $Lm3$, $Lm4$ をインダクタ $Lm1$ に対して離間して配置するとともに、インダクタ $Lm3$, $Lm4$ とインダクタ $Lm1$ との間に、他の素子を介在させて配置している。同様に、インダクタ $Lm3$, $Lm4$ をインダクタ $Lm2$ に対して離間して配置するとともに、インダクタ $Lm3$, $Lm4$ とインダクタ $Lm2$ との間に、他の素子を介在させて配置している。このような構成とすることで、スイッチ IC10 のアンテナ用ポート側に接続されたインダクタ $Lm1$, $Lm2$ と、通信用ポート側に接続されたインダクタ $Lm3$, $Lm4$ とが電磁界結合せず、スイッチ IC10 のアンテナ用ポート側と通信用ポート側とのアイソレーションを高めることができる。

40

【0067】

さらには、インダクタ $Lm1$ とインダクタ $Lm2$ とを離間して、間に他の素子を介在させることで、これらのインダクタ $Lm1$, $Lm2$ 間の電磁界結合も防止できる。これにより、スイッチ切替時にインダクタ $Lm1$ に電流が流れても、インダクタ $Lm2$ に相互誘導が起らず、これによるインピーダンス整合回路20内でのノイズの発生を防止できる。

【0068】

第2層、第3層、第4層、および第5層には各種引き回し用の電極パターンが形成され

50

ている。

【 0 0 6 9 】

第 6 層にはグラウンド電極 GND が形成されており、第 7 層には引き回し用の電極パターンが形成され、第 8 層にはグラウンド電極 GND が平面視した略全面に亘り形成されている。この第 8 層のグラウンド電極 GND は、キャパシタ G C u 1 , G C u 3 の対向電極としても機能している。

【 0 0 7 0 】

第 9 層にはキャパシタ G C u 1 , G C u 2 の対向電極が形成されている。第 1 0 層にはビアホールのみが形成されている。

【 0 0 7 1 】

第 1 1 層、第 1 2 層、第 1 3 層にはインダクタ G L t 1 , G L t 2 , D L t 1 , D L t 2 を構成する電極パターンが形成されており、第 1 4 層にはインダクタ G L t 1 , G L t 2 を構成する電極パターンが形成されている。

【 0 0 7 2 】

第 1 5 層、第 1 6 層、第 1 7 層にはビアホールのみが形成されている。

【 0 0 7 3 】

第 1 8 層にはキャパシタ G C c 1 , G C c 2 , D C c 1 の対向電極が形成されるとともに、グラウンド電極 GND が形成されている。この第 1 8 層のグラウンド電極 GND は、キャパシタ A C の対向電極としても機能している。

【 0 0 7 4 】

第 1 9 層にはキャパシタ G C u 2 , G C u 3 , D C u 2 , D C u 3 , A C の対向電極が形成されている。キャパシタ G C u 2 の対向電極は、キャパシタ G C c 1 , G C c 2 の対向電極としても機能し、キャパシタ D C u 2 の対向電極は、キャパシタ D C c 1 の対向電極としても機能する。

【 0 0 7 5 】

第 2 0 層にはグラウンド電極 GND が平面視した略全面に形成されている。この第 2 0 層のグラウンド電極 GND は、キャパシタ G C u 2 , D C u 2 , D C u 3 , A C の対向電極としても機能している。ここで、第 1 8 層、第 1 9 層、および第 2 0 層に示すように、第 1 9 層のキャパシタ A C の対向電極を、第 1 8 層および第 2 0 層のグラウンド電極 GND で積層方向に沿って挟み込む構造とすることで、当該キャパシタ A C が他の素子と結合することを防止できる。これにより、積層回路基板内に形成されたスイッチ I C 1 0 の通信用ポート側の各回路パターンとのアイソレーションを確保できる。これにより、インピーダンス整合回路に流入するアンテナからのノイズ等が、積層回路基板内に形成されたスイッチ I C 1 0 の通信用ポート側の各回路へ漏洩することを防止できる。

【 0 0 7 6 】

積層回路基板の底面に相当する第 2 1 層の底面側には、側辺に沿って、上述の各外部接続用電極 P_M が形成されており、これらの外部接続用電極 P_M の配置パターンの中央には、グラウンド電極 GND が形成されている。また、この際、アンテナ用外部電極 P_M (A N T 0) と、受信用外部電極 P_M (R x 1) , P_M (R x 2) , P_M (R x 3) , P_M (R x 4) とは、底面の対向する側辺に配置されており、これらの間でのアイソレーションが確保されている。また、アンテナ用外部電極 P_M (A N T 0) は、側辺に沿って隣り合う電極がグラウンド電極 GND となっており、他の各外部接続用電極 P_M とのアイソレーションが確保されている。

【 0 0 7 7 】

以上のような構成とすることで、伝送特性が優れ、E S D 保護機能を有し、且つスイッチ切替速度が高速な高周波スイッチモジュールを、小型に形成することができる。

【 0 0 7 8 】

次に、第 2 実施形態に係る高周波スイッチモジュールについて、図を参照して説明する。

図 3 は本実施形態の高周波スイッチモジュール 1 A の回路図である。

図4は本実施形態の高周波スイッチモジュール1Aを形成する積層回路基板の積層図である。

【0079】

高周波スイッチモジュール1Aを構成する積層回路基板は、具体的構成は図4を用いて後述するが、概略的には、セラミックあるいは樹脂等の複数の誘電体層を積層してなる積層体によって形成される。そして、積層回路基板は、各誘電体層間となる内層および積層体の天面および底面に所定パターンで電極を形成することで、図1に示すような高周波スイッチモジュール1のスイッチIC10Aおよびインダクタ L_{m1} 、SAWフィルタSAW12、SAW34以外の回路パターンを実現している。

【0080】

高周波スイッチモジュール1Aは、複数の外部接続用電極 P_M を有する。複数の外部接続用電極 P_M は、アンテナ用外部電極 $P_M(ANT0)$ と、送信用外部電極 $P_M(T \times LB)$ 、 $P_M(T \times HB)$ 、受信用外部電極 $P_M(R \times 1)$ 、 $P_M(R \times 2)$ 、 $P_M(R \times 3)$ 、 $P_M(R \times 4)$ 、送受信兼用外部電極 $P_M(UM1)$ 、 $P_M(UM2)$ と、駆動電圧入力用の駆動電圧入力用外部電極 $P_M(Vd)$ と、制御電圧信号入力用の制御電圧入力用外部電極 $P_M(Vc1)$ 、 $P_M(Vc2)$ 、 $P_M(Vc3)$ とを有する。なお、図1には図示していないが接地用のグランド電極も有する。また、受信用外部電極 $P_M(R \times 1)$ 、 $P_M(R \times 2)$ 、 $P_M(R \times 3)$ 、 $P_M(R \times 4)$ は、それぞれが一对の電極により構成される平衡型の電極で形成されている。

【0081】

まず、高周波スイッチモジュール1AにおけるスイッチIC10Aよりもアンテナ側の構成について説明する。

【0082】

高周波スイッチモジュール1AとしてアンテナANTに接続するアンテナ用外部電極 $P_M(ANT0)$ には、インピーダンス整合回路20Aを介してスイッチIC10Aのアンテナ用ポート $P_{IC}(ANT0)$ が接続されている。

【0083】

インピーダンス整合回路20Aは、インダクタ L_{m1} 、 L_{m2} 、キャパシタACからなる。インダクタ L_{m2} は、アンテナ用外部電極 $P_M(ANT0)$ とアンテナ用ポート $P_{IC}(ANT0)$ との間に直列接続されている。インダクタ L_{m1} は、一方端がアンテナ用ポート $P_{IC}(ANT0)$ に接続され、他方端がグランドに接続されている。キャパシタACは、一方端がアンテナ用外部電極 $P_M(ANT0)$ に接続され、他方端がグランドに接続されている。このような構造であっても、上述の第1実施形態のインピーダンス整合回路20と同様の作用効果を得ることができる。

【0084】

次に、スイッチIC10Aの構成について説明する。

スイッチIC10Aは、例えばCMOS構造からなり、平面視して略矩形からなる所謂SP6T型のFETスイッチICである。スイッチIC10Aは、駆動電圧 V_{dd} で駆動し、制御電圧信号 $V_{c1} \sim V_{c3}$ の組み合わせに応じて、本発明の「共通端子」に相当するアンテナ用ポート $P_{IC}(ANT0)$ を、本発明の「高周波信号入出力端子」に相当する通信用ポート $P_{IC}(RF1) \sim P_{IC}(RF6)$ のいずれかに選択的に接続する機能を有する。

【0085】

次に、高周波スイッチモジュール1AにおけるスイッチIC10Aのアンテナ側と反対側、すなわち「高周波信号入出力端子」側である通信用ポート側の回路構成について説明する。なお、送信系の回路については、ローパスフィルタ30Aのキャパシタ G_{cu3} が省略されただけで、他の構成は第1実施形態と同じであるので、説明は省略する。

【0086】

高周波スイッチモジュール1Aとしての受信用外部電極 $P_M(R \times 1)$ と受信用外部電極 $P_M(R \times 2)$ には、SAWフィルタSAW12を介して、スイッチIC10の通信用

ポート $P_{IC}(RF3)$ が接続されている。この SAW フィルタ $SAW12$ は、第 1 受信周波数帯域および第 2 受信周波数帯域を通過帯域とするフィルタであり、例えば、GSM850 通信の受信信号の周波数帯域と GSM900 通信の受信信号の周波数帯域とを通過帯域とするように設定されている。そして、SAW フィルタ $SAW12$ は、第 1 受信周波数帯域の信号 (GSM850 通信の受信信号) が受信用外部電極 $P_M(Rx1)$ へ出力され、第 2 受信周波数帯域の信号 (GSM900 通信の受信信号) が受信用外部電極 $P_M(Rx2)$ へ出力されるように接続されている。

【0087】

さらに、このスイッチ IC10A の通信用ポート $P_{IC}(RF3)$ は、インダクタ $Lm3$ によりグランドに接続されている。

10

【0088】

高周波スイッチモジュール 1A としての受信用外部電極 $P_M(Rx3)$ と受信用外部電極 $P_M(Rx4)$ には、SAW フィルタ $SAW34$ を介して、スイッチ IC10 の通信用ポート $P_{IC}(RF4)$ が接続されている。この SAW フィルタ $SAW34$ は、第 3 の受信周波数帯域および第 4 の受信周波数帯域を通過帯域とするフィルタであり、例えば、GSM1800 通信の受信信号の周波数帯域と GSM1900 通信の受信信号の周波数帯域とを通過帯域とするように設定されている。そして、SAW フィルタ $SAW34$ は、第 3 の受信周波数帯域の信号 (GSM1800 通信の受信信号) が受信用外部電極 $P_M(Rx3)$ へ出力され、第 4 の受信周波数帯域の信号 (GSM1900 通信の受信信号) が受信用外部電極 $P_M(Rx4)$ へ出力されるように接続されている。

20

【0089】

さらに、このスイッチ IC10A の通信用ポート $P_{IC}(RF4)$ は、インダクタ $Lm4$ によりグランドに接続されている。

【0090】

このような受信系の構造であっても、上述の第 1 実施形態の受信系と同様の作用効果を得ることができる。

【0091】

高周波スイッチモジュール 1A としての送受信兼用外部電極 $P_M(UM1)$ 、 $P_M(UM2)$ には、スイッチ IC10 の通信用ポート $P_{IC}(RF5)$ 、 $P_{IC}(RF6)$ がそれぞれ接続されている。

30

【0092】

高周波スイッチモジュール 1A としての駆動電圧入力用外部電極 $P_M(Vd)$ には、スイッチ IC10A の駆動電圧入力用ポート $P_{IC}(Vd)$ が接続されている。

【0093】

高周波スイッチモジュール 1A としての制御電圧入力用外部電極 $P_M(Vc1)$ 、 $P_M(Vc2)$ 、 $P_M(Vc3)$ には、スイッチ IC10 の制御電圧入力用ポート $P_{IC}(Vc1)$ 、 $P_{IC}(Vc2)$ 、 $P_{IC}(Vc3)$ がそれぞれ接続されている。

【0094】

次に、高周波スイッチモジュール 1A を構成する積層回路基板の積層構成について、図 4 を参照して、より具体的に説明する。

40

【0095】

高周波スイッチモジュール 1A を形成する積層回路基板は、ローパスフィルタ 30A、30B、インピーダンス整合回路 20A のインダクタ $Lm2$ およびキャパシタ AC、インダクタ $Lm3$ 、 $Lm4$ を内部電極パターンで実現し、その他の回路素子を積層回路基板の表面に実装されたその他の回路素子で実現し、これら回路素子を接続する回路パターンや、高周波スイッチモジュール 1A としての各外部接続用電極 P_M およびスイッチ IC10A の各ポート P_{IC} とを接続する回路パターンを、内部電極パターンや天面および底面の電極で実現する。

【0096】

積層回路基板は 17 層の誘電体層が積層された構造からなる。なお、図 4 は、積層回路

50

基板の天面の層を第1層として、底面側にむかって層番号が増加し、積層回路基板の底面の層を第17層とする積層図であり、以下ではこの層番号に準じて説明する。また、図4においても、各層で記載されている○印は、導電性のビアホールを示し、当該ビアホールにより積層方向に列ぶ各層の電極間の導電性が確保されている。

【0097】

積層回路基板の天面に対応する第1層の天面側には、実装ランド群が形成されており、実装部品であるスイッチIC10A、インダクタLm1、SAWフィルタSAW12、SAW34が所定の位置関係で実装されている。

【0098】

第2層、第3層には各種引き回し用の電極パターンが形成されている。

10

【0099】

第4層にはグラウンド電極GNDが平面視した略全面に亘り形成されている。この第4層のグラウンド電極GNDは、キャパシタGcu1の対向電極としても機能している。

【0100】

第5層にはキャパシタGcu1の対向電極が形成されている。第6層にはビアホールのみが形成されている。

【0101】

第7層、第8層、第9層にはインダクタGLt1、GLt2、DLt1、DLt2、Lm2、Lm3、Lm4を構成する電極パターンが形成されており、第10層にはインダクタGLt1、GLt2、Lm2、Lm3、Lm4を構成する電極パターンが形成されている。

20

【0102】

第11層、第12層にはビアホールのみが形成されている。第13層にはグラウンド電極GNDが形成されている。この第13層のグラウンド電極GNDは、キャパシタACの対向電極としても機能している。また、第13層のグラウンド電極GNDは、積層回路基板を平面視して（積層方向へ沿って見て）、インダクタLm2と重なり合う位置に形成されている。これにより、インダクタLm2と容量結合してキャパシタンスを発生させることで、インピーダンス整合回路20Aの整合の微調整に利用することもできる。

【0103】

第14層にはキャパシタGCc1、GCc2、DCc1の対向電極が形成されている。

30

【0104】

第15層にはキャパシタGcu2、DCu2、DCu3、ACの対向電極が形成されている。キャパシタGcu2の対向電極は、キャパシタGCc1、GCc2の対向電極としても機能し、キャパシタDCu2の対向電極は、キャパシタDCc1の対向電極としても機能する。ここで、第13層、第15層、および第16層に示すように、第15層のキャパシタACの対向電極を、第13層および第16層のグラウンド電極GNDで積層方向に沿って挟み込む構造とすることで、第1実施形態と同様に、当該キャパシタACが他の素子と結合することを防止できる。

【0105】

積層回路基板の底面に相当する第17層の底面側には、側辺に沿って、上述の各外部接続用電極PMが形成されており、これらの外部接続用電極PMの配置パターンの中央には、グラウンド電極GNDが形成されている。また、この際、アンテナ用外部電極PM(ANT0)と、受信用外部電極PM(Rx1)、PM(Rx2)、PM(Rx3)、PM(Rx4)とは、底面の対向する側辺に配置されており、これらの間でのアイソレーションが確保されている。

40

【0106】

以上のような構成であっても、第1実施形態の高周波スイッチモジュール1と同様に、伝送特性が優れ、ESD保護機能を有し、且つスイッチ切替速度が高速な高周波スイッチモジュールを、小型に形成することができる。

【0107】

50

次に、第3の実施形態に係る高周波スイッチモジュールについて、図を参照して説明する。

図5は本実施形態の高周波スイッチモジュール1Bの回路図である。

図6は本実施形態の高周波スイッチモジュール1Bを形成する積層回路基板の積層図である。

【0108】

本実施形態の高周波スイッチモジュール1Bは、第1実施形態に示した高周波スイッチモジュール1に対して、インピーダンス整合回路20Bの構成および、スイッチIC10の受信系の通信用ポート $P_{IC}(RF3) \sim P_{IC}(RF6)$ 側の回路構成が異なるものであり、他の回路構成は同じである。したがって、回路構成が同じ箇所は説明を省略する。

10

【0109】

インピーダンス整合回路20Bは、第2実施形態に示したインピーダンス整合回路20Aと同じ回路構成であり、インダクタ L_{m1} 、 L_{m2} 、キャパシタACからなる。インダクタ L_{m2} は、アンテナ用外部電極 $P_M(ANT0)$ とアンテナ用ポート $P_{IC}(ANT0)$ との間に直列接続されている。インダクタ L_{m1} は、一方端がアンテナ用ポート $P_{IC}(ANT0)$ に接続され、他方端がグランドに接続されている。キャパシタACは、一方端がアンテナ用外部電極 $P_M(ANT0)$ に接続され、他方端がグランドに接続されている。このような構造であっても、上述の第1実施形態のインピーダンス整合回路20や第2実施形態のインピーダンス整合回路20Aと同様の作用効果を得ることができる。

20

【0110】

高周波スイッチモジュール1Bとしての受信用外部電極 $P_M(R \times 1)$ には、スイッチIC10の通信用ポート $P_{IC}(RF3)$ が直接接続されており、受信用外部電極 $P_M(R \times 2)$ には、スイッチIC10の通信用ポート $P_{IC}(RF4)$ が直接接続されている。また、受信用外部電極 $P_M(R \times 3)$ には、スイッチIC10の通信用ポート $P_{IC}(RF5)$ が直接接続されており、受信用外部電極 $P_M(R \times 4)$ には、スイッチIC10の通信用ポート $P_{IC}(RF6)$ が直接接続されている。このような構成とすれば、受信系の回路を、後段の回路基板で実現することになるが、高周波スイッチモジュールを、より小型化することができる。さらに、受信系の回路構成を、当該高周波スイッチモジュール1Bを実装する電子機器の回路基板の設計者が、自由に設計することができる。

30

【0111】

次に、高周波スイッチモジュール1Bを構成する積層回路基板の積層構成について、図6を参照して、より具体的に説明する。

【0112】

高周波スイッチモジュール1Bを形成する積層回路基板は、ローパスフィルタ30A、30B、インピーダンス整合回路20AのキャパシタACを内部電極パターンで実現し、その他の回路素子を積層回路基板の表面に実装されたその他の回路素子で実現し、これら回路素子を接続する回路パターンや、高周波スイッチモジュール1Bとしての各外部接続用電極 P_M およびスイッチIC10の各ポート P_{IC} とを接続する回路パターンを、内部電極パターンや天面および底面の電極で実現する。

40

【0113】

積層回路基板は24層の誘電体層が積層された構造からなる。なお、図6は、積層回路基板の天面の層を第1層として、底面側にむかって層番号が増加し、積層回路基板の底面の層を第24層とする積層図であり、以下ではこの層番号に準じて説明する。また、図6においても、各層で記載されている○印は、導電性のビアホールを示し、当該ビアホールにより積層方向に列ぶ各層の電極間の導電性が確保されている。

【0114】

積層回路基板の天面に対応する第1層の天面側には、実装ランド群が形成されており、実装部品であるスイッチIC10、インダクタ L_{m1} 、 L_{m2} が所定の位置関係で実装されている。

50

【 0 1 1 5 】

第2層、第3層、第4層、および第5層には各種引き回し用の電極パターンが形成されている。

【 0 1 1 6 】

第6層にはグラウンド電極 GND が形成されている。この第6層のグラウンド電極 GND は、キャパシタ AC の対向電極としても機能している。第7層にはキャパシタ AC の対向電極が、第6層のグラウンド電極 GND と、積層回路基板を平面視して重なり合う位置に形成されている。第8層にはグラウンド電極 GND が、第7層のキャパシタ AC の対向電極の形成領域を含むように、略全面に亘り形成されている。この第8層のグラウンド電極 GND は、キャパシタ AC の対向電極として機能するとともに、第9層との関係からキャパシタ G C u 1 , G C u 3 , D C u 1 の対向電極としても機能している。

10

【 0 1 1 7 】

ここで、第6層、第7層、および第8層に示すように、第7層のキャパシタ AC の対向電極を、第6層および第8層のグラウンド電極 GND で積層方向に沿って挟み込む構造とすることで、第1実施形態や第2実施形態と同様に、当該キャパシタ AC が他の素子と結合することを防止できる。さらに、本実施形態の構成では、第7層にキャパシタ AC の対向電極しか形成していないので、層内において、キャパシタ AC が他の素子へ結合することも防止できる。

【 0 1 1 8 】

第9層にはキャパシタ G C u 1 , G C u 3 , D C u 1 の対向電極が形成されている。第10層、第11層にはビアホールのみが形成されている。

20

【 0 1 1 9 】

第12層、第13層、第14層、第15層および第16層にはインダクタ G L t 1 , G L t 2 , D L t 1 , D L t 2 を構成する電極パターンが形成されており、第17層にはインダクタ D L t 2 を構成する電極パターンが形成されている。第18層にはビアホールのみが形成されている。

【 0 1 2 0 】

第20層にはキャパシタ G C c 1 , G C c 2 の対向電極が形成されている。第21層にはキャパシタ G C u 2 , D C u 2 の対向電極が形成されている。第21層のキャパシタ G C u 2 の対向電極はキャパシタ G C c 1 , G C c 2 の対向電極としても機能し、第21層のキャパシタ D C u 2 の対向電極はキャパシタ D C c 1 の対向電極としても機能している。

30

【 0 1 2 1 】

第22層にはグラウンド電極 GND が形成されており、当該グラウンド電極 GND は、キャパシタ G C u 2 , D C u 2 の対向電極としても機能している。第23層にはグラウンド電極 GND が積層回路基板を平面視して（積層方向へ沿って見て）、略全面に形成されている。

【 0 1 2 2 】

積層回路基板の底面に相当する第24層の底面側には、側辺に沿って、上述の各外部接続用電極 P_M が形成されており、これらの外部接続用電極 P_M の配置パターンの中央には、グラウンド電極 GND が形成されている。

40

【 0 1 2 3 】

このような構成であっても、上述の第1実施形態や第2実施形態で示したスイッチ IC からアンテナ側の回路で解決できる各種の課題を解決することができる。

【 0 1 2 4 】

次に、第4の実施形態に係る高周波スイッチモジュールについて、図を参照して説明する。

図7は本実施形態の高周波スイッチモジュール 1 C の回路図である。

【 0 1 2 5 】

本実施形態の高周波スイッチモジュール 1 C は、第1実施形態に示した高周波スイッチ

50

モジュール 1 に対して、インピーダンス整合回路 20C の回路構成が異なり、他の回路構成は同じである。したがって、以下ではインピーダンス整合回路 20C についてのみ説明する。

【0126】

インピーダンス整合回路 20C は、インダクタ L_{m1} 、 L_{m2} 、キャパシタ C_{m1} 、 A_C からなる。

【0127】

キャパシタ C_{m1} とインダクタ L_{m2} は、アンテナ用外部電極 P_M (ANT0) とアンテナ用ポート P_{IC} (ANT0) との間に直列接続されている。この際、キャパシタ C_{m1} とインダクタ L_{m2} は、アンテナ用ポート P_{IC} (ANT0) すなわちスイッチ IC10 にインダクタ L_{m2} が接続するように、配置されている。

10

【0128】

インダクタ L_{m1} は、一方端がインダクタ L_{m2} とキャパシタ C_{m1} との接続点に接続され、他方端がグラウンドに接続されている。キャパシタ A_C は、一方端がアンテナ用外部電極 P_M (ANT0) に接続され、他方端がグラウンドに接続されている。

【0129】

このような構造の場合であっても、スイッチ IC10 のアンテナ用ポート P_{IC} (ANT0) は、インダクタ L_{m1} 、 L_{m2} の直列回路すなわちインダクタのみを介して、グラウンドへ接続される。これにより、上述の第 1 実施形態のインピーダンス整合回路 20 や第 2 実施形態のインピーダンス整合回路 20A と同様の作用効果を得ることができる。

20

【0130】

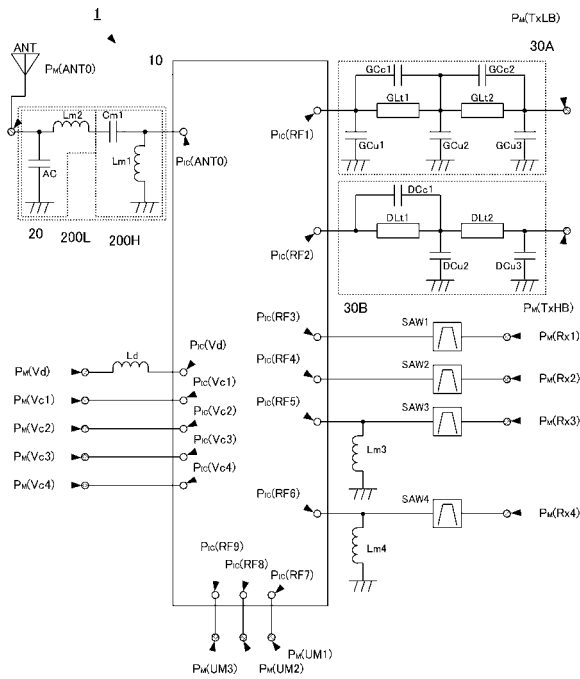
なお、上述の各実施形態に示した高周波スイッチモジュールの構成は、一例を示すものであり、基本的な回路構成として、スイッチ IC のアンテナ用ポート P_{IC} (ANT0) がインダクタのみを介してグラウンドへ接続される構造であればよい。さらには、このインダクタをスイッチ IC のアンテナ接続ポートに接続するインピーダンス整合回路内のインダクタで実現するものであればよい。

【符号の説明】

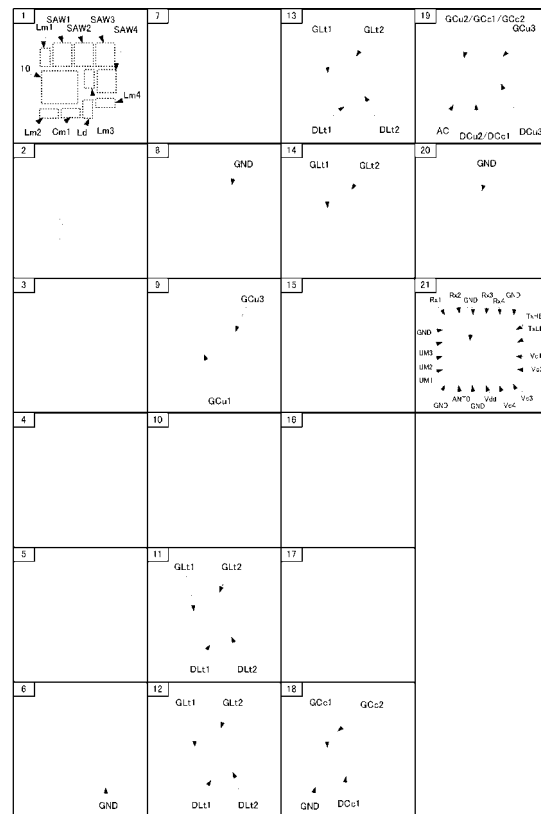
【0131】

1, 1A, 1B, 1C - 高周波スイッチモジュール、10, 10A - スイッチ IC、20, 20A, 20B, 20C - インピーダンス整合回路、30A, 30B - ローパスフィルタ

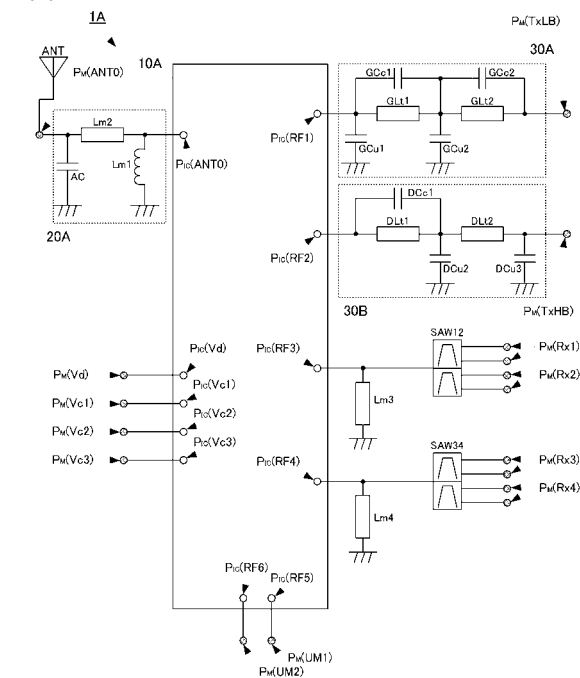
30



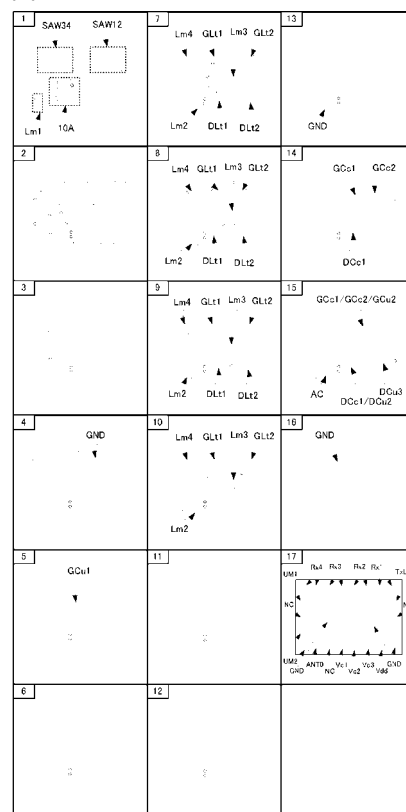
【圖 2】



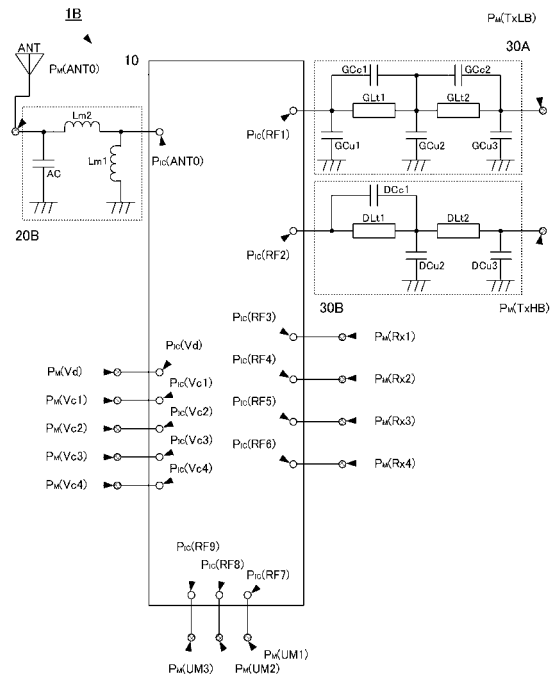
【圖 3】



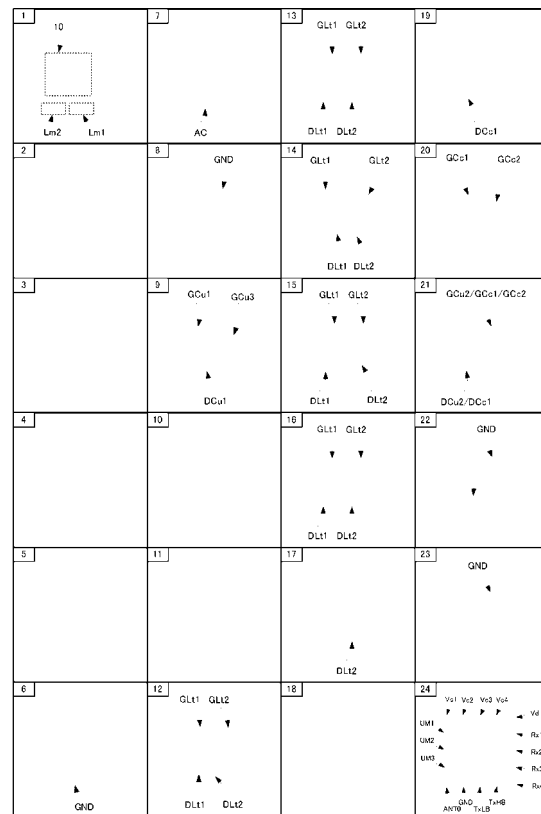
【圖 4】



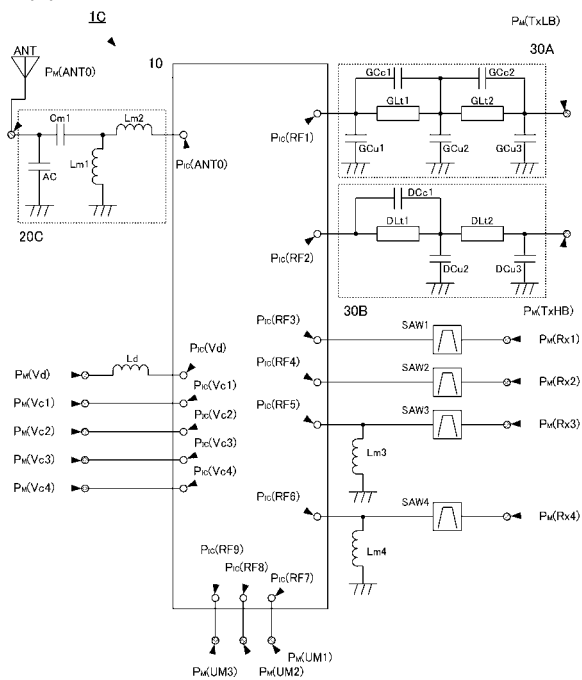
【図5】



【図6】



【図7】



フロントページの続き

(56)参考文献 特開 2 0 0 5 - 1 2 3 7 4 0 (J P , A)
特開 2 0 0 1 - 1 8 9 6 7 7 (J P , A)
特表 2 0 0 8 - 5 1 9 5 3 4 (J P , A)
特開 2 0 0 3 - 1 2 4 7 0 2 (J P , A)
特開平 0 9 - 0 9 8 0 4 6 (J P , A)
特開 2 0 0 4 - 2 5 3 9 5 3 (J P , A)
特開 2 0 0 5 - 2 8 7 0 4 6 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 4 B 1 / 3 8 - 1 / 5 8
H 0 3 K 1 7 / 0 0