

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4688703号  
(P4688703)

(45) 発行日 平成23年5月25日(2011.5.25)

(24) 登録日 平成23年2月25日(2011.2.25)

(51) Int. Cl. F I  
**G 0 6 F 3/00 (2006.01)**  
 G 0 6 F 3/00 H  
 G 0 6 F 3/00 T

請求項の数 2 (全 10 頁)

(21) 出願番号	特願2006-66841 (P2006-66841)	(73) 特許権者	000005821
(22) 出願日	平成18年3月13日 (2006.3.13)		パナソニック株式会社
(65) 公開番号	特開2007-241911 (P2007-241911A)		大阪府門真市大字門真1006番地
(43) 公開日	平成19年9月20日 (2007.9.20)	(74) 代理人	100068087
審査請求日	平成20年9月25日 (2008.9.25)		弁理士 森本 義弘
		(74) 代理人	100096437
			弁理士 笹原 敏司
		(74) 代理人	100100000
			弁理士 原田 洋平
		(72) 発明者	太田 和代
			大阪府門真市大字門真1006番地 松下
			電器産業株式会社内
		(72) 発明者	木原 秀之
			大阪府門真市大字門真1006番地 松下
			電器産業株式会社内

最終頁に続く

(54) 【発明の名称】 USBトランシーバ

(57) 【特許請求の範囲】

【請求項1】

第1の信号線と第2の信号線のシリアルデータを送受信するUSBトランシーバであって、

前記第1の信号線と前記第2の信号線にデータ信号をドライブするドライバ回路と、  
 前記第1の信号線と前記第2の信号線のデータ信号を差動入力する差動コンパレータ回路と、

前記第1の信号線のデータ信号を入力する第1のシングルエンデッドレシーバ回路と、  
 前記第2の信号線のデータ信号を入力する第2のシングルエンデッドレシーバ回路と、  
 前記第1のシングルエンデッドレシーバ回路の出力信号を遅延させる第1の遅延回路部と、

前記第2のシングルエンデッドレシーバ回路の出力信号を遅延させる第2の遅延回路部と、

前記差動コンパレータ回路の出力信号と前記第1の遅延回路部の出力信号と前記第2の遅延回路部の出力信号とが入力される論理回路部とを具備し、

前記論理回路部は、

前記第1の信号線と前記第2の信号線のデータ信号が互いに逆位相でレベル変化した場合において、

前記第1の遅延回路部の出力信号を、前記差動コンパレータ回路の出力信号に基いて、  
 前記第1のシングルエンデッドレシーバ回路の出力信号のレベル変化を前記差動コンパレ

10

20

ータ回路の出力信号のレベル変化に同期させた信号に変換して、

前記第2の遅延回路部の出力信号を、前記差動コンパレータ回路の出力信号に基いて、前記第2のシングルエンデッドレシーバ回路の出力信号のレベル変化を前記差動コンパレータ回路の出力信号のレベル変化に同期させた信号に変換するよう構成した

ことを特徴とするUSBトランシーバ。

【請求項2】

請求項1記載のUSBトランシーバであって、

前記第1の遅延回路部は、

前記第1のシングルエンデッドレシーバ回路の出力信号の立ち上がり時のみ遅延させる第1の立ち上がり遅延回路と、立ち下がり時のみ遅延させる第1の立ち下がり遅延回路とを具備し、

10

前記第2の遅延回路部は、

前記第2のシングルエンデッドレシーバ回路の出力信号の立ち上がり時のみ遅延させる第2の立ち上がり遅延回路と、立ち下がり時のみ遅延させる第2の立ち下がり遅延回路とを具備し、

前記論理回路部は、

前記第1の立ち下がり遅延回路の出力信号と前記差動コンパレータ回路の出力信号とが入力される第1のAND回路と、

前記第1の立ち上がり遅延回路の出力信号と前記第1のAND回路の出力信号とが入力されるOR回路と、

20

前記第2の立ち下がり遅延回路の出力信号と前記差動コンパレータ回路の出力信号とが入力される第2のAND回路と、

前記第2の立ち上がり遅延回路の出力信号と前記第2のAND回路の出力信号とが入力されるNOR回路とを具備した

ことを特徴とするUSBトランシーバ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ユニバーサル・シリアル・バス(Universal Serial Bus:以下、USBと略記)対応機器間で複数のデータ信号を転送するために、それらの機器に搭載されUSBを通じて複数のデータ信号を送受信するUSBトランシーバに関するものである。

30

【背景技術】

【0002】

近年、携帯電話、PDA端末やノートパソコンなどの携帯電子機器や、その周辺機器の接続には、USBがよく利用されるようになってきている。

このようなUSBは、2本の信号線を用いてシリアルデータを伝送する方式であり、特に、シリアルデータの受信回路においては、2本の信号線が、差動コンパレータ回路とシングルエンデッドレシーバ回路に接続される。差動コンパレータ回路は、2本の信号線の差分信号を出力し、シングルエンデッドレシーバ回路は、各信号線を波形整形し、コントローラ側へ出力する。

40

【0003】

以上のような従来のUSBトランシーバ(例えば、特許文献1を参照)について、図面を用いて以下に説明する。このUSBトランシーバは、リーク電流対策に関するものであり図3に示すような回路構成で示される。

【0004】

図3は従来のUSBトランシーバの構成を示す回路ブロック図である。図3において、33a、33bはUSBデータの受信入力端子、35は受信入力端子33a、33bからのUSBデータが入力信号となる差動コンパレータ回路、36は受信入力端子33aからのUSBデータを入力信号に持つシングルエンデッドレシーバ回路、37は受信入力端子

50

33bからのUSBデータを入力信号に持つシングルエンデッドレシーバ回路、40は差動コンパレータ回路35の出力端子、38はシングルエンデッドレシーバ回路36の出力端子、39はシングルエンデッドレシーバ回路37の出力端子であり、ドライバ回路41は、コントローラ側からの制御端子である入力端子42、43のドライブ信号をバッファし、その出力信号により、USBデータの受信入力端子33a、33bを共通使用する出力端子を駆動するような回路構成になっている。

【0005】

ここで、ドライバ回路41は、その出力信号が双方向・半二重動作をサポートする構成になっている。また、差動コンパレータ回路35はMOS差動アンプ等により構成され、複数のトランジスタが必要であり、シングルエンデッドレシーバ回路36、37は論理バッファによる比較的少数のトランジスタで回路が構成される。さらに、出力端子38、39、40はコントローラ側にデータを出力する。

【特許文献1】特開2004-295445号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら、上記のような従来のUSBトランシーバでは、その構成要素である差動コンパレータ回路35とシングルエンデッドレシーバ回路36、37との間で、それらの回路構成規模が異なるため、USBデータの受信入力端子33a、33bからの入力信号に対して、各回路間の伝達遅延時間差により、各回路の出力端子38、39、40から出力される信号のスキューが大きくなってしまふ。

【0007】

一方、それらの出力端子38、39、40からの出力信号を入力信号とするコントローラ側のマイコンは、例えばフルスピード(12Mbps)のUSBデータを通信する場合は、通常12Mbpsの4倍以上のサンプリングによりデータ処理を行うが、12Mbps(パルス幅83.3ns)の4倍サンプリング時のパルス幅は20.8nsであるため、例えば、差動コンパレータ回路35の出力端子40側とシングルエンデッドレシーバ回路36、37の出力端子38、39側とで、それらの各信号間の伝達遅延時間差が20.8ns以上になると、コントローラ側で、各信号の取り込みタイミングが互いにずれてしまふ。

【0008】

すなわち、各信号の取り込みタイミングによっては、出力端子38、39、40の各信号間で互いに動作上のタイミングずれが発生することになり、これらの各信号を受信したコントローラ側のマイコンが動作エラーとなって、コントローラ側を含む当該システムの誤動作の原因になる場合がある。

【0009】

以上のように、USBトランシーバを構成する各回路間の伝達遅延時間差によって出力信号のスキューが大きくなる様子を、図4を用いて以下に説明する。

図4は図3を用いて説明した従来のUSBトランシーバの各端子における電圧状態を示す波形図である。ここで、PACKET期間は受信入力端子33a、33bのそれぞれからUSBデータが互いに逆位相で入力される期間であり、EOP期間は受信入力端子33a、33bのそれぞれからUSBデータが互いに同一位相で入力される期間である。また、T1、T2、T3、T4は出力波形の時間軸上の各タイミングにおける遅延時間である。

【0010】

図4に示す入力波形401のUSBデータが受信入力端子33aに入力されると、シングルエンデッドレシーバ回路36の出力端子38には、受信入力端子33aの信号と同位相の波形404が出力され、同様に図4に示す入力波形402のUSBデータが受信入力端子33bに入力されると、シングルエンデッドレシーバ回路37の出力端子39には、受信入力端子33bの信号と同位相の波形405が出力される。

## 【 0 0 1 1 】

入力波形 4 0 1、4 0 2 の U S B データが受信入力端子 3 3 a、3 3 b へ互いに逆位相で入力される期間 ( P A C K E T ) では、受信入力端子 3 3 a、3 3 b からの U S B データを入力とする差動コンパレータ回路 3 5 が動作し、出力端子 4 0 には、入力信号に対して回路伝達時間に差が生じ、ロウレベルからハイレベルに変化する時に遅延時間 T 1 を持ち、ハイレベルからロウレベルに変化する時に遅延時間 T 3 を持った波形 4 0 3 における P A C K E T 期間のような信号が出力される。

## 【 0 0 1 2 】

次に、入力波形 4 0 1、4 0 2 の U S B データが受信入力端子 3 3 a、3 3 b へ互いに同一位相で入力される期間 ( E O P ) では、受信入力端子 3 3 a、3 3 b からの U S B データを入力とする差動コンパレータ回路 3 5 は動作せず、通常は入力信号ノイズの影響を受けないようにするため、その出力側を所定の電位レベル ( 図 4 においてはロウレベル ) に固定されている。したがって、出力端子 4 0 には波形 4 0 3 における E O P 期間のような信号が出力される。

## 【 0 0 1 3 】

なお、シングルエンデッドレシーバ回路 3 6 とシングルエンデッドレシーバ回路 3 7 との信号伝達時間差は、各シングルエンデッドレシーバ回路 3 6、3 7 と差動コンパレータ回路 3 5 との信号伝達時間差に対し、ほとんど無視できる時間差であり、図 4 において特に図示していない。

## 【 0 0 1 4 】

本発明は、上記従来の問題点を解決するもので、U S B を通じて受信した入力データ信号に対して、差動コンパレータ回路とシングルエンデッドレシーバ回路の伝達遅延の時間差を精度よく補正することができる U S B トランシーバを提供する。

## 【 課題を解決するための手段 】

## 【 0 0 1 5 】

上記の課題を解決するために、本発明の請求項 1 記載の U S B トランシーバは、第 1 の信号線と第 2 の信号線のシリアルデータを送受信する U S B トランシーバであって、前記第 1 の信号線と前記第 2 の信号線にデータ信号をドライブするドライバ回路と、前記第 1 の信号線と前記第 2 の信号線のデータ信号を差動入力する差動コンパレータ回路と、前記第 1 の信号線のデータ信号を入力する第 1 のシングルエンデッドレシーバ回路と、前記第 2 の信号線のデータ信号を入力する第 2 のシングルエンデッドレシーバ回路と、前記第 1 のシングルエンデッドレシーバ回路の出力信号を遅延させる第 1 の遅延回路部と、前記第 2 のシングルエンデッドレシーバ回路の出力信号を遅延させる第 2 の遅延回路部と、前記差動コンパレータ回路の出力信号と前記第 1 の遅延回路部の出力信号と前記第 2 の遅延回路部の出力信号とが入力される論理回路部とを具備し、前記論理回路部は、前記第 1 の信号線と前記第 2 の信号線のデータ信号が互いに逆位相でレベル変化した場合において、前記第 1 の遅延回路部の出力信号を、前記差動コンパレータ回路の出力信号に基いて、前記第 1 のシングルエンデッドレシーバ回路の出力信号のレベル変化を前記差動コンパレータ回路の出力信号のレベル変化に同期させた信号に変換して、前記第 2 の遅延回路部の出力信号を、前記差動コンパレータ回路の出力信号に基いて、前記第 2 のシングルエンデッドレシーバ回路の出力信号のレベル変化を前記差動コンパレータ回路の出力信号のレベル変化に同期させた信号に変換するよう構成したことを特徴とする。

## 【 0 0 1 6 】

また、本発明の請求項 2 記載の U S B トランシーバは、請求項 1 記載の U S B トランシーバであって、前記第 1 の遅延回路部は、前記第 1 のシングルエンデッドレシーバ回路の出力信号の立ち上がり時のみ遅延させる第 1 の立ち上がり遅延回路と、立ち下がり時のみ遅延させる第 1 の立ち下がり遅延回路とを具備し、前記第 2 の遅延回路部は、前記第 2 のシングルエンデッドレシーバ回路の出力信号の立ち上がり時のみ遅延させる第 2 の立ち上がり遅延回路と、立ち下がり時のみ遅延させる第 2 の立ち下がり遅延回路とを具備し、前記論理回路部は、前記第 1 の立ち下がり遅延回路の出力信号と前記差動コンパレータ回路

10

20

30

40

50

の出力信号とが入力される第 1 の A N D 回路と、前記第 1 の立ち上がり遅延回路の出力信号と前記第 1 の A N D 回路の出力信号とが入力される O R 回路と、前記第 2 の立ち下がり遅延回路の出力信号と前記差動コンパレータ回路の出力信号とが入力される第 2 の A N D 回路と、前記第 2 の立ち上がり遅延回路の出力信号と前記第 2 の A N D 回路の出力信号とが入力される N O R 回路とを具備したことを特徴とする。

【発明の効果】

【 0 0 1 7 】

以上のように本発明によれば、U S B を通じて受信した入力データ信号に対して、差動コンパレータ回路とシングルエンデッドレシーバ回路の伝達遅延の時間差を精度よく補正することにより、U S B を通じて受信した差動形式の複数のデータ信号をコントローラ側に送る際に、それら複数のデータ信号のレベル変化が同期するように、それらの信号間に生じるレベル変化のタイミングずれ（スキュー）を常にかつ確実に最小状態に維持することができる。

10

【 0 0 1 8 】

また、U S B の差動形式で受信した入力データ信号のどちらかが、外的要因などで入力データ信号にレベル変化のタイミングずれが生じた場合でも、複数のデータ信号間に生じるレベル変化のタイミングずれを常にかつ確実に最小状態に維持することができる。

【 0 0 1 9 】

以上により、U S B を通じてコントローラ側へ入力されたデータ信号に対して、コントローラ側のマイコンへの取り込みのタイミングずれをなくして、コントローラ側でのデータ信号の取り込みエラーの発生を抑えることができ、システム全体での誤動作を確実になくすことができる。

20

【発明を実施するための最良の形態】

【 0 0 2 0 】

以下、本発明の実施の形態を示す U S B トランシーバについて、図面を参照しながら具体的に説明する。

図 1 は本実施の形態の U S B トランシーバの構成を示す回路ブロック図である。図 1 において、3 a、3 b は U S B データの受信入力端子、5 は差動コンパレータ回路、6 はシングルエンデッドレシーバ回路、7 はシングルエンデッドレシーバインバータ回路、8 はシングルエンデッドレシーバ回路 6 の出力信号、9 はシングルエンデッドレシーバインバータ回路 7 の出力信号、1 0、1 3 は立ち上がり遅延回路、1 1、1 2 は立ち下がり遅延回路、1 4 は O R 回路、1 5、1 6 は A N D 回路、1 7 は N O R 回路、1 8、1 9、2 0 は出力端子、2 1 はドライバ回路、2 2、2 3 はコントローラ側から制御される入力端子である。ここで、立ち上がり遅延回路 1 0、1 3 と立ち下がり遅延回路 1 1、1 2 で遅延回路部を構成し、O R 回路 1 4 と A N D 回路 1 5、1 6 と N O R 回路 1 7 で論理回路部を構成する。

30

【 0 0 2 1 】

装置構成としては、シングルエンデッドレシーバ回路 6 の入力に U S B データの受信入力端子 3 a が、シングルエンデッドレシーバインバータ回路 7 の入力に U S B データの受信入力端子 3 b が、そして U S B データの受信入力端子 3 a、3 b にそれらの U S B データを入力信号とする差動コンパレータ回路 5 が、それぞれ接続されている。

40

【 0 0 2 2 】

シングルエンデッドレシーバ回路 6 の出力は、立ち上がり遅延回路 1 0 と立ち下がり遅延回路 1 1 の入力に接続され、シングルエンデッドレシーバ回路 6 の出力電圧の変化するエッジを検出し、立ち下がり遅延回路 1 1 の出力と差動コンパレータ回路 5 の出力は、A N D 回路 1 5 の入力に接続され、A N D 回路 1 5 の出力と立ち上がり遅延回路 1 0 の出力は O R 回路 1 4 の入力に接続され、O R 回路 1 4 の出力は U S B データの受信入力端子 3 a 側の出力端子 1 8 へ接続される。

【 0 0 2 3 】

同様に、シングルエンデッドレシーバインバータ回路 7 の出力は、立ち上がり遅延回路

50

13と立ち下がり遅延回路12の入力に接続され、シングルエンデッドレシーバインバータ回路7の出力電圧の変化するエッジを検出し、立ち下がり遅延回路12の出力と差動コンパレータ回路5の出力は、AND回路16の入力に接続され、AND回路16の出力と立ち上がり遅延回路13の出力はNOR回路17の入力に接続され、NOR回路17の出力はUSBデータの受信入力端子3b側の出力端子19へ接続される。

【0024】

ドライバ回路21は、コントローラ側からの制御端子である入力端子22、23のドライブ信号をバッファし、その出力信号により、USBデータの受信入力端子3a、3bを共通使用する出力端子を駆動するような回路構成になっている。ここで、ドライバ回路21は、その出力信号が双方向・半二重動作をサポートする構成になっている。

10

【0025】

以上のように構成されたUSBトランシーバについて、その動作を図2を用いて以下に説明する。

図2は本実施の形態のUSBトランシーバにおける動作中の電圧状態を示す波形図である。図2において、PACKET期間は受信入力端子3a、3bのそれぞれからUSBデータが互いに逆位相で入力される期間であり、EOP期間は受信入力端子3a、3bのそれぞれからUSBデータが互いに同一位相で入力される期間である。また、T1、T2、T3、T4は出力波形の時間軸上の各タイミングにおける遅延時間である。また、PACKET期間において、受信入力端子3a、3bには、それぞれスキューのない入力波形201、202の信号が入力されているものとする。

20

【0026】

受信入力端子3aから入力された波形201の信号は、シングルエンデッドレシーバ回路6に入力されると同時に、差動コンパレータ回路5の(+)端子にも入力される。また、同様に受信入力端子3bから入力された波形202の信号は、シングルエンデッドレシーバインバータ回路7に入力されると同時に、差動コンパレータ回路5の(-)端子にも入力される。

【0027】

差動コンパレータ回路5は、受信入力端子3a、3bから波形201、202で示される入力信号を受けて動作し、出力端子20には、波形201、202の入力信号に対して、回路伝達時間により時間差が生じ、ロウレベルからハイレベルに変化する時に遅延時間T1を持ち、ハイレベルからロウレベルに変化する時に遅延時間T3を持った波形203の信号が出力される。

30

【0028】

シングルエンデッドレシーバ回路6からの出力信号8は、波形204で示され、立ち上がり遅延回路10と立ち下がり遅延回路11に入力され、出力信号8の電圧変化を検出し、立ち上がり遅延回路10の出力はロウレベルからハイレベルに変化する信号について遅延時間T2を持った波形206の信号が出力され、立ち下がり遅延回路11の出力はハイレベルからロウレベルに変化する信号について遅延時間T4を持った波形207の信号が出力される。

【0029】

40

そして、AND回路15には立ち下がり遅延回路11の出力信号と出力端子20の信号が入力され、そのAND回路15の出力信号は、波形210のように、ロウレベルからハイレベルに変化する時に遅延時間T1を持ち、ハイレベルからロウレベルへ変化する時に遅延時間T3を持つ信号となる。

【0030】

AND回路15の出力信号と立ち上がり遅延回路10の出力信号がOR回路14に入力されることにより、出力端子18には、受信入力端子3aからの波形201の信号に対し、波形212のように、ロウレベルからハイレベルに変化する時に遅延時間T1を持ち、ハイレベルからロウレベルに変化する時に遅延時間T3を持つ信号が出力される。

【0031】

50

ここで、AND回路15の出力と立ち上がり遅延回路10の出力をOR回路14により論理和を取っているのは、差動コンパレータ回路5の出力端子20にノイズ等が発生し、その電位レベルが変動した場合でも出力端子18の信号が変動しない効果を持たせるためである。

【0032】

また、同様に、受信入力端子3bから受信入力端子3aの波形201とは逆位相の波形202で示される信号を入力するシングルエンデッドレシーバ回路7は、その入力信号に対して反転された波形205で示される出力信号9に変換される。

【0033】

この出力信号9は、立ち下がり遅延回路12と立ち上がり遅延回路13とに入力され、出力信号9の電圧変化を検出し、立ち下がり遅延回路12の出力は、波形208で示されるように、受信入力端子3bのハイレベルからロウレベルに変化する信号について、遅延時間T2を持った信号が出力され、立ち上がり遅延回路13の出力は、波形209で示されるように、受信入力端子3bのロウレベルからハイレベルに変化する信号について、遅延時間T4を持った信号が出力される。

10

【0034】

そして、AND回路16には立ち下がり遅延回路12の出力信号と出力端子20の信号が入力され、そのAND回路16の出力信号は、波形211のように、ロウレベルからハイレベルに変化する時に遅延時間T1を持ち、ハイレベルからロウレベルへ変化する時に遅延時間T3を持つ信号となる。

20

【0035】

AND回路16の出力信号と立ち上がり遅延回路13の出力信号がNOR回路17に入力されることにより、出力端子19には、受信入力端子3bの信号に対し、波形213のように、ハイレベルからロウレベルに変化する時に遅延時間T1を持ち、ロウレベルからハイレベルに変化する時に遅延時間T3を持つ信号が出力される。

【0036】

ここで、AND回路16の出力と立ち上がり遅延回路13の出力をNOR回路17により論理和を取っているのは、差動コンパレータ回路5の出力端子20にノイズ等が発生し、その電位レベルが変動した場合でも、出力端子19が変動しない効果を持たせるためである。

30

【0037】

次に、受信入力端子3a、3bの各USBデータとして入力波形201、202が同一位相で入力されるEOP期間の動作を説明する。

受信入力端子3aから入力された波形201の信号は、シングルエンデッドレシーバ回路6に入力されると同時に、差動コンパレータ回路5の(+)端子にも入力される。また、同様に受信入力端子3bから入力された波形202の信号は、シングルエンデッドレシーバ回路7に入力されると同時に、差動コンパレータ回路5の(-)端子にも入力される。

【0038】

差動コンパレータ回路5は、EOP期間では、受信入力端子3a、3bに同一位相のUSBデータが入力されるため動作せず、出力端子20には、波形203のEOP期間の信号が出力される。出力端子18、19には、EOPの期間に受信入力端子3a、3bに入力されるUSBデータが変化した場合も、前述のPACKET期間と同様の回路動作により、同様の信号が出力される。

40

【0039】

また、受信入力端子3a、3bから出力端子18、19への回路要因による伝達遅延時間の差が、出力端子18と出力端子19の間に発生しないように、各遅延回路10、11、12、13は、それぞれ同様の回路規模の構成にすることが望ましい。

【0040】

なお、立ち上がり遅延回路10、13と立ち下がり遅延回路11、12の各回路の遅延

50

時間  $T_2$ 、 $T_4$  と、差動コンパレータ回路 5 の回路伝達遅延で生じる遅延時間  $T_1$ 、 $T_3$  の関係は、それぞれ  $T_1 < T_2$ 、 $T_3 < T_4$  である必要がある。

【0041】

以上のように本実施の形態によれば、受信信号として USB データの受信入力端子 3 a、3 b に入力されたデータ信号は、回路伝達遅延の発生を最小限に抑えてスキューを最小状態に抑えたデータ信号にして、コントローラ側に接続される出力端子 18、19、20 からのデータ信号として、コントローラ側に出力することができる。

【0042】

その結果、USB を通じてコントローラ側へ入力されたデータ信号に対して、コントローラ側のマイコンへの取り込みのタイミングずれをなくして、コントローラ側でのデータ信号の取り込みエラーの発生を抑えることができ、システム全体での誤動作を確実になくすることができる。

10

【産業上の利用可能性】

【0043】

本発明の USB トランシーバは、USB を通じてコントローラ側へ入力されたデータ信号に対して、コントローラ側のマイコンへの取り込みのタイミングずれをなくして、コントローラ側でのデータ信号の取り込みエラーの発生を抑えることができ、システム全体での誤動作を確実になくすることができるもので、USB 端子を搭載した携帯電話や PDA 端末、パソコンなどの携帯電子機器や、その周辺機器等の USB 対応機器に有用である。

【図面の簡単な説明】

20

【0044】

【図1】本発明の実施の形態の USB トランシーバの構成を示す回路ブロック図

【図2】同実施の形態の USB トランシーバの動作における電圧状態を示す波形図

【図3】従来例の USB トランシーバの構成を示す回路ブロック図

【図4】同従来例の USB トランシーバの動作における電圧状態を示す波形図

【符号の説明】

【0045】

3 a、3 b、33 a、33 b USB データの受信入力端子

5、35 差動コンパレータ回路

6、36、37 シングルエンデッドレシーバ回路

30

7 シングルエンデッドレシーバインバータ回路

8 シングルエンデッドレシーバ回路の出力信号

9 シングルエンデッドレシーバインバータ回路の出力信号

10、13 立ち上がり遅延回路

11、12 立ち下がり遅延回路

14 OR 回路

15、16 AND 回路

17 NOR 回路

18、19、20、38、39、40 出力端子

21、41 ドライバ回路

40

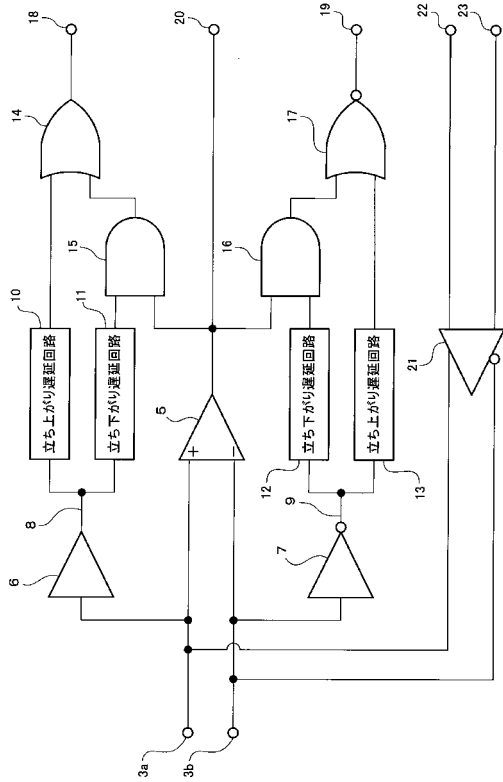
22、23、42、43 入力端子

PACKET 逆位相入力期間

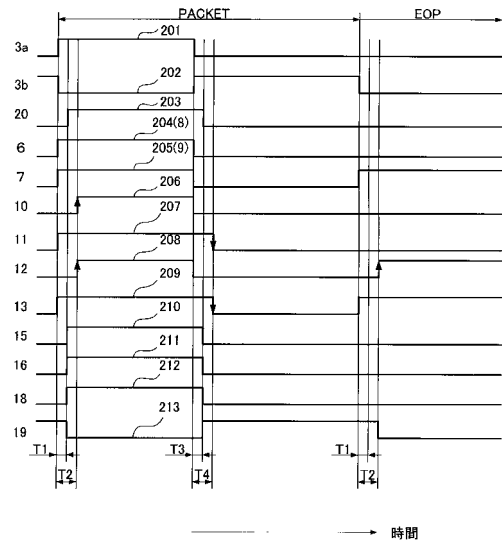
EOP 同一位相入力期間

$T_1$ 、 $T_2$ 、 $T_3$ 、 $T_4$  遅延時間

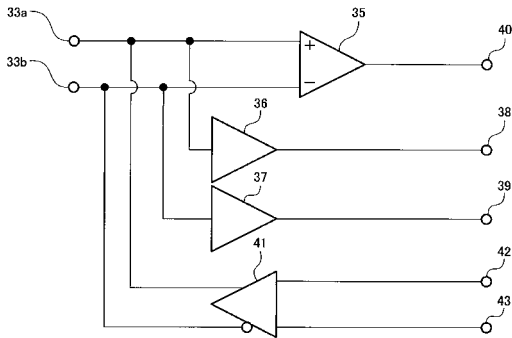
【 図 1 】



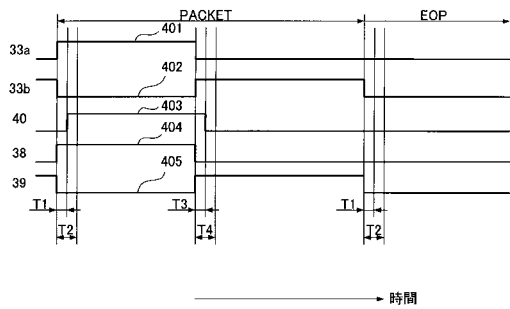
【 図 2 】



【 図 3 】



【 図 4 】



---

フロントページの続き

審査官 横山 佳弘

(56)参考文献 特開2001-148719(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06F	3/00
G06F	13/14
G06F	13/38
H04L	25/02