申請日期：88.1.23	案號：88100561
類別：G06F 11/20	

（以上各欄由本局填註）

公告本　發明專利說明書　449686

一、發明名稱	中文	包含介於一解碼器及一記憶體陣列間用以將該記憶體陣列中之損壞儲存單元去能之熔線的積體電路記憶體
	英文	INTEGRATED CIRCUIT MEMORIES INCLUDING FUSES BETWEEN A DECODER AND A MEMORY ARRAY FOR DISABLING DEFECTIVE STORAGE CELLS IN THE MEMORY ARRAY
二、發明人	姓名（中文）	1. 李圭燦 2. 李哲宇
	姓名（英文）	1. KYU-CHAN LEE 2. CHUL-WOO YI
	國籍	1. 南韓 2. 南韓
	住、居所	1. 大韓民國漢城市江東區明逸洞三益GREEN APT. 501棟705號 2. 大韓民國京畿道水原市八達區仁溪洞366番地仁溪三星APT. 101棟905號
三、申請人	姓名（名稱）（中文）	1. 韓商三星電子股份有限公司
	姓名（名稱）（英文）	1. SAMSUNG ELECTRONICS CO., LTD.
	國籍	1. 南韓
	住、居所（事務所）	1. 大韓民國京畿道水原市八達區梅灘洞416番地
	代表人姓名（中文）	1. 尹鍾龍
	代表人姓名（英文）	1. JONG-YONG YUN

本案已向

國(地區)申請專利	申請日期	案號	主張優先權
南韓 KR	1998/07/14	98-28423	無

有關微生物已寄存於　　寄存日期　　寄存號碼

無

五、發明說明（1）

相關申請案的交互參考

本申請案主張了韓國專利申請號98-28423的優點；其標題為"熔解熔線盒使用其之和積體電路記憶體"，申請於1998年七月十四日。在這裡併入列為參考用。

發明領域

本發明相關於積體電路記憶體的領域，尤其是使用積體電路記憶體中的熔線，以使損壞記憶體儲存單元去能。

發明背景

為了改善積體電路記憶體產量，且由於製造過程可能發生危險，所以實作上通常在可用來修復失效的損壞記憶體儲存單元之裝置中，加入冗餘的電路。冗餘電路包括可替代主記憶體陣列中的失效儲存單元之一備用記憶體解碼器和一備用記憶體陣列。

圖1為包括一冗餘電路的慣用積體電路記憶體8之高層次方塊圖。該積體電路記憶體8包含一由多個標準解碼器成份11-14及驅動解碼器15組成的主記憶體解碼器。每個標準解碼器成份11-14均連接至字元線路驅動器16-19。而且字元線路驅動器連接至一多維的儲存單元之主記憶體陣列20，另可用來從主記憶體陣列20中選取一特殊字元。除了主記憶體解碼器10外，一備用記憶體解碼器21其配線平行於標準解碼器成份11-14，而一備用字元線路驅動器23則配線平行於字元線路驅動器16-19，以透過備用記憶體陣列24提供冗餘信息。

為說明起見，假設主記憶體陣列20是一二維包含行列

五、發明說明 (2)

的陣列，並且包括一用來從陣列20中選取一列儲存單元之一列解碼器的主記憶體解碼器。主記憶體陣列20包含儲存單元中的2^{n+1}列，可由字元線路WL0-WL2^{n+1}-1所選取。因此，定義RA0-RAN的N+1個位址位元可用來存取主記憶體陣列中的列20。

圖1的積體電路記憶體8操作如下。當列位址閃光燈(RAS)線路被驅動進入主動模式，在一些初始預解碼後，主記憶體解碼器10將會接收到一列位址。標準解碼器成份11-14被用來解全部碼，除了兩個最低階的位元。該兩個最低階位元則由驅動解碼器15解碼。因此，當驅動解碼器15解碼四個字元線路時，標準解碼器成份11-14須解2^{n-1}個字元線路。故整體而言，有$2^{n-1} * 2^2 = 2^{n+1}$字元線路被解碼。

除了提供主記憶體解碼器10列位址，列位址也被提供給備用記憶體解碼器21。備用記憶體解碼器21和標準解碼器成份11-14解碼相同的位元，RA2-RAN；並且透過備用字元線路驅動器23及驅動解碼器15，從備用記憶體陣列24中選擇適當的備用字元線路。特別是當從主記憶體陣列20中所選出的字元發生損壞時，輸出信號XRED會使得解碼對應已損壞字元的那個標準解碼器成份11-14失去效用。除了使適當的標準解碼器成份11-14失去效用外，輸出信號XRED也可啟動備用字元線路驅動器23，以存取替代主記憶體陣列20中損壞列的備用記憶體陣列24。

即使前述方法在提供必須的冗餘電路，以維持積體記憶體電路8產量時，產生實際效用，仍存在重大缺點。在位

五、發明說明（3）

址被主記憶體解碼器10解碼之前，控制存取冗餘信號路徑的XRED信號通常必須被認可。否則在主記憶體陣列20和對應於該列位址的備用記憶體陣列24的字元線路被選取的情況下，疾走的情形將繼續發生。為防止這種情形，如果需要的話，在一定時間延遲之後，由主記憶體解碼器10解碼該位址，以使得XRED信號傳遞並使修正標準解碼器成份11-14失去效用，且啟動備用字元線路驅動器23。不幸地，該延遲將降低積體電路記憶體的操作速度。

發明概述

本發明的優點將會在接下來的說明中陳述。此技藝接下來的檢討中其技術將透明化，也可依本發明的實際情況學習。

為達到這些優點，本發明通常被積體電路記憶體裝置所監督管理。而該裝置包括二維的記憶體陣列，其中第一和第二維度分別延伸至第一和第二個方向。此外，更包括用於第一維度的解碼器以及多條介於解碼器和記憶體陣列之間的熔線。

依據本發明的觀點，熔線配置使得熔線間的相對間距實質地沿第二方向開展。

而依據本發明的另一觀點，熔線之方位長度於第一方向。

藉著配置多條介於解碼器和記憶體陣列之間的熔線，適當的熔線被切開，以實質地隔離解碼器和損壞單元。如此可使得記憶體操作，不需因切換至備用或冗餘儲存單元的

五、發明說明（4）

記憶體陣列，而造成時間延遲。因而最佳化記憶體之速度。

此外，藉由熔線配置使得熔線間的相對間距實質地沿著不是對應於解碼的方向開展，並且沿著被解碼的方向修正熔線長度。記憶體裝置的佈線區域可被縮小，且合宜地最小化。

圖式之簡單說明

透過下列特定附圖具體實施例的詳盡描述，這個發明的其他特性將很容易被了解。

圖1是高層次慣用的積體電路記憶體裝置之方塊圖。該記憶體包括用來切換慣用主記憶體陣列成一備用記憶體陣列的冗餘成份。

圖2是高層次的積體電路記憶體裝置之方塊圖。該裝置乃依照本發明使用介於主記憶體解碼器和主記憶體陣列之間的熔線，來切換主記憶體陣列成一備用記憶體陣列。

圖3為圖2中熔線的第一類配置之方塊圖。

圖4為圖2中熔線的第二類配置之方塊圖。

圖5為標準解碼器之方塊圖，以及當不使用熔線時，圖2中積體電路記憶體裝置的相關佈線。

較佳具體實施例說明

本發明可作不同修正和替代，特定具體實施例會如圖中範例所示且將被詳盡描述。然而，不能侷限本發明為特別既定型式是可以被理解的。但是相反地，在如申請專利範圍中所定義的本質和範圍，本發明可適用於所有修正、相

五、發明說明 (5)

等物和替代品。在圖式描述中，相似參考數字象徵所有圖式相似項目。同樣地，相似參考數字象徵所有圖示中相似而非完全相同的項目。

圖2為合於本發明原理的積體電路記憶體26。記憶體26包含由一標準解碼器成份30和驅動解碼器71所組成的主記憶體解碼器28。標準解碼器成份30被用來解全部碼，除了兩個最低階的位元，RA0和RA1。該兩位元則由驅動解碼器71解碼。標準解碼器成份30由經熔線41-44連接至字元線路驅動器51-54的多個標準解碼器成份31-34組成，其中字元線路驅動器做為從主記憶體陣列56擇取字元之用。熔線41-44置於標準解碼器成份30的輸出線路和字元線路驅動器51-54的輸入線路之間。或者，熔線41-44也可併入標準解碼器成份31-34中。該記憶體26也包括一備用記憶體解碼器61及一備用字元線路驅動器63；它們分別平行於標準解碼器成份30和字元線路驅動器51-54。該備用記憶體解碼器61和備用字元線路驅動器63被用來存取備用記憶體陣列66，以取代前文所討論的主記憶體陣列56中之損壞儲存單元。

為敘述起見，假設主記憶體陣列56和備用記憶體陣列66為包含儲存單元之二維陣列；而儲存單元之列延伸於第一個方向，行延伸於第二個方向。再者，這裡描述本發明應用於兩方向性陣列中儲存單元之列的解碼。然而，本發明原理將被察覺可適當地應用在二維陣列中儲存單元之行的解碼，而且通常也可使用n維記憶體陣列，$n \neq 2$。

五、發明說明 (6)

參考圖2，描述了記憶體26操作。當列位址閃光燈(RAS)線路被驅動進入主動模式，主記憶體解碼器28將會接收到一列位址，RA0-RAN。當驅動解碼器71解碼RA0和RAN位元時，標準解碼器成份30解碼位元，RA2-RAN。字元線路驅動器51-54使用標準解碼器成份31-34的輸出信號和驅動解碼器71的輸出信號，從每個字元線路驅動器51-54控制的四個字元線路之一，來選取一字元線路驅動。

一旦主記憶體陣列56中有損壞的儲存單元，介於標準解碼器成份30和主記憶體陣列56間的路徑被因截斷熔線而破壞；而該熔線連接標準解碼器成份31-34至損壞儲存單元。當熔線被截斷，備用記憶體解碼器61輸出一冗餘使能信號，RACT。而備用字元線路驅動器63使用備用記憶體解碼器61的輸出信號和驅動解碼器71的輸出信號，從備用字元線路驅動器63控制的四個字元線路之一，來選取一字元線路驅動。

有利的是根據本發明，記憶體26不須在標準解碼器成份中30加入人為的時間延遲；該延遲已用在前文中討論之先前技藝中，參考圖1。更者，本發明不須使用會增加電流耗費的轉換電路來切換於主記憶體陣列56和備用記憶體陣列66間。

圖3為配置於圖2積體電路記憶體26中之熔線的第一個具體實施例。如圖3所示，四條熔線81-84被捆在一起構成一個熔線盒80。實際上，更少或多於四條熔線也可被捆在一起構成單一熔線盒。

五、發明說明（7）

標準解碼器成份30的輸出信號透過熔線81-84被傳送進字元線路驅動器的列解碼器51a-54a。圖3（非圖2）中，字元線路驅動器的列解碼器51a-54a包括用來連接標準解碼器成份30的輸出信號之電路。因此，字元線路驅動器的列解碼器51a-54a之輸出信號91a-94a也分別就是字元線路驅動器51-54之輸入信號，如圖2。

字元線路驅動器的列解碼器51a-54a之輸出信號線路91a-94a 連線於如圖3的具體實施例中之行方向。否則，逐漸拉長以使其長度與寬度等長或更長的熔線81-84會被方位長度或是佈線於行方向。熔線81-84的定位使得熔線81-84間的相對間距穩健地沿列方向開展。

在合宜的具體實施例中，熔線間81-84的最小距離最好約為2微米，每條熔線的最小寬度最好約為1微米，而且熔線間81-84最小間距最好約為3微米。熔線間81-84近於最低限度的間距和用來切斷熔線81-84的雷射光聚光燈大小相關。每條熔線的長度最好約為5微米。因此，熔線盒80所佔用的最小區域大概列方向12微米且行方向5微米。同樣地，由於熔線間81-84近於最低限度的間距，字元線路驅動器的列解碼器51a-54a其輸出信號線路91a-94a間的間距約為3微米。

圖4所示為圖2的積體電路記憶體26中熔線配置的第二具體實施例。現在參照圖4，標準解碼器部分30的輸出信號透過多條熔線101-104被傳送入字元線路驅動器的列解碼器51b-54b。圖4（非圖2所示）中字元線路驅動器的列解碼

五、發明說明（8）

器51b-54b包括一連接至標準解碼器部分30的輸出信號之電路。所以，字元線路驅動器的列解碼器51b-54b之輸出信號91b-94b分別對應於圖2中字元線路驅動器的輸入信號51-54。

在圖4的具體實施例中，字元線路驅動器的列解碼器51b-54b之輸出信號91b-94b被配線於行方向。相反地，熔線101-104被方位長度或配置於列方向。熔線101-104被定位使得熔線101-104間的相對間距穩健地沿行方向開展。

因此，圖4的第二具體實施例和圖3的第一具體實施例之間的差異在於熔線的修正或間距。換句話說，在圖3的第一具體實施例中，熔線81-84於行方向方位長度，且於列方向和下一熔線保持相對間距。相反地，在圖4的第二具體實施例中，熔線101-104於列方向方位長度，且於行方向和下一熔線保持相對間距。

如圖3，圖4中熔線101-104間的最小間距最好約為2微米，每條熔線的最小寬度最好約為1微米，而且熔線間最小間距最好約為3微米。每條熔線的長度最好約為5微米。圖4中，代表熔線101-104配線的不同型式線條（即實線或虛線）意味著積體電路中不同分層。

因此如圖4中的熔線101-104於列方向方位長度，而於行方向和下一熔線保持相對間距，且晶片中熔線盒100所佔用的最小區域大概列方向5微米且行方向12微米。

圖5顯示裝置以及圖3和圖4中不包括熔線的字元線路驅動器的列解碼器跟輸出信號佈線情形。這個配置的目的為

計劃沒有熔線的記憶體裝置其基底佈線區域。其可和圖3及圖4這兩個包括熔線的具體實施例佈線區域相比擬。

現在參照圖5，在16M動態隨機存取記憶體中，字元線路驅動器的列解碼器51c-54c之輸出信號其電路111-114間間距約為2微米。因此，被四個列解碼器51c-54c佔用的列方向長度約為8微米。

由於圖3的第一具體實施例和圖4的第二具體實施例中熔線配置而增加的佈線區域，可計算如下列所述。

如上文中所討論，在圖3的第一具體實施例中，被四個字元線路驅動器的列解碼器51a-54a佔用的列方向長度最好約為12微米，而在圖4的第二具體實施例中，被四個字元線路驅動器的列解碼器51b-54b佔用的列方向長度最好約為8微米。

例如，於列方向有8K(1K=1,024)個儲存單元且於行方向有2K個儲存單元的16M記憶體陣列中，被標準字元線路驅動器的列解碼器所驅動的字元線路數目為四。

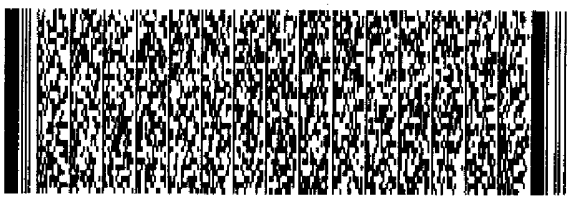
因此，圖5中沒有使用熔線的積體電路記憶體其列方向長度為2 μm*8K/4=4,096 μm。圖3的積體電路記憶體其列方向長度為3 μm*8K/4=6,144 μm。把圖3具體實施例和圖5具體實施例相比，列方向增加約2000微米，行方向增加約5微米。

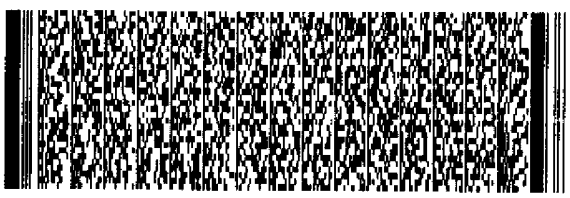
然而當圖4的第二具體實施例和圖5之具體實施例相比較時，列方向並無增加，而行方向增加約12微米。因此，圖4所示的配置可被用來將熔線合入一積體電路記憶體之既

有儲存單元節距中。有多種熔線型式、電路斷路器裝置，或甚至邏輯電路可被用來連接主記憶體解碼器至主憶體陣列，假使當有需要時其可被用來提供主記憶體解碼器與主記憶體陣列之間的連接。不過，這些替代的熔線型式、電路斷路器裝置或邏輯電路有某些優缺點關於記憶體佈線區域必要條件，或決定於它們物理幾何和操作特性的記憶體操作速度。

這裡將說明本發明原理被應用於積體電路記憶體，其中包括主記憶體解碼器和主記憶體陣列。如上文關於圖4所述，當熔線於列方向方位長度，且定位使得熔線間的相對間距穩健地沿行方向開展，熔線不須用到列方向額外空間，在行方向也只有一些些空間上的增加。因此，增加熔線可增加一冗餘容量，而不須增加記憶體裝置佈線區域。由於熔線的修正和相對間距，圖4的第二具體實施例比圖3的第一具體實施例所須的佈線區域來得少。更進一步地，介於主記憶體解碼器和主記憶體陣列間的熔線使用可使得損壞的儲存單元被實質地和解碼電路隔離。所以，不須在解碼電路中引進會降低積體電路記憶體操作速度的時間延遲。

綜合以上詳盡描述，須注意的是可以在合宜的具體實施例中做許多變化和修正，且不違反本發明原理。所有這樣的變化和修正都涵括在本發明範圍中，如下列所提出的申請專利範圍。





圖式之簡單說明

透過下列特定附圖具體實施例的詳盡描述，這個發明的其他特性將很容易被了解。

圖1是高層次慣用的積體電路記憶體裝置之方塊圖。該記憶體包括用來切換慣用主記憶體陣列成一備用記憶體陣列的冗餘成份。

圖2是高層次的積體電路記憶體裝置之方塊圖。該裝置乃依照本發明使用介於主記憶體解碼器和主記憶體陣列之間的熔線，來切換主記憶體陣列成一備用記憶體陣列。

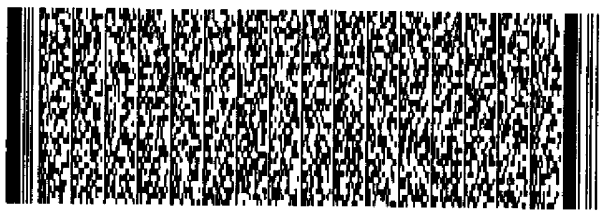
圖3為圖2中熔線的第一類配置之方塊圖。

圖4為圖2中熔線的第二類配置之方塊圖。

圖5為標準解碼器之方塊圖，以及當不使用熔線時，圖2中積體電路記憶體裝置的相關佈線。

元件符號說明

8	積體電路記憶體
10	主記憶體解碼器
11-14	標準解碼器成份
15	驅動解碼器
16-19	字元線路驅動器
20	主記憶體陣列
21	備用記憶體解碼器
23	備用字元線路驅動器
24	備用記憶體陣列
26	積體電路記憶體



圖式簡單說明

28	主記憶體解碼器
30	標準解碼器成份
31-34	標準解碼器成份
41-44	熔線
51-54	字元線路驅動器
51a-54a	字元線路驅動器的列解碼器
51b-54b	字元線路驅動器的列解碼器
51c-54c	字元線路驅動器的列解碼器
56	主記憶體陣列
61	備用記憶體解碼器
63	備用字元線路驅動器
66	備用記憶體陣列
71	驅動解碼器
80	熔線盒
81-84	熔線
91a-94a	輸出信號
91b-94b	輸出信號
100	熔線盒
101-104	熔線
111-114	線路

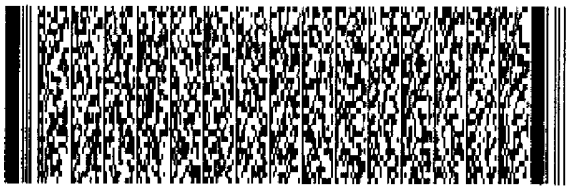
四、中文發明摘要 （發明之名稱：包含介於一解碼器及一記憶體陣列間用以將該記憶體陣列中之損壞儲存單元去能之熔線的積體電路記憶體）

一積體電路記憶體包括一個二維的記憶體陣列，其中該陣列之第一及第二維度分別朝第一和第二個方向延伸。該記憶體裝置更包含用於第一維度的解碼器及多條介於解碼器和記憶體陣列間的熔線。一旦於該記憶體陣列中有損壞的儲存單元，可以將適當的熔線切開以實質地隔離解碼器和損壞單元。這樣便可使得憶體不需為了切換到備用或冗餘的儲存單元之記憶體陣列，而造成操作上之時間延遲；因而最佳化記憶體之操作速度。在較佳的具體實施例中，熔線配置使得熔線間的相對間距實質地沿第二方向開展，且熔線之方位使得其長度實質地和第一方向平行。藉由這樣的配置，會使得該記憶體裝置之佈線區域上的衝突最小化。

英文發明摘要 （發明之名稱：INTEGRATED CIRCUIT MEMORIES INCLUDING FUSES BETWEEN A DECODER AND A MEMORY ARRAY FOR DISABLING DEFECTIVE STORAGE CELLS IN THE MEMORY ARRAY）

An integrated circuit memory device includes a two-dimensional memory array in which the first and second dimensions extend in first and second directions respectively. The memory device further includes a decoder for the first dimension and a plurality of fuses between the decoder and the memory array. Upon encountering a defective storage cell in the memory array, the appropriate fuse can be cut to physically segregate the decoder from the defective cell. This allows the





四、中文發明摘要　（發明之名稱：包含介於一解碼器及一記憶體陣列間用以將該記憶體陣列中之損壞儲存單元去能之熔線的積體電路記憶體）

英文發明摘要　（發明之名稱：INTEGRATED CIRCUIT MEMORIES INCLUDING FUSES BETWEEN A DECODER AND A MEMORY ARRAY FOR DISABLING DEFECTIVE STORAGE CELLS IN THE MEMORY ARRAY）

memory to operate without any delay inserted for switching to a spare or redundant memory array of storage cells, thus maximizing the memory operating speed. In a preferred embodiment, the fuses are arranged such that the relative spacing between the fuses proceeds substantially along the second direction and the fuses are oriented lengthwise in the first direction. By following this arrangement, the impact on the layout area for the memory device is minimal.

六、申請專利範圍

1. 一種積體電路記憶體裝置，包括：

一主記憶體陣列，該主記憶體陣列具分別延伸於第一和第二方向之第一及第二維度；

一個用於該第一維度的主記憶體解碼器；以及

多條介於該主記憶體解碼器和該主記憶體陣列之間的熔線。

2. 如申請專利範圍第1項之記憶體裝置，其中該熔線配置使得該熔線間的相對間距實質地沿第二方向開展。

3. 如申請專利範圍第2項之記憶體裝置，其中該熔線之方位使得它們的長度實質地和該第一方向平行。

4. 如申請專利範圍第2項之記憶體裝置，其中每條熔線具長度和寬度，而該長度至少和該寬度等長。

5. 如申請專利範圍第4項之記憶體裝置，其中該熔線長度約為5微米，該寬度約為1微米。

6. 如申請專利範圍第5項之記憶體裝置，其中兩鄰近熔線間之間距至少3微米。

7. 如申請專利範圍第2項之記憶體裝置，其中該主記憶體解碼器包括：

一標準解碼器；以及

一驅動解碼器。

8. 如申請專利範圍第7項之記憶體裝置，更包含多個字元線路驅動器，而這些字元線路驅動器係透過多條熔線而電性連接至該標準解碼器，並亦連接至該驅動解碼器。

9. 如申請專利範圍第8項之記憶體裝置，更包含：

六、申請專利範圍

一備用記憶體解碼器；以及

一電性連接至多條備用字元線路的備用字元線路驅動器。

10. 如申請專利範圍第1項之記憶體裝置，其中該熔線配置使得該熔線間的相對間距實質地沿該第一方向開展。

11. 如申請專利範圍第10項之記憶體裝置，其中每條熔線具長度和寬度，而該長度至少和該寬度等長。

12. 如申請專利範圍第11項之記憶體裝置，其中該熔線之方位使得它們的長度實質地和該第二方向平行。

13. 如申請專利範圍第1項之記憶體裝置，其中該第一維度對應於該主記憶體陣列中儲存單元的列，而該第二維度對應於該主記憶體陣列中儲存單元的行。

14. 如申請專利範圍第1項之記憶體裝置，其中該第一維度對應於該主記憶體陣列中儲存單元的行，而該第二個維度對應於該主記憶體陣列中儲存單元的列。

15. 一種積體電路記憶體裝置，包括：

一主記憶體陣列，具分別延伸於第一和第二方向之第一及第二維度；

一用於該第一維度的主記憶體解碼器；以及

多條介於該主記憶體解碼器和該主記憶體陣列之間的熔線。而該熔線配置使得該熔線間的相對間距實質地沿第二方向開展，且該熔線之方位使得它們的長度實質地和該第一方向平行。

16. 一種積體電路記憶體裝置，具有第一和第二列解碼

六、申請專利範圍

器；而該些解碼器可分別產生第一和第二輸出信號；而且其中載送該第一和第二輸出信號的配線為行方向，包括：

一第一熔線，架線於列方向且電性連接至該第一輸出信號；以及

一第二熔線，架線於列方向且電性連接至該第二輸出信號；

其中該第一和該第二熔線被配置使在行方向中平行。

17. 一種積體電路記憶體裝置，具有第一和第二行解碼器，而該些解碼器可分別產生第一和第二輸出信號；而且其中載送該第一和第二輸出信號的配線為列方向，包括：

一第一熔線，架線於行方向且電性連接至該第一輸出信號；以及

一第二熔線，架線於行方向且電性連接至該第二輸出信號；

其中該第一和該第二熔線被配置使在列方向中平行。

18. 一種積體電路記憶體裝置，具有多個配置於列、行的單元，包括：

多個信號生成電路，被配置成彼此相鄰且用以產生輸出信號；以及

多條平行配線的熔線，且其方向與載送該輸出信號的線路相交。

19. 如申請專利範圍第18項之積體電路記憶體裝置，其中該信號生成電路為列解碼器，載送該輸出信號的該線路方向為行方向，而該熔線則平行配線於列方向。

六、申請專利範圍

20. 如申請專利範圍第18項之積體電路記憶體裝置，其中該信號生成電路為行解碼器，載送該輸出信號的該線路方向為列方向，而該熔線則平行配線於行方向。



88110561

圖式

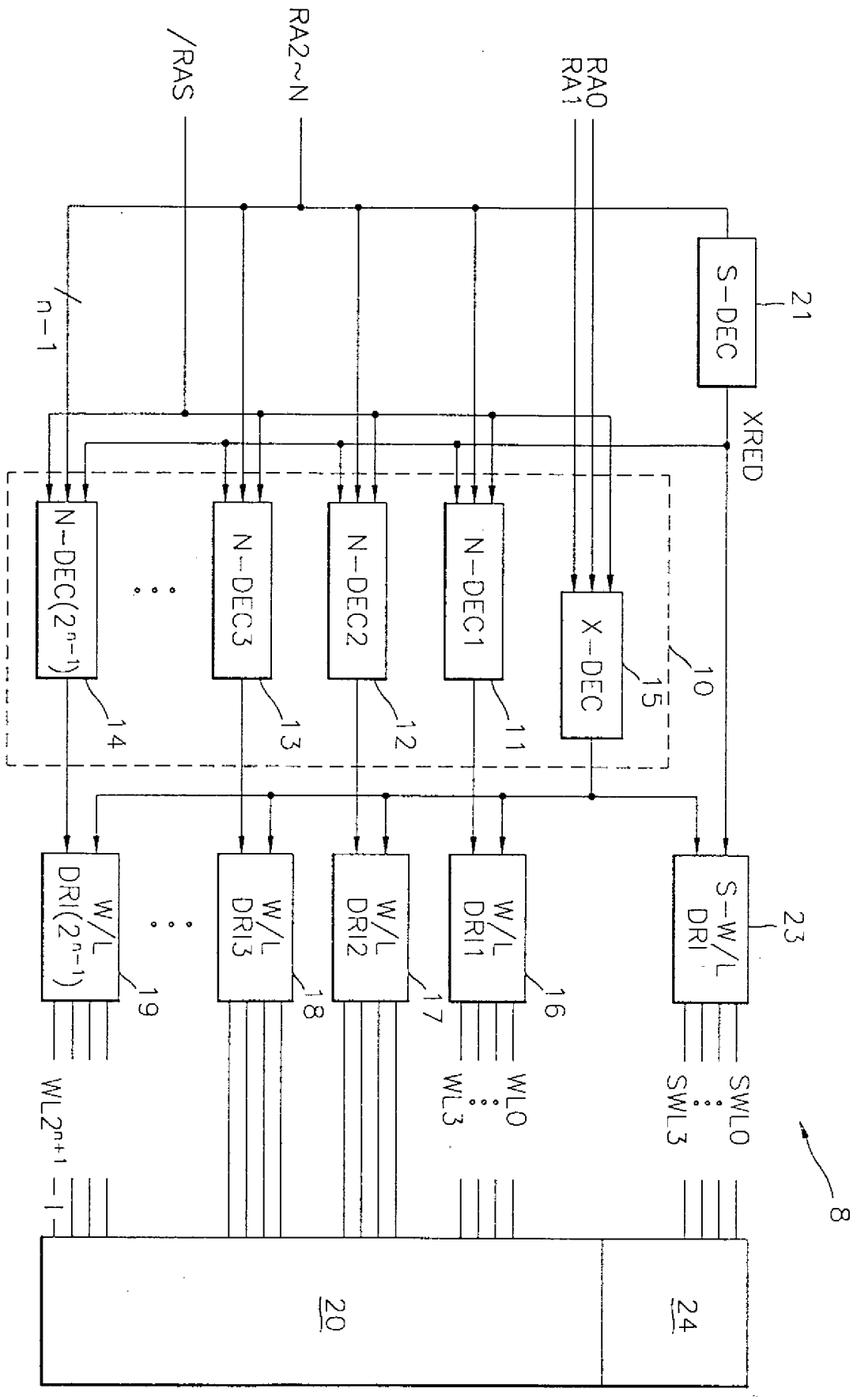


圖 1（先前技藝）

圖式

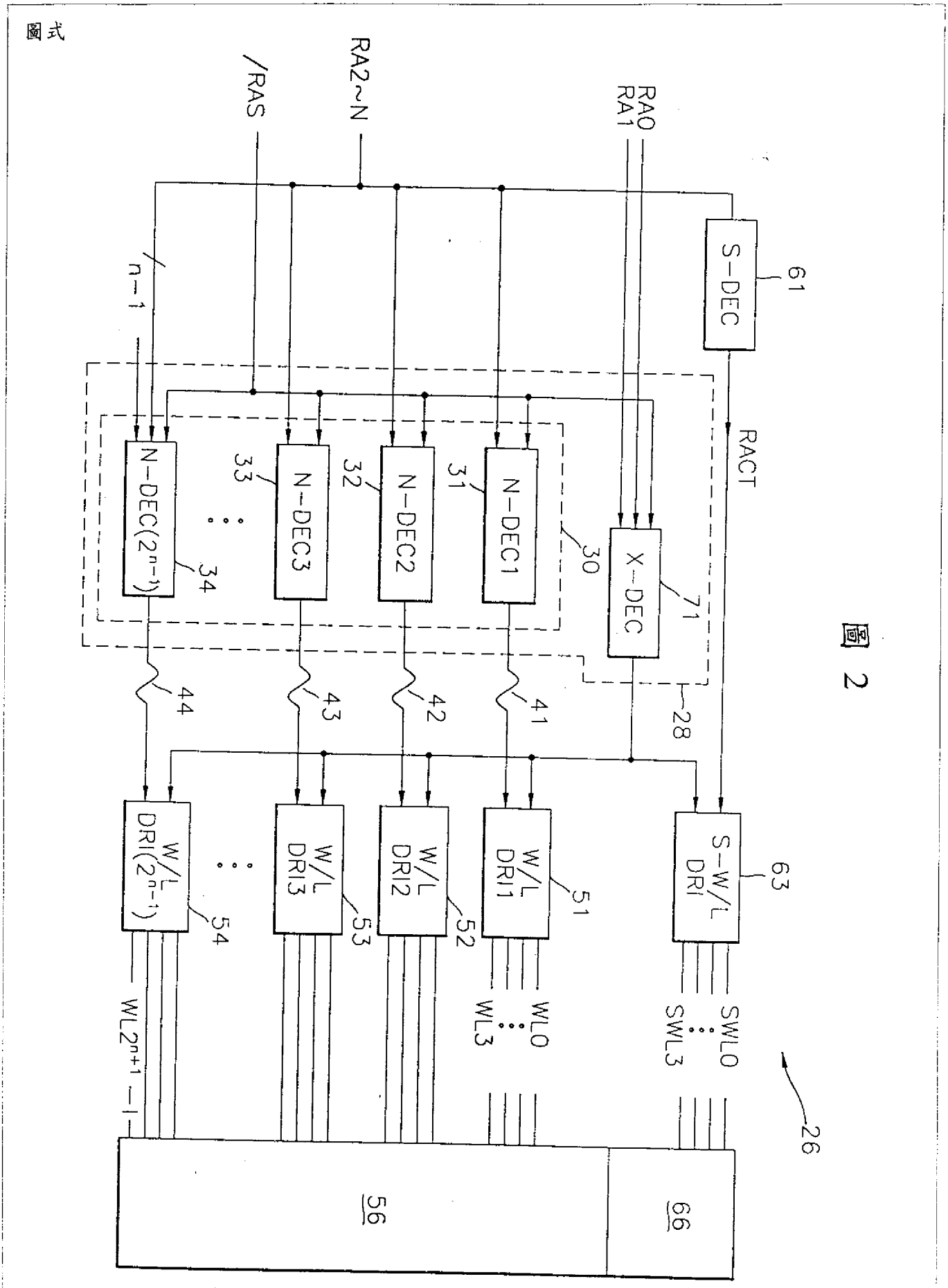

/RAS
RA2~N
RA0
RA1
S-DEC
61
n-1
RACT
N-DEC(2^n-1)
34
33
N-DEC3
32
N-DEC2
31
N-DEC1
30
X-DEC
71
28
44
43
42
41
W/L DRI(2^n-1)
54
W/L DRI3
53
W/L DRI2
52
W/L DRI1
51
S-W/L DRI
63
WL2^n+1-1
WL3
WL0
SWL3
SWL0
56
66
26

圖 2

圖式

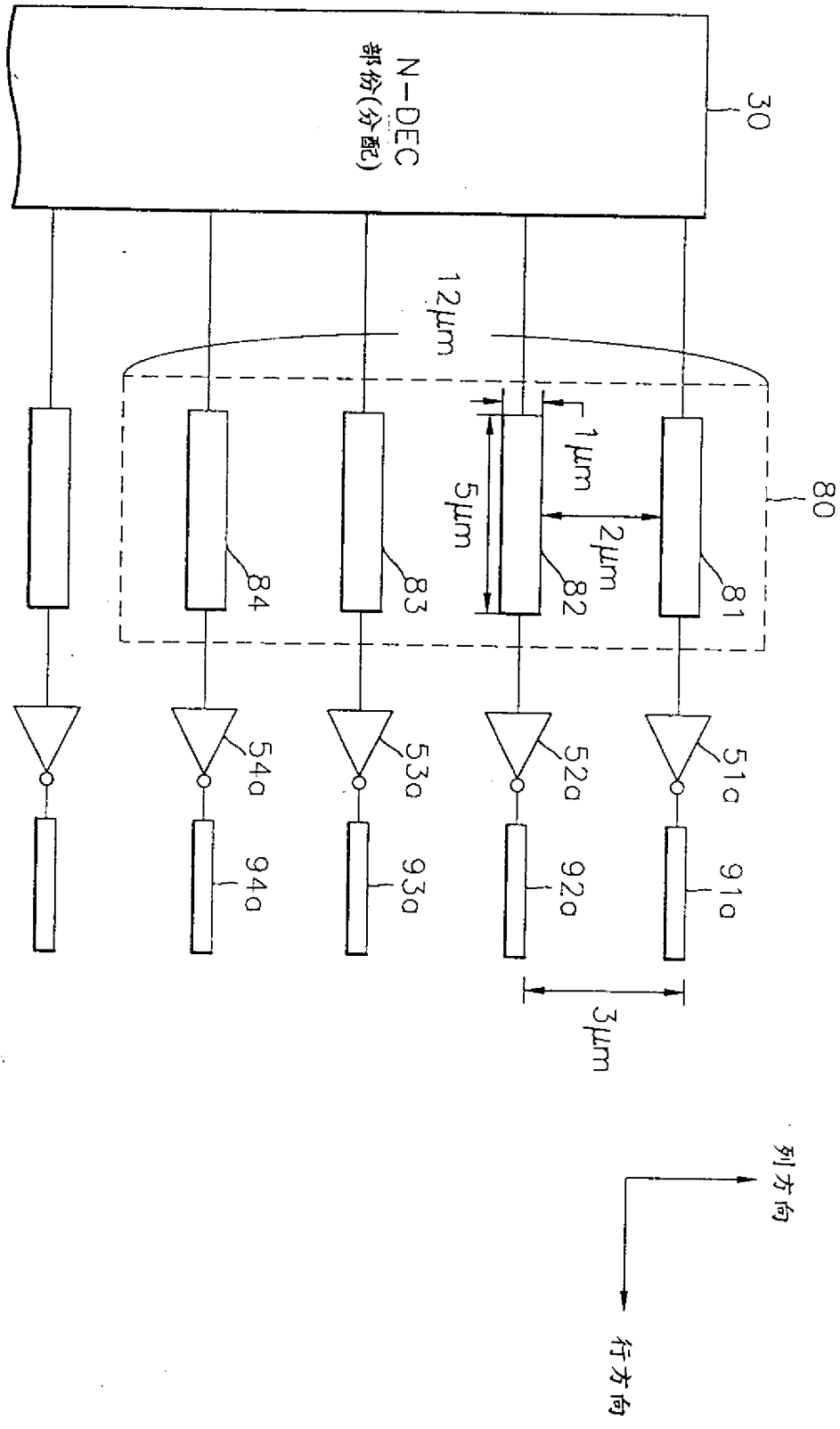

30
N-DEC
部份(分配)
12μm
80
1μm
5μm
2μm
84
83
82
81
54a
53a
52a
51a
94a
93a
92a
91a
3μm
列方向
行方向

圖 3

圖式

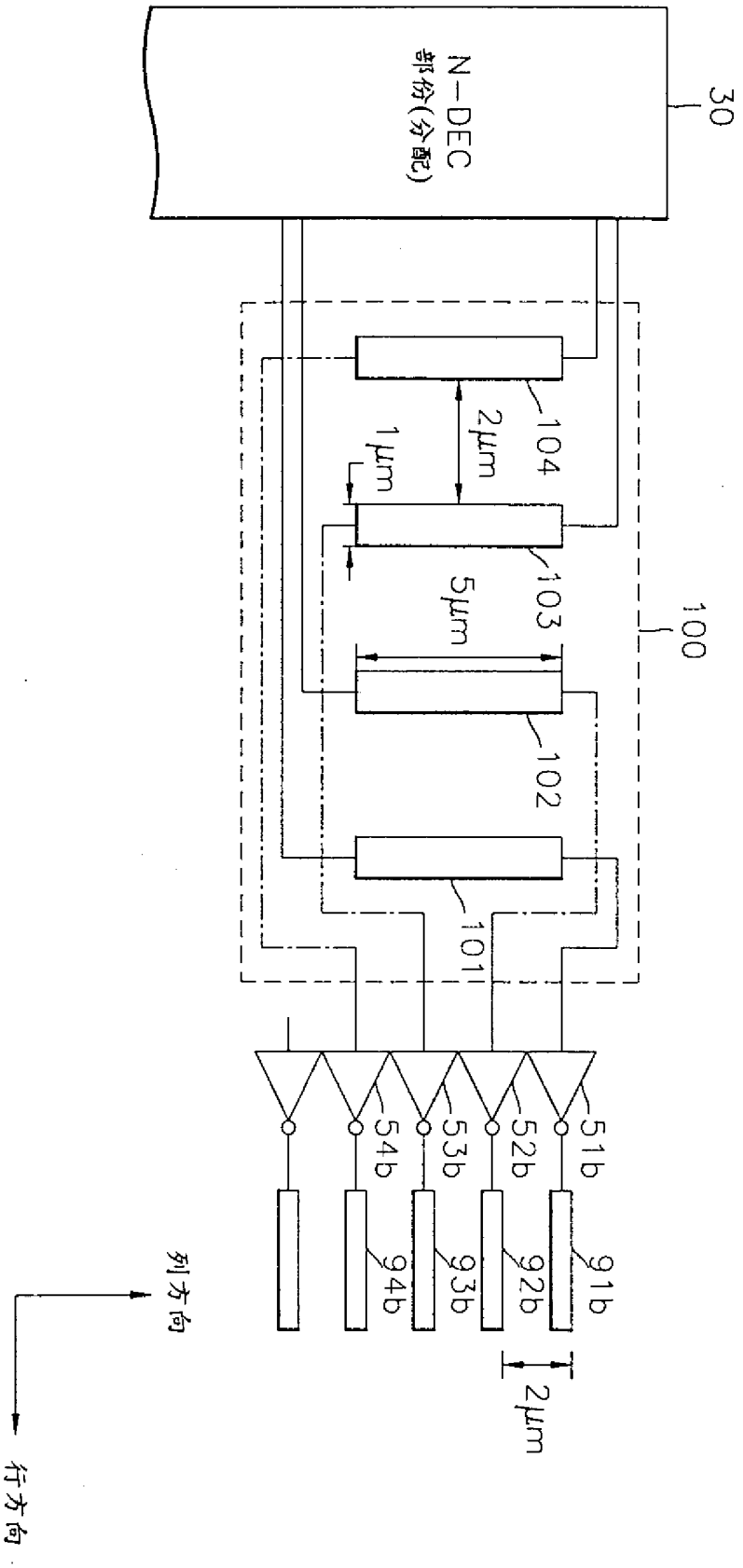

30
N-DEC
部份(分配)
100
104
103
102
101
2μm
1μm
5μm
51b
52b
53b
54b
91b
92b
93b
94b
2μm
列方向
行方向

圖 4

圖式

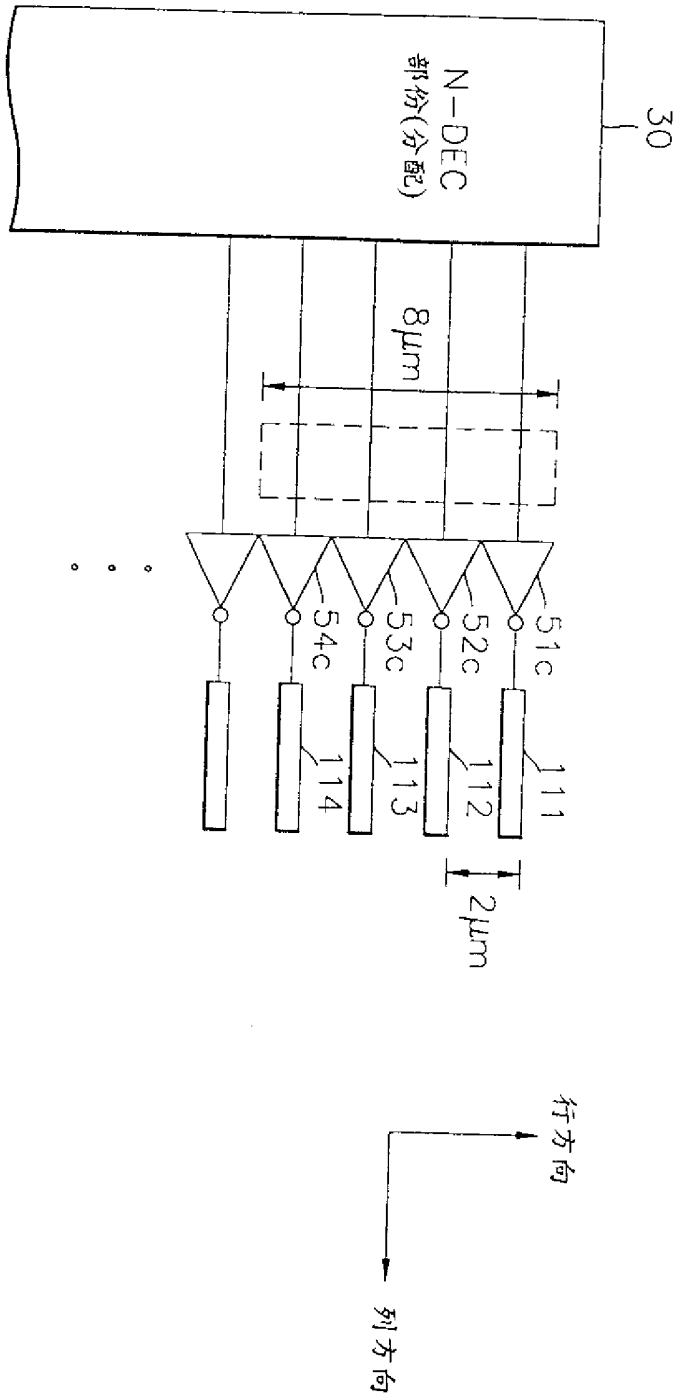


圖 5