

發明專利說明書

99年8月3日修正替換頁

中文說明書替換頁(99年8月)

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

公告本

※ 申請案號：095110598

※ 申請日期：95.3.27

※IPC 分類：H01L²¹/₅₀ (2006.01)H01L²³/₅₀ (2006.01)

一、發明名稱：(中文/英文)

半導體裝置之製造方法

A METHOD OF MANUFACTURING A SEMICONDUCTOR DEVICE

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

日商瑞薩電子股份有限公司

RENESAS ELECTRONICS CORPORATION

代表人：(中文/英文)

赤尾 泰

AKAO, YASUSHI

住居所或營業所地址：(中文/英文)

日本國神奈川縣川崎市中原區下沼部 1753 番地

1753 SHIMONUMABE NAKAHARA-KU, KAWASAKI KANAGAWA

211-8668 JAPAN

國 籍：(中文/英文)

日本 JAPAN

三、發明人：(共 2 人)

姓 名：(中文/英文)

1. 天野 賢治

2. 長谷部 一

國 籍：(中文/英文)

1. 日本 JAPAN

2. 日本 JAPAN

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 日本；2005 年 04 月 25 日；特願 2005-126392

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明係防止半導體裝置組裝時的晶片裂化或晶片折斷。準備引線架1，其係在懸吊引線1e上所形成之金屬線連接用之鍍銀8之翼片側之端部的厚度形成得比引線上之鍍銀8更薄，其後，藉由在翼片1b上搭載半導體晶片2，由於懸吊引線1e上之鍍銀8全面被壓平，因此可防止晶片搭載時半導體晶片2與鍍銀8接觸。藉此，在晶片接合時半導體晶片2不與鍍銀8接觸，而可在翼片1b上滑動，減輕晶片搭載時對半導體晶片2的損害，故可防止半導體裝置的晶片裂化或晶片折斷。

六、英文發明摘要：

七、指定代表圖：

(一)本案指定代表圖為：第 (12) 圖。

(二)本代表圖之元件符號簡單說明：

1	引線架
1a	引線
1b	翼片
1c	主面(晶片搭載面)
1d	反面(一部份)
1e	懸吊引線
1f	反面
1i	上面(第一主面)
1j	彎曲部
2	半導體晶片
2b	主面
2c	反面
6	晶片接合材
8	鍍銀(鍍金屬)
10	夾頭

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

九、發明說明：

【發明所屬之技術領域】

本發明係與半導體製造技術有關，並特別與適用於如下半導體裝置製造的有效技術有關，而該半導體裝置係在其懸吊引線實施鍍層者。

【先前技術】

QFN(Quad Flat Non-leaded Package：四邊扁平無引線封裝)型半導體裝置包含：翼片，其係支持半導體晶片者；密封部，其係把半導體晶片作樹脂密封所形成者；懸吊引線，其係支持翼片者；及複數個引線，其係露出於密封部之反面的周緣部者；翼片係藉由密封樹脂進行密封，且係屬小翼片結構。(譬如，參考專利文件1)。

[專利文件1]國際公開號碼WO 01/003186號公報(圖40)

(發明所欲解決之問題)

在QFN等半導體裝置中，其組裝係使用各引線塗佈有金屬線連接用鍍銀之引線架來進行。在引線架之引線進行塗佈鍍銀之際，係經由遮罩進行塗佈鍍銀。在該情況下，遮罩之校準精度係隨著半導體裝置之小型化、窄間距化而降低。其結果為，在引線架之與翼片連結的懸吊引線上亦塗佈鍍銀。

本發明者針對使用下述引線架之半導體裝置之組裝，進行檢討後，發現如下問題；而該引線架係在懸吊引線上塗佈有鍍銀者。

QFN係翼片內建於密封體內之結構，此已為一般所知。

就內建翼片的構件而言，其中一種為：在懸吊引線形成用於提高翼片的彎曲部，使翼片之高度高於各引線，藉由此方式，在進行樹脂密封時，使樹脂亦回滲到翼片反面側，把翼片埋入密封體之內部。

因此，如圖25所示之比較例般，在引線架之製造階段，使用抵補模9，對引線架1之懸吊引線1e實施抵補加工，藉由此方式，形成彎曲部1j。

然而，如前述般，隨著半導體裝置之小型化、窄間距化，在對引線架1之各引線之鍍銀塗佈時，使得遮罩的校準精度降低，因此在懸吊引線上亦會形成鍍銀8。所形成之鍍銀8之翼片側之端部附近，亦有形成於未受抵補模9包覆之位置的情形。

如在此狀態下實施抵補加工，則有可能產生如下情形：如圖25之抵補加工後所示般，鍍銀8之一部份(翼片側之端部)未被壓平，呈凸出狀態殘留。

如圖26之比較例所示般，在半導體裝置組裝之晶片接合步驟上，未被壓平而殘留之鍍銀8會與半導體晶片2之端部接觸；結果會造成如下問題：如圖27之比較例所示般，在半導體晶片2中形成崩裂12。

亦即，如圖26之比較例所示般，在晶片接合步驟上，在夾頭10方面其吸附面10a形成游隙，因此，半導體晶片2常無法對翼片1b保持水平；而夾頭10係把半導體晶片2進行吸附及搬移者。或是產生如下情形：在翼片1b上之晶片接合材6被半導體晶片2逐漸壓平的過程中，半導體晶片2呈傾斜

配置。

如此一來，在進行晶片接合時，半導體晶片2之端部與鍍銀8衝突，使半導體晶片2無法在懸吊引線1e上滑動，因此，半導體晶片2形成崩裂12，或形成微裂縫。

其結果為，半導體裝置之電性特性無法獲得確保等，故使半導體裝置之可靠度降低，此為一項問題。

再者，在前述專利文件1(國際公開號碼WO 01/003186號公報)中，針對在懸吊引線上形成之金屬線連接用之鍍銀、及懸吊引線之抵補加工、乃至鍍銀與抵補模之位置關係等均無記載。換言之，針對如下構件均無揭示，而該構件係：即使在懸吊引線上已經形成鍍銀膜，藉由抵補加工把鍍銀膜之全部進行壓平，使其不殘留凸出部份。

本發明之目的為提供一種技術，其係可防止半導體裝置之晶片接合步驟之晶片裂化或晶片折斷者。

本發明之其他目的為提供一種技術，其係可謀求半導體裝置之可靠度提高者。

本發明之前述及其他目的、新型特徵從本說明書之記述及附圖當可清楚了解。

【發明內容】

茲將於本案所揭示之發明中具有代表性者之概要簡單說明如下。

亦即，本發明係準備引線架，其具有：翼片、引線及懸吊引線；在前述懸吊引線上所形成之鍍金屬膜的厚度形成得比形成於前述引線上之鍍金屬膜更薄；準備前述引線架

之步驟後，在前述翼片上搭載半導體晶片者。

又，本發明係準備引線架，其後在翼片上搭載半導體晶片者；而該引線架係在懸吊引線上所形成之鍍金屬膜之翼片側的端部厚度形成得比形成於引線上之鍍金屬膜更薄；且懸吊引線上之鍍金屬膜之翼片側之端部厚度形成得比與其相反側之端部厚度更薄。

再者，本發明係準備引線架，其後在翼片上搭載半導體晶片者；而該引線架係懸吊引線上之與翼片之晶片搭載面連結之第一主面與翼片之晶片搭載面形成為相同高度；在懸吊引線上所形成之鍍金屬膜之翼片側的端部配置於在前述第一主面所形成的凹部。

茲將由本案中所揭示之發明中具有代表性者所獲得之效果簡單說明如下。

藉由準備引線架，其後在翼片上搭載半導體晶片，使懸吊引線上之鍍金屬膜被壓平，因此可防止在晶片接合時半導體晶片與鍍金屬膜接觸。藉此，在晶片接合時半導體晶片不與鍍金屬膜接觸，而可在翼片上滑動，由於減輕晶片接合時對半導體晶片的損害，故可防止半導體裝置之晶片裂化或晶片折斷；而該引線架係在懸吊引線上所形成之金屬線連接用之鍍金屬之翼片側之端部厚度形成得比引線上之金屬線連接用之鍍金屬膜更薄。

【實施方式】

在以下之實施型態中，除有特別必要的情形之外，對於同一或同樣的部份，原則上不再作重複說明。

又，在以下之實施型態中，權宜上，在有必要的情形時，係分成複數個部份或實施型態作說明；但除有特別明示的情形之外，各者間並非互無關聯，一方係與他方之一部份或全部之變形例、詳細內容、補充說明等有關。

再者，在以下之實施型態中，當提及要素之數等(包含數目、數值、量、範圍等)時，除有特別明示的情形及在原理上明顯限定特定之數的情形等之外，並不限定於該特定之數，亦即，在特定之數以上或以下者亦可。

以下，參考圖式，針對本發明之實施型態作詳細說明。又，在用於說明實施型態之全部圖式中，如為具有同一功能之構件則賦予相同元件符號，且不再作重複說明。

(第一實施型態)

圖1係本發明之第一實施型態之半導體裝置之結構之一例的平面圖。圖2係圖1所示半導體裝置之結構之一例的側面圖。圖3係圖1所示半導體裝置之結構之一例的反面圖。圖4係沿圖1所示A-A線切斷之剖面結構之剖面圖。圖5係沿圖1所示C-C線切斷之剖面結構之剖面圖。又，圖6係把圖4之B部結構之一例放大顯示之部份放大剖面圖。圖7係把圖5之D部結構之一例放大顯示之部份放大剖面圖。圖8係穿透圖1之半導體裝置之密封體，其內部結構之一例的平面圖。又，圖9係對圖1之半導體裝置組裝所使用之引線架之鍍金屬膜之形成方法之一例的平面圖及剖面圖。圖10係圖9之引線架之懸吊引線之抵補加工方法之一例的部份剖面圖。圖11係圖10之引線架之懸吊引線之抵補加工後之結構一例的平

面圖及部份剖面圖。

又，圖12係圖1之半導體裝置組裝中晶片接合順序之一例的平面圖及部份剖面圖。圖13係圖12之晶片接合完成後之結構之一例的平面圖及部份剖面圖。圖14係圖13之G部之半導體晶片之滑動狀態之一例的部份剖面圖。又，圖15係穿透本發明之第一實施型態之變形例之半導體裝置的密封體，其內部結構之平面圖。圖16係在圖15之變形例之半導體裝置中沿懸吊引線切斷之構造之剖面圖。圖17係本發明之第一實施型態之變形例之懸吊引線之抵補方法的部份剖面圖。圖18係本發明之第一實施型態之變形例之半導體裝置的組裝順序的平面圖及部份剖面圖。圖19係以圖18之組裝順序所製造之變形例之半導體裝置結構的部份剖面圖。

圖1~5所示之本第一實施型態之半導體裝置係小型半導體封裝，其係複數個引線1a各露出一部份於密封體3之反面3a之周緣部，呈並排配置者。在本第一實施型態中，係以QFN5為前述半導體裝置之一例作說明。

以下，針對QFN5之結構作說明。如圖5所示般，其包含：半導體晶片2，其係在其主面2b具有半導體元件及複數個接墊(電極)2a者；翼片1b(晶片搭載部)，其係與半導體晶片2連接者；複數個引線1a，其係排列配置於半導體晶片2之周圍者；複數條導電性之金屬線4；及密封體3，其係由樹脂所形成者。

如圖8所示般，複數條金屬線4係分別與半導體晶片2之接墊2a、及與之對應之引線1a，呈電性連接。又，如圖5所示

般，密封體3係把半導體晶片2、翼片1b及複數條金屬線4進行密封者。

又，如圖2及圖3所示般，複數個引線1a之各被連接面(一部份)1g係呈並排配置，露出於密封體3之反面3a之周緣部。再者，在各引線1a中，如圖7所示般，在各上面1h係形成有溝部1k。藉由形成溝部1k，使樹脂滲入溝部1k而形成密封體3，因此，在提高引線1a與密封體3之接合力的同時，並可防止引線1a朝延展方向脫離(脫落)。

又，QFN5具有懸吊引線1e，其係分別配置於與密封體3之4個角部對應之部位，且係如圖4所示般與翼片1b連結者。

又，如圖5所示般，QFN5中之翼片1b的主面(晶片搭載面)1c之面積，係形成得比半導體晶片2之主面2b(反面2c)之面積為小；QFN5係屬於所謂小翼片結構。藉由小翼片結構，使密封體3之一部份、及半導體晶片2之反面2c的一部份形成密合構造。

又，如圖5所示般，在QFN5方面，翼片1b係埋入密封體3之內部，翼片1b之反面1d被樹脂完全包覆，即所謂翼片內建型之QFN5。亦即，懸吊引線1e係被實施翼片提高加工，其係使翼片1b之位置(高度)高於各引線1a者。其係在引線架1之製造階段，對與翼片1b連結之懸吊引線1e，如圖4所示般，實施提高翼片1b之位置的抵補加工(彎曲加工)，藉由此方式，在懸吊引線1e形成彎曲部1j，使翼片1b之高度高於各引線1a。

相對的，如未把QFN5之翼片1b進行抵補加工，使之與引

線 1a 同高，則翼片 1b 之反面 1d 從密封體 3 之反面 3a 露出。在安裝基板上之半導體裝置之搭載側(表面)，由於鋪設有複數個佈線圖案，因此在安裝基板之表面會產生凹凸。基於此因，如 QFN5 之翼片 1b 從密封體 3 之反面 3a 露出，則在把 QFN5 安裝(第二次安裝)於安裝基板上時，翼片 1b 之反面 1d 與安裝基板上之凹凸會產生干擾。其結果為，在 QFN5 之引線 1a 與配置於安裝基板上之電極之間產生接觸不良。換言之，如翼片 1b 之反面 1d 從密封體 3 之反面 3a 露出，則在與 QFN5 之翼片 1b 呈對向之安裝基板之表面側的區域上，難以鋪設複數個佈線圖案。然而，如本第一實施例般，藉由抵補加工，使翼片 1b 之位置比引線 1a 為高，藉由此方式，則翼片 1b 不會從密封體 3 之反面 3a 露出。其結果為，即使安裝基板上之表面形成凹凸，亦不會與 QFN5 之密封體 3 之反面 3a 產生干擾，因此使鋪設複數個佈線圖案變為可能。

又，如圖 6 及圖 7 所示般，在 QFN5 中，其各引線 1a 之上面 1h、及懸吊引線 1e 之上面(第一主面)1i，係分別形成鍍金屬，亦即，鍍銀 8(鍍銀膜、鍍銀層)。此鍍銀 8 係作為金屬線連接用途者，其係用於加強與金線等金屬線 4 之連接強度的鍍層。

然而，圖 6 所示懸吊引線 1e 之上面 1i 之鍍銀 8、與圖 7 所示引線 1a 之上面 1h 之鍍銀 8，兩者的厚度並不相同。圖 6 所示懸吊引線 1e 之上面 1i 之鍍銀 8，因在懸吊引線 1e 之抵補加工時被抵補模 9 所壓平，其厚度譬如為 1~3 μ m 程度；另一方面，圖 7 所示引線 1a 之上面 1h 之鍍銀 8，因未被抵補模等壓平，

故其厚度譬如為5~8 m程度。換言之，與圖7所示引線1a之上面1h之鍍銀8相較，圖6所示懸吊引線1e之上面1i之鍍銀8明顯較薄。

再者，如圖6所示般，懸吊引線1e上之鍍銀8係呈埋入懸吊引線1e(懸吊引線1e之表面)之狀態；另一方面，如圖7所示般，引線1a之上之鍍銀8係呈形成於引線1a之表面上之狀態。

有時，已形成之鍍銀8的一部份，在抵補加工時未被抵補模9所壓平，以凸出狀態殘留。如在該狀態下即進入晶片接合步驟，則半導體晶片2之反面(端部)2c與鍍銀8接觸，如圖27所示般，半導體晶片2產生崩裂12，而導致半導體裝置不良；而該鍍銀8係在凸出於懸吊引線1e上的狀態下所形成者。為了解決此問題，可採取如下方法：在把半導體晶片2搭載於引線架1之翼片1b之際，藉由抵補加工，至少把鍍銀8中之翼片1b側的端部壓平，而該鍍銀8係形成於懸吊引線上者。換言之，在搭載半導體晶片2之際，只要不讓鍍銀膜8凸出於懸吊引線1e上，使之不與半導體晶片2之反面(端部)2c干擾即可。為了達成該目的，在進行抵補加工之際，藉由抵補模9，把形成於懸吊引線1e上之鍍銀膜8之全部壓平即可。

又，本第一實施型態之QFN5係小翼片結構，因此各種尺寸之半導體晶片2都可搭載於翼片1b，但在此，係以搭載較之於封裝尺寸顯得較大的半導體晶片2為例，進行說明。譬如，相對於封裝尺寸為5 mm×6 mm大小，所搭載之半導體

晶片2為3.5 mm×4.5 mm。

因此，如圖8所示般，形成半導體晶片2之外周端部與各引線1a之翼片側之端部接近之結構。在此種各引線1a之端部與半導體晶片2之端部接近之結構中，如圖4及圖6所示般，半導體晶片2之端部(角部附近)係與鍍銀8之翼片側之端部呈平面狀重疊之配置；而該鍍銀8係形成於懸吊引線1e之上面1i者。

然而，本第一實施型態之QFN5亦可搭載作如下配置之較小半導體晶片2；該配置係，半導體晶片2之端部(角部附近)與鍍銀8之翼片側之端部不呈平面狀重疊，而該鍍銀8係形成於懸吊引線1e之上面1i者。

又，如圖6所示般，半導體晶片2係藉由晶片接合材(譬如，銀膠等)6固定於翼片1b之主面1c上，半導體晶片2之反面2c與翼片1b之主面1c係藉由晶片接合材6進行連接。

再者，如圖3所示般，各引線1a之其各一部份係作為被連接面1g，而露出於密封體3之反面3a；而各引線1a係並排配置於QFN5之密封體3之反面3a的周緣部者。又，懸吊引線1e之反面1f係分別露出於密封體3之反面3a之4個角部；而懸吊引線1e係分別配置於密封體3之4個角部者。上述各引線1a之被連接面1g及懸吊引線1e之反面1f，係形成有鍍錫鍍層、無鉛鍍錫鍍層等，作為外表鍍層。

又，翼片1b、懸吊引線1e、及各引線1a係譬如藉由銅合金等薄板材所形成者。

此外，金屬線4係譬如為金線；而金屬線4係連接半導體

晶片2之接墊2a及與之對應之引線1a者。

又，密封體3係藉由樹脂密封所形成者，該情況所使用之密封樹脂，係譬如為熱硬化性之環氧樹脂；而樹脂密封係以封模法進行者。

以下，針對本第一實施型態之QFN5(半導體裝置)之製造方法作說明。

以下，針對QFN5之組裝所使用之引線架1上之金屬線連接用之藉由鍍銀之塗佈形成鍍銀8之形成方法、及懸吊引線1e之抵補加工，進行說明。

首先，進行如圖9所示之遮罩配置。在此，係對已完成形成引線圖案之引線架1進行配置鍍層用之遮罩7；而該引線圖案係藉由蝕刻形成者。在該情況下，在各引線1a之上面1h，亦即在後步驟中作金屬線接合之金屬線連接部(引線1a之翼片1b側之端部)，進行配置遮罩7之開口部7a的同時，以定位針等把遮罩7與引線架1進行校準，使遮罩7之本體中央部7b配置於翼片1b側之上方；在校準後，把遮罩7及引線架1固定。

接著，進行鍍層塗佈。在此，係利用鍍層塗佈裝置進行鍍銀8之塗佈。在該情況下，僅在遮罩7之開口部7a形成鍍銀8。因此，在各引線1a之上面1h雖形成鍍銀8，但隨著半導體裝置之小型化、窄間距化，遮罩7之校準精度亦降低。基於此因，即使在懸吊引線1e上配置遮罩7(未圖示)，使懸吊引線1e上不形成鍍銀膜8，懸吊引線1e上仍會形成鍍銀8。此時，在懸吊引線1e上所形成之鍍銀8與在引線1a上所

形成之鍍銀膜8，係藉由相同鍍層步驟形成，因此，其係以與引線1a上形成之鍍銀8的相同厚度形成。

接著，進行遮罩之取下。亦即，從引線架1取下遮罩7，完成鍍銀8之形成。

其後，進行如圖10所示之懸吊引線1e之抵補加工。亦即，所進行之抵補加工係懸吊引線1e之彎曲加工，其係用於提高翼片1b之高度者。

首先，在抵補模9之下模9b上配置已塗佈鍍銀8之引線架1，接著，藉由上模9a及下模9b，夾住懸吊引線1e之已塗佈鍍銀8之部位，進行抵補加工。在該情況下，如圖10之抵補加工時所示般，係使用如下尺寸之上模9a及與之成一對之下模9b進行抵補加工，該尺寸係可把懸吊引線1e上之鍍銀8全體完全包覆者。換言之，抵補模9之與懸吊引線1e的接觸區域，係比在懸吊引線1e上形成之鍍銀8更大。

藉由此方式，如圖10之抵補加工後所示般，鍍銀8全體係被壓平，鍍銀部全體呈無凸出部位的平坦之面。又，藉由抵補加工，鍍銀8係被埋入懸吊引線1e，因此，鍍銀8之表面比懸吊引線1e之上面1i為低。

再者，抵補加工時之抵補量係譬如為0.14~0.18 mm。

如圖11所示般，藉由前述抵補加工，在懸吊引線1e形成彎曲部1j，使翼片1b之位置比各引線1a之位置為高。再者，懸吊引線1e上之鍍銀8的厚度，係比各引線1a上之鍍銀8的厚度更薄。亦即，在抵補加工上藉由抵補模9所壓平之懸吊引線1e上之鍍銀8，相較於未被壓平之各引線1a上之鍍銀

8，明顯更薄。譬如，藉由抵補模9壓平之懸吊引線1e上之鍍銀8的厚度為1~3 m程度；另一方面，未壓平之各引線1a上之鍍銀8之厚度為5~8 m程度。

其後，使用引線架，進行QFN5組裝；而該引線架係已實施前述鍍銀塗佈及前述抵補加工者。

首先，準備如圖11所示之引線架1。亦即，準備引線架1，其具有：翼片1b、複數個引線1a，其係配置於前者周圍者；及懸吊引線1e，其係支持翼片1b者；此外，在懸吊引線1e上所形成之金屬線連接用之鍍銀(鍍金屬)8之翼片側之端部的厚度，係形成得比形成於引線1a上之金屬線連接用之鍍銀8更薄。

又，在懸吊引線1e上所形成的鍍銀8，其全體係形成平坦狀，並無部位凸出於懸吊引線1e之上面1i。再者，懸吊引線1e係實施有抵補加工，在形成有懸吊引線1e之鍍銀8的部位，係具有彎曲部1j。藉由此方式，翼片1b之位置係比各引線1a之位置為高。

又，引線架1係小翼片結構用之架，其翼片1b之主面(晶片搭載面)1c之面積係比所搭載之半導體晶片2之反面2c之面積為小。

其後，進行圖12所示之晶片接合。首先，進行膠之塗佈。亦即，在引線架1之翼片1b上，實施銀膠等接合材6的塗佈。

其後，進行晶片搭載。如圖12所示般，本第一實施型態所採用之半導體晶片2為具有較大尺寸者，其大小係足以使半導體晶片2之外周端部接近各引線1a之翼片側之端部者。

其後，藉由夾頭10把半導體晶片2進行吸附保持，將之移到翼片1b上；接著，使夾頭10下降，藉由夾頭10把半導體晶片2，經由晶片接合材6，按壓於翼片1b，使之與翼片1b接觸。在該情況下，在夾頭10方面，其吸附面10a係由錐度(傾斜)形狀所構成，形成有游隙，因此，半導體晶片2並不對翼片1b之主面1c保持水平，此為常有之現象。或是，當翼片1b之主面1c上之晶片接合材6在藉由半導體晶片2逐漸被壓平的過程中，半導體晶片2亦有呈傾斜配置的情形。

然而，在本第一實施型態之半導體裝置之製造方法中，在懸吊引線1e之抵補加工時，鍍銀8全體係被壓平，鍍銀部全體呈無凸出部位的平坦之面(懸吊引線1e之上表面1i與鍍銀膜8之表面成為約略均一之面)；如圖13之G部所示般，懸吊引線1e上之鍍銀8之翼片側的端部附近亦成為平坦之面。

藉由此方式，在如圖14所示般進行晶片搭載之際，在半導體晶片2經由晶片接合材6被搭載於翼片1b之前，可防止半導體晶片2之反面(端部)2c與凸出於懸吊引線1e上之鍍銀8接觸。其結果為，即使因晶片搭載時之滑動，使半導體晶片2移動到懸吊引線1e上之鍍銀8區域，亦可使半導體晶片2之側面與鍍銀8不接觸，而在翼片1b上滑動，降低晶片接合時對半導體晶片2的傷害；因此，可防止在半導體裝置(QFN5)中產生晶片崩裂、晶片微裂縫。

又，由於可防止產生前述晶片崩裂、晶片微裂縫，故可提高半導體裝置(QFN5)之可靠度及提高品質。

又，如圖13所示般，QFN5所搭載之半導體晶片2為具有

較大尺寸者，其大小係足以使其外周端部接近各引線1a之翼片側之端部者。

因此，在晶片搭載後，在懸吊引線1e上形成之鍍銀8之翼片1b側的端部，係配置於與半導體晶片2之端部(角部)呈平面狀重疊之位置。

其後，進行金屬線接合。在此，如圖5所示般，係以金線等金屬線性之金屬線4，把半導體晶片2之接墊2a及與之對應之引線1a作電性連接。在該情況下，如圖7所示般，由於各引線1a之上面1h形成有金屬線連接用之鍍銀8，故可提高金屬線4與引線1a之連接強度。如更進一步說明，亦即，各引線1a上所形成之鍍銀8，並未實施加壓加工，因此，其厚度係維持鍍銀8之原本之厚度，故其形成得比形成於懸吊引線1e上之鍍銀8之厚度更厚。藉由此方式，在此引線1a上之鍍銀8之膜厚度係成為接受金屬線4之代用襯墊，故可提高各引線1a與複數條金屬線4之連接強度。

其後，進行樹脂密封(樹脂封模)。在此，係把半導體晶片2、翼片1b及複數條金屬線4進行樹脂密封，形成由樹脂所構成之密封體3。前述樹脂係譬如為熱硬化性之環氧樹脂。又，如圖5所示般，在形成密封體3之際，係作如下形成：藉由前述樹脂把翼片1b完全包覆；同時，亦作如下形成：使複數個引線1a之各被連接面(一部份)1g露出於密封體3之反面3a。

在樹脂密封完成後，進行切割，則完成如圖1~5所示之QFN5之組裝。

接著，針對本第一實施型態之變形例作說明。

如圖15及圖16所示變形例之QFN5，係把金屬線4連接於形成於懸吊引線1e之上面1i的鍍銀膜8者；譬如，在謀求接地或電源等之共通端子化及強化之際等，可積極活用在懸吊引線1e之上面1i所形成的金屬線連接用之鍍銀膜8。

亦即，其係把半導體晶片2之接地或電源等之接墊2a、與懸吊引線1e之上的鍍銀8，以金屬線4進行連接者。

如上述般，在QFN5中，亦可把形成於懸吊引線1e上的鍍銀8，加以活用作為金屬線連接用途。

又，在圖17所示變形例中，在進行懸吊引線1e之抵補加工之際，係作如下抵補加工：不把金屬線連接用之鍍銀8之翼片側及相反側(外側)之端部附近壓平，使之殘留；而該鍍銀8係形成於懸吊引線1e上者。藉由此方式，如圖11所示般，引線架1係形成為如下結構：其懸吊引線1e上之鍍銀8之翼片側之端部的厚度，係形成得比形成於引線1a上之鍍銀8更薄；同時，懸吊引線1e上之鍍銀8之翼片側之端部的厚度，係形成得比其相反側之端部的厚度更薄。

亦即，本第一實施型態之半導體裝置之製造方法所使用之引線架1中的懸吊引線1e之抵補加工，並非一定得把鍍銀8全體進行壓平不可；懸吊引線1e上之鍍銀8之翼片側及相反側之端部附近，在抵補加工時亦可不加以壓平。

如上述般，不把形成於懸吊引線1e上之鍍銀8之翼片側及相反側(外側)之端部附近進行壓平，使之與形成在引線1a上之鍍銀8之厚度為相同厚度，藉由此方式，在實施如圖15

及圖16所示之下接合之際，相較於把懸吊引線1e之上面1i及翼片1b之主面1c加工為相同高度的情形，更提高可金屬線接合之連接可靠度。其原因為：如上述般，由於鍍銀8具有膜厚度，鍍銀膜8成為代用襯墊，故可提高與金屬線4之密合力。

又，如圖18及圖19所示變形例係翼片露出結構之QFN5，其係翼片1b之反面1d露出於密封體3之反面3a者。

在前述翼片露出結構之QFN5之組裝所使用之引線架1方面，並未對懸吊引線1e進行抵補加工，而在與該懸吊引線1e之與翼片1b的主面1c連結之上面(第一主面)1i，形成凹部1m；而凹部1m係譬如藉由半蝕刻加工所形成者。

藉由此方式，在進行QFN5組裝時，係準備如圖18所示之引線架1：懸吊引線1e之上面1i與翼片1b之主面1c係形成為同高；再者，在懸吊引線1e上所形成之金屬線連接用之鍍銀8之翼片側的端部，係配置於形成於上面1i的凹部1m。

其後，在晶片接合步驟上進行晶片搭載之際，如圖18所示般，由於懸吊引線1e上之鍍銀8之翼片側的端部係配置於凹部1m，故鍍銀8之翼片側的端部與半導體晶片2並不相互干擾。

藉由此方式，在翼片露出結構之QFN5之晶片接合方面，在晶片搭載時，可使半導體晶片2在不與鍍銀8接觸的狀態下在翼片1b上滑動，可減輕晶片搭載時對半導體晶片2的損害；其結果為，故可防止翼片露出結構之QFN5產生晶片崩裂、晶片微裂縫。

又，在晶片接合完成後，進行金屬線接合。其後，進行樹脂密封。在樹脂密封步驟方面，係把半導體晶片2、翼片1b之主面側及複數條金屬線4進行樹脂密封，形成由樹脂所構成之密封體3。在該情況下，係作如下形成：使複數個引線1a之各被連接面(一部份)1g露出於密封體3之反面3a，同時，如圖19所示般，亦作如下形成：使翼片1b之反面(一部份)1d露出於密封體3之反面3a。

在樹脂密封完成後，進行切割，則完成翼片露出結構之QFN5之組裝。

其結果，因可抑制產生前述晶片崩裂、前述晶片微裂縫，故可提高半導體裝置(QFN5)之可靠度及提高品質。再者，由於翼片1b之反面1d露出於密封體3之反面3a，故可比圖4及圖5所示情況更能提高半導體裝置(QFN5)之散熱性。

(第二實施型態)

圖20係本發明之第二實施型態之半導體裝置之結構之一例的平面圖。圖21係圖20所示半導體裝置之結構的側面圖。圖22係圖20所示半導體裝置之結構的反面圖。圖23係沿圖20所示A-A線切斷之剖面結構之剖面圖。圖24係沿圖20所示C-C線切斷之剖面結構之剖面圖。

圖20~圖24所示本第二實施型態之半導體裝置係樹脂密封形、且係複數個外引線1p凸出之QFP(Quad Flat Package: 四邊扁平封裝)11；該複數個外引線1p係分別從由樹脂所構成之密封體3之4個側面成為外部端子者。

QFP11包含：翼片1b，其係與半導體晶片2連接者；懸吊

引線 1e，其係支持翼片 1b 者；複數個內引線 1n，其係配置於半導體晶片 2 之周圍者；金屬線 4，其係把半導體晶片 2 之接墊 2a 及內引線 1n 作電性連接者；外引線 1p，其係與內引線 1n 作一體連結者；及密封體 3，其係把半導體晶片 2 進行密封者。

又，在 QFP11 中，其翼片 1b 之位置(高度)係比內引線 1n 之位置為低。亦即，支持翼片 1b 之懸吊引線 1e 係被實施往密封體 3 之反面 3a 方向的抵補加工(翼片降低加工)，藉由此方式，使翼片 1b 之高度比內引線 1n 之位置為低。因此，懸吊引線 1e 具有彎曲部 1j。

此外，在各內引線 1n 之上面 1h 與懸吊引線 1e 之上面 1i，係形成有金屬線連接用之鍍金屬之鍍銀 8。

又，與第一實施型態之 QFN5 相同，如圖 24 所示般，QFP11 係屬於小翼片結構，其係翼片 1b 之尺寸比半導體晶片 2 為小者。因此，可把各種尺寸之半導體晶片 2 搭載於翼片 1b 上。

藉由此方式，在搭載尺寸較大之半導體晶片 2 的情形，則如圖 23 所示般，半導體晶片 2 之端部(角部)與懸吊引線 1e 上之鍍銀 8 之翼片側的端部，係呈平面狀重疊之配置。

在上述 QFP11 之組裝方面，亦在進行懸吊引線 1e 之抵補加工時，可藉由與第一實施型態同樣的方法把鍍銀 8 壓平，在晶片接合步驟之晶片搭載時，使半導體晶片 2 可在不與鍍銀 8 接觸的狀態下，在翼片 1b 上滑動，如此可減輕晶片搭載時對半導體晶片 2 的損害。

其結果為，可防止 QFP11 產生晶片崩裂、晶片微裂縫；

而該QFP11係已實施翼片降低加工者。再者，除QFP之外，本第二實施型態之半導體裝置，譬如亦可為已實施翼片降低加工之SOP(Small Outline Package：小尺寸封裝)等。

以上，係針對依本發明者所提出之發明之實施型態，作了詳細說明。然而，本發明並不限於前述發明之實施型態，只要在不超出其要旨的範圍內，則可作種種變更，此點毋庸置疑。

譬如，在前述第一、第二實施型態中，在各引線1a、各內引線1n及懸吊引線1e所塗佈之金屬線連接用之鍍金屬，係以鍍銀8的情形作說明；但前述鍍金屬亦可為：藉由鍍Pd(鈀)，把鍍Pd(鈀)膜形成於引線架之一部份或全體。然而，由於鍍Pd比鍍銀成本更高，故可藉由採用部份鍍Pd，以抑制成本的上升；而部份鍍Pd係僅在必要部位塗佈鍍層者。

(產業上之可利用性)

本發明係適用於具有懸吊引線之半導體裝置之製造技術。

【圖式簡單說明】

圖1係本發明之第一實施型態之半導體裝置之結構之一例的平面圖。

圖2係圖1所示半導體裝置之結構之一例的側面圖。

圖3係圖1所示半導體裝置之結構之一例的反面圖。

圖4係沿圖1所示A-A線切斷之剖面結構之剖面圖。

圖5係沿圖1所示C-C線切斷之剖面結構之剖面圖。

圖 6 係把圖 4 之 B 部結構之一例放大顯示之部份放大剖面圖。

圖 7 係把圖 5 之 D 部結構之一例放大顯示之部份放大剖面圖。

圖 8 係穿透圖 1 之半導體裝置之密封體，其內部結構之一例的平面圖。

圖 9 係對圖 1 之半導體裝置組裝所使用之引線架之鍍金屬膜之形成方法之一例的平面圖及剖面圖。

圖 10 係圖 9 之引線架之懸吊引線之抵補加工方法之一例的部份剖面圖。

圖 11 係圖 10 之引線架之懸吊引線之抵補加工後之結構一例的平面圖及部份剖面圖。

圖 12 係圖 1 之半導體裝置組裝中晶片接合順序之一例的平面圖及部份剖面圖。

圖 13 係圖 12 之晶片接合完成後之結構之一例的平面圖及部份剖面圖。

圖 14 係圖 13 之 G 部之半導體晶片之滑動狀態之一例的部份剖面圖。

圖 15 係穿透本發明之第一實施型態之變形例之半導體裝置的密封體，其內部結構之平面圖。

圖 16 係在圖 15 之變形例之半導體裝置中沿懸吊引線切斷之構造的剖面圖。

圖 17 係本發明之第一實施型態之變形例之懸吊引線之抵補方法的部份剖面圖。

圖 18 係本發明之第一實施型態之變形例之半導體裝置的組裝順序的平面圖及部份剖面圖。

圖 19 係以圖 18 之組裝順序所製造之變形例之半導體裝置結構的部份剖面圖。

圖 20 係本發明之第二實施型態之半導體裝置之結構之一例的平面圖。

圖 21 係圖 20 所示半導體裝置之結構之一例的側面圖。

圖 22 係圖 20 所示半導體裝置之結構之一例的反面圖。

圖 23 係沿圖 20 所示 A-A 線切斷之剖面結構之剖面圖。

圖 24 係沿圖 20 所示 C-C 線切斷之剖面結構之剖面圖。

圖 25 係比較例之引線架之懸吊引線之抵補加工方法的部份剖面圖。

圖 26 係比較例之晶片接合順序之部份剖面圖。

圖 27 係圖 26 之比較例之 H 部之半導體晶片之無法滑動狀態的部份剖面圖。

【主要元件符號說明】

1	引線架
1a	引線
1b	翼片
1c	主面(晶片搭載面)
1d	反面(一部份)
1e	懸吊引線
1f	反面
1g	被連接面(一部份)

1h	上面
1i	上面(第一主面)
1j	彎曲部
1k	溝部
1m	凹部
1n	內引線
1p	外引線
2	半導體晶片
2a	接墊
2b	主面
2c	反面
3	密封體
3a	反面
4	金屬線
5	QFN(半導體裝置)
6	晶片接合材
7	遮罩
7a	開口部
7b	本體中央部
8	鍍銀(鍍金屬)
9	抵補模
9a	上模
9b	下模
10	夾頭

10a	吸 附 面
11	QFP(半 導 體 裝 置)
12	崩 裂

101年10月2日修正本

第095110598號專利申請案
中文申請專利範圍替換本(101年10月)

十、申請專利範圍：

1. 一種製造半導體裝置的方法，其包含下列步驟：

(a)提供具有一晶片安裝部、置放於該晶片安裝部周圍的複數個引線、及用於支持該晶片安裝部的懸吊引線的一引線框架，該等懸吊引線中之每一者具有一彎曲部，金屬鍍膜係形成於該等複數個引線中之每一者上的一部分上及包含該彎曲部之該等懸吊引線中之每一者上的一部分上，該等金屬鍍膜中之每一者係形成於該等懸吊引線上，並具有一端部及相對於該一端部之另一端部，該一端部係位於比該另一端部更靠近該晶片安裝部側；

(b)在步驟(a)後，安裝一半導體晶片在該晶片安裝部上，該半導體晶片具有一主表面及形成於該主表面上之複數個焊墊；及

(c)在步驟(b)後，藉由複數個導線及形成於該等複數個引線上之該部分上的金屬鍍膜，來各自電連接該半導體晶片之該等複數個焊墊與該等複數個引線；

其中該彎曲部係藉由下列步驟(d1)至(d3)而形成：

(d1)提供一偏移晶粒，其具有一上方晶粒及相對於該上方晶粒之一下方晶粒，該上方晶粒係具有一非平滑表面；

(d2)置放該等懸吊引線中之每一者在該上方晶粒及該下方晶粒之間，使得形成於該等懸吊引線上之該等金屬鍍膜中之每一者之該一端部置放於該上方晶粒及該下方晶粒之間；

(d3)箝位該等懸吊引線中之每一者與該上方晶粒及該

下方晶粒以形成該彎曲部，及調平形成於該等懸吊引線上之該等金屬鍍膜中之每一者之該一端部而使得形成於該等懸吊引線上之該等金屬鍍膜中之每一者之該一端部不從該等懸吊引線中之每一者之一表面突出。

2. 如請求項1之製造半導體裝置的方法，其中該金屬鍍膜之材料為銀。
3. 如請求項1之製造半導體裝置的方法，其中該半導體晶片係藉由使用具有一錐形夾頭表面之有縫夾套之構件，透過一晶粒接合材料壓在該晶片安裝部上，以藉此與該晶片安裝部連接。
4. 如請求項1之製造半導體裝置的方法，進一步包含：在步驟(b)後，以樹脂密封該半導體晶片來形成一樹脂的密封體，該樹脂的密封體係以如此方式形成而使得該晶片安裝部被該樹脂覆蓋。
5. 如請求項1之製造半導體裝置的方法，進一步包含：在步驟(b)後，以樹脂密封該半導體晶片來形成一樹脂的密封體，該樹脂的密封體係以如此方式形成而使得該等複數個引線係不完全地曝露在該密封體之後表面。
6. 如請求項1之製造半導體裝置的方法，其中該非平滑表面之尺寸係大於形成於該等懸吊引線上之該等金屬鍍膜中之每一者之尺寸。
7. 一種製造半導體裝置的方法，其包含下列步驟：
 - (a)提供具有一晶片安裝部、置放於該晶片安裝部周圍的複數個引線、及用於支持該晶片安裝部的懸吊引線的一

引線框架，該等懸吊引線中之每一者具有一彎曲部，金屬鍍膜係形成於該等複數個引線中之每一者上的一部分上及包含該彎曲部之該等懸吊引線中之每一者上的一部分上，該等金屬鍍膜中之每一者係形成於該等懸吊引線上，並具有一端部及相對於該一端部之另一端部，該一端部係位於比該另一端部更靠近該晶片安裝部側；

(b)在步驟(a)後，安裝一半導體晶片在該晶片安裝部上，該半導體晶片具有一主表面及形成於該主表面上之複數個焊墊，該半導體晶片之尺寸係大於該晶片安裝部之尺寸；及

(c)在步驟(b)後，藉由複數個導線及形成於該等複數個引線上之該部分上的金屬鍍膜，來各自電連接該半導體晶片之該等複數個焊墊與該等複數個引線；

其中該彎曲部係藉由下列步驟(d1)至(d3)而形成；

(d1)提供一偏移晶粒，其具有一上方晶粒及相對於該上方晶粒之一下方晶粒，該上方晶粒係具有一非平滑表面；

(d2)置放該等懸吊引線中之每一者在該上方晶粒及該下方晶粒之間以，使得形成於該等懸吊引線上之該等金屬鍍膜中之每一者之該一端部置放於該上方晶粒及該下方晶粒之間；

(d3)箝位該等懸吊引線中之每一者與該上方晶粒及該下方晶粒以形成該彎曲部，及調平形成於該等懸吊引線上之該等金屬鍍膜中之每一者之該一端部而使得形成於該等懸吊引線上之該等金屬鍍膜中之每一者之該一端部

不從該等懸吊引線中之每一者之一表面突出。

8. 如請求項7之製造半導體裝置的方法，其中該非平滑表面之尺寸係大於形成於該等懸吊引線上之該等金屬鍍膜中之每一者之尺寸。

9. 一種製造半導體裝置的方法，其包含步驟：

(a)提供具有一晶片安裝部、置放於該晶片安裝部周圍的複數個引線、及用於支持該晶片安裝部的懸吊引線的一引線框架，該等懸吊引線中之每一者具有一彎曲部，金屬鍍膜係形成於該等複數個引線中之每一者上的一部分上及包含該彎曲部之該等懸吊引線中之每一者上的一部分上，該等金屬鍍膜中之每一者係形成於該等懸吊引線上，並具有一端部及相對於該一端部之另一端部，該一端部係位於比該另一端部更靠近該晶片安裝部側；

(b)在步驟(a)後，安裝一半導體晶片在該晶片安裝部上，使得形成於該等懸吊引線上之該等金屬薄膜中之每一者之一端重疊於該半導體晶片，該半導體晶片具有一主表面及形成於該主表面上之複數個焊墊，且該半導體晶片之尺寸係大於該晶片安裝部之尺寸；及

(c)在步驟(b)後，藉由複數個導線及形成於該等複數個引線上之該部分上的金屬鍍膜，來各自電連接該半導體晶片之該等複數個焊墊與該等複數個引線；

其中該彎曲部係藉由下列步驟(d1)至(d3)而形成；

(d1)提供一偏移晶粒，其具有一上方晶粒及相對於該上方晶粒之一下方晶粒，該上方晶粒係具有一非平滑表面；

(d2)置放該等懸吊引線中之每一者在該上方晶粒及該下方晶粒之間，使得形成於該等懸吊引線上之該等金屬鍍膜中之每一者之該一端部置放於該上方晶粒及該下方晶粒之間；

(d3)箝位該等懸吊引線中之每一者與該上方晶粒及該下方晶粒以形成該彎曲部，及調平形成於該等懸吊引線上之該等金屬鍍膜中之每一者之該一端部而使得形成於該等懸吊引線上之該等金屬鍍膜中之每一者之該一端部不從該等懸吊引線中之每一者之一表面突出。

10. 如請求項9之製造半導體裝置的方法，其中該非平滑表面之尺寸係大於形成於該等懸吊引線上之該等金屬鍍膜中之每一者之尺寸。

11. 一種製造半導體裝置的方法，其包含下列步驟：

(a)提供具有一晶片安裝部、置放於該晶片安裝部周圍的複數個引線、及用於支持該晶片安裝部的懸吊引線的一引線框架，該等懸吊引線中之每一者具有一彎曲部，金屬鍍膜係形成於該等複數個引線中之每一者上的一部分上及包含該彎曲部之該等懸吊引線中之每一者上的一部分上，該等金屬鍍膜中之每一者係形成於該等懸吊引線上，並具有一端部及相對於該一端部之另一端部，該一端部係位於比該另一端部更靠近該晶片安裝部側；

(b)在步驟(a)後，安裝一半導體晶片在該晶片安裝部上，使得形成於該等懸吊引線上之該等金屬薄膜中之每一者之一端重疊於該半導體晶片，該半導體晶片具有一主表

面、形成於該主表面上之複數個焊墊及相對於該主表面之一後部表面；及

(c)在步驟(b)後，藉由複數個導線及形成於該等複數個引線上之該部分上的金屬鍍膜來各自電連接該半導體晶片之該等複數個焊墊與該等複數個引線；

(d)在步驟(c)後，利用樹脂密封該半導體晶片及該等複數個導線，以使得該半導體晶片之後部表面連接至該樹脂；其中該彎曲部係藉由下列步驟(e1)至(e3)而形成；

(e1)提供一偏移晶粒，其具有一上方晶粒及相對於該上方晶粒之一下方晶粒，該上方晶粒係具有一第一非平滑表面，該下方晶粒係具有一第二非平滑表面；

(e2)在步驟(e1)後，置放該等懸吊引線中之每一者在該上方晶粒及該下方晶粒之間，使得形成於該等懸吊引線上之該等金屬鍍膜中之每一者之全部區域係被上方晶粒之第一非平滑表面覆蓋；

(e3)在步驟(e2)後，籍位該等懸吊引線中之每一者與該上方晶粒及該下方晶粒以形成該彎曲部，及調平形成於該等懸吊引線上之該等金屬鍍膜中之每一者而使得形成於該等懸吊引線上之該等金屬鍍膜中之每一者之全部區域不從該等懸吊引線中之每一者之一表面突出。

12. 如請求項11之製造半導體裝置的方法，其中該非平滑表面之尺寸係大於形成於該等懸吊引線上之該等金屬鍍膜中之每一者之尺寸。

13. 如請求項11之製造半導體裝置的方法，其中該金屬鍍膜

之材料為銀。

14. 如請求項 11 之製造半導體裝置的方法，其中該半導體晶片係藉由使用具有一錐形夾頭表面之有縫夾套之構件，透過一晶粒接合材料壓在該晶片安裝部上，以藉此與該晶片安裝部連接。
15. 如請求項 11 之製造半導體裝置的方法，其中該半導體晶片之尺寸係大於該晶片安裝部之尺寸。
16. 一種半導體裝置，其包含：
 - 一晶片安裝部；
 - 被安置於該晶片安裝部周圍的複數個引線；
 - 用於支持該晶片安裝部的複數個懸吊引線；
 - 安裝於該晶片安裝部上之一半導體晶片；及
 - 電連接形成於該半導體晶片之一主表面上的複數個焊墊與該等複數個引線的複數個導線；
 - 其中該等複數個懸吊引線中之每一者具有一彎曲部；
 - 其中一第一金屬膜係形成於包括該彎曲部之該等懸吊引線上；
 - 其中該等第一金屬膜中之每一者具有一端部及相對於該一端部之另一端部；
 - 其中該一端部係位於比該另一端部更靠近該晶片安裝部側；
 - 其中一第二金屬膜係形成於該等引線中每一者之一部分上；
 - 其中該等第一金屬膜中之每一者之該一端部的厚度係

薄於該等第二金屬膜中之每一者的厚度；及

其中該等第一金屬膜中之每一者之該一端部不從該等懸吊引線中之每一者之一表面突出。

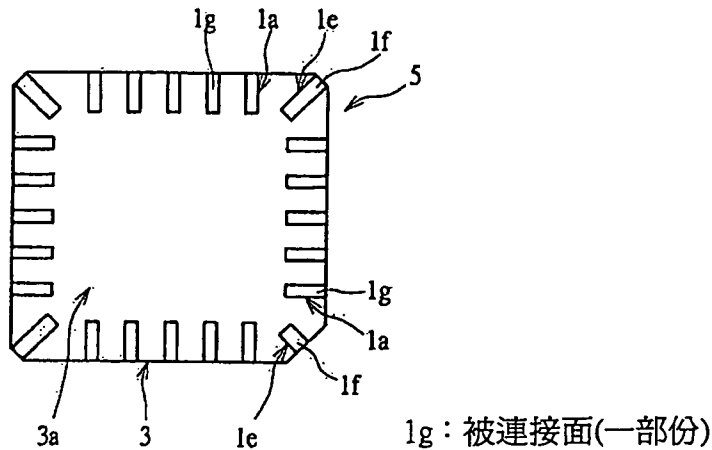
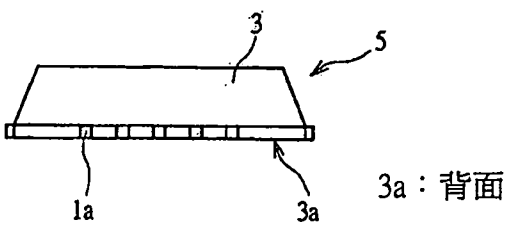
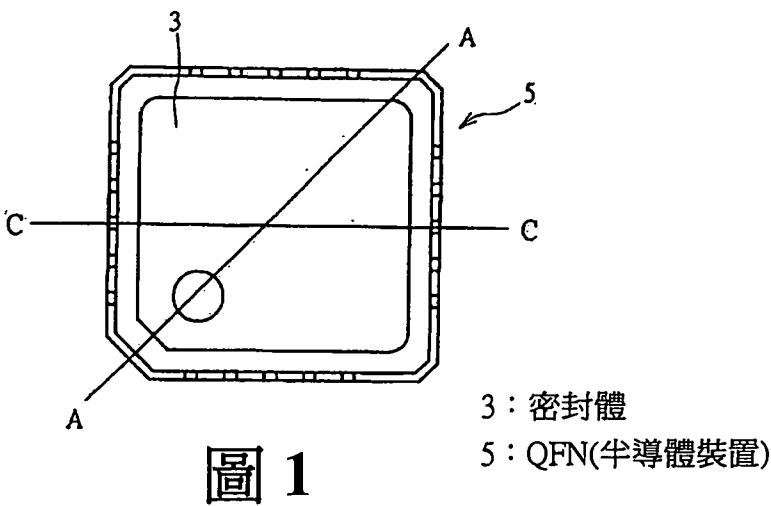
17. 如請求項16之半導體裝置，其中該半導體晶片之該等焊墊係透過該等導線及該等第二金屬膜中之每一者而各自電連接至該等引線。

18. 如請求項16之半導體裝置，其中該半導體晶片及該等複數個導線係被樹脂密封；

其中相對於該半導體晶片之該主表面的該半導體晶片之一後表面之一部分係連接至該樹脂。

19. 如請求項16之半導體裝置，其中在一平面圖中該晶片安裝部之尺寸係小於半導體晶片之尺寸。

十一、圖式：



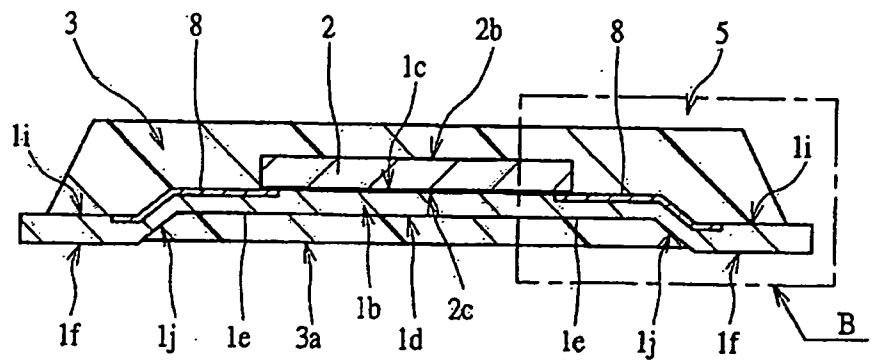


圖 4

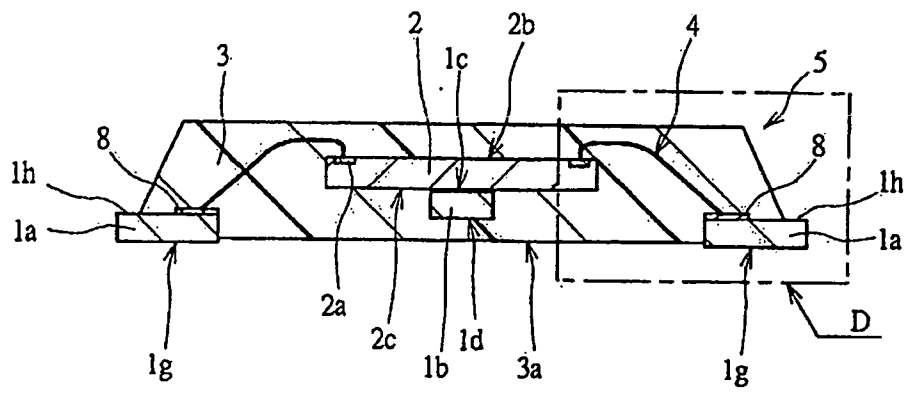


圖 5

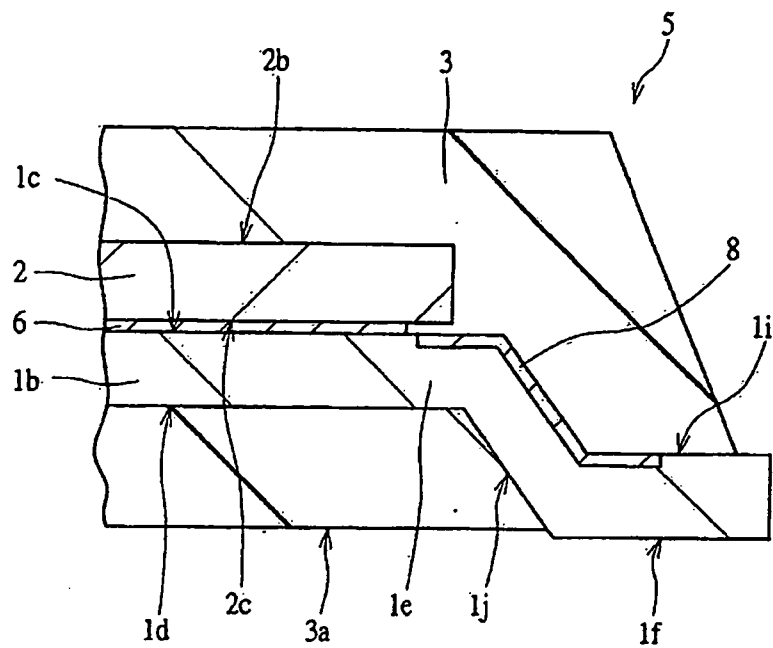


圖 6

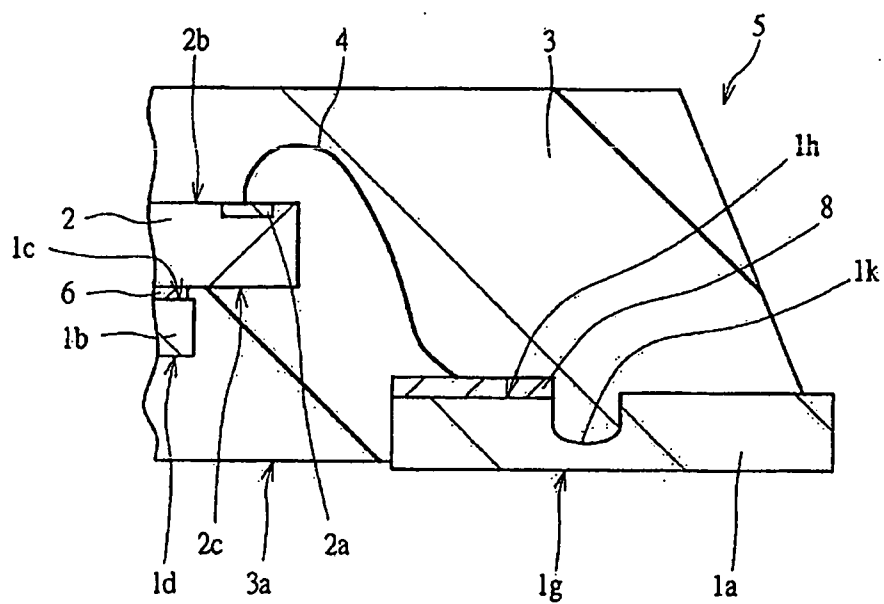


圖 7

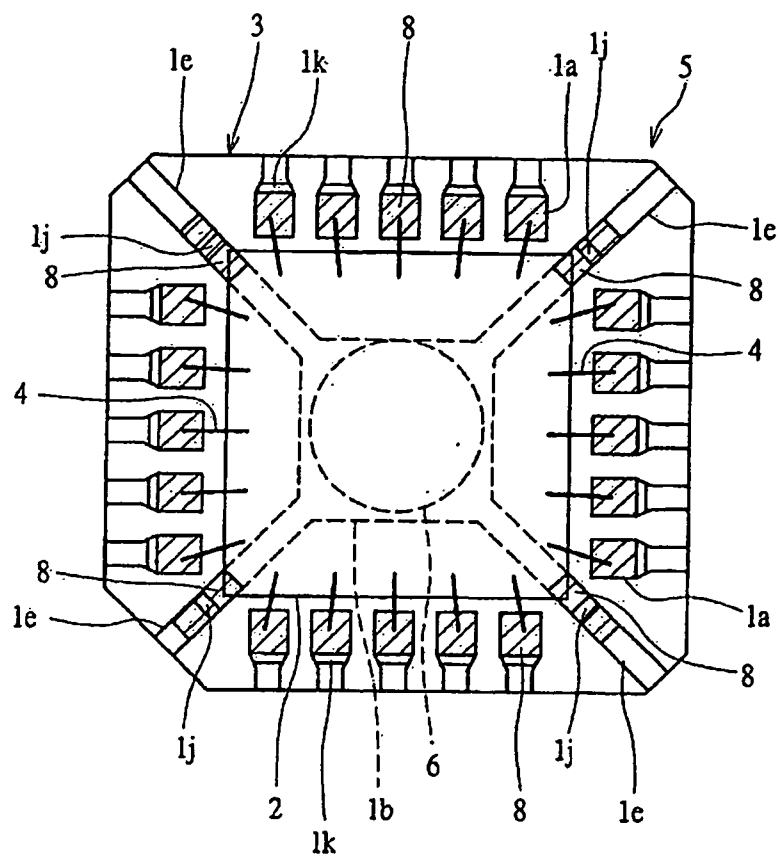


圖 8

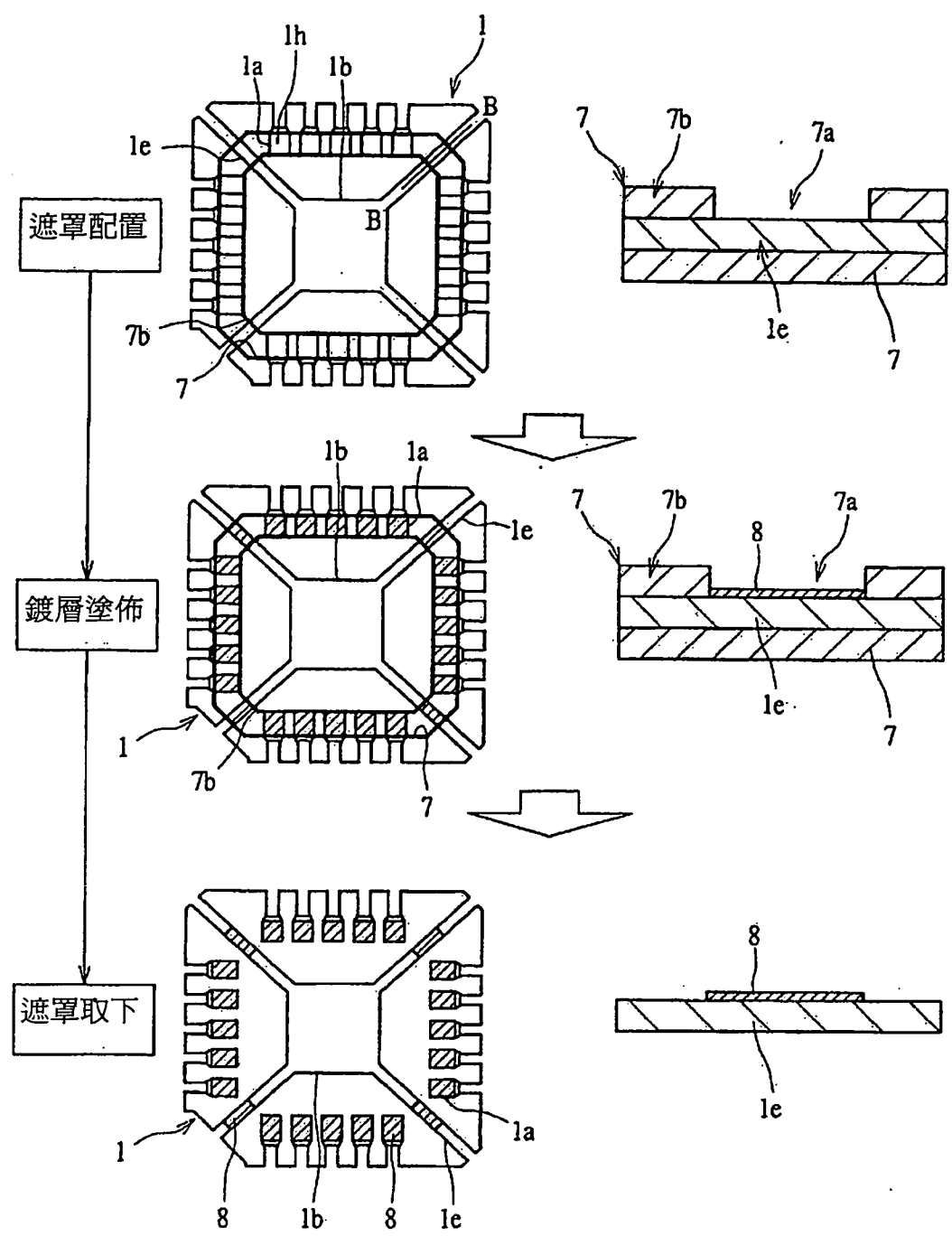


圖 9

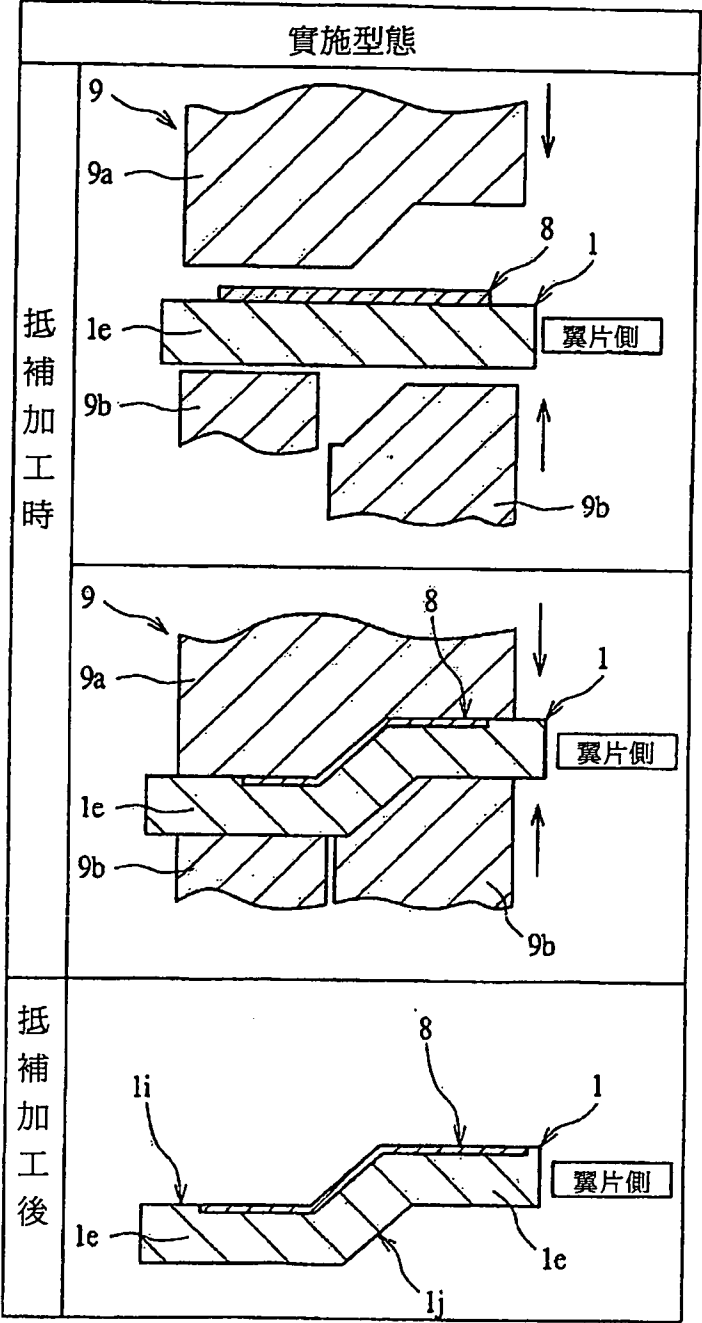


圖 10

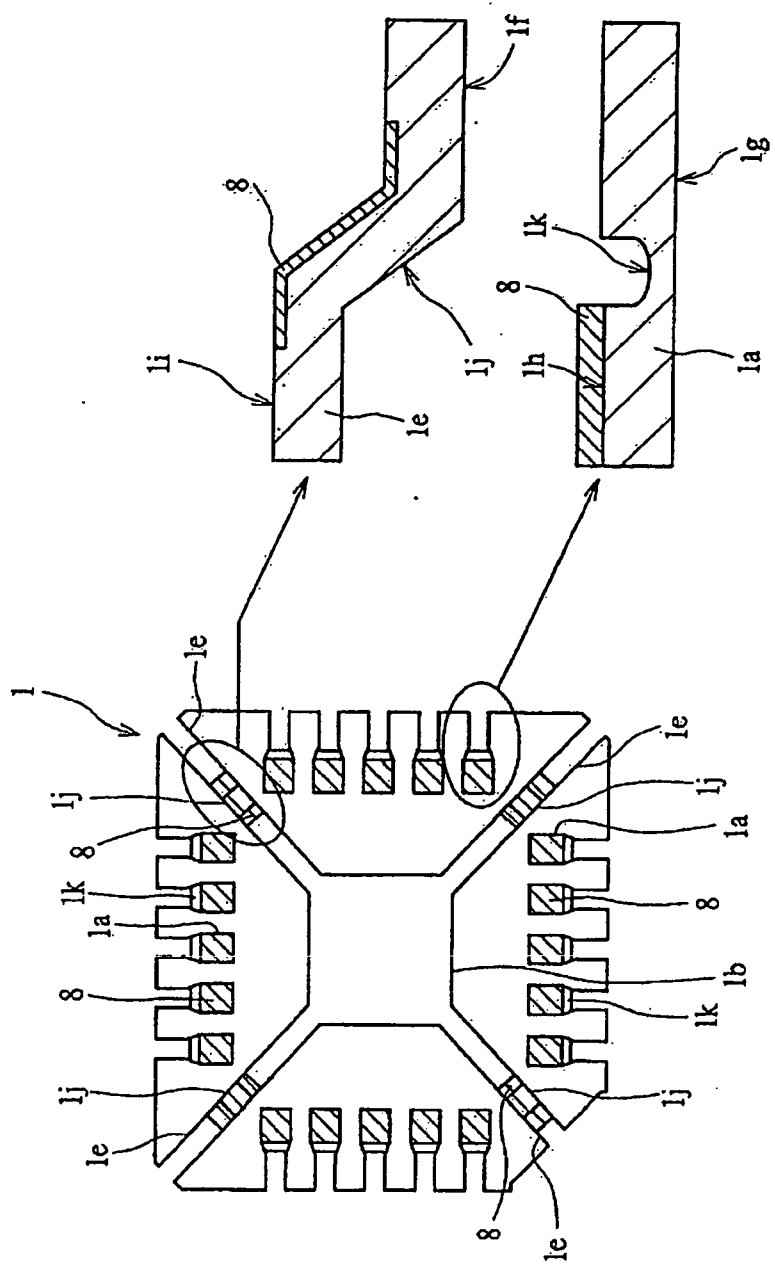


圖 11

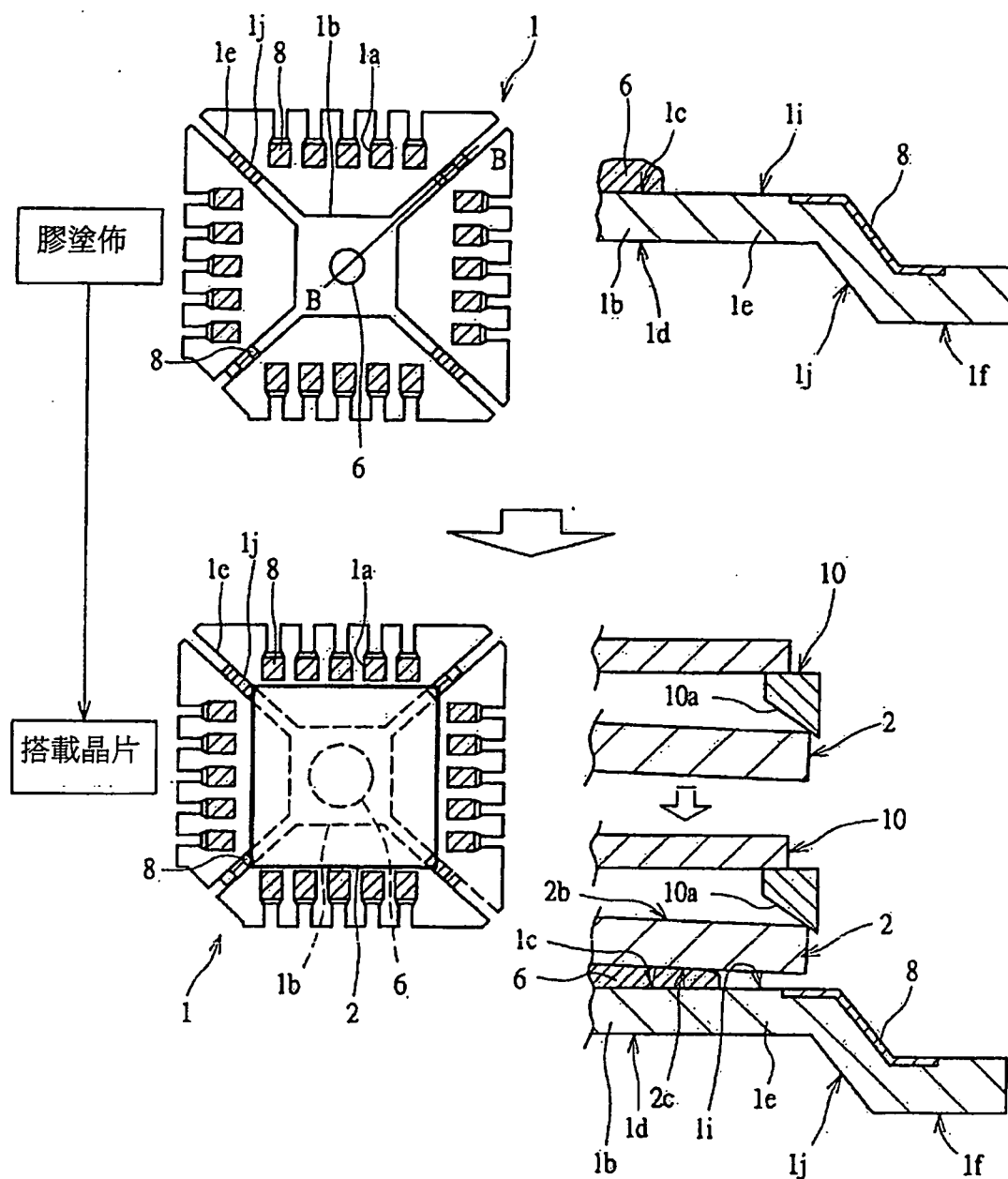


圖 12

1 : 引線架

1a : 引線

1b : 翼片

1c : 主面(晶片搭載面)

1d : 背面(一部份)

1e : 懸吊引線

1i : 上面(第一主面)

1j : 彎曲部

2 : 半導體晶片

6 : 晶片接合材

8 : 鍍銀(鍍金屬)

10 : 夾頭

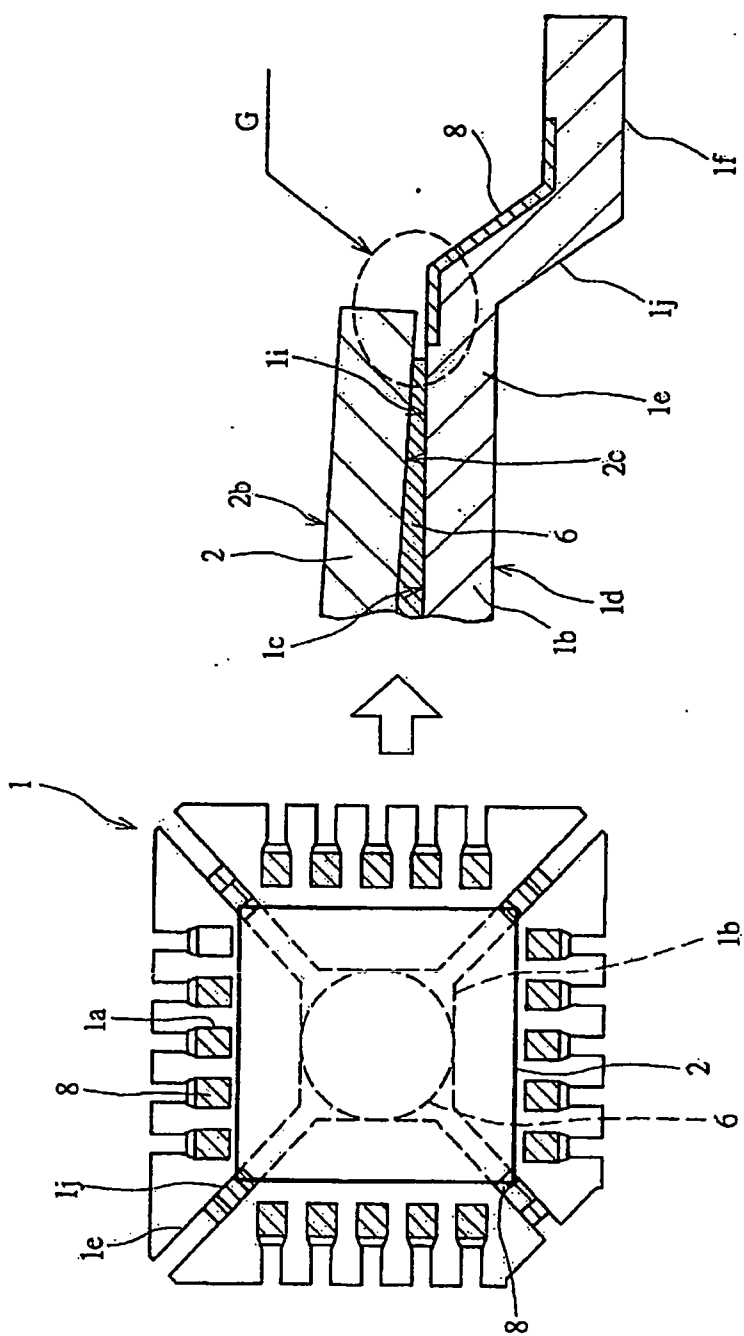


圖 13

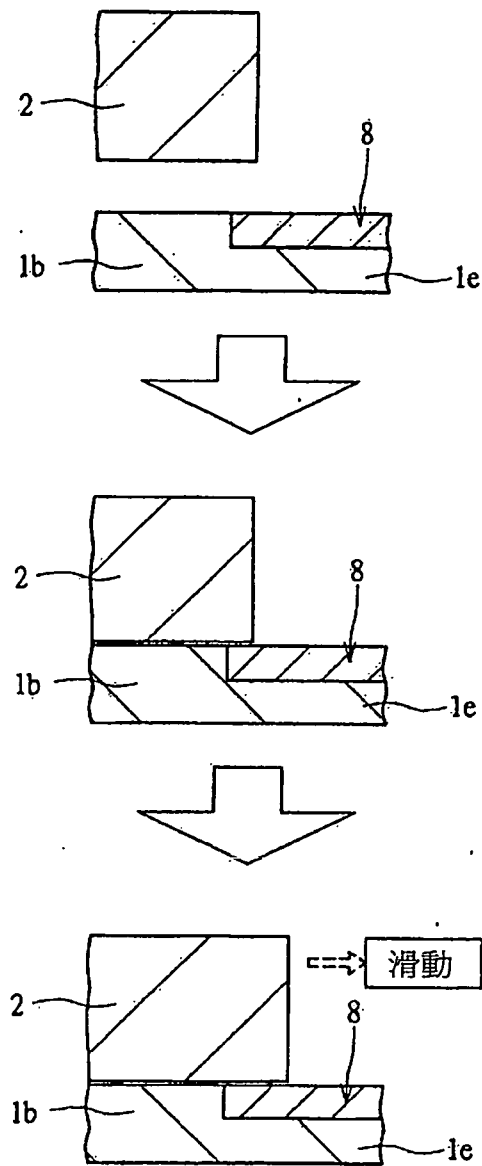


圖 14

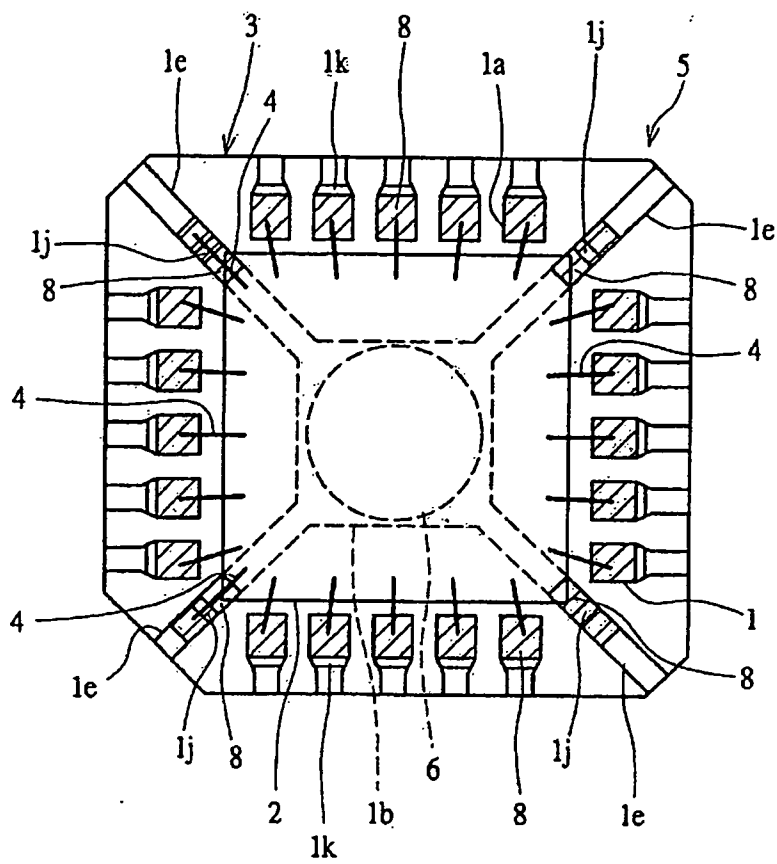


圖 15

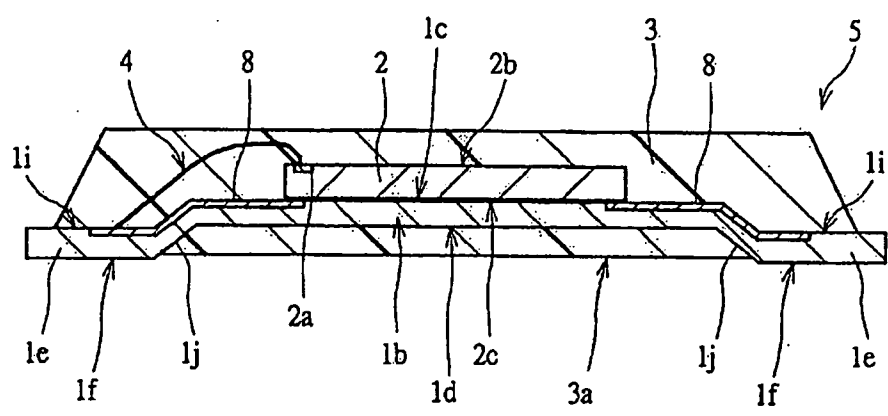


圖 16

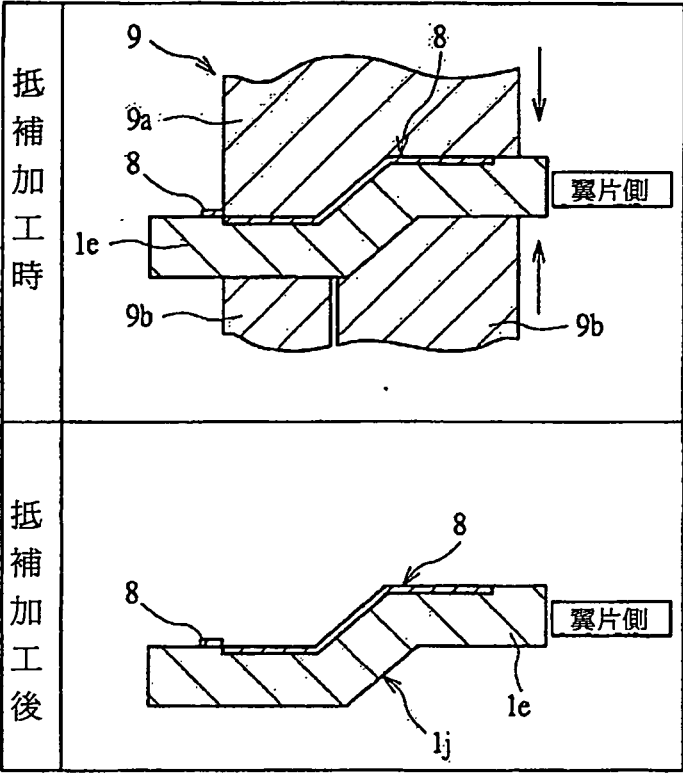


圖 17

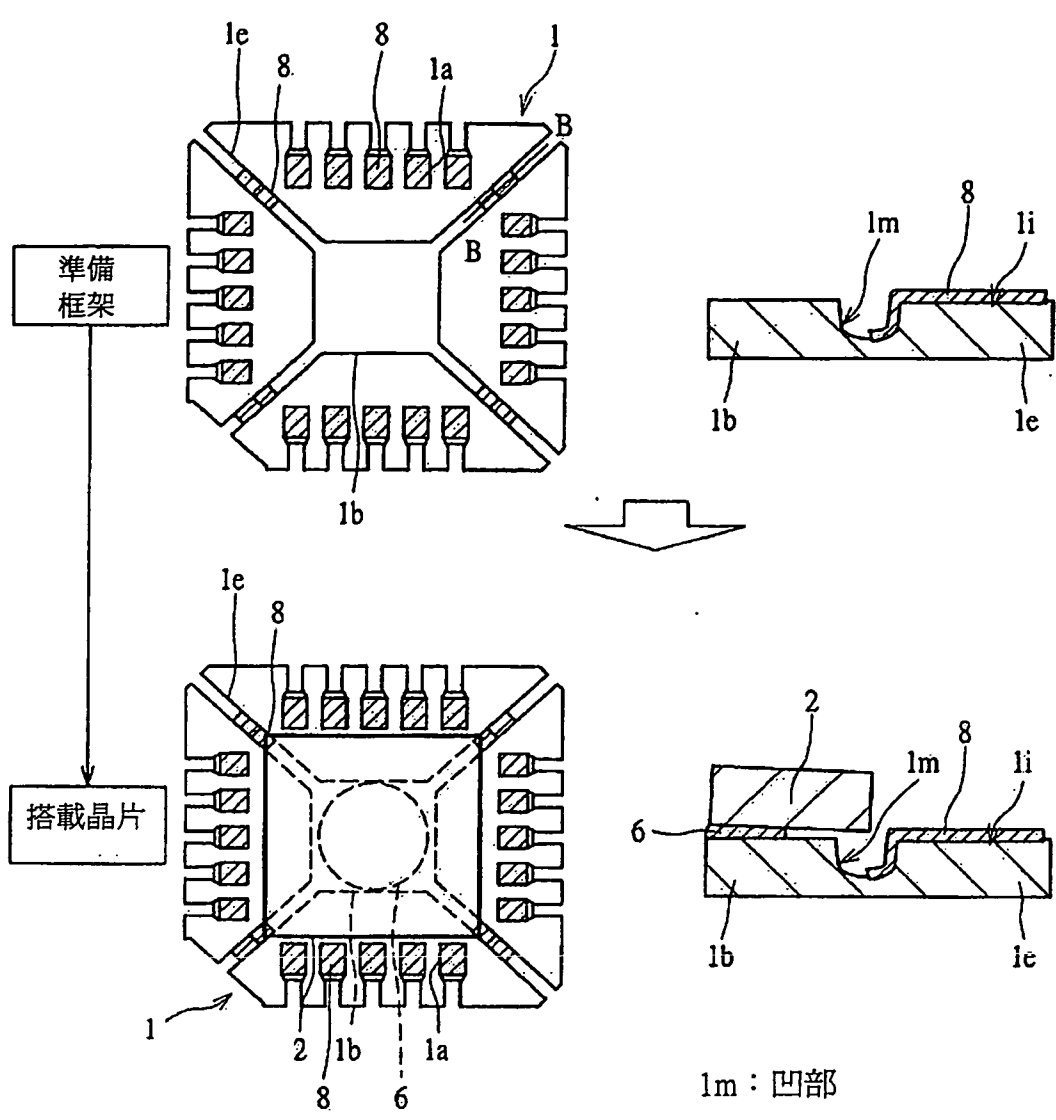


圖 18

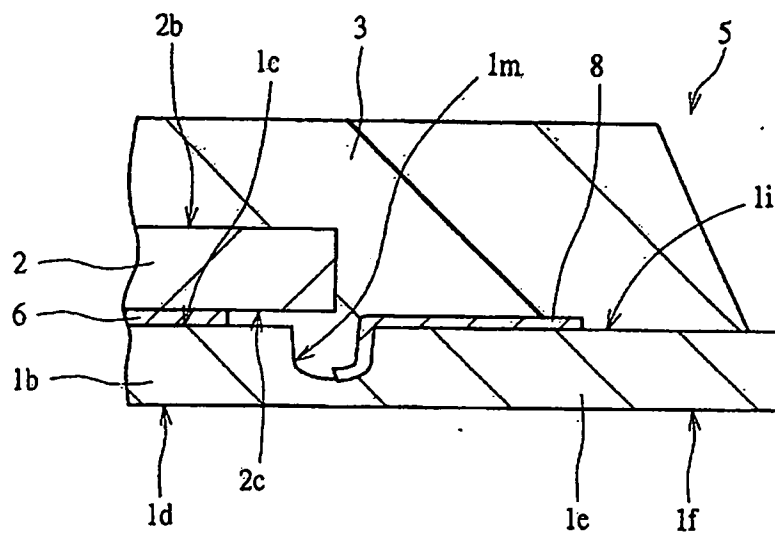


圖 19

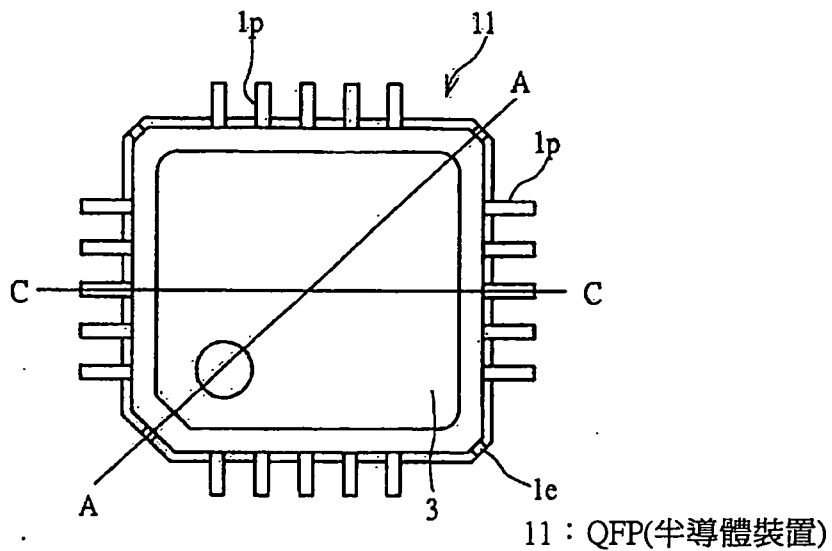


圖 20

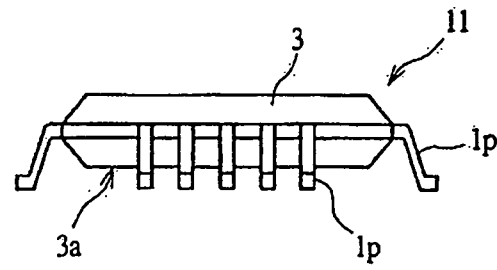


圖 21

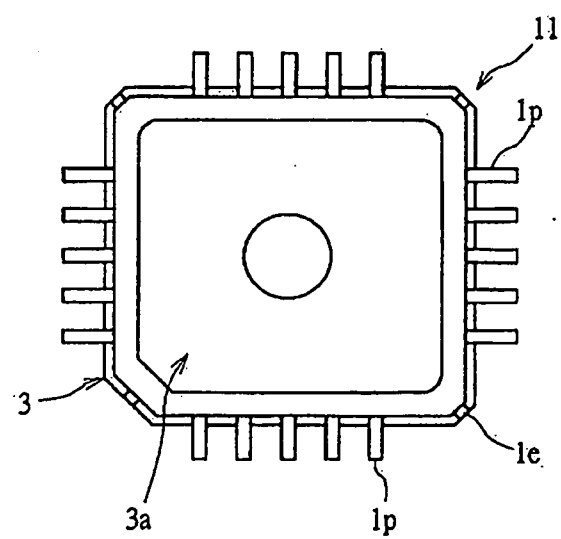


圖 22

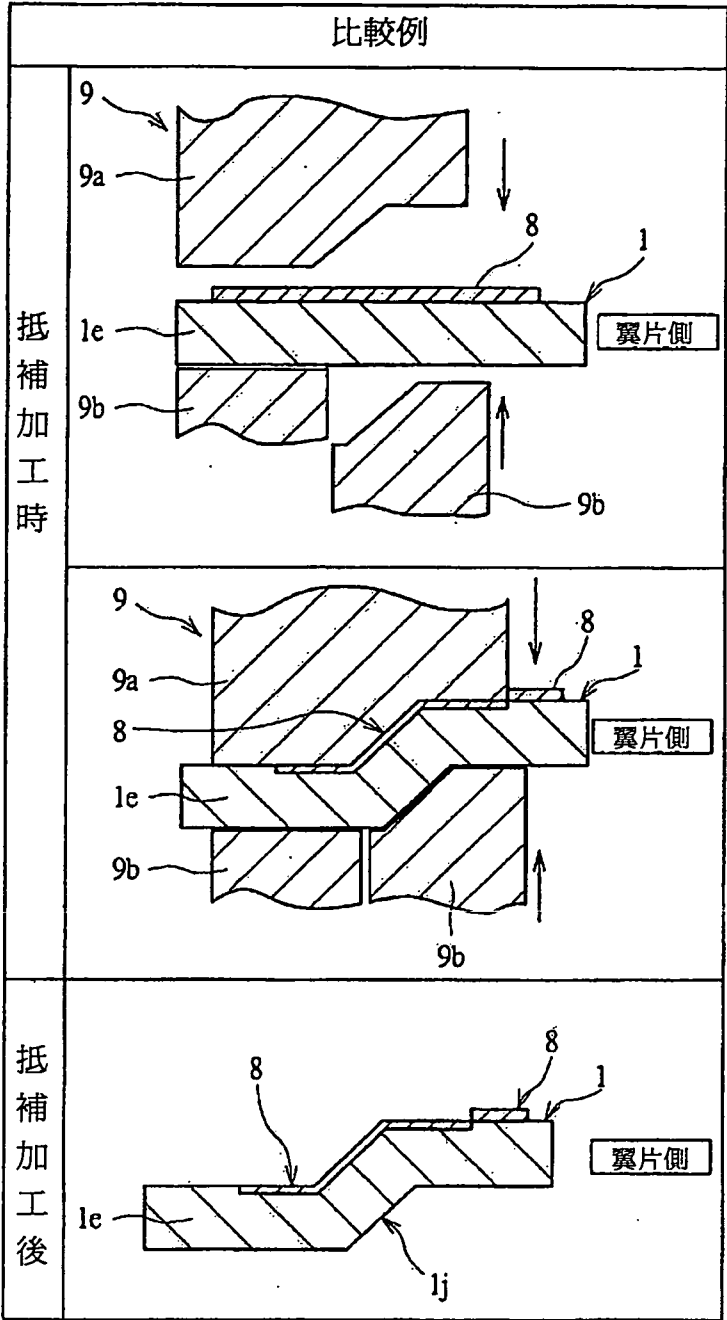


圖 25

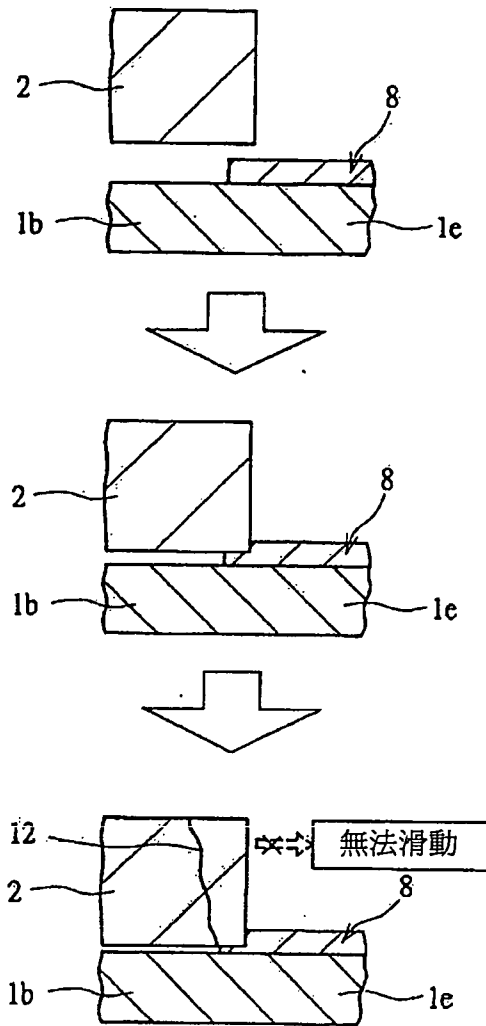


圖 27