



(12) 发明专利申请

(10) 申请公布号 CN 119137731 A

(43) 申请公布日 2024. 12. 13

(21) 申请号 202280095458.2

(51) Int.Cl.

(22) 申请日 2022.11.04

H01L 23/12 (2006.01)

(85) PCT国际申请进入国家阶段日
2024.10.28

(86) PCT国际申请的申请数据
PCT/JP2022/041199 2022.11.04

(87) PCT国际申请的公布数据
W02024/095464 JA 2024.05.10

(71) 申请人 株式会社力森诺科
地址 日本

(72) 发明人 铃木克彦

(74) 专利代理机构 永新专利商标代理有限公司
72002

专利代理师 陈建全

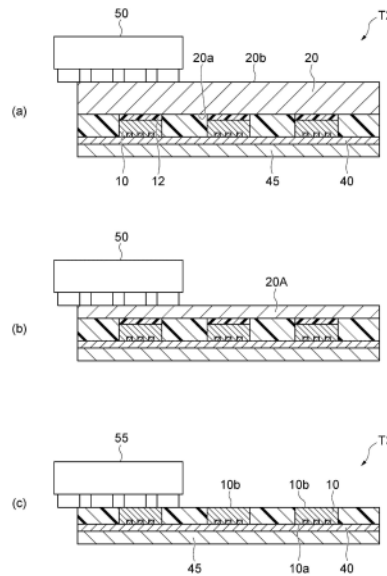
权利要求书2页 说明书7页 附图5页

(54) 发明名称

半导体元件的制造方法

(57) 摘要

半导体元件的制造方法包括如下工序：准备层叠体，所述层叠体为多个半导体芯片中的每一个通过黏合剂层固定在载体上而成的层叠体，其中，多个半导体芯片的各连接端子以朝向与载体为相反侧的方式固定在载体的第1载体面；形成与多个半导体芯片的各连接端子连接的再配线层；及从与第1载体面为相反侧的第2载体面朝向第1载体面研削层叠体中的载体。在研削工序中，刮取载体及黏合剂层而露出与多个半导体芯片的设置再配线层的第1芯片面为相反侧的第2芯片面。



1. 一种半导体元件的制造方法,其包括如下工序:

准备层叠体,所述层叠体为多个半导体芯片中的每一个通过黏合剂层固定在载体上而成的层叠体,其中,所述多个半导体芯片的各连接端子以朝向与所述载体为相反侧的方式固定在所述载体的第1载体面;

形成与所述多个半导体芯片的所述各连接端子连接的再配线层;及

从与所述第1载体面为相反侧的第2载体面朝向所述第1载体面研削所述层叠体中的所述载体,

在所述研削工序中,刮取所述载体及所述黏合剂层而露出与所述多个半导体芯片的设置有所述再配线层的第1芯片面为相反侧的第2芯片面。

2. 根据权利要求1所述的半导体元件的制造方法,其中,

所述黏合剂层为固化热固性黏合剂而成的层,与所述多个半导体芯片中的每一个对应而设置。

3. 根据权利要求1或2所述的半导体元件的制造方法,其中,

所述黏合剂层的厚度为50 μm 以下。

4. 根据权利要求3所述的半导体元件的制造方法,其中,

所述黏合剂层的厚度为20 μm 以下。

5. 根据权利要求1至4中任一项所述的半导体元件的制造方法,其中,

所述黏合剂层含有固化性树脂成分及无机填料,

以所述黏合剂层固化前的黏合剂的总量为基准,所述无机填料的含量为50质量%~95质量%。

6. 根据权利要求5所述的半导体元件的制造方法,其中,

以所述黏合剂层固化前的黏合剂的总量为基准,所述无机填料的含量为80质量%~95质量%。

7. 根据权利要求1至6中任一项所述的半导体元件的制造方法,其中,

所述准备层叠体的工序包括如下工序:

用所述黏合剂层将所述多个半导体芯片中的每一个固定于所述载体;及

以覆盖所述载体上的所述多个半导体芯片的方式用密封材料进行密封来形成密封材料层。

8. 根据权利要求7所述的半导体元件的制造方法,其中,

所述密封材料含有固化性树脂成分及无机填料,

以所述密封材料的总量为基准,所述密封材料中的所述无机填料的含量为50质量%以上。

9. 根据权利要求7或8所述的半导体元件的制造方法,其中,

所述准备层叠体的工序进一步包括如下工序:

在所述形成密封材料层的工序之后,研削覆盖所述多个半导体芯片的所述密封材料层,直至所述多个半导体芯片的所述第1芯片面露出。

10. 根据权利要求1至9中任一项所述的半导体元件的制造方法,其中,

所述研削载体的工序包括如下工序:

用第1磨石粗研削所述载体的所述第2载体面;及

用粒度比所述第1磨石高的第2磨石精加工研削经所述粗研削的所述载体。

11.根据权利要求10所述的半导体元件的制造方法,其中,

所述第1磨石为#200~#1000的粒度的磨石,

所述第2磨石为#2000~#6000的粒度的磨石。

12.根据权利要求10或11所述的半导体元件的制造方法,其中,

在所述粗研削工序中,利用所述第1磨石刮取所述载体及所述黏合剂层的至少一部分。

13.根据权利要求10至12中任一项所述的半导体元件的制造方法,其中,

在所述精加工研削工序中,利用所述第2磨石研磨密封材料层及所述半导体芯片的所述第2芯片面。

14.根据权利要求1至13中任一项所述的半导体元件的制造方法,其中,

所述载体为硅载体,

所述研削工序进一步包括为了再利用经研削的硅泥而回收的工序。

半导体元件的制造方法

技术领域

[0001] 本发明涉及一种半导体元件的制造方法。

背景技术

[0002] 在专利文献1中公开有一种扇出型半导体元件的一例。在该半导体元件中,在半导体芯片与外部连接端子之间设置再配线层,通过再配线层展开半导体芯片的端子间隔而与外部连接端子连接。

[0003] 以往技术文献

[0004] 专利文献

[0005] 专利文献1:日本特开2019-029557号公报

发明内容

[0006] 发明要解决的技术课题

[0007] 在以往半导体元件的制造方法中,例如,如图5的(a)所示,用临时固定材料112将多个半导体芯片110临时固定在玻璃载体120上,用密封材料130进行密封。并且,研磨密封材料130直至半导体芯片110的连接端子露出,在其上形成再配线层140(参考图5的(b))。然而,在该半导体元件的制造方法中,半导体芯片110通过临时固定材料112临时固定于载体120,因此在使用模具成型机成形密封材料130时,会有在其压力下半导体芯片110从原始的设置位置移动而发生所谓芯片位移(Die shift)S1的情形。在发生芯片位移的情况下,为了之后的工序(例如曝光工序)而需要单独的对准操作。

[0008] 并且,在玻璃载体120与密封材料130之间夹有临时固定材料112的外周部S2被暴露,因此会有因所使用的药水的影响而受到损坏的情形。由此,在制程中途也存在玻璃载体120和密封材料130被剥离的倾向。此外,如图5的(b)所示,在从密封材料130剥离临时固定材料112时,会有因剥离时的力而在半导体芯片110与密封材料130之间产生裂纹的情形。会有临时固定材料112的树脂的残渣残留在密封材料130或半导体芯片110的表面(S3),或者在进行制程的过程中在玻璃载体120上产生微裂纹S4、或者在微裂纹S4中混入在制程中使用的金属S5的情形。

[0009] 本发明的目的在于提供一种能够抑制半导体芯片的位置偏移的同时容易提高芯片表面的清洁度的半导体元件的制造方法。

[0010] 用于解决技术课题的手段

[0011] 作为本发明的一个方面,涉及一种半导体元件的制造方法。该制造方法包括如下工序:准备层叠体,所述层叠体为多个半导体芯片中的每一个通过黏合剂层固定在载体上而成的层叠体,其中,多个半导体芯片的各连接端子以朝向与载体为相反侧的方式固定在载体的第1载体面;形成与多个半导体芯片的各连接端子连接的再配线层;及从与第1载体面为相反侧的第2载体面朝第1载体面研削层叠体中的载体。在研削工序中,刮取载体及黏合剂层而露出与多个半导体芯片的设置再配线层的第1芯片面为相反侧的第2芯片面。

[0012] 在该半导体元件的制造方法中,多个半导体芯片通过黏合剂层固定在载体上。如此,半导体芯片用进行正式固定而不是临时固定的黏合剂层固定于载体。在该情况下,可确实地抑制半导体芯片的位置偏移。并且,在该半导体元件的制造方法中,在研削工序中,以使刮取载体而露出与多个半导体芯片的设置再配线层的第1芯片面为相反侧的第2芯片面。在该情况下,刮取载体,因此不会残留树脂的残渣等,能够提高芯片表面的清洁度。

[0013] 在上述半导体元件的制造方法中,黏合剂层为固化热固性黏合剂而成的层,可以与多个半导体芯片中的每一个对应而设置。在该情况下,在研削载体的工序中能够容易研削黏合剂层。

[0014] 在上述半导体元件的制造方法中,黏合剂层的厚度优选为50 μm 以下。在该情况下,在研削载体的工序中能够容易研削黏合剂层。另外,黏合剂层的厚度进一步优选为20 μm 以下。在该情况下,能够更容易研削黏合剂层。

[0015] 在上述半导体元件的制造方法中,黏合剂层含有固化性树脂成分及无机填料,以黏合剂层固化前的黏合剂的总量为基准,无机填料的含量优选为50质量%~95质量%。在该情况下,在研削载体的工序中能够容易研削黏合剂层。另外,以黏合剂层固化前的黏合剂的总量为基准,无机填料的含量进一步优选为80质量%~95质量%。在该情况下,在研削载体的工序中能够更容易研削黏合剂层。

[0016] 在上述半导体元件的制造方法中,准备层叠体的工序可以包括如下工序:用黏合剂层将多个半导体芯片中的每一个固定于载体;及以覆盖载体上的多个半导体芯片的方式用密封材料进行密封来形成密封材料层。在该方式下,密封材料含有固化性树脂成分及无机填料,以密封材料的总量为基准,密封材料中的无机填料的含量可以为50质量%以上,优选为80质量%以上。在该情况下,能够确实地进行密封材料层的研削。

[0017] 在上述半导体元件的制造方法中,准备层叠体的工序可以进一步包括如下工序:在密封工序之后,研削覆盖多个半导体芯片的密封材料层,直至多个半导体芯片的第1芯片面露出。

[0018] 在上述半导体元件的制造方法中,研削载体的工序优选包括如下工序:用第1磨石粗研削载体的第2载体面;及用粒度比第1磨石高的第2磨石精加工研削经粗研削的载体。在该情况下,能够通过粗研削提高载体的研削速度,并且能够通过精加工研削提高经研削的表面的精加工。在该方式下,第1磨石为#200~#1000的粒度的磨石,第2磨石可以为#2000~#6000的粒度的磨石。由此,能够更确实地进行研削速度的提高及研削面的精加工精度的提高。在该方式下,在粗研削工序中,可以利用第1磨石刮取载体及黏合剂层的至少一部分,在精加工研削工序中,可以利用第2磨石研磨密封材料层及半导体芯片的第2芯片面。由此,能够更确实地进行研削速度的提高及研削面的精加工精度的提高。

[0019] 在上述半导体元件的制造方法中,载体为硅载体,研削工序还可以包括为了再利用经研削的硅泥(硅屑)而回收的工序。在该情况下,能够再利用所使用的硅,能够成为环保的制造方法。例如,根据该制造方法,能够从经研削的硅泥去除杂质,能够用作再生硅。

[0020] 发明效果

[0021] 根据本发明,能够提供一种能够抑制半导体芯片的位置偏移的同时容易提高芯片表面的清洁度的半导体元件的制造方法。

附图说明

[0022] 图1是表示半导体元件的一例的剖视图。

[0023] 图2中, (a) ~ (c) 是依次表示半导体元件的制造方法的图。

[0024] 图3中, (a) 及 (b) 是依次表示半导体元件的制造方法的图, 并且表示图2的工序之后进行的工序。

[0025] 图4中, (a) ~ (c) 是依次表示半导体元件的制造方法的图, 并且表示图3的工序之后进行的工序。

[0026] 图5中, (a) 及 (b) 是表示比较例所涉及的半导体元件的制造方法的图。

具体实施方式

[0027] 以下, 参考附图并且对本实施方式进行详细说明。在以下的说明中, 对相同或相当部分标注相同的符号, 省略重复的说明。并且, 除非另有说明, 否则上下左右等位置关系基于附图所示的位置关系。另外, 附图的尺寸比率并不限于图示的比率。

[0028] 在本说明书及申请专利范围中, 在利用“左”、“右”、“正面”、“背面”、“上”、“下”、“上方”、“下方”、“第1”、“第2”等用语的情况下, 这些是用于进行说明的术语, 而不一定永久为该相对位置的含义。并且, “层”一词在俯视图观察时除了包括在整个面形成的形状的结构以外, 进而包括在局部形成的形状的结构。并且, “工序”一词不仅包含独立的工序, 而且即使在无法与其他工序明确区分的情况下, 只要实现该工序的所期望的目的, 则也包含于本用语中。并且, 使用“~”表示的数值范围表示将“~”的前后所记载的数值分别作为最小值及最大值来包含的范围。另外, 在本说明书中阶段性记载的数值范围内, 某一个阶段的数值范围的上限值或下限值可以替换成其他阶段的数值范围的上限值或下限值。

[0029] 图1是表示半导体元件的一例的剖视图。如图1所示, 半导体元件1具备半导体芯片2、保护部3、再配线层4、及凸块5。半导体芯片2例如为处理器或存储器等半导体芯片。保护部3为由密封树脂等构成的部分, 保护半导体芯片2。再配线层4 (RDL: Re-distribution Layer) 为具有绝缘部分及在绝缘部分内形成的配线 (例如铜配线) 的配线层。再配线层4连接半导体芯片2的连接端子与凸块5之间。凸块5例如由焊锡等金属材料形成。

[0030] 接着, 参考图2 ~ 图4, 对半导体元件1的制造方法进行说明。图2 ~ 图4是依次表示半导体元件1的制造方法的图。半导体元件1例如经过以下工序 (a) ~ 工序 (d) 来制造。

[0031] (a) 准备多个半导体芯片10中的每一个通过黏合剂层12固定在载体20上的层叠体T1的工序。在该工序 (a) 中, 多个半导体芯片10的各连接端子10c以朝向与载体20为相反侧的方式固定在载体20的第1载体面20a。

[0032] (b) 形成与多个半导体芯片10的各连接端子10c连接的再配线层40的工序。

[0033] (c) 从与第1载体面20a为相反侧的第2载体面20b朝向第1载体面20a研削层叠体T2中的载体20的工序。在该工序 (c) 中, 刮取载体20及黏合剂层12而露出与多个半导体芯片10的设置再配线层40的第1芯片面10a为相反侧的第2芯片面10b。

[0034] (d) 将刮取载体20的层叠体T3进行单片化而制得具备半导体芯片10的半导体元件的工序。在该工序 (d) 中, 在单片化之前, 在再配线层40上形成规定数量的凸块 (与图1中的凸块5对应)。

[0035] 在工序 (a) 中, 首先, 如图2的 (a) 所示, 准备多个半导体芯片10。各半导体芯片10上

黏合有黏合剂层12。半导体芯片10与图1所示的半导体元件1中的半导体芯片2对应。半导体芯片10具有设置有连接端子10c的第1芯片面10a及与第1芯片面10a为相反侧的第2芯片面10b。第2芯片面10b上贴附有黏合剂层12。即,黏合剂层12与各半导体芯片10对应而设置。黏合剂层12在准备的阶段中为未固化的状态。

[0036] 黏合剂层12例如为芯片附着膜(DAF)等含有热固性黏合剂的膜。构成黏合剂层12的热固性黏合剂例如含有高分子树脂成分及热固性成分。黏合剂层12的厚度例如为50 μm 以下。通过黏合剂层12的厚度为50 μm 以下,在工序(c)中的切削时能够容易刮取黏合剂层12。黏合剂层12的厚度可以为20 μm 以下、10 μm 以下、9 μm 以下、8 μm 以下或7 μm 以下,也可以为1 μm 以上、2 μm 以上、3 μm 以上、4 μm 以上、或5 μm 以上。另外,在此所述的黏合剂层12的厚度是指固化后的厚度。

[0037] 黏合剂层12中所含的高分子量树脂成分例如可以包含选自由丙烯酸橡胶、聚酰亚胺及苯氧基树脂组成的组中的至少1种树脂。高分子量树脂成分可以具有环氧基等反应性基。高分子量树脂成分的重均分子量(基于GPC法的标准聚苯乙烯换算值)可以为10万~300万。高分子量树脂成分的含量相对于黏合剂层12的整体质量10质量份可以为30~80质量份。

[0038] 黏合剂层12中所含的热固性成分为具有通过自聚合和/或与固化剂反应而形成交联结构的反应性基的化合物。热固性成分例如可以包含选自由环氧树脂、双马来酰亚胺树脂、三嗪树脂及酚醛树脂组成的组中的至少1种。热固性成分的含量相对于黏合剂层12的量100质量份可以为1~30质量份。

[0039] 构成黏合剂层12的热固性黏合剂可以根据需要含有其他成分。作为其他成分的例子,可以列举与热固性成分反应的固化剂、促进热固性成分与固化剂的反应的固化促进剂、偶联剂(例如,硅烷偶联剂)及填料(例如,二氧化硅)。

[0040] 黏合剂层12中所含的填料可以为无机填料。作为无机填料的具体例,例如可以列举氢氧化铝、氢氧化镁、碳酸钙、碳酸镁、硅酸钙、硅酸镁、氧化钙、氧化镁、氧化铝、氮化铝、硼酸铝晶须、氮化硼、结晶质二氧化硅、非晶质二氧化硅等。这些可以单独使用1种,也可以并用2种以上。以固化前的黏合剂层12(黏合剂)的总量为基准,黏合剂层12中所含的填料的含量可以为50质量%~95质量%。另外,以固化前的黏合剂层12(黏合剂)的总量为基准,黏合剂层12中所含的填料的含量优选为60质量%以上,进一步优选为70质量%以上,尤其优选为80质量%以上,优选为80质量%~95质量%。

[0041] 并且,在工序(a)中,准备载体20。载体20例如能够使用硅载体等。硅载体可以为单晶硅,也可以为多晶硅。载体20例如为厚度为0.6~1.1mm,具有算出平均粗糙度为50nm以下的平坦度。载体20例如为晶圆状或板状,并无特别限定,例如可以为直径200mm、直径300mm或直径450mm的圆形晶圆或一边为200~700mm以下的矩形板。作为载体20,可以使用不具有铜箔的预浸体。

[0042] 继而,若多个半导体芯片10及载体20的准备结束,则如图2的(b)所示,多个半导体芯片10的各连接端子10c以朝向与载体20为相反侧的方式(在所谓面朝上的状态)将多个半导体芯片10固定在载体20的第1载体面20a。该固定通过如下来进行:通过固化前的黏合剂层12将各半导体芯片10贴附在载体20之后,固化贴附在各半导体芯片10的黏合剂层12。由于该固定牢固,因此半导体芯片10固定在载体20的第1载体面20a之后无法移动。另外,载体

20的与第1载体面20a为相反侧的面为第2载体面20b。

[0043] 继而,若半导体芯片10固定于载体20,则如图2的(c)所示,以覆盖载体20上的多个半导体芯片10的方式通过密封材料进行密封。基于该密封材料的密封例如能够通过用模具进行成型来进行。在本实施方式所涉及的制造方法中,半导体芯片10通过黏合剂层12牢固地固定于载体20,因此即使在用模具成型机密封密封材料的情况下,也不会发生半导体芯片10偏移的现象(芯片位移)。由此,形成覆盖半导体芯片10的密封材料层30。

[0044] 用作密封材料层30的密封材料例如可以为含有环氧树脂的密封材料,也可以含有固化性树脂成分及无机填料。以固化前的密封材料的总量为基准,密封材料中的无机填料的含量可以为50质量%以上。以固化前的密封材料的总量为基准,密封材料中的无机填料的含量优选为60质量%以上,进一步优选为70质量%以上,尤其优选为80质量%以上。作为一例,以固化前的密封材料的总量为基准,密封材料中的无机填料的含量可以为60质量%~90质量%。密封材料层30中所含的填料可以为无机填料。作为无机填料的具体例,例如可以列举氢氧化铝、氢氧化镁、碳酸钙、碳酸镁、硅酸钙、硅酸镁、氧化钙、氧化镁、氧化铝、氮化铝、硼酸铝晶须、氮化硼、结晶质二氧化硅、非晶质二氧化硅等。这些可以单独使用1种,也可以并用2种以上。

[0045] 继而,若用密封材料密封半导体芯片10,则如图3的(a)所示,研削密封材料层30直至半导体芯片10的连接端子10c(第1芯片面10a)露出,设为密封材料层30A。在该研削工序中,可以将密封材料层30研削成例如30 μm 以上的研削量。并且,经研削的密封材料层30A的厚度可以为50 μm 以上,也可以为100 μm 以上,也可以为150 μm 以上。通过以上,在工序(a)中,形成多个半导体芯片10中的每一个通过黏合剂层12固定在载体20上的层叠体T1。

[0046] 在工序(b)中,如图3的(b)所示,形成与多个半导体芯片10的各连接端子10c连接的再配线层40。在形成该再配线层40的工序中,形成为作为导体部的配线之间的距离随着远离半导体芯片10(随着朝向图示上方)而逐渐变宽。在图3的(b)所示的例子中,再配线层40形成在多个半导体芯片10的第1芯片面10a及密封材料层30A的表面。另外,使用以往方法进行再配线层40的形成,因此省略详细的说明。通过以上,形成设置有再配线层40的层叠体T2。

[0047] 在工序(c)中,若形成再配线层40,则通过BG带45(背面研磨带)等保护再配线层40,并且从第2载体面20b朝向第1载体面20a研削层叠体T2中的载体20。该研削工序中,首先,如图4的(a)及(b)所示,用第1磨石50从第2载体面20b朝向第1载体面20a粗研削载体20。第1磨石50例如为#200~#1000的粒度的磨石。在粗研削中,首先刮取载体20,其后刮取黏合剂层12及密封材料层30A的表面部分(与黏合剂层12同一层的区域)。此时,可以研削至半导体芯片10的第2芯片面10b露出,也可以研削至半导体芯片10的第2芯片面10b即将露出之前。另外,在研削硅制的载体20的情况下,主要可以回收用粗研削研削的硅泥(屑)而再利用。

[0048] 继而,若通过粗研削而半导体芯片10的第2芯片面10b即将露出之前或露出,则如图4的(c)所示,用粒度比第1磨石50高的第2磨石55精加工研削经粗研削的载体20A。第2磨石55为#2000~#6000的粒度的磨石。在精加工研削工序中,研磨半导体芯片10的第2芯片面10b及密封材料层30A的表面。由此,提高在密封材料层30A内密封的半导体芯片10的第2芯片面10b的清洁度。通过以上,形成含有设置有再配线层40的多个半导体芯片10的层叠体

T3。

[0049] 在工序(d)中,将刮取载体20的层叠体T3进行单片化而制得具备半导体芯片10的半导体元件。另外,可以在单片化之前将凸块安装于再配线层40上。通过以上,能够获得多个图1所示的半导体元件1。

[0050] 以上,在本实施方式所涉及的半导体元件的制造方法中,多个半导体芯片10通过黏合剂层12固定在载体20上。如此,半导体芯片10用进行正式固定而不是临时固定的黏合剂层12牢固地固定于载体20。在该情况下,可确实地抑制半导体芯片10的位置偏移。并且,在该半导体元件的制造方法中,在研削工序中,以使刮取载体20而露出与多个半导体芯片10的设置再配线层40的第1芯片面10a为相反侧的第2芯片面10b。在该情况下,刮取载体20,因此不会残留树脂的残渣等,能够提高芯片表面的清洁度。

[0051] 在本实施方式所涉及的半导体元件的制造方法中,黏合剂层12为固化热固性黏合剂而成的层,可以与多个半导体芯片10中的每一个对应而设置。由此,在研削载体20时,能够容易研削黏合剂层12。

[0052] 在本实施方式所涉及的半导体元件的制造方法中,黏合剂层12的厚度能够设为50 μm 以下。在该情况下,在研削载体20时,能够容易研削黏合剂层12。

[0053] 在本实施方式所涉及的半导体元件的制造方法中,黏合剂层12含有固化性树脂成分及无机填料,以黏合剂层12固化前的黏合剂的总量为基准,无机填料的含量能够设为50质量%~95质量%。在该情况下,在研削载体20时,能够容易研削黏合剂层12。

[0054] 在本实施方式所涉及的半导体元件的制造方法中,准备层叠体T1的工序包括如下工序:用黏合剂层12将多个半导体芯片10中的每一个固定在载体20上;及以覆盖载体20上的多个半导体芯片10的方式通过密封材料进行密封来形成密封材料层30。密封材料含有固化性树脂成分及无机填料,以固化之前的密封材料的总量为基准,密封材料中的无机填料的含量可以为50质量%以上。在该情况下,能够确实地进行密封材料层30的研削。

[0055] 在本实施方式所涉及的半导体元件的制造方法中,准备层叠体T1的工序可以进一步包括如下工序:在密封工序之后,研削覆盖多个半导体芯片10的密封材料层30,直至多个半导体芯片10的第1芯片面10a露出。

[0056] 在本实施方式所涉及的半导体元件的制造方法中,研削载体20的工序包括如下工序:用第1磨石50粗研削载体20的第2载体面20b;及用粒度比第1磨石50高的第2磨石55精加工研削经粗研削的载体20A。能够通过粗研削提高载体20的研削速度,并且能够通过精加工研削提高经研削的表面的精加工。第1磨石为#200~#1000的粒度的磨石,第2磨石可以为#2000~#6000的粒度的磨石。由此,能够更确实地进行研削速度的提高及研削面的精加工精度的提高。并且,在粗研削工序中,可以利用第1磨石50刮取载体20及黏合剂层12的至少一部分。在精加工研削工序中,可以利用第2磨石55研磨密封材料层30A及半导体芯片10的第2芯片面10b。由此,能够更确实地进行研削速度的提高及研削面的精加工精度的提高。

[0057] 在本实施方式所涉及的半导体元件的制造方法中,载体20可以为硅载体。研削工序可以进一步包括为了再利用经研削的硅泥而回收的工序。在该情况下,能够再利用所使用的硅,能够成为环保的制造方法。

[0058] 以上,对本发明的一实施方式所涉及的半导体元件的制造方法进行了说明,但本发明并不限于上述的实施方式,在不脱离其主旨的范围内能够进行适当变更。

[0059] 符号说明

[0060] 1-半导体元件,10-半导体芯片,10a-第1芯片面,10b-第2芯片面,10c-连接端子,12-黏合剂层,20、20A-载体,20a-第1载体面,20b-第2载体面,30、30A-密封材料层,40-再配线层,50-第1磨石,55-第2磨石,T1、T2-层叠体。

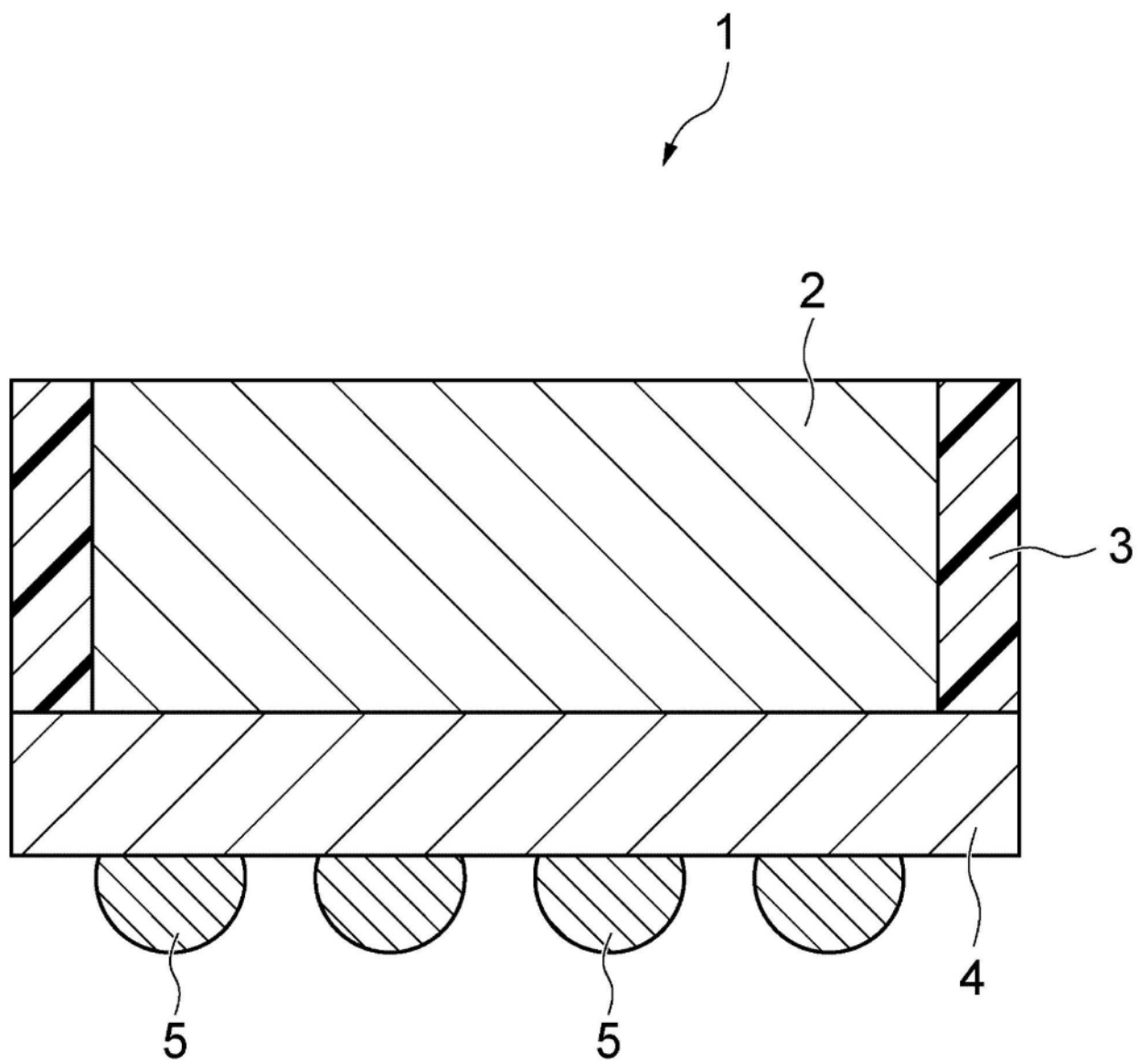


图1

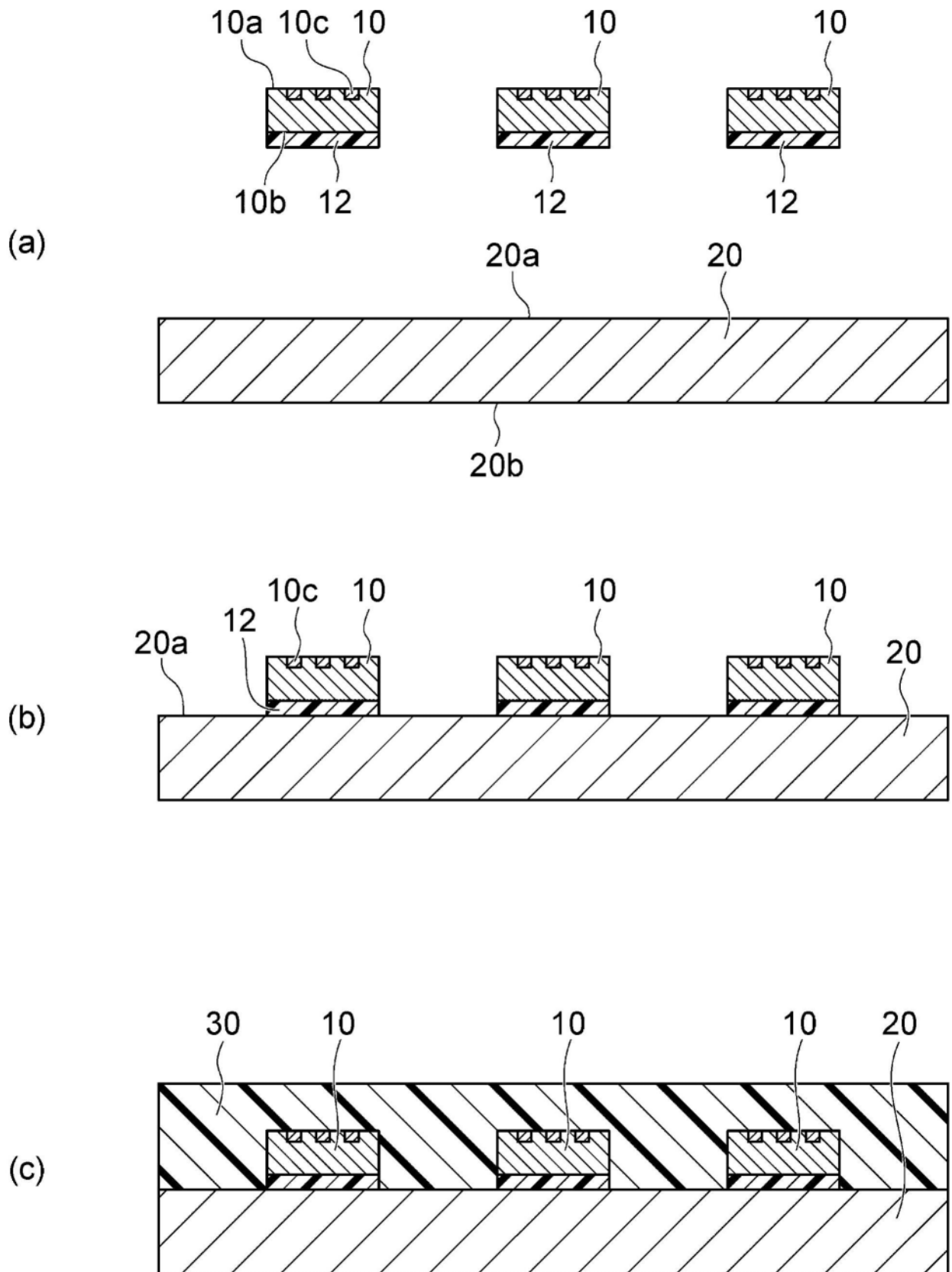


图2

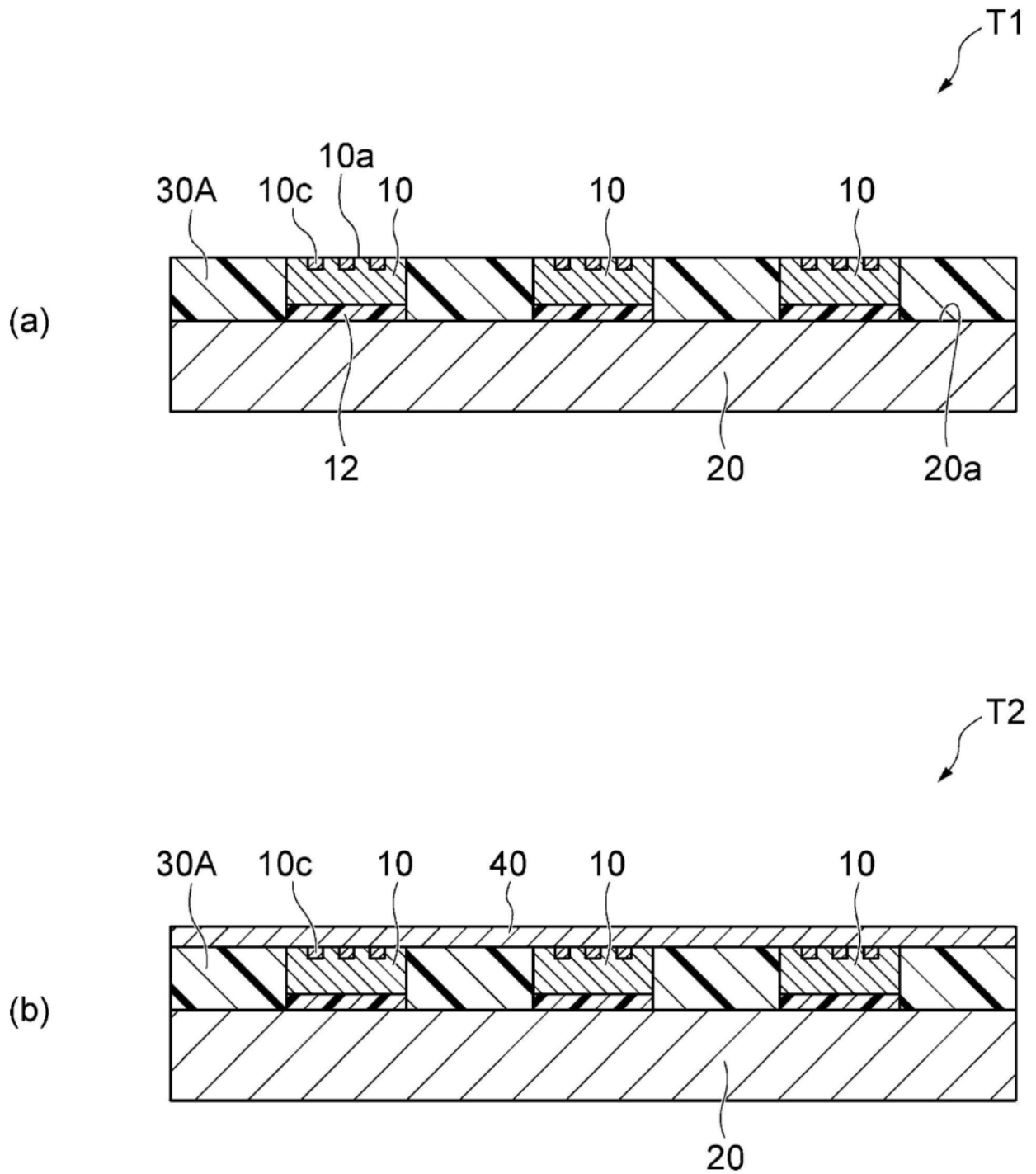


图3

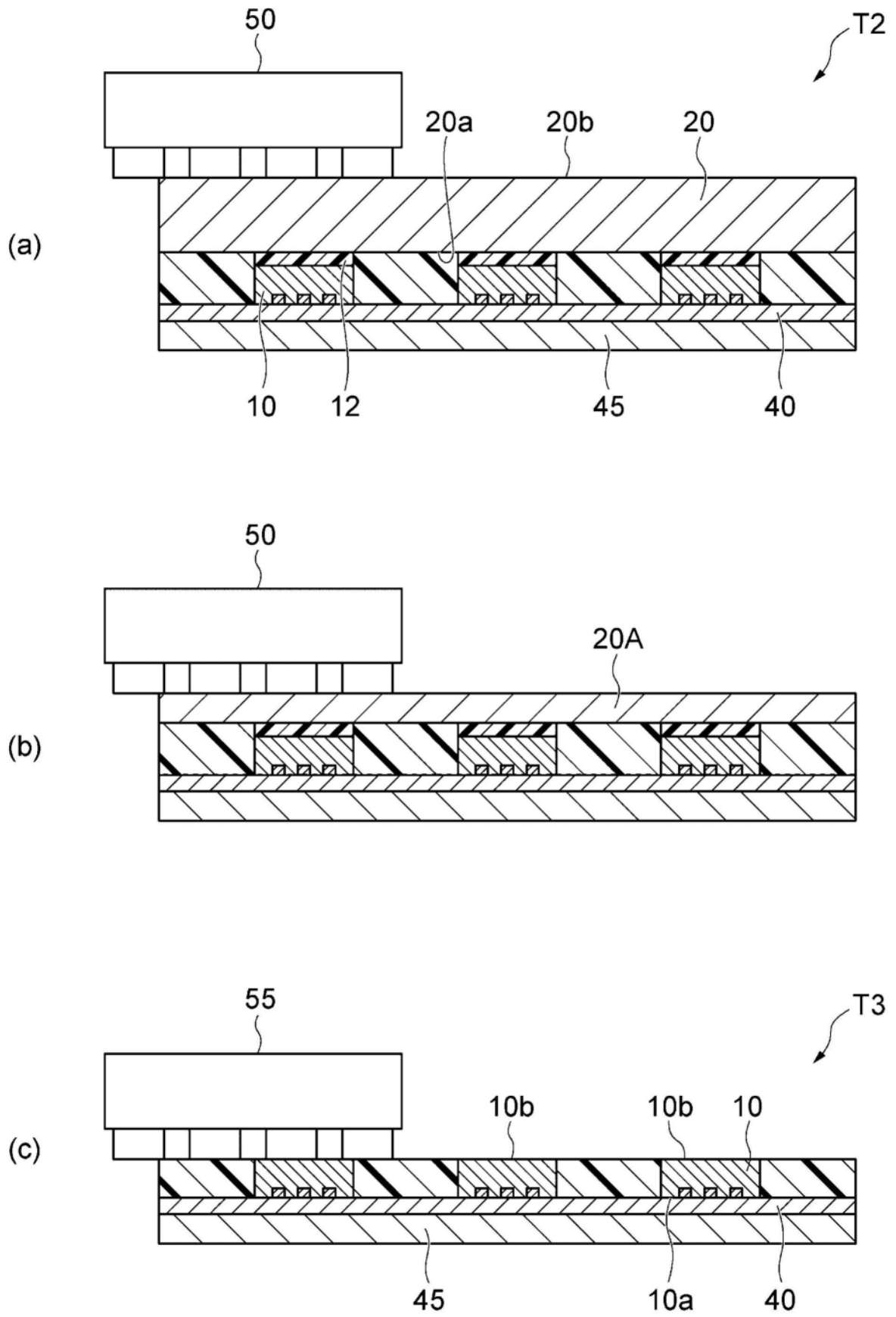


图4

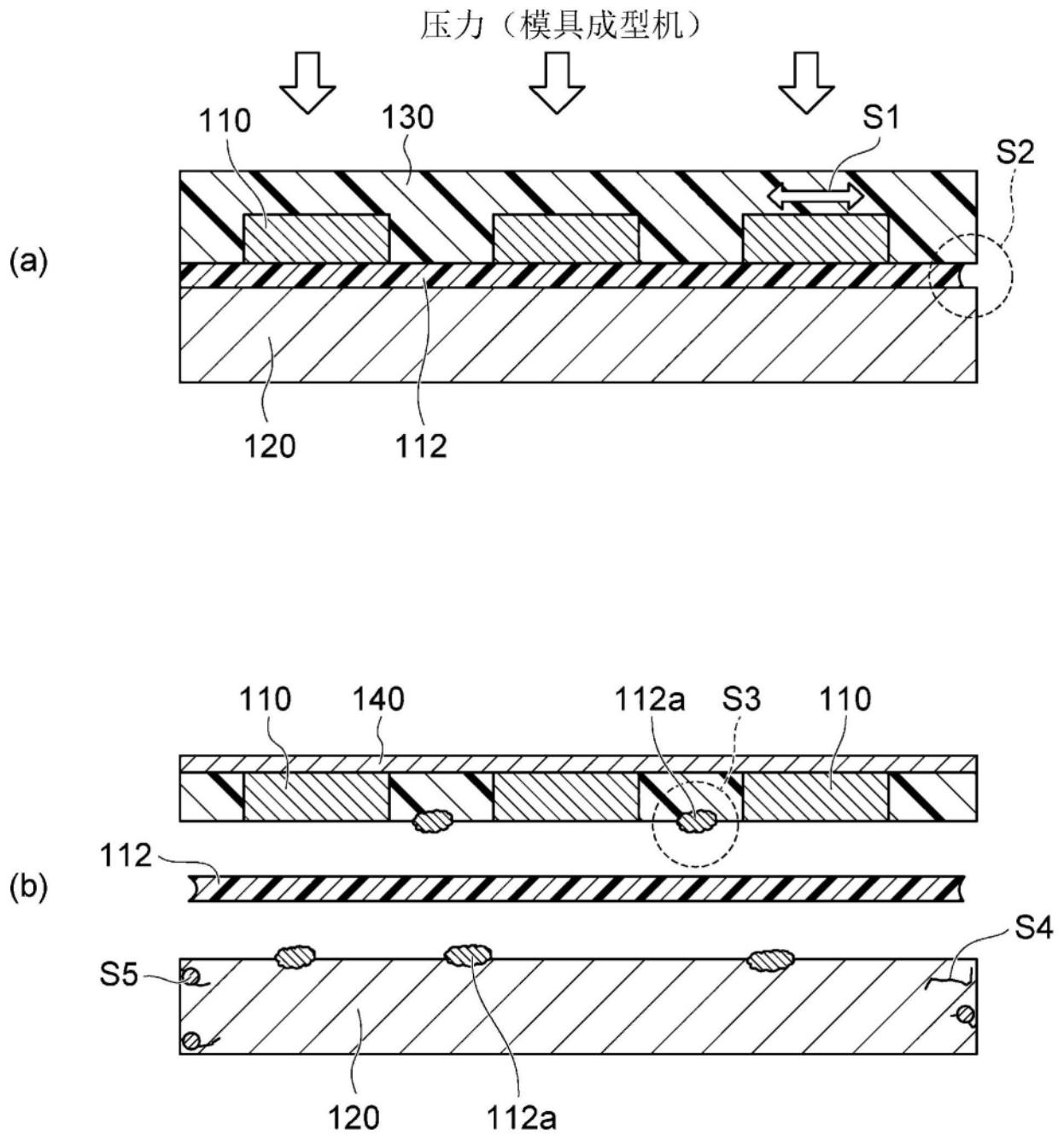


图5