

【公報種別】特許法第17条の2の規定による補正の掲載  
【部門区分】第6部門第3区分  
【発行日】平成17年7月14日(2005.7.14)

【公表番号】特表2001-503899(P2001-503899A)  
【公表日】平成13年3月21日(2001.3.21)  
【出願番号】特願平10-523808  
【国際特許分類第7版】

G 0 6 F 9/38

【F I】

G 0 6 F 9/38 3 3 0 A

G 0 6 F 9/38 3 1 0 A

【手続補正書】  
【提出日】平成16年11月15日(2004.11.15)  
【手続補正1】  
【補正対象書類名】明細書  
【補正対象項目名】補正の内容のとおり  
【補正方法】変更  
【補正の内容】

# 手続補正書

平成16年11月15日

特許庁長官殿

1. 事件の表示

平成10年特許願第523808号



2. 補正をする者

名称 アドバンスト・マイクロ・デバイス・インコーポレ  
イテッド

3. 代理人

住所 〒530-0054  
大阪府大阪市北区南森町2丁目1番29号  
三井住友銀行南森町ビル  
深見特許事務所  
電話06-6361-2021(代)  
FAX 06-6361-1731

氏名 弁理士 (6474) 深見 久郎



4. 補正対象書類名

請求の範囲

5. 補正対象項目名

請求の範囲

6. 補正の内容

- (1) 請求の範囲を別紙のとおり補正する。

以上

## 請求の範囲

1. 複数の命令を含む隣接した命令バイトのグループに対応する分岐予測を選択するための方法であって、

分岐予測ストレージに複数の分岐セクタをストアするステップを備え、前記複数の分岐セクタのうちの少なくとも1つは前記複数の命令のうちの第1のものに対応し、前記複数の命令のうちの前記第1のものがフェッチされた場合、前記複数の分岐セクタのうちの前記1つは、選択されることとなる特定の分岐予測を特定し、前記方法はさらに、

隣接した命令バイトの前記グループをフェッチし、同時に、隣接した命令バイトの前記グループを特定するフェッチアドレスを用いて前記複数の分岐セクタをフェッチするステップと、

前記フェッチアドレスに回答して前記複数の分岐セクタのうちの1つを選択するステップと、

前記複数の前記分岐セクタのうちの前記1つに回答して前記分岐予測を選択するステップとを備える、方法。

2. 前記特定の分岐予測は、隣接した命令バイトの前記グループに対して前記分岐予測ストレージにストアされた複数の分岐予測のうちの1つを含む、請求項1に記載の方法。

3. 分岐予測誤りに回答して前記複数の分岐予測を更新するステップをさらに含む、請求項2に記載の方法。

4. 前記分岐予測誤りがまだ検出されていない分岐命令の結果である場合、前記更新するステップは、前記分岐予測ストレージにストアされた前記複数の分岐予測のうちの1つを、隣接した命令バイトの前記グループ内の前記まだ検出されていない分岐命令に割当てするステップを含む、請求項3に記載の方法。

5. 前記まだ検出されていない分岐命令を反映し、かつ前記複数の分岐予測のうちの前記1つによって既に予測されている分岐命令に対応する分岐セクタを削除するよう、前記複数の分岐セクタを更新するステップをさらに含む、請求項4に記載の方法。

6. 前記特定の分岐予測は、既にフェッチされているサブルーチン呼出命令に対

応するリターンスタックアドレスを含む、請求項 1 に記載の方法。

7. 前記特定の分岐予測は、主メモリ内の隣接した命令バイトの前記グループの直後にある隣接した命令バイトの第 2 のグループに対応する逐次アドレスを含む、請求項 1 に記載の方法。

8. 前記複数の分岐セクタのうちの 1 つを選択する前記ステップは、前記フェッチアドレスの複数の最下位ビットをデコーディングするステップを含む、請求項 1 に記載の方法。

9. 前記フェッチアドレスの前記複数の最下位ビットは、隣接した命令バイトの前記グループへのオフセットを含み、それにより、隣接した命令バイトの前記グループのうちのいずれか 1 つが前記オフセットの異なる値によって特定可能である、請求項 8 に記載の方法。

10. 前記複数の命令は、可変バイト長の命令の組に属する、請求項 1 に記載の方法。

11. 前記複数の分岐セクタの各々は、隣接した命令バイトの前記グループのうちの異なるものに対応する、請求項 1 に記載の方法。

12. 分岐予測装置であって、

命令キャッシュからフェッチされている隣接した命令バイトのグループに対応するフェッチアドレスを受けよう結合された分岐予測ストレージを備え、前記分岐予測ストレージは、複数の分岐セクタをストアするよう構成され、前記複数の分岐セクタのうちの少なくとも 1 つは、隣接した命令バイトの前記グループ内の第 1 の命令に対応し、前記第 1 の命令がフェッチされた場合、前記複数の分岐セクタのうちの前記 1 つは、選択されることとなる特定の分岐予測を特定し、前記装置はさらに、

前記複数の分岐セクタを受けよう前記分岐予測ストレージに結合された選択機構を備え、前記選択機構は、隣接した命令バイトの前記グループをフェッチするために用いられるフェッチアドレスの複数の最下位ビットに応答して前記複数の分岐セクタのうちの特定のものを選択するよう構成される、分岐予測装置。

13. 隣接した命令バイトの前記グループは、隣接した命令バイトの前記グループをストアする命令キャッシュのキャッシュラインの一部を含む、請求項 12

に記載の分岐予測装置。

14. 前記キャッシュラインの前記部分は、前記キャッシュラインの半分を含む、請求項13に記載の分岐予測装置。

15. 前記特定の分岐予測は、隣接した命令バイトの前記グループに対して前記分岐予測ストレージにストアされた複数の分岐予測のうちの1つを含む、請求項12に記載の分岐予測装置。

16. 前記複数の分岐セクタのうちの少なくとも1つは、前記特定の分岐予測として逐次アドレスを特定し、前記逐次アドレスは、主メモリ内の隣接した命令バイトの前記グループの直後にある隣接した命令バイトの第2のグループに対応する、請求項15に記載の分岐予測装置。

17. 前記複数の分岐セクタのうちの前記1つは、隣接した命令バイトの前記グループ内にある対応する分岐命令がサブルーチンリターン命令である場合に、前記特定の分岐予測としてリターンスタックアドレスを特定する、請求項16に記載の分岐予測装置。

18. 前記複数の分岐セクタのうちの前記特定のものを受けるよう結合され、かつ前記複数の分岐予測、前記逐次アドレスおよび前記リターンスタックアドレスを受取るよう結合された第2の選択機構をさらに含み、前記第2の選択機構は、前記複数の分岐セクタのうちの前記特定のものに応答して前記分岐予測装置の出力分岐予測を選択するよう構成される、請求項17に記載の分岐予測装置。

19. 前記第2の選択機構は、前記複数の分岐予測のうちの1つと前記複数の分岐予測のうちの別のものとの間での選択を行なうために前記分岐セクタのうちの前記1つの第1のビットを用いるよう構成され、前記逐次アドレスと前記リターンスタックアドレスとの間での選択をさらに行なう、請求項18に記載の分岐予測装置。

20. 前記第2の選択機構は、前記第1のビットを用いて選択されたアドレス間での選択を行なうために前記分岐セクタのうちの前記1つの第2のビットを用いるよう構成される、請求項19に記載の分岐予測装置。

21. マイクロプロセッサであって、

命令バイトの複数のキャッシュラインをストアし、かつフェッチアドレスを受

けるのと同時に命令バイトのグループを前記マイクロプロセッサの命令処理パイプラインに与えるよう構成された命令キャッシュと、

前記命令キャッシュに結合され、かつ前記命令キャッシュと同時に前記フェッチアドレスを受けよう結合された分岐予測ユニットとを含み、前記分岐予測ユニットは、命令バイトの前記グループに対して複数の分岐セクタをストアするよう構成され、かつ前記フェッチアドレスに応答して前記複数の分岐セクタのうちの1つを選択するよう構成され、前記複数の分岐セクタのうちの前記1つは、前記命令キャッシュによって後のフェッチアドレスとして用いられる分岐予測を特定する、マイクロプロセッサ。

22. 前記複数の分岐セクタのうちの前記1つは、前記フェッチアドレスの複数の最下位ビットをデコーディングすることによって選択される、請求項21に記載のマイクロプロセッサ。