

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-362744

(P2004-362744A)

(43) 公開日 平成16年12月24日(2004.12.24)

(51) Int. Cl.⁷

G11C 11/417

F I

G11C 11/34 305

テーマコード(参考)

5B015

審査請求 未請求 請求項の数 9 O L (全 18 頁)

(21) 出願番号 特願2004-103091(P2004-103091)
 (22) 出願日 平成16年3月31日(2004.3.31)
 (31) 優先権主張番号 2003-034876
 (32) 優先日 平成15年5月30日(2003.5.30)
 (33) 優先権主張国 韓国(KR)

(71) 出願人 591024111
 株式会社ハイニックスセミコンダクター
 大韓民国京畿道利川市夫鉢邑牙美里山13
 6-1
 (74) 代理人 100065215
 弁理士 三枝 英二
 (74) 代理人 100094101
 弁理士 館 泰光
 (74) 代理人 100114616
 弁理士 眞下 晋一
 (74) 代理人 100124028
 弁理士 松本 公雄
 (74) 代理人 100124039
 弁理士 立花 顕治

最終頁に続く

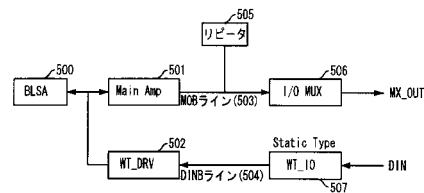
(54) 【発明の名称】 メモリ素子

(57) 【要約】

【課題】 読み出し/書き込み動作時に異なる入出力ラインを使用し、入出力マルチプレクサの構造を変更してリピータ使用時のエラーの発生を防止できるメモリ素子を提供すること。

【解決手段】 ビットライン感知増幅器(500)の出力を増幅して第1データライン(503)に出力するメイン増幅器(501)と、第1データライン(503)に接続された入出力マルチプレクサ(506)と、第1データライン(503)に接続されたリピータ(505)と、入力される書き込みデータを第2データライン(504)に出力する入出力書き込み部(507)と、第2データライン(504)に接続され、第2データライン(504)に出力されたデータをビットライン感知増幅器(500)に出力する書き込みドライバ(502)とを備えている。

【選択図】 図5



【特許請求の範囲】

【請求項1】

ビットライン感知増幅器の出力を増幅して第1データラインに出力するメイン増幅器と、
前記第1データラインに接続された入出力マルチプレクサと、
前記第1データラインに接続された第1リピータと、
入力される書き込みデータを第2データラインに出力する入出力書き込み部と、
前記第2データラインに接続され、前記第2データラインに出力されたデータを前記ビットライン感知増幅器に出力する書き込みドライバーと
を備えていることを特徴とするメモリ素子。

10

【請求項2】

前記入出力マルチプレクサが、
前記第1データラインが入力されるクロックインバータと、該クロックインバータの出力端子に接続されたラッチとを備えて構成され、
前記ラッチに格納されたデータ及び前記第1データラインの間の電荷共有を阻止することを特徴とする請求項1に記載のメモリ素子。

【請求項3】

前記入出力マルチプレクサが、
アドレス信号、モード信号及び書き込み動作時に活性化されるイネーブル信号を受信し、
前記クロックインバータを制御するための制御信号を出力する制御部をさらに備えていることを特徴とする請求項2に記載のメモリ素子。

20

【請求項4】

前記制御部が、
入力されるアドレス信号を反転させて出力する第1インバータと、
前記モード信号及び前記第1インバータの出力が入力される第1NANDゲートと、
前記モード信号及び前記アドレス信号が入力される第2NANDゲートと、
書き込み動作時に活性化される前記イネーブル信号を反転して出力する第2インバータと、
前記第2NANDゲートの出力を反転して出力する第3インバータと、
前記第1NANDゲートの出力を反転して出力する第4インバータと、
前記第2インバータの出力及び前記第3インバータの出力が入力される第3NANDゲートと、
前記第2インバータの出力及び前記第4インバータの出力が入力される第4NANDゲートと
を備えていることを特徴とする請求項3に記載のメモリ素子。

30

【請求項5】

前記入出力書き込み部が、
入力されたデータを選択的に出力する伝送ゲート部と、
該伝送ゲート部の出力を第2データラインに伝達する駆動部と、
前記伝送ゲート部及び前記駆動部を制御する信号を発生する制御部とを備え、
クロックインバータを備えてスタティックタイプに構成されていることを特徴とする
請求項1に記載のメモリ素子。

40

【請求項6】

前記制御部が、
入力されるデータ入力ストロブ信号を反転して出力する第10インバータと、
該第10インバータの出力を反転して出力する第11インバータと、
入力される偶数/奇数信号を反転して出力する第12インバータと
を備えていることを特徴とする請求項5に記載のメモリ素子。

【請求項7】

前記駆動部が、
前記伝送ゲート部の出力を反転して出力する第1クロックインバータと、

50

該第1クロックインバータの出力をラッチする第12インバータ及び第2クロックインバータと、

前記第1クロックインバータの出力を反転して出力する第3クロックインバータと、
該第3クロックインバータの出力をラッチする第13インバータ及び第4クロックインバータとを備え、

前記第1～第4クロックインバータが、前記第10インバータ及び第11インバータの出力を制御信号として受信することを特徴とする請求項6に記載のメモリ素子。

【請求項8】

前記第2データラインに接続された第2リピータをさらに備えていることを特徴とする請求項1に記載のメモリ素子。

10

【請求項9】

前記第1データラインと前記第2データラインとが、交互にルーチングされることを特徴とする請求項1に記載のメモリ素子。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体メモリ素子に関し、特に、読み出し/書き込み動作時に共有して使用されるグローバル入出力(Global Input Output: 以下、「GIO」と記す)ラインを、読み出し動作に用いられるMOBラインと書き込み動作に用いられるDINBラインとに各々分離し、また、入出力マルチプレクサの構造を変更することによって、リピータを使用する場合に発生するデータエラーを防止するメモリ素子に関する。

20

【背景技術】

【0002】

従来技術に係るメモリ素子において、グローバル入出力ラインは、読み出し/書き込み動作時に共通して用いられる。このような読み出し/書き込み動作時における概略的なデータの入出力経路を図1に示した。

【0003】

図1を参照して、セルに格納されたデータを外部に読み出す読み出し動作に関して述べると、次のようである。まず、セルに格納されたデータはビットライン感知増幅器(BLSA)100を通して出力され、ビットライン感知増幅器100の出力はメイン増幅器(Main Amp)101を経てGIOラインに出力される。

30

【0004】

メモリにおいてGIOラインは非常に長いラインであり、時にはその長さが8000 μ mを超えることもある。したがって、このように負荷が大きいGIOラインを駆動するためにメイン増幅器101が用いられる。しかし、メイン増幅器101を使用してGIOラインに信号を印加しても、GIOラインに存在する大きい負荷のため信号速度が減少するので、これを補完する目的としてリピータ(repeater)をGIOラインに接続して使用する。図1にはリピータは図示されていない。リピータの構成については後述する。

【0005】

このようにメイン増幅器101を経てGIOラインに出力されたデータは入出力マルチプレクサ(I/O MUX)103に入力された後、入出力マルチプレクサ103から選択的に出力されてデータ出力バッファ(図示せず)へ出力される。ここで、入出力マルチプレクサ103は、X4、X8、X16モードなどデータ幅によるモード区別及び並列テストモードのために用いられる。

40

【0006】

次いで、図1を参照して、セルにデータを格納する書き込み動作について述べる。セルに格納しようとする入力データDINはデータ入力ドライバー(図示せず)を通して入出力書き込み部(WT_10)104に入力され、入出力書き込み部104は入力されたデータを増幅してGIOラインに出力する。GIOラインに出力された入力データは、書き込みドライバー(WT_DRV)102に入力された後、ビットライン感知増幅器100を経てセルに格納される。

【0007】

50

このように従来技術に係るメモリ素子では、読み出し動作及び書き込み動作時にG10ラインを共有して使用し、また、G10ラインの信号伝達速度を増大させるためにリピータを使用していた。このようなりピータを使用する場合、ノイズに敏感なりピータはG10ラインに出力されたデータを変化させるエラーを発生する場合がある。これに関しては、図2ないし図4を参照して説明する。

【0008】

以下の説明において、Hは論理ハイ(logic high)を意味し、Lは論理ロー(logic low)を意味する。

【0009】

図2は、図1に示した従来技術に係るメモリ素子における入出力書き込み部104の詳細構成を示す回路図である。これを参照して入出力書き込み部104の構成を説明すると、次の通りである。

【0010】

入出力書き込み部104は、電源電圧とノード(node)Aとの間に接続されており、ゲートにDINST信号が入力されるPMOSトランジスタ205と、電源電圧とノードAとの間に接続されており、ゲートがノード(node)Bに接続されたPMOSトランジスタ206と、電源電圧とノードBとの間に接続されており、ゲートがノードAに接続されたPMOSトランジスタ208と、電源電圧とノードBとの間に接続されており、ゲートにDINST信号が入力されるPMOSトランジスタ209と、ノードA及びノードBの間に接続されており、ゲートにDINST信号が入力されるPMOSトランジスタ207と、ノードAにドレインが接続され、ゲートがノードBに接続されたNMOSトランジスタ203と、NMOSトランジスタ203のソース及びノードCの間に接続されており、ゲートに正データ入力信号(DIN信号)が入力されるNMOSトランジスタ201と、ノードBにドレインが接続され、ゲートがノードAに接続されたNMOSトランジスタ204と、NMOSトランジスタ204のソース及びノードCの間に接続されており、ゲートに負データ入力信号(DINB信号)が入力されるNMOSトランジスタ202と、ノードCと接地との間に接続されており、ゲートにDINST信号が入力されるNMOSトランジスタ200と、ノードBに接続されてノードBの信号を反転して出力するインバータ210と、インバータ210の出力を反転して出力するインバータ211と、ノードAに接続されてノードAの信号を反転して出力するインバータ212と、電源電圧とノードDとの間に接続されており、ゲートにインバータ211の出力が入力されるPMOSトランジスタ213と、ノードD及び接地の間に接続されており、ゲートにインバータ212の出力が入力されるNMOSトランジスタ214と、ノードDの信号をG10ラインに出力するラッチ215とを備えて構成されている。

【0011】

DINST信号は、データ入力ストロブ(data input strobe)信号であって、DINST信号がHに活性化された場合には、入出力書き込み部104が動作を開始してNMOSトランジスタ202のゲートに入力される負データ入力DINBがG10ラインに出力される。

【0012】

これをさらに詳細に説明すると、次の通りである。まず、DINST信号がLに非活性化された場合には、NMOSトランジスタ200はターンオフされ、PMOSトランジスタ205、209はターンオンされるので、ノードA及びノードBは共にHとなる。

【0013】

したがって、インバータ210とインバータ212との入力は共にHとなり、その結果PMOSトランジスタ213とNMOSトランジスタ214は共にターンオフされるので、入出力書き込み部104は動作しない。したがって、G10ラインには新しい信号が出力されずラッチ215に格納された信号が維持されている。

【0014】

次いで、DINST信号がHに遷移して活性化され、HのDIN信号及びLのDINB信号が印加された場合を説明すると、以下の通りである。

【0015】

まず、DINST信号がHに遷移する前にはLであったので、ノードAとノードBはH状態にある

10

20

30

40

50

。したがって、ノードBにゲートが接続されたNMOSトランジスタ203とノードAにゲートが接続されたNMOSトランジスタ204とはターンオン状態である。

【0016】

DINST信号がHに遷移すれば、入出力書き込み部104が動作を開始するが、ターンオン状態にあるNMOSトランジスタ203とともに、ゲートにHのDIN信号が入力されるNMOSトランジスタ201がターンオンされることによって、ノードAの電圧は減少し始める。

【0017】

これに対し、NMOSトランジスタ202のゲートにはLのDINB信号が入力されるので、ノードBの電圧は減少せず、H状態を維持する。また、ノードAの電圧の減少によって、PMOSトランジスタ208はターンオンされ、NMOSトランジスタ204はターンオフされるので、ノードBはより一層電位が高いH状態となる。

10

【0018】

このようにノードBが高いH状態となるほど、NMOSトランジスタ203はより一層ターンオンされて、PMOSトランジスタ206はより一層ターンオフされるので、ノードAの電圧はより一層速く減少する。

【0019】

その結果、ノードAはL状態となり、インバータ212の出力はHとなって、NMOSトランジスタ214をターンオンさせる。また、ノードBはH状態を維持し、インバータ211の出力はHのままであり、PMOSトランジスタ213はターンオフを維持する。したがって、DINBに入力されたLがG10ラインに出力されることになる。

20

【0020】

上述した入力レベルと反対の場合、すなわち、DIN信号がLであり、DINB信号がHの場合には、DINB信号と同じHがG10ラインに出力される。

【0021】

このように動作する入出力書き込み部104は、ダイナミックタイプ(Dynamic Type)に構成されているので、電流消費が多いという短所があり、また、レイアウト時には対称にレイアウトしなければならず設計が難しくなる問題があった。

【0022】

図3は、図1に図示した従来技術に係るメモリ素子を構成するX8モード用入出力マルチプレクサ103の詳細構成を示す回路図である。これを参照して入出力マルチプレクサ103の構成を説明すると、次の通りである。

30

【0023】

X8モード用入出力マルチプレクサ103は、アドレス信号であるY11信号が入力され、これを反転させて出力するインバータ300と、X8信号及びインバータ300の出力が入力されるNANDゲート301と、X8信号及びY11信号が入力されるNANDゲート302と、NANDゲート302の出力を反転して出力するインバータ304と、NANDゲート301の出力を反転して出力するインバータ305と、WT信号が入力され、これを反転して出力するインバータ303と、インバータ303の出力及びインバータ304の出力が入力されるNANDゲート306と、インバータ303の出力及びインバータ305の出力が入力されるNANDゲート307と、NANDゲート306の出力によって制御されてG10<0>信号を入出力マルチプレクサ103の出力端子であるMX_OUTに出力する伝送ゲート308と、NANDゲート307の出力によって制御されてG10<1>信号を入出力マルチプレクサ103の出力端子であるMX_OUTに出力する伝送ゲート309と、入出力マルチプレクサ103の出力端子MX_OUTに接続されたラッチ310とを備えて構成されている。

40

【0024】

図3に示されている入出力マルチプレクサはX8モード用マルチプレクサであり、X8モードで読み出し動作時にはG10ラインに出力されたデータのうち、一部だけが入出力マルチプレクサ103の出力端子であるMX_OUTに出力される。

【0025】

すなわち、X8モードでは全体で16個のG10<0:15>信号のうち、8個の信号のみが入出力マルチプレクサ103の出力となるべきであり、G10<i:i+1>(ここでiは0~15の範囲の偶数)

50

の中の一方の信号、即ちG10<i>又はG10<i+1>がマルチプレクサの出力となる。ここで、G10<0:1>の中の1つの信号を選択する制御信号がY11信号である。

【 0 0 2 6 】

図3に示している入出力マルチプレクサ103はX8モード用マルチプレクサであるため、X8モードでない場合には、入出力マルチプレクサ103の出力はラッチ310に格納された値をそのまま維持する。また、入出力マルチプレクサ103の読み出し動作のみによって新しい値を出力するので、書き込み動作時にもラッチ310に格納された値がそのまま維持される。

【 0 0 2 7 】

図3に示したWT信号は書き込み動作時にHに活性化される信号であり、読み出し動作時にはLに非活性化される。また、X8信号はX8モード時にHに活性化され、X8モードでない場合にはLに非活性化される。

10

【 0 0 2 8 】

上述したように、図3に図示した入出力マルチプレクサ103は読み出し動作時すなわち、WT信号がLに非活性化された時、Y11信号によってメイン増幅器の出力であるG10<0:1>のうち、いずれか一方を出力する。すなわち、Y11信号がHの場合にはG10<0>が伝送ゲート308を通過して入出力マルチプレクサ103の出力となり、Y11信号がLの場合にはG10<1>が伝送ゲート309を通過して入出力マルチプレクサ103の出力となる。

【 0 0 2 9 】

WT信号がHに活性化された場合には、書き込み動作が行われる場合であるため、入出力マルチプレクサ103が動作しないことは上述した通りである。すなわち、WT信号がHに活性化されることによって、NANDゲート306、307は論理Hを出力し、その結果、伝送ゲート308、309はオフされるので、MX_OUTはラッチ310に格納されたデータに維持される。

20

【 0 0 3 0 】

また、X8モードでない場合にはX8信号がLに非活性化されているので、NANDゲート301、302はHを出力し、NANDゲート306、307もHを出力するので、その結果、伝送ゲート309、309はオフされて、MX_OUTはラッチ310に格納された以前のデータを維持する。

【 0 0 3 1 】

図1ないし図3に示したように、読み出し/書き込み動作においてG10ラインを共に使用する従来のメモリ素子における読み出し/書き込み動作を説明する。

【 0 0 3 2 】

まず、N-1番目のクロックでセルに格納されたHデータを読み出す場合には、セルに格納されたHデータは、ビットライン感知増幅器100、メイン増幅器101、G10ライン及び入出力マルチプレクサ103を経由して出力される。

30

【 0 0 3 3 】

読み出し動作であるため、入出力マルチプレクサ103の伝送ゲート308、309はターンオンされて、G10ラインに出力されたHデータが入出力マルチプレクサ103の出力となり、入出力マルチプレクサ103の出力端子MUX_OUTに接続されたラッチ310にはHデータが格納される。

【 0 0 3 4 】

次いで、N番目のクロックにおいて、Lデータをセルに書き込む場合、セルに書き込むとするLデータは、入出力書き込み部104、G10ライン、書き込みドライバー102、ビットライン感知増幅器100を経由してセルに格納される。

40

【 0 0 3 5 】

この書き込み動作では、図3に示したWT信号がHに活性化されて、伝送ゲート308、309はオフされるので、入出力マルチプレクサ103の出力端子MUX_OUTに接続されたラッチ310に格納された値は変わらない。すなわち、ラッチ310はN-1番目のクロックでラッチしたHデータをそのままラッチしている。

【 0 0 3 6 】

次いで、N+1番目のクロックにおいてLデータを読み出す場合には、セルに格納されたLデータはビットライン感知増幅器100、メイン増幅器101、G10ライン及び入出力マルチプ

50

レクサ103を経由して出力される。

【0037】

読み出し動作であるため、入出力マルチプレクサ103の伝送ゲート308、309はターンオンされて、G10ラインに出力されたLデータが入出力マルチプレクサ103の出力となり、入出力マルチプレクサ103の出力端子MUX_OUTに接続されたラッチ310を反転させる。すなわち、ラッチ310はHデータをラッチしていたが、N+1番目のクロックではLデータをラッチする。

【0038】

この場合、G10ラインはメイン増幅器101を通して駆動されるので、G10ラインに出力されたLデータは、入出力マルチプレクサの出力端子MUX_OUTに接続されたラッチ310を十分に反転させ得る駆動力を持っている。

10

【0039】

すなわち、読み出し動作時に伝送ゲート308、または伝送ゲート309がオンされてG10ラインとラッチ310との間に電荷共有(charge sharing)が生じて、メイン増幅器101により駆動されるG10ラインはラッチ310を反転させることができる。

【0040】

しかし、G10ラインの信号伝達速度を増加させるために、G10ラインにリピータを接続して使用する場合には問題が発生する。リピータは信号伝達速度の増加のために用いられる素子であって、論理しきい電圧(logic threshold voltage)を調節して信号の速い遷移(transition)を実現するための素子である。

20

【0041】

図4は、一般的なリピータの構成を示す回路図である。リピータは、G10ラインに接続されたラッチ400と、G10ラインに各々接続されてG10ラインの信号を反転して出力するインバータ401及びインバータ402と、電源電圧にソースが接続され、ゲートにG10ラインの信号が遅延された信号が入力されるPMOSトランジスタ405と、PMOSトランジスタ405のドレイン及びG10ラインの間に接続され、ゲートにインバータ401の出力が入力されるPMOSトランジスタ403と、接地にソースが接続され、ゲートにG10ラインの信号が遅延された信号が入力されるNMOSトランジスタ406と、NMOSトランジスタ406のドレイン及びG10ラインの間に接続され、ゲートにインバータ402の出力が入力されるNMOSトランジスタ404と、G10ラインに接続され、G10信号を遅延させてPMOSトランジスタ405及びNMOSトランジスタ406のゲートに出力する可変遅延素子407とを備えて構成されている。

30

【0042】

G10信号が入力されるインバータ401は、PMOSトランジスタとNMOSトランジスタとから構成されたCMOSインバータ(CMOS INVERTER)から構成されており、CMOSインバータを構成するPMOSトランジスタとNMOSトランジスタとの大きさ比率が1.8/30程度に設計される。このような大きさ比率を持つインバータ401はNMOSトランジスタがPMOSトランジスタに比べて非常に大きいため、HからLに速く遷移できる。

【0043】

同様に、G10信号が入力されるインバータ402はCMOSインバータで構成されており、CMOSインバータを構成するPMOSトランジスタとNMOSトランジスタとの大きさ比率が12/1.8程度に設計される。このような大きさ比率を有するインバータ402はPMOSトランジスタがNMOSトランジスタに比べて非常に大きいため、LからHに速く遷移できる。

40

【0044】

この点を考慮してリピータの動作を説明すると、以下の通りである。

【0045】

まず、G10信号がL状態からHに遷移する場合におけるリピータの動作を説明する。

【0046】

はじめにG10信号はLであるため、インバータ401の出力はHになってPMOSトランジスタ403はターンオフされる。また、インバータ402の出力もHになるので、NMOSトランジスタ404はターンオンされる。また、可変遅延素子407は遅延されたL信号を出力するので、PMOSト

50

ランジスタ405はターンオンされ、NMOSトランジスタ406はターンオフされる。

【0047】

たとえば、PMOSトランジスタ405及びNMOSトランジスタ404がターンオンされていても、PMOSトランジスタ403及びNMOSトランジスタ406がターンオフされているので、G10ラインと電源電圧、またはG10ラインと接地との間の電流パスが形成されずに、G10ラインはLを維持する。

【0048】

次いで、G10ラインがLからHに遷移すると、PMOSトランジスタ403はターンオンされ、NMOSトランジスタ404はターンオフされる。この場合、可変遅延素子407の出力は依然としてL状態である。これは、G10ラインがHに遷移される前のL信号が遅延されて出力されるため

10

【0049】

したがって、可変遅延素子407の出力が依然としてLであるため、PMOSトランジスタ405はターンオンされ、NMOSトランジスタ406はターンオフされる状態にある。

【0050】

このように、PMOSトランジスタ405とPMOSトランジスタ403とが同時にターンオンされているため、G10ラインをHで駆動させることができる。

【0051】

このような動作を行うリピータはノイズに非常に敏感な素子であるため、Lデータを伝達しているG10ラインとHデータとをラッチしているラッチ310(図3参照)との間に電荷共有が生じる場合、メイン増幅器101の出力に関係なくG10ラインをHにする。

20

【0052】

すなわち、読み出し動作で読み出そうとするデータはメイン増幅器101の出力であるが、入出力マルチプレクサ103のラッチ310に格納された値が読み出されるエラーが発生する。特に、G10ラインの幅と間隔とを十分に確保できないため、G10ラインにノイズカップリングが生じる場合には、このような問題がさらに深刻となる。

【0053】

このようにリピータを使用する場合にエラーが発生する一例として、上記では、N-1番目のクロックでHデータを読み出し、N番目のクロックでLデータを書き込み、N+1番目のクロックでLデータを読み出す場合を一例として説明したが、このような場合以外にもN-1番目のクロックでHデータを読み出し、N番目のクロックでLデータを読み出す場合、またはN-1番目のクロックでLデータを読み出し、N番目のクロックでHデータを読み出す場合にもデータエラーが発生し得る。

30

【0054】

すなわち、読み出し動作で読み出そうとするデータの極性と、その時に入出力マルチプレクサ103のラッチ310に格納されているデータの極性とが異なる場合には、同様のデータエラーが発生する可能性がある。

【0055】

また、このようなデータエラーは、読み出し/書き込み動作時にG10ラインを共有することによってさらに深刻となり得るが、これに関して説明すると、以下の通りである。

40

【0056】

N-1番目のクロックでHデータを読み出し、N番目のクロックでHデータを書き込み、N+1番目のクロックでLデータを読み出すと仮定する。

【0057】

まず、N-1番目のクロックでHデータを読み出すので、入出力マルチプレクサ103のラッチ310はHデータをラッチしている。次いで、N番目のクロックではHデータを書き込むのでG10ラインもH状態となる。

【0058】

次いで、N+1番目のクロックでLデータを読み出す場合には前述のように電荷共有のためにリピータの使用によるエラーが発生するが、入出力マルチプレクサ103のラッチ310とG1

50

0ラインとが共にH状態にあるので、Lデータを読み出す動作で電荷共有がさらに激しくな
って、リピータ使用時のデータエラーを悪化させることになる。

【発明の開示】

【発明が解決しようとする課題】

【0059】

本発明は、上述した従来技術の問題点に鑑みてなされたものであって、読み出し/書き
込み動作時に異なるGIOラインを使用し、入出力マルチプレクサの構造を変更してリピー
タ使用時のエラーの発生を防止したメモリ素子を提供することを目的とする。

【課題を解決するための手段】

【0060】

上述した本発明の目的を達成するため、本発明に係るメモリ素子は、ビットライン感知
増幅器の出力を増幅して第1データラインに出力するメイン増幅器と、前記第1データライ
ンに接続された入出力マルチプレクサと、前記第1データラインに接続されたりピータと
、入力される書き込みデータを第2データラインに出力する入出力書き込み部と、前記第2
データラインに接続され、前記第2データラインに出力されたデータを前記ビットライン
感知増幅器に出力する書き込みドライバーとを備えていることを特徴としている。

【0061】

本発明は、読み出し/書き込み動作時に異なるGIOラインを使用するように構成を変更し
、また入出力マルチプレクサの構造も変更しているので、リピータを使用する場合に発生
するエラーの発生を防止することができる。また、ダイナミックタイプの入出力書き込み
部をスタティックタイプの入出力書き込み部に変更しているので、電流消費量を減少させ
ることができる。

【発明の効果】

【0062】

本発明に係るメモリ素子によれば、リピータ使用によるデータエラーの発生を防止でき
、スタティックタイプの入出力書き込み部を使用しているので、電流消費量を減少できる
という長所がある。また、読み出し動作時に用いられるMOBラインと書き込み動作時に用
いられるDINBラインとを交互にルーチングすることが可能であり、カップリングノイズイ
ミュニティ(Coupling Noise Immunity)を増大させることができるため、安定した動作が
可能となる。

【発明を実施するための最良の形態】

【0063】

以下、本発明に係る実施の形態を添付する図面を参照しながら説明する。

【0064】

まず、図5は本発明の一実施の形態に係るメモリ素子において、読み出し/書き込み動作
時にデータの入出力経路を示すブロック図である。これを参照すると、本発明の実施の形
態に係るメモリ素子は、メモリに格納されたデータを増幅させて入出力するビットライン
感知増幅器(BLSA)500と、ビットライン感知増幅器500の出力である読み出しデータを増幅
してMOB(Main Amp Output Bar)ライン503に出力するメイン増幅器(Main Amp)501と、MOB
ライン503に出力されたデータを選別的に出力する入出力マルチプレクサ(I/O_MUX)506と
、データ入力ドライバー(図示せず)から書き込みデータを受信してこれをDINBライン504
に出力する入出力書き込み部(WO_IO)507と、DINBライン504から書き込みデータを受信し
てビットライン感知増幅器500に出力する書き込みドライバー(WT_DRV)502と、MOBライン
503に接続されたりピータ505とを備えて構成されている。

【0065】

図5を参照すると、本発明の実施の形態に係るメモリ素子では、読み出し動作時にはセ
ルに格納されたデータがMOBライン503を使用して出力され、書き込み動作時にはDINBラ
イン504を使用してデータがセルに格納されることが分かる。

【0066】

図5を参照してセルに格納されたデータを外部に読みだす読み出し動作に関して説明す

10

20

30

40

50

ると、以下の通りである。

【0067】

まず、セルに格納されたデータはビットライン感知増幅器500を通して出力され、ビットライン感知増幅器500の出力はメイン増幅器501を経てMOBライン503に出力される。

【0068】

このようにメイン増幅器501を経てMOBライン503に出力されたデータは、入出力マルチプレクサ506に入力された後、入出力マルチプレクサ506から選択的に出力されてデータ出力バッファ(図示せず)に出力される。ここで、入出力マルチプレクサ506は、X4、X8、X16モードなどデータ幅(data width)によるモード区別及び並列テストモードのために用いられることは従来の技術と同様である。

10

【0069】

次いで、セルにデータを格納する書き込み動作に関して説明する。セルに格納しようとする入力データDINがデータ入力ドライバー(図示せず)を通して入出力書き込み部507に入力され、入出力書き込み部507が入力されたデータをDINBライン504に出力する。DINBライン504に出力された入力データは、書き込みドライバー502に入力された後、ビットライン感知増幅器500を経てセルに格納される。

【0070】

図5に示された入出力書き込み部507は、従来のダイナミックタイプでなくスタティックタイプ(Static Type)に構成されており、電流消費量が減少するが、これに関しては図8を参照して後述する。

20

【0071】

このように本発明の実施の形態では、従来は読み出し/書き込み動作時に共有して使用していたGIOラインを、読み出し動作時に用いられるMOBラインと、書き込み動作時に用いられるDINBラインとに分離し、また後述するように入出力マルチプレクサの構造を変更したので、従来問題であったリピータ使用時の問題を解決できる。

【0072】

図6は、図5に示した本発明の実施の形態に係るX8モード用入出力マルチプレクサ(1/0 MUX)506の詳細構成を示す回路図である。本入出力マルチプレクサ506では、従来用いられた伝送ゲートの代わりにクロックインバータ(clocked inverter)を使用して、MOBライン503と入出力マルチプレクサ506の出力端子MX_OUTに接続されたラッチ640との電荷共有を根本的に遮断した。

30

【0073】

図6に示した入出力マルチプレクサ506は伝送ゲートの代わりにクロックインバータを使用したという点を除けば、従来技術に係る入出力マルチプレクサと同様である。

【0074】

すなわち、本発明の実施の形態に係る入出力マルチプレクサ506は、アドレス信号であるY11信号とX8モード信号及び書き込み動作時にHに活性化される信号であるWT信号とが入力されてクロックインバータを制御するための制御信号を出力する制御部610と、MOB<0:1>信号が各々入力されるクロックインバータ620、630と、クロックインバータ620、630の出力端子MX_OUTに接続されたラッチ640とから構成されている。

40

【0075】

ここで制御部610は、アドレス信号であるY11信号を受信してこれを反転させて出力するインバータ600と、X8信号及びインバータ600の出力が入力されるNANDゲート601と、X8信号及びY11信号が入力されるNANDゲート602と、NANDゲート602の出力を反転して出力するインバータ604と、NANDゲート601の出力を反転して出力するインバータ605と、WT信号が入力されてこれを反転して出力するインバータ603と、インバータ603の出力及びインバータ604の出力が入力されるNANDゲート606と、インバータ603の出力及びインバータ605の出力が入力されるNANDゲート607とから構成されている。

【0076】

また、クロックインバータ620は、NANDゲート606の出力によって制御されて入力され

50

たMOB<0>信号を反転して出力し、クロックインバータ630はNANDゲート607の出力によって制御されて受信したMOB<1>信号を反転して出力する。

【0077】

そして、クロックインバータ620、630の出力端子にはラッチ640が接続されている。

【0078】

図6に示された入出力マルチプレクサ506は、X8モード用マルチプレクサであり、X8モードでの読み出し動作時には、MOBラインに出力されたデータのうち、一部のみがマルチプレクサ506の出力端子であるMX_OUTに出力される。

【0079】

すなわち、X8モードでは全体で16個のMOB<0:15>信号の中で8つの信号のみがマルチプレクサ506の出力となるべきであり、MOB<i:i+1>(ここでiは0~15の範囲の偶数)の中の一
10 方の信号、即ちMOB<i>又はMOB<i+1>がマルチプレクサの出力となる。ここで、MOB<0:1>
の中で1つの信号を選択する制御信号がY11信号である。

【0080】

図6に示されたWT信号は、書き込み動作時にHに活性化される信号であり、読み出し動作時にはLに非活性化される。また、X8信号はX8モード時にHに活性化され、X8モードでない
場合にはLに非活性化される。

【0081】

上述したように、図6に示された入出力マルチプレクサ506は、読み出し動作時、すなわ
20 ち、WT信号がLに非活性化された時、Y11信号によって、メイン増幅器501の出力であるMOB
<0:1>の中のいずれかを出力する。すなわち、Y11信号がHである場合にはMOB<0>がクロ
ックインバータ620を介して出力され、Y11信号がLの場合にはMOB<1>がクロックインバ
ータ630を介して出力される。

【0082】

WT信号がHに活性化された場合には、書き込み動作が行われる場合であるため、入出力
マルチプレクサ506が動作しないことは上述した通りである。すなわち、WT信号がHに活
性化されることによって、NANDゲート606、607は論理Hを出力し、結果的に、クロック
インバータ620、630の出力はフローティング状態になるので、MX_OUTはラッチ640に格納
された以前のデータを維持する。

【0083】

また、X8モードでない場合にはX8信号がLに非活性化されているので、NANDゲート601、
30 602はHを出力し、NANDゲート606、607もHを出力するようになるが、その結果、クロ
ックインバータ620及びクロックインバータ630の出力はフローティング状態となるので、
MX_OUTはラッチ640に格納された以前のデータを維持する。

【0084】

図6を参照すると、読み出し動作時にクロックインバータ620、630が動作してもMOBラ
インとラッチ640との電荷共有は生じない。すなわち、MOBラインはクロックインバー
タ620、630のゲートに印加されるため、電荷共有が発生しない。

【0085】

図7A及び図7Bはそれぞれ、本クロックインバータ620、630のシンボル及び内部構成を
40 示す回路図である。図7Aに示したシンボルはクロックインバータの簡略的なシンボルを
示しており、図6ではこのシンボルを使用している。

【0086】

図7Aに示したシンボルが表す回路構成をさらに詳細に示したのが図7Bに示した回路であ
る。

【0087】

図7Bを参照すると、クロックインバータは、電源電圧と接地との間にPMOSトランジス
タ704、705及びNMOSトランジスタ706、707が直列に接続されており、PMOSトランジスタ70
4はゲートにクロックCLOCKが入力され、NMOSトランジスタ707にはインバータ703で反転さ
れたクロックがゲートに入力される。また、PMOSトランジスタ705及びNMOSトランジスタ7
50

06のゲートには入力信号INが印加される。

【0088】

このようなクロックインバータはクロック信号CLOCKがLの場合にのみインバータの役割を行い、クロック信号CLOCKがHの場合には出力がフローティング状態となってインバータとして動作しない。

【0089】

すなわち、クロックCLOCKがLの場合には、PMOSトランジスタ704とNMOSトランジスタ707がターンオンされるので、通常のインバータとしての動作を行い、クロックCLOCKがHである場合にはPMOSトランジスタ704とNMOSトランジスタ707とがターンオフされるので、出力がフローティング状態となる。

10

【0090】

図7A及び7Bに示すような構造を有するクロックインバータが図6に示される入出力マルチプレクサに用いられるため、MOB<0>ラインとMOB<1>ラインはクロックインバータのゲート端、さらに詳細に述べると、図7Bに図示されるPMOSトランジスタ705のゲートとNMOSトランジスタのゲート706に入力されるため、MOBラインとラッチ640との間に電荷共有が生じない。

【0091】

図8は、図5に示した、スタティックタイプに構成された入出力書き込み部507の詳細構成を示す回路図であって、ダブルデータレート同期式DRAM(Double Data Rate Synchronous Dynamic Random Access Memory: DDR SDRAM)に適用される回路図である。

20

【0092】

図8を参照すると、本入出力書き込み部507は、従来のダイナミックタイプと異なり、電源電圧VCCと接地電圧VSSとの間のダイレクトパス(direct path)をなくしたスタティックタイプに構成されている。

【0093】

スタティックタイプに構成された本入出力書き込み部507は、入力されたデータが制御信号によって選択的に出力される伝送ゲート部820と、伝送ゲート部820の出力をDINBラインに伝達するための駆動部830及び伝送ゲート部820及び駆動部830を制御するための信号を発生する制御部840とから構成されている。

【0094】

ここで、伝送ゲート部820は、DIN__R<0>信号を受信する伝送ゲート802とDIN__F<0>信号を受信する伝送ゲート803とからなり、伝送ゲート820部は、制御信号である偶数/奇数信号によってDIN__R<0>信号とDIN__F<0>信号のうち、いずれか一方を出力する。

30

【0095】

制御部840は、DINST信号を受信してこれを反転して出力するインバータ800と、インバータ800の出力を反転して出力するインバータ801と、偶数/奇数信号EV/ODを受信してこれを反転して出力するインバータ804とから構成されている。

【0096】

駆動部830は、伝送ゲート部820の出力を受信してこれを反転して出力するクロックドインバータ805と、クロックドインバータ805の出力をラッチするインバータ807及びクロックドインバータ806と、クロックドインバータ805の出力を反転して出力するクロックドインバータ808と、クロックドインバータ808の出力をラッチするインバータ810及びクロックドインバータ809とから構成されている。

40

【0097】

図8において、DINST信号は、データ入力ストロブ(input data strobe)信号であって、DINST信号に同期して、DIN__R<0>信号またはDIN__F<0>信号のうち、いずれか一方の信号が偶数/奇数信号EV/ODに応じてDINBラインに出力される。

【0098】

また、偶数/奇数信号EV/ODはDDR SDRAMで偶数、奇数を意味する信号であり、DIN__R<0>信号はクロックの立ち上がりエッジに同期する信号を意味し、DIN__F<0>信号はクロック

50

の立下りエッジに同期する信号を意味する。

【0099】

愚数/奇数信号EV/ODがHの場合には、DIN_F<0>信号がクロックインバータ805への入力となり、愚数/奇数信号EV/ODがLの場合にはDIN_R<0>信号がクロックインバータ805への入力となる。

【0100】

この点を考慮して、愚数/奇数信号EV/ODがHであり、DINST信号がLからHに活性化される時、スタティックタイプに構成された入出力書き込み部507の動作を説明する。

【0101】

まず、DINST信号及び反転されたDINST信号は、図8に示されたクロックインバータ805、806、808、809のクロック入力として用いられている。したがって、DINST信号がLの場合にはクロックインバータ805、809は動作状態となり、クロックインバータ806、808はフローティング状態となる。

【0102】

また、DINST信号がHの場合にはクロックインバータ805、809はフローティング状態となり、クロックインバータ806、808は動作状態となる。

【0103】

図8に示された入出力書き込み部507はDINST信号がLである場合、データを予め読み出してラッチし、DINST信号がHに活性化されると、予めラッチしていたデータをDINBラインに出力する。

【0104】

すなわち、愚数/奇数EV/ODがHであり、DINST信号がLの場合には、クロックインバータ805が動作状態となるので、反転されたDIN_F<0>信号がクロックインバータ805の出力となる。

【0105】

しかし、DINST信号がLである場合、クロックインバータ808はフローティング状態となるので、クロックインバータ805の出力である反転されたDIN_F<0>信号はクロックインバータ808の出力に影響を与えることは無い。

【0106】

そして、DINST信号がLである場合、クロックインバータ809は動作状態となるので、ターンオンされたクロックインバータ809はインバータ810とともにDINB<0>ラインの値を現在の状態に維持するラッチの役割をする。

【0107】

次いで、DINST信号がLからHに活性化されると、クロックインバータ806及びクロックインバータ808は動作状態となり、クロックインバータ805及びクロックインバータ809はフローティング状態となる。

【0108】

このように、クロックインバータ808が動作状態となるので、クロックインバータ805の出力である反転されたDIN_F<0>信号がクロックインバータ808に入力され、クロックインバータ808がDIN_F<0>信号を出力する。

【0109】

このように、DINST信号がLからHに活性化されると、クロックインバータ806が動作状態となるので、クロックインバータ806はインバータ807とともにクロックインバータ808を駆動する。その結果、DINB<0>ラインにはインバータ810を経て反転されたDIN_F<0>信号が出力される。

【0110】

また、DINST信号がHからLに遷移する場合には、クロックインバータ809が動作状態となるので、クロックインバータ809はインバータ810とともにDINB<0>ラインに出力された信号を維持するラッチ回路として機能する。

【0111】

10

20

30

40

50

このように本発明の実施の形態に係るメモリ素子は、入出力書き込み部の構成をスタティックタイプの回路に変更したので、従来に比べて電流消費を減少させることができ、対称にレイアウトしなければならない問題も避けることができる長所がある。

【0112】

以下、図5ないし図8を参照して、本発明の実施の形態に係るメモリ素子におけるデータの読み出し/書き込み動作について説明すると、以下の通りである。

【0113】

まず、N-1番目のクロックでHデータを読み出す場合に、セルに格納されたHデータは、ビットライン感知増幅器500を経てメイン増幅器501から出力され、読み出し動作で用いられるMOBライン503を通して入出力マルチプレクサ506に入力される。

10

【0114】

Hデータを読み出す動作であるため、図6に示した入出力マルチプレクサ506において、MOB<0>またはMOB<1>のいずれかがクロックインバータ620またはクロックインバータ630を通過して入出力マルチプレクサ506の出力となる。そして入出力マルチプレクサ506の出力端子MX_OUTに接続されたラッチ640はこのHデータをラッチする。

【0115】

このような読み出し動作時にクロックインバータ620、またはクロックインバータ630のいずれかが動作状態となっても、MOBライン503はクロックインバータを構成しているトランジスタのゲートに入力されているので、MOBライン503とラッチ640との間の電荷共有現象は発生しない。

20

【0116】

次いで、N番目のクロックでLデータを書き込む場合には、Lデータはデータ入力ドライバー(図示せず)を通して入出力書き込み部507に入力され、入出力書き込み部507は入力されたデータをDINBライン504に出力する。DINBライン504に出力されたデータは書き込みドライバー502に入力された後、ビットライン感知増幅器500を経てセルに格納される。

【0117】

書き込み動作であるため、WT信号はHであり、図6に示したNANDゲート606、607の出力は全部Hになる。したがって、クロックインバータ620、630の出力は全部フローティング状態となるので、ラッチ640の出力に影響を与えない。したがって、ラッチ640はN-1番目のクロックで読み出したHデータをラッチしたままである。

30

【0118】

次いで、N+1番目のクロックでLデータを読み出す場合、セルに格納されたLデータはビットライン感知増幅器500、メイン増幅器501、MOBライン503及び入出力マルチプレクサ506を経由して出力される。

【0119】

読み出し動作であるため、入出力マルチプレクサ506に備えられたクロックインバータ608、またはクロックインバータ609は動作状態となってMOBライン503に出力されたLデータを出力する。

【0120】

この場合、入出力マルチプレクサ506の出力端子MX_OUTに接続されたラッチ640は、N番目のクロックでHデータをラッチしていたが、N+1番目のクロックではLデータをラッチするようになる。

40

【0121】

このように読み出し動作時にMOBライン及びラッチ640の間の電荷共有が発生しないことは前述したのと同様であり、本発明の実施の形態に係るメモリ素子ではリピータ505をMOBライン503に接続して用いてもデータエラーが発生しない。

【0122】

また、本発明の実施の形態に係るメモリ素子では、従来のグローバル入出力ラインを読み出し動作時に使用するMOBラインと書き込み動作時に使用するDINBラインとに分離しているため、MOBラインとDINBラインとを交互に使用してルーチングでき、従来GIOラインが

50

トグリング(toggling)されることで生じていたカップリングノイズ(coupling noise)を減少させることができる。

【0123】

すなわち、MOBラインとDINBラインとを交互にルーチングすれば、例えばMOBラインを利用した読み出し動作時には、DINBラインはH、またはLに固定された値を有しているため、非常に優れた遮蔽(Shielding)効果を有することができ、これによって、カップリングノイズイミュニティが特に弱いリピータを使用してもカップリングノイズイミュニティを増大させることができる。

【0124】

本発明の実施の形態では、信号伝達速度を増加させるために、MOBラインにのみリピータを接続する場合を説明したが、DINBラインにもリピータを接続してもよい。 10

【0125】

なお、本発明は、上記の実施の形態として開示した範囲に限定されるものではない。本発明に係る技術的思想から逸脱しない範囲内で種々の改良、変更が可能であり、それらも本発明の技術的範囲に属する。

【図面の簡単な説明】

【0126】

【図1】従来技術に係るメモリ素子におけるデータの入出力経路を概略的に示すブロック図である。

【図2】従来技術に係るメモリ素子における入出力書き込み部の構成を示す回路図である。 20

【図3】従来技術に係るメモリ素子における入出力マルチプレクサの構成を示す回路図である。

【図4】従来技術に係るメモリ素子におけるリピータの構成を示す回路図である。

【図5】本発明の実施の形態に係るメモリ素子におけるデータの入出力経路を示すブロック図である。

【図6】図5に示した入出力マルチプレクサの構成を示す回路図である。

【図7A】本発明の実施の形態に係るメモリ素子に用いられるクロックドインバータをシンボリックに示す図である。

【図7B】図7Aに示したクロックドインバータの内部構成を示す回路図である。 30

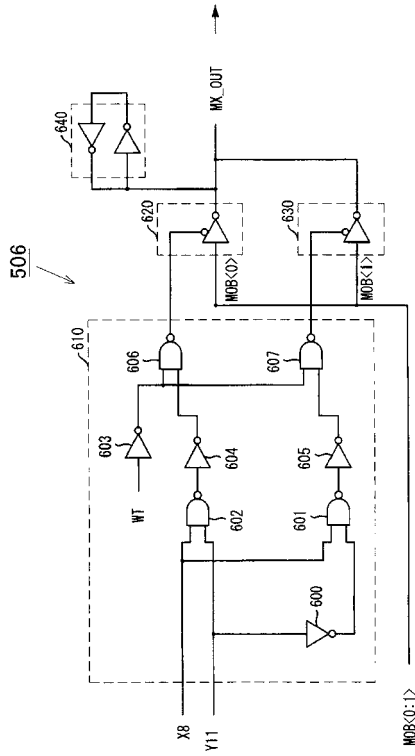
【図8】図5に示した入出力書き込み部の詳細構成を示す回路図である。

【符号の説明】

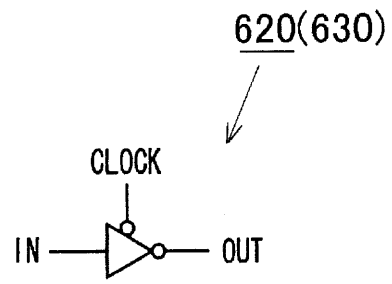
【0127】

500 ビットライン感知増幅器
 501 メイン増幅器
 502 書き込みドライバー
 503 MOBライン
 504 DINBライン
 506 入出力マルチプレクサ
 507 入出力書き込み部 40

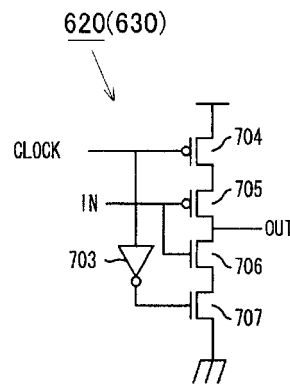
【 図 6 】



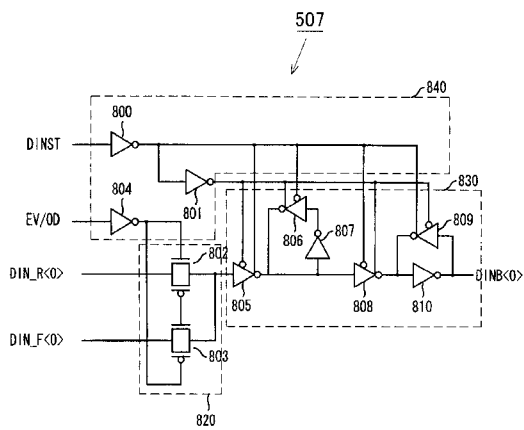
【 図 7 A 】



【 図 7 B 】



【 図 8 】



フロントページの続き

(74)代理人 100096080

弁理士 井内 龍二

(72)発明者 具 岐 峰

大韓民国京畿道利川市夫鉢邑牙美里山136-1

Fターム(参考) 5B015 HH01 HH03 JJ12 KB09