

公告本

410343

申請日期	87年12月9日
案號	87120458
類別	G11C 17/00

A4
C4

410343

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中文	半導體非揮發性記憶裝置
	英文	
二、發明 創作人	姓名	(1) 田中利廣 (2) 品川裕 (3) 志波和佳
	國籍	(1) 日本 (2) 日本 (3) 日本 (1) 日本國東京都秋留野市二宮二二七三-五
	住、居所	(2) 日本國埼玉縣人間市向陽台一-一-二四 一 八-二〇五 (3) 日本國東京都小平市小川東町一-三二-一三 -三〇一
三、申請人	姓名 (名稱)	(1) 日立製作所股份有限公司 株式会社日立製作所 (2) 日立超愛爾・愛斯・愛・系統股份有限公司 株式会社日立超エル・エス・アイ・システムズ
	國籍	(1) 日本 (2) 日本
	住、居所 (事務所)	(1) 日本國東京都千代田區神田駿河台四丁目六番 地 (2) 日本國東京都小平市上水本町五丁目二二番一 號
	代表人 姓名	(1) 金井務 (2) 鈴木仁一郎

裝
訂
線

410343

申請日期	87 年 12 月 9 日
案 號	87120458
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	
	英 文	
二、發明 創作人	姓 名	(4) 鈴川一文 (5) 藤戶正道 (6) 大島隆文
	國 籍	(4) 日本 (5) 日本 (6) 日本 (4) 日本國千葉縣市川市二俣二-一四-三六
	住、居所	(5) 日本國東京都小平市津田町三-二五-四八 (6) 日本國東京都青梅市新町三-五八-二-三〇六
三、申請人	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

裝 訂 線

410343

申請日期	87 年 12 月 9 日
案 號	87120458
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	
	英 文	
二、發明 創作人	姓 名	<input type="checkbox"/> 阿部園子 <input checked="" type="checkbox"/> 松原清
	國 籍	<input type="checkbox"/> 日本 <input checked="" type="checkbox"/> 日本 <input type="checkbox"/> 日本國東京都東大和市中央二-八三九-四-一〇七
	住、居所	<input checked="" type="checkbox"/> 日本國東京都清瀬市竹丘三-二〇-六
三、申請人	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

裝 訂 線

410343

(由本局填寫)

承辦人代碼：
大 類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利, 申請日期: 案號: 有 無主張優先權
 日本 1997年12月26日 9-359258 有主張優先權

有關微生物已寄存於: 寄存日期: 寄存號碼:

(請先閱讀背面之注意事項再填寫本頁各欄)

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

本發明係有關半導體非揮發性記憶裝置之讀取動作速度之高速化技術者，例如可有效適用於可電氣性改寫之快閃記憶體及內藏快閃記憶體之單晶片微電腦的有效技術者。

將構成如快閃記憶體之半導體非揮發性記憶裝置內之記憶陣列的記憶格之連接，呈主位元線和副位元線之階層構成的技術係可減輕位元線之寄生容量，而呈讀取動作速度高速化之有效手段者。

就此例而言，曾有日本特開平4-14871號公報，將位元線呈階層之DINOR型記憶格連接，而日本特開平6-077437號公報中，則將位元線及源極線呈階層之AND型記憶格連接，而日本特開平7-153857號公報中，則提案有將位元線及源極線呈階層，更且將鄰接之記憶格群源極為共通之HICR型記憶格連接。

又，為了令如快閃記憶體之半導體非揮發性記憶裝置之讀取高速進行，差動型感測放大器方式者為有效之手段者。對於差動輸入之讀取位元線（以下稱資料線）和基準位元線（以下稱基準線）之取得方式，及產生資料線和基準線之電流差（電壓差）的以往技術則說明如下。

第1，曾有1991年之IEEE INTERNATIONAL SOLID-STATE CIRCUITS CONFERENCE之第260~261頁記載之公知例。

此第1之公知例係除連接資料線之正規記憶格陣列之

(請先閱讀背面之注意事項再填寫本頁)

裝訂線

五、發明說明 (2)

外，具做為專用之基準線使用之虛擬位元線的記憶格陣列，感測放大器方式係回應位元線方式者。就差動輸入而言，資料線之記憶格之 M 1 M，M 0 M 之感測放大器內之電壓，基準線側為呈 $1/2$ 之電壓之感測放大器感度的差動感測放大器。

第 2，曾有 1995 年之 IEEE INTERNATIONAL SOLID-STATE CIRCUITS CONFERENCE 之第 124 ~ 125 頁記載之公知例。

第 2 之公知例之區段讀取是為記憶排對感測放大器而言呈開放型者，僅於資料線側，預先進行預充電，經由記憶格之資訊，保持預充電準位或經由記憶格放電之後，對基準線側之位元線供給預充電電壓之 $1/2$ 的差動方式者。

但是，上述記載於日本特開平 4 - 14871、日本特開平 6 - 077437、日本特開平 7 - 153857 號號之各公報的快閃記憶體之記憶格連接方式中，連接主位元線和副位元線之電晶體 S i D - M O S 係以可施加高電壓之電晶體加以構成。此係因為於記憶格之改寫動作時，於記憶格之汲極端子或源極端子施加高電壓，以改寫記憶格之臨限值電壓。為此，電晶體 S i D - M O S 之電流供給能力則變低，於選擇及非選擇之信號波形會產生延遲。

又，連接主位元線和副位元線之電晶體 S i D - M O S 之讀取動作的功能（開啓狀態）係位元線之預充電

（請先閱讀背面之注意事項再填寫本頁）

表 · 訂 · 線 ·

五、發明說明 (3)

，感測、放電者。

圖 2 係讀取動作時之連接主位元線和副位元線之電晶體 $S_i D - M O S$ 之閘極信號 $S_i D$ ($i = 0, i = 1$) 之波形和讀取動作的分配工作。閘極信號 $S_i D$ 係為驅動一致於位元線數 (數千位元) 之電晶體 $S_i D - M O S$ ， $S_i D$ 信號波形則會上昇，下降。連接主位元線和副位元線之電晶體 $S_i D - M O S$ 之閘極信號 $S_i D$ 則於未完全封閉之狀態下，進行預充電時，副位元線之電壓則會上昇。於下個讀取周期中，則於差動型感測放大器之讀取位元線和基準位元線智產生電壓差。此電壓差係會影響讀取動作，而妨礙到安定之高速讀取。因此，預充電之開始係需等到 $S_i D$ 信號下降，而該時間則會超出。

更且，感測後之主位元線之放電及副位元線之放電終止之後，切換電晶體 $S_i D - M O S$ 之閘極信號。 $S_i D$ 信號不上昇時，副位元線之放電則不進行。

因此，電晶體 $S_i D - M O S$ 之閘極信號之切換時間 (上昇時間，下降時間) 則呈無用之時間。

使用差動型感測放大器之以往技術之 $I S S C C 9 1$ 、 $P P 2 6 0 - 2 6 1$ 及 $I S S C C 9 5$ ， $P P 1 2 4 - 1 2 5$ ，中，除記憶排外，提案有具有連接專用之基準線之虛擬位元線的回復位元線方式，記憶排對感測放大器而言之開放型方式，呈除記憶排外使用專用之虛擬記憶格的基準線用之方式。但是，在於資料線和基準線上，列 (Y 系) 構成不同之故，在於寄生容量、寄生阻抗上會產生差

(請先閱讀背面之注意事項再填寫本頁)

線
訂

五、發明說明(4)

異。又，控制信號不同之故，時間亦會偏移。更且，資料線和基準線不在同一記憶陣列之時，雜訊亦不同。因基準線用之記憶格被固定之故，經常受到讀取干擾之影響。此等係妨礙讀取速度高速化之主要因素。

本發明之目的係可達成讀取動作速度之高速化之半導體非揮發性記憶裝置，然後提供搭載該半導體非揮發性記憶裝置之資料處理器者。記憶格之連接以主位元線和副位元線之階層構成，提供將感測放大器呈差動型之資料處理器，然後搭載該半導體非揮發性記憶裝置之資料處理器，以達讀取動作速度之高速化為目的者。

為解決上述之課題，本發明之一例係具有主位元線，和連接於主位元線之副位元線，和於副位元線連接源極·汲極路徑，將具有控制閘極之非揮發性記憶格，呈陣列狀複數配置之記憶格陣列；於主位元線，和連接此之副位元線間，配置第1之電晶體之源極·汲極路徑，於副位元線，配置第2之電晶體之源極·汲極路徑為特徵者。

此時，第1之電晶體和第2之電晶體係互補地呈開·關者為佳。又，對主位元線一個而言，副位元線呈複數連接亦可。

就動作而言，如後所說明，第1之電晶體為第1之狀態，第2之電晶體為第2狀態時，進行記憶格之感測，第1之電晶體為第2之狀態，第2之電晶體為第1狀態時，變化主位元線之電位。

更且，第1之電晶體於第1之狀態，第2之電晶體為

(請先閱讀背面之注意事項再填寫本頁)

表
訂
線

五、發明說明 (5)

第 2 之狀態時，主位元線之電位會有變化。

於本發明所揭示之發明，將代表性概要簡單加以說明時，則如下所述。

首先，做為新的記憶格連接方式，於連接主位元線和副位元線之電晶體 S i D - M O S 之外，對副位元線而言，具備進行副位元線之放電的電晶體 S i D - M O S 者。將該副位元線進行放電之電晶體之閘極信號 S i D D B 係將記憶格之連接，呈做為主位元線和副位元線之階層構成之電晶體 S i D - M O S 之閘極信號 S i D 的互補信號。

於圖 3，說明實現讀取動作速度之高速化，連接本發明之主位元線和副位元線之電晶體 S i D - M O S 之閘極信號 S i D (i = 0 , i = 1) 之讀取動作的功能。

經由進行副位元線之放電之電晶體 S i D - M O S，讀取副位元線之放電時間，可於周期之外加以分配。將選擇之周期以外之時間，使用於該副位元線之放電。為 1 此，電晶體 S i D - M O S 之閘極端子信號被選擇之前，可能會開始主位元線及副位元線之預充電。由此，具備可達前導預充電之機能，可縮短讀取動作之周期，使高速讀取動作為可能。

更且，將做為主位元線和副位元線之階層構成的電晶體 S i D - M O S 之閘極端子呈 2 系統。差動型感測放大器之輸入信號之資料線和基準線係在於同一記憶陣列內，將接近資料線之記憶格群的記憶格群呈基準線。選擇資料線和基準線之記憶格群的電晶體 S i D - M O S 閘極信號

(請先閱讀背面之注意事項再填寫本頁)

表
訂
線

五、發明說明(6)

S i D 係同信號者。

差動型感測放大器係於將資料線和基準線預充電中或預充電後，對資料線而言，具備將約記憶格 $1/2$ 電流，流入消除記憶格電流方向之機能。可解決妨礙記載之讀取速度之高速化的主要因素的課題。

做為記憶格連接之另一手段，令該副位元線進行放電之電晶體 S i D B - M O S 之源極端子電壓，呈讀取動作時之記憶格之汲極端子電壓，具備將記憶格之源極端子電壓呈接地電壓的讀取動作。無需預充電，而達讀取速度之高速化。

又，做為記憶格連接之另一手段，令該副位元線進行放電之電晶體 S i D B - M O S 之源極端子電壓呈接地電壓，具備將記憶格之源極電壓呈讀取動作時之記憶格之汲極端子電壓的讀取動作。因而，無需預充電，而達讀取速度之高速化。

配置於副位元線和記憶格之源極端子間之電晶體

S i D B - M O S，以記憶格之改寫（寫入、消除）動作加以使用。於記憶格之汲極端子或源極端子，施加電壓之動作中，具備經由電晶體 S i D B - M O S，連接記憶格之汲極端子和源極端子，將記憶格之汲極及源極之寄生容量之充放電，防止流入記憶格之動作者。而緩和對記憶格之損害。

【圖示之簡單說明】

（請先閱讀背面之注意事項再填寫本頁）

袋
訂
線

五、發明說明(7)

圖 1 係顯示為說明本發明之原理的記憶格連接和記憶格陣列構成及差動型感測放大器電路連接關係圖。

圖 2 係顯示對本實施例之以往讀取動作之連接位元線和副位元線之電晶體之閘極信號 S_{iD} 的波形，和讀取動作之功能的概略圖。

圖 3 係顯示本實施例之 S_{iD} 波形，和進行將副位元線放電之電晶體 $S_{iDB} - MOS$ 之閘極信號 $S_{iDB} - MOS$ 之閘極信號，在於讀取動作之功能的概略圖。

圖 4 係顯示本實施例之半導體非揮發性記憶裝置的機能方塊圖。

圖 5 係顯示本實施例之半導體非揮發性記憶裝置內之內藏電源電路的機能方塊圖。

圖 6 係顯示本實施例中，半導體非揮發性記憶格（堆疊型）之電晶體的截面圖。

圖 7 係顯示本實施例中，半導體非揮發性記憶格（分離型）之電晶體的截面圖。

圖 8 係顯示構成以往記憶體矩陣之記憶格連接例（ $DINOR$ ）的電路圖。

圖 9 係顯示構成以往記憶體矩陣之記憶格連接例（ AND ）的電路圖。

圖 10 係顯示構成以往記憶體矩陣之記憶格連接例（ $HICR$ ）的電路圖。

（請先閱讀背面之注意事項再填寫本頁）

表
訂
線

五、發明說明(8)

圖 1 1 係顯示將本發明適用於記憶格連接 D I N O R 的記憶格連接之電路圖。

圖 1 2 係顯示將本發明適用於記憶格連接 A N D 的記憶格連接之電路圖。

圖 1 3 係顯示將本發明適用於記憶格連接 H I C R 的記憶格連接之電路圖。

圖 1 4 係顯示記憶格改寫動作所產生之充電電流的截面模式圖。

圖 1 5 係將以適用本發明之記憶格之改寫動作所產生之充電電流為對策之截面模式圖。

圖 1 6 係顯示適用本發明之記憶格之改寫動作之時間波形之圖。

圖 1 7 係顯示以往之讀取動作所進行預充電之主位元線、副位元線等之電位波形圖。

圖 1 8 係顯示於本發明向前倒地進行預充電之主位元線、副位元線等之電位波形圖。

圖 1 9 係顯示本發明之前倒地預充電之時間波形圖。

圖 2 0 係顯示內藏本發明之半導體非揮發性記憶裝置之單晶片微電腦的機能方塊圖。

圖 2 1 係顯示內藏於本實施例之單晶片微電腦之半導體非揮發性記憶裝置之讀取動作圖。

圖 2 2 係使用本實施例之半導體非揮發性記憶裝置的電腦系統之機能方塊圖。

圖 2 3 係使用本實施例之半導體非揮發性記憶裝置的

(請先閱讀背面之注意事項再填寫本頁)

袋
訂
線

五、發明說明(9)

卡片系統之機能方塊圖。

元件符號對照表

1	字元線電極
2	汲極電極
3	源極電極
4	基板電極
5	控制閘極
6	浮閘
7	N型擴散層
8	層間絕緣膜
9	隧道絕緣膜 9
1 0	P型基板
1 1	P型擴散層
1 2	快閃記憶體
1 3	R O M
1 4	R A M
1 5	D M A 控制器
1 6	串列·交談·界面電路
1 7	計時電路
1 8	時脈產生電路
1 9	匯流排序列控制器
2 0	半導體晶片
2 1	C P U

(請先閱讀背面之注意事項再填寫本頁)

訂 線

五、發明說明 (10)

X A D B	行位址緩衝
X D C R	行位址解碼器
D L	資料門鎖電路
S A	感測放大器電路
Y G - G a t e	第 1 列閘極陣列電路
Y W - G a t e	第 2 列閘極陣列電路
Y T - G a t e	第 3 列閘極陣列電路
Y A D B	列位址緩衝電路
Y D C R	列位址解碼器
S V C	源極·通道電位切換電路
D I B	輸入緩衝電路
D O B	輸出緩衝電路
M P	多工器電路
M C	模式控制電路
C S B	控制信號緩衝電路
V S	內藏電源電路
I O P 1 ~ I O P 9	輸出入埠
I A B	主位址匯流排
I D B	主資料匯流排
P A B	周邊位址
D B	周邊資料匯流排

【圖面之詳細說明】

以下，將本發明之實施例根據圖面加以詳細說明。

(請先閱讀背面之注意事項再填寫本頁)

表
訂
線

五、發明說明(11)

圖 1 係於內藏本發明之一實施例之半導體非揮發性記憶裝置及單晶片微電腦之半導體非揮發性記憶裝置中，顯示為說明原理之記憶格連接和記憶陣列構成和差動型感測放大器電路連接關係圖，圖 2 係顯示對往讀取動作之

S i D 的波形，和讀取動作之功能的概略圖，圖 3 係顯示本實施例之 S i D 波形，和 S i D B - M O S 波形，和讀取動作之功能的概略圖，圖 4 係顯示本實施例之半導體非揮發性記憶裝置的機能方塊圖，圖 5 係內藏電源電路的機能方塊圖，圖 6、7 係顯示半導體非揮發性記憶格之電晶體的截面圖，圖 8 ~ 10 係顯示構成以往記憶體矩陣之記憶格群之連接方式的電路圖，圖 11 ~ 13 係顯示本發明的連接方式之電路圖，圖 14 係顯示記憶格改寫動作所產生之充電電流的截面模式圖，圖 15 係將以本發明之充電電流為對策之截面模式圖，圖 16 係顯示該時間波形之圖，圖 17 係顯示以往主位元線、副位元線等之電位波形圖，圖 18 係顯示於本發明之主位元線、副位元線等之電位波形圖，圖 19 係顯示本發明之時間波形圖，圖 20 係顯示內藏半導體非揮發性記憶裝置之單晶片微電腦的機能方塊圖，圖 21 係顯示該讀取動作之圖，圖 22 係使用半導體非揮發性記憶裝置的電腦系統之機能方塊圖，圖 23 係使用半導體非揮發性記憶裝置的卡片系統之機能方塊圖。

經由圖 4 說明本實施例之半導體非揮發性記憶裝置之構成。本實施例之半導體非揮發性記憶裝置係例如將臨限值電壓電氣性改寫之電晶體所成之記憶陣列所構成之快閃

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (12)

記憶體，係由記憶陣列 Memory Array、行位址緩衝器 X A D B、行位址解碼器 X D C R、資料閘鎖電路 D L、感測放大器電路 S A、第 1 之列閘極陣列電路 Y G - G a t e、第 2 之列閘極陣列電路 Y W - G a t e、第 3 之列閘極陣列電路 Y T - G a t e，列位址緩衝器 Y A D B、列位址解碼器 Y D C R、源極·通道電位切換電路 S V C、輸入緩衝電路 D I B、輸入緩衝電路 D O B、多工器電路 M P、模式控制電路 M C、控制信號緩衝電路 C S B、內藏電源電路 V S 等所構成。

又，於此半導體非揮發性記憶裝置中，於控制信號緩衝電路 C S B 中，雖未特別加以限制，例如輸入供於外部端子 / C E、/ O E、/ W E、S E 等之晶片許可信號、輸出允許信號、寫入允許信號、串列時脈信號等，對應此等之信號，產生內部控制信號之時間信號，又自模式控制電路 M C，對外部端子 / R (/ B)，輸出就緒 / 忙碌信號。然而本實施例之 / C E、/ O E、/ W E 等之「 / 」係顯示互補信號。

更且，於內藏電源電路 V S 中，雖未特別加以限制，例如自外部輸入電源電壓 V c c，生成讀取字元線電壓 V r w、寫入字元線電壓 V w w、對應低臨限值電壓 V t h L 之寫入檢字元線電壓 V w v、消除字元線電壓 V e w、對應於高臨限值電壓 V t h H 之消除檢查字元線電壓 V e v、消除通道·源極電壓 V e c、寫入汲極端子電壓 V w d、感測放大器電路電壓 V S A、寫入汲極極電

(請先閱讀請背面之注意事項再填寫本頁)

表
訂
線

五、發明說明 (13)

壓轉換電壓 V_{wt} 等。然而，上述各電壓自外部供給亦可。

在此所生成之各電壓係讀取字元線電壓 V_{rw} 、寫入字元線電壓 V_{ww} 、寫入檢字元線電壓 V_{wv} 、消除字元線電壓 V_{ew} 、消除檢查字元線電壓 V_{ev} 及寫入汲極極電壓轉換電壓 V_{wt} 輸入於列位址解碼器 $XDCR$ ，消除通道·源極電壓 V_{ec} 輸入至源極·通道電位切換電路 $SV C$ ，寫入汲極端子電壓 V_{wd} 則各輸入至列閘極陣列電路 $YW - Gate$ 、 $YT - Gate$ 。

於圖 4 中，感測放大器電路 SA 係包含將圖 1 所示信號 PC 、 $HPC0$ 、 $HPC1$ 、 DCS 呈閘極輸入之電晶體。第 3 之列閘極陣列電路 $YT - Gate$ 係包含將 $DCB0$ 、 $DCB1$ 呈閘極輸入之電晶體。

於此半導體非揮發性記憶裝置中，透過接受自外部供予之行、列位信號址 AX 、 AY 之行、列位址緩衝器 $XADB$ 、 $YADB$ 所形成之互補位址信號，則供予行、列位址解碼器 $XDCR$ 、 $YDCR$ 。又，雖未特別加以限制，例如上述行、列位址緩衝電路 $XADB$ 、 $YADB$ 係經由裝置內部之晶片許可選擇信號所活化，處理自外部端子之位址信號 AX 、 AY ，形成自外部供給之位址信號和同相之內迎位址信號和逆相之位址信號所成之互補位址信號。

行位址解碼器 $XDCR$ 係根據行位址緩衝器 $XADB$ 之互補位址信號，形成記憶格群之字元線 WL 之選擇信號

(請先閱讀背面之注意事項再填寫本頁)

袋
訂
線

五、發明說明 (14)

。由此，於記憶陣列 Memory Array 內，指定任意之字元線 W L 及位元線 B L，選擇所期望之記憶格。

尤其雖未特別加以限制，例如記憶格之選擇係為進行 8 位元、至 16 位元或 32 位元單位等之寫入、讀取，經由行位址解碼器 X D C R 和列位址解碼器 D C R，記憶格係被選擇 8 個至 16 個或 32 個等。1 個資料方塊之記憶格係於字元線方向（行方向）呈 X 個，於資料線方向（列方向）呈 Y 個時，X x Y 個之記憶格群之資料方塊則由 8 個至 16 個或 32 個等所構成。

然而，於本實施例中，於內藏電源電路 V S 所產生之電壓係於內藏電源電壓較外部電源電壓 V c c 之低之電壓值之產生時，使用阻抗或 M O S 電晶體，分壓外部電源電壓 V c c，或於較外部電源電壓 V c c 為高之電壓值之產生時，使用昇壓泵電路。

圖 5 中，說明需要內藏電源電壓之精度時之方塊構成。內藏電源電路 V S 係基準電壓產生電路、降壓電路、昇壓泵電路、限制電路、電源切換電路所構成，輸出電源電壓係例如連接於選擇字元線 W L 之行位址解碼器 X D C R 內之電源變換電路、驅動電路，由模式控制電路 M C 所控制。對應低臨限值電壓 V t h L 之寫入檢查字元線電壓 V w v 之產生，係於以電流反射電路等所構成之降壓電路，使用基準電壓產生電路之基準電壓，達到電壓精度之提升。

讀取動作時之預充電及產生 1 / 2 電流之電晶體之電

(請先閱讀背面之注意事項再填寫本頁)

表
訂
線

五、發明說明 (15)

源電壓 V_{SA} 係與寫入檢查字元線電壓 V_{wv} 之產生同樣地，於構成電流反射電路等所成之降壓電路，經由使用基準電壓產生電路之基準電壓，以達成電壓精度之提升。

上述記憶格係雖未特別加以限制，例呈與 EPROM 之記憶格類似之構成，為具有控制閘和浮閘之公知記憶格，或具有控制閘和浮閘及選擇閘之公知記憶格。在此，說明具有控制閘和浮閘之記憶格的構造。

圖 6 之記憶格係堆疊型之記憶格構造。

圖 7 係分離型之記憶格構造。雖未特別在加以限制，例如形成於單結晶 p 型矽所成之半導體基板上。

對於複數連接記憶格之記憶格群，係如圖 6 及圖 7 所示，經由字元線電極 1、汲極電極 2、源極電極 3、基板電極 4、控制閘極 5、浮閘 6、源極·汲極範圍之高不純物濃度之 N 型擴散層 7、層間絕緣膜 8、隧道絕緣膜 9、P 型基板 10 所成之電晶體 1 元件，構成 1 個之快閃消除型之 EEPROM。

對於複數連接記憶格之記憶格群而言，曾提案種皇之連接例，雖未特別加以限制，例如有圖 8 ~ 圖 10 所示之 DINOR 連接方式、AND 連接方式、HICR 連接方式等，對於該記憶格連接方式，將本發明之副位元線進行充電之電晶體 SiDB-MOS，連接於副位元線。

圖 11 ~ 圖 13 所示者係對應圖 8 ~ 圖 11 之本發明之記憶格連接方式。但是，非限制於此，包含做為主位元線和副位元線之階層構成的電晶體 SiDB-MOS 之其

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (16)

他連接方式，亦可適用於本發明。

圖 8 係由 D I N O R 連接方式之記憶格之連接例，將位元線呈階層構成之電晶體 S i D B - M O S ，包含於記憶格之外，記憶格之 M O S 電晶體之閘極端子係連接於字元線 W L 0 ~ W L i ，記憶格群之汲極端子係連接於副位元線，介由令位元線呈階層構成之電晶體 S i D B - M O S ，連接於位元線 B L 0 ~ B L 2 。又，記憶格之源極端子 3 什 2 十接於共通源極線。以 D I N O R 連接方式將適用於本發明之連接方式，示於圖 1 1 。對副位元線和記憶格之源極，配置電晶體 S i D B - M O S 。

圖 9 係顯示 A N D 連接方式之連接例。令主位元線和副位元線呈階層構成之電晶體 S i D B - M O S ，和令共通源極和記憶格群之副源極線呈階層構成之電晶體 S i S - M O S 則連接於記憶格之汲極及源極端子。將以 A N D 連接方式，適用於本發明之連接方式示於圖 1 2 。對副位元線和鄰接記憶格群之共通副源極線，配置電晶體 S i D B - M O S 。

具體而言，使用將適用於 D I N O R 連接方式之記憶格連接方式示於圖 1 ，和半導體非揮發性記憶裝置之構成示於圖 4 ，使連接關係明確化。記憶陣列係對於記憶格 M O S M O ~ M 1 5 ，和字元線 W L 0 ~ W L 3 、位元線 B L 0 ~ B L 3 、位元線階層電晶體 S i D - M O S 之閘極信號 S 0 D ~ S 1 D 、副位元線和記憶格群之源極線配置電晶體 S i D B - M O S 之閘極信號 S 0 D B ~

(請先閱讀背面之注意事項再填寫本頁)

表
訂
線

五、發明說明 (17)

S 1 D B、以及共通之源極線所構成者。共通源極線之電位及記憶格陣列之井區電位，係經由源極·通道電位切換電路 S V C 所切換。圖 1 之記憶陣列中，配置於同行之記憶格，例如 M 0、M 2、M 4、M 6 之控制閘極係連接於同一之字元線 W L 0，配置於同列之記憶格，例如 M 0、M 1 之汲極係介由將 S D 0 信號呈閘極之電晶體 S i D - M O S，M 8、M 9 之汲極則介由將 S D 1 信號呈閘極之電晶體 S i D - M O S，連接於同一位元線 B L 0。

記憶格群和電晶體 S i D B - M O S 之閘極信號之關係係如下所述。記憶格群 M 0，M 1、記憶格群 M 6，M 7、記憶格群 M 1 0，M 1 1 及記憶格 M 1 2，M 1 3 之副位元線係介由將 S 0 D 信號呈閘極之電晶體 S i D B - M O S，連接於各別之位元線 B L 0、B L 3、B L 1 及 B L 2。記憶格群 M 2，M 3、記憶格群 M 4，M 5、記憶格群 M 8，M 9 及記憶格 M 1 4，M 1 5 之副位元線係介由將 S 1 D 信號呈閘極之電晶體 S i D - M O S，連接於各別之位元線 B L 1、B L 2、B L 0 及 B L 3。

由圖 1 得知，各連接記憶格群之副位元線和記憶格之源極線之電晶體 S i D B - M O S 之閘極信號係連接該記憶格群之副位元線和位元線之電晶體 S i D - M O S 之閘極信號的互補信號。

於主位元線 B L 0 ~ B L 3 之單側，連接將控制信號 Y W 呈閘極信號之電晶體 Y W - M O S，介由 Y W - M O S 連接保持記憶格之寫入資訊的資料閘鎖電路 D L。

(請先閱讀背面之注意事項再填寫本頁)

表
訂
線

五、發明說明 (18)

於位元線 B L 0 ~ B L 3 之另一側，連接將阻止傳達至感測放大器電路 S A 等之控制信號 Y T 呈閘極信號之電晶體 Y T - M O S 。更且，介由接受經由上述列位址解碼器 Y D C R 所形成之選擇信號之列選擇開關 Y G - M O S ，連接於感測放大器電路 S A 。電晶體 Y W - M O S 及 Y T - M O S 係由可施加高電壓之電晶體所構成。

於圖 4 中，於資料輸出入線，接受自外部端子 I / O 介由多工器電路 M P 所輸入之寫入信號的寫入資料之輸入緩衝電路 D I B 之外部端子，則於寫入時介由接受呈開啓之寫入控制信號的開關 M O S 加以連接，將寫入資訊經由主位元線，於資料閘鎖電路 D L 保持資訊。於此寫入時，資料閘鎖電路 D L 之電源電壓則呈記憶格之汲極端子電壓，經由輸入之資訊，進行記憶格之寫入。

讀取動作中，感測放大器電路 S A 動作，更且通過讀取資料之輸出緩衝電路 D O B ，介由多工器電路 M P ，連接於外部端子 I / O 。

臨限值高之記憶格係於該浮閘，蓄積電子之故，於控制閘極，即於字元線 W L ，供予選擇電位時，不會流有汲極電流。另一方面，於浮閘不進行電子植入之記憶格臨限值為低 1 ，於字元線 W L 供予選擇電位之時，流有電流。將此汲極電流經由以感測放大器電路 S A 讀取，令記憶格之臨限值之高低呈記憶裝置之資訊。

讀取動作、改寫動作（消除動作及改寫動作）等之動作模式中，經由上述外部端子 / C E 、 / W E 之晶片許可

（請先閱讀背面之注意事項再填寫本頁）

表
訂
線

五、發明說明 (19)

信號、寫入許可信號之活性和外部端子 I / O 之資料、例如讀取動作 0 0 H、消除動作 2 0 H、寫入動作 1 0 H 等命令輸入，而呈各動作模式，於此時，於控制信號緩衝電路 C S B，於各動作產生必要之內部信號。

又，是否為改寫動作中，或改寫動作終止，消除動作，寫入動作，則經由狀態探訊或就緒 / 忙碌信號等，可由外部得知。區段單位之連續地讀取動作及區段單位之寫入資料（區段資料）之接受等中，於自外部端子 S C 之信號中，使之同步，加以輸出及輸入亦可。

以下，對於消除動作加以說明。選擇記憶格之各電壓係於控制閘極施加例如呈 1 0 V 程度，井區及源極施加負之電壓之例如 - 9 V 程度者。於浮閘和通道間產生電壓差，通道內之電子則於浮閘內，以 FOWLER-NORDHEIM 隧道現象加以植入。記憶格之汲極端子係呈開啓，可防止流有介由記憶格之定額電流。於圖 4 中，供予位址解碼器

X D C R 之電壓為消除字元線電壓 V_{ew} ，消除通道·源極電壓 V_{ec} 則供給通道·源極電位切換電路 S V C。將位元線呈階層構成之

電晶體 S i D - M O S 之閘極信號係呈負電壓之消除通道·源極電壓 V_{ec} 。又。副位元線和記憶格之源極間電晶體 S i D B - M O S 之閘極信號係呈接地電壓 V_{SS} (0 V)。

由此，可令消除時之記憶格之臨限值電壓，呈讀取時之選擇字元線電壓的 V_{rw} 以上。於消除動作中，經由將

(請先閱讀背面之注意事項再填寫本頁)

線

五、發明說明 (20)

消除分爲幾次之消除脈衝的重覆施加，進行消除的同時，於消除後，每次進行檢查記憶格之臨限值電壓的動作（消除檢查）。消除檢查字元線電壓 V_{ev} 係例如設定呈 5 V 程度。

寫入動作中，將控制閘施加例如 - 9 V 程度之負電壓，於寫入之記憶格之汲極端子，選擇性地例如施加 5 V 程度之電壓，於浮閘和汲極間產生電壓差，浮閘內之電子則於汲極側，以 Fowler - Nordheim 隧道現象加以抽出。於非選擇之記憶格之汲極端子，由於施加接地電壓之 V_{SS} (0 V)，抑制電壓差，防止浮閘內之電子之放出。於圖 4 中，供予位址解碼器 $XDCR$ 之電壓爲寫入字元線電壓 V_{ww} ，寫入汲極肯子電壓 V_{wd} 則供予資料閘鎖電路 DL 。令位元線呈電晶體 $SiD - MOS$ 之閘鎖信號係考量 $SiD - MOS$ 本身之臨限值電壓，例如施加 6 V 程度之電壓。又，副位元線和記憶格之源極間電晶體 $SiDB - MOS$ 之閘極信號係呈消除同樣時之接地電壓之 V_{SS} (0 V)。

由此，可令寫入時之記憶格之臨限值電壓，呈讀取時之選擇字元線電壓 V_{rw} 以下。於寫入動中，與消除動作同樣地，經由重覆施加將寫入分爲幾次之寫入脈衝，進行寫入的同時，於寫入之後每次進行檢驗記憶格之臨限值電壓之動作（寫入檢查）。寫入檢查字元線電壓 V_{wv} 係例如設定呈 2 V 程度。

記憶格之改寫動作（寫入動作、消除動作）中，於記

（請先閱讀背面之注意事項再填寫本頁）

訂 線

五、發明說明 (21)

憶格之汲極端子或源極端子，施加電壓之時，如圖 1 4 所示，字元線即控制閘極之電壓為正電壓時，記憶格之汲極及源極之寄生容量之充放電流則流入記憶格。此瞬間中，產生熱電子，於浮閘注入電子，記憶格之臨限值電壓則變動，使隧道膜通過電子，對隧道膜而言，造成損傷。

圖 1 5 係顯示適用配置於本發明之副位元線和記憶格之源極端子間的電晶體 S i D B - M O S 的記憶格改寫動作。於記憶格之汲極端子或源極端子施加電壓之動作中，經由電晶體 S i D B - M O S ，連接記憶格之汲極端子和源極端子，防止記憶格之汲極及源極之寄生容量之充放電，流入記憶格。

圖 1 6 中，顯示於汲極側抽出電子之寫入動作之例的時間波形。於至少記憶格之汲極端子，施加電壓時及切斷電壓之時，閘極信號 S i D B 被活化，連接記憶格之汲極端子和源極端子。

將配置於副位元線和記憶格之源極端子間的電晶體 S i D B - M O S ，經由於記憶格之改寫（寫入、消除）動作加以使用，可防止記憶格之汲極及源極之寄生容量之充放電，流入記憶格，可抑制記憶格之臨限值電壓之變動之故，可進行安定高速讀取之動作。

圖 1 7 中，顯示於以往之記憶格敦接方式圖 8 中，於讀取動作中前導進行之預充電的主位元線、副位元線等之電位波形。連接位元線和副位元線之電晶體 S i D - M O S 之閘極信號 S i D 則於未完全封閉之狀態，活化下

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (22)

個讀取周期 1 之預充電信號 P C 時，副位元線之電壓則上昇 0.5 V 之程度。接著之讀取周期 2 中，於差動型感測放大器之資料線和基準線會產生電壓差。此電壓差係影響讀取動作，妨礙安定高速之讀取。因此，預充電之開始係必需等到 S i D 信號之提升，該時間則呈額外者。

於圖 1 8 中，顯示將本發明之副位元線以設置進行放電之電晶體 S i D B - M O S 的記憶格連接方式，於讀取動作進行前導預充電之主位元線、副位元線等之電位波形。經由讀取周期 1 之預充電信號 P C，副位元線之電壓雖暫時上昇，因活化將副位元線進行放電之電晶體 S i D B - M O S 之閘極信號 S i D B 之故，副位元線之電壓係介由電晶體 S i D B - M O S，再回到接地電壓 V S S。因此，於下個讀取周期 2 中，於差動型感測放大器之資料線和基準線間不會產生電壓差。

將預充電之開始經由採 S i D 信號下降前之前導預充電方式，可縮短讀取動作之周期，可進行高速之動作。

於圖 1 9 中，顯示圖 1 之讀取動作所需之信號線之讀取動作開始時之時間波形。於讀取動作中，令在於圖 1 之主位元 B L 0 ~ B L 3 之兩側之電晶體 Y W - M O S 之閘極信號 Y W 呈非活性，電晶體 Y T - M O S 之閘極信號 Y T 呈活性。預充電及 1 / 2 電流之產生電路之電源電壓係不依賴外部電壓 V C C，施加於裝置內部所產生之安定化電源電壓，例如施加 2.5 V 程度之電壓。預充電信號 P C 之開始係與欲輸入列位址之 Y G - G a t e 之選擇同

(請先閱讀背面之注意事項再填寫本頁)

表
訂
線

五、發明說明 (23)

樣之時間。又，此時，將主位元線呈接地電壓之 V_{SS} 的電晶體閘極信號 $DCB0$ 呈非活性。換言之，將呈差動感測放大器之輸入的資料線以及基準線以外之主位元線呈接地電壓 V_{SS} 。由此，資料線以及基準線之鄰接主位元線的電位係接地電壓 V_{SS} ，經常有安定之負荷容量。將預充電對資料線及基準線加以進行。

配合預充電信號 PC 之終了，對資料線而言，將記憶格之約 $1/2$ 電流，使流於記憶格電流抵銷之方向的電晶體之閘極信號 $HPC0$ 呈活化。此時間係為預充電信號 PC 活化中亦可。之後，主位元線和副位元線之階層構成之電晶體 $SID-MOS$ 的閘極信號 SID 則上昇，將副位元線進行放電之電晶體 $SIDB-MOS$ 則下降。

現在，讀取對象之記憶格 $M0$ 之臨限值電壓為低狀態 V_{thL} 時，經由自記憶格之電流減去 $1/2$ 電流的電流，主位元線之電壓則較預充電電壓下降。又，讀取對象之記憶格 $M0$ 之臨限值電壓為高狀態 V_{thH} 中，流入 $1/2$ 電流，主位元線之電壓則較預充電電壓上昇。經由比較此資料線 ($BL0$) 電壓和基準線 ($BL2$) 之預充電電壓，可進行安定高速之讀取動作。

以上，將本發明之發明，根據實施例具體做了說明，但本發明非限定於前述實施例，只要其要旨不超脫該範圍下，可進行種種之變更。

例如，對於本實施例之半導體非揮發性記憶裝置，雖對於適用於快閃記憶體之情形做了說明，但本發明非限定

(請先閱讀背面之注意事項再填寫本頁)

訂 · 線

五、發明說明 (24)

於前述實施例，可廣泛應用於 E E P R O M、E P R O M 等之電氣性可改寫之其他非揮發性之半導體記憶裝置。

圖 20 中，顯示適用本發明之適切單晶片微電腦之方塊圖。同圖中，21 係 C P U (中央處理器)、12 係前述記載之實施例之半導體非揮發性記憶裝置的快閃記憶體，13 係記憶上述 C P U 21 需執行之程式或固定資料之 R O M、14 係記憶上述 C P U 21 之演算結果，提供 C P U 之作業範圍之 R A M、15 係司掌於上述各記憶體和外部之主記憶體 (圖外之硬碟記憶裝置等) 內間，將資料以所定之方塊單位加以傳送的控制之 D M A 控制器。

又，16 係與外部裝置間，進行串列通訊之串列·交談·界面電路、17 係做為 C P U 21 之計時器加以工作之計時電路、18 係具有振盪電路，形成系統時脈 C K 之時脈產生電路、I O P 1 ~ I O P 9 係晶片之輸出入埠。此實施例之微電腦係連接上述 C P U 21，和連接於記憶體 12、13、14 或 D M A 控制器 15 及輸出入埠

I O P 間之主位址匯流排 I A B 和主資料匯流排 I D B 之外，設置連接串列通訊用之串列·交談·界面電路 16 或計時電路 17 等之周邊電路和輸出入埠 I O P 1 ~

I O P 9 的周邊位址匯流排 P A B 及周邊資料匯流排 P D B。

更且，控制上述主位址匯流排 I A B 及主資料匯流排 I D B 和周邊位址匯流排 P A B 及周邊資料匯流排 P D B 間之信號傳送的同時，設置控制各匯流排之狀態的匯流排

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (25)

序列控制器 19。雖未特別加以限制，於上述周邊位址匯流排 P A B 及周邊資料匯流排 P D B 中，雖連接所有之輸出入埠 I O P 1 ~ I O P 9，於主位址匯流排 I A B 及主資料匯流排 I D B 中，僅連接一部分之輸出入埠 I O P 1 ~ I O P 5。

然而，示於圖 20 之 C P U 21 及電路方塊 (12 ~ 19) 以及匯流排 (I A B、I D B、P A B、P D B) 係形成於如單結晶矽基板之一個半導體晶片 20 上。

於圖 21 中，顯示內藏於本實施例之單晶片微電腦之半導體非揮發性記憶裝置之讀取動作。對應於系統時脈 C K 的讀取係經由圖 20 之匯流排序列控制器 19 所產生之快閃記憶體模組選擇信號 M S N 及讀取選通脈衝信號 R D N 而可達成。

又，本實施例之半導體非揮發性記憶裝置中，不限於以快閃記憶體做為記憶裝置單位使用之情形，例如可廣泛做為電腦系統、數位、靜止、照相系統、汽車系統等之各種系統之記憶裝置，做為一例經由圖 22，對於電腦系統進行說明。

於圖 22 中，此電腦系統係由做為資訊機器之中央處理裝置 C P U、構築於資訊處理系統內之 I / O 匯流排，匯流排單元、存取主記憶體或擴充記憶體等之高速記憶體的記憶體控制單元 Memory Control Unit、做為主記憶記憶體之 D R A M、收容基本控制程式之 R O M、於前端連接鍵盤之鍵盤控制器 K B D C 等加以構成。做為顯示連接器

(請先閱讀背面之注意事項再填寫本頁)

訂 線

五、發明說明 (26)

之 Display Adapter 則連接於 I / O 匯流排，於上述 Display Adapter 之前端，連接顯示器 Display。

然後，上述 I / O 匯流排中，連接並列埠 Parallel Port I / F、滑鼠等之串列埠 Serial Port I / F、軟碟驅動裝置 F D D、變換上述 I / O 匯流排之 H D D I F 的緩衝控制器 H D D Buffer。又，連接自上述憶體的記憶體控制單元 Memory Control Unit 之匯流排，連接做為擴充 R A M 及主記憶記憶體之 D R A M。

在此，對於此電腦系統之動作，加以說明。當切入電源開始動作之時，首先上述中央處理裝置 C P U 係令上述 R O M 透過上述 I / O 匯流排加以存取，進行初期診斷、初期設定。然後，自補助記憶裝置將系統程式，載入做為主記憶記憶體之 D R A M。又，上述中央處理裝置 C P U 係透過上述 I / O 匯流排，於 H D D 控制器，做為存取 H D D 之動作。

然後，系統程式之載入終止之時，根據使用者時處理要求，進行處理。然而，使用者係經由上述 I / O 匯流排上之鍵盤控制器 K B D C 或顯示連接器 Display Adapter，進行處理之輸出入地進行作業。然後，依需要，活用連接於連接並列埠 Parallel Port I / F、串列埠 Serial Port I / F 的輸出入裝置。

又，做為本體上之主記憶記憶體的 D R A M 中，主記憶容量不足之時，經由擴充 R A M 補足主記憶。使用者欲讀取檔案之時，使用者係將上述 H D D 做為補助記憶裝置

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (27)

，要求向補助記憶裝置存取。然後，經由本發明所構成之快閃檔案系統係接受此，進行檔案資料之存取。

如以上所述，快閃記憶體等之記憶裝置係可廣泛適用做為電腦系統之快閃檔案系統。

更且，筆記型個人電腦、攜帶資訊終端等之電腦系統中，於系統使用可插脫自如之 P C 卡等。

圖 2 3 係顯示 P C 卡之例。具有 R O M 及 R A M 之中央處理器 C P U ，和於此 C P U 間，呈可資料收送訊地加以連接的快閃陣列 F L A S H - A R R A Y 、控制器 Controller 、和可進行資料收送訊加以連接之控制邏輯電路 Controll Logic 、緩衝電路 Buffer 、界面電路 Ibufferface 等所構成。

又，於此 P C 卡中，於快閃陣列 FLASH-ARRAY 、控制邏輯電路 Controll Logic 、緩衝電路 Buffer 、界面電路 Ibufferface 間，可進行資料之收送訊，P C 卡係於系統本體之插入狀態中，介由界面電路 Ibufferface, 連接於系統匯流排 SYSTEM-BUS 。

例如，之中央處理器 C P U 係經由 8 位元之資料形式，不進行整體之管理，司掌界面控制、改寫及讀取動作控制，更且司掌演算處理等，又快閃陣列 FLASH-ARRAY 係例如以 3 2 M 位元之快閃驅動裝置陣列加以形成，例如 1 區段係由 5 1 2 位元組之資料區域和 1 6 位元組之應用區域所成，8 1 9 2 區段呈 1 驅動裝置。

又，控制器 Controller 係由格基台或碟片導入 I C 等所

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (28)

形成，設置 D R A M 或 S R A M 等之區段表。由控制邏輯電路 Controll Logic 係產生時間信號、控制信號，又，緩衝電路 Buffer 係為改寫時之資料之暫時收容而使用。

於本案中揭示之發明中，簡單說明代表性之效果，則如下所述。(1) 做為記憶格連接方式，除連接主位元線和副位元線之電晶體 S i D - M O S 外，對副位元線而言，具備將副位元線進行預充電之電晶體 S i D B - M O S，於讀取動作時，選擇 S i D - M O S 之閘極端子信號之前，經由開始位元線之預充電，可縮短讀取動作之周期，可進行高速動作。

(2) 將差動型感測放大器之讀取位元線和基準位元線，呈同一記憶陣列內地，可進行安定之高速讀取動作。

(3) 將配置於副位元線和記憶格之源極端子間的電晶體 S i D B - M O S，經由以記憶格之改寫(改寫、消除)動作使用，可防止記憶格之汲極及源極之寄生容量的充放電流至記憶格，可抑制記憶格之臨限值電壓之變動之故，而可進行安定之高速讀取動作。

將本案之圖面中所稱之符號說明示於如下。X A D B 係行位址緩衝，X D C R 係行位址解碼器，D L 係資料門鎖電路，S A 係感測放大器電路，Y G - G a t e 係第 1 之列閘極陣列電路，Y W - G a t e 係第 2 之列閘極陣列電路，Y T - G a t e 係第 3 之列閘極陣列電路，Y A D B 係列緩衝器，Y D C R 係列位址解碼器，S V C 係源極·通道電位切換電路，D I B 係輸入緩衝電路，

(請先閱讀背面之注意事項再填寫本頁)

表
訂
線

五、發明說明 (29)

D O B 係輸出緩衝電路，M P 係多工器電路，M C 係模式控制電路，C S B 係控制信號緩衝電路，V S 係內藏電源電路，1 係字元線電極，2 係汲極電極，3 係源極電極，4 係基板電極，5 係控制閘極，6 係浮閘，7 係汲極，源極範圍之高不純物濃度之 N 型擴散層，8 係層間絕緣膜，9 係層間絕緣膜，10 係 P 型基板，11 係低不純物濃度之 P 型擴散層，12 係快閃記憶體（半導體非揮發性記憶裝置），13 係 R O M，14 係 R A M，15 係 D M A 控制電路，16 係串列·交·交談·界面電路，17 係計時電路，18 係時脈產生電路，19 係匯流排序列控制器，20 係半導體晶片，21 係 C P U（中央處理器），I O P 1 ~ I O P 9 係輸出入埠，I A B 係主位址匯流排，I D B 係主資料匯流排，P A B 係周邊位址匯流排，P D B 係周邊資料匯流排。

（請先閱讀背面之注意事項再填寫本頁）

表
訂
線

四、中文發明摘要(發明之名稱： 半導體非揮發性記憶裝置)

本發明係一種非揮發性半導體記憶裝置，其特徵係具有

主位元線，

和連接於主位元線之副位元線，

和於上述副位元線連接源極·汲極路徑，將具有控制閘極之非揮發性記憶格，呈陣列狀複數配置之記憶格陣列；

於上述主位元線，和連接此之副位元線間，配置第1之電晶體之源極·汲極路徑，

於上述副位元線，連接第2之電晶體之源極·汲極路徑者。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

英文發明摘要(發明之名稱：)

訂

六、申請專利範圍

1. 一種非揮發性半導體記憶裝置，其特徵係具有主位元線，

和連接於主位元線之副位元線，

和於上述副位元線連接源極·汲極路徑，將具有控制閘極之非揮發性記憶格，呈陣列狀複數配置之記憶格陣列；

於上述主位元線，和連接此之副位元線間，配置第1之電晶體之源極·汲極路徑，

於上述副位元線，連接第2之電晶體之源極·汲極路徑者。

2. 如申請專利範圍第1項之非揮發性半導體記憶裝置，其中，第1之電晶體和第2之電晶體係互補地呈開·關者

3. 如申請專利範圍第1項或第2項之非揮發性半導體記憶裝置，其中，對主位元線一個而言，副位元線呈複數連接者。

4. 如申請專利範圍第1項之非揮發性半導體記憶裝置，其中，前述第1之電晶體為第1之狀態，第2之電晶體為第2狀態時，進行前述記憶格之感測，前述第1之電晶體為第2之狀態，前述第2之電晶體為第1狀態時，變化前述副位元線之電位者。

5. 如申請專利範圍第1項之非揮發性半導體記憶裝置，其中，前述第1之電晶體於第1之狀態，前述第2之電晶體為第2之狀態時，變化副位元線之電位者。

六、申請專利範圍

6 . 一種半導體非揮發性記憶裝置，其特徵係將各別具有控制閘、汲極及源極之複數非揮發性半導體記憶格呈陣列狀配置之記憶格的連接，對包含主位元線和副位元線之階層構成的第 1 之電晶體的記憶格群而言，於每各副位元線，呈連接各第 2 之電晶體之汲極端子的記憶格連接方式者。

7 . 如申請專利範圍第 6 項之半導體非揮發性記憶裝置，其中，前述第 2 之電晶體之源極端子係連接於記憶格群之源極端子的記憶格連接方式者。

8 . 如申請專利範圍第 6 項或第 7 項之半導體非揮發性記憶裝置，其中，於前述半導體非揮發性記憶裝置內之記憶格之讀取動作中，前述第 2 之電晶體之閘極端子信號，係前述第 1 之電晶體之閘極端子信號的互補信號者。

9 . 如申請專利範圍第 8 項之半導體非揮發性記憶裝置，其中，讀取前述第 2 之電晶體之源極端子電壓，呈讀取動作時之記憶格之汲極端子電壓，具備將記憶格之源極端子電壓呈接地電壓的讀取動作者。

10 . 如申請專利範圍第 8 項之半導體非揮發性記憶裝置，其中，將前述第 2 之電晶體之源極電壓呈接地電壓，將記憶格之源極端子電壓，具備呈讀取動作時之記憶格之汲極端子電壓的讀取動作者。

11 . 如申請專利範圍第 7 項之半導體非揮發性記憶裝置，其中，具備於記憶格之改寫（寫入、消除）動作，於記憶格之汲極端子或源極端子施加電壓之動作中，經由

六、申請專利範圍

前述第 2 之電晶體，連接記憶格之汲極端子和源極端子，將記憶格之汲極及源極寄生容量之充放電，防止流於記憶格之動作者。

1 2 . 如申請專利範圍第 8 項之半導體非揮發性記憶裝置，其中，具備選擇前述第 1 之電晶體之閘極端子信號前，進行開始位元線之預充電之讀取的機能者。

1 3 . 如申請專利範圍第 8 項之半導體非揮發性記憶裝置，其中，將記憶格之連接呈主位元線和副位元線之階層構成的第 1 之電晶體之閘極端子，對應位址，分為 2 系統以上，於讀取動作時使用差動型感測放大器方式，讀出位元線和基準位元線為同一記憶陣列內者。

1 4 . 如申請專利範圍第 1 3 項之半導體非揮發性記憶裝置，其中，前述讀出位元線和基準位元線為同一記憶陣列內，選擇前述讀出位元線和基準位元線之第 1 之電晶體之閘極端子為同信號，記憶格之字元線使用不同之讀出方式者。

1 5 . 如申請專利範圍第 9 項之半導體非揮發性記憶裝置，其中，讀出位元線及基準位元線之鄰接位元線之電位係施加接地電壓 V_{SS} 者。

1 6 . 如申請專利範圍第 1 3 項之半導體非揮發性記憶裝置，其中，差動型感測放大器之方式係於預充電讀出位元線及基準位元線中，或預充電後，僅對讀出位元線，將記憶格之約 $1/2$ 電流，向記憶格電流抵銷方向流入者。

六、申請專利範圍

17. 如申請專利範圍第12項之半導體非揮發性記憶裝置，其中，預充電及1/2電流之產生電路之電源電路，係不依賴外部電壓VCC，於裝置內部產生之安定化電源者。

(請先閱讀背面之注意事項再填寫本頁)

訂
線

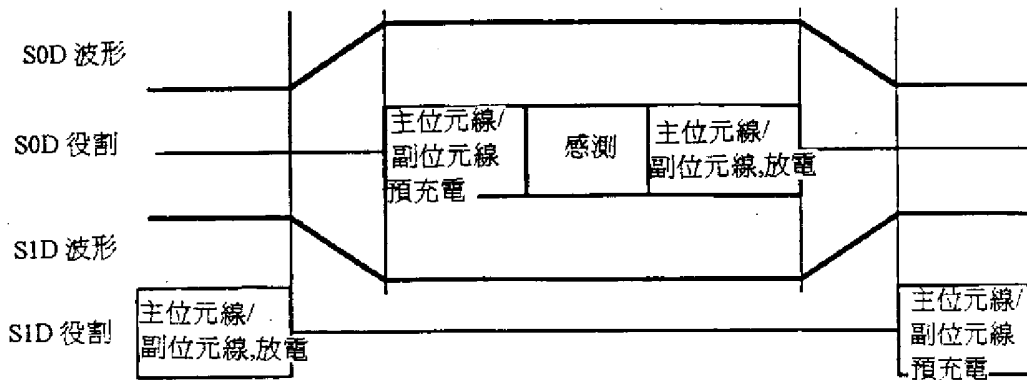


圖 2

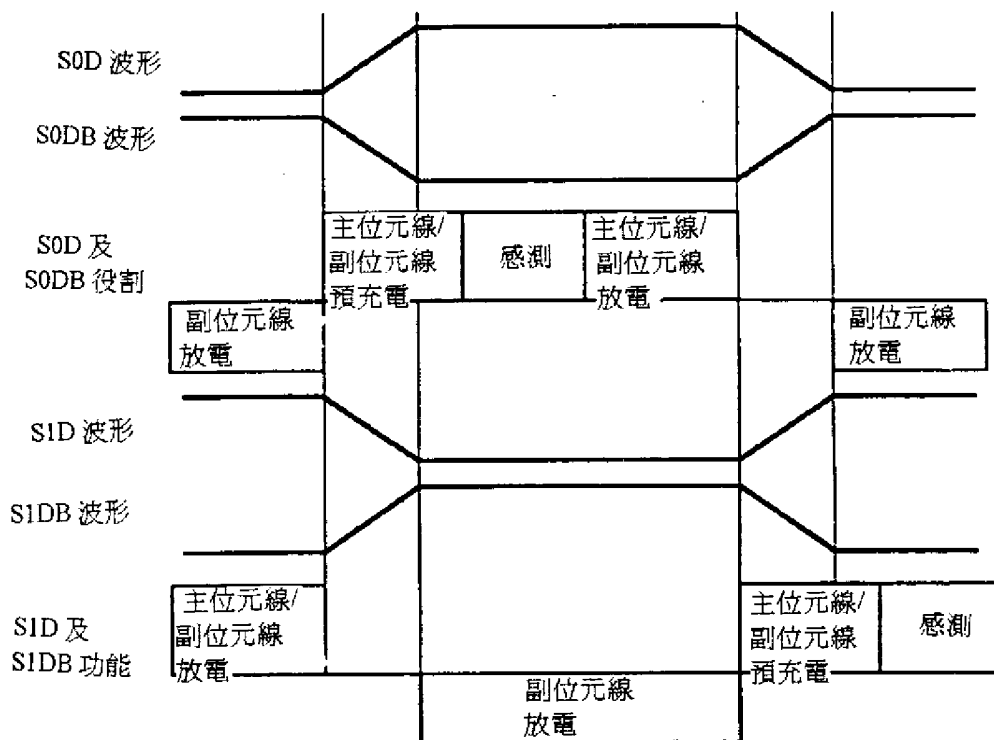


圖 3

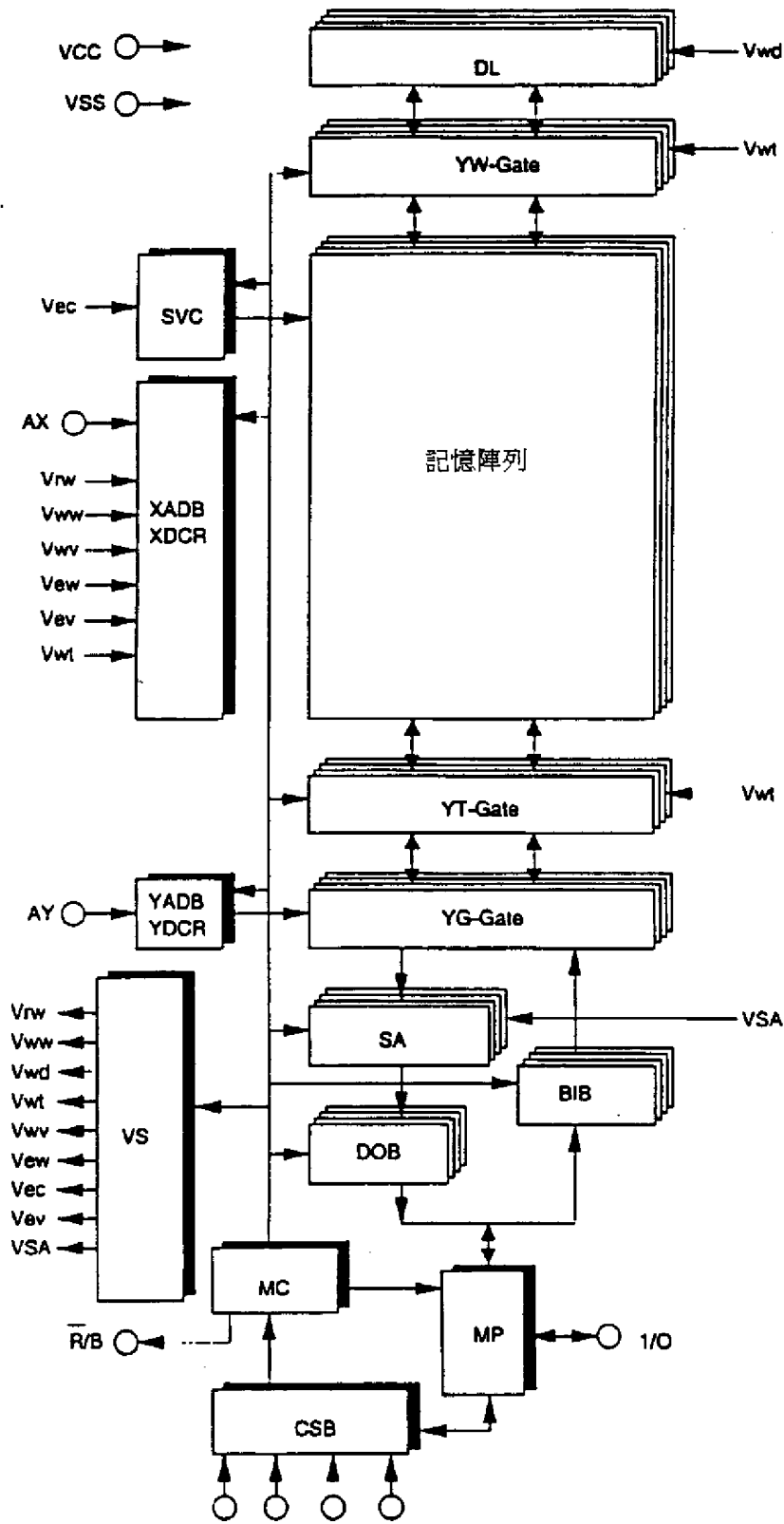


圖 4

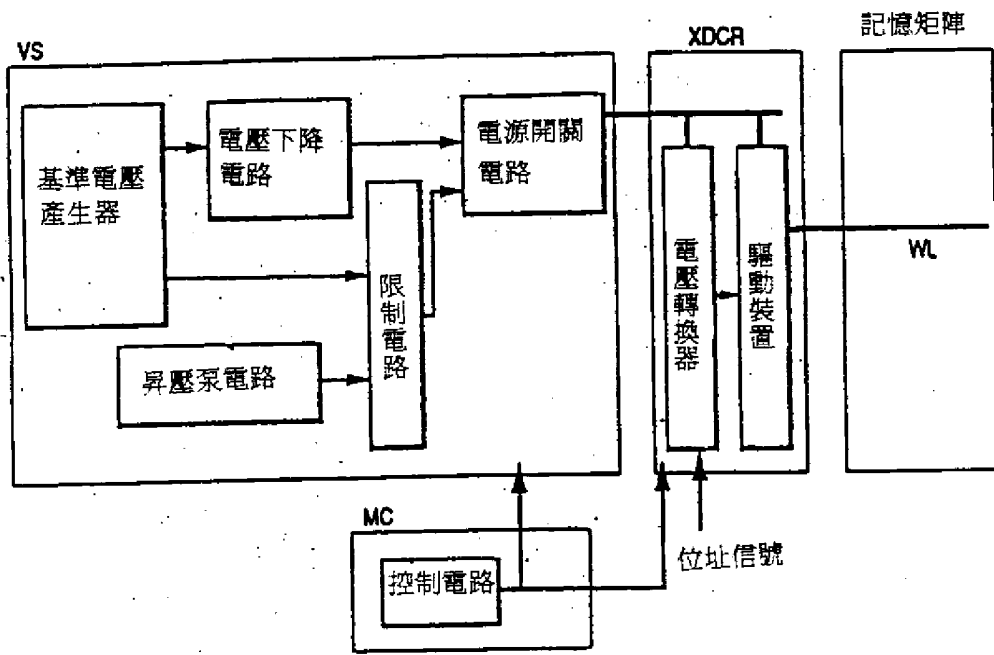


圖 5

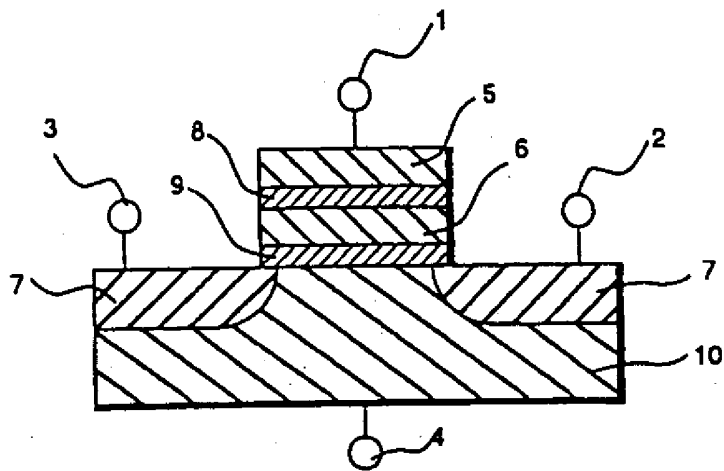


圖 6

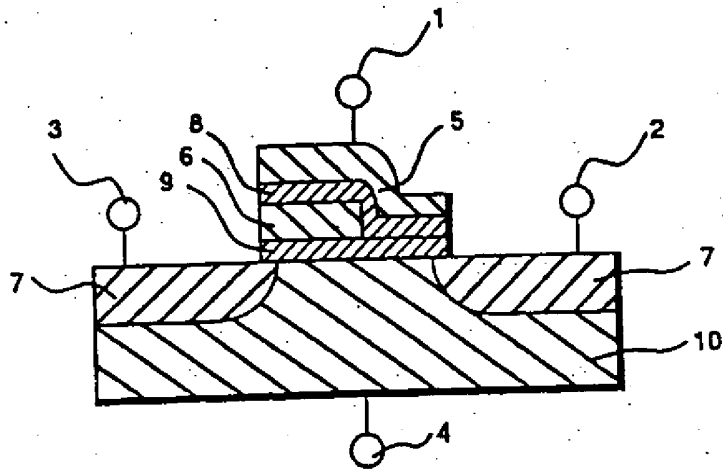


圖 7

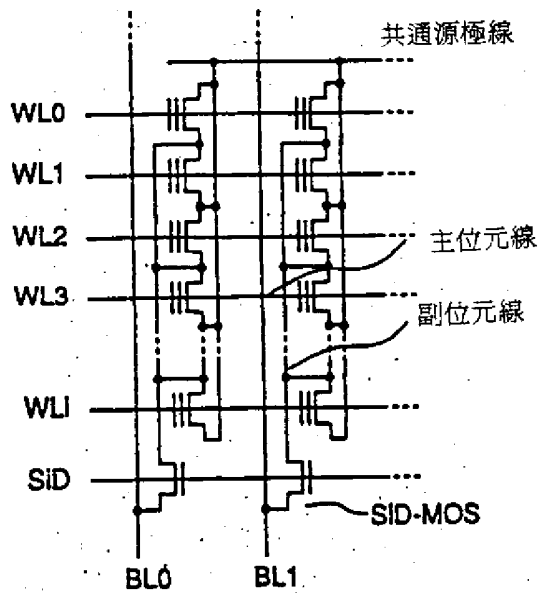


圖 8

410343

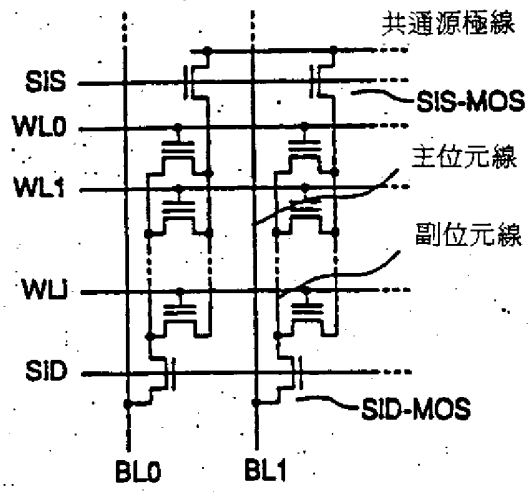


圖 9

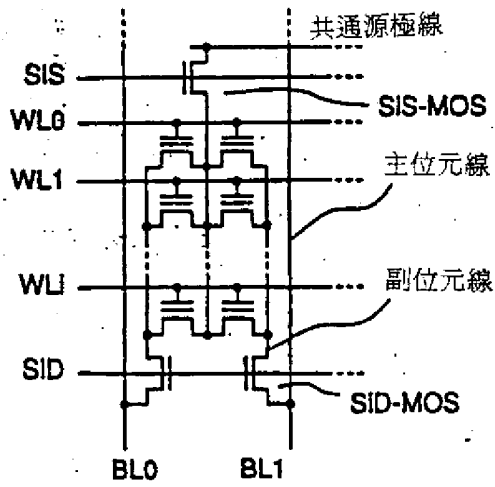


圖 10

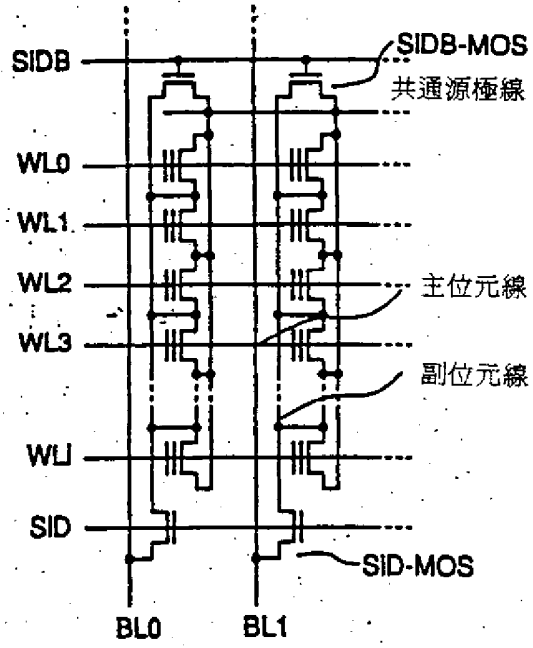


圖 11

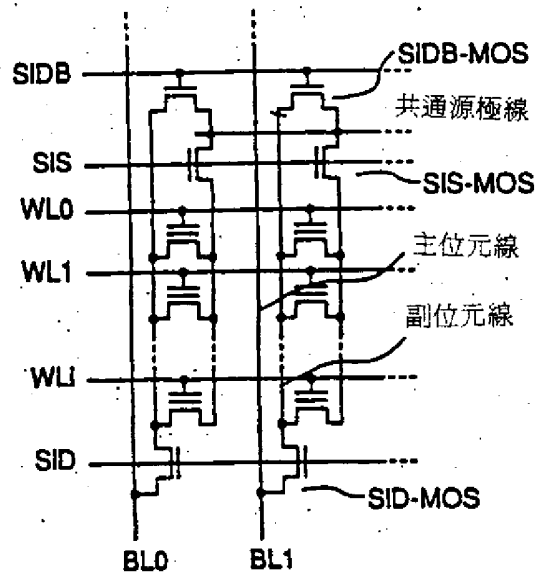


圖 12

410343

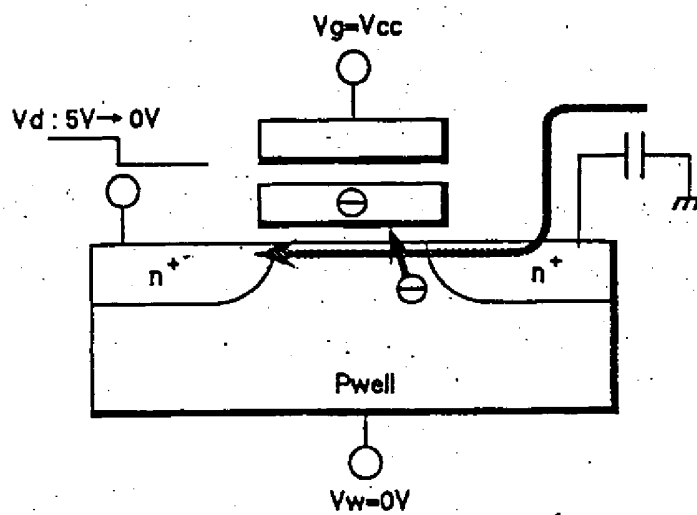
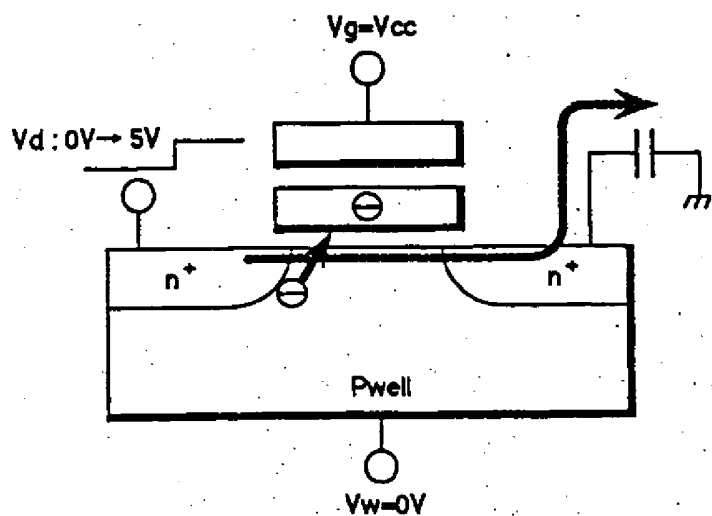


圖 14

410343

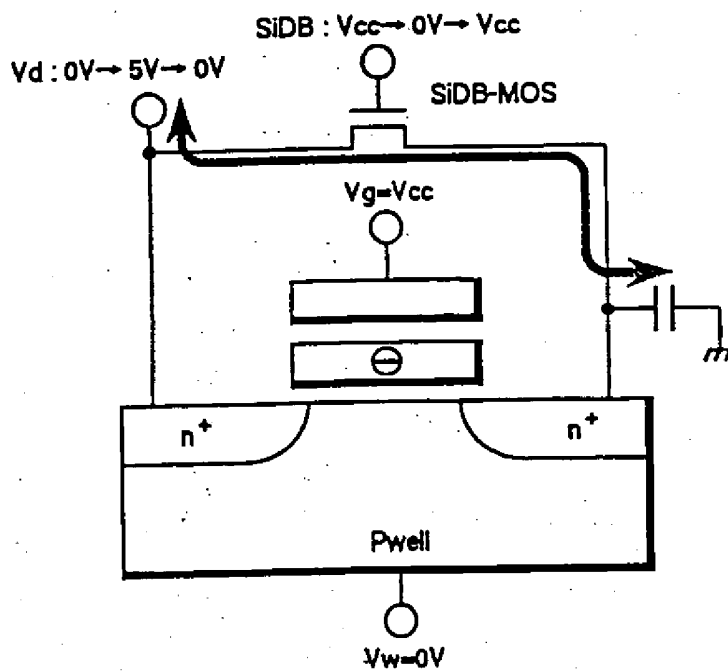


圖 15

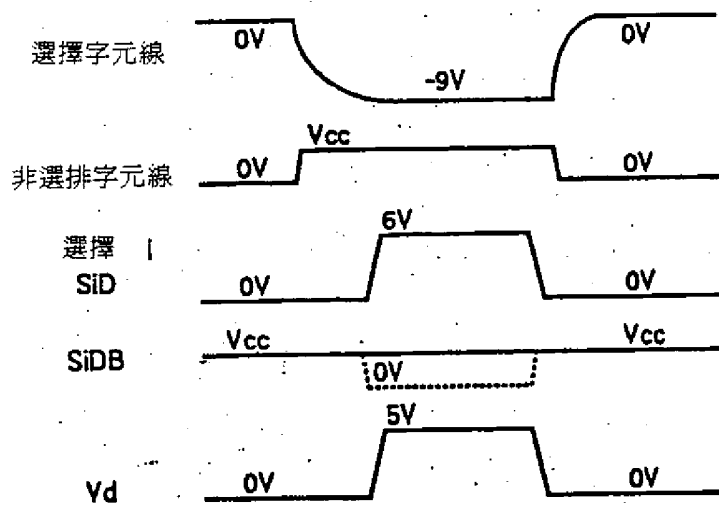


圖 16

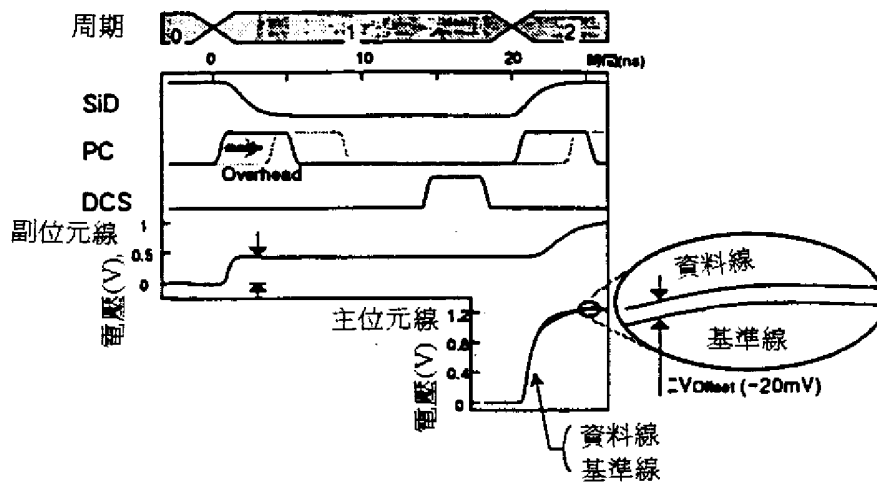


圖 17

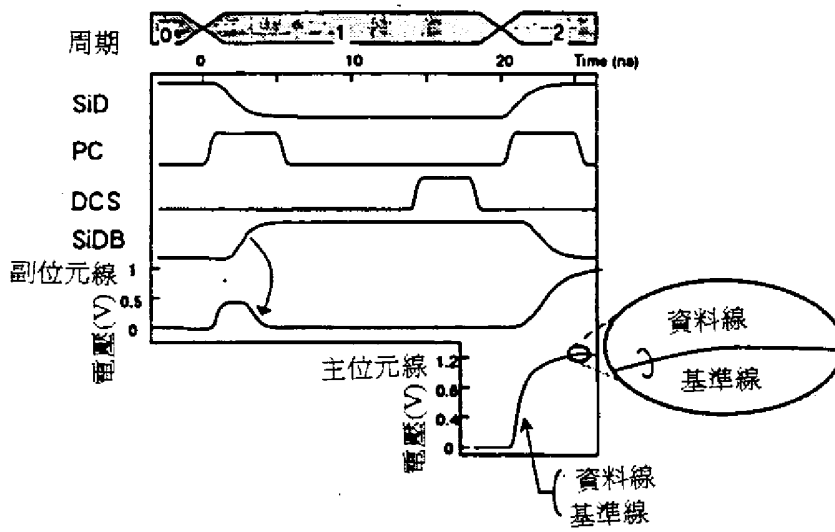


圖 18

410343

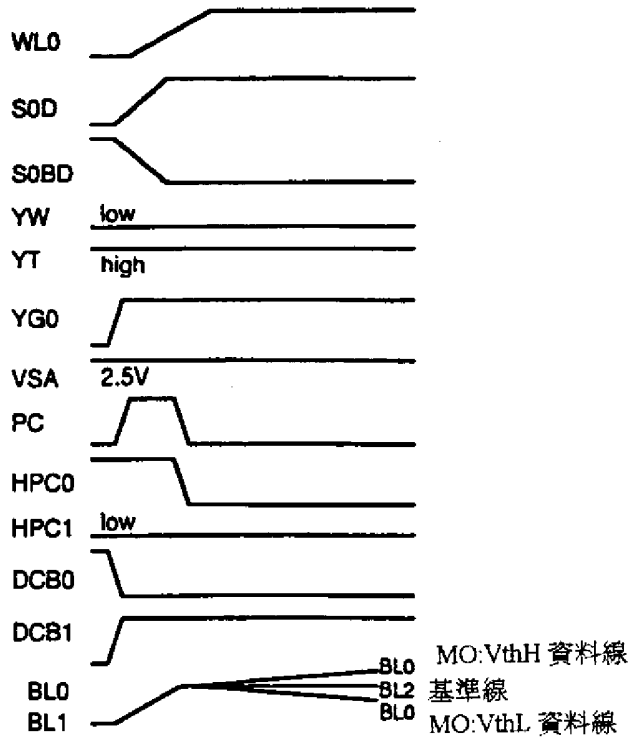


圖 19

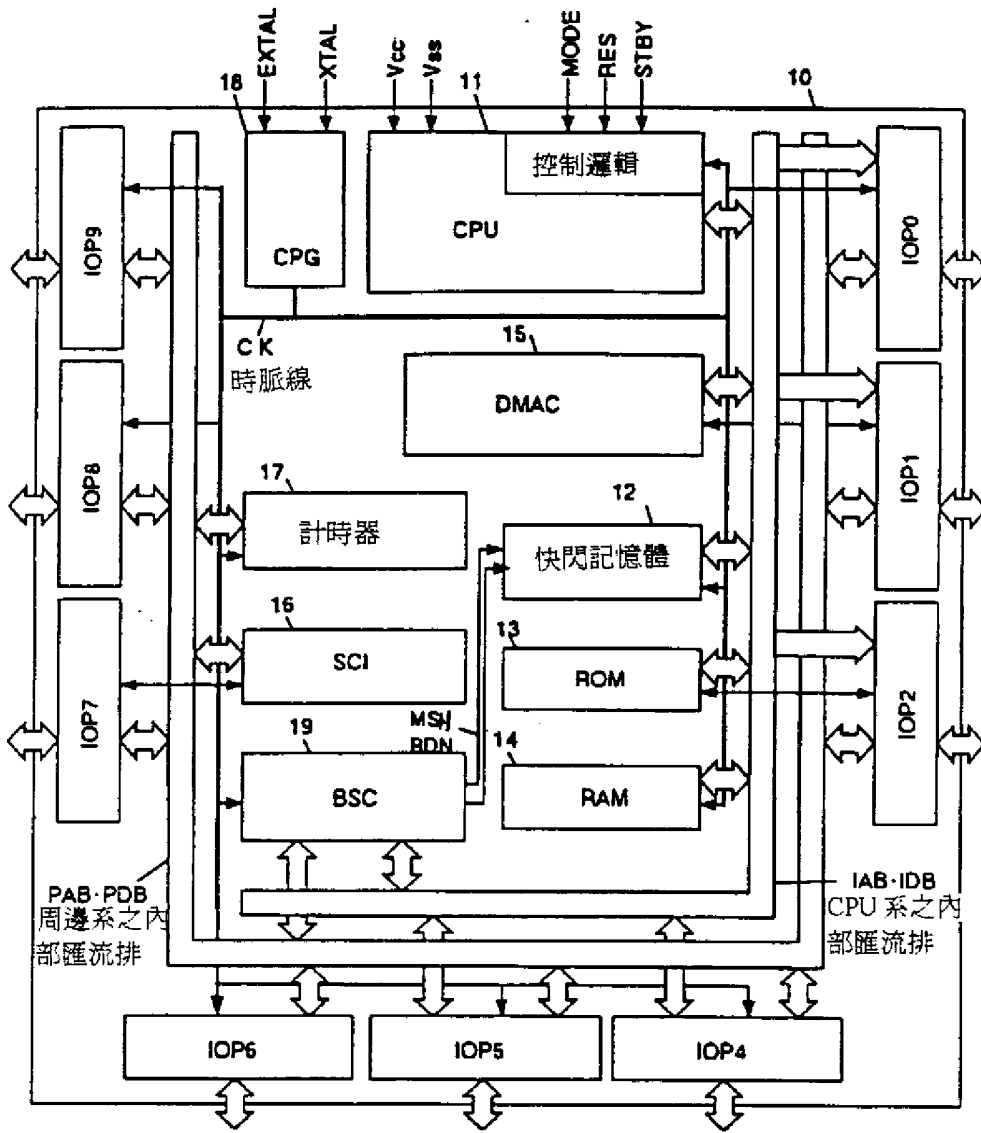


圖 20

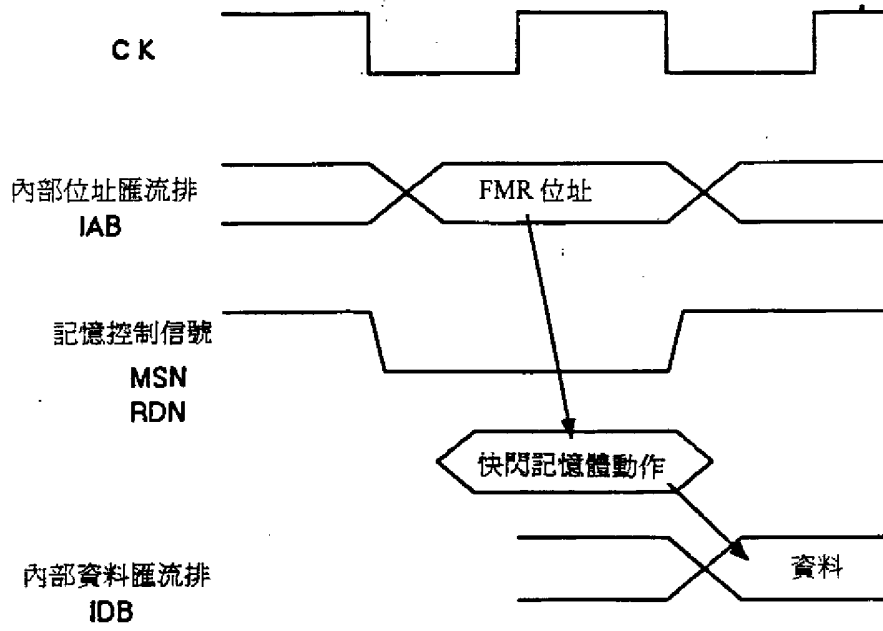


圖 21

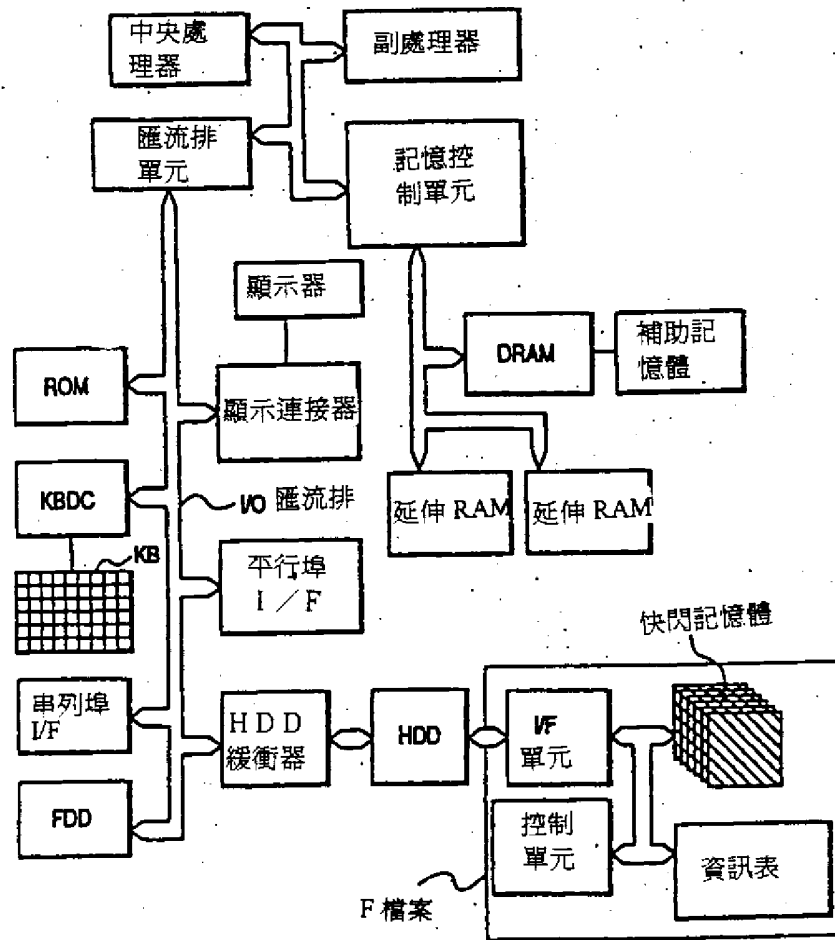


圖 22

410343

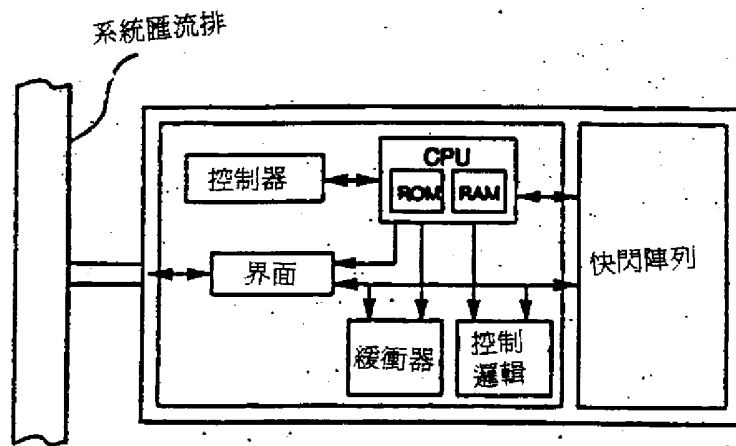


圖 23