

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-137788
(P2012-137788A)

(43) 公開日 平成24年7月19日(2012.7.19)

(51) Int.Cl.	F 1	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J 5C080	
G09G 3/20 (2006.01)	G09G 3/20 611F 5C094	
G09G 3/34 (2006.01)	G09G 3/20 642D 5C380	
G09G 3/22 (2006.01)	G09G 3/20 680F	
G09F 9/30 (2006.01)	G09G 3/34 D	

審査請求 有 請求項の数 2 O L (全 104 頁) 最終頁に続く

(21) 出願番号 特願2012-83551 (P2012-83551)
 (22) 出願日 平成24年4月2日 (2012.4.2)
 (62) 分割の表示 特願2006-75139 (P2006-75139)
 の分割
 原出願日 平成18年3月17日 (2006.3.17)
 (31) 優先権主張番号 特願2005-80214 (P2005-80214)
 (32) 優先日 平成17年3月18日 (2005.3.18)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 木村 肇
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 F ターム (参考) 5C080 AA05 AA06 AA10 AA12 AA18
 BB05 CC03 DD01 DD23 JJ03
 JJ04 JJ06 KK02 KK07 KK43
 KK47
 5C094 AA05 AA10 AA21 AA53 BA03
 BA27 BA43 DB04

最終頁に続く

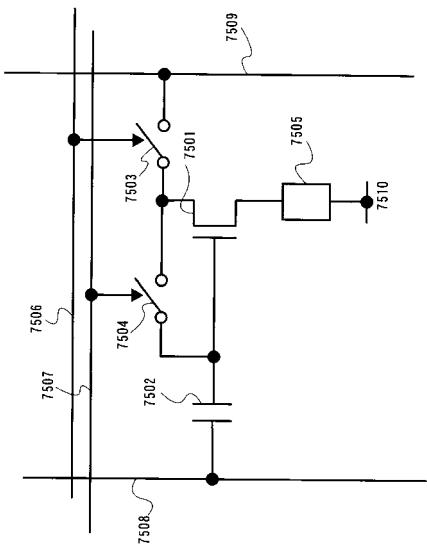
(54) 【発明の名称】半導体装置及び電子機器

(57) 【要約】

【課題】画素中の発光素子の輝度が同輝度の場合、画素中の発光領域の面積が大きくなれば一画素から高い光度を得ることができる。つまり、一画素中の光を通さない領域（ブラックマトリクスともいう）を除いた光を通す領域の面積と、一画素の面積の割合で示される開口率が高ければ、高精細化により一画素の面積が小さくなっても一画素から所望の光度を得ることができる。ここで、画素を構成するトランジスタや配線の数が多いと画素の開口率が低くなってしまう。そこで、画素を構成するトランジスタや配線の数を減らし、開口率を高める。

【解決手段】ある電位が設定されている電源線の代わりに、電位を信号により制御する電位供給線を設ける。つまり、発光素子への印加電圧の供給を、スイッチを設けずに電位供給線の信号により制御することができる。

【選択図】図 7 5



【特許請求の範囲】**【請求項 1】**

第1のトランジスタと、第1及び第2のスイッチと、容量素子と、第1及び第2の配線と、を有する半導体装置であって、

前記容量素子の第1の端子は、前記第1のトランジスタのゲートと、トランジスタを介さずに接続され、

前記容量素子の第2の端子は、前記第1の配線と、トランジスタを介さずに接続され、
前記第1のトランジスタの第1の端子は、前記第2のスイッチの第1の端子と、トランジ
スタを介さずに接続され、

前記第1のトランジスタの第2の端子は、画素電極と、トランジスタを介さずに接続され

、
前記第1のスイッチの第1の端子は、前記第1のトランジスタの第1の端子と、トランジ
スタを介さずに接続され、

前記第1のスイッチの第2の端子は、前記第1のトランジスタのゲートと、トランジスタ
を介さずに接続され、

前記第2のスイッチの第2の端子は、前記第2の配線と、トランジスタを介さずに接続さ
れていますことを特徴とする半導体装置。

【請求項 2】

請求項1乃至3のいずれか一項に記載の表示装置、または、請求項4に記載の表示モジ
ュールを有することを特徴とする電子機器。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は負荷に供給する電流をトランジスタで制御する機能を設けた半導体装置に係り
、特に電流によって輝度が変化する電流駆動型発光素子で形成された画素や、その信号線
駆動回路を含む表示装置に関する。また、その駆動方法に関する。また、その表示装置を
表示部に有する電子機器に関する。

【背景技術】**【0002】**

近年、画素を発光ダイオード(LE D)などの発光素子で形成した、いわゆる自発光型
の表示装置が注目を浴びている。このような自発光型の表示装置に用いられる発光素子と
しては、有機発光ダイオード(O L E D(O rganic L ight E mit t i n g
D i o d e))、有機EL素子、エレクトロルミネッセンス(E lectro L um
i nescence: E L)素子などとも言う)が注目を集めており、E Lディスプレイ
などに用いられるようになってきている。O L E Dなどの発光素子は自発光型であるため
、液晶ディスプレイに比べて画素の視認性が高く、バックライトが不要で応答速度が速い
等の利点がある。また発光素子の輝度は、そこを流れる電流値によって制御される。

【0003】

このような表示装置の階調を表現する駆動方式として、デジタル方式とアナログ方式があ
る。デジタル方式はデジタル制御で発光素子をオンオフさせ、発光している時間を制御し
て階調を表現している。画素毎の輝度の均一性に優れる反面、周波数を高くする必要があり
消費電力が大きくなってしまう。一方、アナログ方式には、発光素子の発光強度をアナ
ログ制御する方式と発光素子の発光時間をアナログ制御する方式がある。発光強度をアナ
ログ制御する方式は、画素毎の薄膜トランジスタ(以下T F Tともいう)の特性のバラツ
キの影響を受けやすく、画素毎の発光にもバラツキが生じてしまう。これに対して、発光
時間をアナログ制御し、画素毎の発光の均一性に優れるアナログ時間階調方式の表示装置
が非特許文献1に記載されている(非特許文献1参照)。

【0004】

つまり、非特許文献1に記載の表示装置の画素は、発光素子と発光素子を駆動するトラン
ジスタによりインバータを構成している。駆動トランジスタのゲート端子がインバータの

10

20

30

40

50

入力端子となり、発光素子の陽極がインバータの出力端子となる。画素に映像信号電圧を書き込む際には、インバータをオンとオフの中間に設定する。そして、発光期間には画素に三角波電圧を入力することでインバータの出力を制御する。つまり、発光素子の陽極に設定される電位となるインバータの出力を制御することで、発光素子の発光・非発光を制御する。

【先行技術文献】

【非特許文献】

【0005】

【非特許文献1】SID 04 DIGEST P1394 ~ P1397

10

【発明の概要】

【発明が解決しようとする課題】

【0006】

表示装置の高精細化に伴って一画素から得られる光度は低下してしまう。なお、光度とは、一定の方向から得られる光源の明るさの度合いを表す量をいうものとする。そして、輝度とは光源の単位面積あたりの光度をいうものとする。

【0007】

ここで、異なる画素間において、画素中の発光素子の輝度が同輝度の場合、画素中の発光領域の面積が大きくなれば一画素から高い光度を得ることができる。つまり、一画素中の光を通さない領域（ブラックマトリクスともいう）を除いた光を通す領域の面積と、一画素の面積との割合で示される開口率が高ければ、高精細化により一画素の面積が小さくなっても、駆動電圧を高くせずに一画素から所望の光度を得ることができる。

20

【0008】

ここで、画素を構成するトランジスタや配線の数が多いと画素の開口率が低くなってしまう。そこで、画素を構成するトランジスタや配線の数を減らし、開口率を高めることを課題とする。

【課題を解決するための手段】

【0009】

ある電位が設定されている電源線の代わりに、電位を信号により制御する電位供給線を設ける。つまり、発光素子への印加電圧の供給を、スイッチを設けずに電位供給線の信号により制御することができる。

30

【0010】

本発明の半導体装置の構成は、

電極と、

ゲート端子、第1端子及び第2端子を備えるトランジスタと、

第1の配線と、

第2の配線と、

該トランジスタのゲート端子と該第1の配線との電位差を保持する保持手段と、該トランジスタのゲート端子と第2端子を導通又は非導通にする切り替え手段と、を備える画素を有し、

該トランジスタは、第1端子が該第2の配線に電気的に接続され、該第2端子が該電極と接続されている。

40

【0011】

本発明の他の構成の半導体装置は、

電極と、

ゲート端子、第1端子及び第2端子を備えるトランジスタと、

第1の配線と、

第2の配線と、

該トランジスタのゲート端子と該第1の配線との電位差を保持する容量素子と、

該トランジスタのゲート端子と第2端子を導通又は非導通にするスイッチと、を備える画素を有し、

50

該トランジスタは、第1端子が該第2の配線に電気的に接続され、該第2端子が該電極と電気的に接続されている。

【0012】

本発明の半導体装置の他の構成は、
電極と、

ゲート端子、第1端子及び第2端子を備えるトランジスタと、第1の配線と、第2の配線と、容量素子と、スイッチと、を備える画素を有し、

該トランジスタは、第1端子が該第2の配線に電気的に接続され、第2端子が該電極と電気的に接続され、

該トランジスタは、ゲート端子と該第2端子が該スイッチを介して電気的に接続され、
該トランジスタは、該ゲート端子が該容量素子を介して該第1の配線と電気的に接続され
ている。

【0013】

本発明の表示装置は、
発光素子と、

ゲート端子、第1端子及び第2端子を備え、該発光素子を駆動する駆動トランジスタと、
第1の配線と、
第2の配線と、

該駆動トランジスタのゲート端子と該第1の配線との電位差を保持する保持手段と、
該駆動トランジスタのゲート端子と第2端子を導通又は非導通にする切り替え手段と、を
備える画素を有し、

該駆動トランジスタは、第1端子が該第2の配線に電気的に接続され、該第2端子が該発
光素子の画素電極と電気的に接続されている。

【0014】

本発明の他の構成の表示装置は、
発光素子と、

ゲート端子、第1端子及び第2端子を備え、該発光素子を駆動する駆動トランジスタと、
第1の配線と、
第2の配線と、

該駆動トランジスタのゲート端子と該第1の配線との電位差を保持する容量素子と、
該駆動トランジスタのゲート端子と第2端子を導通又は非導通にするスイッチと、を備える
画素を有し、

該駆動トランジスタは、第1端子が該第2の配線に電気的に接続され、該第2端子が該発
光素子の画素電極と電気的に接続されている。

【0015】

本発明の他の構成の表示装置は、
発光素子と、ゲート端子、第1端子及び第2端子を備え、該発光素子を駆動する駆動トラ
ンジスタと、第1の配線と、第2の配線と、容量素子と、スイッチと、を備える画素を有
し、

該駆動トランジスタは、第1端子が該第2の配線に電気的に接続され、第2端子が該発光
素子の画素電極と電気的に接続され、
該駆動トランジスタは、ゲート端子と該第2端子が該スイッチを介して電気的に接続され
、

該駆動トランジスタは、ゲート端子が該容量素子を介して該第1の配線と電気的に接続さ
れている。

【0016】

また、本発明の他の構成の表示装置は、上記構成において、前記第2の配線には、2値の
状態の電位が入力される。

【0017】

本発明の電子機器は、上記構成の表示装置を表示部に有している。

10

20

30

40

50

【0018】

本発明の表示装置の駆動方法は、

発光素子と、

ゲート端子、第1端子及び第2端子を備え、該発光素子を駆動する駆動トランジスタと、第1の配線と、

第2の配線と、

該駆動トランジスタのゲート端子と該第1の配線との電位差を保持する保持手段と、

該駆動トランジスタの該ゲート端子と第2端子を導通又は非導通にする切り替え手段と、を備える画素を有し、

該駆動トランジスタは、第1端子が該第2の配線に電気的に接続され、該第2端子が該発光素子の画素電極と電気的に接続され、

該画素への信号書き込み期間において、該画素への信号書き込みの際には、該切り替え手段は、該駆動トランジスタの該ゲート端子と該第2端子を導通にし、

該第1の配線にはビデオ信号を入力し、

該第2の配線には、該発光素子の対向電極との電位差が該発光素子の順方向しきい値電圧以上となる第1の電位を入力し、

該画素への信号の書き込みが終了すると、該切り替え手段は該駆動トランジスタの該ゲート端子と該第2端子を非導通にし、

該第2の配線には、該発光素子の対向電極との電位差が該発光素子の順方向しきい値電圧未満となる電位を入力し、

発光期間には、該第1の配線にアナログ的に変化する電位を入力し、該第2の配線には、前記第1の電位を入力する。

【0019】

なお、明細書に示すスイッチは、様々な形態のものを用いることができ、一例として、電気的スイッチでも機械的なスイッチなどがある。つまり、電流の流れを制御できるものであればよく、特定のものに限定されず、様々なものを用いることができる。例えば、トランジスタでもよいし、ダイオードでもよいし、それらを組み合わせた論理回路でもよい。よって、スイッチとしてトランジスタを用いる場合、そのトランジスタは、単なるスイッチとして動作するため、トランジスタの極性（導電型）は特に限定されない。ただし、オフ電流が少ない方が望ましい場合、オフ電流が少ない方の極性のトランジスタを用いることが望ましい。オフ電流が少ないトランジスタとしては、LDD領域を設けているもの等がある。また、スイッチとして動作させるトランジスタのソース端子の電位が、低電位側電源（V_{SS}、GND、0Vなど）に近い状態で動作する場合はNチャネル型を、反対に、ソース端子の電位が、高電位側電源（V_{DD}など）に近い状態で動作する場合はPチャネル型を用いることが望ましい。なぜなら、ゲートソース間電圧の絶対値を大きくできるため、スイッチとして、動作しやすいからである。なお、Nチャネル型とPチャネル型の両方を用いて、CMOS型のスイッチにしてもよい。

【0020】

なお、本発明において接続されているとは、電気的に接続されていることと同義である。したがって、本発明が開示する構成において、所定の接続関係に加え、その間に電気的な接続を可能とする他の素子（例えば、スイッチやトランジスタや容量素子やインダクタや抵抗素子やダイオードなど）が配置されていてもよい。

【0021】

なお、発光素子には、様々な形態を用いることが出来る。例えば、EL素子（有機EL素子、無機EL素子又は有機物及び無機物を含むEL素子）、電子放出素子、液晶素子、電子インク、グレーティングライトバルブ（GLV）、プラズマディスプレイ（PDP）、デジタルマイクロミラーデバイス（DMD）、圧電セラミックディスプレイ、カーボンナノチューブ、など、電気磁気的作用によりコントラストが変化する表示媒体を適用することができる。なお、EL素子を用いた表示装置としてはELディスプレイ、電子放出素子を用いた表示装置としてはフィールドエミッションディスプレイ（FED）やSED方式

10

20

30

40

50

平面型ディスプレイ（S E D : Surface-conduction Electron-emitter Display）など、液晶素子を用いた表示装置としては液晶ディスプレイ、電子インクを用いた表示装置としては電子ペーパーがある。

【0022】

なお、本発明において、トランジスタは、様々な形態のトランジスタを適用させることができるものである。よって、適用可能なトランジスタの種類に限定はない。したがって、非晶質シリコンや多結晶シリコンに代表される非単結晶半導体膜を用いた薄膜トランジスタ（TFT）、半導体基板やSOI基板を用いて形成されるMOS型トランジスタ、接合型トランジスタ、バイポーラトランジスタ、ZnO、a-InGaZnOなどの化合物半導体を用いたトランジスタ、有機半導体やカーボンナノチューブを用いたトランジスタ、その他のトランジスタを適用することができる。また、トランジスタが配置されている基板の種類は、様々なものを用いることができ、特定のものに限定されることはない。従って例えば、単結晶基板、SOI基板、ガラス基板、プラスチック基板、紙基板、セロファン基板、石材基板などに配置することができる。また、ある基板でトランジスタを形成し、その後、別の基板にトランジスタを移動させて、別の基板上に配置するようにしてもよい。

10

【0023】

なお、トランジスタの構成は、様々な形態をとることができる。特定の構成に限定されない。例えば、ゲート本数が2本以上になっているマルチゲート構造を用いてもよい。マルチゲート構造にすることにより、オフ電流を低減したり、トランジスタの耐圧を向上させて信頼性を良くしたり、飽和領域で動作する時に、ドレイン・ソース間電圧が変化しても、ドレイン・ソース間電流があまり変化せず、フラットな特性にすることができる。また、チャネルの上下にゲート電極が配置されている構造でもよい。チャネルの上下にゲート電極が配置されている構造にすることにより、チャネル領域が増えるため、電流値を大きくしたり、空乏層ができやすくなっているS値をよくしたりすることができる。また、チャネルの上にゲート電極が配置されている構造でもよいし、チャネルの下にゲート電極が配置されている構造でもよいし、正スタガ構造であってもよいし、逆スタガ構造でもよいし、チャネル領域が複数の領域に分かれている場合もよいし、並列に接続されている場合もよいし、直列に接続されている場合もよい。また、チャネル（もしくはその一部）にソース電極やドレイン電極が重なっていてもよい。チャネル（もしくはその一部）にソース電極やドレイン電極が重なっている構造にすることにより、チャネルの一部に電荷がたまって、動作が不安定になることを防ぐことができる。また、LDD領域があってもよい。LDD領域を設けることにより、オフ電流を低減したり、トランジスタの耐圧を向上させて信頼性を良くしたり、飽和領域で動作する時に、ドレイン・ソース間電圧が変化しても、ドレイン・ソース間電流があまり変化せず、フラットな特性にすることができる。

20

【0024】

本明細書においては、一画素とは1つの色要素を示すものとする。よって、R（赤）G（緑）B（青）の色要素からなるフルカラー表示装置の場合には、画像の最小単位は、Rの画素やGの画素やBの画素との3画素から構成されるものとする。なお、色要素は、三色に限定されず、それ以上でもよく、例えば、RGBW（Wは白）がある。

30

【0025】

トランジスタとは、それぞれ、ゲート電極と、ドレイン領域と、ソース領域とを含む少なくとも三つの端子を有する素子であり、ドレイン領域とソース領域の間にチャネル形成領域を有する。ここで、ソース領域とドレイン領域とは、トランジスタの構造や動作条件等によって変わるため、いずれがソース領域またはドレイン領域であるかを特定することが困難である。そこで、本明細書においては、ソース領域及びドレイン領域として機能する領域を、それぞれ第1端子、第2端子と表記する。

40

【0026】

なお、本明細書において、画素がマトリクスに配置されているとは、縦縞と横縞を組み合わせたいわゆる格子状にストライプ配置されている場合はもちろんのこと、三色の色要素（例えばRGB）でフルカラー表示を行う場合に、1つの画像の最小要素を表す三つの色

50

要素の画素がいわゆるデルタ配置されている場合も含むものとする。なお、色要素は三色に限定されず、それ以上でもよく、例えば、R G B W (Wは白)がある。また、色要素の画素毎にその発光領域の大きさが異なっていてもよい。

【0027】

なお、本明細書において、半導体装置とは半導体素子（トランジスタやダイオードなど）を含む回路を有する装置をいう。また、半導体特性を利用して機能しうる装置全般でもよい。また、表示装置とは、表示素子（液晶素子や発光素子など）を有する装置のことと言う。なお、基板上に液晶素子やEL素子などの表示素子を含む複数の画素やそれらの画素を駆動させる周辺駆動回路が形成された表示パネル本体のことでもよい。さらに、フレキシブルプリントサーキット（FPC）やプリント配線基盤（PWB）が取り付けられたものも含んでもよい。また、発光装置とは、特にEL素子やFEDで用いる素子などの自発光型の表示素子を有している表示装置をいう。液晶表示装置とは、液晶素子を有している表示装置をいう。

10

【0028】

なお、本明細書において、デジタル的とは、2の状態をいい、アナログ的とは、連続的な状態はもちろん、3以上のとびとび（離散化）の状態を含むものとする。よって、例えば、電位をアナログ的に変化させると、時間の変化と共に電位を連続的に変化させる場合はもちろん、連続的に変化する電位をサンプリング（なお、標本化又は時間的離散化ともいう。）し、所定の時間間隔でサンプリングした電位となるように電位を変化させる場合を含むものとする。なお、サンプリングとは、データ値が連続的に変化する信号において、所定の時間間隔でそのときの値をとることをいう。

20

【0029】

デジタル信号とは、それ自体が直接的には2の状態を伝達するためのデータ値をもつ信号であり、アナログ信号とは、それ自体が直接的には3以上の状態を伝達するためのデータ値をもつ信号である。そして、アナログ信号には、時間の変化と共にデータ値（電位若しくは電圧又は電流など）が連続的に変化する信号はもちろん、データ値が連続的に変化する信号をサンプリング（なお、標本化又は時間的離散化ともいう。）し、所定の時間間隔でサンプリングしたデータ値となるような信号を含むものとする。なお、サンプリングとは、データ値が連続的に変化する信号において、所定の時間間隔でそのときの値をとることをいう。なお、デジタル信号は、間接的には3以上の状態を伝達する場合もある。例えば、時間の変化と共にデータ値が変化するアナログ信号をサンプリングし、サンプリングしたデータ値をさらに離散化したものもデジタル信号であるからである。つまり、アナログ信号を量子化したものもデジタル信号となるからである。

30

【0030】

なお、本明細書において発光素子の陽極及び陰極とは、発光素子に順方向電圧を印加したときの電極をいうものとする。

【発明の効果】

【0031】

発光素子への印加電圧の供給を、スイッチを設けずに電位供給線の信号により制御することができるところから、スイッチとしてトランジスタを用いている場合には、トランジスタの数を減らすことができる。また、そのトランジスタのオンオフを制御する信号を入力する配線も削除することができる。よって、画素の開口率が向上し、高精細の表示装置を提供することができる。

40

【0032】

また、開口率が向上することから、輝度を減らしても必要な光度を得られるため、発光素子の信頼性を向上させることができる。

【図面の簡単な説明】

【0033】

【図1】本発明の画素構成を示す図。

【図2】本発明の画素構成を有する表示装置を説明する図。

50

【図 3】本発明の画素構成を有する表示装置のタイミングチャートを示す図。

【図 4】本発明の画素構成を示す図。

【図 5】本発明の画素構成を有する表示装置のタイミングチャートを示す図。

【図 6】本発明の画素構成を示す図。

【図 7】本発明の画素構成を示す図。

【図 8】本発明の画素構成を示す図。

【図 9】本発明の画素構成を有する表示装置のタイミングチャートを示す図。

【図 10】本発明の画素構成を示す図。

【図 11】本発明の画素構成を有する表示装置のタイミングチャートを示す図。

【図 12】本発明の画素構成を有する表示装置を説明する図。

【図 13】本発明の画素構成を有する表示装置を説明する図。

【図 14】信号の立ち上がり及び立ち下がりの遅延の発生を説明する図。

【図 15】本発明の画素構成を有する表示装置に適用可能なバッファ回路を示す図。

【図 16】本発明の画素構成を有する表示装置に適用可能なバッファ回路を示す図。

【図 17】本発明の画素構成を有する表示装置に適用可能な D A 変換回路の一例を示す図

。

【図 18】本発明の画素構成を有する表示装置に適用可能な D A 変換回路の一例を示す図

。

【図 19】本発明の画素構成を有する表示パネルを説明する図。

【図 20】本発明の画素構成の有する表示装置に適用可能な発光素子の例を示す図。

【図 21】発光素子の射出構造を説明する図。

【図 22】カラーフィルターを用いてフルカラー表示を行う表示パネルの断面図。

【図 23】表示パネルの部分断面図。

【図 24】表示パネルの部分断面図。

【図 25】本発明の表示装置の模式図。

【図 26】本発明の画素構成を有する表示パネルを説明する図。

【図 27】表示パネルの部分断面図。

【図 28】表示パネルの部分断面図。

【図 29】表示パネルの部分断面図。

【図 30】表示パネルの部分断面図。

【図 31】本発明の表示装置に適用可能な信号線駆動回路の例。

【図 32】本発明の表示装置に適用可能な信号線駆動回路の例。

【図 33】本発明の表示装置に適用可能な信号線駆動回路の例。

【図 34】本発明の表示装置に適用可能な信号線駆動回路の例。

【図 35】本発明の表示装置に適用可能な信号線駆動回路の例。

【図 36】本発明の表示装置に適用可能な信号線駆動回路の例。

【図 37】本発明の表示装置に適用可能な信号線駆動回路の例。

【図 38】本発明の表示装置に適用可能な信号線駆動回路の例。

【図 39】本発明の表示装置に適用可能な信号線駆動回路の例。

【図 40】本発明の表示装置に適用可能な信号線駆動回路の例。

【図 41】本発明の表示装置に適用可能な信号線駆動回路の例。

【図 42】本発明の画素構成を有する表示パネルを説明する図。

【図 43】周期的に変化する波形を説明する図。

【図 44】本発明の画素構成を有する表示装置を画素部に適用可能な電子機器の例を示す図。

【図 45】E L モジュールの例。

【図 46】E L テレビ受像機の主要な構成を示すブロック図。

【図 47】本発明の適用可能な携帯電話機の例。

【図 48】本発明の画素構成を示す図。

【図 49】本発明の画素構成を示す図。

10

20

30

40

50

- 【図 5 0】本発明の画素構成の動作を説明する図。
- 【図 5 1】本発明の画素構成を有する表示装置のタイミングチャートを示す図。
- 【図 5 2】本発明の画素構成を有する表示装置のタイミングチャートを示す図。
- 【図 5 3】本発明の画素構成を示す図。
- 【図 5 4】画素のレイアウトを説明する図。
- 【図 5 5】インバータ特性を示す図。
- 【図 5 6】本発明の画素構成を示す図。
- 【図 5 7】本発明の画素構成を有する表示装置のタイミングチャートを示す図。
- 【図 5 8】本発明の表示装置の模式図。 10
- 【図 5 9】信号線に入力するビデオ信号と三角波電位との関係を説明する図。
- 【図 6 0】信号線に入力するビデオ信号と三角波電位との関係を説明する図。
- 【図 6 1】本発明の画素構成を示す図。
- 【図 6 2】本発明の表示パネルの断面図。
- 【図 6 3】(a) 本発明の表示パネルの構成を示す模式図。 (b) 本発明の表示パネルの構成を示す模式図。
- 【図 6 4】本発明の表示パネルの画素部の模式図。
- 【図 6 5】本発明の表示パネルの画素部の模式図。
- 【図 6 6】本発明の画素構成を示す図。 20
- 【図 6 7】本発明の画素構成を示す図。
- 【図 6 8】本発明の画素構成を示す図。
- 【図 6 9】本発明の画素構成を示す図。
- 【図 7 0】本発明の画素構成を示す図。
- 【図 7 1】本発明の画素構成を示す図。
- 【図 7 2】本発明の画素構成を示す図。
- 【図 7 3】本発明の画素構成を示す図。
- 【図 7 4】本発明の画素構成を示す図。
- 【図 7 5】本発明の画素構成を示す図。
- 【図 7 6】本発明の画素構成を示す図。
- 【図 7 7】本発明の画素構成を示す図。
- 【図 7 8】本発明の画素構成を示す図。 30
- 【図 7 9】本発明の画素構成を示す図。
- 【発明を実施するための形態】
- 【0 0 3 4】
- 以下、本発明の実施の形態について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。
- 【0 0 3 5】
- (実施の形態 1)
- 本実施の形態では本発明の表示装置の画素構成とその動作原理について説明する。 40
- 【0 0 3 6】
- まず、図 1 を用いて本発明の表示装置の画素構成について詳細に説明する。ここでは、一画素のみを図示しているが、表示装置の画素部は実際には行方向と列方向にマトリクスに複数の画素が配置されている。
- 【0 0 3 7】
- 画素は駆動トランジスタ 101 と、容量素子 102 と、スイッチ 103 と、発光素子 104 と、電位供給線 (Illumination line) 105 と、信号線 (Data line) 106 と、走査線 (Reset line) 107 とを有している。なお、駆動トランジスタ 101 には P チャネル型トランジスタを用いている。
- 【0 0 3 8】 50

駆動トランジスタ 101 の第 1 端子（ソース端子又はドレイン端子）は電位供給線 105 と接続され、ゲート端子は容量素子 102 を介して信号線 106 と接続され、第 2 端子（ソース端子又はドレイン端子）は発光素子 104 の陽極（画素電極）と接続されている。また、駆動トランジスタ 101 のゲート端子と第 2 端子（ソース端子又はドレイン端子）はスイッチ 103 を介して接続されている。よって、スイッチ 103 がオンしているときには駆動トランジスタ 101 のゲート端子と第 2 端子（ソース端子又はドレイン端子）は導通する。そして、スイッチ 103 がオフすると、駆動トランジスタ 101 のゲート端子と第 2 端子（ソース端子又はドレイン端子）は非導通となり、その瞬間の駆動トランジスタ 101 のゲート端子（若しくは第 2 端子）と信号線 106 との電位差（電圧）を容量素子 102 は保持することができる。なお、発光素子 104 の陰極（Cathode）108 は Vss の電位が設定されている。なお、Vss とは、画素の発光期間に電位供給線 105 に設定される電源電位 Vdd を基準として、 $Vss < Vdd$ を満たす電位である。例えば、 $Vss = GND$ （グラウンド電位）としても良い。

10

【0039】

次に、図 1 の画素構成の動作原理について詳しく説明する。

【0040】

画素への信号書き込み期間には、信号線 106 にはアナログ信号電位が設定される。このアナログ信号電位がビデオ信号に相当する。なお、このビデオ信号は 3 値以上で表される信号であり、アナログ信号電位とは、時間とともに変化し 3 値以上の状態を持つ電位である。そして、画素へビデオ信号を書き込む際には、走査線 107 に信号を入力してスイッチ 103 をオンさせ、且つ電位供給線 105 の電位を電源電位 Vdd にし、駆動トランジスタ 101 の第 1 端子に電源電位 Vdd を設定する。すると、駆動トランジスタ 101 及び発光素子 104 に電流が流れ、容量素子 102 には電荷の蓄積又は放電が行われる。

20

【0041】

このとき、駆動トランジスタ 101 の第 1 端子はソース端子となり、第 2 端子はドレイン端子となっている。そして、スイッチ 103 がオンになっている状態で駆動トランジスタ 101 に流れる電流が増加すると、発光素子 104 に流れる電流も大きくなるため、発光素子 104 での電圧降下は大きくなり、発光素子 104 の電極間の電位差は大きくなる。つまり、発光素子 104 の陽極の電位は電位供給線 105 の電位に近づく。すると、駆動トランジスタ 101 のゲート端子の電位も電位供給線 105 の電位に近づくため、駆動トランジスタ 101 のゲート端子とソース端子の電位差が小さくなり、駆動トランジスタ 101 に流れる電流は減少する。一方、発光素子 104 に流れる電流が小さくなると、発光素子 104 での電圧降下は小さくなり、発光素子 104 の電極間の電位差は小さくなる。つまり、発光素子 104 の陽極の電位は陰極 108 の電位に近づく。すると、駆動トランジスタ 101 のゲート端子も陰極 108 の電位に近づくため、駆動トランジスタ 101 のゲート端子とソース端子の電位差が大きくなり、駆動トランジスタ 101 に流れる電流が増加する。こうして、駆動トランジスタ 101 のゲート端子は駆動トランジスタ 101 に一定の電流が流れるような電位に落ち着く。そして、そのときの駆動トランジスタ 101 のゲート端子の電位と信号線 106 の電位との電位差分の電荷が容量素子 102 に蓄積される。

30

【0042】

こうしてこの画素へビデオ信号の書き込みが終了する。

【0043】

このように駆動トランジスタ 101 及び発光素子 104 に流れる電流が一定となり、定常状態となったところで、スイッチ 103 をオフさせる。すると、容量素子 102 は、スイッチ 103 がオフした瞬間の信号線 106 の電位と駆動トランジスタ 101 のゲート端子（若しくはドレイン端子）との電位差 Vp （電圧）を保持する。

40

【0044】

画素への信号書き込み期間において、画素へのビデオ信号の書き込み終了後、その画素の電位供給線 105 に設定する電位を、駆動トランジスタ 101 がオンしたとしても、発光

50

素子 104 に印加される電圧が発光素子 104 のしきい値電圧 V_{EL} 以下となるようにする。例えば、電位供給線 105 の電位は、発光素子 104 の陰極 108 の電位 V_{SS} と同じ電位、或いはそれ以下にしても良い。なお、この電位を電位供給線 105 に設定するタイミングはスイッチ 103 をオフにするタイミングと同時か、それよりも後にする。

【0045】

なお、画素にビデオ信号が書き込まれ、駆動トランジスタ 101 の第 1 端子に接続された電位供給線 105 に電源電位 V_{DD} が設定されているときには、その画素にビデオ信号が書き込まれた際に信号線 106 に設定されたアナログ信号電位を基準にして、信号線 106 の電位の変動に従って駆動トランジスタ 101 のオンオフが制御されるようになる。つまり、信号線 106 の電位が、画素への信号書き込み期間に画素にビデオ信号が書き込まれた際のアナログ信号電位以上のときには駆動トランジスタ 101 はオフし、画素にビデオ信号が書き込まれた際のアナログ信号電位より低くなると駆動トランジスタ 101 はオンする。

10

【0046】

なぜなら、画素にビデオ信号が書き込まれると、容量素子 102 が電位差 (V_p) を保持するため、信号線 106 の電位が、画素にビデオ信号が書き込まれた際のアナログ信号電位以上のときには、駆動トランジスタ 101 のゲート端子の電位も、画素にビデオ信号が書き込まれた際のゲート端子の電位以上となり、駆動トランジスタ 101 はオフする。一方、信号線 106 の電位が、画素への信号書き込み期間に画素にビデオ信号が書き込まれた際のアナログ信号電位より低くなると、駆動トランジスタ 101 のゲート端子の電位も、画素にビデオ信号が書き込まれた際のゲート端子の電位より低くなるため駆動トランジスタ 101 はオンする。

20

【0047】

したがって、画素の発光期間には、駆動トランジスタ 101 の第 1 端子が接続された電位供給線 105 に電源電位 V_{DD} を設定し、スイッチ 103 をオフにした状態で、信号線 106 に設定する電位をアナログ的に変化させることで、駆動トランジスタ 101 のオンオフを制御する。つまり、発光素子 104 に電流が流れている時間をアナログ的に制御して階調を表現することができる。

30

【0048】

画素の発光期間において、信号線 106 に設定する電位について説明する。信号線 106 に設定する電位は周期的に変化する波形のアナログ電位を用いることができる。なお、このアナログ電位とは時間とともに連続的に変化する電位である。そして、好ましくはビデオ信号に相当するアナログ信号電位のとりうる範囲の最低電位から最高電位へ連続的に変化する電位、若しくは最高電位から最低電位へ連続的に変化する電位、又は最低電位と最高電位との間をくり返し連続的に変化する電位とする。

【0049】

例えば、発光期間には、信号線 106 に低電位から高電位にアナログ的に変化する電位を設定する。一例として、図 43(a) の波形 4301 のように直線的に電位が上昇するようにしても良い。なお、このような波形をのこぎり波ともいう。

40

【0050】

また、高電位から低電位へアナログ的に変化する電位を設定しても良い。例えば、波形 4302 のように直線的に電位が下降するようにしても良い。

【0051】

また、それらを組み合わせた波形でも良い。つまり、一例として、波形 4303 のように低電位から高電位へ直線的に上昇し、高電位から低電位へ下降するような電位を設定しても良い。なお、以下このような波形 4303 を三角波電位という。または、波形 4304 のように高電位から低電位へ直線的に下降し、低電位から高電位へ直線的に上昇するような三角波電位を設定しても良い。

【0052】

また、信号線 106 に設定する電位は直線的な変化でなくとも良い。波形 4305 のよう

50

に全波整流回路の出力波形の1周期に相当する波形の電位を設定しても良いし、波形4306のような電位を設定しても良い。

【0053】

このような波形にすることにより、ビデオ信号に対する発光時間を自由に設定することができる。よって、ガンマ補正などを行うことも可能となる。

【0054】

また、画素の発光期間において、上記の波形4301、波形4302、波形4303、波形4304、波形4305または波形4306のパルスを複数連続して設定しても良い。一例として、波形4307に示すように、波形4301のパルスを画素の発光期間において、二回連続して設定しても良い。

10

【0055】

このようにすることにより、発光時間を1フレーム内で分散させることができる。その結果、フレーム周波数が見かけ上は向上したようになり、画面のちらつきを防止することができる。

【0056】

続いて画素部に図1の画素構成を有する表示装置について図2を用いて説明する。図2の表示装置は、電位供給線駆動回路201、走査線駆動回路202、信号線駆動回路203、画素部204を有し、画素部204は画素205を複数備えている。行方向に配置された走査線(Reset line)R1～Rm及び電位供給線(illumination line)I1～Imと列方向に配置された信号線(Data line)D1～Dnに対応して画素205がマトリクスに配置されている。

20

【0057】

画素205は駆動トランジスタ206と、容量素子207と、スイッチ208と、発光素子209と、走査線Ri(R1～Rmのうちいずれか一つ)と、電位供給線Ii(I1～Imのうちいずれか一つ)と、信号線Dj(D1～Dnのうちいずれか一つ)とを有している。なお、駆動トランジスタ206にはPチャネル型トランジスタを用いている。なお、画素205は画素部204に複数配置された画素の一画素を示している。

30

【0058】

駆動トランジスタ206の第1端子(ソース端子又はドレイン端子)は電位供給線Iiと接続され、ゲート端子は容量素子207を介して信号線Djと接続され、第2端子(ソース端子又はドレイン端子)は発光素子209の陽極(画素電極)と接続されている。なお、電位供給線I1～Imには、発光期間において、発光素子209に所望の電流を流すための電源電位Vddが設定される。

40

【0059】

また、駆動トランジスタ206のゲート端子と第2端子(ソース端子又はドレイン端子)はスイッチ208を介して接続されている。よってスイッチ208がオンしているときは駆動トランジスタ206のゲート端子と第2端子(ソース端子又はドレイン端子)は導通される。そして、スイッチ208がオフすると、駆動トランジスタ206のゲート端子と第2端子(ソース端子又はドレイン端子)は非導通となり、その瞬間の駆動トランジスタ206のゲート端子(又は第2端子)と信号線Djとの電位差(電圧)を容量素子207は保持することができる。また、発光素子209の陰極(Cathode)210は低電源電位Vssが設定されている。なお、低電源電位とは電源電位Vddより低い電位である。

【0060】

なお、電位供給線駆動回路201及び走査線駆動回路202は左右に配置してあるがこれに限定されない。片側にまとめて配置しても良い。

【0061】

また、電位供給線I1～Imに設定する電源電位はVddに限られず、例えば、RGBの色要素からなるフルカラー表示の場合には、RGBのそれぞれの色要素の画素毎に設定する電源電位の値を変えて良い。

50

【 0 0 6 2 】

つまり、画素の一行毎に R、G、B の色要素毎の電位供給線を設けて、それぞれの色要素の列の画素は、その駆動トランジスタの第 1 端子（ソース端子又はドレイン端子）をそれぞれの行の色要素毎の電位供給線に接続する。ここで、色要素の画素毎に発光素子に印加する電圧を変える場合について図 4 8 を用いて説明する。

【 0 0 6 3 】

図 4 8 は、図 2 の画素部 2 0 4 の一部を示した図である。図 4 8 に示す画素 4 8 0 1 は電位供給線以外は図 2 の画素 2 0 5 と同じ構成であるため、それぞれの画素を構成する駆動トランジスタ、容量素子、スイッチ、発光素子の符号を省略してある。よって、画素 4 8 0 1 を構成するこれらの素子の符号は図 2 及びその説明を参照されたい。図 4 8 において、¹⁰ i 行目（1 ~ m 行のいずれか一）の画素 4 8 0 1 は電位供給線 I r i 、I g i 、I b i を有している。そして、R の色要素の列の画素 4 8 0 1 は、駆動トランジスタ 2 0 6 の第 1 端子が I r i に接続され、G の色要素の列の画素 4 8 0 1 は、駆動トランジスタ 2 0 6 の第 1 端子が I g i に接続され、B の色要素の列の画素 4 8 0 1 は、駆動トランジスタ 2 0 6 の第 1 端子が I b i に接続されている。電位供給線 I r i には発光期間に R の色要素の列の画素の発光素子 2 0 9 に所望の電流を流すための電位 V d d 1 が設定される。電位供給線 I g i には発光期間に G の色要素の列の画素の発光素子 2 0 9 に所望の電流を流すための電位 V d d 2 が設定される。電位供給線 I b i には発光期間に B の色要素の列の画素の発光素子 2 0 9 に所望の電流を流すための電位 V d d 3 が設定される。こうして、色要素毎に画素 4 8 0 1 の発光素子 2 0 9 に印加する電圧を設定することができる。²⁰

【 0 0 6 4 】

次に、図 2 及び図 3 を用いて本発明の表示装置の動作原理について説明する。図 3 は図 2 における表示装置の画素部 2 0 4 のある画素列（j 列目）のタイミングチャートを示す図である。なお、画素部 2 0 4 に複数配置されたそれぞれの画素は、画素 2 0 5 と同様の構成であるため、それぞれの画素の駆動トランジスタ、容量素子、スイッチ、発光素子は画素 2 0 5 と同様の符号を用いて説明する。

【 0 0 6 5 】

図 3 に示すように、書き込み期間には画素の信号線 D j （j 列目の Data line ）にアナログ信号電位が入力されている。そして、³⁰ i 行目の画素の書き込み時間 T i に、走査線 R i （i 行目の Reset line ）と電位供給線 I i （i 行目の I l l u m i n a t i o n line ）にパルス信号が入力されると、i 行目の画素のスイッチ 2 0 8 がオンし、駆動トランジスタ 2 0 6 の第 1 端子（ソース端子又はドレイン端子）には電位供給線 I i からの電源電位 V d d が設定され、容量素子 2 0 7 、駆動トランジスタ 2 0 6 及び発光素子 2 0 9 に電流が流れれる。

【 0 0 6 6 】

そして、容量素子 2 0 7 では電荷の蓄積若しくは放電が行われる。つまり、容量素子 2 0 7 にもともと蓄積されていた電荷と信号線 D j （Data line ）に設定された電位（V a ）との関係で電荷の蓄積か放電のどちらかが起きる。

【 0 0 6 7 】

やがて、容量素子 2 0 7 に電流が流れなくなり、駆動トランジスタ 2 0 6 及び発光素子 2 0 9 に流れる電流が一定となる。このとき、完全に定常状態にならなくてもよい。駆動トランジスタ 2 0 6 のオンオフを制御するのに必要なゲート電位が取得できれば良い。好ましくは、このとき駆動トランジスタ 2 0 6 は飽和領域で動作するようになっていると良い。⁴⁰

【 0 0 6 8 】

その後、スイッチ 2 0 8 をオフにする。すると、容量素子 2 0 7 は駆動トランジスタ 2 0 6 のオンオフを制御するのに必要なゲート端子の電位と、スイッチ 2 0 8 をオフにした瞬間の信号線 D j （Data line ）に設定されているアナログ信号電位との電位差を保持する。

【 0 0 6 9 】

10

20

30

40

50

また、スイッチ 208 をオフにしたと同時に若しくはその後、電位供給線 $I_{i(Illumination\ line)}$ の信号が H レベル（電源電位 V_{dd} ）から L レベルに立ち下がるようにする。そして、その後の書き込み期間において、駆動トランジスタ 206 がオンしているときにも発光素子 209 に印加される電圧が発光素子 209 のしきい値電圧以下となるようにする。つまり、他の行の画素の信号書き込み時間に i 行目の画素の発光素子 209 が発光しないようにする。

【0070】

つまり、 i 行目の画素の書き込み時間において、駆動トランジスタ 206 のオンオフを制御するのに必要なゲート端子の電位を取得するための間は、走査線 $R_i(R_{eset}\ line)$ と電位供給線 $I_{i(Illumination\ line)}$ の信号は H レベルとし、駆動トランジスタ 206 のオンオフを制御するのに必要なゲート端子の電位を取得後に、走査線 $R_i(R_{eset}\ line)$ と電位供給線 $I_{i(Illumination\ line)}$ の信号を同時に L レベルに立ち下がるようにするか、若しくは走査線 $R_i(R_{eset}\ line)$ の信号が L レベルに立ち下がった後、電位供給線 $I_{i(Illumination\ line)}$ の信号を L レベルに立ち下がるようにする。また、もちろん i 行目の画素への信号書き込み時間 T_i となる以前の画素への信号書き込み期間においても、走査線 $R_i(R_{eset}\ line)$ と電位供給線 $I_{i(Illumination\ line)}$ の信号は L レベルとしておく。

【0071】

こうして、 i 行目の画素の書き込み時間 T_i には、 i 行目 j 列の画素に信号線 $D_j(Data\ line)$ からビデオ信号が書き込まれる。そして、 i 行目の画素の書き込み時間 T_i には、各画素列毎にそれぞれの信号線 $D_1 \sim D_n(Data\ line)$ からそれぞれのアナログ信号電位が入力され、各列の i 行目の画素にビデオ信号が書き込まれる。

【0072】

次に、 $i+1$ 行目の画素への信号書き込み時間 T_{i+1} には、走査線 $R_{i+1}(R_{eset}\ line)$ と電位供給線 $I_{i+1}(Illumination\ line)$ にパルス信号が入力され、 $i+1$ 行目 j 列の画素の信号線 $D_j(Data\ line)$ には電位 (V_b) が入力され、 $i+1$ 行目 j 列の画素にビデオ信号が書き込まれる。なお、このとき、各画素列毎にそれぞれの信号線 $D_1 \sim D_n(Data\ line)$ からそれぞれのアナログ信号電位が入力され、各列の $i+1$ 行目の画素にもビデオ信号が書き込まれる。

【0073】

このように、画素の各行の走査線 $R_1 \sim R_m(R_{eset}\ line)$ と電位供給線 $I_1 \sim I_m(Illumination\ line)$ にパルス信号が入力されて、それぞれの画素にビデオ信号が書き込まれると 1 フレーム期間の画素部 204 への信号書き込み時間が終了する。

【0074】

続いて、発光期間には、全行の画素 205 の駆動トランジスタ 206 の第 1 端子（ソース端子又はドレン端子）に電源電位 V_{dd} を設定するため、図 3 に示すように電位供給線 $I_1 \sim I_m(Illumination\ line)$ に H レベル (V_{dd}) の信号を入力する。また、信号線 $D_1 \sim D_n(Data\ line)$ には三角波電位を設定する。すると、 i 行目 j 列の画素は信号線 $D_j(Data\ line)$ が V_a より高い電位であるときには発光素子 209 は非発光の状態を維持し、信号線 $D_j(Data\ line)$ が V_a より低い電位の間 (T_a) は発光素子 209 は発光する。また、 $i+1$ 行目 j 列の画素も同様に、期間 (T_b) の間は発光素子 209 が発光する。

【0075】

なお、画素への信号書き込み期間が終了した後、ビデオ信号が書き込まれたアナログ信号電位より高い電位が信号線 $D_1 \sim D_n(Data\ line)$ に設定されている間はその画素の発光素子 209 は発光せず、信号が書き込まれた際のアナログ信号電位より低くなるとその画素の発光素子 209 が発光する原理については、図 1 の画素構成を用いて説明したとおりなのでここでは説明を省略する。

10

20

30

40

50

【0076】

このように、発光期間においては、全画素の信号線 D₁ ~ D_n に三角波電位が設定され、それぞれ書き込み期間にビデオ信号が書き込まれた際のアナログ信号電位にしたがって発光素子 209 の発光時間が設定される。こうして、アナログ時間階調表示が可能となる。

【0077】

なお、発光素子 209 の発光・非発光を制御する駆動トランジスタ 206 のオンオフは、上述したように、書き込み期間に信号線 D₁ ~ D_n (Data line) に設定されたアナログ信号電位が、発光期間に信号線 D₁ ~ D_n (Data line) に入力される三角波電位より高いか低いかで決まり、デジタル的に制御することができる。よって、駆動トランジスタ 206 の特性のバラツキの影響を受けることが少なく駆動トランジスタ 206 のオンオフを制御することができる。つまり、画素毎の発光のバラツキを改善することができる。10

【0078】

なお、発光期間において、信号線 D₁ ~ D_n (Data line) に設定する電位は、図 43 (a)、(b)、(c)、(d)、(e)、(f)、(g) で示したように、波形 4301、波形 4302、波形 4303、波形 4304、波形 4305、波形 4306 若しくは波形 4307、又はこれらの波形を複数連続して設定しても良い。

【0079】

これらの波形を連続して設定することにより、発光時間を 1 フレーム内で分散させることができ。その結果、フレーム周波数が見かけ上は向上したようになり、画面のちらつきを防止することができる。20

【0080】

なお、陰極 210 (Cathode) に設定される低電源電位は、画素への信号書き込み期間と発光期間とで電位を異なるようにしても良い。図 3 に示すように、画素への信号書き込み期間における陰極 210 (Cathode) の電位を発光期間における陰極 210 (Cathode) の電位より高くしておくとよい。つまり、画素への信号書き込み期間における陰極 210 (Cathode) の電位を V_{ss2} とし、発光期間における陰極 210 (Cathode) の電位を V_{ss} とする。そして、このとき V_{dd} > V_{ss2} > V_{ss} とする。例えば V_{ss} = GND (グラウンド電位) としても良い。30

【0081】

このように、画素への信号書き込み期間に陰極 210 (Cathode) の電位を発光期間よりも高くしておることで、画素への信号書き込み期間における消費電力を低減することができる。

【0082】

また、陰極 210 (Cathode) の電位を適宜設定することにより画素の信号書き込み期間において容量素子 207 に信号を書き込む際の駆動トランジスタ 206 のゲートソース間電圧 V_{gs} をしきい値電圧 V_{th} に設定することができる。つまり、信号線 D₁ ~ D_n に設定されるアナログ信号電位と、駆動トランジスタ 206 の第 1 端子に電源電位 V_{dd} が設定されているときに駆動トランジスタ 206 のゲートソース間電圧 V_{gs} がしきい値電圧 V_{th} となるゲート電位との電位差をそれぞれの画素 205 の容量素子 207 は保持することができる。このように陰極 210 (Cathode) の電位を設定すると、画素への信号書き込み期間において、発光素子 209 にはほとんど電流を流すことなく信号を書き込むことができる。よって、さらなる消費電力の低減を図ることが可能となる。40

【0083】

また、本発明の画素構成は図 1 の構成に限られない。発光素子 104 とは逆向きに電流が流れるときに印加されている電圧が順方向電圧となる発光素子を用いて図 4 のような構成とすることができます。なお、ここでは、一画素のみを図示しているが、表示装置の画素部は実際には行方向と列方向にマトリクスに複数の画素が配置されている。

【0084】

画素は駆動トランジスタ 401 と、容量素子 402 と、スイッチ 403 と、発光素子 40

10

20

30

40

50

4と、電位供給線 (Illumination line) 405と、信号線 (Data line) 406と、走査線 (Reset line) 407とを有している。なお、駆動トランジスタ401にはNチャネル型トランジスタを用いている。

【0085】

駆動トランジスタ401の第1端子（ソース端子又はドレイン端子）は電位供給線405と接続され、ゲート端子は容量素子402を介して信号線406と接続され、第2端子（ソース端子又はドレイン端子）は発光素子404の陰極と接続されている。また、駆動トランジスタ401のゲート端子と第2端子（ソース端子又はドレイン端子）はスイッチ403を介して接続されている。よって、スイッチ403がオンしているときには駆動トランジスタ401のゲート端子と第2端子（ソース端子又はドレイン端子）は導通する。そして、スイッチ403がオフすると、駆動トランジスタ401のゲート端子と第2端子（ソース端子又はドレイン端子）は非導通となり、その瞬間の駆動トランジスタ401のゲート端子（若しくは第2端子）と信号線406との電位差（電圧）を容量素子402は保持することができる。なお、発光素子404の陽極（Anode）408はVddの電位が設定されている。なお、Vddとは、高電位側の電源電位であり、画素の発光期間に電位供給線405に設定される電位を低電源電位Vssとすると $V_{dd} > V_{ss}$ を満たす電位である。

10

【0086】

次に、図4に示す画素が、画素部にマトリクスに配置されたi行目j列の画素である場合として、その動作原理を図5に示すタイミングチャートを適宜用いて説明する。

20

【0087】

画素への信号書き込み期間には、j列目の画素には図5に示すように、信号線 (Data line) 406にアナログ信号電位が設定される。このアナログ信号電位がビデオ信号に相当する。そして、i行目の画素へビデオ信号を書き込む際（書き込み時間Ti）には、走査線 (Reset line) 407にHレベルの信号を入力してスイッチ403をオンさせ、且つ電位供給線 (Illumination) 405の電位を低電源電位Vssにし、駆動トランジスタ401の第1端子に低電源電位Vssを設定する。すると、駆動トランジスタ401及び発光素子404に電流が流れ、容量素子402には電荷の蓄積又は放電が行われる。

30

【0088】

このとき、駆動トランジスタ401の第1端子はソース端子となり、第2端子はドレイン端子となっている。そして、スイッチ403がオンになっている状態で駆動トランジスタ401に流れる電流が増加すると、発光素子404に流れる電流も大きくなるため、発光素子404での電圧降下は大きくなり、発光素子404の電極間の電位差は大きくなる。つまり、発光素子404の陰極の電位は電位供給線405の電位に近づく。すると、駆動トランジスタ401のゲート端子の電位も電位供給線405の電位に近づくため、駆動トランジスタ401のゲート端子とソース端子の電位差が小さくなり、駆動トランジスタ401に流れる電流は減少する。一方、発光素子404に流れる電流が小さくなると、発光素子404での電圧降下は小さくなり、発光素子404の電極間の電位差は小さくなる。つまり、発光素子404の陰極の電位は陽極408の電位に近づく。すると、駆動トランジスタ401のゲート端子も陽極408の電位に近づくため、駆動トランジスタ401のゲート端子とソース端子の電位差が大きくなり、駆動トランジスタ401に流れる電流が増加する。こうして、駆動トランジスタ401のゲート端子は駆動トランジスタ401に一定の電流が流れるような電位に落ち着く。そして、そのときの駆動トランジスタ401のゲート端子の電位と信号線406の電位との電位差分の電荷が容量素子402に蓄積される。

40

【0089】

こうしてi行目の画素へビデオ信号の書き込みが終了する。

【0090】

このように駆動トランジスタ401及び発光素子404に流れる電流が一定となり、定常

50

状態となったところで、走査線 (Reset line) 407 の信号を L レベルにし、スイッチ 403 をオフさせる。すると、容量素子 402 は、スイッチ 403 がオフした瞬間の信号線 (Data line) 406 の電位と駆動トランジスタ 401 のゲート端子（若しくはドレイン端子）との電位差 V_p (電圧) を保持する。

【0091】

画素への信号書き込み期間において、 i 行目の画素へのビデオ信号の書き込み終了後、 i 行目の画素の電位供給線 (Illumination line) 405 に設定する電位を、駆動トランジスタ 401 がオンしたとしても、発光素子 404 に印加される電圧が発光素子 404 のしきい値電圧 V_{EL} 以下となるようにする。例えば、電位供給線 405 の電位は、発光素子 404 陽極 408 の電位 V_{dd} と同じ電位、或いはそれ以上にしても良い。なお、この電位を電位供給線 405 に設定するタイミングはスイッチ 403 をオフにするタイミングと同時か、それよりも後にする。

10

【0092】

続いて、 $i+1$ 行目の画素の書き込み時間 T_{i+1} となり、同様に $i+1$ 行目の画素にビデオ信号が書き込まれる。そして、全行の画素の書き込み時間が終了し、1 フレーム分のビデオ信号が各画素に書き込まれると、画素への信号書き込み期間は終了する。

【0093】

なお、画素にビデオ信号が書き込まれ、駆動トランジスタ 401 の第 1 端子に接続された電位供給線 405 に電源電位 V_{ss} が設定されているときには、その画素にビデオ信号が書き込まれた際に信号線 406 に設定されたアナログ信号電位を基準にして、信号線 406 の電位の変動に従って駆動トランジスタ 401 のオンオフが制御されるようになる。つまり、信号線 406 の電位が、画素への信号書き込み期間に画素にビデオ信号が書き込まれた際のアナログ信号電位以下のときには駆動トランジスタ 401 はオフし、画素にビデオ信号が書き込まれた際のアナログ信号電位より高くなると駆動トランジスタ 401 はオンする。

20

【0094】

なぜなら、画素にビデオ信号が書き込まれると、容量素子 402 が電位差 (V_p) を保持するため、信号線 406 の電位が、画素にビデオ信号が書き込まれた際のアナログ信号電位以下のときには、駆動トランジスタ 401 のゲート端子の電位も、画素にビデオ信号が書き込まれた際のゲート端子の電位以下となり、駆動トランジスタ 401 はオフする。一方、信号線 406 の電位が、画素への信号書き込み期間に画素にビデオ信号が書き込まれた際のアナログ信号電位より高くなると、駆動トランジスタ 401 のゲート端子の電位も、画素にビデオ信号が書き込まれた際のゲート端子の電位より高くなるため駆動トランジスタ 401 はオンする。

30

【0095】

したがって、図 5 に示すように、画素の発光期間には、駆動トランジスタ 401 の第 1 端子が接続された電位供給線 (Illumination line) 405 に V_{ss} を設定し、走査線 (Reset line) 407 は L レベルにしてスイッチ 403 をオフにした状態で、信号線 (Data line) 406 に三角波電位を設定して駆動トランジスタ 401 のオンオフを制御する。つまり、発光素子 404 の発光・非発光を制御する駆動トランジスタ 401 のオンオフは、書き込み期間に Data line (信号線 406) に設定されたアナログ信号電位が、発光期間に Data line (信号線 406) に入力される三角波電位より高いか低いかで決まり、デジタル的に制御することができる。したがって、駆動トランジスタ 401 の特性のバラツキの影響を受けることが少なく駆動トランジスタ 401 のオンオフを制御することができる。つまり、画素毎の発光のバラツキを改善することができる。

40

【0096】

なお、画素の発光期間において、信号線 (Data line) 406 に設定する電位は周期的に変化する波形のアナログ電位を用いることができる。例えば、図 43 (a)、(b)、(c)、(d)、(e)、(f)、(g) で示したように、波形 4301、波形 43

50

02、波形4303、波形4304、波形4305、波形4306若しくは波形4307、又はこれらを複数連続して設定しても良い。

【0097】

これらの波形を連続して設定することにより、発光時間を1フレーム内で分散させることができる。その結果、フレーム周波数が見かけ上は向上したようになり、画面のちらつきを防止することができる。

【0098】

また、図5に示すように、画素への信号書き込み期間にA node(陽極408)の電位を発光期間に設定するよりも低くしておくことで、画素への信号書き込み期間における消費電力を低減することができる。

10

【0099】

また、本実施の形態に示した画素構成(図1、図2、図4など)は必要とするトランジスタの数や配線の数が少なくてすむため、画素の開口率が向上し、高精細表示が可能となる。

【0100】

また、開口率の高い画素と開口率の低い画素で、同様の光度を得る場合、開口率の高い画素は、開口率が低い画素に比べて発光素子の輝度を低くすることができ、発光素子の信頼性が向上する。特に、発光素子にEL素子を用いている場合、EL素子の信頼性が向上する。

【0101】

また、一般にPチャネル型トランジスタよりもNチャネル型トランジスタの方が移動度 μ は大きい。よって、Pチャネル型トランジスタとNチャネル型トランジスタとで同じ大きさの電流を流すためにはPチャネル型トランジスタのチャネル幅のチャネル長に対する比の値W/LをNチャネル型トランジスタのW/Lより大きくしなければならない。よって、Nチャネル型トランジスタにすることにより、トランジスタサイズを小さくすることができる。よって、図4のような画素構成とすることで画素の開口率がさらに向上する。

20

【0102】

(実施の形態2)

本実施の形態では、実施の形態1とは異なる構成を示す。本実施の形態に示す画素構成は、画素にビデオ信号を書き込む際に設定されるアナログ信号電位と、画素の点灯、非点灯を制御するアナログ電位とを別の配線によって画素に設定する構成としている。

30

【0103】

まず、図56を用いて本発明の表示装置の画素構成について詳細に説明する。画素は駆動トランジスタ5601と、容量素子5602と、第1のスイッチ5603と、発光素子5604と、電源線5605と、第2のスイッチ5606と、第3のスイッチ5607と、走査線(Reset line)5608と、第1の信号線(Data1 line)5609と、第2の信号線(Data2 line)5610とを有している。なお、駆動トランジスタ5601にはPチャネル型トランジスタを用いている。

【0104】

駆動トランジスタ5601の第1端子(ソース端子又はドレイン端子)は電源線5605と接続され、ゲート端子は容量素子5602の一方の電極と接続され、容量素子5602の他方の電極は、第2のスイッチ5606を介して第1の信号線5609と、第3のスイッチ5607を介して第2の信号線5610と接続されている。また、駆動トランジスタ5601のゲート端子と第2端子(ソース端子又はドレイン端子)は第1のスイッチ5603を介して接続されている。なお、発光素子5604の陰極(Cathode)5611はVssの電位が設定されている。なお、Vssとは、電源線5605に設定される電源電位Vddを基準として、Vss < Vddを満たす電位である。例えば、Vss = GND(グラウンド電位)としても良い。

40

【0105】

次に、図56の画素構成の動作原理について図57を用いて簡単に説明する。なお、図5

50

7に示すタイミングチャートは図56に示す複数の画素がマトリクスに配置された表示装置のj列目の画素列のタイミングチャートを示している。また、図57に示すタイミングチャートにおいて、走査線5608(Reset line)の信号がHレベルのときに、第1のスイッチ5603がオンし、Lレベルのときにオフするものとする。

【0106】

図56の画素では、ビデオ信号に相当するアナログ信号電位が第1の信号線5609に設定され、発光時間を制御するアナログ電位が第2の信号線5610に設定される。

【0107】

なお、第2の信号線5310に設定される電位は、実施の形態1の図43(a)、(b)、(c)、(d)、(e)、(f)、(g)で示したように、波形4301、波形4302、波形4303、波形4304、波形4305、波形4306若しくは波形4307、又はこれらを複数連続して設定しても良い。

10

【0108】

これらの波形を連続して設定することにより、発光時間を1フレーム内で分散させることができ。その結果、フレーム周波数が見かけ上は向上したようになり、画面のちらつきを防止することができる。

【0109】

なお、本実施の形態の画素構成を有する表示装置は、画素部の行毎に信号書き込み期間と発光期間が設定される。つまり、画素部全体としては書き込み期間と発光期間が同時に進行する。なお、各行毎の画素への信号書き込み期間を書き込み時間という。

20

【0110】

ここで、i行目の画素の信号書き込み時間について説明する。図5に示すTi期間がi行目の画素の信号書き込み時間を示している。そして、Ti期間以外の間はi行目の画素は発光期間となる。

【0111】

まず、Ti期間には第2のスイッチ5606をオンにし、第3のスイッチ5607をオフにする。そして、走査線5608(Reset line)は、期間TiにはHレベルの信号を入力し、第1のスイッチ5603をオンにする。また、i行目の画素の駆動トランジスタ5601の第1端子(ソース端子又はドレイン端子)には電源線5605からの電源電位Vddが設定され、容量素子5602、駆動トランジスタ5601及び発光素子5604に電流が流れる。そして、容量素子5602では電荷の蓄積若しくは放電が行われる。つまり、容量素子5602にもともと蓄積されていた電荷と第1の信号線5609(Data1 line)に設定された電位との関係で電荷の蓄積か放電のどちらかが起きる。そして、走査線5608(Reset line)の信号がHレベルからLレベルに立ち下がると、第1のスイッチ5603がオフする。第1のスイッチ5603がオフすると、その瞬間の駆動トランジスタ5601のゲート端子の電位と第1の信号線5609の電位との電位差を容量素子5602は保持する。

30

【0112】

こうして、i行目j列の画素に第1の信号線5609(Data1 line)からビデオ信号が書き込まれる。なお、このとき、各画素列毎にそれぞれの第1の信号線5609(Data1 line)からそれぞれのアナログ信号電位が入力され、各列のi行目の画素にビデオ信号が書き込まれる。

40

【0113】

こうして、i行目の画素の信号書き込み時間であるTi期間が終了すると、i+1行目の画素の信号書き込み時間であるTi+1期間が始まり、i行目の画素は発光期間になる。

【0114】

i行目の画素の発光期間にはi行目の画素の第1のスイッチ5603をオフにしたまま第2のスイッチ5606をオフにし、第3のスイッチ5607をオンにする。

【0115】

なお、図57に示すように第2の信号線5610(Data2 line)には三角波電

50

位が設定されている。 i 行目 j 列の画素は第 2 の信号線 5610 (Data2_line) が、 i 行目の画素の信号書き込み時間である T_i 期間に第 1 の信号線 5609 (Data1_line) に設定されたアナログ信号電位より高い電位であるときには発光素子 5604 は非発光の状態を維持し、第 2 の信号線 5610 (Data2_line) が、 i 行目の画素の信号書き込み時間である T_i 期間に第 1 の信号線 5609 (Data1_line) に設定されたアナログ信号電位より低い電位の間 (T_a) は発光素子 5604 は発光する。よって、それぞれの画素の書き込み時間にビデオ信号が書き込まれた際のアナログ信号電位にしたがって発光素子 5604 の発光時間が設定される。こうして、アナログ時間階調表示が可能となる。

【0116】

10

このように本実施の形態の画素構成を有する表示装置は、画素行毎に順次、信号書き込み期間となり、信号書き込み期間が終了すると画素行毎に発光期間に移る。よって、本実施の形態のように線順次でビデオ信号が画素に書き込まれる場合には、書き込み期間は一画素分の書き込み時間で良いため、発光時間を長くすることができる。つまり、デューティー比 (1 フレーム期間における発光期間の割合) が高いので、発光素子の瞬間輝度を低くすることができます。よって、発光素子の信頼性を向上することができる。

【0117】

また、一行毎の画素の書き込み時間を長くすることができることから、第 1 の信号線 5609 (Data1_line) にアナログ信号電位を入力する信号線駆動回路の周波数を低くすることができます。よって、消費電力を小さくすることができます。

20

【0118】

なお、発光素子 5604 の発光・非発光を制御する駆動トランジスタ 5601 のオンオフは、上述したように、書き込み期間に第 1 の信号線 5609 (Data1_line) に設定されたアナログ信号電位が、発光期間において、第 2 の信号線 5610 (Data2_line) に入力される三角波電位より高いか低いかで決まり、デジタル的に制御することができます。よって、駆動トランジスタ 5601 の特性のバラツキの影響を受けることが少なく駆動トランジスタ 5601 のオンオフを制御することができる。つまり、画素毎の発光のバラツキを改善することができる。

【0119】

30

また、図 56 では駆動トランジスタ 5601 に P チャネル型のトランジスタを用いているが、N チャネル型のトランジスタを適用することもできる。その場合には、陰極 5611 から電源線 5605 に流れる電流の向きは逆になるようになる。つまり、発光素子 5604 には順方向電圧が逆になるようになる。本実施の形態の画素構成には N チャネル型のトランジスタを、発光素子の発光・非発光を制御する駆動トランジスタに用いることができる。一般に P チャネル型トランジスタよりも N チャネル型トランジスタの方が移動度 μ が大きい。よって、同じ電流を流すとすると、トランジスタサイズを小さくすることができる。よって、画素の開口率が向上し、高詳細表示や消費電力の低減された表示装置を提供することができる。

【0120】

40

なお、本実施の形態において、発光素子を駆動する駆動トランジスタのソース端子及びドレイン端子、並びに発光素子の陽極及び陰極とは、発光素子への順方向の電圧が印加されているときの端子及び電極をいう。

【0121】

(実施の形態 3)

本実施の形態では、実施の形態 1 で示した画素のスイッチにトランジスタを適用した場合について説明する。

【0122】

図 6 に示す画素は図 1 に示した画素のスイッチ 103 に N チャネル型トランジスタを適用した構成である。画素は駆動トランジスタ 601 と、容量素子 602 と、スイッチング用トランジスタ 603 と、発光素子 604 と、電位供給線 (Illumination 1

50

ine) 605と、信号線(Data line) 606と、走査線(Reset line) 607とを有している。なお、駆動トランジスタ601にはPチャネル型トランジスタ、スイッチング用トランジスタ603にはNチャネル型トランジスタを用いている。

【0123】

駆動トランジスタ601の第1端子(ソース端子又はドレイン端子)は電位供給線605と接続され、ゲート端子は容量素子602を介して信号線606と接続され、第2端子(ソース端子又はドレイン端子)は発光素子604の陽極(画素電極)と接続されている。また、駆動トランジスタ601のゲート端子はスイッチング用トランジスタ603の第1の端子(ソース端子又はドレイン端子)と、駆動トランジスタ601の第2端子(ソース端子又はドレイン端子)はスイッチング用トランジスタ603の第2の端子(ソース端子又はドレイン端子)と接続されている。よって、走査線607にHレベルの信号を入力し、スイッチング用トランジスタ603がオンしているときには駆動トランジスタ601のゲート端子と第2端子(ソース端子又はドレイン端子)は導通する。そして、走査線607にLレベルの信号を入力し、スイッチング用トランジスタ603がオフすると、駆動トランジスタ601のゲート端子と第2端子(ソース端子又はドレイン端子)は非導通となり、その瞬間の駆動トランジスタ601のゲート端子(若しくは第2端子)と信号線606との電位差(電圧)を容量素子602は保持することができる。なお、発光素子604の陰極(Cathode)608はVssの電位が設定されている。なお、Vssとは、画素の発光期間に電位供給線605に設定される電源電位Vddを基準として、 $V_{ss} < V_{dd}$ を満たす電位である。例えば、 $V_{ss} = GND$ (グラウンド電位)としても良い。

【0124】

よって、スイッチング用トランジスタ603は図1の画素のスイッチ103と同様の機能を果たす。また、駆動トランジスタ601、容量素子602、スイッチング用トランジスタ603、発光素子604、電位供給線(Illumination line)605、信号線(Data line)606、走査線(Reset line)607は、それぞれ図1の画素の駆動トランジスタ101、容量素子102、スイッチ103、発光素子104、電位供給線(Illumination line)105、信号線(Data line)106、走査線(Reset line)107に相当する。よって、図6の画素の動作は図1の画素の動作と同様であるので、ここでは説明を省略する。

【0125】

なお、容量素子602は、書き込み期間において保持した電位差を、発光期間中保持し続けなければならない。そのため、スイッチング用トランジスタ603のリーク電流(リーク電流とは、トランジスタがオフしているときにソースドレイン間に流れてしまうオフ電流、及びゲートとソース又はドレイン間に流れてしまうゲートリーク電流をいう)や駆動トランジスタ601のゲートリーク電流を低減しなければならない。

【0126】

よって、スイッチング用トランジスタ603としては、図6に示すようにNチャネル型のトランジスタを用いると良い。Nチャネル型トランジスタは、低濃度不純物領域(Lightly Doped Drains: LDD領域ともいう)を容易に形成することができ、オフ電流の低減を図ることができるからである。

【0127】

また、駆動トランジスタ601及びスイッチング用トランジスタ603のゲート絶縁膜の材料や膜厚を適宜選択し、ゲートリーク電流を低減させることができ望ましい。さらに、ゲート電極をマルチゲート構造にすることによっても、ゲートリーク電流を低減することができる。

【0128】

また、図1に示した画素のスイッチ103にスイッチング用トランジスタとしてPチャネル型トランジスタを適用することもできる。その場合にはスイッチング用トランジスタのオンオフを制御する信号のHレベルとLレベルはNチャネル型トランジスタを適用した場合とは反転した動作となる。つまり、Lレベルのときにスイッチング用トランジスタはオ

10

20

30

40

50

ンし、H レベルのときにオフする。

【 0 1 2 9 】

また、図 1 示した画素のスイッチ 103 にスイッチング用トランジスタとして P チャネル型のトランジスタを適用することで、画素部全体若しくは周辺駆動回路まで含めて P チャネル型のトランジスタのみで構成される回路を提供することができるため、工程数の削減された低コストの単極性の表示パネルを提供することができる。

【 0 1 3 0 】

また、図 1 の画素のスイッチ 103 にスイッチング用トランジスタとして P チャネル型トランジスタを適用すると、図 1 に示す、電位供給線 105 に相当する配線を省略することができる。そのような構成について図 8 を用いて説明する。

10

【 0 1 3 1 】

画素は駆動トランジスタ 801 と、容量素子 802 と、スイッチング用トランジスタ 803 と、発光素子 804 と、信号線 (Data line) 806 と、走査線 (Reset line) 807 とを有している。なお、駆動トランジスタ 801 及びスイッチング用トランジスタ 803 には P チャネル型トランジスタを用いている。

【 0 1 3 2 】

i + 1 行目の画素の駆動トランジスタ 801 の第 1 端子 (ソース端子又はドレイン端子) は i 行目の画素の走査線 807 と接続され、ゲート端子は容量素子 802 を介して信号線 806 と接続され、第 2 端子 (ソース端子又はドレイン端子) は発光素子 804 の陽極 (画素電極) と接続されている。また、駆動トランジスタ 801 のゲート端子はスイッチング用トランジスタ 803 の第 1 の端子 (ソース端子又はドレイン端子) と、駆動トランジスタ 801 の第 2 端子 (ソース端子又はドレイン端子) はスイッチング用トランジスタ 803 の第 2 端子 (ソース端子又はドレイン端子) と接続されている。よって、走査線 807 に L レベルの信号が入力され、スイッチング用トランジスタ 803 がオンしているときには駆動トランジスタ 801 のゲート端子と第 2 端子 (ソース端子又はドレイン端子) は導通する。そして、走査線 807 に H レベルの信号が入力され、スイッチング用トランジスタ 803 がオフすると、駆動トランジスタ 801 のゲート端子と第 2 端子 (ソース端子又はドレイン端子) は非導通となり、その瞬間の駆動トランジスタ 801 のゲート端子 (若しくはドレイン端子) と信号線 806 との電位差 (電圧) を容量素子 802 は保持することができる。なお、発光素子 804 の陰極 (Cathode) 805 は Vss の電位が設定されている。なお、Vss とは、画素の発光期間に駆動トランジスタ 801 の第 1 端子 (ソース端子又はドレイン端子) に設定する電源電位 Vdd を基準として、Vss < Vdd を満たす電位である。例えば、Vss = GND (グラウンド電位) としても良い。

20

【 0 1 3 3 】

図 8 の画素構成を有する表示装置のタイミングチャートを図 9 に示す。それぞれの画素の行の走査線 807 は書き込み時間に H レベルから L レベルに立ち下がり、書き込み時間が終わると L レベルから H レベルに立ち上がる。i 行目の画素は期間 Ti、i + 1 行目の画素は期間 Ti + 1 がそれぞれの書き込み時間であり、この期間の走査線 807 の信号は L レベルである。

30

【 0 1 3 4 】

よって、発光期間において走査線 807 の信号は H レベルであるので、走査線 807 に信号を出力する回路の電流供給能力を高くすれば発光素子 804 に印加する電圧を設定する電位供給線として走査線 807 を用いることができる。なお、図 8 の構成では電位供給線として隣の行の走査線 807 を用いているが、他の行の走査線 807 であればこれに限られない。

40

【 0 1 3 5 】

なお、図 8 の構成では、書き込み期間において、他の行の画素の書き込み時間の間も発光素子 804 が発光してしまうことがあるため、Cathode (陰極 805) の電位を発光期間より高めに設定すると良い。より好ましくは実施の形態 1 で説明したように、画素へ信号を書き込む際、駆動トランジスタ 801 のゲートソース間電圧 Vgs がしきい値電

50

圧となるようにすると良い。つまり、このとき発光素子 804 に印加される電圧が発光素子 804 の順方向しきい値電圧 V_{E_L} 以下となるように Cathode (陰極 805) の電位を設定するとよい。

【0136】

図 8 のような構成とすれば、配線の数を減らすことができ、さらなる開口率の向上を図ることができる。

【0137】

また、図 4 の画素構成のスイッチ 403 に N チャネル型トランジスタを適用した構成を図 7 に示す。

【0138】

図 7 に示す画素は駆動トランジスタ 701 と、容量素子 702 と、スイッチング用トランジスタ 703 と、発光素子 704 と、電位供給線 (Illumination line) 705 と、信号線 (Data line) 706 と、走査線 (Reset line) 707 を有している。なお、駆動トランジスタ 701 及びスイッチング用トランジスタ 703 には N チャネル型トランジスタを用いている。

10

【0139】

駆動トランジスタ 701 の第 1 端子 (ソース端子又はドレイン端子) は電位供給線 705 と接続され、ゲート端子は容量素子 702 を介して信号線 706 と接続され、第 2 端子 (ソース端子又はドレイン端子) は発光素子 704 の陰極と接続されている。また、駆動トランジスタ 701 のゲート端子はスイッチング用トランジスタ 703 の第 1 の端子 (ソース端子又はドレイン端子) と、駆動トランジスタ 701 の第 2 端子 (ソース端子又はドレイン端子) はスイッチング用トランジスタ 703 の第 2 の端子 (ソース端子又はドレイン端子) と接続されている。よって、走査線 707 に H レベルの信号を入力し、スイッチング用トランジスタ 703 がオンしているときには駆動トランジスタ 701 のゲート端子と第 2 端子 (ソース端子又はドレイン端子) は導通する。そして、走査線 707 に L レベルの信号を入力し、スイッチング用トランジスタ 703 がオフすると、駆動トランジスタ 701 のゲート端子と第 2 端子 (ソース端子又はドレイン端子) は非導通となり、その瞬間の駆動トランジスタ 701 のゲート端子 (若しくは第 2 端子) と信号線 706 との電位差 (電圧) を容量素子 702 は保持することができる。なお、発光素子 704 の陽極 (Anode) 708 は V_{dd} の電位が設定されている。なお、 V_{dd} とは、画素の発光期間に電位供給線 705 に設定される低電源電位 V_{ss} を基準として、 $V_{dd} > V_{ss}$ を満たす電位である。

20

30

40

【0140】

よって、スイッチング用トランジスタ 703 は図 4 の画素のスイッチ 403 と同様の機能を果たす。また、駆動トランジスタ 701、容量素子 702、スイッチング用トランジスタ 703、発光素子 704、電位供給線 (Illumination line) 705、信号線 (Data line) 706、走査線 (Reset line) 707 は、それぞれ図 4 の画素の駆動トランジスタ 401、容量素子 402、スイッチ 403、発光素子 404、電位供給線 (Illumination line) 405、信号線 (Data line) 406、走査線 (Reset line) 407 に相当する。よって、図 7 の画素の動作は図 4 の画素の動作と同様であるので、ここでは説明を省略する。

【0141】

なお、容量素子 702 は、書き込み期間において保持した電位差を、発光期間中保持し続けなければならない。そのため、スイッチング用トランジスタ 703 のリーク電流 (リーク電流とは、トランジスタがオフしているときにソースドレイン間に流れてしまうオフ電流、及びゲートとソース又はドレイン間に流れてしまうゲートリーク電流をいう) や駆動トランジスタ 701 のゲートリーク電流を低減しなければならない。

【0142】

よって、スイッチング用トランジスタ 703 としては、図 7 に示すように N チャネル型のトランジスタを用いると良い。N チャネル型トランジスタは、低濃度不純物領域 (Lig

50

h t l y D o p e d D r a i n s : L D D 領域ともいう) を容易に形成することができ、オフ電流の低減を図ることができるからである。

【 0 1 4 3 】

また、駆動トランジスタ 701 及びスイッチング用トランジスタ 703 のゲート絶縁膜の材料や膜厚を適宜選択し、ゲートリーク電流を低減させることができが望ましい。さらに、ゲート電極をマルチゲート構造にすることによっても、ゲートリーク電流を低減することができる。

【 0 1 4 4 】

なお、一般に P チャネル型トランジスタよりも N チャネル型トランジスタの方が移動度 μ が大きい。よって、同じ電流を流すとすると、トランジスタサイズを小さくすることができる。よって、図 7 のような画素構成とすることで画素の開口率が向上する。10

【 0 1 4 5 】

また、図 7 のような構成とすれば、画素部全体若しくは周辺駆動回路まで含めて N チャネル型のトランジスタのみで構成される回路を提供することができるため、工程数の削減された低コストの単極性の表示パネルを提供することができる。

【 0 1 4 6 】

また、表示パネルの有する回路に用いる薄膜トランジスタを N チャネル型のトランジスタのみで構成することができることから、そのトランジスタの半導体層にアモルファス半導体やセミアモルファス半導体(若しくは微結晶半導体ともいう)などの非晶質半導体を用いることができる。例えば、アモルファス半導体として、アモルファスシリコン(a-Si : H)が挙げられる。よって、さらなる工程数の削減を図ることが可能である。20

【 0 1 4 7 】

また、図 4 の画素のスイッチ 403 にスイッチング用トランジスタとして N チャネル型トランジスタを適用すると、図 4 に示す、電位供給線 405 に相当する配線を省略することができる。そのような構成について図 10 を用いて説明する。

【 0 1 4 8 】

画素は駆動トランジスタ 1001 と、容量素子 1002 と、スイッチング用トランジスタ 1003 と、発光素子 1004 と、信号線(Data line) 1006 と、走査線(Reset line) 1007 とを有している。なお、駆動トランジスタ 1001 及びスイッチング用トランジスタ 1003 には N チャネル型トランジスタを用いている。30

【 0 1 4 9 】

$i + 1$ 行目の画素の駆動トランジスタ 1001 の第 1 端子(ソース端子又はドレイン端子)は i 行目の画素の走査線 1007 と接続され、ゲート端子は容量素子 1002 を介して信号線 1006 と接続され、第 2 端子(ソース端子又はドレイン端子)は発光素子 1004 の陰極と接続されている。また、駆動トランジスタ 1001 のゲート端子はスイッチング用トランジスタ 1003 の第 1 の端子(ソース端子又はドレイン端子)と、駆動トランジスタ 1001 の第 2 端子(ソース端子又はドレイン端子)はスイッチング用トランジスタ 1003 の第 2 端子(ソース端子又はドレイン端子)と接続されている。よって、走査線 1003 に H レベルの信号が入力され、スイッチング用トランジスタ 1003 がオンしているときには駆動トランジスタ 1001 のゲート端子と第 2 端子(ソース端子又はドレイン端子)は導通する。そして、走査線 1003 に L レベルの信号が入力され、スイッチング用トランジスタ 1003 がオフすると、駆動トランジスタ 1001 のゲート端子と第 2 端子(ソース端子又はドレイン端子)は非導通となり、その瞬間の駆動トランジスタ 1001 のゲート端子(若しくはドレイン端子)と信号線 1006 との電位差(電圧)を容量素子 1002 は保持することができる。なお、発光素子 1004 の陽極(Anode) 1005 は Vdd の電位が設定されている。なお、Vdd とは、画素の発光期間に駆動トランジスタ 1001 の第 1 端子(ソース端子又はドレイン端子)に設定する低電源電位 Vss を基準として、Vdd > Vss を満たす電位である。40

【 0 1 5 0 】

図 10 の画素構成を有する表示装置のタイミングチャートを図 11 に示す。それぞれの画

素の行の走査線 1007 は書き込み時間に L レベルから H レベルに立ち上がり、書き込み時間が終わると H レベルから L レベルに立ち下がる。i 行目の画素は期間 T_i 、 $i + 1$ 行目の画素は期間 T_{i+1} がそれぞれの書き込み時間であり、この期間の走査線 1007 の信号は H レベルである。

【0151】

よって、発光期間において走査線 1007 の信号は L レベルであるので、走査線 1007 に信号を出力する回路の電流供給能力を高くすれば発光素子 1004 に印加する電圧を設定する電位供給線として走査線 1007 を用いることができる。なお、図 10 の構成では電位供給線として隣の行の走査線 1007 を用いているが、他の行の走査線 1007 であればこれに限られない。

10

【0152】

なお、図 10 の構成では、書き込み期間において、他の行の画素の書き込み時間の間も発光素子 1004 が発光してしまうことがあるため、陽極 1005 (Anode) の電位を発光期間より低めに設定すると良い。より好ましくは実施の形態 1 で説明したように、画素へ信号を書き込む際、駆動トランジスタ 1001 のゲートソース間電圧 V_{gs} がしきい値電圧となるようにすると良い。つまり、このとき発光素子 1004 に印加される電圧が発光素子 1004 の順方向しきい値電圧 V_{EL} 以下となるように陽極 1005 (Anode) の電位を設定するとよい。

【0153】

図 10 のような構成とすれば、配線の数を減らすことができ、さらなる開口率の上昇を図ることができる。

20

【0154】

なお、もちろん、図 4 のスイッチ 403 として P チャネル型のトランジスタを適用することもできる。

【0155】

(実施の形態 4)

本実施の形態では、実施の形態 1 で示した画素構成において、さらに発光素子の信頼性を向上させる駆動方法と、実施の形態 1 で示した画素構成よりもさらに発光素子の信頼性の向上する画素構成及びその駆動方法について説明する。

30

【0156】

まず、実施の形態 1 の図 1 で示した画素構成を用いて、本実施の形態による駆動方法を説明する。

【0157】

本実施の形態においては、1 フレーム期間に順方向バイアス期間（書き込み期間及び発光期間）と逆方向バイアス期間とを有する。順方向バイアス期間の書き込み期間及び発光期間においては、実施の形態 1 で示した動作と同様であるので説明は省略する。

【0158】

逆方向バイアス期間には、図 51 に示すように発光期間に電位供給線 (Illumination line) 105 に設定する電位 V_{dd} と陰極 (Cathode) 108 に設定する電位 V_{ss} を逆にする。つまり、逆方向バイアス期間には電位供給線 (Illumination line) 105 に低電源電位 V_{ss} を設定し、陰極 (Cathode) 108 には電源電位 V_{dd} を設定する。そして、スイッチ 103 をオフにする。すると、駆動トランジスタ 101 の第 1 端子及び第 2 端子はソース端子とドレイン端子が順方向バイアス期間とは逆になる。つまり、順方向バイアス期間のときには、駆動トランジスタ 101 の第 1 端子はソース端子、第 2 端子はドレイン端子として機能するが、逆方向バイアス期間のときには、駆動トランジスタ 101 の第 1 端子がドレイン端子、第 2 端子がソース端子として機能する。また、発光素子 105 の陽極又は陰極として機能していた電極も逆になる。また、このとき、信号線 106 には駆動トランジスタ 101 が十分にオンするように電位を設定する。

40

【0159】

50

なお、逆方向バイアス期間の初めに駆動トランジスタ101のゲート端子の電位を設定してもよい。つまり、図52に示すように、逆方向バイアス期間の初めに、ゲート電位設定期間 T_r を設ける。このとき、走査線107(Reset line)にHレベルの信号を設定し、スイッチ103をオンにする。そして、電位供給線105(Illumination line)の電位はHレベル(Vdd)に設定し、信号線106にはHレベル(ここでHレベルとは三角波電位の最低電位より高い電位を示し、より好ましくは三角波電位の中間電位より高い電位である)の電位を設定しておく。すると、駆動トランジスタ101のオンオフを制御するのに必要なゲート端子の電位と信号線106のHレベルの電位との電位差が容量素子102に保持される。

【0160】

逆方向バイアス期間において、ゲート電位設定期間 T_r が終了すると、走査線107の電位がLレベルになり、スイッチ103はオフする。そして、信号線106の電位がHレベルからLレベル(ここでLレベルとは信号線106に設定するHレベルの電位より低い電位であり、より好ましくは三角波電位の中間の電位より低い電位である)にする。すると、容量素子102が電位差を保持したまま、信号線106の電位が低くなる。よって、逆方向バイアス期間における信号線106に設定するHレベルとLレベルの信号の電位を適宜設定することにより、駆動トランジスタ101を十分にオンすることができる。

【0161】

したがって、駆動トランジスタ101がオンし、発光素子104には、順方向バイアス期間とは逆の電圧を印加することができる。

【0162】

このように、逆方向バイアス期間において、順方向バイアス期間とは逆方向の電圧を発光素子104に印加しても、正常な発光素子104には電流は流れない(若しくは流れたとしても微少な電流である)。一方、発光素子104に短絡箇所が有る場合には、その短絡箇所に電流が流れる。そして、短絡箇所を絶縁化する。よって、逆方向バイアス期間には、この短絡箇所を絶縁するのに十分な電流を流すように逆方向の電圧を発光素子104に印加する。

【0163】

よって、上述したように、逆方向バイアス期間において、電位供給線105に設定する電位はVssに限られない。また、陰極108に設定する電位もVddに限られない。つまり、逆方向バイアス期間に発光素子104の短絡箇所を絶縁するのに十分な電流を流せねば良い。

【0164】

このように、発光素子104の短絡箇所を絶縁することにより、画素の表示不良を改善することができる。また、発光素子104の寿命を延ばすことが可能となる。

【0165】

また、実施の形態1の図1とは異なる画素構成により、発光素子の信頼性を高くする画素について図53を用いて説明する。なお、本構成においても順方向バイアス期間(書き込み期間及び発光期間)と逆方向バイアス期間を有する。

【0166】

画素は駆動トランジスタ5301と、容量素子5302と、スイッチ5303と、発光素子5304と、電位供給線(Illumination line)5305と、信号線(Data line)5306と、走査線(Reset line)5307と、逆バイアス用スイッチ5309と、配線5310とを有している。なお、駆動トランジスタ5301にはPチャネル型トランジスタを用いている。

【0167】

駆動トランジスタ5301の第1端子(ソース端子又はドレイン端子)は電位供給線5305と接続され、ゲート端子は容量素子5302を介して信号線5306と接続され、第2端子(ソース端子又はドレイン端子)は発光素子5304の陽極(画素電極)と接続されている。また、駆動トランジスタ5301のゲート端子と第2端子(ソース端子又はド

10

20

30

40

50

レイン端子)はスイッチ5303を介して接続されている。よって、スイッチ5303がオンしているときには駆動トランジスタ5301のゲート端子と第2端子(ソース端子又はドレイン端子)は導通する。そして、スイッチ5303がオフすると、駆動トランジスタ5301のゲート端子と第2端子(ソース端子又はドレイン端子)は非導通となり、その瞬間の駆動トランジスタ5301のゲート端子(若しくは第2端子)と信号線5306との電位差(電圧)を容量素子5302は保持することができる。なお、発光素子5304の陰極(Cathode)5308はVssの電位が設定されている。なお、Vssとは、画素の発光期間に電位供給線5305に設定される電源電位Vddを基準として、Vss < Vddを満たす電位である。例えば、Vss = GND(グラウンド電位)としても良い。また、発光素子5304の陽極は逆バイアス用スイッチ5309を介してVss3の電位が設定された配線5310と接続されている。なお、Vss3はVss3 < Vssを満たす電位であり、逆方向バイアス期間に逆バイアス用スイッチ5309がオンすると発光素子5304には、順方向バイアス期間とは逆の方向に電圧が印加される。よって、このとき、発光素子5304の陽極と陰極の電位の高低が逆になる。

10

【0168】

次に、図53の画素構成の動作原理について詳しく説明する。

【0169】

画素への信号書き込み期間には、逆バイアス用スイッチ5309はオフにし、信号線5306にはアナログ信号電位が設定される。このアナログ信号電位がビデオ信号に相当する。そして、画素へビデオ信号を書き込む際には、走査線5307に信号を入力してスイッチ5303をオンさせ、且つ電位供給線5305の電位を電源電位Vddにし、駆動トランジスタ5301の第1端子に電源電位Vddを設定する。すると、駆動トランジスタ5301及び発光素子5304に電流が流れ、容量素子5302には電荷の蓄積又は放電が行われる。

20

【0170】

なお、このとき逆バイアス用スイッチ5309をオンにしてもよい。すると、書き込みの際に発光素子5304へ電流を流さなくすることができる。

【0171】

このとき、駆動トランジスタ5301の第1端子はソース端子となり、第2端子はドレイン端子となっている。そして、スイッチ5303がオンになっている状態で駆動トランジスタ5301に流れる電流が増加すると、発光素子5304に流れる電流も大きくなるため、発光素子5304での電圧降下は大きくなり、発光素子5304の電極間の電位差は大きくなる。つまり、発光素子5304の陽極の電位は電位供給線5305の電位に近づく。すると、駆動トランジスタ5301のゲート端子の電位も電位供給線5305の電位に近づくため、駆動トランジスタ5301のゲート端子とソース端子の電位差が小さくなり、駆動トランジスタ5301に流れる電流は減少する。一方、発光素子5304に流れる電流が小さくなると、発光素子5304での電圧降下は小さくなり、発光素子5304の電極間の電位差は小さくなる。つまり、発光素子5304の陽極の電位は陰極5308の電位に近づく。すると、駆動トランジスタ5301のゲート端子も陰極5308の電位に近づくため、駆動トランジスタ5301のゲート端子とソース端子の電位差が大きくなり、駆動トランジスタ5301に流れる電流が増加する。こうして、駆動トランジスタ5301のゲート端子は駆動トランジスタ5301に一定の電流が流れのような電位に落ち着く。そして、そのときの駆動トランジスタ5301のゲート端子の電位と信号線5306の電位との電位差分の電荷が容量素子5302に蓄積される。

30

【0172】

こうしてこの画素へビデオ信号の書き込みが終了する。

【0173】

このように駆動トランジスタ5301及び発光素子5304に流れる電流が一定となり、定常状態となったところで、スイッチ5303をオフさせる。すると、容量素子5302は、スイッチ5303がオフした瞬間の信号線5306の電位と駆動トランジスタ530

40

50

1のゲート端子（若しくはドレイン端子）との電位差 V_p （電圧）を保持する。

【0174】

画素へのビデオ信号の書き込み終了後、電位供給線5305に設定する電位を、駆動トランジスタ5301がオンしたとしても、発光素子5304に印加される電圧が発光素子5304のしきい値電圧 V_{EL} 以下となるようになる。例えば、電位供給線5305の電位は、発光素子5304の陰極5308の電位 V_{SS} と同じ電位、或いはそれ以下にしても良い。なお、この電位を電位供給線5305に設定するタイミングはスイッチ5303をオフにするタイミングと同時か、それよりも後にする。

【0175】

なお、画素にビデオ信号が書き込まれ、駆動トランジスタ5301の第1端子に接続された電位供給線5305に電源電位 V_{dd} が設定されているときには、その画素にビデオ信号が書き込まれた際に信号線5306に設定されたアナログ信号電位を基準にして、信号線5306の電位の変動に従って駆動トランジスタ5301のオンオフが制御されるようになる。つまり、信号線5306の電位が、画素への信号書き込み期間に画素にビデオ信号が書き込まれた際のアナログ信号電位以上のときには駆動トランジスタ5301はオフし、画素にビデオ信号が書き込まれた際のアナログ信号電位より低くなると駆動トランジスタ5301はオンする。

【0176】

なぜなら、画素にビデオ信号が書き込まれると、容量素子5302が電位差（ V_p ）を保持するため、信号線5306の電位が、画素にビデオ信号が書き込まれた際のアナログ信号電位以上のときには、駆動トランジスタ5301のゲート端子の電位も、画素にビデオ信号が書き込まれた際のゲート端子の電位以上となり、駆動トランジスタ5301はオフする。一方、信号線5306の電位が、画素への信号書き込み期間に画素にビデオ信号が書き込まれた際のアナログ信号電位より低くなると、駆動トランジスタ5301のゲート端子の電位も、画素にビデオ信号が書き込まれた際のゲート端子の電位より低くなるため駆動トランジスタ5301はオンする。

【0177】

したがって、画素の発光期間には、逆バイアス用スイッチ5309をオフにしたまま、駆動トランジスタ5301の第1端子が接続された電位供給線5305に V_{dd} を設定し、スイッチ5303をオフにした状態で、信号線5306に設定する電位をアナログ的に変化させることで、駆動トランジスタ5301のオンオフを制御する。つまり、発光素子5304に電流が流れている時間をアナログ的に制御して階調を表現することができる。

【0178】

画素の発光期間において、信号線5306に設定する電位について説明する。信号線5306に設定する電位は周期的に変化する波形のアナログ電位を用いることができる。

【0179】

例えば、発光期間には、信号線5306に設定する電位は、実施の形態1で示したように、波形4301、波形4302、波形4303、波形4304、波形4305、波形4306若しくは波形4307、又はこれらを複数連続して設定しても良い。

【0180】

これらの波形を連続して設定することにより、発光時間を1フレーム内で分散させることができる。その結果、フレーム周波数が見かけ上は向上したようになり、画面のちらつきを防止することができる。

【0181】

そして、逆方向バイアス期間には、スイッチ5303をオフにし、電位供給線5305をLレベルにして駆動トランジスタ5301をオフする。そして、逆バイアス用スイッチ5309をオンにする。

【0182】

すると、順方向バイアス期間（書き込み期間及び発光期間のことをいう）において、発光素子5304の陽極として機能していた電極は配線5310と接続される。よって、順方

10

20

30

40

50

向バイアス期間において発光素子 5304 の陽極や陰極として機能していたそれぞれの電極に設定される電位の高低が、逆方向バイアス期間には逆になる。つまり、逆方向バイアス期間においては、発光素子 5304 に順方向バイアス期間とは逆方向の電圧を印加する。

【0183】

このように、逆方向バイアス期間において、順方向バイアス期間とは逆方向の電圧を発光素子 5304 に印加しても、正常な発光素子 5304 には電流は流れない。一方、発光素子 5304 に短絡箇所が有る場合には、その短絡箇所に電流が流れる。そして、短絡箇所を絶縁化する。よって、逆方向バイアス期間には、この短絡箇所を絶縁するのに十分な電流を流すように逆方向の電圧を発光素子 5304 に印加する。

10

【0184】

このように、発光素子 5304 の短絡箇所を絶縁することにより、画素の表示不良を改善することができる。また、発光素子 5304 の寿命を延ばすことが可能となる。

【0185】

なお、図 52 に示すように陰極 (Cathode) 5308 の電位を順方向バイアス期間よりも逆方向バイアス期間は高くするとよい。こうすることで、発光素子 5304 の短絡箇所を絶縁するために十分な電流を得るために電圧を設定しやすくなる。

【0186】

(実施の形態 5)

本実施の形態では、画素毎の書き込み時間を長くすることができる画素構成を有する表示装置について説明する。

20

【0187】

図 12 に示す表示装置は電位供給線駆動回路 1201、信号線駆動回路 1202、走査線駆動回路 1203、画素部 1204 を有し、画素部 1204 は複数の画素 1205 を備えている。行方向に配置された電位供給線 (Illumination line) I1 ~ Im と列方向に配置された信号線 (Data line) Da1 ~ Dan 及び Db1 ~ Dbn に対応して画素 1205 がマトリクスに配置されている。行方向に配置された走査線 (Reset line) R1 ~ Rm / 2 は二行分の画素のスイッチのオンオフを制御する配線として共有されている。

30

【0188】

例えば、(m - 1) 行の画素 1205 のそれぞれは駆動トランジスタ 1206 と、容量素子 1207 と、スイッチ 1208 と、発光素子 1209 と、電位供給線 Im - 1 と、それぞれの信号線 (Da1 ~ Dan) と、走査線 Rm / 2 とを有している。なお、駆動トランジスタ 1206 には P チャネル型トランジスタを用いている。なお、画素 1205 は画素部 1204 に複数配置された画素の一画素を示している。

【0189】

駆動トランジスタ 1206 の第 1 端子 (ソース端子又はドレイン端子) は電位供給線 Im - 1 と接続され、ゲート端子は容量素子 1207 を介してそれぞれの信号線 (Da1 ~ Dan) と接続され、第 2 端子は発光素子 1209 の陽極 (画素電極) と接続されている。また、駆動トランジスタ 1206 のゲート端子と第 2 端子 (ソース端子又はドレイン端子) はスイッチ 1208 を介して接続されている。よって、走査線 Rm / 2 に信号が入力され、スイッチ 1208 がオンしているときには駆動トランジスタ 1206 のゲート端子と第 2 端子 (ソース端子又はドレイン端子) は導通し、スイッチ 1208 がオフすると、駆動トランジスタ 1206 のゲート端子と第 2 端子 (ソース端子又はドレイン端子) は非導通となり、その瞬間の駆動トランジスタ 1206 のゲート端子 (若しくはドレイン端子) と信号線 (Da1 ~ Dan) との電位差 (電圧) を容量素子 1207 は保持することができる。また、発光素子 1209 の陰極 (Cathode) 1210 は Vss の電位が設定されている。なお、Vss とは、画素の発光期間に電位供給線 I1 ~ Im に設定される電源電位 Vdd を基準として、Vss < Vdd を満たす電位である。例えば、Vss = GND (グラウンド電位) としても良い。

40

50

【0190】

つまり、 $m - 1$ 行目のそれぞれの画素 1205 のスイッチ 1208 は走査線 $R_{m,2}$ に設定される信号によってオンオフが制御される。また、 m 行目のそれぞれの画素 1205 のスイッチ 1208 も同様に走査線 $R_{m,2}$ に設定される信号によってオンオフが制御される。そして、 m 行目の画素 1205 のそれぞれの駆動トランジスタ 1206 のゲート端子は信号線 ($D_{b1} \sim D_{bn}$) のそれに容量素子 1207 を介して接続されている。

【0191】

よって、走査線 $R_{m,2}$ に設定される信号によって、 $m - 1$ 行目の画素と、 m 行目の画素が同時に書き込み時間となる。そして、 $m - 1$ 行目のそれぞれの画素はそれぞれの信号線 ($D_{a1} \sim D_{an}$) からアナログ信号電位が設定されビデオ信号の書き込みが行われる。そして、 m 行目の画素はそれぞれの信号線 ($D_{b1} \sim D_{bn}$) からアナログ信号電位が設定され、ビデオ信号の書き込みが行われる。10

【0192】

$m - 1$ 行目の画素と m 行目の画素を例に説明したが、他の行も同様に 1 つの走査線 R_i ($R_1 \sim R_{m,2}$ のうちいずれか一) により二行分の画素が選択され、同時に書き込み時間となる。よって、図 2 に示す表示装置と解像度が同じ表示装置であれば、画素の書き込み時間を 2 倍にすることができる。

【0193】

なお、図 12においては、2 行分の画素を同時に書き込むことができる構成について示したが、2 行に限らず、複数行の画素において走査線を共通とし、その共通とした行数分の走査線を設けることで、適宜書き込み時間を長くすることもできる。20

【0194】

したがって、従来の構成では高解像度になるに従って書き込み時間は減少するが、本実施の形態のような表示装置とすることで、十分な書き込み時間を確保することができる。

【0195】

また、本実施の形態に示した表示装置は書き込み時間を長くすることができますことから、動作周波数を低くすることができます、低消費電力化を図ることができる。

【0196】

なお、図 12 に示す表示装置の構成はこれに限定されない。例えば、本構成の表示装置の画素 1205 には、図 4、図 6、図 7 などの画素を適用することもできる。30

【0197】

(実施の形態 6)

本実施の形態では、本発明の画素構成を有するフルカラー表示の好適な表示装置の構成について説明する。

【0198】

実施の形態 1 で示したように、フルカラー表示の場合には、電位供給線 ($Illumination\ line$) を画素の色毎に設け、それぞれの電位供給線の信号レベルの電位を色毎に設定することで、発光素子の輝度を色毎にそれぞれ調整することができる。発光素子が色毎に異なる輝度特性であっても、色合いを調整することができる。例えば、図 4 8 で示したような画素を有する場合には、R の画素の発光素子の陽極に電位を設定する I_{ri} 、G の画素の発光素子の陽極に電位を設定する I_{gi} 、B の画素の発光素子の陽極に電位を設定する I_{bi} に入力する H レベルの電位をそれぞれの色毎の輝度特性に応じて定めることができる。40

【0199】

しかし、RGB の色要素からなるフルカラー表示の場合にはそれぞれの行の画素に 3 本の配線が必要になり、RGBW からなるフルカラー表示の場合には 4 本の配線が必要である。

【0200】

本実施の形態では、さらに画素の開口率が高く、2 以上の色要素からなり、きれいなフル

カラー表示が可能な表示装置について以下に説明する。

【0201】

第1の構成として、例えば、画素の発光素子に白色(W)の発光素子を適用して、カラー フィルターを用いてフルカラー表示を行うことにより、画素の色毎から得られる輝度を概ね等しくすることができる。

【0202】

第2の構成として、図58に本実施の形態の表示装置の模式図を示す。なお、図58では一例としてRGBのそれぞれの発光素子を用いたそれぞれの色の画素からなるフルカラー表示装置の模式図を示している。表示装置は、三角波電位生成回路5801R、5801G、5801B、切り替え回路5802、画素部5803を有する。画素部5803には、複数の画素5804がマトリクスに配置されている。Rの画素列へは信号線Drから、Gの画素列へは信号線Dgから、Bの画素列へは信号線Dbから信号が入力される。

10

【0203】

また、三角波電位生成回路5801Rは、Rの画素列の三角波電位を生成する。また、三角波電位生成回路5801Gは、Gの画素列、三角波電位生成回路5801Bは、Bの画素列の三角波電位を生成する。

【0204】

画素の信号書き込み期間には、切り替え回路5802により、ビデオ信号(Analog video data)が入力される端子とそれぞれの信号線Dr、Dg、Dbを接続する。そして、発光期間になると、切り替え回路5802は、三角波電位生成回路5801Rにより三角波が入力される端子と信号線Dr、三角波電位生成回路5801Gにより三角波が入力される端子と信号線Dg、三角波電位生成回路5801Bにより三角波が入力される端子と信号線Dbとを接続する。

20

【0205】

こうして、色毎の画素によって、別々の三角波を設定することができる。したがって、色毎の発光素子の輝度特性に応じて、発光時間を制御することができるためきれいな表示のフルカラー表示を行うことができる。また、画素5804内に画素の色毎に配線を設ける必要がないため開口率も高くすることができる。

【0206】

なお、画素5804は図1の画素構成を適用しているがこれに限定されない。画素への信号書き込み期間に入力するビデオ信号の電位より発光期間に入力する三角波電位が高いか低いかで画素の点灯時間を制御することが可能な画素構成であればよい。よって、実施の形態1乃至5で示した画素を適宜適用することが可能であるし、例えば以下に示す図66～図78の画素構成を適用することもできる。

30

【0207】

図66の画素は、トランジスタ6601と、容量素子6602と、トランジスタ6603と、トランジスタ6604と、トランジスタ6605と、容量素子6606と、発光素子6607と、信号線6608と、走査線6609と、電源線6610とを有している。

【0208】

トランジスタ6601は、第1端子(ソース端子又はドレイン端子)が発光素子6607の画素電極に接続され、第2端子(ソース端子又はドレイン端子)が電源線6610に接続されている。また、トランジスタ6601のゲート端子は容量素子6602を介して配線6613に接続されている。また、トランジスタ6603は、第1端子(ソース端子又はドレイン端子)がトランジスタ6601のゲート端子に接続され、第2端子(ソース端子又はドレイン端子)とゲート端子が配線6612に接続されている。また、トランジスタ6604は、第1端子(ソース端子又はドレイン端子)がトランジスタ6601のゲート端子に接続され、第2端子(ソース端子又はドレイン端子)が配線6612に接続され、ゲート端子が容量素子6606を介して信号線6608に接続されている。また、トランジスタ6605は、ゲート端子が走査線6609に接続され、第1端子(ソース端子又はドレイン端子)がトランジスタ6601のゲート端子に接続され、第2端子がトランジ

40

50

スタ 6 6 0 4 のゲート端子に接続されている。なお、配線 6 6 1 3 及び対向電極 6 6 1 1 には所定の電位が供給されている。

【 0 2 0 9 】

画素の動作について簡単に説明する。まず、配線 6 6 1 2 を L レベルから H レベルの電位にする。すると、配線 6 6 1 2 からトランジスタ 6 6 0 3 に電流が流れ。また、走査線 6 6 0 9 の電位を L レベルから H レベルにしてトランジスタ 6 6 0 5 をオンにする。こうして、トランジスタ 6 6 0 4 のゲート端子はトランジスタ 6 6 0 4 が十分にオンする電位となり、その電位は容量素子 6 6 0 6 の一方の電極にも印加されている。その後配線 6 6 1 2 の電位を H レベルから L レベルにすると、容量素子 6 6 0 6 に蓄積された電荷がトランジスタ 6 6 0 4 を介して配線 6 6 1 2 に流れ、トランジスタ 6 6 0 4 はしきい値電圧となる。そして、容量素子 6 6 0 6 の一方の電極の電位はそのときのトランジスタ 6 6 0 4 のゲート電位となる。このとき、信号線 6 6 0 8 にビデオ信号に相当するアナログ電位を供給しておく。すると、容量素子 6 6 0 6 には、トランジスタ 6 6 0 4 がしきい値電圧となるゲート電位と、ビデオ信号に相当するアナログ信号電位との電位差分の電荷が保持される。そして、走査線 6 6 0 9 の電位を H レベルから L レベルにすることにより、この電位差を容量素子 6 6 0 6 で保持する。10

【 0 2 1 0 】

その後発光期間に配線 6 6 1 2 の電位を L レベルから H レベルにする。すると、トランジスタ 6 6 0 3 に電流が流れ、トランジスタ 6 6 0 1 が十分にオンする電位がトランジスタ 6 6 0 1 のゲート端子に入力される。そして、その電位が容量素子 6 6 0 2 の一方の電極にも印加される。こうして、トランジスタ 6 6 0 1 及び発光素子 6 6 0 7 に電流が流れ。そして、配線 6 6 1 2 の電位を H レベルから L レベルにして、信号線 6 6 0 8 に、ビデオ信号に相当するアナログ信号電位のとりうる範囲の最低電位から最高電位へ連続的に変化する電位、若しくは最高電位から最低電位へ連続的に変化する電位、又は最低電位と最高電位との間をくり返し連続的に変化する電位を入力する。すると、発光期間に信号線 6 6 0 8 に連続的に供給される電位が書き込み期間に画素へ書き込まれたビデオ信号に相当するアナログ信号電位よりも高くなると、トランジスタ 6 6 0 4 がオンする。そのため、容量素子 6 6 0 2 に蓄積された電荷がトランジスタ 6 6 0 4 を介して配線 6 6 1 2 に放電する。こうしてトランジスタ 6 6 0 1 はオフする。よって、発光期間のうち任意の時間だけ発光素子 6 6 0 7 を発光させることができるので階調表示を行うことができる。20

【 0 2 1 1 】

図 6 7 の画素は、駆動トランジスタ（第 1 のトランジスタ）6 7 0 1 と、相補用トランジスタ（第 2 のトランジスタ）6 7 0 2 と、容量素子 6 7 0 3 と、スイッチ 6 7 0 4 と、発光素子 6 7 0 5 と、走査線 6 7 0 6 と、信号線 6 7 0 7 と、電源線 6 7 0 8 とを有している。なお、駆動トランジスタ 6 7 0 1 には P チャネル型トランジスタ、相補用トランジスタ 6 7 0 2 には N チャネル型トランジスタを用いている。30

【 0 2 1 2 】

駆動トランジスタ 6 7 0 1 は、第 1 端子（ソース端子又はドレイン端子）が電源線 6 7 0 8 と接続され、第 2 端子（ソース端子又はドレイン端子）が相補用トランジスタ 6 7 0 2 の第 2 端子（ソース端子又はドレイン端子）と接続され、ゲート端子が相補用トランジスタ 6 7 0 2 のゲート端子と接続されている。さらに、駆動トランジスタ 6 7 0 1 及び相補用トランジスタ 6 7 0 2 のゲート端子は、容量素子 6 7 0 3 を介して信号線 6 7 0 7 に接続されると共に、スイッチ 6 7 0 4 を介して駆動トランジスタ 6 7 0 1 及び相補用トランジスタ 6 7 0 2 の第 2 端子（ソース端子又はドレイン端子）と接続されている。つまり、スイッチ 6 7 0 4 をオンオフすることで、駆動トランジスタ 6 7 0 1 及び相補用トランジスタ 6 7 0 2 のゲート端子と第 2 端子（ソース端子又はドレイン端子）とを導通又は非導通にできる。そして、走査線 6 7 0 6 に信号を入力することによりスイッチ 6 7 0 4 のオンオフを制御する。また、駆動トランジスタ 6 7 0 1 及び相補用トランジスタ 6 7 0 2 の第 2 端子（ソース端子又はドレイン端子）は、発光素子 6 7 0 5 の画素電極と接続されている。そして、発光素子 6 7 0 5 の対向電極 6 7 0 9 には低電源電位 V_{ss} が接続されている。40

10

20

30

40

50

供給されている。なお、V_{SS}とは、電源線6708に供給される電源電位V_{dd}を基準として、V_{SS} < V_{dd}を満たす電位である。例えば、V_{SS} = GND(グラウンド電位)としても良い。また、相補用トランジスタ6702の第1端子は配線6712と接続されている。この配線6712に供給する電位は、相補用トランジスタ6702がオンするときに、発光素子6705の画素電極に印加される。そしてこのとき発光素子6705が非発光となるような電位であればなんでもよい。よって、V_{SS}でもよい。

【0213】

次に、図67の画素構成の動作原理について詳しく説明する。

【0214】

画素への信号書き込み期間には、信号線6707にはアナログ信号電位が供給される。このアナログ信号電位がビデオ信号に相当する。そして、画素へビデオ信号を書き込む際には、走査線6706にHレベルの信号を入力してスイッチ6704をオンさせる。なお、駆動トランジスタ6701と相補用トランジスタ6702とはインバータとして動作する。また、インバータとして動作しているときには、駆動トランジスタ6701及び相補用トランジスタ6702のゲート端子の接続点がインバータの入力端子6710となり、駆動トランジスタ6701及び相補用トランジスタ6702の第2端子の接続点がインバータの出力端子6711となる。また、インバータとして動作しているときには、駆動トランジスタ6701及び相補用トランジスタ6702は共に第1端子がソース端子、第2端子がドレイン端子となる。

【0215】

このようにスイッチ6704がオンすると、インバータの入力端子6710は出力端子6711と導通し、駆動トランジスタ6701、相補用トランジスタ6702、発光素子6705に電流が流れ、容量素子6703では電荷の放電又は蓄積が行われる。

【0216】

こうして、インバータはオフセットキャンセルする。なお、オフセットキャンセルとは、入力端子6710と出力端子6711を導通し、入力電位と出力電位を等しくし、入力端子6710をインバータの論理しきい値電位V_{inv}にすることをいう。よって、この論理しきい値V_{inv}は、理想的にはインバータの出力のLレベルとHレベルの中間の電位である。

【0217】

なお、インバータの出力のHレベルの電位は電源線6708の電源電位V_{dd}であり、インバータのLレベルの電位は配線6712に供給される電位である。また、インバータのHレベルの出力となる電源電位V_{dd}と、インバータのLレベルの出力となる配線6712に供給される電位は、対向電極6709の電位を基準に設定する。そして、インバータの出力がHレベルのときは、発光素子6705が発光し、インバータの出力がLレベルのときには非発光となるようとする。

【0218】

つまり、発光素子6705が発光し始めるときの電圧をV_{EL}とすると、インバータのLレベルの電位(配線6712に供給される電位)はV_{SS} + V_{EL}よりも低くする必要がある。また、インバータのHレベルの電位は、V_{SS} + V_{EL}よりも高くする必要がある。

【0219】

なお、インバータのLレベルの電位が対向電極6709に供給される電位よりも低い電位とすると、発光素子6705に逆バイアス状態の電圧が加わる。よって、発光素子6705の劣化が抑制され、望ましい。

【0220】

なお、容量素子6703での電荷の放電又は蓄積は、もともと容量素子6703に蓄積されていた電荷と、信号線6707に供給される電位との関係で決まる。そして、容量素子6703での電荷の放電又は蓄積が完了すると、容量素子6703には信号線6707と、論理しきい値V_{inv}との電位差(電圧V_p)分の電荷が蓄積されていることになる。

10

20

30

40

50

そして、走査線 6706 の信号を L レベルにすることにより、スイッチ 6704 をオフにし、容量素子 6703 で、この電圧 V_p を保持する。

【0221】

なお、書き込み期間において、対向電極 (Cathode) 6709 の電位を V_{ss2} に設定しても良い。この V_{ss2} は $V_{ss} < V_{ss2}$ を満たす電位であり、インバータをオフセットキャンセルする際、発光素子 6705 に印加される電圧が発光素子 6705 の順方向しきい値電圧 V_{EL} より小さくなるように設定する。つまり、 $V_{inv} - V_{ss2} < V_{EL}$ となるように設定する。こうすれば、書き込み期間において、発光素子 6705 が発光してしまうことにより、表示不良が発生してしまうのを防ぐことができる。また、書き込み期間において発光素子にほとんど電流が流れないようにするために、消費電力を低減することができる。10

【0222】

また、 V_{ss2} を大きくして、発光素子 6705 に逆バイアスの電圧が加わるようにしてもよい。逆バイアス電圧を加えることにより、発光素子 6705 の信頼性を向上させたり、発光素子 6705 の中で不具合のある部分を焼き切ったりすることができる。

【0223】

なお、対向電極 6709 に電流が流れないようにすればよいので、別な方法を用いることもできる。例えば、対向電極 6709 をフローティング状態にしてもよい。その結果、発光素子 6705 には電流は流れない。あるいは、電源線 6708 からトランジスタ 6701 を介して発光素子 6705 の画素電極までの間にスイッチを設けてもよい。このスイッチを制御することにより、発光素子 6705 に電流が流れないようにすることができます。つまり、図 68 (a) に示すようにトランジスタ 6701 の第 1 端子と電源線 6708 との間にスイッチ 6801 を接続してもよい。また、図 68 (b) に示すようにノード 6711 と発光素子 6705 の画素電極との間にスイッチ 6802 を接続してもよい。また、トランジスタ 6701 の第 2 端子とノード 6711 との間にスイッチ 6803 を接続してもよい。こうすることで画素への信号書き込み期間において、画素への信号書き込み後、他の行の画素への信号書き込み時ににおける発光素子 6705 の発光を防ぐことができる。20

【0224】

こうしてこの画素へビデオ信号の書き込みが終了する。

【0225】

なお、画素にビデオ信号が書き込まれた後は、その画素にビデオ信号が書き込まれた際に信号線 6707 に供給されたアナログ信号電位を基準にして、信号線 6707 の電位の変動に従ってインバータの出力のレベルが制御されるようになる。つまり、信号線 6707 の電位が、画素への信号書き込み期間に、画素にビデオ信号が書き込まれた際のアナログ信号電位より高いときにはインバータの出力は L レベルとなり、画素にビデオ信号が書き込まれた際のアナログ信号電位より低くなるとインバータの出力は H レベルとなる。30

【0226】

なぜなら、画素にビデオ信号が書き込まれると、容量素子 6703 が電位差 (V_p) を保持するため、信号線 6707 の電位が、画素にビデオ信号が書き込まれた際のアナログ信号電位より高いときには、インバータの入力端子 6710 の電位も、画素にビデオ信号が書き込まれた際の入力端子 6710 の電位より高くなり、駆動トランジスタ 6701 はオフし、相補用トランジスタ 6702 はオンし、インバータの出力は L レベルとなる。一方、信号線 6707 の電位が、画素への信号書き込み期間に画素にビデオ信号が書き込まれた際のアナログ信号電位より低くなると、インバータの入力端子 6710 の電位も、画素にアナログ信号が書き込まれた際の入力端子 6710 の電位より低くなるため、駆動トランジスタ 6701 はオンし、相補用トランジスタ 6702 はオフし、駆動インバータの出力は H レベルとなる。40

【0227】

したがって、画素の発光期間には、信号線 6707 に供給する電位をアナログ的に変化させることで、画素内のインバータの出力のレベルを制御する。こうして、発光素子 67050

5に電流が流れている時間をアナログ的に制御して階調を表現することができる。

【0228】

図69の画素は、駆動トランジスタ（第1のトランジスタ）6901と、相補用トランジスタ（第2のトランジスタ）6902と、容量素子6903と、スイッチ6904と、発光素子6905と、走査線6906と、第1のスイッチ6907と、第2のスイッチ6908と、第1の信号線6909と、第2の信号線6910と、電源線6911と、を有している。なお、駆動トランジスタ6901にはPチャネル型トランジスタ、相補用トランジスタ6902及びスイッチ6904にはNチャネル型トランジスタを用いている。

【0229】

駆動トランジスタ6901は、第1端子（ソース端子又はドレイン端子）が電源線6911と接続され、第2端子（ソース端子又はドレイン端子）が相補用トランジスタ6902の第2端子（ソース端子又はドレイン端子）と接続され、ゲート端子が相補用トランジスタ6902のゲート端子と接続されている。さらに、駆動トランジスタ6901及び相補用トランジスタ6902のゲート端子は、容量素子6903の一方の電極と接続されると共に、スイッチ6904を介して駆動トランジスタ6901及び相補用トランジスタ6902の第2端子（ソース端子又はドレイン端子）と接続されている。つまり、スイッチ6904をオンオフすることで、駆動トランジスタ6901及び相補用トランジスタ6902のゲート端子と第2端子（ソース端子又はドレイン端子）とを導通又は非導通にすることができる。そして、走査線6906に信号を入力することによりスイッチ6904のオンオフを制御する。なお、容量素子6903の他方の電極は第1のスイッチ6907を介して第1の信号線6909と、第2のスイッチ6908を介して第2の信号線6910と接続されている。また、駆動トランジスタ6901及び相補用トランジスタ6902の第2端子（ソース端子又はドレイン端子）は、発光素子6905の画素電極と接続されている。そして、発光素子6905の対向電極6912には低電源電位Vssが供給されている。なお、Vssとは、電源線6911に供給される電源電位Vddを基準として、 $V_{ss} < V_{dd}$ を満たす電位である。例えば、 $V_{ss} = GND$ （グラウンド電位）としても良い。なお、電源線6911の電位はこれに限られない。画素の色毎に電源電位の値を変えてよい。つまり、RGBの色要素の画素からなるフルカラー表示の場合には、RGBの画素毎に、RGBWの色要素の画素からなるフルカラー表示装置の場合には、RGBWの画素毎に電源線の電位を供給すればよい。

10

20

30

40

【0230】

次に、図69の画素構成の動作原理について詳しく説明する。

【0231】

まず、画素への信号書き込み動作時には、第1のスイッチ6907をオンにし、第2のスイッチ6908をオフにする。駆動トランジスタ6901と相補用トランジスタ6902とはインバータとして機能する。よって、駆動トランジスタ6901及び相補用トランジスタ6902のゲート端子の接続点がインバータの入力端子6913となり、駆動トランジスタ6901及び相補用トランジスタ6902の第2端子の接続点がインバータの出力端子6914となる。

【0232】

また、走査線6906にはHレベルの信号が入力されスイッチ6904がオンする。よって、インバータの入力端子6913と出力端子6914とが導通され、オフセットキャセルされる。つまり、インバータの入力端子6913はインバータの論理しきい値電位 V_{inv} となっている。よって、このときインバータの入力端子6913はインバータの出力のレベルを制御するために必要な電位となっている。

【0233】

そして、容量素子6903には、インバータの論理しきい値電位 V_{inv} と、書き込み動作時に第1の信号線6909に供給される電位Vaとの電位差分（電圧Vp）の電荷が蓄積される。

【0234】

50

続いて、第1のスイッチ6907をオフにし、第2のスイッチ6908をオンにする。そして、走査線6906をLレベルにする。すると、スイッチ6904がオフし、容量素子6903で電圧Vpが保持される。こうして、画素に第1の信号線6909からアナログ信号が書き込まれる。

【0235】

なお、第2の信号線6910には三角波電位が供給されている。画素は第2の信号線6910が、画素の信号書き込み動作時に第1の信号線6909に供給されたアナログ信号電位より高い電位であるときは発光素子6905は非発光の状態を維持し、第2の信号線6910が、画素の信号書き込み動作時に第1の信号線6909に供給されたアナログ信号電位より低い電位の間は発光素子6905は発光する。よって、それぞれ画素への信号書き込み期間にアナログ信号が書き込まれた際のアナログ信号電位にしたがって発光素子6905の発光時間が制御される。こうして、アナログ時間階調表示が可能となる。

10

【0236】

図70の画素は、駆動トランジスタ（第2のトランジスタ）7001と、相補用トランジスタ（第3のトランジスタ）7002と、容量素子7003と、スイッチング用トランジスタ（第1のトランジスタ）7004と、発光素子7005と、走査線7006と、信号線7007と、電源線7008とを有している。なお、駆動トランジスタ7001にはPチャネル型トランジスタ、相補用トランジスタ7002及びスイッチング用トランジスタ7004にはNチャネル型トランジスタを用いている。

20

【0237】

駆動トランジスタ7001は、第1端子（ソース端子又はドレイン端子）が電源線7008と接続され、第2端子（ソース端子又はドレイン端子）が相補用トランジスタ7002の第2端子（ソース端子又はドレイン端子）と接続され、ゲート端子が相補用トランジスタ7002のゲート端子と接続されている。さらに、駆動トランジスタ7001及び相補用トランジスタ7002のゲート端子は、容量素子7003を介して信号線7007に接続されると共に、スイッチング用トランジスタ7004を介して駆動トランジスタ7001及び相補用トランジスタ7002の第2端子（ソース端子又はドレイン端子）と接続されている。つまり、スイッチング用トランジスタ7004は、第1端子（ソース端子又はドレイン端子）が駆動トランジスタ7001及び相補用トランジスタ7002の第2端子（ソース端子又はドレイン端子）と接続され、第2端子（ソース端子又はドレイン端子）が駆動トランジスタ7001及び相補用トランジスタ7002のゲート端子と接続されているため、スイッチング用トランジスタ7004をオンオフすることで、駆動トランジスタ7001及び相補用トランジスタ7002のゲート端子と第2端子（ソース端子又はドレイン端子）とを導通又は非導通にことができる。そして、スイッチング用トランジスタ7004のゲート端子が接続されている走査線7006に信号を入力することによりスイッチング用トランジスタ7004のオンオフを制御する。また、駆動トランジスタ7001及び相補用トランジスタ7002の第2端子（ソース端子又はドレイン端子）は、発光素子7005の画素電極と接続されている。そして、発光素子7005の対向電極7009には低電源電位Vssが供給されている。なお、Vssとは、電源線7008に供給される電源電位Vddを基準として、Vss < Vddを満たす電位である。例えば、Vss = GND（グラウンド電位）としても良い。

30

【0238】

さらに、相補用トランジスタ7002の第1端子は別の行の画素の走査線7006Aに接続されている。ここで、駆動トランジスタ7001は発光素子7005を駆動するトランジスタであり、相補用トランジスタ7002は駆動トランジスタ7001とは極性が反転しているトランジスタである。つまり、この走査線7006Aの信号がLレベルのときに駆動トランジスタ7001と相補用トランジスタ7002とが相補的にオンオフするインバータを構成している。

40

【0239】

次に、図70の画素構成の動作原理について詳しく説明する。

50

【0240】

画素への信号書き込み期間には、信号線 7007 にはアナログ信号電位が供給される。このアナログ信号電位がビデオ信号に相当する。そして、画素へビデオ信号を書き込む際には、走査線 7006 に H レベルの信号を入力してスイッチング用トランジスタ 7004 をオンさせる。なお、このとき、別の行の画素を選択する走査線 7006A には L レベルの信号が供給されている。よって、画素へ信号を書き込む際には駆動トランジスタ 7001 と相補用トランジスタ 7002 とはインバータとして動作することになる。なお、インバータとして動作しているときには、駆動トランジスタ 7001 及び相補用トランジスタ 7002 のゲート端子の接続点がインバータの入力端子 7010 となり、駆動トランジスタ 7001 及び相補用トランジスタ 7002 の第 2 端子の接続点がインバータの出力端子 7011 となる。また、インバータとして動作しているときには、駆動トランジスタ 7001 及び相補用トランジスタ 7002 は共に第 1 端子がソース端子、第 2 端子がドレイン端子となる。

10

【0241】

このようにスイッチング用トランジスタ 7004 がオンすると、インバータの入力端子 7010 は出力端子 7011 と導通し、駆動トランジスタ 7001、相補用トランジスタ 7002、発光素子 7005 に電流が流れ、容量素子 7003 では電荷の放電又は蓄積が行われる。

20

【0242】

こうして、インバータはオフセットキャンセルする。なお、オフセットキャンセルとは、入力端子 7010 と出力端子 7011 を導通し、入力電位と出力電位を等しくし、入力端子 7010 をインバータの論理しきい値電位 V_{inv} にすることをいう。よって、この論理しきい値 V_{inv} は、理想的にはインバータの出力の L レベルと H レベルの中間の電位である。

20

【0243】

なお、インバータの出力の H レベルの電位は電源線 7008 の電源電位 V_{dd} であり、インバータの L レベルの電位は走査線 7006A に供給される L レベルの電位である。また、インバータの H レベルの出力となる電源電位 V_{dd} と、インバータの L レベルの出力となる走査線 7006 や走査線 7006A に供給される信号の L レベルの電位は、対向電極 7009 の電位を基準に設定する。そして、インバータの出力が H レベルのときは、発光素子 7005 が発光し、インバータの出力が L レベルのときには非発光となるようとする。

30

【0244】

つまり、発光素子 7005 が発光し始めるときの電圧を V_{EL} とすると、インバータの L レベルの電位（走査線 7006 や走査線 7006A に供給される信号の L レベルの電位）は $V_{ss} + V_{EL}$ よりも低くする必要がある。また、インバータの H レベルの電位は、 $V_{ss} + V_{EL}$ よりも高くする必要がある。

30

【0245】

なお、インバータの L レベルの電位が対向電極 7009 の電位よりも低い電位とすると、発光素子 7005 に逆バイアス状態の電圧が加わる。よって、発光素子 7005 の劣化が抑制され、望ましい。

40

【0246】

なお、容量素子 7003 での電荷の放電又は蓄積は、もともと容量素子 7003 に蓄積されていた電荷と、信号線 7007 に供給される電位との関係で決まる。そして、容量素子 7003 での電荷の放電又は蓄積が完了すると、容量素子 7003 には信号線 7007 と、論理しきい値 V_{inv} との電位差（電圧 V_p ）分の電荷が蓄積されていることになる。そして、走査線 7006 の信号を L レベルにすることにより、スイッチング用トランジスタ 7004 をオフにし、容量素子 7003 で、この電圧 V_p を保持する。

40

【0247】

なお、書き込み期間において、対向電極（Cathode）7009 の電位を V_{ss2} に

50

設定しても良い。このV_{ss2}はV_{ss}<V_{ss2}を満たす電位であり、インバータをオフセットキャンセルする際、発光素子7005に印加される電圧が発光素子7005の順方向しきい値電圧V_{E_L}より小さくなるように設定する。つまり、V_{inv}-V_{ss2}<V_{E_L}となるように設定する。こうすれば、書き込み期間において、発光素子7005が発光してしまうことにより、表示不良が発生してしまうのを防ぐことができる。また、書き込み期間において発光素子にほとんど電流が流れないようにすることができるため、消費電力を低減することができる。

【0248】

また、V_{ss2}を大きくして、発光素子7005に逆バイアスの電圧が加わるようにしてよい。逆バイアス電圧を加えることにより、発光素子7005の信頼性を向上させたり、発光素子7005の中で不具合のある部分を焼き切ったりすることができる。

10

【0249】

なお、対向電極7009に電流が流れないようにすればよいので、別 の方法を用いることもできる。例えば、対向電極7009をフロー ティング状態にしてもよい。その結果、発光素子7005には電流は流れない。あるいは、電源線7008からトランジスタ7001を介して発光素子7005の画素電極までの間にスイッチを設けてもよい。このスイッチを制御することにより、発光素子7005に電流が流れないようにすることができる。つまり、図71に示すようにトランジスタ7001の第1端子と電源線7008との間にスイッチ7101を接続してもよい。また、ノード7011と発光素子7005の画素電極との間にスイッチを接続してもよい。また、トランジスタ7001の第2端子とノード7011との間にスイッチを接続してもよい。こうすることで画素への信号書き込み期間において、画素への信号書き込み後、他の行の画素への信号書き込み時ににおける発光素子7005の発光を防ぐことができる。

20

【0250】

こうしてこの画素へビデオ信号の書き込みが終了する。

【0251】

なお、画素にビデオ信号が書き込まれた後は、その画素にビデオ信号が書き込まれた際に信号線7007に供給されたアナログ信号電位を基準にして、信号線7007の電位の変動に従ってインバータの出力のレベルが制御されるようになる。つまり、信号線7007の電位が、画素への信号書き込み期間に、画素にビデオ信号が書き込まれた際のアナログ信号電位より高いときにはインバータの出力はLレベルとなり、画素にビデオ信号が書き込まれた際のアナログ信号電位より低くなるとインバータの出力はHレベルとなる。

30

【0252】

なぜなら、画素にビデオ信号が書き込まれると、容量素子7003が電位差(V_p)を保持するため、信号線7007の電位が、画素にビデオ信号が書き込まれた際のアナログ信号電位より高いときには、インバータの入力端子7010の電位も、画素にビデオ信号が書き込まれた際の入力端子7010の電位より高くなり、駆動トランジスタ7001はオフし、相補用トランジスタ7002はオンし、インバータの出力はLレベルとなる。一方、信号線7007の電位が、画素への信号書き込み期間に画素にビデオ信号が書き込まれた際のアナログ信号電位より低くなると、インバータの入力端子7010の電位も、画素にアナログ信号が書き込まれた際の入力端子7010の電位より低くなるため、駆動トランジスタ7001はオンし、相補用トランジスタ7002はオフし、駆動インバータの出力はHレベルとなる。

40

【0253】

したがって、画素の発光期間には、走査線(走査線7006、走査線7006Aなど)をLレベルにした状態で、信号線7007に供給する電位をアナログ的に変化させることで、画素内のインバータの出力のレベルを制御する。こうして、発光素子7005に電流が流れている時間をアナログ的に制御して階調を表現することができる。

【0254】

また、相補用トランジスタの第1端子(ソース端子又はドレイン端子)を走査線7006

50

Aに接続したことにより配線数を減らすことができ、開口率が向上する。よって、発光素子の信頼性の向上を図ることができる。また、歩留まりを向上させ、表示パネルのコストの抑制を図ることができる。

【0255】

図72に示す画素は、駆動トランジスタ（第2のトランジスタ）7201と、相補用トランジスタ（第3のトランジスタ）7202と、容量素子7203と、スイッチング用トランジスタ（第1のトランジスタ）7204と、発光素子7205と、走査線7206と、第1のスイッチ7207と、第2のスイッチ7208と、第1の信号線7209と、第2の信号線7210と、電源線7211と、を有している。なお、駆動トランジスタ7201にはPチャネル型トランジスタ、相補用トランジスタ7202及びスイッチング用トランジスタ7204にはNチャネル型トランジスタを用いている。10

【0256】

駆動トランジスタ7201は、第1端子（ソース端子又はドレイン端子）が電源線611と接続され、第2端子（ソース端子又はドレイン端子）が相補用トランジスタ7202の第2端子（ソース端子又はドレイン端子）と接続され、ゲート端子が相補用トランジスタ7202のゲート端子と接続されている。さらに、駆動トランジスタ7201及び相補用トランジスタ7202のゲート端子は、容量素子7203の一方の電極と接続されると共に、スイッチング用トランジスタ7204を介して駆動トランジスタ7201及び相補用トランジスタ7202の第2端子（ソース端子又はドレイン端子）と接続されている。つまり、スイッチング用トランジスタ7204は、第1端子（ソース端子又はドレイン端子）が駆動トランジスタ7201及び相補用トランジスタ7202の第2端子（ソース端子又はドレイン端子）と接続され、第2端子（ソース端子又はドレイン端子）が駆動トランジスタ7201及び相補用トランジスタ7202のゲート端子と接続されているため、スイッチング用トランジスタ7204をオンオフすることで、駆動トランジスタ7201及び相補用トランジスタ7202のゲート端子と第2端子（ソース端子又はドレイン端子）とを導通又は非導通にすることができる。そして、スイッチング用トランジスタ7204のゲート端子が接続されている走査線7206に信号を入力することによりスイッチング用トランジスタ7204のオンオフを制御する。なお、容量素子7203の他方の電極は第1のスイッチ7207を介して第1の信号線7209と、第2のスイッチ7208を介して第2の信号線7210と接続されている。また、駆動トランジスタ7201及び相補用トランジスタ7202の第2端子（ソース端子又はドレイン端子）は、発光素子7205の陽極（画素電極）と接続されている。そして、発光素子7205の陰極は低電源電位Vssが供給された配線（Cathode）7212と接続されている。なお、Vssとは、電源線7211に供給される電源電位Vddを基準として、 $V_{ss} < V_{dd}$ を満たす電位である。例えば、 $V_{ss} = GND$ （グラウンド電位）としても良い。なお、電源線7211の電位はこれに限られない。画素の色毎に電源電位の値を変えてよい。つまり、RGBの色要素の画素からなるフルカラー表示の場合には、RGBの画素毎に、RGBWの色要素の画素からなるフルカラー表示装置の場合には、RGBWの画素毎に電源線の電位を供給すればよい。2030

【0257】

さらに、相補用トランジスタ7202の第1端子は別の行の画素の走査線7206Aに接続されている。ここで、駆動トランジスタ7201は発光素子7205を駆動するトランジスタであり、相補用トランジスタ7202は駆動トランジスタ7201とは極性が反転しているトランジスタである。つまり、この走査線7206Aの信号がLレベルのときに駆動トランジスタ7201と相補用トランジスタ7202とが相補的にオンオフするインバータを構成している。40

【0258】

図72の画素の動作の原理については、図70の動作と同様であり、書き込み動作時に画素にビデオ信号を入力する配線と、発光期間に画素に連続的に変化する電位を供給する配線とを別にした場合の動作については、実施の形態2若しくは図69の動作の説明を参照50

されたい。

【0259】

図73の画素は駆動トランジスタ7301と、容量素子7302と、スイッチ7303と、発光素子7304と、電源線7305と、信号線7306と、走査線7307、スイッチ7309とを有している。なお、駆動トランジスタ7301にはPチャネル型トランジスタを用いている。

【0260】

駆動トランジスタ7301の第1端子（ソース端子又はドレイン端子）は電源線7305と接続され、ゲート端子は容量素子7302を介して信号線7306と接続され、第2端子（ソース端子又はドレイン端子）はスイッチ7309を介して発光素子7304の陽極（画素電極）と接続されている。また、駆動トランジスタ7301のゲート端子と第2端子（ソース端子又はドレイン端子）はスイッチ7303を介して接続されている。よって、スイッチ7303がオンしているときには駆動トランジスタ7301のゲート端子と第2端子（ソース端子又はドレイン端子）は導通する。そして、スイッチ7303がオフすると、駆動トランジスタ7301のゲート端子と第2端子（ソース端子又はドレイン端子）は非導通となり、その瞬間の駆動トランジスタ7301のゲート端子（若しくは第2端子）と信号線7306との電位差（電圧）を容量素子7302は保持することができる。なお、発光素子7304の対向電極7308はVssの電位が設定されている。なお、Vssとは、画素の発光期間に電源線7305に設定される電源電位Vddを基準として、 $V_{ss} < V_{dd}$ を満たす電位である。例えば、 $V_{ss} = GND$ （グラウンド電位）としても良い。

【0261】

次に、図73の画素構成の動作原理について説明する。

【0262】

画素への信号書き込み期間には、信号線7306にはアナログ信号電位が供給される。このアナログ信号電位がビデオ信号に相当する。なお、このビデオ信号は3値以上で表される信号であり、アナログ信号電位とは、時間とともに変化し3値以上の状態を持つ電位である。そして、画素へビデオ信号を書き込む際には、走査線7307に信号を入力してスイッチ7303をオンさせる。また、スイッチ7309をオンにする。すると、駆動トランジスタ7301及び発光素子7304に電流が流れ、容量素子7302には電荷の蓄積又は放電が行われる。

【0263】

このとき、駆動トランジスタ7301の第1端子はソース端子となり、第2端子はドレイン端子となっている。そして、スイッチ7303がオンになっている状態で駆動トランジスタ7301に流れる電流が増加すると、発光素子7304に流れる電流も大きくなるため、発光素子7304での電圧降下は大きくなり、発光素子7304の電極間の電位差は大きくなる。つまり、発光素子7304の陽極の電位は電源線7305の電位に近づく。すると、駆動トランジスタ7301のゲート端子の電位も電源線7305の電位に近づくため、駆動トランジスタ7301のゲート端子とソース端子の電位差が小さくなり、駆動トランジスタ7301に流れる電流は減少する。一方、発光素子7304に流れる電流が小さくなると、発光素子7304での電圧降下は小さくなり、発光素子7304の電極間の電位差は小さくなる。つまり、発光素子7304の陽極の電位は陰極108の電位に近づく。すると、駆動トランジスタ7301のゲート端子も陰極7308の電位に近づくため、駆動トランジスタ7301のゲート端子とソース端子の電位差が大きくなり、駆動トランジスタ7301に流れる電流が増加する。こうして、駆動トランジスタ7301のゲート端子は駆動トランジスタ7301に一定の電流が流れのような電位に落ち着く。そして、そのときの駆動トランジスタ7301のゲート端子の電位と信号線7306の電位との電位差分の電荷が容量素子7302に蓄積される。

【0264】

こうしてこの画素へビデオ信号の書き込みが終了する。

10

20

30

40

50

【0265】

このように駆動トランジスタ7301及び発光素子7304に流れる電流が一定となり、定常状態となったところで、スイッチ7303をオフさせる。すると、容量素子7302は、スイッチ7303がオフした瞬間の信号線7306の電位と駆動トランジスタ7301のゲート端子（若しくはドレイン端子）との電位差 V_p （電圧）を保持する。

【0266】

画素への信号書き込み期間において、画素へのビデオ信号の書き込み終了後、他の行の画素への信号書き込みを行っている間は、スイッチ7309をオフにする。なお、このスイッチ7309をオフにするタイミングはスイッチ7303をオフにするタイミングと同時か、それよりも後にする。

10

【0267】

なお、画素にビデオ信号が書き込まれると、その画素にビデオ信号が書き込まれた際に信号線7306に設定されたアナログ信号電位を基準にして、信号線7306の電位の変動に従って駆動トランジスタ7301のオンオフが制御されるようになる。つまり、信号線7306の電位が、画素への信号書き込み期間に画素にビデオ信号が書き込まれた際のアナログ信号電位以上のときには駆動トランジスタ7301はオフし、画素にビデオ信号が書き込まれた際のアナログ信号電位より低くなると駆動トランジスタ7301はオンする。

【0268】

なぜなら、画素にビデオ信号が書き込まれると、容量素子7302が電位差(V_p)を保持するため、信号線7306の電位が、画素にビデオ信号が書き込まれた際のアナログ信号電位以上のときには、駆動トランジスタ7301のゲート端子の電位も、画素にビデオ信号が書き込まれた際のゲート端子の電位以上となり、駆動トランジスタ7301はオフする。一方、信号線7306の電位が、画素への信号書き込み期間に画素にビデオ信号が書き込まれた際のアナログ信号電位より低くなると、駆動トランジスタ7301のゲート端子の電位も、画素にビデオ信号が書き込まれた際のゲート端子の電位より低くなるため駆動トランジスタ7301はオンする。

20

【0269】

したがって、画素の発光期間には、スイッチ7303をオフにし、スイッチ7309をオンにした状態で、信号線7306に設定する電位をアナログ的に変化させることで、駆動トランジスタ7301のオンオフを制御する。つまり、発光素子7304に電流が流れている時間をアナログ的に制御して階調を表現することができる。

30

【0270】

また、図73の画素構成において駆動トランジスタ7301の第2端子をスイッチを介して対向電極7308と同じ電位の供給される配線に接続してもよい。つまり、図79に示すように、駆動トランジスタ7301の第2端子をスイッチ7901を介して配線7902と接続する。画素へ信号を書き込む際にはスイッチ7901をオンにし、書き込みが終わったらオフにする。そして、他の行の画素への信号の書き込み及び発光期間にはスイッチ7901をオフにする。すると、画素への信号書き込み時において画素を発光させなくすることができる。その他については図73の動作を参照されたい。

40

【0271】

図74の画素は駆動トランジスタ7401と、容量素子7402と、第1のスイッチ7403と、発光素子7404と、電源線7405と、第2のスイッチ7406と、第3のスイッチ7407と、走査線7408と、第1の信号線7409と、第2の信号線7410ととを有している。なお、駆動トランジスタ7401にはPチャネル型トランジスタを用いている。

【0272】

駆動トランジスタ7401の第1端子（ソース端子又はドレイン端子）は電源線7405と接続され、ゲート端子は容量素子7402の一方の電極と接続され、容量素子7402の他方の電極は、第2のスイッチ7406を介して第1の信号線7409と、第3のスイ

50

スイッチ7407を介して第2の信号線7410と接続されている。また、駆動トランジスタ7401のゲート端子と第2端子(ソース端子又はドレイン端子)はスイッチ7403を介して接続されている。なお、発光素子7404の陰極7411はVssの電位が設定されている。なお、Vssとは、電源線7405に設定される電源電位Vddを基準として、 $V_{ss} < V_{dd}$ を満たす電位である。例えば、 $V_{ss} = GND$ (グラウンド電位)としても良い。

【0273】

次に、図74の画素の動作について説明する。書き込み動作時には第2のスイッチ7406をオンにし、第3のスイッチ7407をオフにする。そして、走査線7408にはHレベルの信号を入力し、第1のスイッチ7403をオンにする。すると、容量素子7402、駆動トランジスタ7401及び発光素子7404に電流が流れる。そして、容量素子7402では電荷の蓄積若しくは放電が行われる。つまり、容量素子7402にもともと蓄積されていた電荷と第1の信号線7409に設定された電位との関係で電荷の蓄積か放電のどちらかが起きる。そして、走査線7408の信号がHレベルからLレベルに立ち下がると、第1のスイッチ7403がオフする。第1のスイッチ7403がオフすると、その瞬間の駆動トランジスタ7401のゲート端子の電位と第1の信号線7409の電位との電位差を容量素子7402は保持する。

10

【0274】

こうして、画素に第1の信号線7409からビデオ信号が書き込まれる。

20

【0275】

なお、発光期間には第2の信号線7410にはアナログ的に変化する電位が供給されている。画素は第2の信号線7410が、1行目の画素の信号書き込み時間に第1の信号線7409に設定されたアナログ信号電位より高い電位であるときには発光素子7404は非発光の状態を維持し、第2の信号線7410が、画素の信号書き込み時間に第1の信号線7409に設定されたアナログ信号電位より低い電位の間(Ta)は発光素子7404は発光する。よって、それぞれの画素の書き込み時間にビデオ信号が書き込まれた際のアナログ信号電位にしたがって発光素子7404の発光時間が設定される。こうして、アナログ時間階調表示が可能となる。

30

【0276】

図75の画素は、駆動トランジスタ7501と、容量素子7502と、第1のスイッチ7503と、第2のスイッチ7504と、発光素子7505と、第1の走査線7506と、第2の走査線7507と、信号線7508と、電源線7509と、配線7510とを有している。なお、駆動トランジスタ7501にはNチャネル型トランジスタを用いている。

30

【0277】

駆動トランジスタ7501のソース端子は発光素子7505の陽極(画素電極)と接続され、ゲート端子は容量素子7502を介して信号線7508と接続され、ドレイン端子は第1のスイッチ7503を介して電源線7509と接続されている。なお、電源線7509には電源電位Vddが設定されている。また、駆動トランジスタ7501のゲート端子とドレイン端子は第2のスイッチ7504を介して接続されている。よって第2のスイッチ7504がオンしているときには駆動トランジスタ7501のゲート端子とドレイン端子は導通する。そして、第2のスイッチ7504がオフすると、駆動トランジスタ7501のゲート端子とドレイン端子は非導通となり、その瞬間の駆動トランジスタ7501のゲート端子(ドレイン端子)と信号線7508との電位差(電圧)を容量素子7502は保持することができる。また、発光素子7505の陰極はVssの電位が設定された配線7510と接続されている。なお、Vssとは $V_{ss} < V_{dd}$ を満たす電位である。例えば、 $V_{ss} = GND$ (グラウンド電位)としても良い。

40

【0278】

次に、図75の画素の動作原理について説明する。

【0279】

画素の信号書き込み期間に、第1の走査線7506及び第2の走査線7507に信号を入

50

力し、第1のスイッチ7503及び第2のスイッチ7504をオンさせる。すると、駆動トランジスタ7501のドレイン端子とゲート端子に電源線7509の電源電位(V_{dd})が設定される。そして、容量素子7502、駆動トランジスタ7501及び発光素子7505に電流が流れ、容量素子7502では電荷の蓄積又は放電が行われる。なお、画素への信号書き込み期間には、信号線7508にはアナログ信号電位が設定される。このアナログ信号電位はビデオ信号に相当する。

【0280】

やがて、容量素子7502には電流が流れなくなる。そして、駆動トランジスタ7501及び発光素子7505に電流が流れる。なぜなら、このとき駆動トランジスタ7501のゲート端子は、第2のスイッチ7504によってドレイン端子と導通されているため、ゲート端子の電位は、電源電位(V_{dd})となり駆動トランジスタ7501はオンしているからである。10

【0281】

この状態で、第1のスイッチ7503をオフにすると、駆動トランジスタ7501と容量素子7502に電流が流れ、やがて、駆動トランジスタ7501及び容量素子7502に電流が流れなくなる。こうして、駆動トランジスタ7501はオフする。このとき、駆動トランジスタ7501のゲートソース間電圧 V_{gs} はしきい値電圧 V_{th} に概ね等しくなっている。

【0282】

そして、この状態になったら第2のスイッチ7504をオフする。すると、容量素子7502には、駆動トランジスタ7501がオフするゲート端子の電位と、第2のスイッチ7504をオフにした瞬間の信号線7508に設定されているアナログ信号電位との電位差(V_p)が保持される。こうして画素にアナログ信号が書き込まれる。20

【0283】

なお、上述した第1のスイッチ7503のオンオフを制御する信号は第1の走査線7506に、第2のスイッチ7504のオンオフを制御する信号は第2の走査線7507にパルス信号を入力して行うことができる。

【0284】

なお、画素にアナログ信号が書き込まれると、その際信号線7508に設定されたアナログ信号電位を基準にして、信号線7508の電位の変動に従って駆動トランジスタ7501のオンオフが制御されるようになる。つまり、信号線7508の電位が、信号書き込み期間に画素に書き込まれた際のアナログ信号電位以下のときには駆動トランジスタ7501はオフし、画素にアナログ信号が書き込まれた際のアナログ信号電位より高くなると駆動トランジスタ7501はオンする。30

【0285】

画素にアナログ信号が書き込まれると、容量素子7502が電位差(V_p)を保持するため、信号線7508の電位が、画素にアナログ信号が書き込まれた際のアナログ信号電位以下のときには、駆動トランジスタ7501のゲート端子の電位も、画素にアナログ信号が書き込まれた際のゲート端子の電位以下となり、駆動トランジスタ7501はオフする。一方、信号線7508の電位が、書き込み期間に画素にアナログ信号が書き込まれた際のアナログ信号電位より高くなると、駆動トランジスタ7501のゲート端子の電位も、画素にアナログ信号が書き込まれた際のゲート端子の電位より高くなるため駆動トランジスタ7501はオンする。40

【0286】

したがって、画素の発光期間には、第2のスイッチ7504をオフにし、第1のスイッチ7503をオンにした状態で、信号線7508に設定する電位をアナログ的に変化させることで、駆動トランジスタ7501のオンオフを制御し、発光素子7505に電流が流れている時間をアナログ的に制御して、階調を表現できるようになる。

【0287】

図76に示す画素は、駆動トランジスタ7601と、容量素子7602と、第1のスイッ50

チ7603と、第2のスイッチ7604と、発光素子7605と、第3のスイッチ7606と、第4のスイッチ7607と、第1の走査線7608と、第2の走査線7609と、第1の信号線7610と、第2の信号線7611と、電源線7612と、を有している。なお、駆動トランジスタ7601にはNチャネル型トランジスタを用いている。

【0288】

駆動トランジスタ7601のソース端子は発光素子7605の陽極(画素電極)と接続され、ゲート端子は容量素子7602の一方の電極と接続され、容量素子7602の他方の電極は、第3のスイッチ7606を介して第1の信号線7610と、第4のスイッチ7607を介して第2の信号線7611と接続されている。駆動トランジスタ7601のドレイン端子は第1のスイッチ7603を介して電源線7612と接続されている。なお、電源線7612には電源電位Vddが設定されている。なお、電源線に設定する電位はVddに限られず、例えば、RGBの色要素からなるフルカラー表示の場合には、RGBのそれぞれの色の画素毎に電源線の電位の値を変えて良い。

【0289】

また、駆動トランジスタ7601のゲート端子とドレイン端子は第2のスイッチ7604を介して接続されている。よって第2のスイッチ7604がオンしているときには駆動トランジスタ7601のゲート端子とドレイン端子は導通する。そして、第2のスイッチ7604がオフすると、駆動トランジスタ7601のゲート端子とドレイン端子は非導通となり、その瞬間の駆動トランジスタ7601のゲート端子(ドレイン端子)と第1の信号線7610により設定されるアナログ信号電位との電位差(電圧)を容量素子7602は保持することができる。また、発光素子7605の陰極はVssの電位が設定された配線7613と接続されている。なお、VssとはVss < Vddを満たす電位である。例えば、Vss = GND(グラウンド電位)としても良い。

【0290】

図76の画素の動作の原理については、図75の動作と同様であり、書き込み動作時に画素にビデオ信号を入力する配線と、発光期間に画素に連続的に変化する電位を供給する配線とを別にした場合の動作については実施の形態2若しくは図69の動作の説明を参照されたい。

【0291】

図77に示す画素は、トランジスタ7701と、容量素子7702と、スイッチ7703と、アンプ7704と、発光素子7705と、信号線7706と、走査線7707と、電源線7708と、配線7709と、配線7710とを有する。

【0292】

トランジスタ7701は、第1端子(ソース端子又はドレイン端子)が発光素子7705の画素電極に接続され、第2端子(ソース端子又はドレイン端子)が電源線7708に接続され、ゲート端子がコンパレータ回路7704の出力端子と接続されている。コンパレータ回路7704は、第1入力端子がスイッチ7703を介して信号線7706と接続され、第2入力端子が配線7710と接続されている。またコンパレータ回路7704の第1入力端子は容量素子7702を介して配線7709と接続されている。なお、走査線7707に信号を入力してスイッチ7703のオンオフを制御する。

【0293】

以下において、画素の動作について説明する。まず画素への信号書き込み動作時には、スイッチ7703をオンにする。そして、信号線7706からビデオ信号に相当する電位を容量素子7702の一方の電極に印加する。そして、スイッチ7703をオフにして、このビデオ信号に相当するアナログ電位を容量素子7702で保持する。この場合配線7709の電位は所定の電位にしておくとよい。こうして、画素への信号の書き込みが終了する。

【0294】

続いて、画素の発光動作時には、配線7710の電位をビデオ信号に相当するアナログ電位のとりうる範囲の最低電位から最高電位へ連続的に変化する電位、若しくは最高電位か

10

20

20

30

40

50

ら最低電位へ連続的に変化する電位、又は最低電位と最高電位との間をくり返し連続的に変化する電位を入力する。すると、コンパレータ回路7704の第1入力端子には容量素子7702で保持されたアナログ電位が入力され、第2入力端子にはアナログ電位のとりうる範囲の連続的に変化する電位が入力される。そして、コンパレータ回路7704では第1入力端子と第2入力端子とに入力される電位の高低を比較して、その結果により出力電位が決まる。そして、コンパレータ回路7704の出力電位により、トランジスタ7701のオンオフが制御される。

【0295】

よって、トランジスタ7701がオンしている間が発光素子7705の発光時間となるので、発光期間のうち任意の時間だけ発光素子7705を発光させることができるので階調表示を行うことができる。

10

【0296】

図78に示す画素は、インバータ7801と、容量素子7802と、スイッチ7803と、スイッチ7804と、発光素子7805と、信号線7806と、第1の走査線7807と、第2の走査線7808とを有している。

20

【0297】

インバータ7801の入力端子は容量素子7802の一方の電極と接続され、出力端子は発光素子7805の画素電極と接続されている。また容量素子7802の他方の電極はスイッチ7804を介して信号線7806と接続されている。また、インバータ7801の入力端子と出力端子はスイッチ7803を介して接続されている。なお、第1の走査線7807に入力する信号によりスイッチ7804のオンオフを制御し、第2の走査線7808に入力する信号によりスイッチ7803のオンオフを制御する。

20

【0298】

画素の書き込み動作時にはスイッチ7804とスイッチ7803をオンにする。そして、信号線7806にはビデオ信号に相当するアナログ電位を供給する。すると、容量素子7802の一方の電極にはインバータ7801の論理しきい値となる電位が入力され、容量素子7802の他方の電極にはビデオ信号に相当するアナログ電位が入力される。そして、スイッチ7803とスイッチ7804がオフすると容量素子7802は、インバータ7801の論理しきい値電位とビデオ信号に相当するアナログ電位との電位差を保持する。こうして、画素への信号の書き込みが終了する。

30

【0299】

続いて画素の発光動作時には、信号線7806にビデオ信号に相当するアナログ電位のとりうる範囲の最低電位から最高電位へ連続的に変化する電位、若しくは最高電位から最低電位へ連続的に変化する電位、又は最低電位と最高電位との間をくり返し連続的に変化する電位を入力する。すると、発光期間に信号線7806に連続的に供給される電位が書き込み期間に画素へ書き込まれたビデオ信号に相当するアナログ電位よりも高いか低いかで発光素子7805の画素電極に印加される電位が変わるため、発光期間のうち任意の時間だけ発光素子7805を発光させることができるので階調表示を行うことができる。

30

【0300】

次に、発光素子の輝度特性と信号線に入力するアナログ電位との関係を説明する。例として発光期間に入力するアナログ電位を三角波とした場合における、発光素子の輝度特性と三角波との関係を、図59(a1)、(a2)、(a3)に示す。一例として、Rの画素の発光素子の輝度特性を基準に、Gの画素の発光素子から得られる輝度が高く、Bの画素の発光素子から得られる輝度が低い場合について説明する。

40

【0301】

この場合には、信号線Dr(Data line R pixel)に入力する三角波電位を基準にすると、信号線Dg(Data line G pixel)に入力する三角波電位は急勾配にする。つまり、三角波電位の振幅を大きくする。一方、信号線Db(Data line B pixel)に入力する三角波電位は緩勾配にする。つまり、三角波電位の振幅を小さくする。

50

【0302】

こうすることにより、同じ階調であっても画素の色毎によって、発光時間を変えることができる。例えば、Rの画素は1フレーム期間中の最も大きな階調の表示期間はT_{max}(R)、Gの画素は1フレーム期間中の最も大きな階調の表示期間はT_{max}(G)、Bの画素は1フレーム期間中の最も大きな階調の表示期間はT_{max}(B)となる。

【0303】

また、第3の構成として、ビデオ信号の電位の幅を画素の色毎に変えてよい。つまり、図60(a1)、(a2)、(a3)に示すように、Rの画素を基準として、Gの画素の発光素子から得られる輝度が高い場合には、Gのビデオ信号のそれぞれの階調に対応する電位を低い方へシフトさせる。また、Bの画素の発光素子から得られる輝度が低い場合には、Bのビデオ信号のそれぞれの階調に対応する電位を高い方へシフトさせる。こうして、同じ階調であっても画素の色毎によって、発光時間を変えることができる。例えば、Rの画素は1フレーム期間中の最も大きな階調の表示期間はT_{max}(R)、Gの画素は1フレーム期間中の最も大きな階調の表示期間はT_{max}(G)、Bの画素は1フレーム期間中の最も大きな階調の表示期間はT_{max}(B)となる。

10

【0304】

また、第4の構成として、色毎にビデオ信号のそれぞれの階調に対応する電位をシフトさせる構成と、色毎に三角波電位の振幅を変える構成を組み合わせてもよい。こうすることで、振幅を小さくすることができ、消費電力の低減を図ることができる。

20

【0305】

また、第5の構成として、駆動トランジスタの第1端子の接続された電源線の電位としてそれぞれ画素の色によって異なる電位を設定する。例えば、図66の電源線6610や、図67の電源線6708や、図68(a)、(b)、(c)の電源線6708や、図69の電源線6911や、図70の電源線7008や、図71の電源線7008や、図72の電源線7211や、図73の電源線7305や、図74の電源線7405や、図75の電源線7509や、図76の電源線7612や、図77の電源線7708や、図79の電源線7305などを、色の異なる画素毎で電位を変えてよい。

20

【0306】

また、第6の構成として、画素の色毎にビデオ信号のそれぞれの階調に対応する電位をシフトさせる構成又は色毎に三角波電位の振幅を変える構成と、色毎に駆動トランジスタの第1端子の接続された電源線の電位を変える構成とを組み合わせてもよい。

30

【0307】**(実施の形態7)**

本実施の形態では、発光素子の発光又は非発光を制御する画素内のインバータとしてCMOSインバータを適用した場合の構成について説明する。

【0308】

図1の画素構成において、画素内にCMOSインバータを適用した構成について図61を用いて説明する。

【0309】

画素は駆動トランジスタ6101と、相補用トランジスタ6108と、容量素子6102と、スイッチ6103と、発光素子6104と、電位供給線(Illumination line)6105と、信号線(Data line)6106と、走査線(Reset line)6107と、配線6110とを有している。なお、駆動トランジスタ6101にはPチャネル型トランジスタ、相補用トランジスタ6108にはNチャネル型トランジスタを用いている。

40

【0310】

駆動トランジスタ6101は、第1端子(ソース端子又はドレイン端子)が電位供給線6105と接続され、第2端子(ソース端子又はドレイン端子)が相補用トランジスタ6108の第2端子(ソース端子又はドレイン端子)と接続され、ゲート端子が相補用トランジスタ6108のゲート端子と接続されている。さらに、駆動トランジスタ6101及び

50

相補用トランジスタ 6108 のゲート端子は、容量素子 6102 を介して信号線 6106 に接続されると共に、スイッチ 6103 を介して駆動トランジスタ 6101 及び相補用トランジスタ 6108 の第 2 端子（ソース端子又はドレイン端子）と接続されている。つまり、スイッチ 6103 をオンオフすることで、駆動トランジスタ 6101 及び相補用トランジスタ 6108 のゲート端子と第 2 端子（ソース端子又はドレイン端子）とを導通又は非導通にすることができる。そして、スイッチ 6103 のオンオフは走査線 6107 に信号を入力することにより制御する。また、駆動トランジスタ 6101 及び相補用トランジスタ 6108 の第 2 端子（ソース端子又はドレイン端子）は、発光素子 6104 の陽極（画素電極）と接続されている。そして、発光素子 6104 の陰極（Cathode）6109 は低電源電位 Vss が入力されている。なお、Vss とは、発光期間に電位供給線 6105 入力される H レベルの信号（電源電位 Vdd）を基準として、 $Vss < Vdd$ を満たす電位である。例えば、 $Vss = GND$ （グラウンド電位）としても良い。

10

【0311】

さらに、相補用トランジスタ 6108 の第 1 端子は配線 6110 に接続されている。ここで、駆動トランジスタ 6101 は発光素子 6104 を駆動するトランジスタであり、相補用トランジスタ 6108 は駆動トランジスタ 6101 とは極性が反転しているトランジスタである。つまり、電位供給線 6105 の信号が H レベル（電源電位 Vdd）のときに駆動トランジスタ 6101 と相補用トランジスタ 6108 とが相補的にオンオフするインバータとして機能する。なお、配線 6110 の電位は、相補用トランジスタ 6108 がオンしたときに、発光素子 6104 に印加される電圧が発光素子 6104 の順方向しきい値電圧 V_{EL} 以下となるようとする。

20

【0312】

動作について簡単に説明する。画素へ信号を書き込む際には、走査線 6107 に信号を入力し、スイッチ 6103 をオンさせる。また、電位供給線 6105 を H レベルにし、駆動トランジスタ 6101 の第 1 端子を電源電位 Vdd にする。すると、駆動トランジスタ 6101 と相補用トランジスタ 6108 は、相補的にオンオフする CMOS インバータとして機能し、CMOS インバータの出力端子に相当する駆動トランジスタ 6101 及び相補用トランジスタ 6108 の第 2 端子と、CMOS インバータの入力端子に相当する駆動トランジスタ 6101 及び相補用トランジスタ 6108 のゲート端子が導通し、オフセットキャップセルされる。つまり、CMOS インバータの入力端子は CMOS インバータの論理しきい値電位となる。そして、入力端子の電位と信号線 6106 に入力されるアナログ信号電位との電位差 (Vp) 分の電荷が容量素子 6102 に蓄積される。こうして、画素への信号の書き込みが終了し、走査線 6107 の信号をスイッチ 6103 がオフするようとする。そして、容量素子 6102 によって電圧 Vp が保持される。また、電位供給線 6105 を L レベルにし、駆動トランジスタ 6101 がオンしても発光素子 6104 に印加される電圧が順方向しきい値電圧以下となるようとする。

30

【0313】

続いて、発光期間において、スイッチ 6103 をオフにしたまま、電位供給線 6105 を H レベルにする。そして、信号線 6106 に設定する電位をアナログ的に変化させることで、CMOS インバータの出力のレベルを制御する。そして、発光素子 6104 に電流が流れている時間をアナログ的に制御して階調を表現することができる。なお、発光素子 6104 を発光させたい場合には、駆動トランジスタ 6101 をオン、相補用トランジスタ 6108 をオフにして、CMOS インバータの出力を H レベルにする。この H レベルの電位は電位供給線 6105 の H レベルの電源電位 Vdd である。一方、発光素子 6104 を非発光にしたい場合には、駆動トランジスタ 6101 をオフ、相補用トランジスタ 6108 をオンにして、CMOS インバータの出力を L レベルにする。この L レベルは配線 6110 に設定されている電位である。

40

【0314】

画素の発光期間において、信号線 6106 に設定する電位について説明する。信号線 6106 に設定する電位は周期的に変化する波形のアナログ電位を用いることができる。

50

【0315】

例えば、発光期間には、信号線 6106 に設定する電位は、実施の形態 1 で示したように、波形 4301、波形 4302、波形 4303、波形 4304、波形 4305、波形 4306 若しくは波形 4307、又はこれらを複数連続して設定しても良い。

【0316】

これらの波形を連続して設定することにより、発光時間を 1 フレーム内で分散させることができ。その結果、フレーム周波数が見かけ上は向上したようになり、画面のちらつきを防止することができる。

【0317】

なお、詳しい動作については、実施の形態 1 の図 1 と同様であるためそちらを参照されたい。

10

【0318】

本実施の形態に示すように、発光素子のオンオフを CMOS インバータの出力により制御することにより、画素内のトランジスタ特性がばらついても、その影響による画素輝度のばらつきを低減することができる。なぜなら、N チャネル型トランジスタと P チャネル型トランジスタでインバータを構成しているため、多少トランジスタの特性にばらつきが生じても、インバータの論理しきい値電圧を境として、急激に出力のレベルが切り替るからである。

【0319】

また、本画素構成において、配線 6110 と発光素子 6104 の陰極 6109 を接続する

20

【0320】

また、断面図 62 を用いて図 61 の画素を有する表示パネルの断面構造の例について説明する。

【0321】

基板 6201 上に下地膜 6202 を有している。基板 6201 としてはガラス基板、石英基板、プラスチック基板、セラミックス基板等の絶縁性基板、金属基板、半導体基板等を用いることができる。下地膜 6202 は CVD 法やスパッタ法により形成することができる。例えば SiH₄、N₂O、NH₃ を原料に用いた CVD 法により形成した酸化珪素膜、窒化珪素膜、酸化窒化珪素膜等を適用することができる。また、これらの積層を用いても良い。なお、下地膜 6202 は基板 6201 から不純物が半導体層に拡散することを防ぐために設けるものであり、基板 6201 にガラス基板や石英基板を用いている場合には下地膜 6202 は設けなくてもよい。

30

【0322】

下地膜 6202 上に島状の半導体層を有する。半導体層には P 型のチャネルが形成されるチャネル形成領域 6203、ソース領域又はドレイン領域となる不純物領域 6204、N 型のチャネルが形成されるチャネル形成領域 6205、ソース又はドレイン領域となる不純物領域 6220、低濃度不純物領域 (LDD 領域) 6221 が形成されている。そして、チャネル形成領域 6203 及びチャネル形成領域 6205 上にゲート絶縁膜 6206 を介してゲート電極 6207 を有している。ゲート絶縁膜 6206 としては CVD 法やスパッタ法により形成される酸化珪素膜、窒化珪素膜、酸化窒化珪素膜等を用いることができる。また、ゲート電極 6207 としてはアルミニウム (Al) 膜、銅 (Cu) 膜、アルミニウム又は銅を主成分とする薄膜、クロム (Cr) 膜、タンタル (Ta) 膜、窒化タンタル (TaN) 膜、チタン (Ti) 膜、タングステン (W) 膜、モリブデン (Mo) 膜等を用いることができる。

40

【0323】

ゲート電極 6207 の脇にはサイドウォール 6222 が形成されている。ゲート電極 6207 を覆うようにシリコン化合物、例えば、酸化シリコン膜、窒化シリコン膜若しくは酸化窒化シリコン膜を形成した後、エッチバックしてサイドウォール 6222 を形成することができる。

50

【0324】

なお、LDD領域6221はサイドウォール6222の下部に位置している。つまり、自己整合的にLDD領域6221が形成されている。なお、サイドウォール6222は、LDD領域6221を自己整合的に形成するために設けているのであって、必ずしも設けなくともよい。

【0325】

ゲート電極6207、サイドウォール6222およびゲート絶縁膜6206上には第1の層間絶縁膜を有している。第1の層間絶縁膜は下層に無機絶縁膜6218、上層に樹脂膜6208を有している。無機絶縁膜6218としては、窒化珪素膜、酸化珪素膜、酸化窒化珪素膜又はこれらを積層した膜を用いることができる。樹脂膜6208としては、ポリイミド、ポリアミド、アクリル、ポリイミドアミド、エポキシなどを用いることができる。

10

【0326】

第1の層間絶縁膜上には、第1の電極6209及び第2の電極6224を有し、第1の電極6209はコンタクトホールを介して不純物領域6204及び不純物領域6220と電気的に接続されている。また、第2の電極6224はコンタクトホールを介して不純物領域6220と電気的に接続されている。第1の電極6209及び第2の電極6224としては、チタン(Ti)膜やアルミニウム(Al)膜や銅(Cu)膜やTiを含むアルミニウム膜などを用いることができる。なお、第1の電極6209及び第2の電極6224と同じ層に信号線などの配線を設ける場合には低抵抗な銅を用いるとよい。

20

【0327】

第1の電極6209、第2の電極6224および第1の層間絶縁膜上に第2の層間絶縁膜6210を有する。第2の層間絶縁膜としては、無機絶縁膜や、樹脂膜、又はこれらの積層を用いることができる。無機絶縁膜としては、窒化珪素膜、酸化珪素膜、酸化窒化珪素膜又はこれらを積層した膜を用いることができる。樹脂膜としては、ポリイミド、ポリアミド、アクリル、ポリイミドアミド、エポキシなどを用いることができる。

30

【0328】

第2の層間絶縁膜6210上には画素電極6211および配線6219を有している。画素電極6211および配線6219は同じ材料により形成されている。つまり、同じ層に同時に形成されている。画素電極6211や配線6219に用いる材料としては、仕事関数の大きい材料を用いることが望ましい。例えば、窒化チタン(TiN)膜、クロム(Cr)膜、タンクスティン(W)膜、亜鉛(Zn)膜、プラチナ(Pt)膜などの単層膜の他、窒化チタンとアルミニウムを主成分とする膜との積層、窒化チタン膜とアルミニウムを主成分とする膜と窒化チタン膜との3層構造等を用いることができる。なお、積層構造とすると、配線としての抵抗も低く、良好なオーミックコンタクトがとれ、さらに陽極として機能させることができる。光を反射する金属膜を用いることで光を透過させない陽極を形成することができる。

【0329】

画素電極6211および配線6219の端部を覆うように絶縁物6212を有する。

例えば、絶縁物6212としては、ポジ型の感光性アクリル樹脂膜を用いることができる。

40

【0330】

画素電極6211上に有機化合物を含む層6213が形成され、有機化合物を含む層6213の一部は絶縁物6212上に重なっている。なお、有機化合物を含む層6213は、配線6219上には形成されていない。

【0331】

有機化合物を含む層6213、絶縁物6212および配線6219上に対向電極6214を有している。対向電極6214に用いる材料としては、仕事関数の小さい材料を用いることが望ましい。例えば、アルミニウム(Al)、銀(Ag)、リチウム(Li)、カルシウム(Ca)、若しくはこれらの合金又は、MgAg、MgIn、AlLi、CaF₂

50

、若しくはCaNなどの金属薄膜を用いることができる。こうして薄い金属薄膜を用いることで光を透過させることができが可能な陰極を形成することができる。

【0332】

対向電極6214と画素電極6211により有機化合物を含む層6213が挟まれた領域では発光素子6216が形成されている。

【0333】

また、絶縁物6212により有機化合物を含む層6213が隔離されている領域では、接合部6217が形成され、対向電極6214と配線6219とが接している。よって、配線6219が対向電極6214の補助電極として機能し、対向電極6214を低抵抗化することができる。よって、対向電極6214の膜厚を薄くすることができ、透過率を高くすることができる。したがって、発光素子6216から得られる光を上面から取り出す上面射出構造において、より高い輝度を得ることができる。10

【0334】

なお、対向電極6214をより低抵抗化するため、金属薄膜と透明導電膜（ITO（インジウムスズ酸化物）、インジウム亜鉛酸化物（IZO）、酸化亜鉛（ZnO）等）との積層を用いてもよい。こうして薄い金属薄膜と、透明性を有する透明導電膜を用いることによっても光を透過させることができが可能な陰極を形成することができる。

【0335】

なお、不純物領域6204にはP型の不純物がドーピングされている。また、不純物領域6220にはN型の不純物がドーピングされている。よって、トランジスタ6215はPチャネル型のトランジスタであり、トランジスタ6223はNチャネル型のトランジスタである。20

【0336】

つまり、トランジスタ6215が図61の画素の駆動トランジスタ6101であり、トランジスタ6223が図61の画素の相補用トランジスタ6108である。また、配線6219が図61の画素における配線6110であり、対向電極6214が図61の画素における発光素子6104の陰極6109である。つまり、図61の画素において配線6110と発光素子6104の陰極6109とが接続されている。

【0337】

なお、図62で説明した表示パネルは対向電極6214の膜を薄くすることができ、上面から射出する光の透光性がよい。よって、上面からの輝度が高くすることができる。また、対向電極6214と配線6219を接続することにより、対向電極6214及び配線6219を低抵抗化することができる。よって、消費電力の低減を図ることができる。よって、例えば、図79の画素において配線7902と発光素子7304の対向電極7308とを接続してもよい。30

【0338】

次に模式図63(a)、(b)を用いて表示パネルの構成について説明する。基板6300上に信号線駆動回路6301、走査線駆動回路6302、画素部6303が形成されている。なお、基板6300はFPC（フレキシブルプリントサーキット）6304と接続され、信号線駆動回路6301や走査線駆動回路6302に入力されるビデオ信号、クロック信号、スタート信号等の信号を外部入力端子となるFPC 6304からを受け取る。FPC 6304と基板6300との接合部上にはICチップ（メモリ回路や、バッファ回路などが形成された半導体チップ）6305がCOG（Chip On Glass）等で実装されている。なお、ここではFPC 6304しか図示されていないが、このFPC 6304にはプリント配線基盤（PWB）が取り付けられていても良い。本明細書における表示装置とは、表示パネル本体だけでなく、それにFPCもしくはPWBが取り付けられた状態をも含むものとする。また、ICチップなどが実装されたものを含むものとする。

【0339】

図63(a)に示す表示パネルの表示部6303には画素がマトリクスに配置されている

10

20

30

40

50

。そして、それぞれの色毎の画素列となっている。そして、有機化合物を含む層 6307 は色毎に一列分の画素に渡って設けられている。そして、画素部において、有機化合物を含む層 6307 の設けられていない領域 6306 にて、画素電極と同じ材料で形成された配線と対向電極との接合部を形成する。つまり、図 62 の断面図における接合部 6217 を図 63 (a) における領域 6306 に形成する。また、画素部における上面の模式図を図 64 に示す。図 64 は、画素電極 6401 と同じ材料にて配線 6402 が形成されている。そして、画素電極 6401 は図 62 の画素電極 6211 に相当し、配線 6402 が図 62 の配線 6219 に相当する。一列分の画素電極 6401 に渡って有機化合物を含む層が形成され、画素電極 6401 と対向電極で挟まれる領域にそれぞれ発光素子が形成される。そして、接合部では対向電極と配線 6402 と接しているため対向電極の低抵抗化を図ることができる。つまり、配線 6402 が対向電極の補助電極として機能する。なお、図 64 のような画素部の構成とすることで開口率が高く、且つ対向電極の低抵抗化を図った表示パネルを提供することが可能となる。

10

20

30

40

50

【0340】

図 63 (b) に示す表示パネルの表示部 6303 には画素がマトリクスに配置されている。そして、それぞれの色毎の画素列となっている。そして、有機化合物を含む層 6317 は色毎に一列分の画素にそれぞれ設けられている。そして、画素部において、有機化合物を含む層 6317 の設けられていない領域 6316 にて、画素電極と同じ材料で形成された配線と対向電極との接合部を形成する。つまり、図 62 の断面図における接合部 6217 を図 63 (b) における領域 6316 に形成する。また、画素部における上面の模式図を図 65 に示す。図 65 は、画素電極 6501 と同じ材料にて配線 6502 が形成されている。そして、画素電極 6501 は図 62 の画素電極 6211 に相当し、配線 6502 が図 62 の配線 6219 に相当する。画素電極 6401 のそれぞれに有機化合物を含む層が形成され、画素電極 6501 と対向電極で挟まれる領域にそれぞれ発光素子が形成される。そして、接合部では対向電極と配線 6502 と接しているため対向電極の低抵抗化を図ることができる。つまり、配線 6502 が対向電極の補助電極として機能する。なお、図 65 のような画素部の構成とすることでより対向電極の低抵抗化を図った表示パネルを提供することが可能となる。

【0341】

本実施の形態に示した表示パネルは、対向電極の透光性がよく、画素の開口率が高いため、輝度を低くしても必要な光度を得ることができる。よって、発光素子の信頼性を向上させることができる。また、対向電極の低抵抗化も図れるため消費電力も低減することができる。

【0342】

(実施の形態 8)

本実施の形態では、実施の形態 1、実施の形態 2、実施の形態 3、実施の形態 4、実施の形態 5 及び実施の形態 6 で示した画素構成を有する表示装置において、より好適な表示装置の構成について説明する。

【0343】

本実施の形態の表示装置の特徴は、走査線や信号線や電位供給線にバッファ回路を設けている。つまり、走査線駆動回路からの信号がバッファ回路に入力され、バッファ回路から走査線へ信号が出力されるようとする。また、信号線駆動回路からの信号がバッファ回路に入力され、バッファ回路から信号線へ信号が出力されるようとする。また、電位供給線駆動回路からの信号がバッファ回路に入力され、バッファ回路から電位供給線へ信号が出力されるようとする。こうして、走査線駆動回路や信号線駆動回路や電位供給線の出力信号のインピーダンス変換を行い、電流供給能力を高めている。

【0344】

なお、走査線や信号線や電位供給線にバッファ回路を設けなくとも、走査線駆動回路や信号線駆動回路や電位供給線駆動回路の中にバッファ回路を設けてこれらの駆動回路の出力の電流供給能力を高くしても良い。

【 0 3 4 5 】

本実施の形態で示す表示装置の基本的な構成を図13を用いて説明する。なお、実施の形態1において、図2を用いて説明した表示装置と共に通するところは共通の符号を用いている。

【 0 3 4 6 】

走査線 R₁ ~ R_m はそれぞれ1行分の画素のスイッチを制御する。例えば、スイッチにトランジスタを用いている場合には、走査線 R₁ ~ R_m のそれぞれに、1行分の画素のスイッチング用トランジスタのゲート端子が接続されている。そして、1行分のスイッチング用トランジスタを一斉にオンにしなければならない。特に解像度が高くなればなるほど一斉にオンしなければならないトランジスタの数が多くなる。そこで、本実施の形態に用いるバッファ回路には電流供給能力の高いものがほしい。

10

【 0 3 4 7 】

また、電位供給線 I₁ ~ I_m から駆動トランジスタ206の第1端子に設定される信号は、書き込み期間や発光期間において、一行分の画素のそれぞれの駆動トランジスタ206や発光素子209に電流を供給する必要がある。よって、特に電位供給線 I₁ ~ I_m に入力される信号には電流供給能力が高いことが要求される。

【 0 3 4 8 】

また、図13に示す表示装置の走査線 R₁ ~ R_m や電位供給線 I₁ ~ I_m はそれぞれ配線抵抗を有しており、さらに、信号線 D₁ ~ D_n 交差するところでは寄生容量（交差容量）が形成される。よって、走査線 R₁ ~ R_m はそれぞれ、抵抗素子1401と容量素子1402とを用いて図14に示すような等価回路で表すことができる。

20

【 0 3 4 9 】

この等価回路に、矩形波の入力パルス1403を入力すると、応答波は出力パルス1404のようになまりが生じた波形となってしまう。つまり、パルスの立ち上がりと立ち下がりが遅延してしまう。すると、スイッチ208は正常なタイミングでオンしなくなり、ビデオ信号を画素に正確に書き込むことができなくなってしまう。よって、本実施の形態の表示装置においては走査線から出力される信号はバッファ回路を介して電流供給能力を高くすることで、なまりの発生を低減させることができる。さらに、電位供給線 I₁ ~ I_m についても同様のことがいえる。特に、電位供給線 I₁ ~ I_m は一行分の画素205の発光素子210を発光させるための電流供給能力が必要とされるため、バッファ回路により信号をインピーダンス変換し、電流供給能力を高くすることが望ましい。

30

【 0 3 5 0 】

また、信号線 D₁ ~ D_n についても、寄生容量が形成されると、映像信号に相当するアナログ信号電位を設定するのに遅延が生じてしまうため、画素へ信号を正確に書き込むことができなくなってしまう。よって、本実施の形態の表示装置においては信号線から出力される信号もバッファ回路を介して電流供給能力を高くすると良い。

【 0 3 5 1 】

図13に示す表示装置は電位供給線駆動回路201から出力される信号が電位供給線 I₁ ~ I_m に設けられたそれぞれのバッファ回路1301を介して電位供給線 I₁ ~ I_m に入力される。つまり、バッファ回路1301を介することで電位供給線駆動回路201から出力される信号の電流供給能力を高くする。同様に、走査線 R₁ ~ R_m のそれぞれにバッファ回路1302を設けている。また、信号線 D₁ ~ D_n のそれにもバッファ回路1303を設けている。なお、バッファ回路1303はアナログバッファ回路を用いている。

40

【 0 3 5 2 】

よって、各駆動回路から出力される信号は電流供給能力が高いため、上述したパルス信号のなまりを低減することができる。よって、素早く1行分の画素のスイッチング用トランジスタをオンにし、素早くビデオ信号を書き込むことができる。よって、画素の書き込み期間を短くすることができる。

【 0 3 5 3 】

50

ここで、本実施の形態で用いることができるバッファ回路の例を示す。以下、バッファ回路において、入力電位 V_{in} が入力される端子を入力端子、出力電位 V_{out} が出力される端子を出力端子という。

【0354】

例えば、図15(a)に示すようなボルテージフォロワ回路1501の入力端子を信号線駆動回路の出力端子に接続し、ボルテージフォロワ回路1501の出力端子を信号線に接続する。ボルテージフォロワ回路をバッファ回路に用いるときには特性のバラツキの小さいトランジスタを形成することができるICチップ上に形成するとよい。なお、本明細書において、ICチップとは、基板上に形成された集積回路をチップ上に切り離したものという。特に、ICチップとしては、単結晶シリコンウエハを基板に用いて素子分離などにより回路を形成し、単結晶シリコンウエハを任意の形状に切り離したものが適している。

10

【0355】

よって、バッファ回路としてボルテージフォロワ回路1501を採用する場合、走査線駆動回路や信号線駆動回路や電位供給線駆動回路と共にバッファ回路を形成したICチップをCOG(Chip On Glass)などで表示パネルに実装すると良い。なお、ボルテージフォロワ回路は図13の表示装置において、バッファ回路1301、バッファ回路1302及びバッファ回路1303に適用することができるが、アナログバッファ回路として機能するので、とくにバッファ回路1302に適している。

20

【0356】

また、図15(b)に示すようにNチャネル型トランジスタ1502及びPチャネル型トランジスタ1503からなるインバータをバッファ回路に用いても良い。Nチャネル型トランジスタ1502のゲート端子とPチャネル型トランジスタ1503のゲート端子は共に入力端子に接続され入力電位 V_{in} が入力される。また、Nチャネル型トランジスタ1502のソース端子は電源電位 V_{ss} に接続され、ドレイン端子はPチャネル型トランジスタ1503のドレイン端子と共に出力端子に接続され、出力端子から出力電位 V_{out} を出力する。バッファ回路としては複数のインバータを直列接続して用いることができる。このとき、インバータから出力された出力電位 V_{out} が入力端子に入力される次の段のインバータは約3倍の電流供給能力とすると効率良く電流供給能力を高くすることができる。つまり、最初に入力されたインバータから出力された電位が次の段のインバータに入力される際には約3倍の電流供給能力のインバータを直列に接続する。このようにして偶数個のインバータを接続すればバッファ回路として用いることができる。なお、Nチャネル型トランジスタ1502及びPチャネル型トランジスタ1503の設計において、チャネル幅Wとチャネル長Lの比: W/L を調整することで電流供給能力を調整することができる。なお、図15(b)に示した様なインバータを用いたバッファ回路は図13の表示装置において、バッファ回路1301や1303に適用することができる。なお、このようなインバータを用いたバッファ回路は構成が単純であり、基板上に画素と共に走査線駆動回路や信号線駆動回路が一体形成された薄膜トランジスタを有する表示パネルを作製する場合にはバッファ回路も一体形成することができる。バッファ回路を一体形成することで、コストダウンを図ることができる。また、図15(b)のように、Nチャネル型トランジスタ1502及びPチャネル型トランジスタ1503からなるCMOSインバータは、入力端子にインバータの論理しきい値 V_{inv} の近傍の電位が入力されているときは、Nチャネル型トランジスタ1502及びPチャネル型トランジスタ1503に電流が流れるが、入力端子にHレベルかLレベルの電位が入力されるといずれか一方のトランジスタがオフするため無駄に電力が消費されることがない。よって、図15(b)に示すようなCMOSインバータを用いることで低消費電力化を図ることができる。

30

【0357】

さらに、図15(c)に示すようにソースフォロワ回路を用いてバッファ回路を形成することもできる。ソースフォロワトランジスタ1504と電流源1505からなり、ソースフォロワトランジスタ1504のゲート端子は入力端子に接続され、ドレイン端子は電源電位 V_{dd} が設定された配線に接続され、ソース端子は電流源1505の一方の端子と出

40

50

力端子に接続されている。電流源 1505 の他方の端子は低電源電位 V_{SS} の設定された配線に接続されている。ここで、ソースフォロワトランジスタ 1504 のゲートソース間電圧 V_{GS} を用いて、出力電位 V_{out} は以下の式(1)で表される。

【0358】

$$V_{out} = V_{in} - V_{GS} \dots (1)$$

【0359】

ここで、 V_{GS} はソースフォロワトランジスタ 1504 が電流 I_0 を流すのに必要な電圧である。

【0360】

よって、出力電位 V_{out} は入力電位 V_{in} から V_{GS} 分低い電位となる。しかし、入力電位 V_{in} に入力される信号がデジタル信号であれば、ソースフォロワトランジスタ 1504 のゲートソース間電圧 V_{GS} に多少のバラツキがあってもソースフォロワ回路をバッファ回路として用いることができる。よって、図 13 の表示装置においては、バッファ回路 1301 やバッファ回路 1303 に用いることができる。

10

【0361】

また、図 15(c) で示したようなソースフォロワ回路は構成が単純であり薄膜トランジスタを用いて容易に作製することができる。よって、基板上に画素と共に走査線駆動回路や信号線駆動回路が一体形成された薄膜トランジスタを有する表示パネルを作製する場合にはバッファ回路も一体形成することができる。バッファ回路を一体形成することで、コストダウンを図ることができる。

20

【0362】

また、ソースフォロワトランジスタ 1504 として、図 15(c) に示すように N チャネル型トランジスタを用いることで、画素と走査線駆動回路や信号線駆動回路や電位供給線駆動回路とバッファ回路とが一体形成された表示パネルにおいて、N チャネル型トランジスタのみからなる単極性表示パネルを作製することができる。

【0363】

また、ソースフォロワ回路をバッファ回路に用いる場合、図 15(d) に示すようにソースフォロワトランジスタ 1506 をデュアルゲートとすることで、しきい値電圧の低いトランジスタとすることもできる。なお、ソースフォロワトランジスタ 1506 以外の構成は図 15(c) と共通するので共通の符号を用い説明は省略する。

30

【0364】

図 15(d) のようなソースフォロワトランジスタ回路によりしきい値電圧 V_{th} が低くなり、ソースフォロワトランジスタを構成する各トランジスタ間でバラツキが低減されれば、アナログバッファ回路としても用いることができる。よって、図 13 の表示装置においてバッファ回路 1301 及びバッファ回路 1303 は言うまでもなく、バッファ回路 1302 にも図 15(d) のようなソースフォロワ回路を適用することができる。

40

【0365】

また、図 16(b) のような構成をバッファ回路に用いることもできる。ソースフォロワ回路はソースフォロワトランジスタ 1604 と、容量素子 1605 と、第 1 のスイッチ 1606 と、第 2 のスイッチ 1607 と、第 3 のスイッチ 1608 と、電流源 1609 と、電圧源 1610 とからなる。そして、ソースフォロワトランジスタ 1604 のドレイン端子は電源電位 V_{dd} が設定された配線に接続され、ソース端子は出力端子と、電流源 1609 を介して低電源電位 V_{ss} が設定された配線と、第 1 のスイッチ 1606 の一方の端子と接続されている。そして、第 1 のスイッチ 1606 の他方の端子は容量素子の一方の端子と、第 3 のスイッチ 1608 を介して入力端子と接続されている。また、容量素子 1605 の他方の端子はソースフォロワトランジスタ 1604 のゲート端子と、第 2 のスイッチ 1607 及び電圧源 1610 を介して低電源電位 V_{ss} が設定された配線と接続されている。

【0366】

図 16(b) のソースフォロワ回路の動作について簡単に説明する。プリチャージ期間に

50

第1のスイッチ1606と第2のスイッチ1607をオンにする。すると容量素子1605にはソースフォロワトランジスタ1604のゲートとソース間電圧が電流 I_1 を流すに必要な電圧 V_{gs} となる電荷が蓄積される。そして、第1のスイッチ1606及び第2のスイッチ1607をオフにする。すると容量素子1605はソースフォロワトランジスタ1604のゲートとソース間電圧 V_{gs} を保持する。そして第3のスイッチ1608をオンになると、容量素子1605がゲートとソース間電圧 V_{gs} を保持したまま入力端子に入力電位 V_{in} が入力される。よって、容量素子1605の他方の端子が接続されたソースフォロワトランジスタ1604のゲート端子には入力電位 V_{in} にゲートとソース間電圧 V_{gs} を加えた電位が設定される。一方、出力電位から出力される出力電位 V_{out} はソースフォロワトランジスタ1604のゲート端子の電位からゲートとソース間電圧 V_{gs} を引いた電位である。よって、出力端子から出力される電位は入力端子に入力される電位と同じになり $V_{in} = V_{out}$ となる。

10

【0367】

よって、図16(b)に示すソースフォロワ回路は、図13の表示装置においてバッファ回路1301及びバッファ回路1303は言うまでもなく、ビデオ信号の電流供給能力を高くするためのバッファ回路1302にも適用することができる。

【0368】

また、ボルテージフォロワ回路に比べて回路が単純であるため、画素と共に走査線駆動回路や信号線駆動回路や電位供給線駆動回路とが一体形成された薄膜トランジスタを有する表示パネルを作製する場合にはバッファ回路として、図16(b)に示すソースフォロワ回路も一体形成することができる。また、図16(b)のソースフォロワ回路は単極性のトランジスタで構成することができるため単極性表示パネルを作製することができる。

20

【0369】

なお、図15(c)(d)で示した電流源1505や、図16(b)で示した電流源1609には飽和領域で動作するトランジスタや、抵抗素子や、整流素子を用いることができる。さらには、整流素子としてはPN接続ダイオードや、ダイオード接続トランジスタを用いることもできる。

【0370】

ここで、図15(d)の電流源1505にダイオード接続したトランジスタを適用した場合について図16(a)を用いて説明する。ソースフォロワトランジスタ1506とダイオード接続したトランジスタ1507からなり、ソースフォロワトランジスタ1506のドレイン端子は電源電位 V_{dd} が設定された配線に接続され、ソース端子はダイオード接続したトランジスタ1507のドレイン端子と出力端子とに接続されている。また、ダイオード接続したトランジスタ1507はドレイン端子とゲート端子が接続され、ソース端子は低電源電位 V_{ss} の設定された配線に接続されている。

30

【0371】

なお、本実施の形態の表示装置に適用可能な画素構成は、図13に示した構成に限られず、実施の形態2、実施の形態3、実施の形態4及び実施の形態5に示した様々な画素構成を適用することが可能であり、また、バッファ回路も全ての走査線駆動回路や信号線駆動回路や電位供給線駆動回路の出力が入力される走査線や信号線や電位供給線に設ける必要はなく適宜設けることができる。特に電位供給線駆動回路から出力される信号は、一行分の画素の発光素子に電流を流すだけの電流が必要であるため、例えば図13の構成において、電位供給線駆動回路側のバッファ回路1303のみを設けても良い。

40

【0372】

(実施の形態9)

本実施の形態では、本発明の画素構成を有する表示装置の走査線駆動回路や信号線駆動回路や電位供給線駆動回路について説明する。つまり、本実施の形態で示す走査線駆動回路や信号線駆動回路や電位供給線駆動回路は、実施の形態1、実施の形態2、実施の形態3、実施の形態4及び実施の形態5で示した画素構成を有する表示装置や実施の形態6や実施の形態7に示した表示装置に適宜用いることができる。

50

【0373】

図25(a)に示す表示装置は、基板2501上に、複数の画素が配置された画素部2502を有し、画素部2502の周辺には、電位供給線駆動回路2503、走査線駆動回路2504及び信号線駆動回路2505を有している。電位供給線駆動回路2503が図2の電位供給線駆動回路201に相当し、走査線駆動回路2504が図2の走査線駆動回路202に相当し、信号線駆動回路2505が図2の信号線駆動回路203に相当する。

【0374】

電位供給線駆動回路2503、走査線駆動回路2504及び信号線駆動回路2505に入力される信号はフレキシブルプリントサーキット(Flexible Print Circuit: FPC)2506を介して外部より供給される。

10

【0375】

なお、図示していないが、FPC2506上にCOG(Chip On Glass)やTAB(Tape Automated Bonding)等によりICチップが実装されても良い。つまり、画素部2502と一緒に形成が困難な、電位供給線駆動回路2503、走査線駆動回路2504及び信号線駆動回路2505の一部のメモリ回路やバッファ回路などをICチップ上に形成して表示装置に実装しても良い。

【0376】

また、図25(b)に示すように、電位供給線駆動回路2503及び走査線駆動回路2504を画素部2502の片側に配置しても良い。なお、図25(b)に示す表示装置は、図25(a)に示す表示装置と、電位供給線駆動回路2503の配置が異なるだけであるので同様の符号を用いている。また、電位供給線駆動回路2503及び走査線駆動回路2504は一つの駆動回路で同様の機能を果たすようにしても良い。

20

【0377】

続いて、図25(a)、(b)に示した表示装置の信号線駆動回路2505の構成例を示す。これは、図2の表示装置の信号線(D1~Dn)に信号を設定するための駆動回路である。図31(a)に示す信号線駆動回路は、パルス出力回路3101、第1のラッチ回路3102、第2のラッチ回路3103、D/A変換回路(デジタルアナログ変換回路)3104、書き込み期間・発光期間選択回路3105及びアナログバッファ回路3106を有している。

30

【0378】

図31(a)に示す信号線駆動回路の動作について、図33に示した詳しい構成を用いて説明する。

【0379】

パルス出力回路3301はフリップフロップ回路(FF)3309等を複数段用いて構成され、クロック信号(S-CLK)、クロック反転信号(S-CLKB)、スタートパルス信号(S-SP)が入力される。これらの信号のタイミングに従って順次サンプリングパルスが出力される。

40

【0380】

パルス出力回路3301により出力されたサンプリングパルスは、第1のラッチ回路3302に入力される。第1のラッチ回路3302には、デジタル映像信号が入力されており、サンプリングパルスが入力されるタイミングに従って、各段にデジタル映像信号を保持する。ここでは、デジタル映像信号は各段毎に3ビット入力されており、各ビットの映像信号を、それぞれ第1のラッチ回路3302において保持する。一つのサンプリングパルスによって、第1のラッチ回路3302の各段の三つのラッチ回路が平行して動作する。

【0381】

第1のラッチ回路3302において、最終段までデジタル映像信号の保持が完了すると、水平帰線期間中に、第2のラッチ回路3303にラッチパルス(Latch Pulse)が入力され、第1のラッチ回路3302に保持されていたデジタル映像信号は、一斉に第2のラッチ回路3303に転送される。その後、第2のラッチ回路3303に保持されたデジタル映像信号は1行分が同時にD/A変換回路(3304)へ入力される。

50

【 0 3 8 2 】

D A C 3 3 0 4においては、入力されるデジタル映像信号をデジタル - アナログ変換し、アナログ電位を有する映像信号として、書き込み期間・発光期間選択回路3 3 0 5の有する切り替え回路3 3 0 7に入力する。

【 0 3 8 3 】

第2のラッチ回路3 3 0 3に保持されたデジタル映像信号がD A C 3 3 0 4に入力されている間、パルス出力回路3 3 0 1からは、再びサンプリングパルスが出力される。そして、書き込み期間においては、上述した動作を繰り返し、1フレーム分の映像信号の処理を行う。

【 0 3 8 4 】

また、書き込み期間・発光期間選択回路3 3 0 5は、三角波電位生成回路3 3 0 8を有し、発光期間においては、切り替え回路3 3 0 7には、三角波電位生成回路3 3 0 8によって生成された三角波電位が入力される。

【 0 3 8 5 】

こうして、切り替え回路3 3 0 7には、書き込み期間はD A C 3 3 0 4からの映像信号が入力され、発光期間には三角波電位生成回路3 3 0 8からの三角波電位が入力される。そして、切り替え回路3 3 0 7は書き込み期間には映像信号を、発光期間には三角波電位をアナログバッファ回路3 3 0 6に入力する。

【 0 3 8 6 】

アナログバッファ回路3 3 0 6はインピーダンス変換し、入力された電位と同等の電位を信号線D 1 ~ D nへ設定する。つまり、映像信号はアナログバッファ回路3 3 0 6で電流供給能力を高くされ、アナログ信号電位として信号線D 1 ~ D nに設定される。なお、この信号線D 1 ~ D nは、例えば図2や図13の表示装置の信号線D 1 ~ D nに相当する。

【 0 3 8 7 】

図3 1 (a)において、入力されるデジタルビデオ信号(D i g i t a l V i d e o Data)はアナログビデオ信号(Analog Video Data)に変換する前に補正することが望ましい場合もある。よって図3 1 (b)に示すように、第1のラッチ回路3 1 0 2に入力する前にデジタルビデオ信号(D i g i t a l V i d e o Data)を補正回路3 1 0 7によって補正してから第1のラッチ回路3 1 0 2に入力するようになるのが好ましい。補正回路3 1 0 7では、例えばガンマ補正などを行うことができる。

【 0 3 8 8 】

また、インピーダンス変換はD / A変換回路の出力を書き込み期間・発光期間選択回路に入力する前に行っても良い。つまり、図3 1 (a)の構成において、D / A変換回路3 1 0 4の出力をインピーダンス変換して書き込み期間・発光期間選択回路3 1 0 5に入力する構成として、図3 5 (a)のような構成とすることができます。また、このとき、図3 5 (a)の構成を詳細に示した構成は図3 7のような構成となる。パルス出力回路3 7 0 1、第1のラッチ回路3 7 0 2、第2のラッチ回路3 7 0 3、D / A変換回路3 7 0 4、書き込み期間・発光期間選択回路3 7 0 5、アナログバッファ回路3 7 0 6、切り替え回路3 7 0 7、三角波電位生成回路3 7 0 8、フリップフロップ回路3 7 0 9などのそれぞれの機能は、図3 3のパルス出力回路3 3 0 1、第1のラッチ回路3 3 0 2、第2のラッチ回路3 3 0 3、D / A変換回路3 3 0 4、書き込み期間・発光期間選択回路3 3 0 5、アナログバッファ回路3 3 0 6、切り替え回路3 3 0 7、三角波電位生成回路3 3 0 8、フリップフロップ回路3 3 0 9と同様である。また、図3 1 (b)の構成において、D / A変換回路3 1 0 4の出力をインピーダンス変換して書き込み期間・発光期間選択回路3 1 0 5に入力する構成として、図3 5 (b)のような構成とすることができます。

【 0 3 8 9 】

また、図3 1及び図3 3では信号線駆動回路に入力される映像信号がデジタルの場合の構成について説明したが、図3 2及び図3 4では映像信号がアナログの場合について説明する。この場合には、図3 1に示すようにD / A変換回路は設けなくて良い。また、アナロ

10

20

30

40

50

グの映像信号を保持することができる第1のアナログラッチ回路及び第2のアナログラッチ回路は格段に1ビット分づつ設ければよい。図32(a)に示すように、パルス出力回路3201、第1のアナログラッチ回路3202、第2のアナログラッチ回路3203、書き込み期間・発光期間選択回路3204及びアナログバッファ回路3205を有している。

【0390】

図32(a)に示す信号線駆動回路の動作について、図34に示した詳しい構成を用いて説明する。

【0391】

パルス出力回路3401はフリップフロップ回路(FF)3408等を複数段用いて構成され、クロック信号(S-CLK)、クロック反転信号(S-CLKB)、スタートパルス信号(S-SP)が入力される。これらの信号のタイミングに従って順次サンプリングパルスが出力される。10

【0392】

パルス出力回路3401により出力されたサンプリングパルスは、第1のアナログラッチ回路3402に入力される。第1のアナログラッチ回路3402には、アナログ映像信号が入力されており、サンプリングパルスが入力されるタイミングに従って、各段にアナログ映像信号を保持する。ここでは、アナログ映像信号は各段毎に1ビット入力されており、1ビットの映像信号を、それぞれの段毎の第1のアナログラッチ回路3402において保持する。20

【0393】

第1のアナログラッチ回路3402において、最終段までアナログ映像信号の保持が完了すると、水平帰線期間中に、第2のアナログラッチ回路3403にラッチパルス(Latch Pulse)が入力され、第1のアナログラッチ回路3402に保持されていたアナログ映像信号は、一斉に第2のアナログラッチ回路3403に転送される。その後、第2のアナログラッチ回路3403に保持されたアナログ映像信号は1行分が同時に書き込み期間・発光期間選択回路3404の有する切り替え回路3406に入力される。

【0394】

そして、書き込み期間には、切り替え回路3406は第2のアナログラッチ回路3403から入力された映像信号をアナログバッファ回路3405に入力し、アナログバッファ回路3405はインピーダンス変換して、信号線D1～Dnへそれぞれのアナログ信号電位を設定する。なお、この信号線D1～Dnは、例えば図2や図8の表示装置の信号線D1～Dnに相当する。30

【0395】

このように画素1行分のアナログ信号電位を信号線D1～Dnに設定している間、パルス出力回路3401においては、再びサンプリングパルスが出力される。そして、書き込み期間においては、上述した動作を繰り返し、1フレーム分の映像信号の処理を行う。

【0396】

また、書き込み期間・発光期間選択回路3404は、三角波電位生成回路3407を有し、発光期間においては、切り替え回路3406には、三角波電位生成回路3407によって生成された三角波電位が入力される。そして、発光期間にはアナログバッファ回路3406はインピーダンス変換し、入力された三角波電位と同等の電位を信号線D1～Dnへ設定する。つまり、アナログバッファ回路で出力電流能力を高くする。40

【0397】

こうして、切り替え回路3406には、書き込み期間は第2のアナログラッチ回路3403からの映像信号が入力され、発光期間には三角波電位生成回路3407からの三角波電位が入力される。そして、切り替え回路3406は書き込み期間には映像信号を、発光期間には三角波電位をアナログバッファ回路3405に入力する。

【0398】

また、外部からの映像信号がデジタル映像信号であるときには、図32(b)に示すよう

10

20

30

40

50

に D / A 変換回路 3206 でデジタル映像信号をアナログ映像信号に変換してから第 1 のアナログラッチ回路 3202 に入力するようにしても良い。

【0399】

また、インピーダンス変換は第 2 のラッチ回路の出力を書き込み期間・発光期間選択回路に入力する前に行っても良い。つまり、図 32(a) の構成において、第 2 のアナログラッチ回路 3203 の出力をインピーダンス変換して書き込み期間・発光期間選択回路 3204 に入力する構成として、図 36(a) のような構成とすることができます。また、このとき、図 36(a) の構成を詳細に示した構成は図 38 のような構成となる。パルス出力回路 3801、第 1 のアナログラッチ回路 3802、第 2 のアナログラッチ回路 3803、書き込み期間・発光期間選択回路 3804、アナログバッファ回路 3805、切り替え回路 3806、三角波電位生成回路 3807、フリップフロップ回路 3808 などのそれぞれの機能は、図 34 のパルス出力回路 3401、第 1 のアナログラッチ回路 3402、第 2 のアナログラッチ回路 3403、書き込み期間・発光期間選択回路 3404、アナログバッファ回路 3405、切り替え回路 3406、三角波電位生成回路 3407、フリップフロップ回路 3408 と同様である。また、図 32(b) の構成において、第 2 のアナログラッチ回路 3203 の出力をインピーダンス変換して書き込み期間・発光期間選択回路 3204 に入力する構成として、図 36(b) のような構成とすることができます。

10

【0400】

また、ビデオ信号に相当するアナログ信号電位と、駆動トランジスタのオンオフを制御するアナログ的に変化する電位を別の信号線で画素に入力する画素構成（例えば図 56 のような画素構成）を有する表示装置に適用可能な信号線駆動回路について図 39 及び図 40 を用いて説明する。

20

【0401】

まず、図 39 の構成について説明する。

【0402】

パルス出力回路 3901 はフリップフロップ回路 (FF) 3907 等を複数段用いて構成され、クロック信号 (S-CLK)、クロック反転信号 (S-CLKB)、スタートパルス信号 (S-SP) が入力される。これらの信号のタイミングに従って順次サンプリングパルスが出力される。

30

【0403】

パルス出力回路 3901 により出力されたサンプリングパルスは、第 1 のラッチ回路 3902 に入力される。第 1 のラッチ回路 3902 には、デジタル映像信号が入力されており、サンプリングパルスが入力されるタイミングに従って、各段にデジタル映像信号を保持する。ここでは、デジタル映像信号は各段毎に 3 ビット入力されており、各ビットの映像信号を、それぞれ第 1 のラッチ回路 3902 において保持する。一つのサンプリングパルスによって、第 1 のラッチ回路 3902 の各段の三つのラッチ回路が平行して動作する。

【0404】

第 1 のラッチ回路 3902 において、最終段までデジタル映像信号の保持が完了すると、水平帰線期間中に、第 2 のラッチ回路 3903 にラッチパルス (Latch Pulse) が入力され、第 1 のラッチ回路 3902 に保持されていたデジタル映像信号は、一齊に第 2 のラッチ回路 3903 に転送される。その後、第 2 のラッチ回路 3903 に保持されたデジタル映像信号は 1 行分が同時に D A C (D / A 変換回路) 3904 へ入力される。

40

【0405】

D A C 3904 においては、入力されるデジタル映像信号をデジタル - アナログ変換し、アナログ電位を有する映像信号として、アナログバッファ回路 3905 に入力する。

【0406】

アナログバッファ回路 3905 から各信号線 D1a1 ~ D1an にアナログ信号電位が設定される。また、同時に三角波電位生成回路 3906 からも三角波電位が各信号線各信号線 D2a1 ~ D2an に設定される。なお、信号線 D1a1 ~ D1an は図 4 や図 7 等の画素を有する表示装置の第 1 の信号線 410 や第 1 の信号線 390 に相当する。また、信

50

号線 D₂a₁ ~ D₂a_n は図 4 や図 7 等の画素を有する表示装置の第 2 の信号線 411 や第 2 の信号線 391 に相当する。

【0407】

また、図 40 の構成について説明する。

【0408】

パルス出力回路 4001 はフリップフロップ回路 (FF) 4006 等を複数段用いて構成され、クロック信号 (S-CLK)、クロック反転信号 (S-CLKB)、スタートパルス信号 (S-SP) が入力される。これらの信号のタイミングに従って順次サンプリングパルスが出力される。

【0409】

パルス出力回路 4001 により出力されたサンプリングパルスは、第 1 のアナログラッチ回路 4002 に入力される。第 1 のアナログラッチ回路 4002 には、アナログ映像信号 (Analog Data) が入力されており、サンプリングパルスが入力されるタイミングに従って、各段にアナログ映像信号を保持する。ここでは、アナログ映像信号は各段毎に 1 ビット入力されており、1 ビットの映像信号を、それぞれの段毎の第 1 のアナログラッチ回路 4002 において保持する。

【0410】

第 1 のアナログラッチ回路 4002 において、最終段までアナログ映像信号の保持が完了すると、水平帰線期間中に、第 2 のアナログラッチ回路 4003 にラッチパルス (Latch Pulse) が入力され、第 1 のアナログラッチ回路 4002 に保持されていたアナログ映像信号は、一斉に第 2 のアナログラッチ回路 4003 に転送される。その後、第 2 のラッチ回路 4003 に保持されたデジタル映像信号は 1 行分が同時にアナログバッファ回路 4004 に入力される。

【0411】

アナログバッファ回路 4004 から各信号線 D₁a₁ ~ D₁a_n にアナログ信号電位が設定される。また、同時に三角波電位生成回路 4005 からも三角波電位が各信号線各信号線 D₂a₁ ~ D₂a_n に設定される。

【0412】

なお、行方向に選択された画素に一斉に信号を書き込む（線順次方式ともいう）場合の信号線駆動回路について説明したが、信号線駆動回路に入力されるビデオ信号を、パルス出力回路から出力される信号に従って、そのまま画素に書き込む（点順次方式ともいう）ようにして良い。

【0413】

実施の形態 1 で示した画素構成に適用可能な点順次方式の信号線駆動回路について、図 41(a) を用いて説明する。パルス出力回路 4101、第 1 のスイッチ群 4102、第 2 のスイッチ群 4103 からなる。第 1 のスイッチ群 4102 及び第 2 のスイッチ群 4103 はそれぞれ複数の段のスイッチを有する。この複数の段はそれぞれ信号線に対応している。

【0414】

第 1 のスイッチ群 4102 のそれぞれの段のスイッチの一方の端子はビデオ信号に相当するアナログビデオ信号 (Analog Video Data) が入力される配線に接続され、他方の端子はそれぞれ対応する信号線に接続されている。また、第 2 のスイッチ群 4103 のそれぞれの段のスイッチの一方の端子は三角波電位の設定される配線に接続され、他方の端子はそれぞれ対応する信号線に接続されている。

【0415】

画素の信号書き込み期間には、パルス出力回路 4101 に、クロック信号 (S-CLK)、クロック反転信号 (S-CLKB)、スタートパルス信号 (S-SP) が入力される。これらの信号のタイミングに従って順次サンプリングパルスが出力される。なお、このとき第 2 のスイッチ群 4103 のオンオフを制御する制御信号は、全ての段のスイッチがオフするように設定する。

10

20

30

40

50

【0416】

そして、サンプリングパルスの出力に従って、第1のスイッチ群4102のスイッチは1段づつオンする。

【0417】

よって、書き込み期間には、第1のスイッチ群4102のオンしたスイッチの段に対応する信号線にAnalog Video Dataが入力される。こうして、順次第1のスイッチ群4102の各段のスイッチをオンさせ、選択されている行の画素に順次Analog Video Dataを書き込む。

【0418】

続いて、次の行の画素が選択され、同様に信号が書き込まれる。全ての行の画素に信号が書き込まれると、信号書き込み期間は終了する。10

【0419】

画素への信号書き込み期間が終了すると発光期間になる、画素の発光期間には、パルス出力回路4101からサンプリングパルスが出力されないようにする。つまり、パルス出力回路4101の出力を第1のスイッチ群4102に入力されないようにしてもいいし、パルス出力回路4101にスタートパルス信号(S-SP)が入力されないようにしてもいい。つまり、第1のスイッチ群4102のスイッチがオフしていれば良い。

【0420】

また、第2のスイッチ群4103の全てのスイッチがオンするように制御信号を入力する。すると、全ての信号線に三角波電位が設定される。なお、発光期間においては、全ての行の画素が選択されているため全ての画素に三角波電位を設定することができる。20

三角波電位が入力される。

【0421】

こうして、発光期間が終わると1フレーム期間は終了する。

【0422】

次に、実施の形態2で示した画素構成に適用可能な点順次方式の信号線駆動回路について、得図41(b)を用いて説明する。パルス出力回路4111、スイッチ群4112、からなる。スイッチ群4112はそれぞれ複数の段のスイッチを有する。この複数の段はそれぞれ第1の信号線に対応している。

【0423】

スイッチ群4112のそれぞれの段のスイッチの一方の端子はビデオ信号に相当するアナログビデオ信号(Analog Video Data)が入力される配線に接続され、他方の端子はそれぞれ画素の列に対応する第1の信号線に接続されている。また、三角波電位の設定される配線はそれぞれ画素の列に対応する第2の信号線に接続されている。30

【0424】

画素の信号書き込み期間には、パルス出力回路4111に、クロック信号(S-CLK)、クロック反転信号(S-CLKB)、スタートパルス信号(S-SP)が入力される。これらの信号のタイミングに従って順次サンプリングパルスが出力される。

【0425】

そして、サンプリングパルスの出力に従って、スイッチ群4112のスイッチは1段づつオンする。40

【0426】

よって、画素への信号書き込み期間には、スイッチ群4112のオンしたスイッチの段に対応する信号線にアナログビデオ信号(Analog Video Data)が入力される。こうして、順次スイッチ群4112の各段のスイッチをオンさせ、選択されている行の画素に順次アナログビデオ信号(Analog Video Data)を書き込む。

【0427】

なお、選択されていない行の画素は、第2の信号線に接続され発光期間となる。

【0428】

50

このように、図41(b)の構成では、画素の行毎に書き込み期間が設定され、他の行の書き込み期間に発光期間とすることができる実施の形態2で示したような画素に適用することができる。

【0429】

続いて、走査線駆動回路や電位供給線駆動回路の構成について説明する。

【0430】

走査線駆動回路や電位供給線駆動回路は、パルス出力回路を有する。そして、書き込み期間においては、パルス出力回路からのサンプリングパルスを走査線及び電位供給線に出力する。そして、発光期間においては、サンプリングパルスの出力が出力されないようにし、走査線には全ての画素行が選択されないような信号を入力しておく。また、電位供給線には、発光素子に順方向電圧を印加するような電位を設定する。

10

【0431】

なお、走査線駆動回路と電位供給線駆動回路とを一つの駆動回路で形成することで駆動回路の占有面積を減らし、狭額縁化が図れる。

【0432】

次に、本実施の形態のD/A変換回路に用いることのできる構成について説明する。

【0433】

図17に示すのは3ビットのデジタル信号をアナログ信号に変換することのできる抵抗ストリング型のD/A変換回路である。

20

【0434】

複数の抵抗素子が直列に接続され、それらの抵抗素子群の一方の端子には参照電源電位V_{ref}が設定され、他方の端子には低電源電位(例えばGND)が設定されている。そして、抵抗素子群には電流が流れ、電圧降下により各抵抗素子の両端の端子で電位が異なる。入力端子1、入力端子2及び入力端子3のそれぞれに入力される信号に従って、スイッチのオンオフを選択し、8通りの電位を出力端子から得ることができる。具体的には、入力端子3に入力される信号により8通りの電位のうち高い方の4つの電位か低い方の4つの電位かが選択される。そして、入力端子2に入力される信号により入力端子3により選択される4つの電位のうち、高い方の2つの電位か低い方の2つの電位かが選択される。そして、入力端子1に入力される信号により、入力端子2で選択された2つの電位のうち高い方又は低い方のいずれかが選択される。こうして、8通りの電位のなかから一つの電位が選択される。したがって、入力端子1、入力端子2及び入力端子3に入力されるデジタル信号を、アナログ信号電位に変換することができる。

30

【0435】

また、図18に示すのは6ビットのデジタル信号をアナログ信号に変換することのできる容量アレイ型のD/A変換回路を用いることもできる。

【0436】

複数の静電容量の異なる容量素子を並列に接続し、これらの容量素子のうちデジタル信号に従ってスイッチ1～スイッチ6のオンオフを制御し、任意の容量素子に参照電源電位V_{ref}と低電源電位(例えばGND)との電位差分の電荷を蓄積した後、蓄積された電荷を複数の容量素子で分配する。すると、複数の容量素子の電圧はある値で落ち着く。この電圧から、一方の電位をアンプで検出することで、デジタル信号から、アナログ信号電位に変換することができる。

40

【0437】

また、抵抗ストリング型と容量アレイ型を組み合わせたD/A変換回路を用いても良い。これらのD/A変換回路は一例であって、様々なD/A変換回路を適宜用いることができる。

【0438】

(実施の形態10)

本実施の形態では、実施の形態1、実施の形態2、実施の形態3、実施の形態4及び実施の形態5で示した画素構成を有する表示パネルの構成について図19(a)、(b)を用

50

いて説明する。

【0439】

本実施の形態では、画素部に本発明の画素構成を有する表示パネルについて図19を用いて説明する。なお、図19(a)は、表示パネルを示す上面図、図19(b)は図19(a)をA-A'で切断した断面図である。点線で示された信号線駆動回路(Data line Driver)1901、画素部1902、電位供給線駆動回路(Illumination line Driver)1903、走査線駆動回路(Reset line Driver)1906を有する。また、封止基板1904、シール材1905を有し、シール材1905で囲まれた内側は、空間1907になっている。

【0440】

なお、配線1908は電位供給線駆動回路1903、走査線駆動回路1906及び信号線駆動回路1901に入力される信号を伝送するための配線であり、外部入力端子となるFPC(フレキシブルプリントサーキット)1909からビデオ信号、クロック信号、スタート信号等を受け取る。FPC1909と表示パネルとの接合部上にはICチップ(メモリ回路や、バッファ回路などが形成された半導体チップ)1919がCOG(Chip On Glass)等で実装されている。なお、ここではFPCしか図示されていないが、このFPCにはプリント配線基盤(PWB)が取り付けられていても良い。本明細書における表示装置とは、表示パネル本体だけでなく、それにFPCもしくはPWBが取り付けられた状態をも含むものとする。また、ICチップなどが実装されたものを含むものとする。

【0441】

次に、断面構造について図19(b)を用いて説明する。基板1910上には画素部1902とその周辺駆動回路(電位供給線駆動回路1903、走査線駆動回路1906及び信号線駆動回路1902)が形成されているが、ここでは、信号線駆動回路1901と、画素部1902が示されている。

【0442】

なお、信号線駆動回路1901はNチャネル型TFT1920やNチャネル型TFT1921のように単極性のトランジスタで構成されている。なお、電位供給線駆動回路1903及び走査線駆動回路1906も同様にNチャネル型トランジスタで構成するのが好ましい。なお、画素構成には図7や図10の画素構成を適用することにより単極性のトランジスタで形成することができるため単極性表示パネルを作製することができる。もちろん、単極性のトランジスタだけでなくPチャネル型トランジスタも用いてCMOS回路を形成しても良い。また、本実施の形態では、基板上に周辺駆動回路を一体形成した表示パネルを示すが、必ずしもその必要はなく、周辺駆動回路の全部若しくは一部をICチップなどに形成し、COGなどで実装しても良い。その場合には駆動回路は単極性にする必要がなくPチャネル型トランジスタを組み合わせて用いることができる。また、本実施の形態に示す表示パネルでは図13に示した表示装置におけるバッファ回路1301、バッファ回路1302及びバッファ回路1303が図示されていないが、それぞれの周辺駆動回路にバッファ回路を備えている。

【0443】

また、画素部1902はスイッチング用TFT1911と、駆動用TFT1912とを含む画素を構成する複数の回路を有している。なお、駆動TFT1912のソース電極は第1の電極1913と接続されている。また、第1の電極1913の端部を覆って絶縁物1914が形成されている。ここでは、ポジ型の感光性アクリル樹脂膜を用いることにより形成する。

【0444】

また、カバーレッジを良好なものとするため、絶縁物1914の上端部または下端部に曲率を有する曲面が形成されるようにする。例えば、絶縁物1914の材料としてポジ型の感光性アクリルを用いた場合、絶縁物1914の上端部のみに曲率半径(0.2μm~3μm)を有する曲面を持たせることが好ましい。また、絶縁物1914として、感光性の

10

20

30

40

50

光によってエッチャントに不溶解性となるネガ型、或いは光によってエッチャントに溶解性となるポジ型のいずれも使用することができる。

【0445】

第1の電極1913上には、有機化合物を含む層1916、および第2の電極1917がそれぞれ形成されている。ここで、陽極として機能する第1の電極1913に用いる材料としては、仕事関数の大きい材料を用いることが望ましい。例えば、ITO(インジウムスズ酸化物)膜、インジウム亜鉛酸化物(IZO)膜、窒化チタン膜、クロム膜、タンゲステン膜、Zn膜、Pt膜などの単層膜の他、窒化チタンとアルミニウムを主成分とする膜との積層、窒化チタン膜とアルミニウムを主成分とする膜と窒化チタン膜との3層構造等を用いることができる。なお、積層構造とすると、配線としての抵抗も低く、良好なオーミックコンタクトがとれ、さらに陽極として機能させることができる。10

【0446】

また、有機化合物を含む層1916は、蒸着マスクを用いた蒸着法、またはインクジェット法によって形成される。有機化合物を含む層1916には、元素周期律第4族金属錯体をその一部に用いることとし、その他、組み合わせて用いることのできる材料としては、低分子系材料であっても高分子系材料であっても良い。また、有機化合物を含む層に用いる材料としては、有機化合物を単層もしくは積層で用いる場合が多いが、本実施の形態においては、有機化合物からなる膜の一部に無機化合物を用いる構成も含めることとする。さらに、公知の三重項材料を用いることも可能である。

【0447】

さらに、有機化合物を含む層1916上に形成される第2の電極(陰極)1917に用いる材料としては、仕事関数の小さい材料(A1、Ag、Li、Ca、またはこれらの合金MgAg、MgIn、AlLi、CaF₂、またはCaN)を用いればよい。なお、有機化合物を含む層1916で生じた光が第2の電極1917を透過させる場合には、第2の電極(陰極)1917として、膜厚を薄くした金属薄膜と、透明導電膜(ITO(酸化インジウム酸化スズ合金)、酸化インジウム酸化亜鉛合金(In₂O₃-ZnO)、酸化亜鉛(ZnO)等)との積層を用いるのが良い。20

【0448】

さらにシール材1905で封止基板1904を基板1910と貼り合わせることにより、基板1910、封止基板1904、およびシール材1905で囲まれた空間1907に発光素子1918が備えられた構造になっている。なお、空間1907には、不活性気体(窒素やアルゴン等)が充填される場合の他、シール材1905で充填される構成も含むものとする。30

【0449】

なお、シール材1905にはエポキシ系樹脂を用いるのが好ましい。また、これらの材料はできるだけ水分や酸素を透過しない材料であることが望ましい。また、封止基板1904に用いる材料としてガラス基板や石英基板の他、FRP(Fiberglass-Reinforced Plastic)、PVF(ポリビニルフロライド)、マイラー、ポリエスチルまたはアクリル等からなるプラスチック基板を用いることができる。40

【0450】

以上のようにして、本発明の画素構成を有する表示パネルを得ることができる。

【0451】

図19示すように、信号線駆動回路1901、画素部1902、電位供給線駆動回路1903及び走査線駆動回路1906を一体形成することで、表示装置の低コスト化が図れる。また、この場合において、信号線駆動回路1901、画素部1902、電位供給線駆動回路1903及び走査線駆動回路1906に用いられるトランジスタを单極性とすることで作製工程の簡略化が図れるためさらなる低コスト化が図れる。

【0452】

なお、表示パネルの構成としては、図19(a)に示したように信号線駆動回路1901、画素部1902、電位供給線駆動回路1903及び走査線駆動回路1906を一体形成50

した構成に限らず、信号線駆動回路 1901 に相当する図 42 に示す信号線駆動回路 4201 を I C チップ上に形成して、COG 等で表示パネルに実装した構成としても良い。なお、図 42(a) の基板 4200、画素部 4202、電位供給線駆動回路 4204、走査線駆動回路 4203、FPC 4205、I C チップ 4206、I C チップ 4207、封止基板 4208、シール材 4209 は図 19(a) の基板 1910、画素部 1902、電位供給線駆動回路 1903、走査線駆動回路 1906、FPC 1909、I C チップ 1918、I C チップ 1919、封止基板 1904、シール材 1905 に相当する。

【0453】

つまり、駆動回路の高速動作が要求される信号線駆動回路のみを、CMOS 等を用いて I C チップに形成し、低消費電力化を図る。また、I C チップはシリコンウエハ等の半導体チップとすることで、より高速動作且つ低消費電力化を図れる。10

【0454】

そして、走査線駆動回路 4203 や電位供給線駆動回路 4204 を画素部 4202 と一緒に形成することで、低コスト化が図れる。そして、この走査線駆動回路 4203、電位供給線駆動回路 4204 及び画素部 4202 は単極性のトランジスタで構成することでさらなる低コスト化が図れる。画素部 4202 の有する画素の構成としては実施の形態 1、2、3、4 及び 5 で示した画素を適用することができる。よって、開口率の高い画素を提供することが可能となる。

【0455】

こうして、高精細な表示装置の低コスト化が図れる。また、FPC 4205 と基板 4200 との接続部において機能回路（メモリ回路やバッファ回路）が形成された I C チップを実装することで基板面積を有効利用することができる。20

【0456】

また、図 19(a) の信号線駆動回路 1901、電位供給線駆動回路 1903 及び走査線駆動回路 1906 に相当する図 42(b) の信号線駆動回路 4211、電位供給線駆動回路 4214 及び走査線駆動回路 4213 を I C チップ上に形成して、COG 等で表示パネルに実装した構成としても良い。この場合には高精細な表示装置をより低消費電力にすることが可能である。よって、より消費電力が少ない表示装置とするため、画素部に用いられるトランジスタの半導体層にはポリシリコンを用いることが望ましい。なお、図 42(b) の基板 4210、画素部 4212、FPC 4215、I C チップ 4216、I C チップ 4217、封止基板 4218、シール材 4219 は図 19(a) の基板 1910、画素部 1902、FPC 1909、I C チップ 1918、I C チップ 1919、封止基板 1904、シール材 1905 に相当する。30

【0457】

また、画素部 4212 のトランジスタの半導体層にアモルファスシリコンを用いることにより低コスト化を図ることができる。さらに、大型の表示パネルを作製することも可能となる。

【0458】

また、画素の行方向及び列方向に走査線駆動回路、電位供給線駆動回路及び信号線駆動回路を設けなくても良い。例えば、図 26(a) に示すように I C チップ上に形成された周辺駆動回路 2601 が図 42(b) に示す、電位供給線駆動回路 4214、走査線駆動回路 4213 及び信号線駆動回路 4211 の機能を有するようにしても良い。なお、図 26(a) の基板 2600、画素部 2602、FPC 2604、I C チップ 2605、I C チップ 2606、封止基板 2607、シール材 2608 は図 19(a) の基板 1910、画素部 1902、FPC 1909、I C チップ 1918、I C チップ 1919、封止基板 1904、シール材 1905 に相当する。40

【0459】

なお、図 26(a) の表示装置の信号線の接続を説明する模式図を図 26(b) に示す。基板 2610、周辺駆動回路 2611、画素部 2612、FPC 2613、FPC 2614 有する。FPC 2613 より周辺駆動回路 2611 に外部からの信号及び電源電位が入

10

20

30

40

50

力される。そして、周辺駆動回路 2611 からの出力は、画素部 2612 の有する画素に接続された行方向及び列方向の信号線に入力される。

【0460】

さらに、発光素子 1918 に適用可能な発光素子の例を図 20 (a)、(b) に示す。つまり、実施の形態 1、実施の形態 2、実施の形態 3、実施の形態 4 及び実施の形態 5 で示した画素に適用可能な発光素子の構成について図 20 (a)、(b) を用いて説明する。

【0461】

図 20 (a) の発光素子は、基板 2001 の上に陽極 2002、正孔注入材料からなる正孔注入層 2003、その上に正孔輸送材料からなる正孔輸送層 2004、発光層 2005、電子輸送材料からなる電子輸送層 2006、電子注入材料からなる電子注入層 2007、そして陰極 2008 を積層させた素子構造である。ここで、発光層 2005 は、一種類の発光材料のみから形成されることもあるが、2種類以上の材料から形成されてもよい。また本発明の素子の構造は、この構造に限定されない。

【0462】

また、図 20 (a) で示した各機能層を積層した積層構造の他、高分子化合物を用いた素子、発光層に三重項励起状態から発光する三重項発光材料を利用した高効率素子など、バリエーションは多岐にわたる。ホールブロック層によってキャリヤの再結合領域を制御し、発光領域を二つの領域にわけることによって得られる白色発光素子などにも応用可能である。

【0463】

図 20 (a) に示す本発明の素子作製方法は、まず、陽極 2002 (ITO) を有する基板 2001 に正孔注入材料、正孔輸送材料、発光材料を順に蒸着する。次に電子輸送材料、電子注入材料を蒸着し、最後に陰極 2008 を蒸着で形成する。

【0464】

次に、正孔注入材料、正孔輸送材料、電子輸送材料、電子注入材料、発光材料の材料に好適な材料を以下に列挙する。

【0465】

正孔注入材料としては、有機化合物でればポルフィリン系の化合物や、フタロシアニン（以下「H₂Pc」と記す）、銅フタロシアニン（以下「CuPc」と記す）などが有効である。また、使用する正孔輸送材料よりもイオン化ポテンシャルの値が小さく、かつ、正孔輸送機能をもつ材料であれば、これも正孔注入材料として使用できる。導電性高分子化合物に化学ドーピングを施した材料もあり、ポリスチレンスルホン酸（以下「PSS」と記す）をドープしたポリエチレンジオキシチオフェン（以下「PEDOT」と記す）や、ポリアニリンなどが挙げられる。また、絶縁体の高分子化合物も陽極の平坦化の点で有効であり、ポリイミド（以下「PI」と記す）がよく用いられる。さらに、無機化合物も用いられ、金や白金などの金属薄膜の他、酸化アルミニウム（以下「アルミナ」と記す）の超薄膜などがある。

【0466】

正孔輸送材料として最も広く用いられているのは、芳香族アミン系（すなわち、ベンゼン環 - 窒素の結合を有するもの）の化合物である。広く用いられている材料として、4,4'-ビス(ジフェニルアミノ)-ビフェニル（以下、「TAD」と記す）や、その誘導体である4,4'-ビス[N-(3-メチルフェニル)-N-フェニル-アミノ]-ビフェニル（以下、「TPD」と記す）、4,4'-ビス[N-(1-ナフチル)-N-フェニル-アミノ]-ビフェニル（以下、「NPD」と記す）がある。4,4',4''-トリス(N,N-ジフェニル-アミノ)-トリフェニルアミン（以下、「TDATA」と記す）、4,4',4''-トリス[N-(3-メチルフェニル)-N-フェニル-アミノ]-トリフェニルアミン（以下、「MTDATA」と記す）などのスターバースト型芳香族アミン化合物が挙げられる。

【0467】

電子輸送材料としては、金属錯体がよく用いられ、先に述べた Alq₃、BAlq、T

10

20

30

40

50

リス(4-メチル-8-キノリノラト)アルミニウム(以下、「Almq」と記す)、ビス(10-ヒドロキシベンゾ[h]-キノリナト)ベリリウム(以下、「Bebq」と記す)などのキノリン骨格またはベンゾキノリン骨格を有する金属錯体などがある。また、ビス[2-(2-ヒドロキシフェニル)-ベンゾオキサゾラト]亜鉛(以下、「Zn(BOX)₂」と記す)、ビス[2-(2-ヒドロキシフェニル)-ベンゾチアゾラト]亜鉛(以下、「Zn(BTZ)₂」と記す)などのオキサゾール系、チアゾール系配位子を有する金属錯体もある。さらに、金属錯体以外にも、2-(4-ビフェニリル)-5-(4-tert-ブチルフェニル)-1,3,4-オキサジアゾール(以下、「PBD」と記す)、OXD-7などのオキサジアゾール誘導体、TAZ、3-(4-tert-ブチルフェニル)-4-(4-エチルフェニル)-5-(4-ビフェニリル)-20、4-トリアゾール(以下、「p-EtTAZ」と記す)などのトリアゾール誘導体、バソフェナントロリン(以下、「BPhen」と記す)、BCPなどのフェナントロリン誘導体が電子輸送性を有する。

【0468】

電子注入材料としては、上で述べた電子輸送材料を用いることができる。その他に、フッ化カルシウム、フッ化リチウム、フッ化セシウムなどの金属ハロゲン化物や、酸化リチウムなどのアルカリ金属酸化物のような絶縁体の、超薄膜がよく用いられる。また、リチウムアセチルアセトネット(以下、「Li(acac)」と記す)や8-キノリノラト-リチウム(以下、「Liq」と記す)などのアルカリ金属錯体も有効である。

【0469】

発光材料としては、先に述べたAlq₃、Almq、BeBq、Balq、Zn(BOX)₂、Zn(BTZ)₂などの金属錯体の他、各種蛍光色素が有効である。蛍光色素としては、青色の4',4''-ビス(2,2'-ジフェニル-ビニル)-ビフェニルや、赤橙色の4-(ジシアノメチレン)-2-メチル-6-(p-ジメチルアミノスチリル)-4H-ピランなどがある。また、三重項発光材料も可能であり、白金ないしはイリジウムを中心金属とする錯体が主体である。三重項発光材料として、トリス(2-フェニルピリジン)イリジウム、ビス(2-(4'-トリル)ピリジナト-N,C^{2'})アセチルアセトナトイリジウム(以下「acacIr(tpy)₂」と記す)、2,3,7,8,20,13,17,18-オクタエチル-21H,23Hポルフィリン-白金などが知られている。

【0470】

以上で述べたような各機能を有する材料を、各々組み合わせ、高信頼性の発光素子を作製することができる。

【0471】

また、実施の形態1で示した図4や図7や図10の画素の場合には図20(b)に示すように図20(a)とは逆の順番に層を形成した発光素子を用いることができる。つまり、基板2011の上に陰極2018、電子注入材料からなる電子注入層2017、その上に電子輸送材料からなる電子輸送層2016、発光層2015、正孔輸送材料からなる正孔輸送層2014、正孔注入材料からなる正孔注入層2013、そして陽極2012を積層させた素子構造である。

【0472】

また、発光素子は発光を取り出すために少なくとも陽極又は陰極の一方が透明であればよい。そして、基板上にTFT及び発光素子を形成し、基板とは逆側の面から発光を取り出す上面射出や、基板側の面から発光を取り出す下面射出や、基板側及び基板とは反対側の面から発光を取り出す両面射出構造の発光素子があり、本発明の画素構成はどの射出構造の発光素子にも適用することができる。

【0473】

上面射出構造の発光素子について図21(a)を用いて説明する。

【0474】

基板2100上に駆動用TFT2101が形成され、駆動用TFT2101のソース電極

10

20

30

40

50

に接して第1の電極2102が形成され、その上に有機化合物を含む層2103と第2の電極2104が形成されている。

【0475】

また、第1の電極2102は発光素子の陽極である。そして第2の電極2104は発光素子の陰極である。つまり、第1の電極2102と第2の電極2104とで有機化合物を含む層2103が挟まれているところが発光素子となる。

【0476】

また、ここで、陽極として機能する第1の電極2102に用いる材料としては、仕事関数の大きい材料を用いることが望ましい。例えば、窒化チタン膜、クロム膜、タングステン膜、Zn膜、Pt膜などの単層膜の他、窒化チタンとアルミニウムを主成分とする膜との積層、窒化チタン膜とアルミニウムを主成分とする膜と窒化チタン膜との3層構造等を用いることができる。なお、積層構造とすると、配線としての抵抗も低く、良好なオーミックコンタクトがとれ、さらに陽極として機能させることができる。光を反射する金属膜を用いることで光を透過させない陽極を形成することができる。

10

【0477】

また、陰極として機能する第2の電極2104に用いる材料としては、仕事関数の小さい材料(A1、Ag、Li、Ca、またはこれらの合金MgAg、MgIn、AlLi、CaF₂、またはCaN)からなる金属薄膜と、透明導電膜(ITO(インジウムスズ酸化物)、インジウム亜鉛酸化物(IZO)、酸化亜鉛(ZnO)等)との積層を用いるのが良い。こうして薄い金属薄膜と、透明性を有する透明導電膜を用いることで光を透過させることができない陰極を形成することができる。

20

【0478】

こうして、図21(a)の矢印に示すように発光素子からの光を上面に取り出すことが可能になる。つまり、図19の表示パネルに適用した場合には、基板1910側に光が射出することになる。従って上面射出構造の発光素子を表示装置に用いる場合には封止基板1904は光透過性を有する基板を用いる。

【0479】

また、光学フィルムを設ける場合には、封止基板1904に光学フィルムを設ければよい。

30

【0480】

なお、実施の形態1の図4の画素構成の場合には、第1の電極2102を陰極として機能するMgAg、MgIn、AlLi等の仕事関数の小さい材料からなる金属膜を用いることができる。そして、第2の電極2104にはITO(インジウムスズ酸化物)膜、インジウム亜鉛酸化物(IZO)などの透明導電膜を用いることができる。よって、この構成によれば、上面射出の透過率を高くすることができる。

【0481】

また、下面射出構造の発光素子について図21(b)を用いて説明する。射出構造以外は図21(a)と同じ構造の発光素子であるため同じ符号を用いて説明する。

【0482】

ここで、陽極として機能する第1の電極2102に用いる材料としては、仕事関数の大きい材料を用いることが望ましい。例えば、ITO(インジウムスズ酸化物)膜、インジウム亜鉛酸化物(IZO)膜などの透明導電膜を用いることができる。透明性を有する透明導電膜を用いることで光を透過させることができない陽極を形成することができる。

40

【0483】

また、陰極として機能する第2の電極2104に用いる材料としては、仕事関数の小さい材料(A1、Ag、Li、Ca、またはこれらの合金MgAg、MgIn、AlLi、CaF₂、またはCaN)からなる金属膜を用いることができる。こうして、光を反射する金属膜を用いることで光が透過しない陰極を形成することができる。

【0484】

こうして、図21(b)の矢印に示すように発光素子からの光を下面に取り出すことが可

50

能になる。つまり、図19の表示パネルに適用した場合には、基板1910側に光が射出することになる。従って下面射出構造の発光素子を表示装置に用いる場合には基板1910は光透過性を有する基板を用いる。

【0485】

また、光学フィルムを設ける場合には、基板1910に光学フィルムを設ければよい。

【0486】

両面射出構造の発光素子について図21(c)を用いて説明する。射出構造以外は図21(a)と同じ構造の発光素子であるため同じ符号を用いて説明する。

【0487】

ここで、陽極として機能する第1の電極2102に用いる材料としては、仕事関数の大きい材料を用いることが望ましい。例えば、ITO(インジウムスズ酸化物)膜、インジウム亜鉛酸化物(IZO)膜などの透明導電膜を用いることができる。透明性を有する透明導電膜を用いることで光を透過させることができが可能な陽極を形成することができる。

10

【0488】

また、陰極として機能する第2の電極2104に用いる材料としては、仕事関数の小さい材料(A1、Ag、Li、Ca、またはこれらの合金MgAg、MgIn、AlLi、CaF₂、またはCaN)からなる金属薄膜と、透明導電膜(ITO(インジウムスズ酸化物)、酸化インジウム酸化亜鉛合金(In₂O₃-ZnO)、酸化亜鉛(ZnO)等)との積層を用いるのが良い。こうして薄い金属薄膜と、透明性を有する透明導電膜を用いることで光を透過させることができが可能な陰極を形成することができる。

20

【0489】

こうして、図21(c)の矢印に示すように発光素子からの光を両面に取り出すことが可能になる。つまり、図19の表示パネルに適用した場合には、基板1910側と封止基板1904側に光が射出することになる。従って両面射出構造の発光素子を表示装置に用いる場合には基板1910および封止基板1904は、ともに光透過性を有する基板を用いる。

【0490】

また、光学フィルムを設ける場合には、基板1910および封止基板1904の両方に光学フィルムを設ければよい。

30

【0491】

また、白色の発光素子とカラーフィルターを用いてフルカラー表示を実現する表示装置にも本発明を適用することが可能である。

【0492】

図22に示すように、基板2200上に下地膜2202が形成され、その上に駆動用TFT2201が形成され、駆動用TFT2201のソース電極に接して第1の電極2203が形成され、その上有機化合物を含む層2204と第2の電極2205が形成されている。

40

【0493】

また、第1の電極2203は発光素子の陽極である。そして第2の電極2205は発光素子の陰極である。つまり、第1の電極2203と第2の電極2205とで有機化合物を含む層2204が挟まれているところが発光素子となる。図22の構成では白色光を発光する。そして、発光素子の上部に赤色のカラーフィルター2206R、緑色のカラーフィルター2206G、青色のカラーフィルター2206Bを設けられており、フルカラー表示を行うことができる。また、これらのカラーフィルターを隔離するブラックマトリクス(BMともいう)2207が設けられている。

【0494】

上述した発光素子の構成は組み合わせて用いることができ、本発明の画素構成を有する表示装置に適宜用いることができる。また、上述した表示パネルの構成や、発光素子は例示であり、もちろん本発明の画素構成は他の構成の表示装置に適用することもできる。

50

【0495】

次に、表示パネルの画素部の部分断面図を示す。

【0496】

まず、トランジスタの半導体層にポリシリコン(p-Si)膜を用いた場合について図23及び図24を用いて説明する。

【0497】

ここで、半導体層は、例えば基板上にアモルファスシリコン(a-Si)膜を公知の成膜法で形成する。なお、アモルファスシリコン膜に限定する必要はなく、非晶質構造を含む半導体膜(微結晶半導体膜を含む)であれば良い。さらに非晶質シリコングルマニウム膜などの非晶質構造を含む化合物半導体膜でも良い。

【0498】

そして、アモルファスシリコン膜をレーザ結晶化法や、RTAやファーネスマニール炉を用いた熱結晶化法や、結晶化を助長する金属元素を用いた熱結晶化法などにより結晶化させる。もちろん、これらを組み合わせて行っても良い。

【0499】

上述した結晶化によって、非晶質半導体膜に部分的に結晶化された領域が形成される。

【0500】

さらに、部分的に結晶性が高められた結晶性半導体膜を所望の形状にパターニングして、結晶化された領域から島状の半導体膜を形成する。この半導体膜をトランジスタの半導体層に用いる。

【0501】

図23に示すように、基板23101上に下地膜23102が形成され、その上に半導体層が形成されている。半導体層は駆動トランジスタ23118のチャネル形成領域23103及びソース又はドレイン領域となる不純物領域23105、並びに容量素子23119の下部電極となるチャネル形成領域23106、LDD領域23107及び不純物領域23108を有する。なお、チャネル形成領域23103及びチャネル形成領域23106にはチャネルドープが行われても良い。

【0502】

基板はガラス基板、石英基板、セラミック基板などを用いることができる。また、下地膜23102としては、窒化アルミニウム(AlN)や酸化珪素(SiO₂)、酸化窒化珪素(SiO_xN_y)などの単層やこれらの積層を用いることができる。

【0503】

半導体層上にはゲート絶縁膜23109を介してゲート電極23110及び容量素子の上部電極23111が形成されている。

【0504】

駆動トランジスタ23118及び容量素子23119を覆って層間絶縁膜23112が形成され、層間絶縁膜23112上にコンタクトホールを介して配線23113が不純物領域23105と接している。配線23113に接して画素電極23114が形成され、画素電極23114の端部及び配線23113を覆って第2の層間絶縁物23115が形成されている。ここでは、ポジ型の感光性アクリル樹脂膜を用いることにより形成する。そして、画素電極23114上に有機化合物を含む層23116及び対向電極23117が形成され、画素電極23114と対向電極23117とで有機化合物を含む層23116が挟まれた領域では発光素子23120が形成されている。

【0505】

また、図23(b)に示すように、容量素子23119の下部電極の一部を構成するLD領域が、上部電極23111と重なるような領域23202を設けても良い。なお、図23(a)と共に通するところは共通の符号を用い、説明は省略する。

【0506】

また、図24(a)に示すように、駆動トランジスタ23118の不純物領域23105と接する配線23113と同じ層に形成された第2の上部電極23301を有していても良い。なお、図23(a)と共に通するところは共通の符号を用い、説明は省略する。第2

10

20

30

40

50

の上部電極 23301 と上部電極 23111 とで層間絶縁膜 23112 を挟みこみ、第 2 の容量素子を構成している。また、第 2 の上部電極 23301 は不純物領域 23108 と接しているため、上部電極 23111 とチャネル形成領域 23106 とでゲート絶縁膜 23102 を挟みこんで構成される第 1 の容量素子と、上部電極 23111 と第 2 の上部電極 23301 とで層間絶縁膜 23112 を挟みこんで構成される第 2 の容量素子と、が並列に接続され、第 1 の容量素子と第 2 の容量素子からなる容量素子 23302 を構成している。この容量素子 23302 の容量は第 1 の容量素子と第 2 の容量素子の容量を加算した合成容量であるため、小さい面積で大きな容量の容量素子を形成することができる。つまり、本発明の画素構成の容量素子として用いるとより開口率の向上が図れる。

【0507】

また、図 24(b) に示すような容量素子の構成としても良い。基板 24101 上に下地膜 24102 が形成され、その上に半導体層が形成されている。半導体層は駆動トランジスタ 24118 のチャネル形成領域 24103 及びソース又はドレイン領域となる不純物領域 24105 を有する。なお、チャネル形成領域 24103 はチャネルドープが行われても良い。

【0508】

基板はガラス基板、石英基板、セラミック基板などを用いることができる。また、下地膜 23102 としては、窒化アルミニウム (AlN) や酸化珪素 (SiO₂)、酸化窒化珪素 (SiO_xN_y) などの単層やこれらの積層を用いることができる。

【0509】

半導体層上にはゲート絶縁膜 24106 を介してゲート電極 24107 及び第 1 の電極 24108 が形成されている。

【0510】

駆動トランジスタ 24118 及び第 1 の電極 24108 を覆って第 1 の層間絶縁膜 24109 が形成され、第 1 の層間絶縁膜 24109 上にコンタクトホールを介して配線 24110 が不純物領域 24105 と接している。また、配線 24110 と同じ材料からなる同層の第 2 の電極 24111 が形成される。

【0511】

さらに、配線 24110 及び第 2 の電極 24111 を覆うように第 2 の層間絶縁膜 24112 が形成され、第 2 の層間絶縁膜 24112 上にコンタクトホールを介して、配線 24110 と接して画素電極 24113 が形成されている。また、画素電極 24113 のと同じ材料からなる同層の第 3 の電極 24114 が形成されている。ここで、第 1 の電極 24108、第 2 の電極 24111 及び第 3 の電極 24114 からなる容量素子 24119 が形成される。

【0512】

画素電極 24113 と第 3 の電極 24114 の端部を覆って絶縁物 24115 が形成され、第 3 の層間絶縁物 24115 及び第 3 の電極 24114 上に有機化合物を含む層 24116 及び対向電極 24117 が形成され、画素電極 24113 と対向電極 24117 とで有機化合物を含む層 24116 が挟まれた領域では発光素子 24120 が形成されている。

【0513】

上述したように、結晶性半導体膜を半導体層に用いたトランジスタの構成は図 23 及び図 24 に示したような構成が挙げられる。なお、図 23 及び図 24 に示したトランジスタの構造はトップゲートの構造のトランジスタの一例である。つまり、トランジスタは P 型でも N 型でもよい。N 型の場合には、LDD 領域はゲート電極と重なっていても良いし、ゲート電極と重なっていないなくても良いし、又は LDD 領域の一部の領域が重なっていてもよい。さらに、ゲート電極はテーパー形状でもよく、ゲート電極のテーパー部の下部に LDD 領域が自己整合的に設けられていても良い。また、ゲート電極は二つに限られず三以上のマルチゲート構造でも良いし、一つのゲート電極でも良い。

【0514】

10

20

30

40

50

本発明の画素を構成するトランジスタの半導体層（チャネル形成領域やソース領域やドレイン領域など）に結晶性半導体膜を用いることで、例えば、図2における電位供給線駆動回路201、走査線駆動回路202及び信号線駆動回路203を画素部204と一体形成することが容易になる。また、図13の構成においては、バッファ回路1301、バッファ回路1302及びバッファ回路1303も一体形成が容易になる。また、図13の信号線駆動回路203の一部を画素部204と一体形成し、一部はICチップ上に形成して図19の表示パネルに示すようにCOG等で実装しても良い。こうして、製造コストの削減を図ることができる。

【0515】

また、半導体層にポリシリコン（p-Si）を用いたトランジスタの構成として、基板と半導体層の間にゲート電極が挟まれた構造、つまり、半導体層の下にゲート電極が位置するボトムゲートのトランジスタを適用した表示パネルの部分断面を図27に示す。

10

【0516】

基板2701上に下地膜2702が形成されている。さらに下地膜2702上にゲート電極2703が形成されている。また、ゲート電極と同層に同じ材料からなる第1の電極2704が形成されている。ゲート電極2703の材料にはリンが添加された多結晶シリコンを用いることができる。多結晶シリコンの他に、金属とシリコンの化合物であるシリサイドでもよい。

【0517】

また、ゲート電極2703及び第1の電極2704を覆うようにゲート絶縁膜2705が形成されている。ゲート絶縁膜2705としては酸化珪素膜や窒化珪素膜などが用いられる。

20

【0518】

また、ゲート絶縁膜2705上に、半導体層が形成されている。半導体層は駆動トランジスタ2722のチャネル形成領域2706、LDD領域2707及びソース又はドレイン領域となる不純物領域2708、並びに容量素子2723の第2の電極となるチャネル形成領域2709、LDD領域2710及び不純物領域2711を有する。なお、チャネル形成領域2706及びチャネル形成領域2709はチャネルドープが行われていても良い。

30

【0519】

基板はガラス基板、石英基板、セラミック基板などを用いることができる。また、下地膜2702としては、窒化アルミニウム（AlN）や酸化珪素（SiO₂）、酸化窒化珪素（SiO_xN_y）などの単層やこれらの積層を用いることができる。

【0520】

半導体層を覆って第1の層間絶縁膜2712が形成され、第1の層間絶縁膜2712上にコンタクトホールを介して配線2713が不純物領域2708と接している。また、配線2713と同層に同じ材料で第3の電極2714が形成されている。第1の電極2704、第2の電極、第3の電極2714によって容量素子2723が構成されている。

【0521】

また、第1の層間絶縁膜2712には開口部2715が形成されている。駆動トランジスタ2722、容量素子2723及び開口部2715を覆うように第2の層間絶縁膜2716が形成され、第2の層間絶縁膜2716上にコンタクトホールを介して、画素電極2717が形成されている。また、画素電極2717の端部を覆って絶縁物2718が形成されている。例えば、ポジ型の感光性アクリル樹脂膜を用いることができる。そして、画素電極2717上に有機化合物を含む層2719及び対向電極2720が形成され、画素電極2717と対向電極2720とで有機化合物を含む層2719が挟まれた領域では発光素子2721が形成されている。そして、発光素子2721の下部に開口部2715が位置している。つまり、発光素子2721からの発光を基板側から取り出すときには開口部2715を有するため透過率を高めることができる。

40

【0522】

50

また、図27(a)において画素電極2717と同層に同じ材料を用いて第4の電極2724を形成して、図27(b)のような構成としてもよい。すると、第1の電極2704、第2の電極、第3の電極2714及び第4の電極2724によって構成される容量素子2725を形成することができる。

【0523】

次に、トランジスタの半導体層にアモルファスシリコン(a-Si:H)膜を用いた場合について説明する。図28にはトップゲートのトランジスタ、図29及び図30にはボトムゲートのトランジスタの場合について示す。

【0524】

アモルファスシリコンを半導体層に用いたトップゲート構造のトランジスタの断面を図28(a)に示す。図28(a)に示すように、基板2801上に下地膜2802が形成されている。さらに下地膜2802上に画素電極2803が形成されている。また、画素電極2803と同層に同じ材料からなる第1の電極2804が形成されている。

【0525】

基板はガラス基板、石英基板、セラミック基板などを用いることができる。また、下地膜2802としては、窒化アルミニウム(AlN)や酸化珪素(SiO₂)、酸化窒化珪素(SiO_xN_y)などの単層やこれらの積層を用いることができる。

【0526】

また、下地膜2802上に配線2805及び配線2806が形成され、画素電極2803の端部が配線2805で覆われている。配線2805及び配線2806の上部にN型の導電型を有するN型半導体層2807及びN型半導体層2808が形成されている。また、配線2805と配線2806の間であって、下地膜2802上に半導体層2809が形成されている。そして、半導体層2809の一部はN型半導体層2807及びN型半導体層2808上にまで延長されている。なお、この半導体層はアモルファスシリコン(a-Si:H)、微結晶半導体(μ -Si:H)等の非結晶性を有する半導体膜で形成されている。また、半導体層2809上にゲート絶縁膜2810が形成されている。また、ゲート絶縁膜2810と同層の同じ材料からなる絶縁膜2811が第1の電極2804上にも形成されている。なお、ゲート絶縁膜2810としては酸化珪素膜や窒化珪素膜などが用いられる。

【0527】

また、ゲート絶縁膜2810上に、ゲート電極2812が形成されている。また、ゲート電極と同層に同じ材料でなる第2の電極2813が第1の電極2804上に絶縁膜2811を介して形成されている。第1の電極2804及び第2の電極2813で絶縁膜2811を挟まれた容量素子2819が形成されている。また、画素電極2803の端部、駆動トランジスタ2818及び容量素子2819を覆い、層間絶縁膜2814が形成されている。

【0528】

層間絶縁物2814及びその開口部に位置する画素電極2803上有機化合物を含む層2815及び対向電極2816が形成され、画素電極2803と対向電極2816とで有機化合物を含む層2815が挟まれた領域では発光素子2817が形成されている。

【0529】

なお、図22のように白色光の発光素子でなくてもよい。つまり、R(赤)、G(緑)、青(B)の色の発光素子にそれぞれR(赤)、G(緑)、青(B)のカラーフィルターを設けることにより、R(赤)、G(緑)、青(B)の色の発光素子から得られる光の不要な周波数成分をカットし、色純度を高めることができる。よって、忠実な色再現性のある表示装置を提供することができる。また、カラーフィルターを用いることにより、反射光を低減することができるので、偏光板を設けなくても外部の光が写り込むのを抑えることができる。したがって、別途偏光板を設けることによる透過率の低下を招くことなく、外部の光の写り込みを抑えることができる。

【0530】

10

20

30

40

50

また、図28(a)に示す第1の電極2804を図28(b)に示すように第1の電極2820で形成してもよい。第1の電極2820は配線2805及び2806と同層の同一材料で形成されている。

【0531】

また、アモルファスシリコンを半導体層に用いたボトムゲート構造のトランジスタを用いた表示パネルの部分断面を図29に示す。

【0532】

基板2901上に下地膜2902が形成されている。さらに下地膜2902上にゲート電極2903が形成されている。また、ゲート電極と同層に同じ材料からなる第1の電極2904が形成されている。ゲート電極2903の材料にはリンが添加された多結晶シリコンを用いることができる。多結晶シリコンの他に、金属とシリコンの化合物であるシリサイドでもよい。

10

【0533】

また、ゲート電極2903及び第1の電極2904を覆うようにゲート絶縁膜2905が形成されている。ゲート絶縁膜2905としては酸化珪素膜や窒化珪素膜などが用いられる。

【0534】

また、ゲート絶縁膜2905上に、半導体層2906が形成されている。また、半導体層2906と同層に同じ材料からなる半導体層2907が形成されている。

20

【0535】

基板はガラス基板、石英基板、セラミック基板などを用いることができる。また、下地膜2902としては、窒化アルミニウム(AlN)や酸化珪素(SiO₂)、酸化窒化珪素(SiO_xN_y)などの単層やこれらの積層を用いることができる。

【0536】

半導体層2906上にはN型の導電性を有するN型半導体層2908、2909が形成され、半導体層2907上にはN型半導体層2910が形成されている。

【0537】

N型半導体層2908、2909上にはそれぞれ配線2911、2912が形成され、N型半導体層2910上には配線2911及び2912と同層の同一材料からなる導電層2913が形成されている。

30

【0538】

半導体層2907、N型半導体層2910及び導電層2913からなる第2の電極が構成される。なお、この第2の電極と第1の電極2904でゲート絶縁膜2905を挟み込んだ構造の容量素子2920が形成されている。

【0539】

また、配線2911の一方の端部は延在し、その延在した配線2911上部に接して画素電極2914が形成されている。

【0540】

また、画素電極2914の端部、駆動トランジスタ2919及び容量素子2920を覆うように絶縁物2915が形成されている。

40

【0541】

画素電極2914及び絶縁物2915上には有機化合物を含む層2916及び対向電極2917が形成され、画素電極2914と対向電極2917とで有機化合物を含む層2916が挟まれた領域では発光素子2918が形成されている。

【0542】

容量素子の第2の電極の一部となる半導体層2907及びN型半導体層2910は設けなくても良い。つまり第2の電極は導電層2913とし、第1の電極2904と導電層2913でゲート絶縁膜が挟まれた構造の容量素子としてもよい。

【0543】

なお、図29(a)において、配線2911を形成する前に画素電極2914を形成する

50

ことで、図29(b)に示すような、画素電極2914からなる第2の電極2921と第1の電極2904でゲート絶縁膜2905が挟まれた構造の容量素子2922を形成することができる。

【0544】

なお、図29では、逆スタガ型のチャネルエッチ構造のトランジスタについて示したが、もちろんチャネル保護構造のトランジスタでも良い。チャネル保護構造のトランジスタの場合について、図30(a)、(b)を用いて説明する。

【0545】

図30(a)に示すチャネル保護型構造のトランジスタは図29(a)に示したチャネルエッチ構造の駆動トランジスタ2919の半導体層2906のチャネルが形成される領域上にエッチングのマスクとなる絶縁物3001が設けられている点が異なり、他の共通しているところは共通の符号を用いている。

10

【0546】

また、同様に、図30(b)に示すチャネル保護型構造のトランジスタは図29(b)に示したチャネルエッチ構造の駆動トランジスタ2919の半導体層2906のチャネルが形成される領域上にエッチングのマスクとなる絶縁物3001が設けられている点が異なり、他の共通しているところは共通の符号を用いている。

20

【0547】

本発明の画素を構成するトランジスタの半導体層(チャネル形成領域やソース領域やドライン領域など)に非晶質半導体膜を用いることで、製造コストを削減することができる。例えば、図7に示す画素構成を用いることで非晶質半導体膜を適用することが可能である。

20

【0548】

なお、本発明の画素構成の適用することができるトランジスタの構造や、容量素子の構造は上述した構成に限られず、さまざまな構成のトランジスタの構造や、容量素子の構造のものを用いることができる。

30

【0549】

(実施の形態11)

本発明は様々な電子機器に適用することができる。具体的には電子機器の表示部に適用することができる。そのような電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ、ナビゲーションシステム、音響再生装置(カーオーディオ、オーディオコンポ等)、コンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機又は電子書籍等)、記録媒体を備えた画像再生装置(具体的にはDigital Versatile Disc(DVD)等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置)などが挙げられる。

30

【0550】

図44(A)はディスプレイであり、筐体44001、支持台44002、表示部44003、スピーカ部44004、ビデオ入力端子44005等を含む。本発明の画素構成を有する表示装置を表示部44003に用いることができる。なお、ディスプレイは、パソコン用、テレビジョン放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。本発明を表示部44003に用いたディスプレイは、画素の開口率が高く高詳細な表示が可能となる。また、低コスト化を図ることも可能である。

40

【0551】

近年、ディスプレイの大型化のニーズが強くなっている。そして、ディスプレイの大型化に伴い価格の上昇が問題となっている、よって、いかに製造コストの削減を図り、高品質な製品を少しでも低価格に抑えるかが課題となる。

【0552】

例えば、図7の画素構成を表示パネルの画素部に用いることで、単極性のトランジスタからなる表示パネルを提供することができる。よって、工程数を減らし製造コストを削減することができる。

50

【0553】

また、図19(a)に示すように画素部と周辺の駆動回路を一体形成することにより、単極性のトランジスタからなる回路で構成された表示パネルを形成することができる。この表示パネルを大型ディスプレイの表示部に用いることでディスプレイの作製コスト削減を図ることができる。

【0554】

また、画素部を構成する回路のトランジスタの半導体層に非晶質半導体(例えばアモルファシリコン(a-Si:H))を用いることで、工程を簡略化し、さらなるコストダウンが図れる。この場合には図42(b)に示したように、画素部の周辺の駆動回路をICチップ上に形成し、COG等で表示パネルに実装する良い。このように、非晶質半導体を用いることでディスプレイの大型化が容易になる。

10

【0555】

図44(B)はカメラであり、本体44101、表示部44102、受像部44103、操作キー44104、外部接続ポート44105、シャッター44106等を含む。

【0556】

近年、デジタルカメラなどの高性能化に伴い、生産競争は激化している。そして、いかに高性能なものを低価格に抑えるかが重要となる。本発明を表示部44102に用いたデジタルカメラは、画素の開口率が高く高詳細な表示が可能となる。また、低コスト化を図ることも可能である。

20

【0557】

例えば、図7の画素構成を画素部に用いることで、単極性のトランジスタからなる画素部を形成することができる。また、図42(a)に示すように、動作速度の高い信号線駆動回路はICチップ上に形成し、比較的動作速度の低い走査線駆動回路や電位供給線駆動回路を画素部と共に単極性のトランジスタで構成される回路で一体形成することで、高性能化を実現し、低コスト化を図ることができる。また、画素部と、画素部と共に一体形成する走査線駆動回路に用いられるトランジスタの半導体層に非晶質半導体、例えばアモルファシリコンを適用することでさらなる低コスト化が図れる。

【0558】

図44(C)はコンピュータであり、本体44201、筐体44202、表示部44203、キーボード44204、外部接続ポート44205、ポインティングマウス44206等を含む。本発明を表示部44203に用いたコンピュータは、画素の開口率が高く高詳細な表示が可能となる。また、低コスト化を図ることも可能である。

30

【0559】

図44(D)はモバイルコンピュータであり、本体44301、表示部44302、スイッチ44303、操作キー44304、赤外線ポート44305等を含む。本発明を表示部44302に用いたモバイルコンピュータは、画素の開口率が高く高詳細な表示が可能となる。また、低コスト化を図ることも可能である。

【0560】

図44(E)は記録媒体を備えた携帯型の画像再生装置(具体的にはDVD再生装置)であり、本体44401、筐体44402、表示部A44403、表示部B44404、記録媒体(DVD等)読み込み部44405、操作キー44406、スピーカ部44407等を含む。表示部A44403は主として画像情報を表示し、表示部B44404は主として文字情報を表示することができる。本発明を表示部A44403や表示部B44404に用いた画像再生装置は、画素の開口率が高く高詳細な表示が可能となる。また、低コスト化を図ることも可能である。

40

【0561】

図44(F)はゴーグル型ディスプレイであり、本体44501、表示部44502、アーム部44503を含む。本発明を表示部44502に用いたゴーグル型ディスプレイは、画素の開口率が高く高詳細な表示が可能となる。また、低コスト化を図ることも可能である。

50

【0562】

図44(G)はビデオカメラであり、本体44601、表示部44602、筐体44603、外部接続ポート44604、リモコン受信部44605、受像部44606、バッテリ44607、音声入力部44608、操作キー44609、接眼部44610等を含む。本発明を表示部44602に用いたビデオカメラは、画素の開口率が高く高詳細な表示が可能となる。また、低コスト化を図ることも可能である。

【0563】

図44(H)は携帯電話機であり、本体44701、筐体44702、表示部44703、音声入力部44704、音声出力部44705、操作キー44706、外部接続ポート44707、アンテナ44708等を含む。

10

【0564】

近年、携帯電話機はゲーム機能やカメラ機能、電子マネー機能等を搭載し、高付加価値の携帯電話機のニーズが強くなっている。さらに、ディスプレイも高精細なものが求められている。本発明を表示部44703に用いた携帯電話機は、画素の開口率が高く高詳細な表示が可能となる。また、低コスト化を図ることも可能である。

【0565】

例えば、図7の画素構成を画素部に用いることで、画素の開口率を向上させることができる。具体的には、発光素子を駆動する駆動トランジスタにNチャネル型のトランジスタを用いることで開口率が向上する。よって、高精細な表示部を有する携帯電話機を提供することができる。

20

【0566】

また、開口率が向上することから、図21(c)に示すような両面射出構造の表示装置を表示部に有し、付加価値が高く、高精細な表示部を有する携帯電話を提供することができる。

【0567】

このように多機能化し、携帯電話機は使用頻度が高まる一方で、一回の充電により長時間使用できることが要求される。

【0568】

例えば、図42(b)に示すように周辺駆動回路をICチップ上に形成し、CMOS等を用いることにより低消費電力化を図ることが可能である。

30

【0569】

このように本発明は、あらゆる電子機器に適用することが可能である。

【実施例1】

【0570】

本実施例では、本発明の画素構成を有する表示装置の駆動方法の一例を詳しく説明する。図49に本実施例の画素構成を示すここでは、一画素のみを図示しているが、表示装置の画素部は実際には行方向と列方向にマトリクスに複数の画素が配置されている。

【0571】

画素は駆動トランジスタ4901と、容量素子4902と、スイッチ4903と、発光素子4904と、電位供給線(Illumination line)4905と、信号線(Data line)4906とを有している。なお、駆動トランジスタ4901にはPチャネル型トランジスタを用いている。

40

【0572】

駆動トランジスタ4901の第1端子(ソース端子又はドレイン端子)は電位供給線4905と接続され、ゲート端子は容量素子4902を介して信号線4906と接続され、第2端子(ソース端子又はドレイン端子)は発光素子4904の陽極(画素電極)と接続されている。また、駆動トランジスタ4901のゲート端子と第2端子(ソース端子又はドレイン端子)はスイッチ4903を介して接続されている。よって、スイッチ4903がオンしているときには駆動トランジスタ4901のゲート端子と第2端子(ソース端子又はドレイン端子)は導通する。そして、スイッチ4903がオフすると、駆動トランジス

50

タ4901のゲート端子と第2端子（ソース端子又はドレイン端子）は非導通となり、その瞬間の駆動トランジスタ4901のゲート端子（若しくは第2端子）と信号線4906との電位差（電圧）を容量素子4902は保持することができる。なお、発光素子4904の陰極は低電源電位V_{ss}の電位が設定された配線（Cathode）4908と接続されている。なお、V_{ss}とは、画素の発光期間に電位供給線4905に設定される電源電位V_{dd}を基準として、V_{ss} < V_{dd}を満たす電位である。本実施例では、V_{ss} = 0Vとする。

【0573】

次に、図49の画素構成の動作について図50及び図55を用いて説明する。本実施例において電源電位V_{dd} = 8Vとする。そして、画素が8階調を表すように信号線4906にアナログ信号電位V_{sig}が設定される。
10

【0574】

画素への信号書き込み期間において、信号線4906に設定されるアナログ信号電位V_{sig}の値は階調数0のときが0V、階調数1のときが1V、階調数2のときが2V、階調数3のときが3V、階調数4のときが4V、階調数5のときが5V、階調数6のときが6V、階調数7のときが7Vであるとする。また、画素の発光期間において、信号線4906に設定されるアナログ信号電位V_{sup}は周期性を持って規則的に変化するアナログの電位である。

【0575】

ここで、信号線4906に階調数3を表す信号（V_{sig} = 3V）が画素に書き込まれる場合について説明する。なお、本実施例において示す具体的な電圧値、電位、階調数は具体例であって、これに限定されない。
20

【0576】

まず、スイッチ4903をオンにする。そして電位供給線4905に電源電位V_{dd} = 8Vを設定する。すると、図50（a）の矢印のように、容量素子4902及び駆動トランジスタ4901及び発光素子4904に電流が流れる。

【0577】

ここで、発光素子4904は抵抗素子としてみることができる。よって、駆動トランジスタ4901の第1端子に接続された電位供給線4905に電源電位V_{dd}が設定されているときに、駆動トランジスタ4901と発光素子4904によりインバータを構成しているといえる。つまり、駆動トランジスタ4901のゲート端子（インバータの入力端子）にHレベルの信号（駆動トランジスタ4901を十分にオフする電位）が入力されると駆動トランジスタ4901の第2端子（インバータの出力端子）はLレベルの信号（発光素子4904のしきい値電圧）が出力され、駆動トランジスタ4901のゲート端子（インバータの入力端子）にLレベルの信号（駆動トランジスタを十分にオンする電位）が入力されると、駆動トランジスタ4901の第2端子（インバータの出力端子）はHレベルの信号（電源電位V_{dd}）が出力される。
30

【0578】

ここで、インバータの特性としては、横軸を入力電位V_{in}、縦軸を出力電位V_{out}として図55の線5501ようになる。ここで、発光素子4904に順方向しきい値電圧がない場合には破線に示すようにインバータの出力のLレベルは0Vとなるが、発光素子4904にはしきい値電圧V_{EL}があるため、発光素子4904の陽極の電位がV_{EL}になると発光素子4904には電流が流れなくなる。よって、インバータの出力のLレベルの電位は、発光素子4904のしきい値電圧V_{EL} = 4Vとなり、Hレベルの電位は電源電位V_{dd} = 8Vとなる。そして、インバータの論理しきい値V_{inv} = 6Vは、入力電位V_{in}と出力電位V_{out}の等しい電位で定義される。なお、矢印で示すところは、駆動トランジスタ4901のゲートソース間電圧V_{gs}が概ねしきい値V_{th}となるところである。
40

【0579】

よって、スイッチ4903がオンになっているときにはインバータの入力端子と出力端子

10

20

30

40

50

が導通され、インバータの入力端子及び出力端子の電位はオフセットキャンセルされる。なお、オフセットキャンセルされたときのインバータの入力端子及び出力端子の電位はインバータの論理しきい値電圧 $V_{in_v} = 6\text{ V}$ となる。

【0580】

よって、図50(b)に示すように画素ヘビデオ信号が書き込まれ、スイッチ4903をオフにすると、容量素子4902は、駆動トランジスタ4901のゲート端子の電位 $V_{in_v} = 6\text{ V}$ と、アナログ信号電位 $V_{sig} = 3\text{ V}$ との電位差 $V_p = 3\text{ V}$ を保持する。こうして、画素へのビデオ信号の書き込みが終了する。

【0581】

その状態(容量素子4902が電位差 $V_p = 3\text{ V}$ を保持したままの状態)で、容量素子4902の一方の電極の接続された信号線4906の電位が少しでも変動すると、それに伴って他方の電極の接続された駆動トランジスタ4901のゲート端子の電位も変動する。つまり、インバータの入力端子の電位が変動する。

10

【0582】

よって、図50(c)に示すように、電位供給線4905に電源電位 $V_{dd} = 8\text{ V}$ が設定された状態で、信号線4906の電位 V_{sig} が書き込みの際に設定されたアナログ信号電位 $V_{sig} = 3\text{ V}$ より高いときは、インバータの入力電位は論理しきい値 $V_{in_v} = 6\text{ V}$ より高くなり、インバータの出力はLレベルとなる。

20

【0583】

一方、図50(d)に示すように、電位供給線4905に電源電位 $V_{dd} = 8\text{ V}$ が設定された状態で、信号線4906の電位 V_{sig} が書き込みの際に設定されたアナログ信号電位 $V_{sig} = 3\text{ V}$ より低いときは、インバータの入力電位は論理しきい値 $V_{in_v} = 6\text{ V}$ より低くなり、インバータの出力はHレベルとなる。

20

【0584】

したがって、画素の発光期間において信号線4906へ、周期性を持って規則的に変化するアナログ信号電位 V_{sig} を設定することにより、図50(c)に示すような非点灯状態と図50(d)に示すような点灯状態を制御することができる。

30

【0585】

なお、アナログ信号電位 V_{sig} としては、実施の形態1の図43(a)、(b)、(c)、(d)、(e)、(f)、(g)で示したように、波形4301、波形4302、波形4303、波形4304、波形4305、波形4306若しくは波形4307、又はこれらを複数連続して設定しても良い。

30

【0586】

これらの波形を連続して設定することにより、発光時間を1フレーム内で分散させることができる。その結果、フレーム周波数が見かけ上は向上したようになり、画面のちらつきを防止することができる。

40

【0587】

また、本実施例に示した画素構成は必要とするトランジスタの数や配線の数が少なくてすむため、画素の開口率が向上し、高精細表示が可能となる。

40

【0588】

また、開口率の高い画素と開口率の低い画素で、同様の光度を得る場合、開口率の高い画素は、開口率が低い画素に比べて発光素子の輝度を低くすることができ、発光素子の信頼性が向上する。特に、発光素子にEL素子を用いている場合、EL素子の信頼性が向上する。

【実施例2】

【0589】

本実施例では、図6に示す画素のレイアウトについて図54を用いて説明する。

【0590】

画素を構成する回路は、駆動トランジスタ5401と、並列に接続された容量素子5402a及び容量素子5402bと、スイッチング用トランジスタ5403と、画素電極54

50

04と、電位供給線(Illumination line) 5405と、信号線(Data line) 5406と、走査線(Reset line) 5407とを有している。なお、駆動トランジスタ 5401にはPチャネル型トランジスタ、スイッチング用トランジスタ 5403にはNチャネル型トランジスタを用いている。

【0591】

なお、画素電極 5404は、図6に示す画素の発光素子 604の陽極に相当する。よって、画素電極 5404上に有機物を含む層と対向電極(発光素子 604の陰極に相当する)が形成されると、画素電極 5404と対向電極で有機物を含む層が挟まれた領域に発光素子 604が形成される。

【0592】

駆動トランジスタ 5401の第1端子(ソース端子又はドレイン端子)は電位供給線 5405と接続され、ゲート端子は容量素子 5402を介して信号線 5406と接続され、第2端子(ソース端子又はドレイン端子)は画素電極 5404と接続されている。また、駆動トランジスタ 5401のゲート端子と第2端子(ソース端子又はドレイン端子)はスイッチング用トランジスタ 5403を介して接続されている。よって、スイッチング用トランジスタ 5403がオンしているときには駆動トランジスタ 5401のゲート端子と第2端子(ソース端子又はドレイン端子)は導通する。そして、スイッチング用トランジスタ 5403がオフすると、駆動トランジスタ 5401のゲート端子と第2端子(ソース端子又はドレイン端子)は非導通となり、その瞬間の駆動トランジスタ 5401のゲート端子(若しくは第2端子)と信号線 5406との電位差(電圧)を容量素子 5402は保持することができる。

【0593】

なお、電位供給線 5405には、一行分の画素において、発光させるためのビデオ信号が入力されている画素全ての発光素子を発光させるための電流が流れることになる。よって、電位供給線 5405の配線抵抗が高いと電圧降下の影響を受け、電位供給線 5405に電位を設定する駆動回路から遠い画素には所望の電位を設定することができなくなってしまう。したがって、電位供給線 5405の材料には銅(Cu)を用いて低抵抗な配線を形成することが好ましい。

【0594】

駆動トランジスタ 5401はPチャネル型トランジスタであるため、Nチャネル型トランジスタに比べて一般的にキャリアの移動度 μ は低い。よって、Pチャネル型トランジスタを駆動トランジスタ 5401に用いる場合には、発光素子に適当な電流を供給するため駆動トランジスタのチャネル幅Wとチャネル長Lの比W/Lは大きくする必要がある。一方、スイッチング用トランジスタ 5403は、Nチャネル型トランジスタであるため、キャリアの移動度 μ が大きく、W/Lは小さくしても良い。また、オフ電流を低減するためLD領域を形成すると良く、また、ゲートリーク電流を低減するためマルチゲートのトランジスタにすると良い。したがって、そのチャネル長は大きくなる。よって、スイッチング用トランジスタ 5403はW/Lは小さくするのが好ましい。なお、本実施例においては、スイッチング用トランジスタ 5403はトリプルゲートとしたが、ダブルゲートでもよく、ゲートの数は限定されない。

【0595】

したがって、駆動トランジスタ 5401とスイッチング用トランジスタ 5403は、チャネル幅Wとチャネル長Lの比W/Lを考慮し、互いのトランジスタに流れる電流の向きが直交する方向に配置するのが好ましいといえる。すると、画素のレイアウト上、ブラックマトリクスとなる画素を構成する素子(トランジスタや容量素子)や配線の面積を小さくなるように効率よく配置することが可能となる。

【0596】

さらに、駆動トランジスタ 5401のチャネル幅Wが大きくなることを考慮すると、電位供給線 5405と接続される第1端子となる不純物領域は、その面積が大きくなるため、電位供給線 5405と重なるように配置するとよい。つまり、電位供給線 5405に流れ

る電流の向きと、駆動トランジスタ 5401 に流れる電流の向きとは直交するように駆動トランジスタを配置するとよい。

【0597】

また、信号線 5406 は、ビデオ信号に相当するアナログ信号電位が入力されるため、配線抵抗の少ないトランジスタのソース電極やドレイン電極と同じ材料で形成するとよい。また、信号線 5406 は、画素の一辺方向に延びており、本画素レイアウトのように、長方形の形状を有する画素において、長辺方向に延びているため、その面積は大きなものとなる。よって、信号線 5406 を容量素子の上部電極に用いる。そして、下部電極はトランジスタのゲート電極と同じ材料で形成する。すると、上部電極と下部電極でトランジスタの層間絶縁膜挟み込む容量素子 5402a 及び容量素子 5402b が形成されている。そして、容量素子 5402a 及び容量素子 5402b の上部電極及び下部電極はそれぞれつながっているため、容量素子 5402a 及び容量素子 5402b は並列に接続されていることになる。よって、容量素子 5402a 及び容量素子 5402b の静電容量を単純に加えた合成容量を持つ一つの容量素子 5402 としてみることができる。したがって、容量素子 5402a 及び容量素子 5402b は図 6 に示す画素の容量素子 602 に相当する。

10

【0598】

なお、容量素子 602 は電圧を一定時間保持しなければならない。よって、大きな電荷量を蓄積することができる容量値の大きい容量素子が求められる。そこで、容量素子 602 の容量値を大きくするには、容量素子 602 を構成する電極に挟まれた誘電体に誘電率の高い材料を用いたり、その膜厚を薄くしても良いが、画素の作製工程の変更が求められ、これには限界がある。一方、容量素子 602 の電極の面積を大きくすることで容易に容量値を大きくすることができる。

20

【0599】

ここで、図 54 の画素を有する表示装置は列方向に配置された電位供給線と行方向に配置された信号線に対応してマトリクスに画素が設けられており、信号線 5406 が各画素の容量素子 5402 の上部電極として機能するのは、画素の列方向（長辺方向）の長さと同等の長さである。

【0600】

つまり、もともとブラックマトリクスとなる信号線 5406 によって、大きな容量値を持つ容量素子 5402 とすることができます、容量素子 5402 を形成するために別途設ける領域を小さくすることができる。したがって、開口率が大幅に向上升する。

30

【0601】

また、容量素子 5402 は電圧を一定期間保持するため、蓄積された電荷の放電を防ぐ必要があるため、スイッチング用トランジスタ 5403 のリーク電流（オフ電流やゲートリーク電流）を低減することが望ましい。本実施例の画素のスイッチング用トランジスタ 5403 には低濃度不純物領域（LDD ともいう）が設けられ、また、マルチゲート構造であることから、スイッチング用トランジスタ 5403 のリーク電流を低減することができる。

40

【0602】

また、本実施例の画素では、スイッチング用トランジスタ 5403 と、駆動トランジスタ 5401 とを、そのチャネル長方向が直交する方向に配置することにより、画素のブラックマトリクスとなる領域に効率良く画素を構成する素子を配置することができる。

【0603】

また、本実施例の画素のように画素の長辺方向と概略等しい長さにわたる容量素子を形成することで、十分に電圧の保持能力の高い容量素子とすることができます。また、信号線 5406 を上部電極にすることで、ブラックマトリクスとなる配線の領域に容量素子 5402 を形成するため、画素の開口率を非常に高くすることができる。

【実施例 3】

【0604】

50

本実施例において、本発明の画素構成を用いた表示装置を表示部に有する携帯電話の構成例について図47を用いて説明する。

【0605】

表示パネル4710はハウジング4700に脱着自在に組み込まれる。ハウジング4700は表示パネル4710のサイズに合わせて、形状や寸法を適宜変更することができる。表示パネル4710を固定したハウジング4700はプリント基板4701に嵌入されモジュールとして組み立てられる。

【0606】

表示パネル4710はFPC4711を介してプリント基板4701に接続される。プリント基板4701には、スピーカ4702、マイクロフォン4703、送受信回路4704、CPU及びコントローラなどを含む信号処理回路4705が形成されている。このようなモジュールと、入力手段4706、バッテリ4707を組み合わせ、筐体4709に収納する。表示パネル4710の画素部は筐体4712に形成された開口窓から視認できよう配置する。

10

【0607】

表示パネル4710は、画素部と一部の周辺駆動回路（複数の駆動回路のうち動作周波数の低い駆動回路）を基板上にTFTを用いて一体形成し、一部の周辺駆動回路（複数の駆動回路のうち動作周波数の高い駆動回路）をICチップ上に形成し、そのICチップをCOG（Chip On Glass）で表示パネル4710に実装しても良い。あるいは、そのICチップをTAB（Tape Auto Bonding）やプリント基板を用いてガラス基板と接続してもよい。なお、一部の周辺駆動回路を基板上に画素部と一緒に形成し、他の周辺駆動回路を形成したICチップをCOG等で実装した表示パネルの構成は図42(a)に一例を示してある。このような構成とすることで、表示装置の低消費電力化を図り、携帯電話機の一回の充電による使用時間を長くすることができる。また、携帯電話機の低コスト化を図ることができる。

20

【0608】

また、画素部には実施の形態1乃至6で示した画素構成を適宜適用することができる。

【0609】

例えば、実施の形態3で示した図7の画素構成を適用することで、低コスト化を実現するため画素部及び画素部と一緒に形成する周辺駆動回路を単極性のトランジスタで構成して製造工程の削減を図ることができる。

30

【0610】

また、実施の形態2の図56で示した画素構成を適用することで、点灯期間を長くすることができるため、発光素子の瞬間輝度を低くすることができ、発光素子の信頼性を向上させることができる。

【0611】

また、走査線や信号線に設定する信号をバッファ回路によりインピーダンス変換し電流供給能力を高めることで、信号の遅延を防ぎ、1行毎の画素の書き込み時間を短くすることができる。よって高精細な表示装置を提供することができる。

40

【0612】

また、さらに消費電力の低減を図るため、図42(b)に示すように、基板上にTFTを用いて画素部を形成し、全ての周辺駆動回路をICチップ上に形成し、そのICチップをCOG（Chip On Glass）などで表示パネルに実装しても良い。

【0613】

また、本実施例に示した構成は携帯電話の一例であって、本発明の画素構成はこのような構成の携帯電話に限られず様々な構成の携帯電話に適用することができる。

【実施例4】

【0614】

図45は表示パネル4501と、回路基板4502を組み合わせたELモジュールを示している。表示パネル4501は画素部4503、走査線駆動回路4504及び信号線駆

50

動回路 4505 を有している。回路基板 4502 には、例えば、コントロール回路 4506 や信号分割回路 4507 などが形成されている。表示パネル 4501 と回路基板 4502 は接続配線 4508 によって接続されている。接続配線には FPC 等を用いることができる。

【0615】

表示パネル 4501 は、画素部と一部の周辺駆動回路（複数の駆動回路のうち動作周波数の低い駆動回路）を基板上に TFT を用いて一体形成し、一部の周辺駆動回路（複数の駆動回路のうち動作周波数の高い駆動回路）を IC チップ上に形成し、その IC チップを COG (Chip On Glass) などで表示パネル 4501 に実装するとよい。あるいは、その IC チップを TAB (Tape Auto Bonding) やプリント基板を用いて表示パネル 4501 に実装しても良い。なお、一部の周辺駆動回路を基板上に画素部と一体形成し、他の周辺駆動回路を形成した IC チップを COG 等で実装した構成は図 42 (a) に一例を示してある。

【0616】

また、画素部には実施の形態 1 乃至 6 で示した画素構成を適宜適用することができる。

【0617】

例えば、実施の形態 3 で示した図 7 の画素構成を適用することで、低コスト化を実現するため画素部及び画素部と一体形成する周辺駆動回路を単極性のトランジスタで構成して製造工程の削減を図ることができる。

【0618】

また、実施の形態 2 の図 56 で示した画素構成を適用することで、点灯期間を長くすることができるため、発光素子の瞬間輝度を低くすることができ、発光素子の信頼性を向上させることができる。

【0619】

また、走査線や信号線に設定する信号をバッファ回路によりインピーダンス変換し、電流供給能力を高めることで、信号の遅延を防ぎ、1 行毎の画素の書き込み時間を短くすることができる。よって高精細な表示装置を提供することができる。

【0620】

また、さらに消費電力の低減を図るため、ガラス基板上に TFT を用いて画素部を形成し、全ての周辺駆動回路を IC チップ上に形成し、その IC チップを COG (Chip On Glass) 表示パネルに実装してもよい。

【0621】

また、実施の形態 3 の図 7 で示した画素構成を適用することで、N チャネル型のトランジスタのみで画素を構成することができるため、非晶質半導体（例えば、アモルファスシリコン）をトランジスタの半導体層に適用することが可能となる。つまり、均一な結晶性半導体膜を作製することが困難な大型の表示装置の作製が可能となる。また、非晶質半導体膜を画素を構成するトランジスタの半導体層に用いることにより、製造工程を削減することができ、製造コストの削減も図ることができる。

【0622】

なお、非晶質半導体膜を、画素を構成するトランジスタの半導体層に適用する場合には、基板上に TFT を用いて画素部を形成し、全ての周辺駆動回路を IC チップ上に形成し、その IC チップを COG (Chip On Glass) で表示パネルに実装するとよい。なお、基板上に画素部を形成し、その基板上に周辺駆動回路を形成した IC チップを COG 等で実装した構成は図 42 (b) に一例を示してある。

【0623】

この E-L モジュールにより E-L テレビ受像機を完成させることができる。図 46 は、E-L テレビ受像機の主要な構成を示すブロック図である。チューナ 4601 は映像信号と音声信号を受信する。映像信号は、映像信号增幅回路 4602 と、そこから出力される信号を赤、緑、青の各色に対応した色信号に変換する映像信号処理回路 4603 と、その映像信号を駆動回路の入力仕様に変換するためのコントロール回路 4506 により処理される

10

20

30

40

50

。コントロール回路 4506 は、走査線側と信号線側にそれぞれ信号が出力する。デジタル駆動する場合には、信号線側に信号分割回路 4507 を設け、入力デジタル信号を m 個に分割して供給する構成としても良い。

【0624】

チューナ 4601 で受信した信号のうち、音声信号は音声信号增幅回路 4604 に送られ、その出力は音声信号処理回路 4605 を経てスピーカ 4606 に供給される。制御回路 4607 は受信局（受信周波数）や音量の制御情報を入力部 4608 から受け、チューナ 4601 や音声信号処理回路 4605 に信号を送出する。

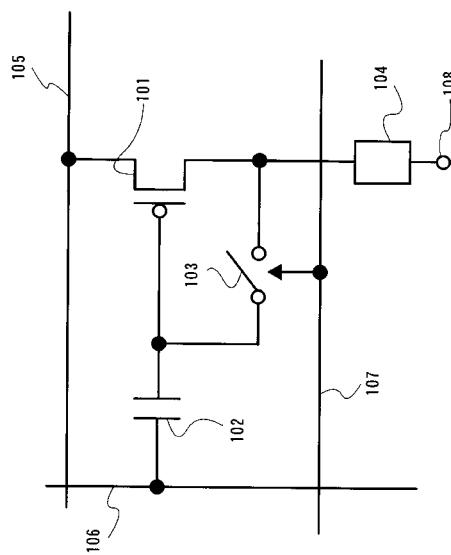
【0625】

図 44 (A) に示すように、図 45 の EL モジュールを筐体 44001 に組みこんで、
10
テレビ受像機を完成させることができる。EL モジュールにより、表示部 44003 が形成される。また、スピーカ 44004、ビデオ入力端子 44005 などが適宜備えられている。

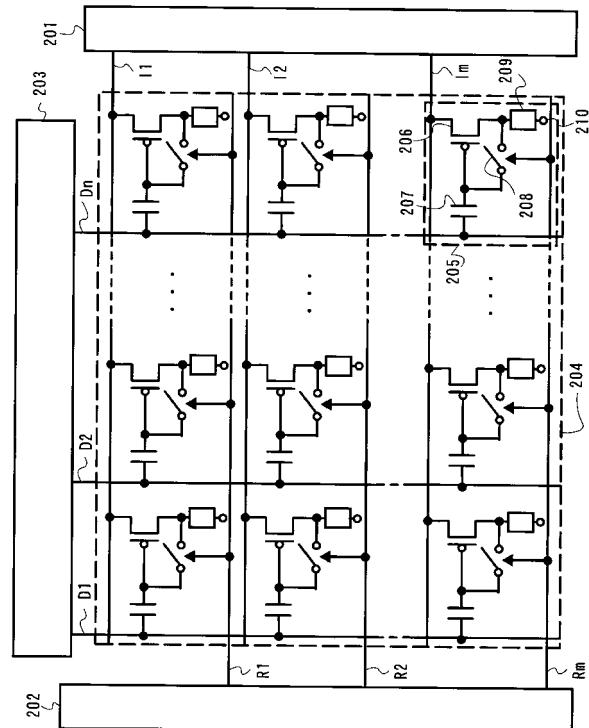
【0626】

勿論、本発明はテレビ受像機に限定されず、パーソナルコンピュータのモニタをはじめ、鉄道の駅や空港などにおける情報表示盤や、街頭における広告表示盤など特に大面積の表示媒体として様々な用途に適用することができる。

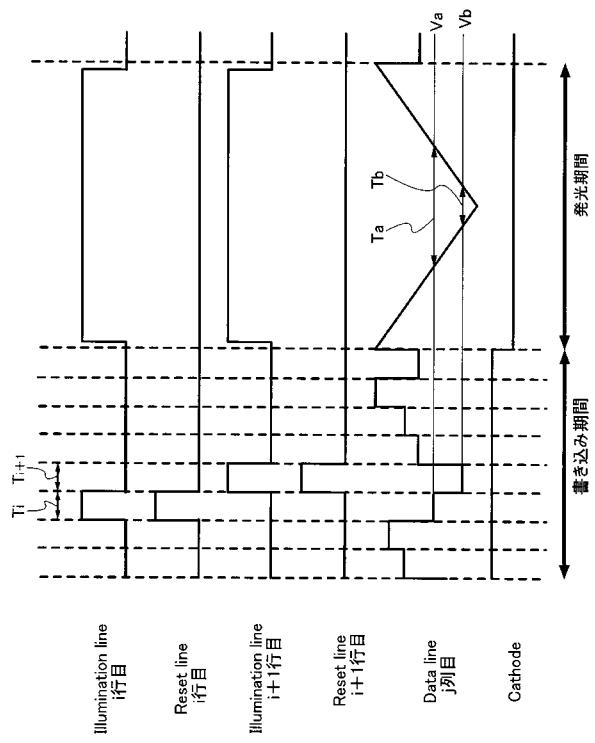
【図 1】



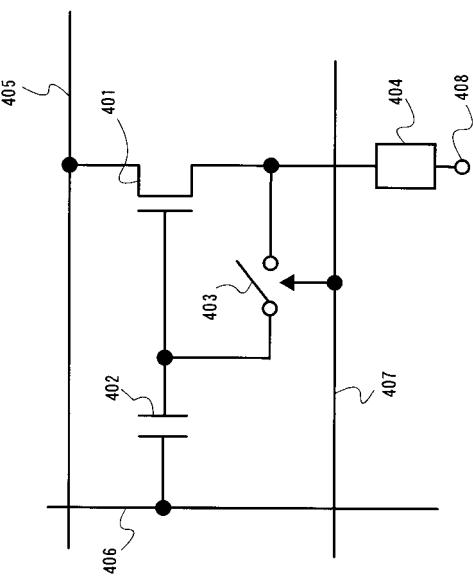
【図 2】



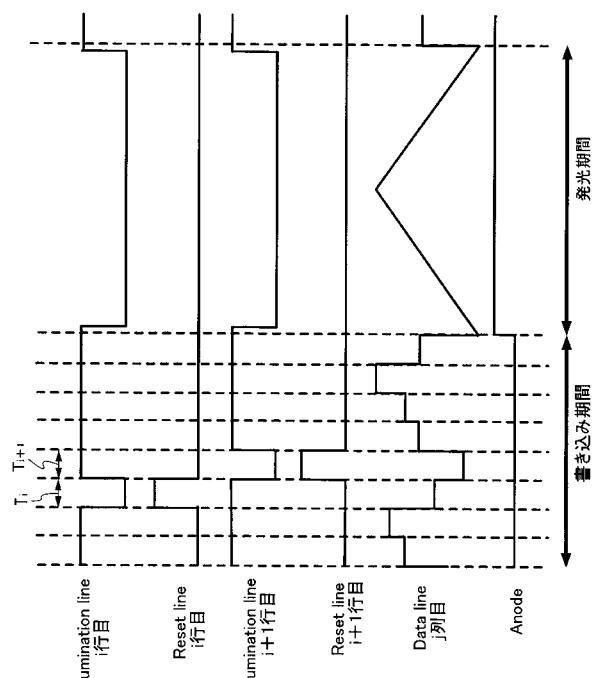
【図3】



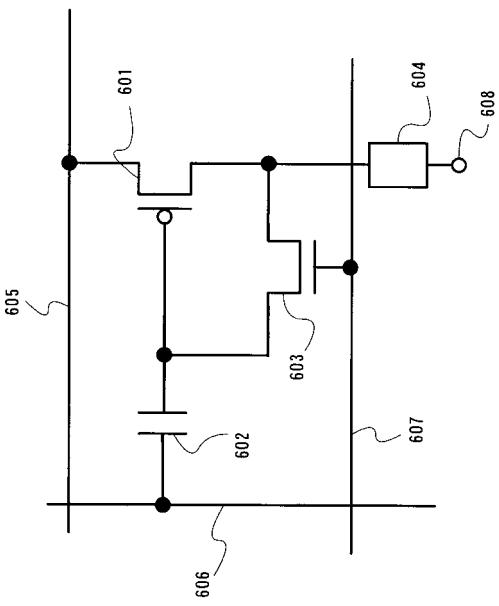
【図4】



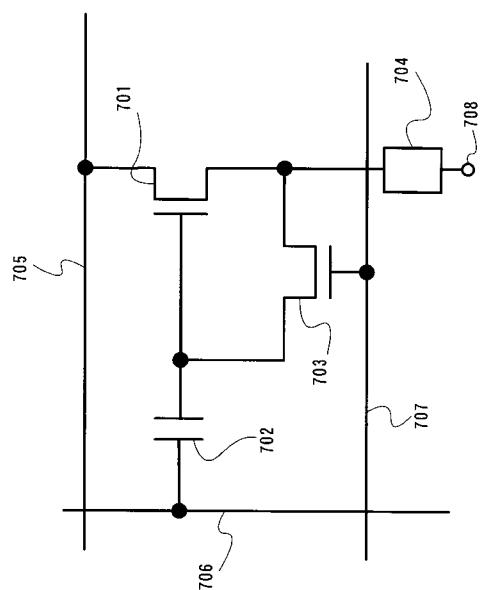
【図5】



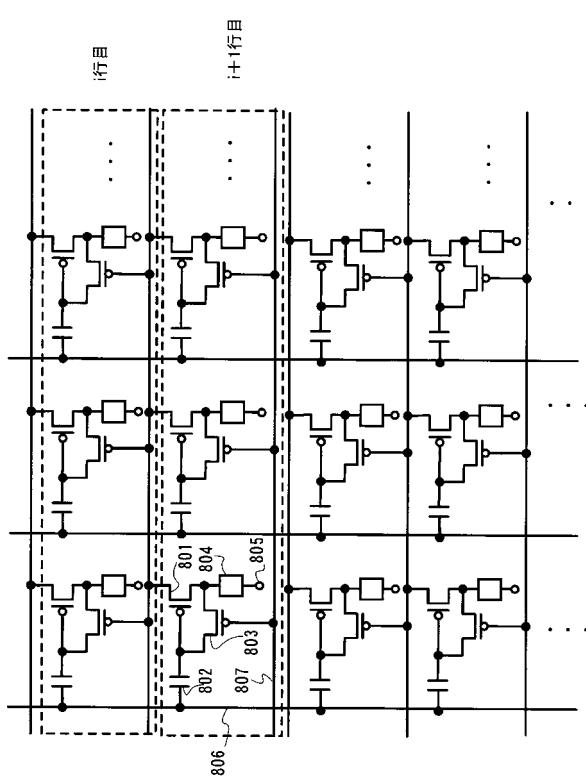
【図6】



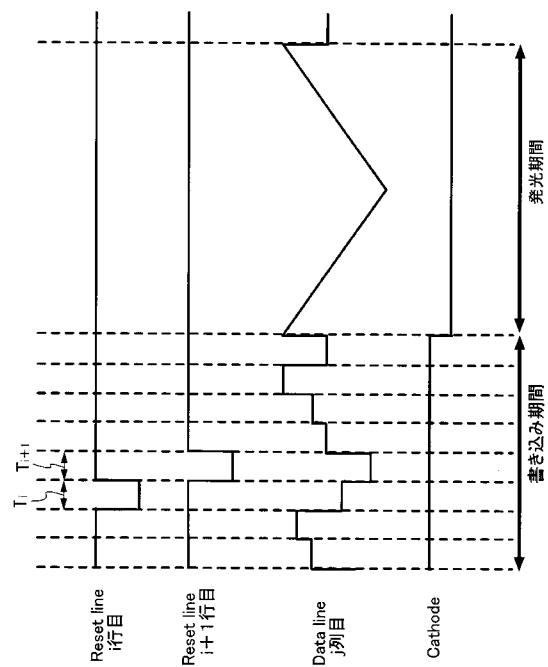
【図 7】



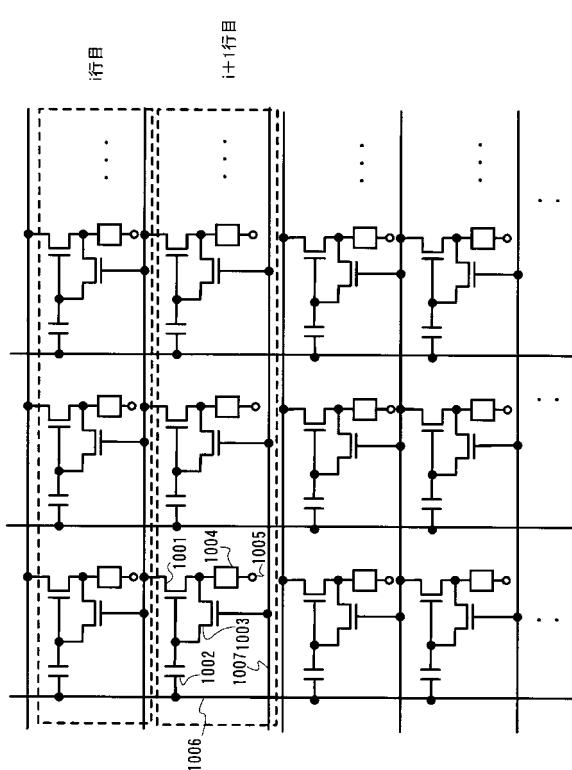
【図 8】



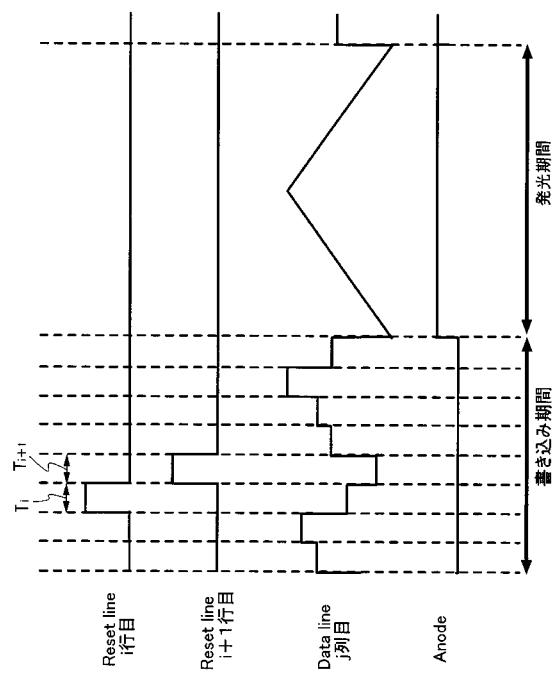
【図 9】



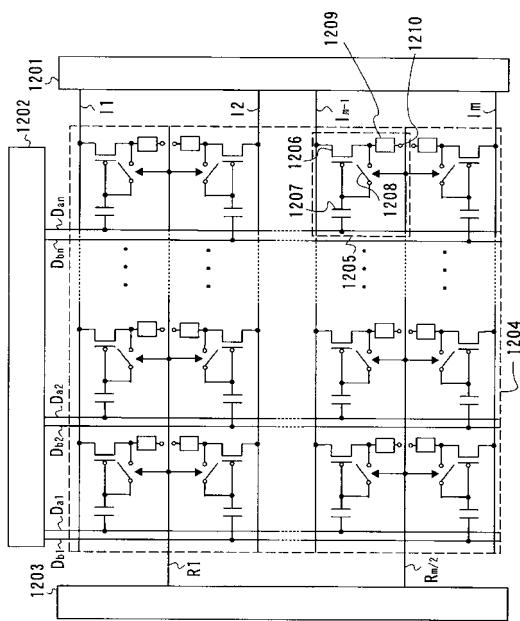
【図 10】



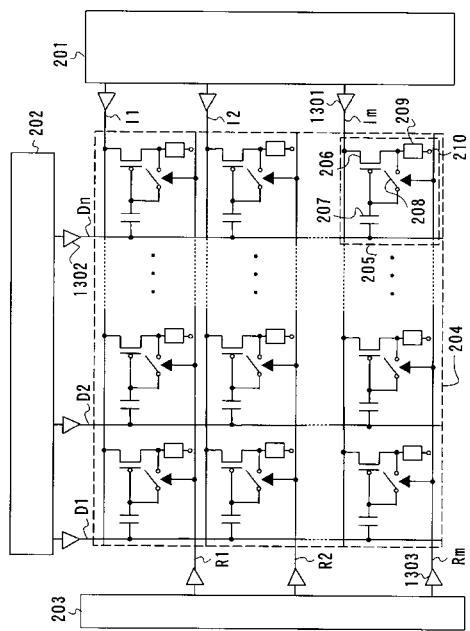
【図 1 1】



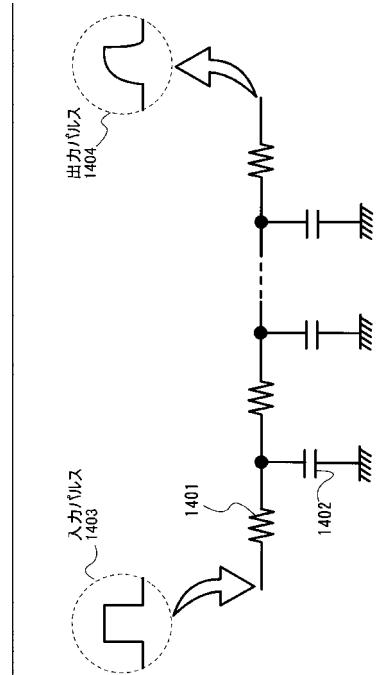
【図 1 2】



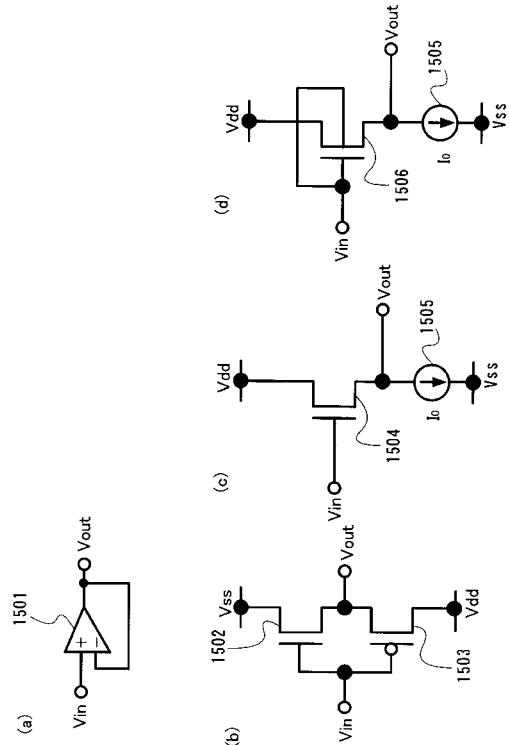
【図 1 3】



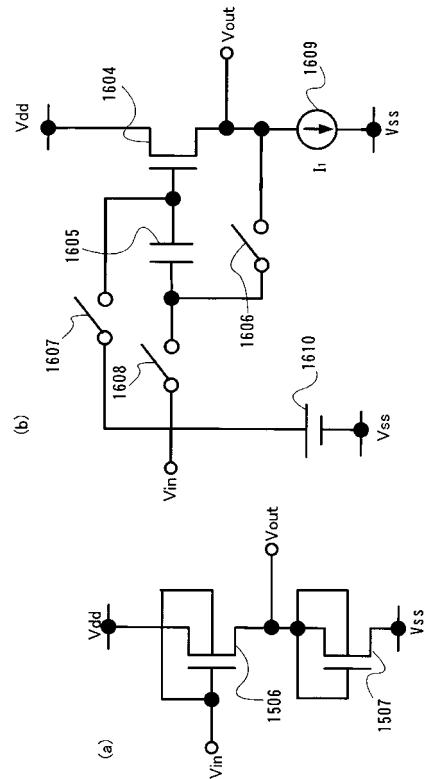
【図 1 4】



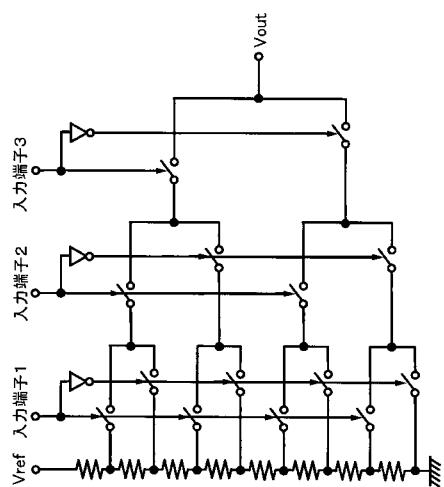
【図 15】



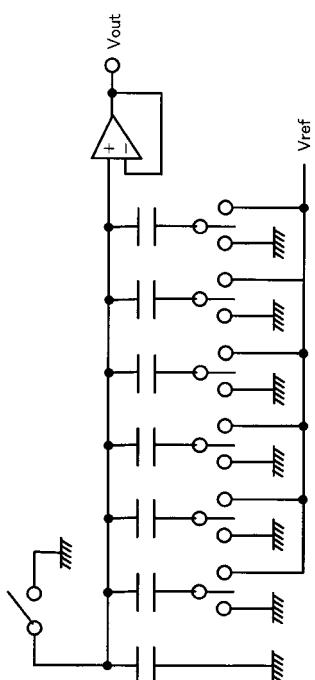
【図 16】



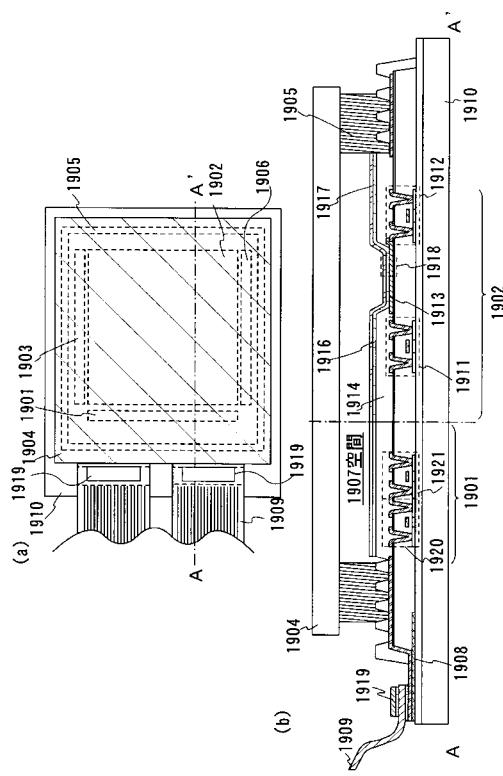
【図 17】



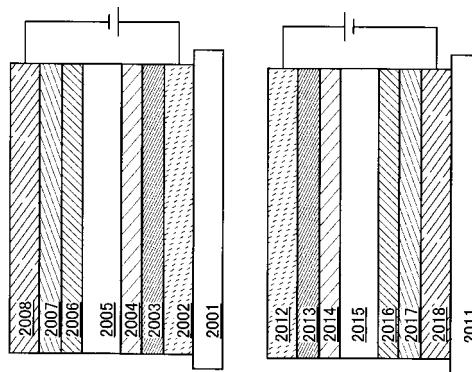
【図 18】



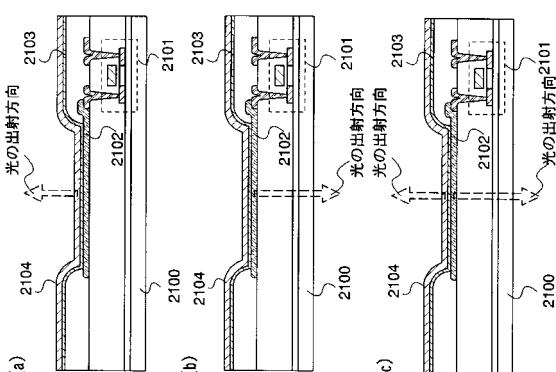
【 図 1 9 】



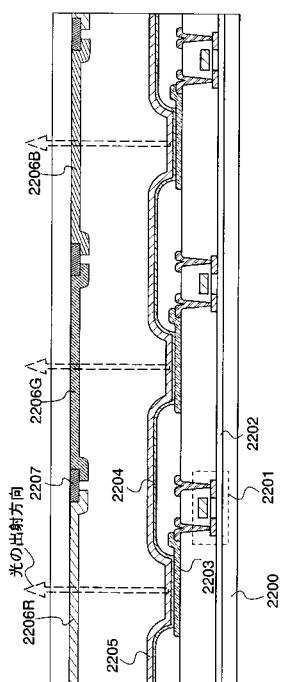
【図20】



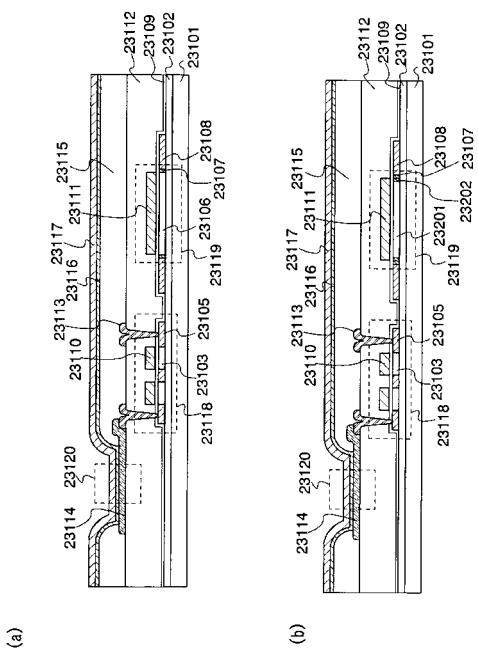
(a)



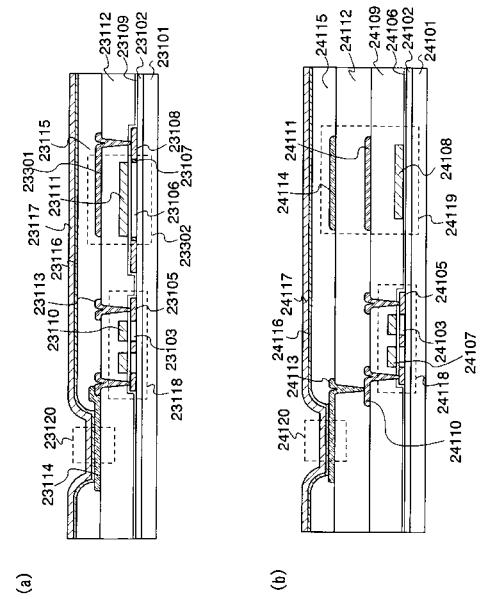
【図22】



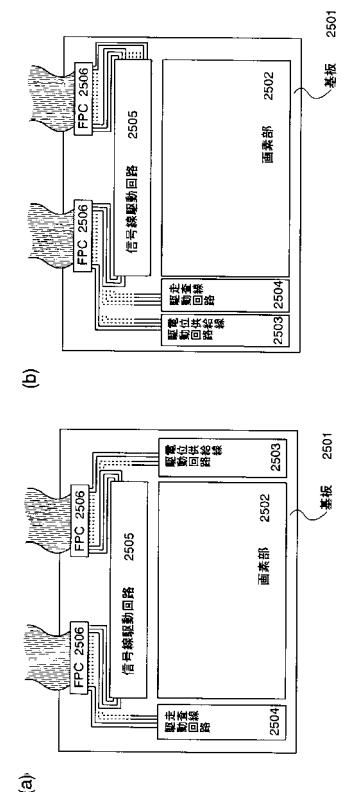
【 図 2 3 】



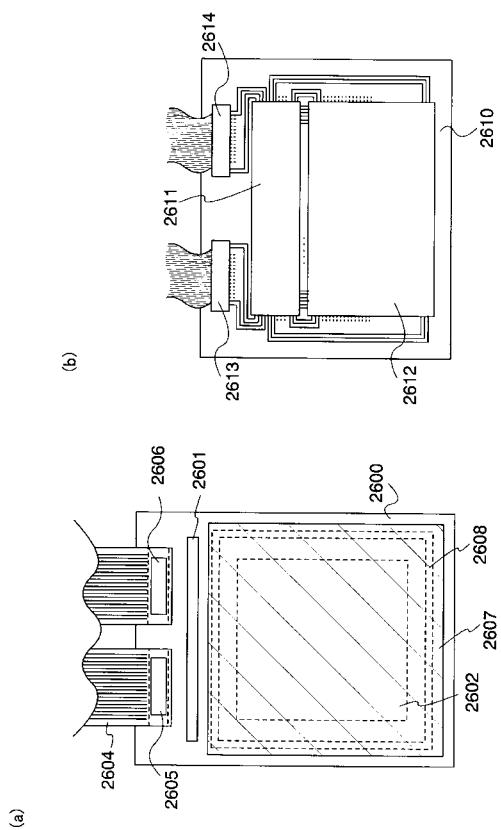
【図 2 4】



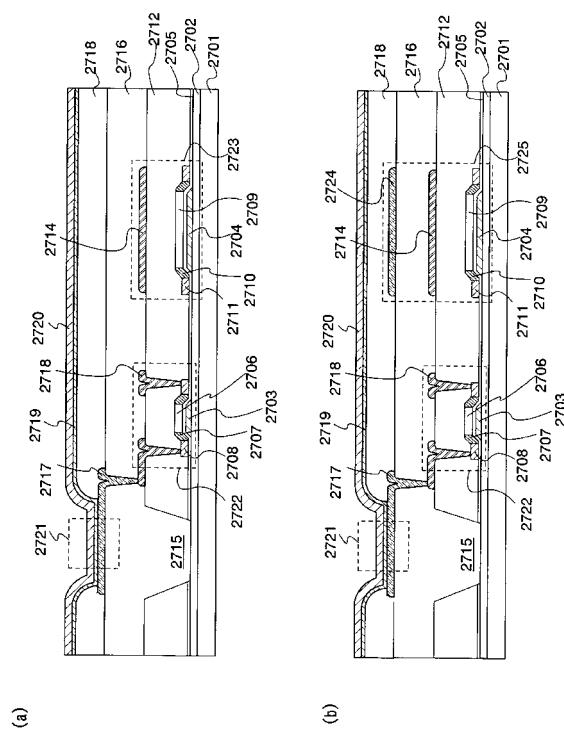
【図 2 5】



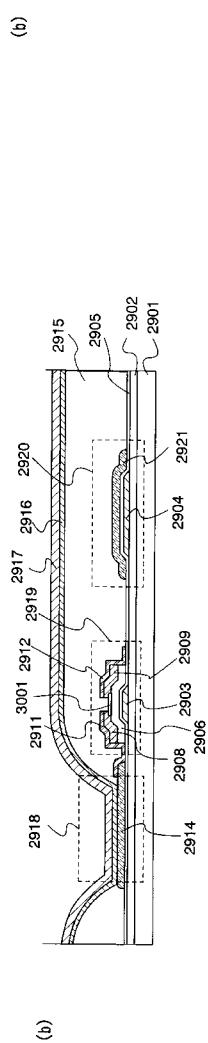
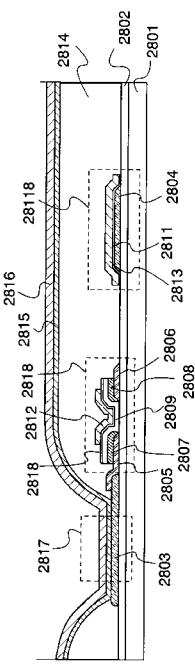
【図 2 6】



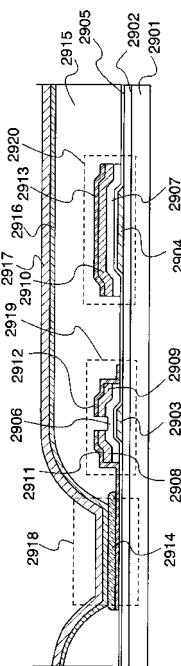
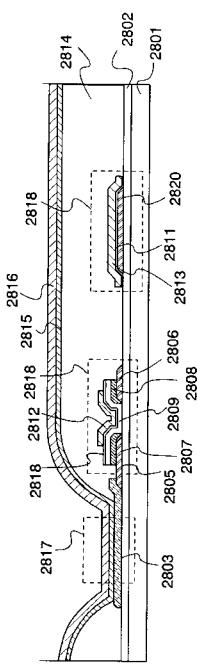
【図 2 7】



【 図 2 8 】



【図29】

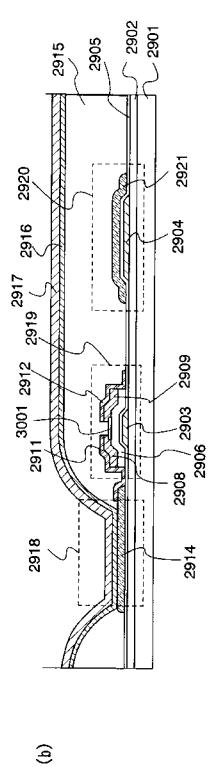
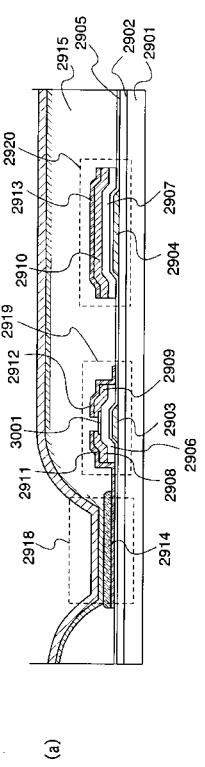


This cross-sectional diagram illustrates a complex semiconductor structure. It features a central vertical column with a stepped profile, likely representing a mesa or a fin. The structure is surrounded by various layers and contacts. Key labeled components include:

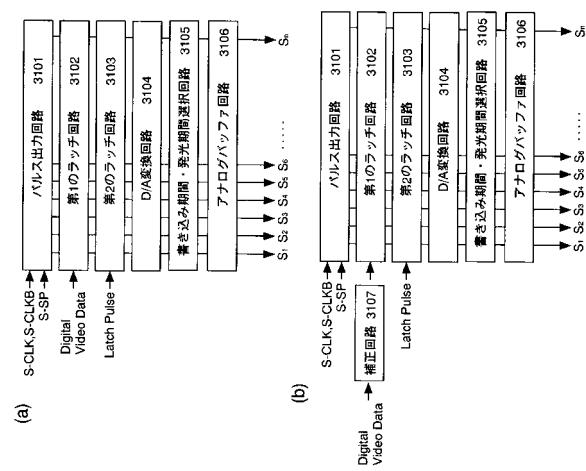
- 2901: A contact or via at the bottom right.
- 2902: A layer or contact on the right side.
- 2903: A contact or via on the right side.
- 2904: A contact or via on the right side.
- 2905: A layer or contact on the top right.
- 2906: A contact or via on the left side.
- 2908: A contact or via on the bottom right.
- 2909: A contact or via on the right side.
- 2911: A contact or via on the left side.
- 2912: A contact or via on the left side.
- 2915: A layer or contact on the top left.
- 2916: A contact or via on the top left.
- 2917: A contact or via on the top left.
- 2918: A contact or via on the bottom left.
- 2919: A contact or via on the left side.
- 2920: A contact or via on the top left.
- 2921: A contact or via on the far right.
- 2922: A contact or via on the top left.

The diagram uses dashed lines to indicate different parts of the structure and various hatching patterns to distinguish between different materials or regions.

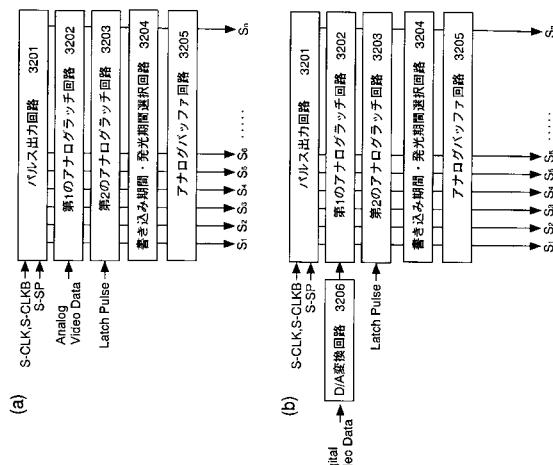
【 図 30 】



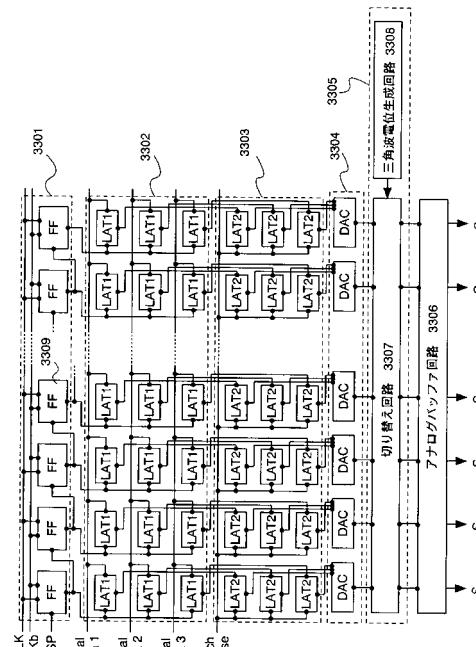
【図31】



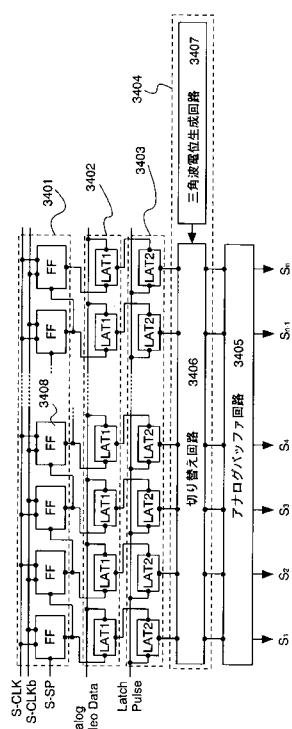
【図 3 2】



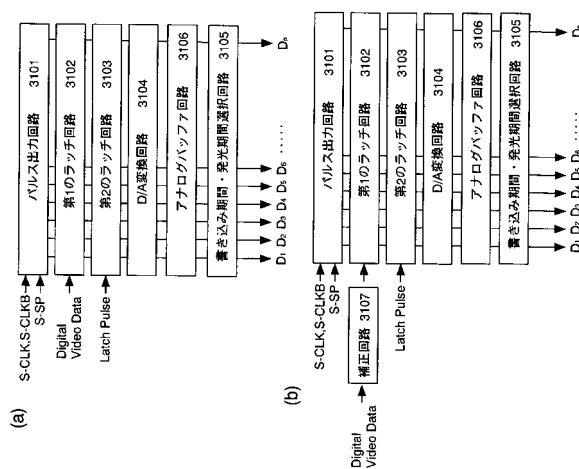
【図 3 3】



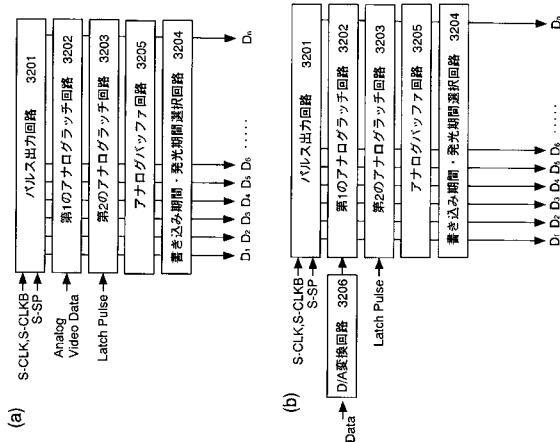
【図 3 4】



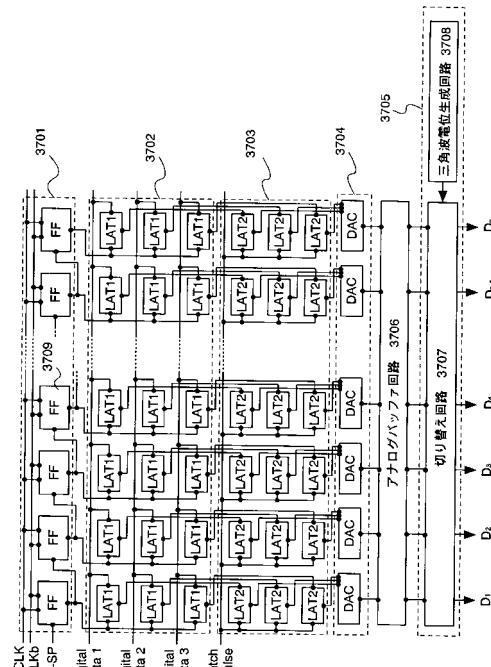
【図 3 5】



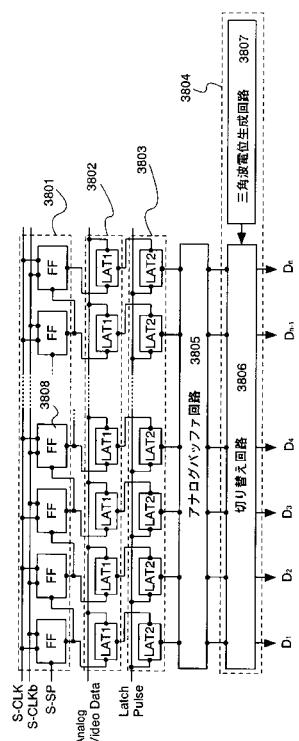
【図 3 6】



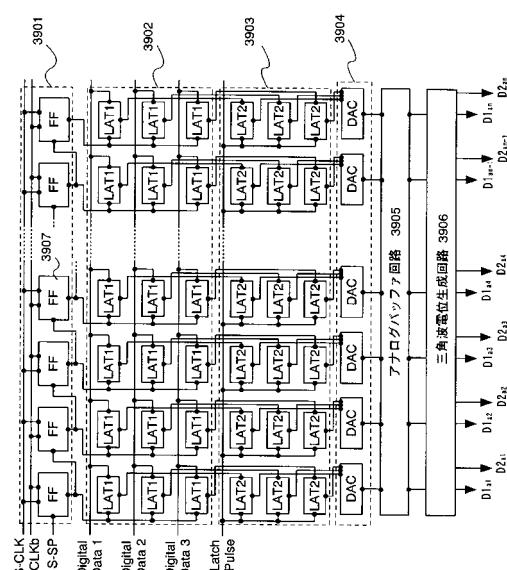
【図 3 7】



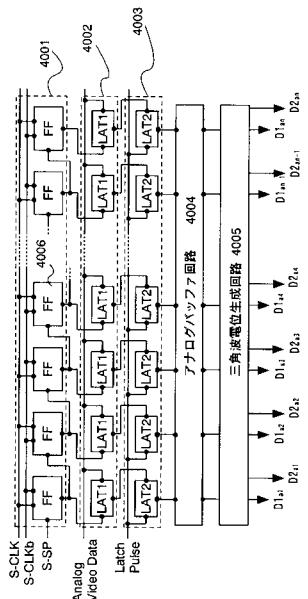
【図 3 8】



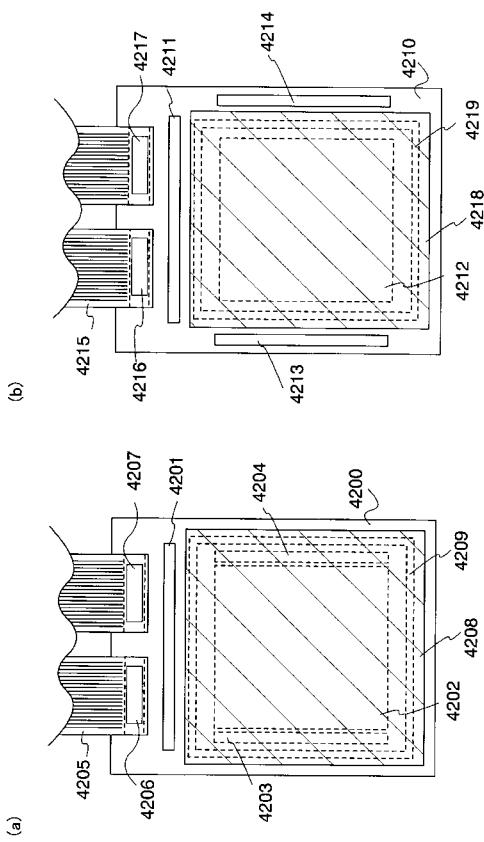
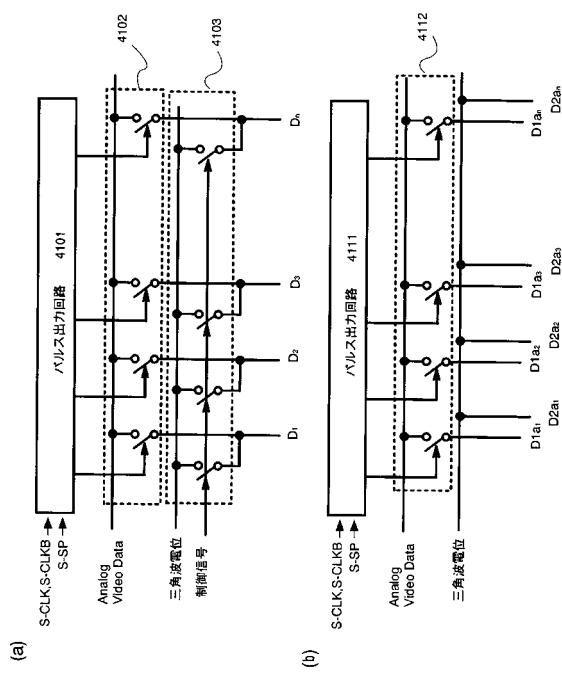
【図 3 9】



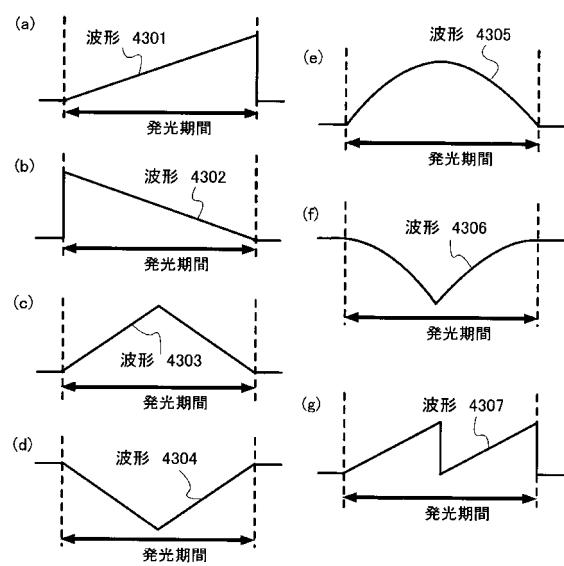
【図 4 0】



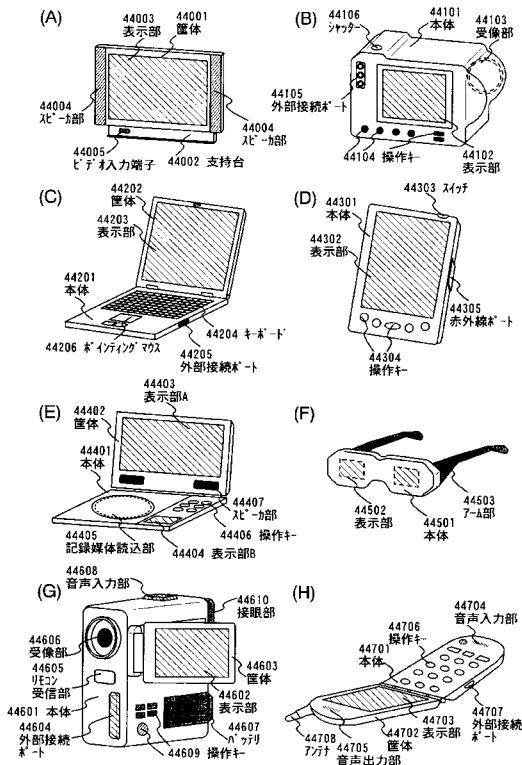
【図 4 1】



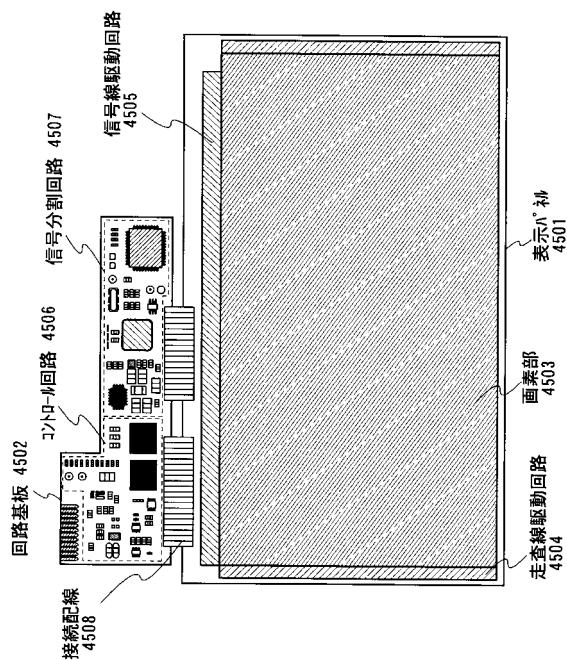
【図 4 3】



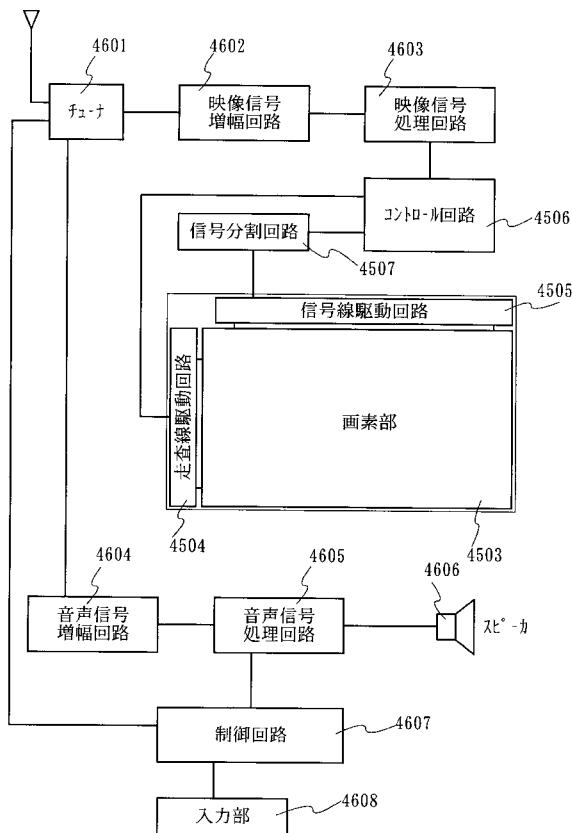
【図44】



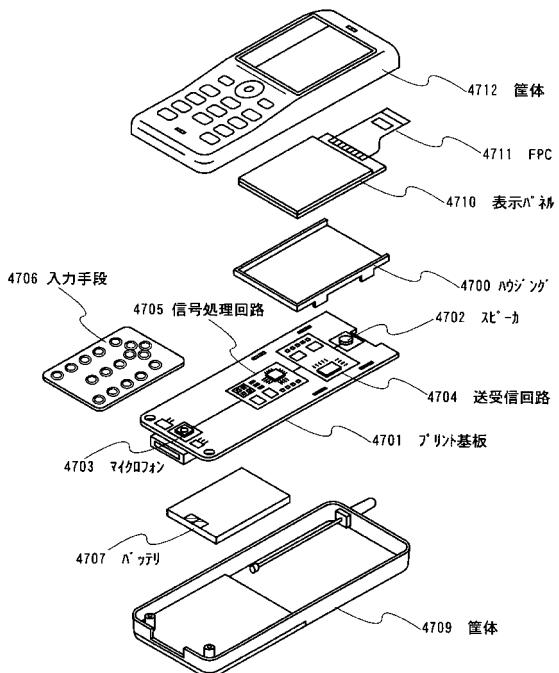
【図45】



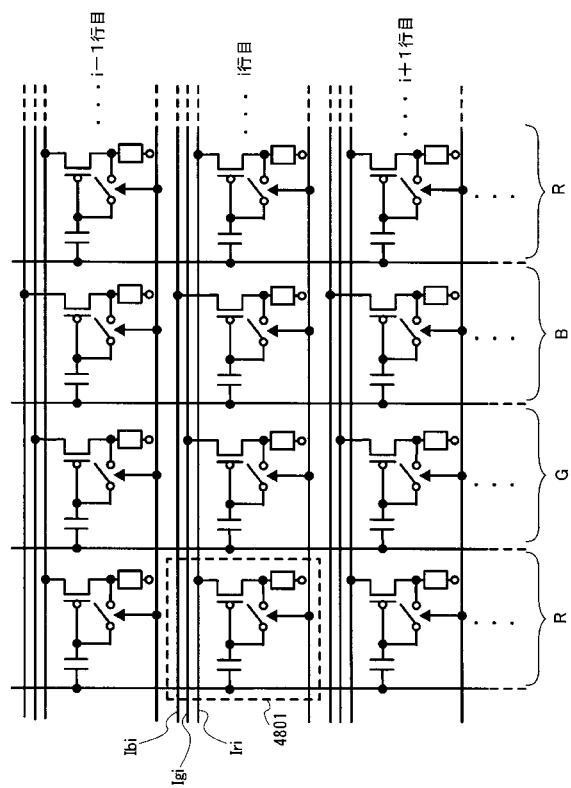
【図46】



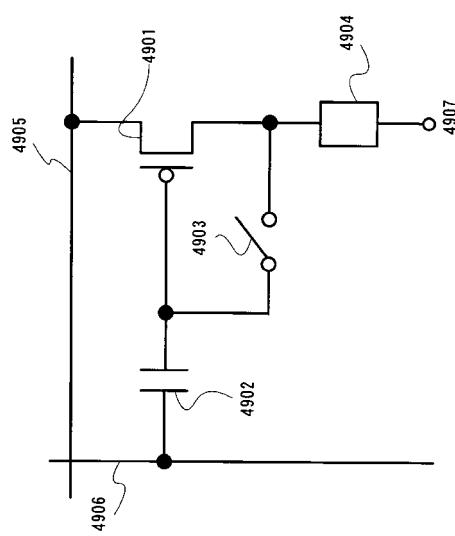
【図47】



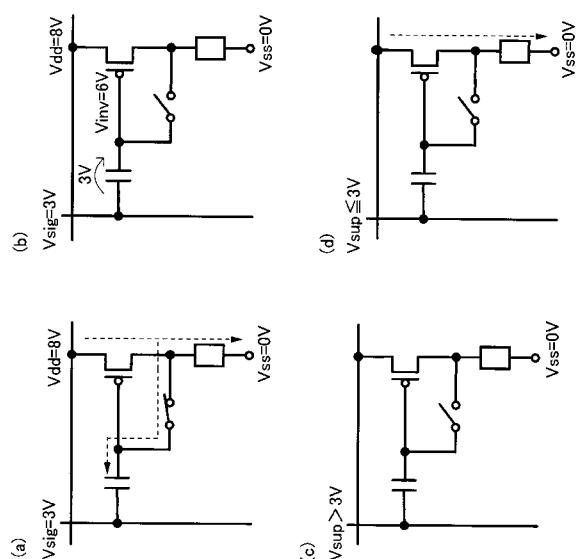
【図 4 8】



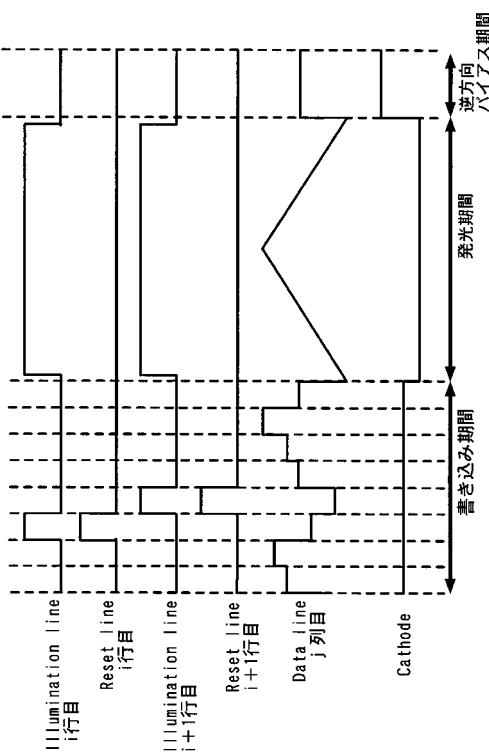
【図 4 9】



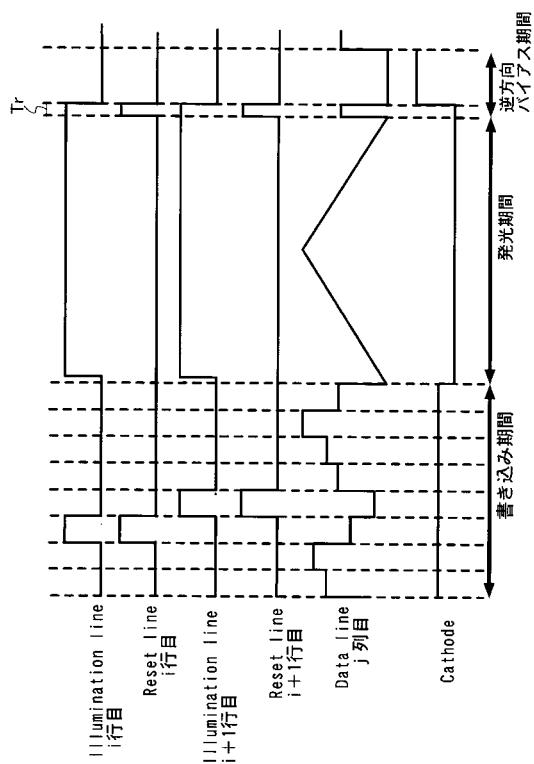
【図 5 0】



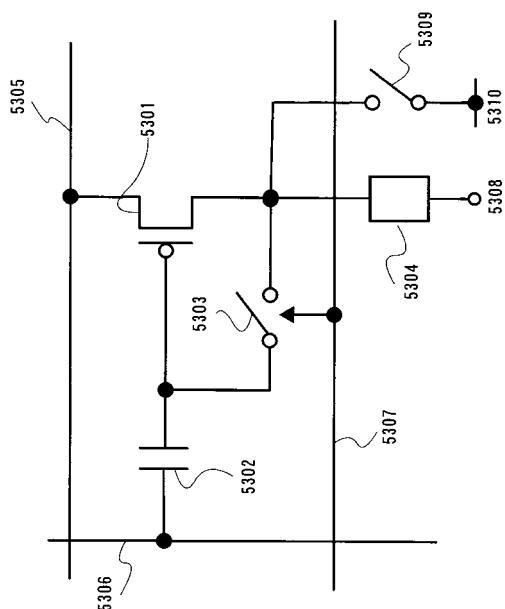
【図 5 1】



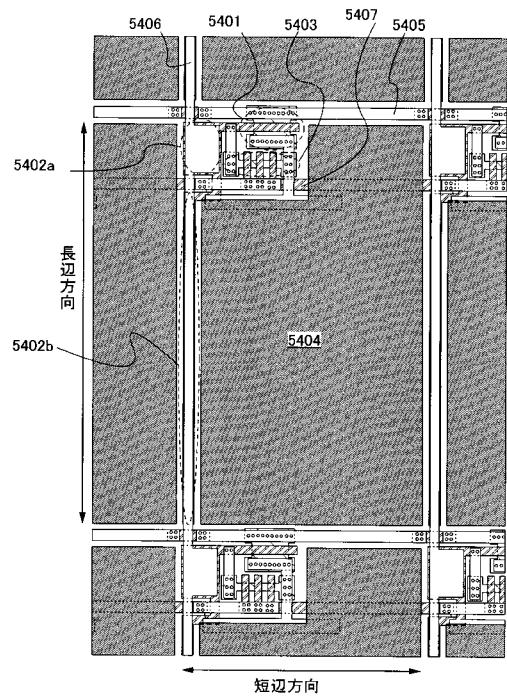
【図 5 2】



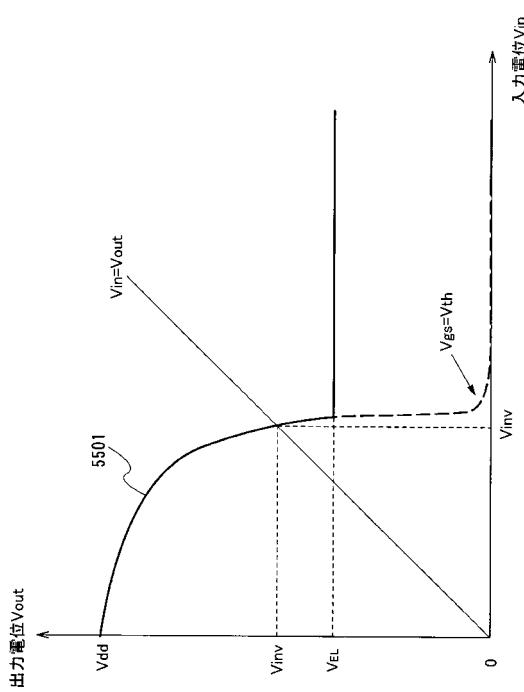
【図 5 3】



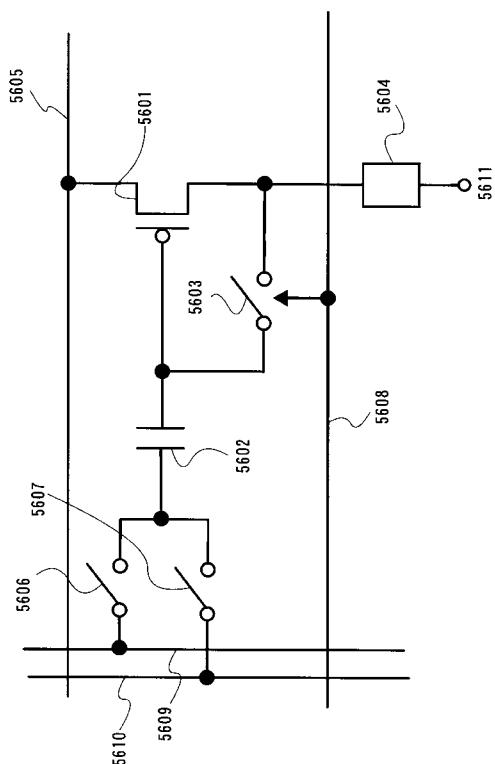
【図 5 4】



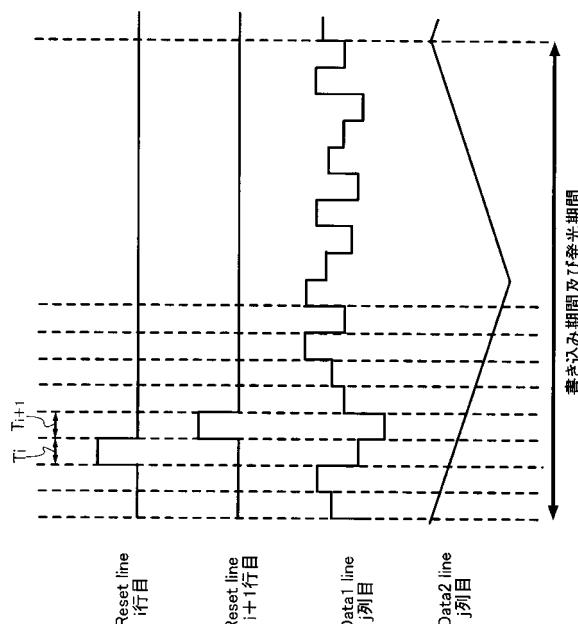
【図 5 5】



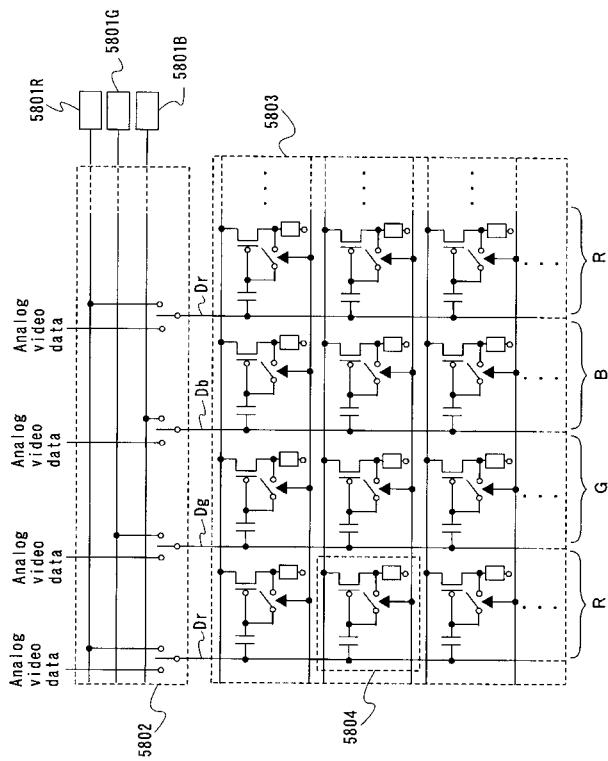
【図 5 6】



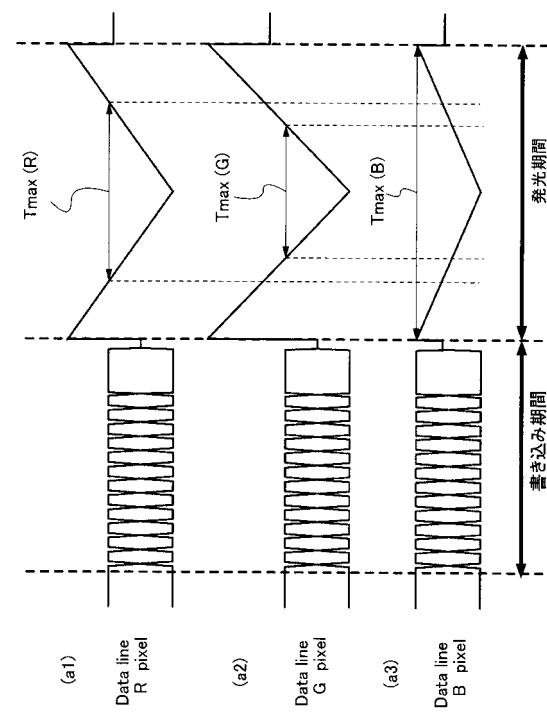
【図 5 7】



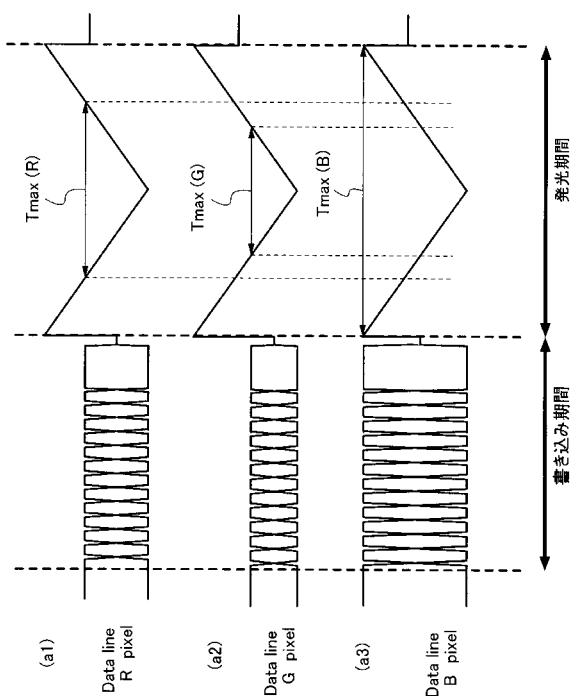
【図 5 8】



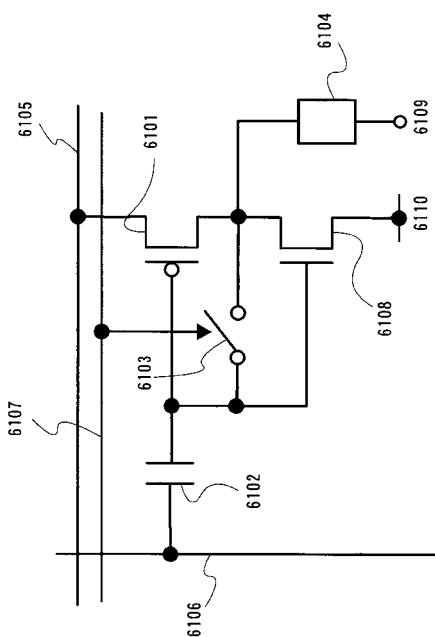
【図 5 9】



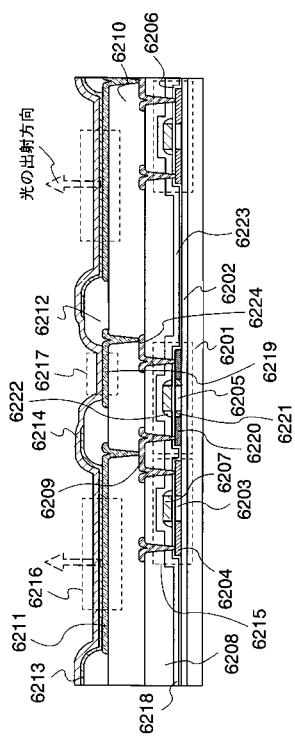
【図 6 0】



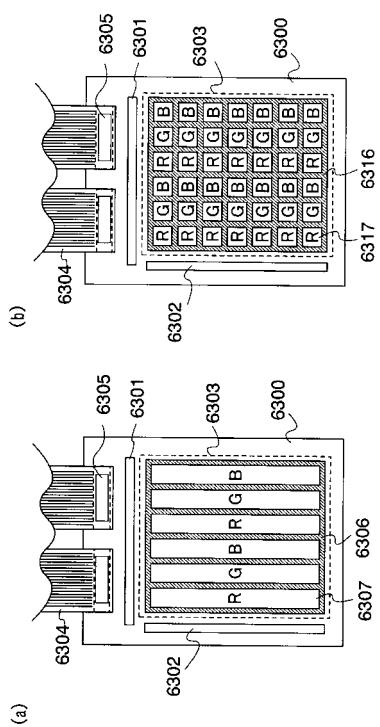
【図 6 1】



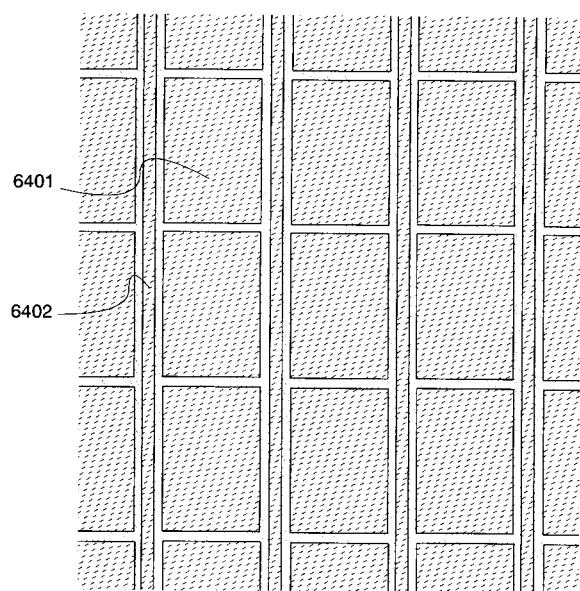
【図 6 2】



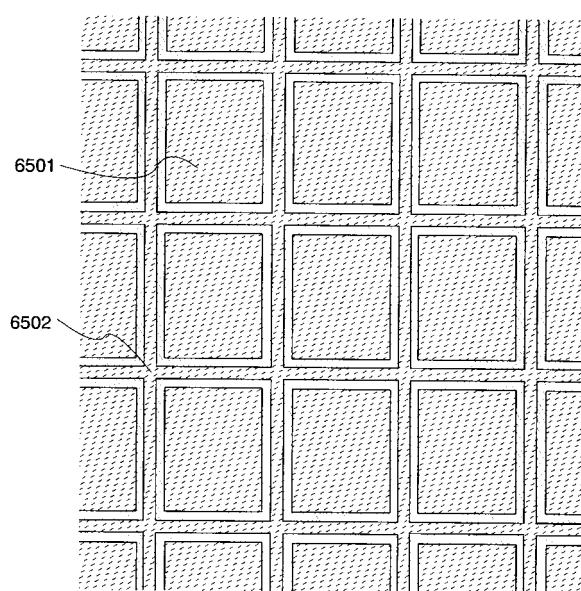
【図 6 3】



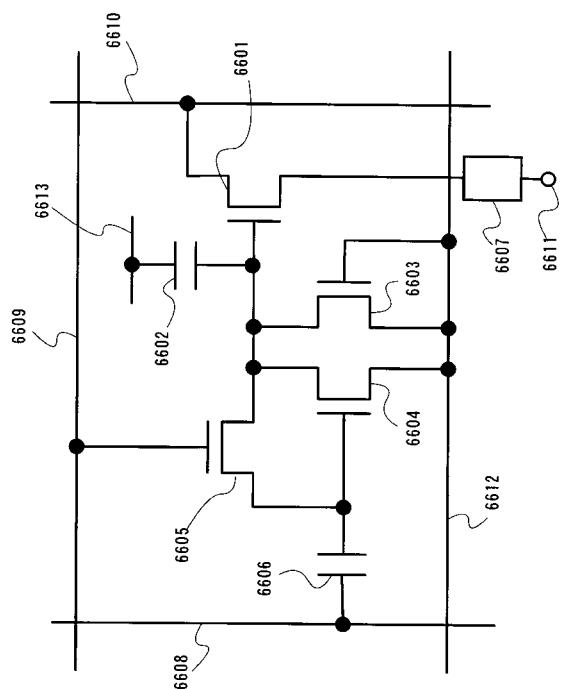
【図 6 4】



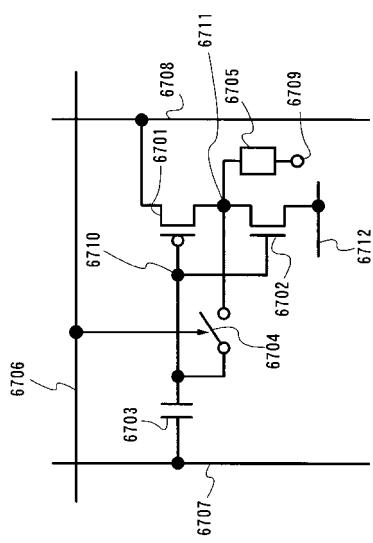
【図 6 5】



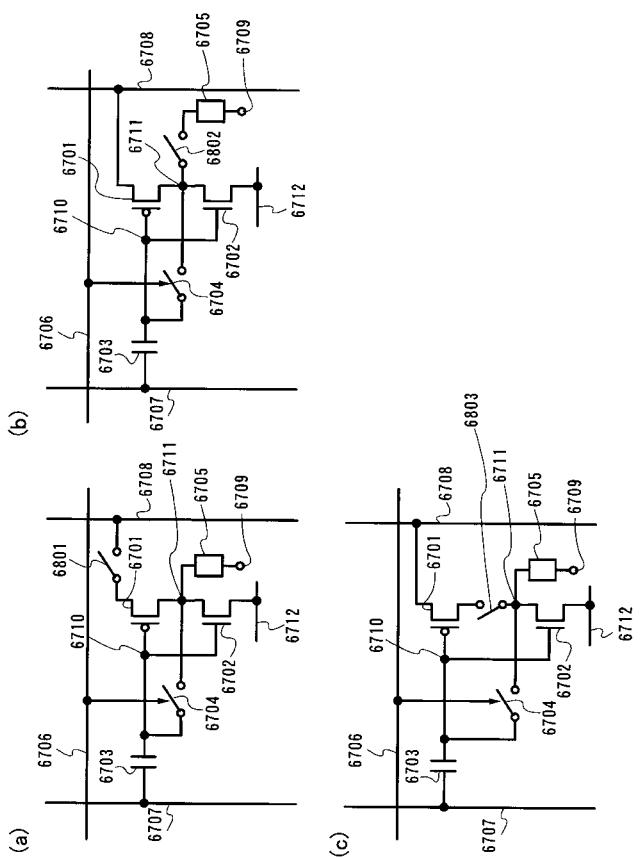
【図 6 6】



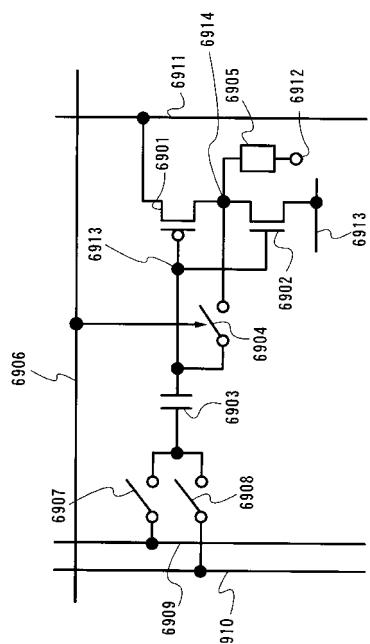
【図 6 7】



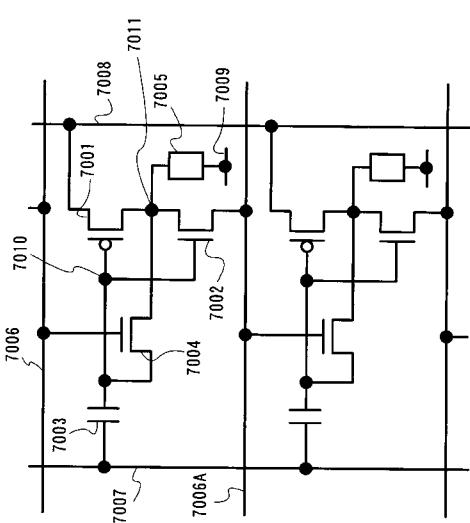
【図 6 8】



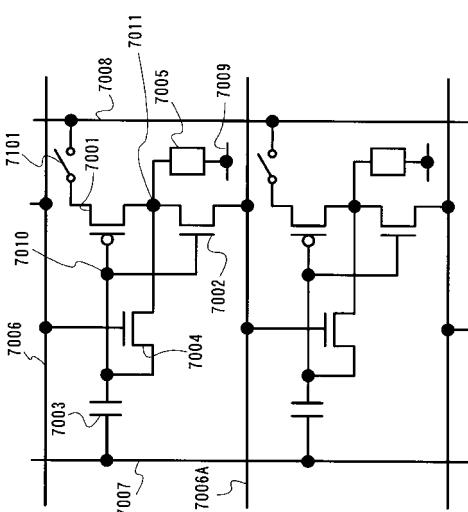
【図 6 9】



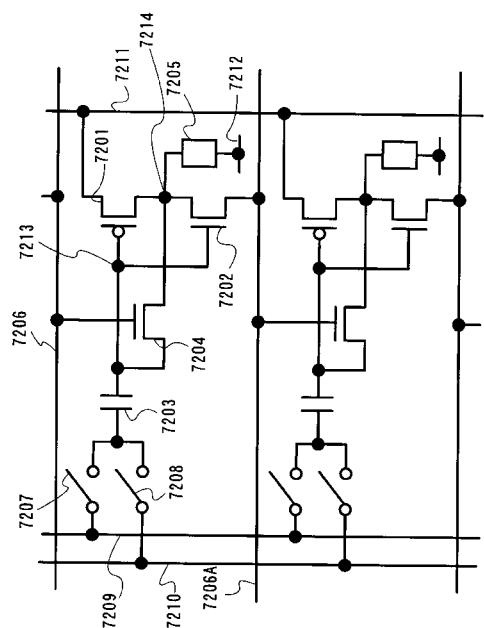
【図 7 0】



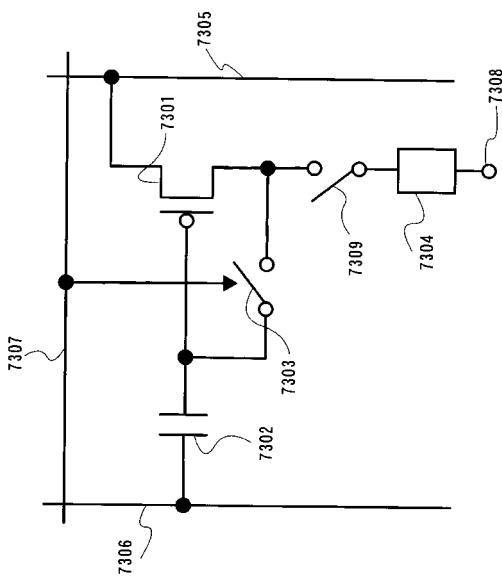
【図 7 1】



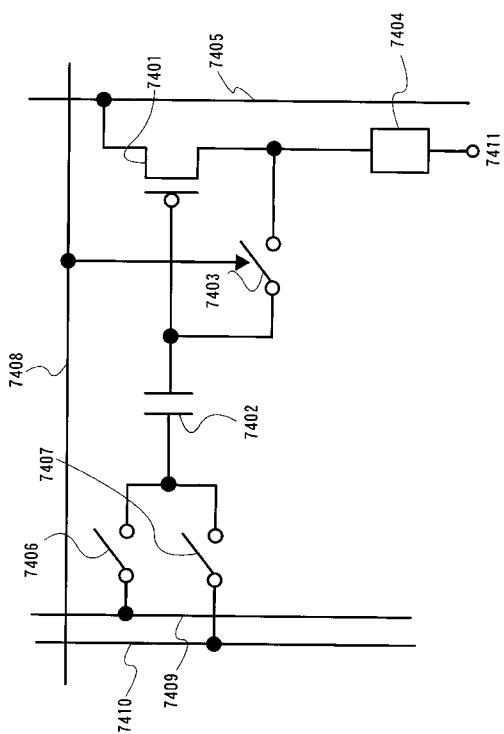
【図 7 2】



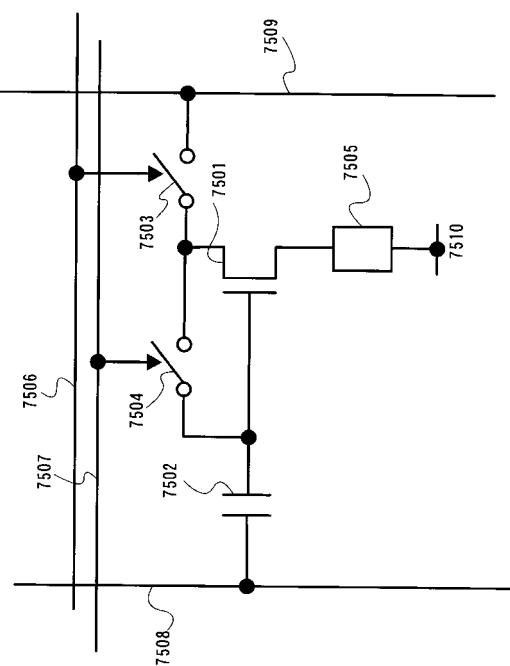
【図 7 3】



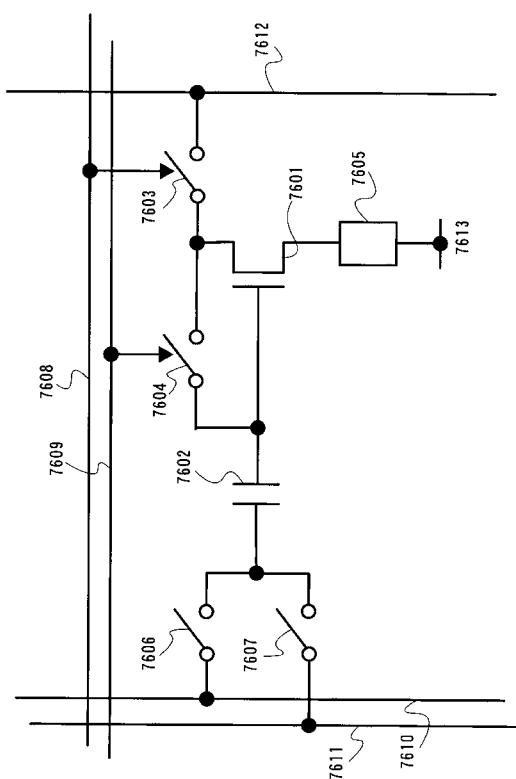
【図 7 4】



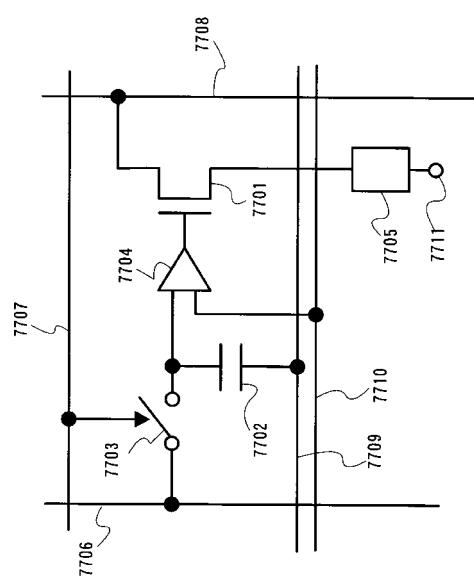
【図 7 5】



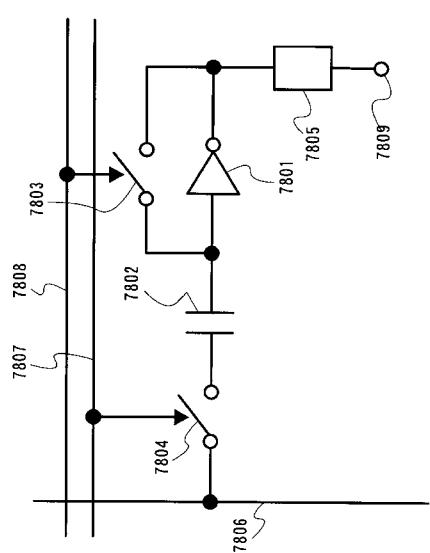
【図 7 6】



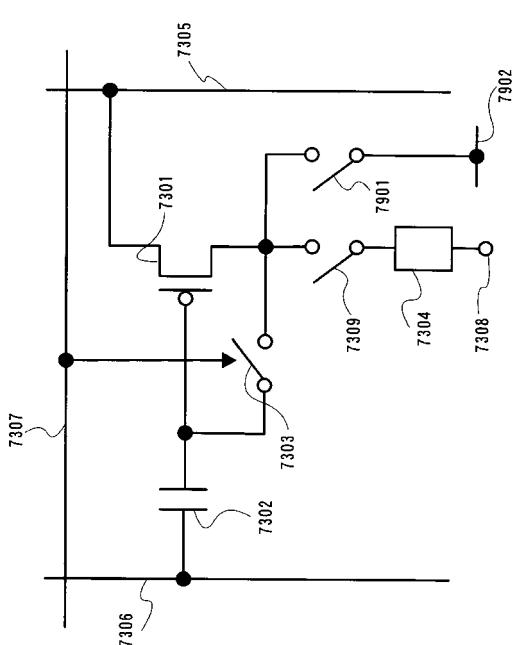
【図 7 7】



【図 7 8】



【図 7 9】



フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
H 01 L 27/32 (2006.01)	G 09 G 3/22	E
	G 09 G 3/22	H
	G 09 G 3/20	6 2 4 B
	G 09 G 3/20	6 4 1 A
	G 09 F 9/30	3 6 5 Z
	G 09 F 9/30	3 3 8

F ターム(参考) 5C380 AA01 AA02 AB06 AB08 BA01 BA12 BA13 BA19 BA20 BA21
BA38 BB02 BB09 BB15 BB22 BD08 BD09 CA08 CA12 CA54
CB01 CB09 CB14 CC01 CC02 CC27 CC30 CC35 CC41 CC54
CC55 CC61 CC63 CD012 CD013 CD014 CD015 CD024 CF23 DA07
DA30