

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)公開番号
特開2023-138318
(P2023-138318A)

(43)公開日 令和5年10月2日(2023.10.2)

(51)国際特許分類	F I	テーマコード (参考)
H 0 1 L 21/822 (2006.01)	H 0 1 L 27/04	H 5 F 0 3 8
H 0 1 L 21/8234 (2006.01)	H 0 1 L 27/06	1 0 2 A 5 F 0 4 8
H 0 1 L 27/06 (2006.01)	H 0 1 L 27/06	3 1 1 B 5 G 0 5 3
H 0 2 H 7/20 (2006.01)	H 0 2 H 7/20	F

審査請求 未請求 請求項の数 11 O L (全17頁)

(21)出願番号 特願2022-209355(P2022-209355)	(71)出願人 715010864 エイブリック株式会社 長野県北佐久郡御代田町大字御代田 4 1 0 6 番地 7 3
(22)出願日 令和4年12月27日(2022.12.27)	
(31)優先権主張番号 特願2022-43270(P2022-43270)	
(32)優先日 令和4年3月18日(2022.3.18)	
(33)優先権主張国・地域又は機関 日本国(JP)	(72)発明者 津村 和宏 東京都港区三田三丁目 9 番 6 号 エイブ リック株式会社内
	F ターム (参考) 5F038 AV04 AV05 AV06 BH06 BH07 BH13 5F048 AB10 AC01 AC10 BA01 BG12 CC06 CC09 CC15 5G053 AA11 CA05 EC02

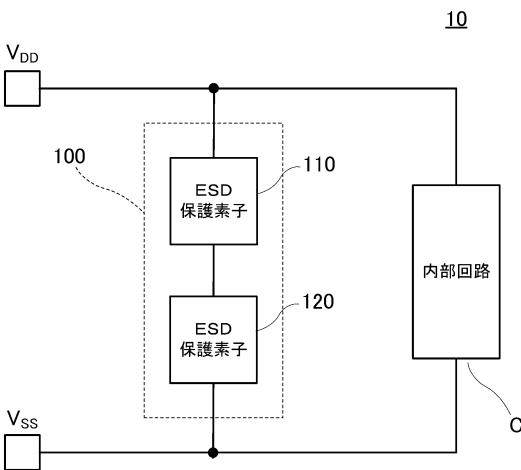
(54)【発明の名称】 E S D 保護回路及び半導体装置

(57)【要約】

【課題】被保護回路の動作電圧及び破壊電圧に応じた E S D 保護回路の提供。

【解決手段】 V_{DD} 端子と V_{SS} 端子との間に接続され、動作電圧で動作し、かつ破壊電圧以上で破壊される内部回路Cと並列に接続して内部回路Cを静電気放電から保護する E S D 保護回路 1 0 0 であって、直列に接続されている複数の E S D 保護素子 1 1 0 , 1 2 0 を有し、複数の E S D 保護素子 1 1 0 , 1 2 0 は、トランジスタ、ダイオード素子又はこれらの組合せであり、動作電圧よりも高い電圧における複数の E S D 保護素子 1 1 0 , 1 2 0 の電流 - 電圧特性の総和は、内部回路Cを保護し得る放電電流値以上になるまで、動作電圧よりも高くかつ破壊電圧よりも低い。

【選択図】図 1



10

【特許請求の範囲】**【請求項 1】**

第 1 の端子と第 2 の端子との間に接続され、動作電圧で動作し、かつ破壊電圧以上で破壊される被保護回路と並列に接続して前記被保護回路を静電気放電から保護する ESD 保護回路であって、

直列に接続されている複数の ESD 保護素子を有し、

前記複数の ESD 保護素子は、トランジスタ、ダイオード素子又はこれらの組合せであり、

前記動作電圧よりも高い電圧における前記複数の ESD 保護素子の電流 - 電圧特性の総和は、前記被保護回路を保護し得る放電電流値以上になるまで、前記動作電圧よりも高くかつ前記破壊電圧よりも低いことを特徴とする ESD 保護回路。

10

【請求項 2】

前記複数の ESD 保護素子の電流 - 電圧特性の総和における降伏電圧は、前記動作電圧よりも高い、請求項 1 に記載の ESD 保護回路。

【請求項 3】

前記複数の ESD 保護素子は、前記トランジスタを含み、

前記複数の ESD 保護素子の電流 - 電圧特性の総和における保持電圧は、前記動作電圧よりも高い、請求項 1 に記載の ESD 保護回路。

【請求項 4】

前記トランジスタは、MOS トランジスタ又はバイポーラトランジスタである、請求項 1 に記載の ESD 保護回路。

20

【請求項 5】

前記 MOS トランジスタは、N チャネル又は P チャネルであって、他の前記 ESD 保護素子とは耐圧が同等又は異なる、請求項 4 に記載の ESD 保護回路。

【請求項 6】

前記複数の ESD 保護素子は、N チャネルの前記 MOS トランジスタ及び P チャネルの前記 MOS トランジスタのいずれも含む、請求項 5 に記載の ESD 保護回路。

【請求項 7】

前記 MOS トランジスタが DMOS 構造である、請求項 4 に記載の ESD 保護回路。

【請求項 8】

前記複数の ESD 保護素子は、前記トランジスタ及び前記ダイオード素子のいずれも含む、請求項 1 に記載の ESD 保護回路。

30

【請求項 9】

前記ダイオード素子は、他の前記 ESD 保護素子とは耐圧が同等又は異なる、請求項 1 に記載の ESD 保護回路。

【請求項 10】

前記複数の ESD 保護素子のうち少なくとも 1 つの前記 ESD 保護素子の降伏電圧が他の前記 ESD 保護素子の降伏電圧と異なる、請求項 1 に記載の ESD 保護回路。

【請求項 11】

請求項 1 から 10 のいずれかに記載の ESD 保護回路と、前記 ESD 保護回路により静電気放電から保護される被保護回路とが並列に接続されていることを特徴とする半導体装置。

40

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、ESD 保護回路及び半導体装置に関する。

【背景技術】**【0002】**

半導体集積回路は、静電気放電 (ESD : Electro-Static Discharge) に弱く、容易に破壊されるおそれがある。具体的には、MOS (Metal-Oxide-Semiconductor)

50

構造を有する素子が半導体集積回路に含まれていれば、ゲート絶縁膜破壊などのような電界的破壊を発生させることが多い。このため、半導体集積回路は、静電気放電から内部回路を保護するためのESD保護回路を備えることが多い。

【0003】

ESD保護回路としては、例えば、降伏現象を利用したダイオード型ESD保護回路、NMOS（NチャネルMOS）トランジスタのスナッチバック動作を利用したgg（gate grounded）NMOS型ESD保護回路などが挙げられる。

【0004】

ダイオード型ESD保護回路としては、例えば、内部回路と接続された外部接続端子と電源供給線などとの間に2以上の直列接続のダイオード列を接続することにより、ダイオードの個数に比例させて外部接続端子の許容される電圧範囲を拡大させるものが提案されている（特許文献1参照）。

【0005】

ggNMOS型ESD保護回路としては、例えば、複数の異なる電源電圧の電源端子間にそれぞれESD保護素子を接続することにより、レイアウト面積を小さくできるESD保護回路が提案されている（特許文献2参照）。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2003-23084号公報

【特許文献2】特開2011-181848号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

そこで、本発明の一つの側面では、被保護回路の動作電圧及び破壊電圧に応じたESD保護回路を提供することを目的とする。

【課題を解決するための手段】

【0008】

本発明の一実施形態におけるESD保護回路は、

第1の端子と第2の端子との間に接続され、動作電圧で動作し、かつ破壊電圧以上で破壊される被保護回路と並列に接続して前記被保護回路を静電気放電から保護するESD保護回路であって、

直列に接続されている複数のESD保護素子を有し、

前記複数のESD保護素子は、トランジスタ、ダイオード素子又はこれらの組合せであり、

前記動作電圧よりも高い電圧における前記複数のESD保護素子の電流 - 電圧特性の総和は、前記被保護回路を保護し得る放電電流値以上になるまで、前記動作電圧よりも高くかつ前記破壊電圧よりも低い。

【発明の効果】

【0009】

本発明の一つの側面によれば、被保護回路の動作電圧及び破壊電圧に応じたESD保護回路を提供することができる。

【図面の簡単な説明】

【0010】

【図1】図1は、本発明におけるESD保護回路及び半導体装置の一例を示す回路図である。

【図2】図2は、第1の実施形態におけるESD保護回路及び半導体装置の一例を示す回路図である。

【図3】図3は、ESD保護素子が低耐圧MOSトランジスタである場合の電流 - 電圧特性の一例を示すグラフである。

10

20

30

40

50

【図 4】図 4 は、第 1 の実施形態における E S D 保護回路の電流 - 電圧特性のいくつかの例を示すグラフである。

【図 5】図 5 は、第 2 の実施形態における E S D 保護回路及び半導体装置を示す回路図である。

【図 6 A】図 6 A は、第 2 の実施形態における高耐圧 N M O S トランジスタ及び低耐圧トランジスタの電流 - 電圧特性を示すグラフである。

【図 6 B】図 6 B は、第 2 の実施形態における高耐圧 N M O S トランジスタ、低耐圧トランジスタ及び E S D 保護回路の電流 - 電圧特性を示すグラフである。

【図 7】図 7 は、第 2 の実施形態における高耐圧 N M O S トランジスタの構造の一例を示す概略断面図である。

10

【図 8】図 8 は、第 2 の実施形態における高耐圧 N M O S トランジスタの構造の別の一例を示す概略断面図である。

【図 9】図 9 は、第 2 の実施形態の変形例における E S D 保護回路及び半導体装置を示す回路図である。

【図 10】図 10 は、第 2 の実施形態の変形例における高耐圧 N M O S トランジスタ、低耐圧トランジスタ及び E S D 保護回路の電流 - 電圧特性を示すグラフである。

【図 11】図 11 は、第 3 の実施形態における E S D 保護回路及び半導体装置を示す回路図である。

【図 12】図 12 は、第 3 の実施形態における E S D 保護回路の電流 - 電圧特性のいくつかの例を示すグラフである。

20

【図 13】図 13 は、従来における低耐圧の E S D 保護回路の電流 - 電圧特性を示すグラフである。

【図 14】図 14 は、従来における低耐圧及び高耐圧の E S D 保護回路の電流 - 電圧特性を示すグラフである。

【発明を実施するための形態】

【0011】

g g N M O S 型 E S D 保護回路は、N M O S (N チャネル M O S) トランジスタのゲート及びソースが接地電位に接続されており、ドレインに接続された端子にプラスサージ電圧が印加されると、N M O S トランジスタのドレイン端がブレイクダウンする。このブレイクダウンにより発生したアバランシェ電流と基板抵抗との積が、P N 接合の拡散障壁電圧 (約 0 . 6 V) を超えると、寄生の N P N バイポーラトランジスタが動作する。この寄生バイポーラトランジスタの動作により、ドレイン - ソース間に放電電流が流れ始めると、ドレイン電圧は保持電圧 V_h まで一旦低下し、放電電流が徐々に大きくなるにつれて電圧も高くなる。

30

【0012】

このようなスナップバック動作を利用する E S D 保護回路は、スナップバック動作におけるトリガ電圧及び保持電圧を、被保護回路の動作電圧よりも高くかつ破壊電圧よりも低く設定しないと、被保護回路を保護できない場合がある。また、N M O S トランジスタにおける寄生ダイオードの降伏電圧は、被保護回路の動作時におけるリーク電流を低減できる点で、動作電圧よりも高く設定することが好ましい。

40

なお、動作電圧とは、被保護回路が動作できる所定の電圧であり、例えば仕様書に記載の最小動作電圧から最大動作電圧までの範囲内に限らず、実質的に動作する電圧の範囲内も含む。具体的には、実質的な最大動作電圧が 30 V、E S D 保護回路における最低起動電圧が 35 V であるにもかかわらず、仕様書では最大動作電圧が 40 V と規定されている場合には、実質的に動作する電圧を考慮する。また、破壊電圧とは、被保護回路が破壊し得る電圧をいう。降伏電圧よりも高くなるトリガ電圧は、被保護回路の破壊電圧よりも高いと被保護回路を破壊してしまう。保持電圧が最大動作電圧よりも低くなり、寄生の N P N バイポーラトランジスタが一旦動作すると、サージ電圧の印加後も引き続き寄生の N P N バイポーラトランジスタによる電流が流れ続けてしまう。

【0013】

50

降伏電圧、トリガ電圧及び保持電圧の全てを、被保護回路の最大動作電圧よりも高く、かつ被保護回路の破壊電圧よりも低く設定することは、低耐圧の被保護回路に対しては実現が容易であるが、高耐圧の被保護回路に対しては実現が困難なところがある。

【0014】

例えば、最大動作電圧が5Vで破壊電圧が12Vである低耐圧の被保護回路に対し、図13のLで示すように、降伏電圧BV、トリガ電圧Vtrig及び保持電圧Vhの全てを、被保護回路の最大動作電圧Vmaxよりも高くかつ破壊電圧Vitよりも低く設定することは容易である。

具体的には、耐圧が5VのNMOSトランジスタをggNMOS型ESD保護回路に適用すると、降伏電圧BVが9V、トリガ電圧Vtrigが11V、保持電圧Vhが6Vになり、これら3つのパラメータを最大動作電圧Vmaxの5Vよりも高くかつ破壊電圧Vitの12Vよりも低くすることは容易である。このような低耐圧のESD保護回路は、レイアウト面積を70 μ m \times 70 μ m程度にすることができる。

【0015】

次に、最大動作電圧Vmaxが100Vで破壊電圧Vitが140Vである高耐圧の被保護回路に対し、寄生バイポーラトランジスタのコレクタ-エミッタ間抵抗を高くする構造を採用する場合を考える。この場合には、降伏電圧BVを120Vに設定すると、図14のAで示すようになり、図14のスケールで示した図13のLと比較すると、保持電圧Vhは十分高くないことが多い。

【0016】

保持電圧Vhを被保護回路の最大動作電圧Vmaxよりも高くしようとすると、スナップバック動作が生じて、寄生バイポーラトランジスタのコレクタ-エミッタ間抵抗が高くなりすぎて大きな放電電流を流せなくなるため、図14のBで示すように、被保護回路が破壊されてしまう。これに対し、寄生ダイオードの降伏電圧を高くすると、図14のCで示すように、トリガ電圧が被保護回路の破壊電圧よりも高くなってしまい、被保護回路が破壊されてしまう。

【0017】

ゲート幅Wを広くすると、図14のDで示すように、スナップバック動作が生じることなく徐々に電圧が高くなりながら電流が1.3Aに達する。このようにするとESD保護回路として機能することができるが、最大動作電圧が100V程度の高耐圧の被保護回路に対し、レイアウト面積が400 μ m \times 400 μ mを超えるような大きさになってしまう。

【0018】

そこで、本発明の一実施態様のESD保護回路は、被保護回路の動作電圧及び破壊電圧に応じて、複数のESD保護素子を組み合わせるようにした。

【0019】

以下、本発明の実施形態について、図面を参照しながら詳細に説明する。

なお、図面においては、同一構成部分には同一符号を付し、重複した説明を省略する場合がある。

また、図面に示すX軸、Y軸及びZ軸は互いに直交するものとする。X軸方向を「幅方向」、Y軸方向を「奥行き方向」、Z軸方向を「高さ方向」又は「厚さ方向」と称する場合がある。各膜の+Z方向側の面を「表面」又は「上面」、-Z方向側の面を「裏面」又は「下面」と称する場合がある。

さらに、図面は模式的なものであり、幅、奥行き及び厚さの比率などは示したとおりではない。複数の膜若しくは層、又はこれらを構造的に組み合わせて得られる半導体素子の数量、位置、形状、構造、大きさなどは、以下に示す実施形態に限定されず、本発明を実施する上で好ましい数量、位置、形状、構造、大きさなどにすることができる。

【0020】

図1は、本発明におけるESD保護回路及び半導体装置の一例を示す回路図である。

図1に示すように、本発明の一実施態様の半導体装置10は、ESD保護回路100と

10

20

30

40

50

、内部回路Cとを有する。

本発明の一実施態様のESD保護回路100は、第1の端子としてのV_{DD}端子と第2の端子としてのV_{SS}端子との間に接続されており、内部回路Cと並列に接続されている。

【0021】

内部回路Cは、ESD保護回路100により静電気放電から保護される被保護回路であり、V_{DD}端子と接地電位のV_{SS}端子との間に印加されている動作電圧で動作する。内部回路Cは、所定の最大動作電圧V_{max}以下の動作電圧で動作し、かつ所定の破壊電圧V_{it}以上で破壊され得る。

【0022】

ESD保護回路100は、内部回路Cが静電気放電で破壊しないように保護する回路である。このESD保護回路100は、直列に接続されている複数のESD保護素子110、120を有する。

ESD保護素子110、120は、MOSトランジスタ、ダイオード素子又はこれらの組合せである。つまり、ESD保護素子110、120は、いずれもMOSトランジスタとしてもよく、いずれもダイオード素子としてもよく、MOSトランジスタ及びダイオード素子の組合せとしてもよい。ESD保護素子110、120を適宜選択することにより、内部回路Cを保護し得る放電電流の範囲において、ESD保護素子110、120の電流-電圧特性の総和を、内部回路Cの動作電圧よりも高くかつ破壊電圧よりも低くしている。

これにより、ESD保護回路100は、内部回路Cの動作電圧及び破壊電圧に応じた電流-電圧特性を得ることができ、内部回路Cの動作を妨げることなく静電気放電による破壊を回避することができる。

【0023】

なお、図1では、複数のESD保護素子をESD保護素子110、120の2つとしたが、これに限ることなく、少なくとも2以上のESD保護素子を組み合わせるようにしてもよい。

また、複数のESD保護素子の電流-電圧特性の総和を内部回路の動作電圧よりも高くかつ破壊電圧よりも低くできれば、MOSトランジスタは、NチャネルであってもPチャネルであってもよく、他のESD保護素子とは耐圧が同等であっても相違してもよい。ダイオード素子は、他のESD保護素子とは耐圧が同等であっても相違してもよい。

【0024】

これらのバリエーションを説明するため、以下では3つの実施形態を挙げる。

第1の実施形態では、低耐圧NMOSトランジスタと低耐圧PMOS（PチャネルMOS）トランジスタを組み合わせたESD保護回路について説明する。

第2の実施形態及びその変形例では、高耐圧NMOSトランジスタと低耐圧NMOSトランジスタを組み合わせたESD保護回路について説明する。

第3の実施形態では、高耐圧ダイオード素子と低耐圧MOSトランジスタを組み合わせたESD保護回路について説明する。

【0025】

なお、各実施形態では、「低耐圧」を5V近傍の電圧とし、「高耐圧」を100V近傍の電圧とするが、これに限ることはない。

また、各実施形態における「内部回路を保護し得る放電電流値」は、HBM（Human Body Model）で2kVの静電気放電から保護するために1.3Aの放電電流を流すことができればよいことから1.3Aとするが、これに限ることはない。

【0026】

（第1の実施形態）

図2は、第1の実施形態におけるESD保護回路及び半導体装置の一例を示す回路図である。

第1の実施形態における半導体装置20のESD保護回路200は、低耐圧NMOSト

10

20

30

40

50

ランジスタ及び低耐圧PMOSトランジスタから適宜選択して計12個になるようにして、これらを直列に接続して形成されている。

なお、図2では、ESD保護回路200が低耐圧NMOSトランジスタ及び低耐圧PMOSトランジスタの両方を直列に接続して形成されているものを示す。低耐圧NMOSトランジスタ及び低耐圧PMOSトランジスタは、いわゆるダイオード接続をしており、ソース端子にゲート端子がそれぞれ接続されている。

また、図2では、 V_{DD} 端子側に低耐圧NMOSトランジスタを配置し、 V_{SS} 端子側に低耐圧PMOSトランジスタを配置しているが、 V_{DD} 端子側に低耐圧PMOSトランジスタを配置し、 V_{SS} 端子側に低耐圧NMOSトランジスタを配置してもよい。どちらの場合も同等の降伏電圧BV、トリガ電圧 V_{trig} 及び保持電圧 V_h が得られる。ただし、ESD耐量は、並び順によって変わる場合があるので好ましい並び順を適宜選択する。

10

さらに、並び順については、MOSトランジスタのNチャネルかPチャネルだけではなく、各ESD保護素子の並び順によってESD耐量が異なる場合があるため、適宜選択することが好ましい。

【0027】

図3は、ESD保護素子が低耐圧MOSトランジスタである場合の電流 - 電圧特性の一例を示すグラフである。

ESD保護素子が低耐圧NMOSトランジスタである場合には、その電流 - 電圧特性は図3中の L_n に示すようになる。また、ESD保護素子が低耐圧PMOSトランジスタである場合には、図3中の L_p に示すようになる。

20

L_n 及び L_p を比較すると、NMOSトランジスタのほうがPMOSトランジスタよりもスナップバック動作が大きく保持電圧 V_h が低くなり、1.3Aを流す電圧が低くなる。また、その逆であるが、PMOSトランジスタのほうがNMOSトランジスタよりもスナップバック動作が小さく保持電圧 V_h が高くなり、1.3Aを流す電圧が高くなる。

【0028】

次に、低耐圧NMOSトランジスタと低耐圧PMOSトランジスタを組み合わせたESD保護回路200の電流 - 電圧特性について説明する。

図4は、第1の実施形態におけるESD保護回路の電流 - 電圧特性のいくつかの例を示すグラフである。図4中の $L_1 \sim L_5$ は、低耐圧NMOSトランジスタ及び低耐圧PMOSトランジスタをそれぞれ以下の数量で直列に接続して形成したESD保護回路200の電流 - 電圧特性である。

30

L_1 ：低耐圧NMOSトランジスタ12個

L_2 ：低耐圧NMOSトランジスタ9個、低耐圧PMOSトランジスタ3個

L_3 ：低耐圧NMOSトランジスタ6個、低耐圧PMOSトランジスタ6個

L_4 ：低耐圧NMOSトランジスタ3個、低耐圧PMOSトランジスタ9個

L_5 ：低耐圧PMOSトランジスタ12個

【0029】

図4に示すように、ESD保護回路200の電流 - 電圧特性は、低耐圧NMOSトランジスタの割合が大きいほどスナップバック動作が大きくなるため、保持電圧 V_h が低くなる。

40

これにより、低耐圧NMOSトランジスタの割合が大きいESD保護回路200は、保持電圧 V_h が内部回路Cの動作電圧よりも高ければ、HBMで2kVの静電気放電から保護するために必要な1.3Aの放電電流を流せる電圧を内部回路Cの破壊電圧よりも容易に低くできる。さらに、ESD保護回路200は、保持電圧 V_h を内部回路Cの動作電圧近傍まで低く調整できれば、静電気放電による放電電圧が内部回路Cの破壊電圧に近づく前に放電電流が流れやすくなり、静電気放電から内部回路Cをより確実に保護することができる。

【0030】

このような観点から、たとえば、内部回路Cの破壊電圧が140Vであり、内部回路C

50

の動作電圧が70Vの場合には、図4中のL1で示した電流 - 電圧特性が最適であるため、ESD保護回路200は、低耐圧NMOSトランジスタ12個により形成されていることが好ましい。また、内部回路Cの動作電圧が90Vの場合には、図4中のL3で示した電流 - 電圧特性が最適であるため、ESD保護回路200は、低耐圧NMOSトランジスタ6個及び低耐圧PMOSトランジスタ6個により形成されていることが好ましい。さらに、内部回路Cの動作電圧が100Vの場合には、図4中のL4で示した電流 - 電圧特性が最適であるため、ESD保護回路200は、低耐圧NMOSトランジスタ3個及び低耐圧PMOSトランジスタ9個により形成されていることが好ましい。

【0031】

このように、第1の実施形態におけるESD保護回路200は、低耐圧NMOSトランジスタと低耐圧PMOSトランジスタを組み合わせることにより、内部回路Cの動作電圧及び破壊電圧に応じた電流 - 電圧特性を得ることができる。特に、ESD保護回路200は、低耐圧NMOSトランジスタの割合を大きくするとスナップバック動作が大きくなることから、内部回路Cを保護するために必要な放電電流をより低い電圧で流すことができるため、内部回路Cをより確実に保護することができる。

なお、第1の実施形態では12個の低耐圧MOSトランジスタを用いたが、その個数に限ることなく、複数のMOSトランジスタを用いて最適な電流 - 電圧特性が得られればよい。

【0032】

(第2の実施形態)

図5は、第2の実施形態におけるESD保護回路及び半導体装置を示す回路図である。

図5に示すように、第2の実施形態における半導体装置30は、第1の実施形態における半導体装置20のESD保護回路200を、耐圧が相違する2個のNMOSトランジスタで形成されたESD保護回路300に置き換えた以外は、第1の実施形態と同様である。このため、以下ではESD保護回路300についての詳細を説明する。

【0033】

ESD保護回路300は、高耐圧NMOSトランジスタ310及び低耐圧NMOSトランジスタ320を直列に接続して形成されている。

高耐圧NMOSトランジスタ310は、 V_{DD} 端子にドレイン310Dが接続されている。

低耐圧NMOSトランジスタ320は、高耐圧NMOSトランジスタ310のソース310S及びゲート310Gにドレイン320Dが接続され、ソース320S及びゲート320Gが V_{SS} 端子に接続されている。

なお、図5では、 V_{DD} 端子側に高耐圧NMOSトランジスタ310を配置し、 V_{SS} 端子側に低耐圧NMOSトランジスタ320を配置しているが、 V_{DD} 端子側に低耐圧NMOSトランジスタ320を配置し、 V_{SS} 端子側に高耐圧NMOSトランジスタ310を配置してもよい。どちらの場合も同等の降伏電圧BV、トリガ電圧 V_{trig} 及び保持電圧 V_h が得られる。ただし、ESD耐量は、並び順によって変わる場合があるので好ましい並び順を適宜選択する。

【0034】

図6Aは、第2の実施形態における高耐圧NMOSトランジスタ及び低耐圧トランジスタの電流 - 電圧特性を示すグラフである。

図6AのH1に示すように、高耐圧NMOSトランジスタ310は、コレクタ - エミッタ間抵抗を高くすることにより、降伏電圧BVが110Vに設定されている。これにより、高耐圧NMOSトランジスタ310は、降伏電圧BVが内部回路Cの最大動作電圧 V_{max} である100Vより高いため、内部回路Cの動作時におけるリーク電流を低減することができる。

【0035】

また、高耐圧NMOSトランジスタ310は、ゲート幅Wを広くしているためダイオードのような電流 - 電圧特性となり、内部回路Cの破壊電圧 V_{it} である140Vより低い

10

20

30

40

50

範囲で電流が 1.3 A に達するようにしている。言い換えると、高耐圧 NMOS トランジスタ 310 の電流 - 電圧特性は、図 14 の D で示した電流 - 電圧特性を 10 V 低くシフトさせたものであり、製造プロセスの変更なく実現できる。また、高耐圧 NMOS トランジスタ 310 は、図 14 の D で示した電流 - 電圧特性の NMOS トランジスタよりも、電流 - 電圧特性を 10 V 低くシフトさせた分だけレイアウト面積を小さくすることができ、 $200\text{ }\mu\text{m} \times 200\text{ }\mu\text{m}$ 程度にすることができる。

【0036】

図 6 A の L に示すように、低耐圧 NMOS トランジスタ 320 の電流 - 電圧特性は、図 13 及び図 14 の L で示した電流 - 電圧特性と同様である。

したがって、低耐圧 NMOS トランジスタ 320 のレイアウト面積は、 $70\text{ }\mu\text{m} \times 70\text{ }\mu\text{m}$ 程度にすることができる。

【0037】

ESD 保護回路 300 の電流 - 電圧特性は、高耐圧 NMOS トランジスタ 310 の電流 - 電圧特性に、低耐圧 NMOS トランジスタ 320 の電流 - 電圧特性を加算したものになり、図 6 B の (H1 + L) で示すようになる。つまり、この (H1 + L) で示す ESD 保護回路 300 の電流 - 電圧特性は、静電気放電から保護するために必要な 1.3 A に達するまで、最大動作電圧 V_{max} である 100 V よりも高くかつ破壊電圧 V_{it} である 140 V よりも低い範囲内となる。これにより、ESD 保護回路 300 は、内部回路 C を静電気放電から保護することができる。

【0038】

また、ESD 保護回路 300 のレイアウト面積は、高耐圧 NMOS トランジスタ 310 の $200\text{ }\mu\text{m} \times 200\text{ }\mu\text{m}$ ($40,000\text{ }\mu\text{m}^2$) に、低耐圧 NMOS トランジスタ 320 の $70\text{ }\mu\text{m} \times 70\text{ }\mu\text{m}$ ($4,900\text{ }\mu\text{m}^2$) を加えて求めることができる。すると、図 14 の D で示した電流 - 電圧特性に係る MOS トランジスタのレイアウト面積である $400\text{ }\mu\text{m} \times 400\text{ }\mu\text{m}$ ($160,000\text{ }\mu\text{m}^2$) に対し、ESD 保護回路 300 のレイアウト面積のほうが 70 % ほど小さくすることができる。

【0039】

このように、ESD 保護回路 300 は、内部回路 C を静電気放電から保護することができ、かつ高耐圧の内部回路 C であってもレイアウト面積を小さくすることができる。

【0040】

次に、高耐圧 NMOS トランジスタ 310 の構造の例について、図 7 及び図 8 を参照しながら説明する。

【0041】

図 7 は、第 2 の実施形態における高耐圧 NMOS トランジスタの構造の一例を示す概略断面図である。

図 7 に示したように、高耐圧 NMOS トランジスタ 310 は、いわゆる DMOS (Double-diffused MOS) 構造である。

【0042】

具体的には、N 型の半導体基板 311 の表面には、フィールド酸化膜としての LOCOS (Local Oxidation of Silicon) 312 が形成されている。ゲート電極 313 は、LOCOS 312 の一部を覆うように、ポリシリコンで形成されている。

半導体基板 311 の上部には、平面視した際に LOCOS 312 及びゲート電極 313 を挟むように、ドレイン領域 314 及びソース領域 315 が N 型高濃度領域としてそれぞれ形成されている。N 型のドリフト層 316 は、半導体基板 311 の内部において、LOCOS 312 及びドレイン領域 314 のそれぞれの底面及び側面の周囲に接するように形成されている。P 型のウェル層 317 は、ソース領域 315 の底面及び側面の周囲に接するように形成されている。

ゲート電極 313、ドレイン領域 314 及びソース領域 315 は、それぞれゲート 310G、ドレイン 310D 及びソース 310S に接続されている。

【0043】

10

20

30

40

50

高耐圧NMOSTランジスタ310がこのようなDMOS構造であると、LOCOS312のY軸方向における長さにより耐圧を容易に調整できる点で有利である。

【0044】

また、図8に示すように、N型のドリフト層316の底面の一部に接する、又は少なくとも一部が重なるようにN型の低濃度領域318が形成されている構造としてもよい。図8に示す構造であると、LOCOS312のY軸方向における長さを変えずに、低濃度領域318のY軸方向における長さにより耐圧を調整することができるとともに、サージ電圧耐量を向上させることができる。

【0045】

なお、本実施形態では、高耐圧NMOSTランジスタの構造をDMOS構造としたが、これに限ることなく、例えば、LDMOS (Laterally Double Diffused MOS) 構造、LDD (Lightly Doped Drain) 構造などとしてもよい。

また、各MOSTランジスタには、サリサイドブロック領域を形成してもよい。

さらに、本実施形態では、高耐圧及び低耐圧のMOSTランジスタとしてNチャネルのMOSTランジスタを用いたが、これに限ることなく、高耐圧及び低耐圧の少なくともいずれかをPチャネルのMOSTランジスタとしてもよい。これにより、保持電圧 V_h を高くすることができる。

【0046】

(第2の実施形態の変形例)

図9は、第2の実施形態の変形例におけるESD保護回路及び半導体装置を示す回路図である。

図9に示すように、第2の実施形態の変形例における半導体装置40は、図5に示したESD保護回路300において高耐圧NMOSTランジスタ310の降伏電圧 BV を100Vに設定し、低耐圧NMOSTランジスタ320と V_{SS} 端子との間に低耐圧NMOSTランジスタ330を更に直列接続した以外は、半導体装置30と同様である。

また、低耐圧NMOSTランジスタ420、430は、低耐圧NMOSTランジスタ320と同様の構造及び電流 - 電圧特性である。

すなわち、第2の実施形態の変形例におけるESD保護回路400は、第2の実施形態のESD保護回路300において、高耐圧NMOSTランジスタ310を100Vに降伏電圧 BV を設定した高耐圧NMOSTランジスタ410に置き換えるとともに、低耐圧NMOSTランジスタ320と同様の低耐圧NMOSTランジスタ430を、低耐圧NMOSTランジスタ320と V_{SS} 端子との間に更に直列接続した以外は、ESD保護回路300と同様である。

【0047】

図10は、第2の実施形態の変形例における高耐圧NMOSTランジスタ、低耐圧トランジスタ及びESD保護回路の電流 - 電圧特性を示すグラフである。

図10において、H2は降伏電圧 BV を100Vに設定した高耐圧NMOSTランジスタ410の電流 - 電圧特性を示し、Lは低耐圧NMOSTランジスタ420及び低耐圧NMOSTランジスタ430の電流 - 電圧特性を示す。

【0048】

図10のH2に示すように、高耐圧NMOSTランジスタ410は、コレクタ - エミッタ間抵抗を高耐圧NMOSTランジスタ310よりも低くすることにより、降伏電圧 BV が100Vに設定されている。また、高耐圧NMOSTランジスタ410は、高耐圧NMOSTランジスタ310と同様に、ゲート幅 W を広くしているが、高耐圧NMOSTランジスタ310よりも降伏電圧 BV が低い分だけ狭くしている。言い換えると、高耐圧NMOSTランジスタ410の電流 - 電圧特性は、図14のDで示した電流 - 電圧特性を20V低くシフトさせたものであり、製造プロセスの変更なく実現できる。また、高耐圧NMOSTランジスタ410は、図14のDで示した電流 - 電圧特性のNMOSTランジスタよりも、電流 - 電圧特性を20V低くシフトさせた分だけレイアウト面積を小さくすることができ、 $150\mu\text{m} \times 150\mu\text{m}$ 程度にすることができる。

10

20

30

40

50

【 0 0 4 9 】

低耐圧 N M O S トランジスタ 4 3 0 の電流 - 電圧特性は、低耐圧 N M O S トランジスタ 3 2 0 と同様に、図 6 A 及び図 6 B などの L で示した電流 - 電圧特性である。

したがって、低耐圧 N M O S トランジスタ 4 3 0 のレイアウト面積は、低耐圧 N M O S トランジスタ 3 2 0 と同様に、 $70\mu\text{m} \times 70\mu\text{m}$ 程度にすることができる。

【 0 0 5 0 】

E S D 保護回路 4 0 0 の電流 - 電圧特性は、高耐圧 N M O S トランジスタ 4 1 0 の電流 - 電圧特性に、低耐圧 N M O S トランジスタ 4 2 0 , 4 3 0 の電流 - 電圧特性を加算したものになり、図 1 0 の $(H2 + 2 \times L)$ で示すようになる。つまり、この $(H2 + 2 \times L)$ で示す E S D 保護回路 4 0 0 の電流 - 電圧特性は、 1.3A に達するまで、最大動作電圧 V_{max} である 100V 以上かつ破壊電圧 V_{it} である 140V 以下の範囲内となる。これにより、E S D 保護回路 4 0 0 は、内部回路 C を静電気放電から保護することができる。

10

【 0 0 5 1 】

また、E S D 保護回路 4 0 0 のレイアウト面積は、高耐圧 N M O S トランジスタ 4 1 0 の $150\mu\text{m} \times 150\mu\text{m}$ に、低耐圧 N M O S トランジスタ 3 2 0 , 3 3 0 の $70\mu\text{m} \times 70\mu\text{m}$ をそれぞれ加えて求めることができ、 $32,300\mu\text{m}^2$ となる。すると、図 1 4 の D で示した電流 - 電圧特性に係る M O S トランジスタのレイアウト面積である $400\mu\text{m} \times 400\mu\text{m}$ ($160,000\mu\text{m}^2$) に対し、E S D 保護回路 4 0 0 のレイアウト面積のほうが 80% ほど小さくすることができる。

20

このように、第 2 の実施形態の変形例では、第 2 の実施形態よりも M O S トランジスタの数が増えてもレイアウト面積を小さくすることができる。

【 0 0 5 2 】

(第 3 の実施形態)

図 1 1 は、第 3 の実施形態における E S D 保護回路及び半導体装置を示す回路図である。

図 1 1 に示すように、第 3 の実施形態における E S D 保護回路 5 0 0 及び半導体装置 5 0 は、複数の E S D 保護素子として少なくともダイオード素子を含む。

なお、図 1 1 では、E S D 保護回路 5 0 0 が高耐圧ダイオード素子及び低耐圧 N M O S トランジスタの両方を直列に接続して形成されているものを示す。低耐圧 N M O S トランジスタは、いわゆるダイオード接続をしており、ソース端子にゲート端子がそれぞれ接続されている。

30

【 0 0 5 3 】

次に、複数の E S D 保護素子に高耐圧ダイオード素子が含まれる場合の E S D 保護回路 5 0 0 の電流 - 電圧特性について説明する。

図 1 2 は、第 3 の実施形態における E S D 保護回路の電流 - 電圧特性のいくつかの例を示すグラフである。図 4 中の L 6 ~ L 9 は、高耐圧ダイオード素子、及び低耐圧 N M O S トランジスタ又は低耐圧 P M O S トランジスタをそれぞれ以下の数量で直列に接続して形成した E S D 保護回路 5 0 0 の電流 - 電圧特性である。

L 6 : 高耐圧ダイオード素子 1 個

40

L 7 : 高耐圧ダイオード素子 1 個、低耐圧 N M O S トランジスタ 1 個

L 8 : 高耐圧ダイオード素子 1 個、低耐圧 N M O S トランジスタ 2 個

L 9 : 高耐圧ダイオード素子 1 個、低耐圧 P M O S トランジスタ 2 個

【 0 0 5 4 】

図 1 2 に示すように、E S D 保護回路 5 0 0 の電流 - 電圧特性は、低耐圧 N M O S トランジスタ又は低耐圧 P M O S トランジスタの個数で調整することができる。低耐圧 N M O S トランジスタ及び低耐圧 P M O S トランジスタは、降伏電圧 BV が同等であるが、N チャネルのほうが P チャネルよりもスイッチバック動作が大きい。このため、低耐圧 N M O S トランジスタを用いた E S D 保護回路 5 0 0 は、H B M で 2kV の静電気放電から保護するために必要な 1.3A の放電電流を流せる電圧を低くすることができる。

50

これにより、低耐圧NMOSトランジスタを用いたESD保護回路500は、静電気放電による放電電圧が内部回路Cの破壊電圧に近づく前に放電電流が流れやすくなり、静電気放電から内部回路Cをより確実に保護することができる。

【0055】

このような観点から、たとえば、内部回路Cの破壊電圧が140Vであり、内部回路Cの動作電圧が110Vの場合には、図12中のL7で示した電流 - 電圧特性が最適であるため、ESD保護回路500は、高耐圧ダイオード素子1個及び低耐圧NMOSトランジスタ1個により形成されていることが好ましい。また、内部回路Cの動作電圧が120Vの場合には、図12中のL8で示した電流 - 電圧特性が最適であるため、ESD保護回路500は、高耐圧ダイオード素子1個及び低耐圧NMOSトランジスタ2個により形成されていることが好ましい。さらに、内部回路Cの動作電圧が130Vの場合には、図12中のL9で示した電流 - 電圧特性が最適であるため、ESD保護回路500は、高耐圧ダイオード素子1個及び低耐圧PMOSトランジスタ2個により形成されていることが好ましい。

10

【0056】

このように、第3の実施形態におけるESD保護回路500は、高耐圧ダイオード素子に低耐圧NMOSトランジスタ又は低耐圧PMOSトランジスタを組み合わせることにより、内部回路Cの動作電圧及び破壊電圧に応じた電流 - 電圧特性を得ることができる。特に、ESD保護回路500は、低耐圧NMOSトランジスタの個数を増やすとスナップバック動作が大きくなることから、内部回路Cを保護するために必要な放電電流をより低い電圧で流すことができるため、内部回路Cをより確実に保護することができる。

20

【0057】

なお、第3の実施形態では高耐圧ダイオード素子に低耐圧NMOSトランジスタ又は低耐圧PMOSトランジスタを組み合わせたが、高耐圧ダイオード素子に低耐圧NMOSトランジスタ及び低耐圧PMOSトランジスタを組み合わせてもよい。

また、第3の実施形態では高耐圧ダイオード素子としたが、これに限ることなく、低耐圧ダイオード素子としてもよく、高耐圧ダイオード素子と低耐圧ダイオード素子とを組み合わせてもよい。

【0058】

以上説明したように、本発明の各実施形態におけるESD保護回路は、第1の端子と第2の端子との間に接続されており、動作電圧で動作し、かつ破壊電圧以上で破壊される被保護回路と並列に接続されている。このESD保護回路は直列に接続されている複数のESD保護素子を有し、複数のESD保護素子はトランジスタ、ダイオード素子又はこれらの組合せである。複数のESD保護素子を適宜選択することにより、動作電圧よりも高い電圧における複数のESD保護素子の電流 - 電圧特性の総和を、被保護回路を保護し得る放電電流値以上になるまで、被保護回路の動作電圧よりも高くかつ破壊電圧よりも低くしている。

30

これにより、このESD保護回路は、被保護回路の動作電圧及び破壊電圧に応じた電流 - 電圧特性を得ることができ、被保護回路の動作を妨げることなく静電気放電による破壊を回避することができる。

40

また、複数のESD保護素子を組み合わせ、少なくとも1つのESD保護素子の降伏電圧が他のESD保護素子の降伏電圧と異なるようにすると、降伏電圧や保持電圧の微調整が可能となるため、被保護回路を保護しやすくなる。具体的には、降伏電圧が10Vのトランジスタのみを組み合わせる場合には降伏電圧の総和は10V刻みになるが、降伏電圧が15Vのトランジスタを組み合わせると5V刻みとなり微調整が可能となる。

【0059】

以上、本発明の実施形態について詳述したが、本発明はこれらの実施形態に限られるものではなく、この発明の要旨を逸脱しない範囲の設計等も含まれる。

具体的には、各実施形態では、第1の端子をVDD端子としたが、これに限ることなく、例えば、信号の入力端子、出力端子などとしてもよい。

50

また、各実施形態では、M O S トランジスタのスナップバックを利用、即ちM O S トランジスタの寄生バイポーラトランジスタの動作を利用したが、これに限ることなく、バイポーラトランジスタとしてもよい。

【 0 0 6 0 】

さらに、各実施形態ではE S D 保護素子の並び順の例をいくつか示したが、並び順によってラッチアップ耐性などの別の特性が変わる場合があるため、E S D に関する特性以外のことも踏まえて適宜選択することが好ましい。また、ラッチアップ耐性を向上させることができる点では、各E S D 保護素子間のシリコン半導体基板にDeep Trench Isolationと呼ばれる深い溝を形成することが好ましく、これにより各E S D 保護素子間の距離を狭くすることもできる。各E S D 保護素子においても、その形状及び構造チャンネル幅や接合の周辺長や面積についても適宜選択することが好ましい。

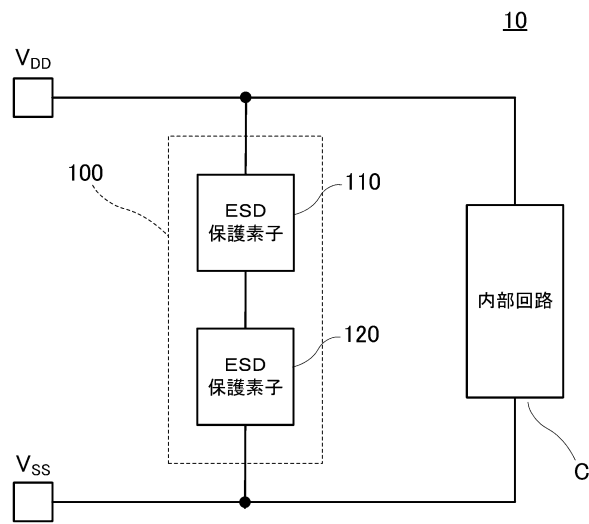
【 符号の説明 】

【 0 0 6 1 】

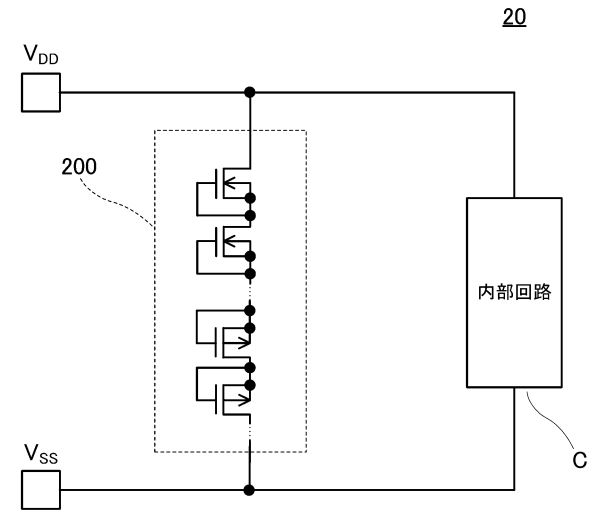
- 1 0 , 2 0 , 3 0 , 4 0 , 5 0 半 導 体 装 置
- 1 0 0 , 2 0 0 , 3 0 0 , 4 0 0 , 5 0 0 E S D 保 護 回 路
- 1 1 0 , 1 2 0 E S D 保 護 素 子
- C 内 部 回 路 (被 保 護 回 路)

【 図 面 】

【 図 1 】



【 図 2 】



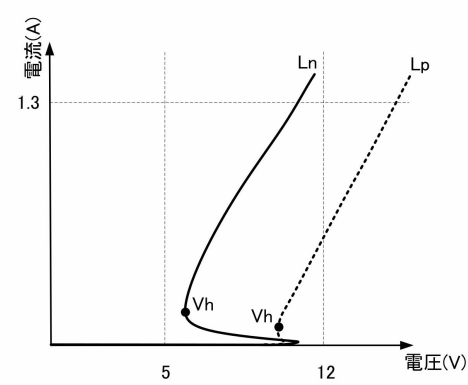
20

30

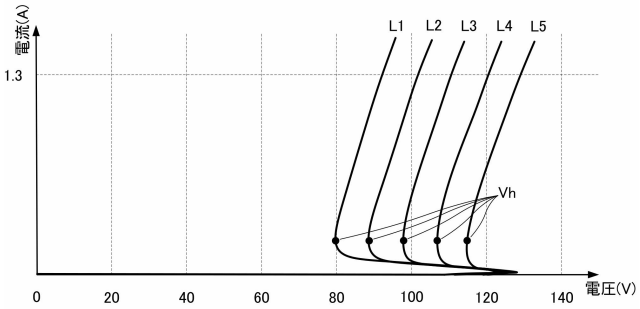
40

50

【 図 3 】

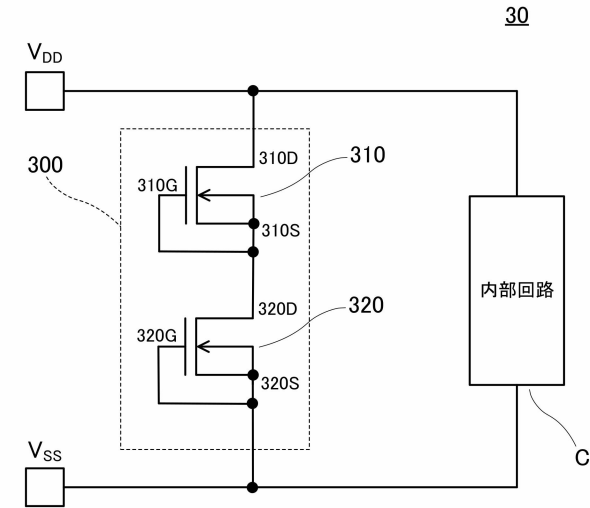


【 図 4 】

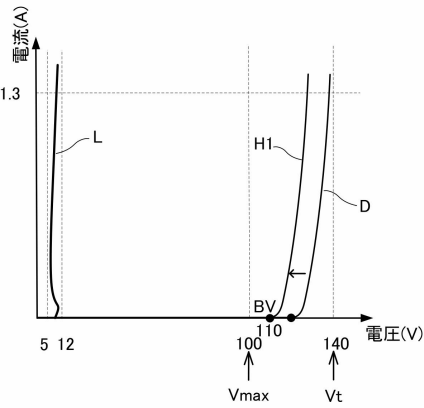


10

【 図 5 】



【 図 6 A 】



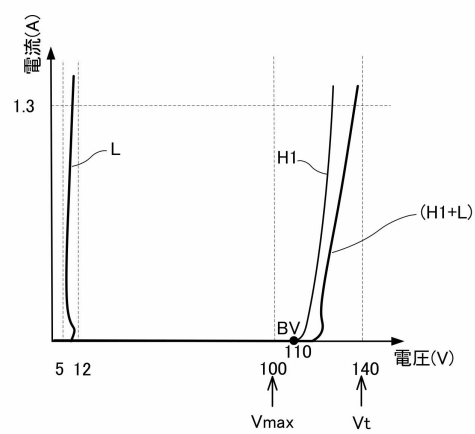
20

30

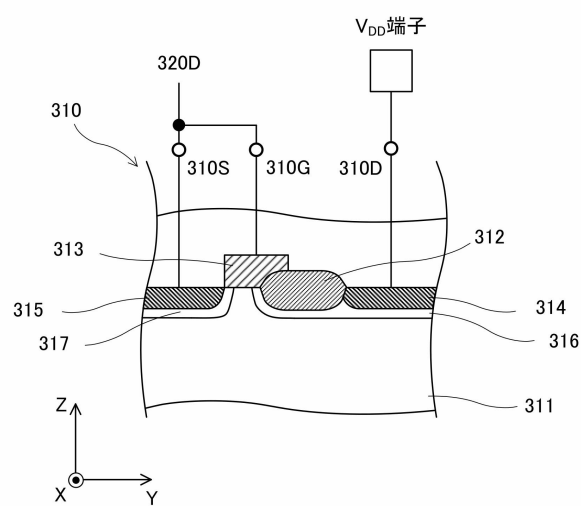
40

50

【 図 6 B 】

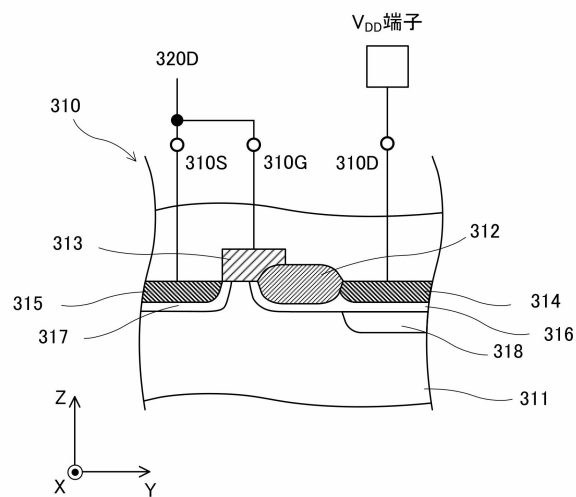


【 図 7 】

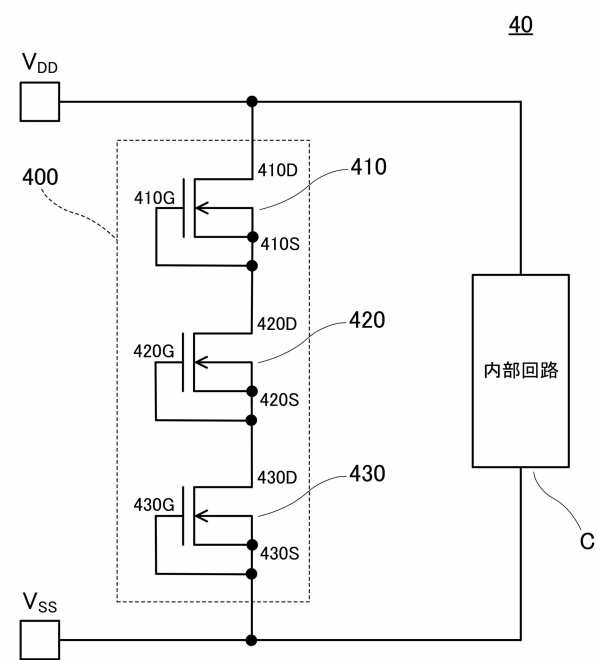


10

【 図 8 】



【 図 9 】



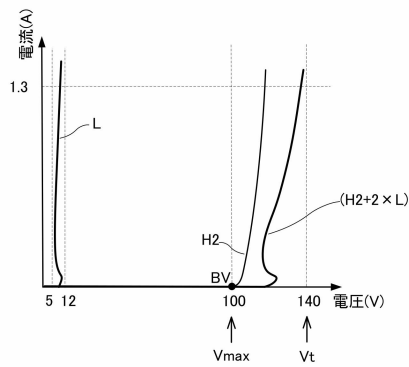
20

30

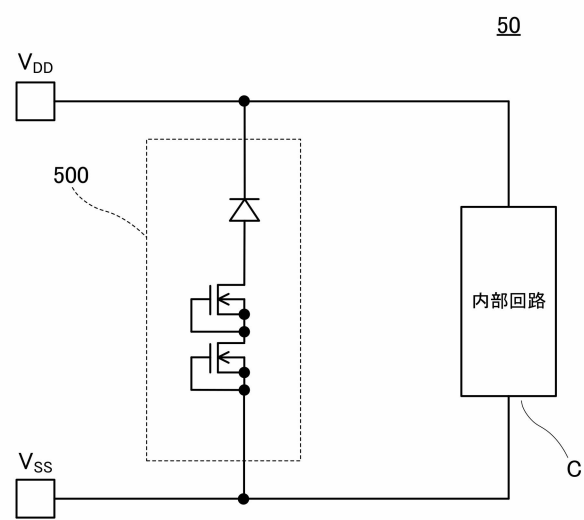
40

50

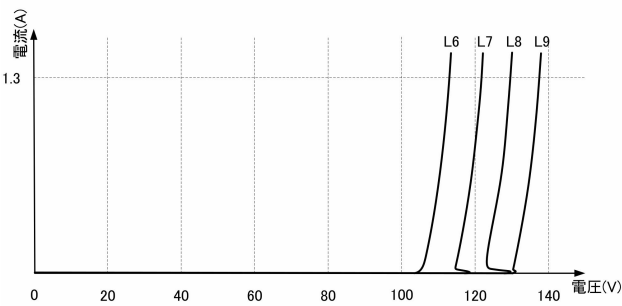
【図 1 0】



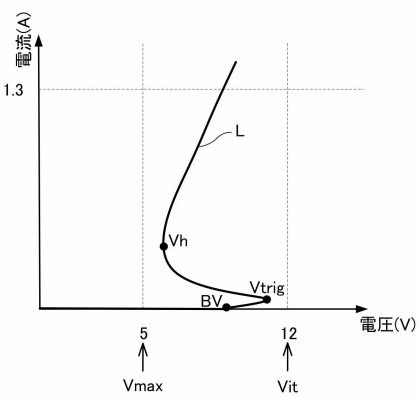
【図 1 1】



【図 1 2】



【図 1 3】



10

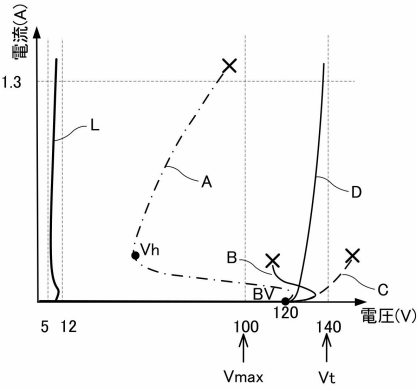
20

30

40

50

【図 14】



10

20

30

40

50