



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0096867
(43) 공개일자 2017년08월25일

(51) 국제특허분류(Int. Cl.)

B32B 27/28 (2006.01) B32B 27/08 (2006.01)
H01L 27/07 (2006.01) H01L 29/49 (2006.01)
H01L 29/786 (2006.01)

(52) CPC특허분류

B32B 27/281 (2013.01)
B32B 27/08 (2013.01)

(21) 출원번호 10-2016-0018674

(22) 출원일자 2016년02월17일

심사청구일자 2016년02월17일

(71) 출원인

경희대학교 산학협력단

경기도 용인시 기흥구 덕영대로 1732 (서천동, 경희대학교 국제캠퍼스내)

(72) 발명자

장진

서울특별시 서초구 잠원로 88, 302동 908호(잠원동, 신반포아파트)

김용환

서울특별시 동대문구 경희대로 26(회기동)

엄재광

서울특별시 동대문구 경희대로 26, 푸른솔문화관 129호(회기동, 경희대학교)

(74) 대리인

김연권

전체 청구항 수 : 총 15 항

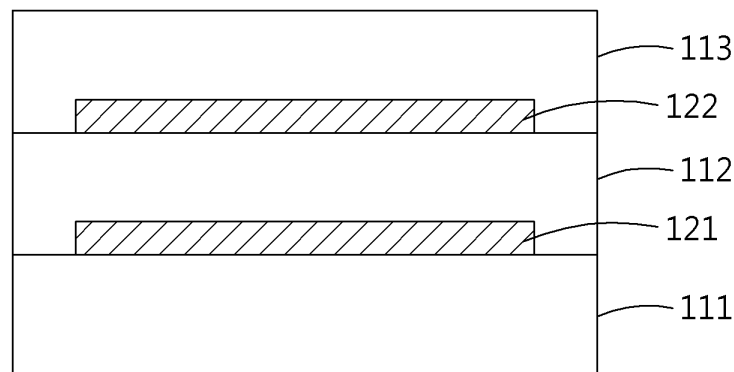
(54) 발명의 명칭 다층 전자 장치 및 그의 제조 방법

(57) 요약

다층 전자 장치 및 그의 제조 방법이 개시된다. 본 발명의 다층 전자 장치는 폴리이미드계 물질로 이루어지는 적어도 3층 이상의 플렉서블 PI(Polyimide)층 및 플렉서블 PI층 사이에 각각 배치되는 적어도 하나의 전자소자 어레이 및 적어도 하나의 전자 부품을 포함하고, 적어도 3층 이상의 플렉서블 PI층 중 적어도 어느 한 층의 플렉서블 PI층은 적어도 하나 이상의 전자소자 어레이 및 적어도 하나의 전자 부품을 전기적으로 연결하기 위한 복수의 선택홀을 포함한다.

대표도 - 도1

100



(52) CPC특허분류

H01L 27/0727 (2013.01)
H01L 29/4958 (2013.01)
H01L 29/78618 (2013.01)
H01L 29/7869 (2013.01)
B32B 2305/342 (2013.01)
B32B 2379/08 (2013.01)
B32B 2457/00 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	10052044
부처명	산업통상지원부
연구관리전문기관	한국산업기술평가관리원
연구사업명	산업기술혁신사업
연구과제명	유연기관 상의 8K 디스플레이용 고품위 TFT 개발
기 여 율	1/1
주관기관	경희대학교 산학협력단
연구기간	2015.06.01 ~ 2020.05.31

명세서

청구범위

청구항 1

폴리이미드계 물질로 이루어지는, 적어도 3층 이상의 플렉서블 PI(Polyimide)층; 및
상기 플렉서블 PI층 사이에 각각 배치되는, 적어도 하나의 전자소자 어레이 및 적어도 하나의 전자 부품을 포함하고,
상기 적어도 3층 이상의 플렉서블 PI층 중 적어도 어느 한 층의 플렉서블 PI층은, 상기 적어도 하나 이상의 전자소자 어레이 및 적어도 하나의 전자 부품을 전기적으로 연결하기 위한 복수의 컨택홀을 포함하는,
센서 어레이 전자소자 어레이 및 전자 부품을 포함하는 다층 전자 장치.

청구항 2

제1항에 있어서,
상기 플렉서블 PI층 사이에 각각 배치되는 전자소자 어레이는,
듀얼 게이트 산화물 박막 트랜지스터 어레이, 센서 어레이 및 발광소자 어레이 중 적어도 어느 한 종류의 어레이를 하나 이상 포함하는, 전자소자 어레이 및 전자 부품을 포함하는 다층 전자 장치.

청구항 3

제1항에 있어서,
상기 플렉서블 PI층 사이에 각각 배치되는 전자부품은,
레지스터, 캐패시터 및 인덕터 중 적어도 한 종류의 부품을 하나 이상 포함하는, 전자소자 어레이 및 전자 부품을 포함하는 다층 전자 장치.

청구항 4

제1항에 있어서,
상기 적어도 하나의 전자소자 어레이 및 상기 적어도 하나의 전자부품은,
상기 적어도 3층 이상의 플렉서블 PI층 사이에 배젤(Bazel) 없이 상호 컨택된, 전자소자 어레이 및 전자부품을 포함하는 다층 전자 장치.

청구항 5

제1항에 있어서,
상기 적어도 3층 이상의 플렉서블 PI층 중 적어도 하나의 플렉서블 PI층에 포함된 복수의 컨택홀은,
상기 적어도 하나의 전자소자 어레이 및 상기 적어도 하나의 전자부품에 구동 신호를 공급하기 위한 컨택 라인, 쉬프트 레지스터 및 트랜지스터를 적어도 하나 이상 포함하는, 전자소자 어레이 및 전자부품을 포함하는 다층 전자 장치.

청구항 6

제1항에 있어서,
상기 적어도 3층 이상의 플렉서블 PI층은,
서로 다른 두께를 갖거나, 서로 동일한 두께를 갖는, 다층 전자 장치.

청구항 7

제2항에 있어서,
상기 듀얼 게이트 산화물 박막 트랜지스터 어레이는,
복수의 듀얼 게이트 산화물 박막 트랜지스터를 포함하며,
상기 복수의 듀얼 게이트 산화물 박막 트랜지스터는,
기관;
상기 기관 상에 위치한 제1 게이트 전극;
상기 제1 게이트 전극 상에 위치한 산화물 반도체층;
상기 산화물 반도체층에 위치한 소스 전극 및 드레인 전극; 및
상기 산화물 반도체층 상에 위치한 제2 게이트 전극;을 포함하는, 다층 전자 장치.

청구항 8

제7항에 있어서,
상기 복수의 듀얼 게이트 산화물 박막 트랜지스터는,
상기 제1 게이트 전극과 상기 산화물 반도체층 사이에 위치한 게이트 절연층; 및
상기 소스 전극 및 상기 드레인 전극과 상기 제2 게이트 전극 사이에 위치하는 보호층
을 더 포함하는, 다층 전자 장치.

청구항 9

제7항에 있어서,
상기 산화물 반도체층은,
비정질 인듐 갈륨 징크 옥사이드(amorphous indium-gallium-zinc oxide, a-IGZO), 징크 옥사이드(ZnO), 인듐 징크 옥사이드(IZO), 인듐 틴 옥사이드(ITO), 징크 틴 옥사이드(ZTO), 갈륨 징크 옥사이드(GZO), 하프늄 인듐 징크 옥사이드(HIZO), 징크 인듐 틴 옥사이드(ZITO) 및 알루미늄 징크 틴 옥사이드(AZTO) 중 어느 하나를 포함하는, 다층 전자 장치.

청구항 10

캐리어 기관 상에 폴리이미드계 용액을 코팅하여 제1 플렉서블 PI(Polyimide)층을 형성하는 단계;
상기 제1 플렉서블 PI층 상에 적어도 하나의 제1 전자소자 어레이 및 적어도 하나의 제1 전자 부품을 형성하는 단계;
상기 제1 플렉서블 PI층 상에 폴리이미드계 용액을 코팅하여 제2 플렉서블 PI층을 형성하는 단계;

상기 제2 플렉서블 PI층 상에 적어도 하나의 제2 전자소자 어레이 및 적어도 하나의 제2 전자 부품을 형성하는 단계;

상기 제2 플렉서블 PI층 상에 폴리이미드계 용액을 코팅하여 제3 플렉서블 PI층을 형성하는 단계; 및

상기 캐리어 기판을 제거하는 단계;를 포함하고,

상기 제1 내지 제3 플렉서블 PI층을 형성하는 단계 중 적어도 어느 한 단계는,

상기 적어도 하나의 제1 및 제2 전자소자 어레이들과 상기 적어도 하나의 제1 및 제2 전자부품들 간을 전기적으로 연결하기 위한 복수의 콘택홀을 형성하는 단계를 포함하는, 전자소자 어레이 및 전자 부품을 포함하는 다층 전자 장치의 제조 방법.

청구항 11

제10항에 있어서,

상기 캐리어 기판을 제거하기 전에, 플렉서블 PI층을 형성하는 단계 또는 적어도 하나의 전자소자 어레이 및 적어도 하나의 전자부품을 형성하는 단계를 적어도 1회 이상 추가로 수행하는, 전자소자 어레이 및 전자 부품을 포함하는 다층 전자 장치의 제조 방법.

청구항 12

제10항에 있어서,

상기 제1 및 제2 전자소자 어레이는,

듀얼 게이트 산화물 박막 트랜지스터 어레이, 센서 어레이 및 발광소자 어레이 중 적어도 어느 한 종류의 어레이를 하나 이상 포함하는, 전자소자 어레이 및 전자 부품을 포함하는 다층 전자 장치의 제조 방법.

청구항 13

제10항에 있어서,

상기 제1 및 제2 전자 부품은,

레지스터, 캐패시터 및 인덕터 중 적어도 한 종류의 부품을 하나 이상 포함하는, 전자소자 어레이 및 전자 부품을 포함하는 다층 전자 장치의 제조 방법.

청구항 14

제10항에 있어서,

상기 복수의 콘택홀을 형성하는 단계는,

상기 적어도 하나의 제1 및 제2 전자소자 어레이와 상기 적어도 하나의 제1 및 제2 전자부품에 구동 신호를 공급하기 위한 콘택 라인, 쉬프트 레지스터 및 트랜지스터 중 적어도 하나를 형성하는, 전자소자 어레이 및 전자 부품을 포함하는 다층 전자 장치의 제조 방법.

청구항 15

제10항에 있어서,

상기 제1 내지 제3 플렉서블 PI층을 형성하는 단계는,

상기 폴리이미드계 용액을 서로 다른 두께로 코팅하거나, 모두 동일한 두께로 코팅하는, 전자소자 어레이 및 전자 부품을 포함하는 다층 전자 장치의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 전자소자 어레이 및 전자 부품이 고집적화된 다층 전자 장치 및 그의 제조 방법에 관한 것이다.

배경 기술

[0002] 최근 플렉서블 디스플레이 장치에 사용되는 전자소자의 집적도를 높이기 위한 기술들이 개발되고 있다. 플렉서블 디스플레이 장치에 따라 많은 전자소자를 필요로 하거나, 장치 사이즈를 컴팩트하게 제조해야 하는 경우, 전자소자의 집적도 기술이 유용하게 이용될 수 있다.

[0003] 일반적으로 전자소자의 집적도를 높이기 위한 방법으로, 전자소자 사이즈를 줄이거나, 플렉서블 디스플레이 장치 내에서 전자소자들 간의 배치 간격을 줄이는 방법을 이용하였다. 그러나 이 같은 방법은 기판 상의 동일 평면 내에서 전자소자를 집적화하는 방법에 해당한다.

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 일본등록특허 제2742747호, "박막 트랜지스터를 가지는 다층 반도체 집적회로"
(특허문헌 0002) 미국공개특허 제2011/0124183호, "METHOD FOR MANUFACTURING FLEXIBLE SEMICONDUCTOR SUBSTRATE"
(특허문헌 0003) 미국등록특허 제5,583,320호, "Reinforcement for flexible printed circuit board and reinforced flexible printed circuit board"

발명의 내용

해결하려는 과제

[0005] 본 발명은 전기적 연결을 위한 컨택 부품을 갖는 적어도 3층 이상의 플렉서블 PI층 사이에 적어도 하나의 전자소자 어레이 및 적어도 하나의 전자 부품을 배치시켜 전자소자 어레이 및 전자 부품을 다층 구조로 적층하여 고집적화된 다층 전자 장치 및 그의 제조 방법을 제공한다.

[0006] 또한, 서로 다른 층에 배치된 적어도 하나의 전자소자 어레이 및 적어도 하나의 전자 부품을 전기적으로 연결시키기 위한 컨택홀을 플렉서블 PI층에 포함시킴으로써, 배젤(Bazel)을 제거할 수 있는 다층 전자 장치 및 그의 제조 방법을 제공한다.

과제의 해결 수단

[0007] 실시예에 따른 전자소자 어레이 및 전자 부품을 포함하는 다층 전자 장치는, 폴리이미드계 물질로 이루어지는 적어도 3층 이상의 플렉서블 PI(Polyimide)층 및 상기 플렉서블 PI층 사이에 배치되는 적어도 하나의 전자소자 어레이 및 적어도 하나의 전자 부품을 포함하고, 상기 적어도 3층 이상의 플렉서블 PI층 중 적어도 어느 한 층의 플렉서블 PI층은 상기 적어도 하나 이상의 전자소자 어레이 및 적어도 하나의 전자 부품을 전기적으로 연결하기 위한 복수의 컨택홀을 포함한다.

- [0008] 상기 플렉서블 PI층 사이에 배치되는 전자소자 어레이는, 듀얼 게이트 산화물 박막 트랜지스터 어레이, 센서 어레이 및 발광소자 어레이 중 적어도 어느 한 종류의 어레이를 하나 이상 포함할 수 있다.
- [0009] 상기 플렉서블 PI층 사이에 각각 배치되는 전자부품은, 레지스터, 캐패시터 및 인덕터 중 적어도 한 종류의 부품을 하나 이상 포함할 수 있다.
- [0010] 상기 적어도 하나의 전자소자 어레이 및 상기 적어도 하나의 전자부품은, 상기 적어도 3층 이상의 플렉서블 PI층 사이에 배젤(Bazel) 없이 상호 컨택될 수 있다.
- [0011] 상기 적어도 3층 이상의 플렉서블 PI층 중 적어도 하나의 플렉서블 PI층에 포함된 복수의 컨택홀은, 상기 적어도 하나의 전자소자 어레이 및 상기 적어도 하나의 전자부품에 구동 신호를 공급하기 위한 컨택 라인, 쉬프트 레지스터 및 트랜지스터를 적어도 하나 이상 포함할 수 있다.
- [0012] 상기 적어도 3층 이상의 플렉서블 PI층은 서로 다른 두께를 갖거나 서로 동일한 두께를 가질 수 있다.
- [0013] 상기 듀얼 게이트 산화물 박막 트랜지스터 어레이는 복수의 듀얼 게이트 산화물 박막 트랜지스터를 포함할 수 있다. 여기서, 상기 복수의 듀얼 게이트 산화물 박막 트랜지스터는 기판, 상기 기판 상에 위치한 제1 게이트 전극, 상기 제1 게이트 전극 상에 위치한 산화물 반도체층, 상기 산화물 반도체층에 위치한 소스 전극 및 드레인 전극 및 상기 산화물 반도체층 상에 위치한 제2 게이트 전극을 포함할 수 있다.
- [0014] 상기 복수의 듀얼 게이트 산화물 박막 트랜지스터는 상기 제1 게이트 전극과 상기 산화물 반도체층 사이에 위치한 게이트 절연층 및 상기 소스 전극 및 상기 드레인 전극과 상기 제2 게이트 전극 사이에 위치하는 보호층을 더 포함할 수 있다.
- [0015] 상기 산화물 반도체층은 비정질 인듐 갈륨 징크 옥사이드(amorphous indium-gallium-zinc oxide, a-IGZO), 징크 옥사이드(ZnO), 인듐 징크 옥사이드(IZO), 인듐 틴 옥사이드(ITO), 징크 틴 옥사이드(ZTO), 갈륨 징크 옥사이드(GZO), 하프늄 인듐 징크 옥사이드(HIZO), 징크 인듐 틴 옥사이드(ZITO) 및 알루미늄 징크 틴 옥사이드(AZTO) 중 어느 하나를 포함할 수 있다.
- [0016] 한편, 실시예에 따른 전자소자 어레이 및 전자 부품을 포함하는 다층 전자 장치는 캐리어 기판 상에 폴리이미드계 용액을 코팅하여 제1 플렉서블 PI(Polyimide)층을 형성하는 단계, 상기 제1 플렉서블 PI층 상에 적어도 하나의 제1 전자소자 어레이 및 적어도 하나의 제1 전자 부품을 형성하는 단계, 상기 제1 플렉서블 PI층 상에 폴리이미드계 용액을 코팅하여 제2 플렉서블 PI층을 형성하는 단계, 상기 제2 플렉서블 PI층 상에 적어도 하나의 제2 전자소자 어레이 및 적어도 하나의 제2 전자 부품을 형성하는 단계, 상기 제2 플렉서블 PI층 상에 폴리이미드계 용액을 코팅하여 제3 플렉서블 PI층을 형성하는 단계 및 상기 캐리어 기판을 제거하는 단계를 포함하고, 상기 제1 내지 제3 플렉서블 PI층을 형성하는 단계 중 적어도 어느 한 단계는 상기 적어도 하나의 제1 및 제2 전자소자 어레이들과 상기 적어도 하나의 제1 및 제2 전자부품들 간을 전기적으로 연결하기 위한 복수의 컨택홀을 형성하는 단계를 포함할 수 있다.
- [0017] 상기 캐리어 기판을 제거하기 전에, 플렉서블 PI층을 형성하는 단계 또는 적어도 하나의 전자소자 어레이 및 적어도 하나의 전자부품을 형성하는 단계를 적어도 1회 이상 추가로 수행할 수 있다.
- [0018] 상기 제1 및 제2 전자소자 어레이는 듀얼 게이트 산화물 박막 트랜지스터 어레이, 센서 어레이 및 발광소자 어레이 중 적어도 어느 한 종류의 어레이를 하나 이상 포함하는, 전자소자 어레이 및 전자 부품을 포함할 수 있다.
- [0019] 상기 제1 및 제2 전자 부품을 레지스터, 캐패시터 및 인덕터 중 적어도 한 종류의 부품을 하나 이상 포함할 수 있다.
- [0020] 상기 복수의 컨택홀을 형성하는 단계는 상기 적어도 하나의 제1 및 제2 전자소자 어레이와 상기 적어도 하나의 제1 및 제2 전자부품에 구동 신호를 공급하기 위한 컨택 라인, 쉬프트 레지스터 및 트랜지스터를 적어도 하나 이상 형성할 수 있다.
- [0021] 상기 제1 내지 제3 플렉서블 PI층을 형성하는 단계는 상기 폴리이미드계 용액을 서로 다른 두께로 코팅하거나, 모두 동일한 두께로 코팅할 수 있다.

발명의 효과

[0022] 본 발명에 따르면, 적어도 3층 이상의 플렉서블 PI층 사이에 적어도 하나의 전자소자 어레이 및 적어도 하나의 전자부품을 배치시켜 다층 구조로 적층함으로써, 전자소자 어레이 및 전자부품을 고집적화할 수 있다.

[0023] 또한, 본 발명에 따르면, 서로 다른 층에 배치된 적어도 하나의 전자소자 어레이 및 적어도 하나의 전자 부품을 전기적으로 연결시키기 위한 콘택홀을 플렉서블 PI층에 포함시킴으로써, 다층 전자 장치에서 배젤(Bazel)을 제거할 수 있다.

도면의 간단한 설명

[0024] 도 1은 본 발명의 실시예에 따른 다층 전자 장치를 도시한 것이다.

도 2a 및 도 2b는 본 발명의 실시예에 따른 다층 전자 장치를 구체화하여 도시한 것이다.

도 3a 내지 도 3d는 다른 실시예에 따른 다층 전자 장치를 구체화하여 도시한 것이다.

도 4a 및 도 4b는 다른 실시예에 따른 다층 전자 장치를 구체화하여 도시한 것이다.

도 5a 내지 도 5g는 본 발명의 실시예에 따른 다층 전자 장치의 제조 방법을 도시한 것이다.

발명을 실시하기 위한 구체적인 내용

[0025] 이하 첨부 도면들 및 첨부 도면들에 기재된 내용들을 참조하여 본 발명의 실시예를 상세하게 설명하지만, 본 발명이 실시예에 의해 제한되거나 한정되는 것은 아니다.

[0026] 소자(elements) 또는 층이 다른 소자 또는 층의 "위(on)" 또는 "상(on)"으로 지칭되는 것은 다른 소자 또는 층의 바로 위뿐만 아니라 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 반면, 소자가 "직접 위(directly on)" 또는 "바로 위"로 지칭되는 것은 중간에 다른 소자 또는 층을 개재하지 않은 것을 나타낸다.

[0027] 공간적으로 상대적인 용어인 "아래(below)", "아래(beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 예를 들면, 도면에 도시되어 있는 소자를 뒤집을 경우, 다른 소자의 "아래(below 또는 beneath)"로 기술된 소자는 다른 소자의 "위(above)"에 놓여질 수 있다. 따라서, 예시적인 용어인 "아래"는 아래와 위의 방향을 모두 포함할 수 있다. 소자는 다른 방향으로도 배향될 수 있으며, 이 경우 공간적으로 상대적인 용어들은 배향에 따라 해석될 수 있다.

[0028] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.

[0029] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다.

[0030] 한편, 본 발명을 설명함에 있어서, 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는, 그 상세한 설명을 생략할 것이다. 그리고, 본 명세서에서 사용되는 용어(terminology)들은 본 발명의 실시예를 적절히 표현하기 위해 사용된 용어들로서, 이는 사용자, 운용자의 의도 또는 본 발명이 속하는 분야의 관례 등에 따라 달라질 수 있다. 따라서, 본 용어들에 대한 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다.

[0031] 도 1은 본 발명의 실시예에 따른 다층 전자 장치를 도시한 것이다.

[0032] 도 1을 참조하면, 다층 전자 장치(100)는 적어도 3층 이상의 플렉서블 PI(polyimide)층(111, 112, 113) 및 플렉서블 PI층들 사이에 각각 배치되는 적어도 하나의 전자소자 어레이 및 적어도 하나의 전자 부품으로 구성된

제1 및 제2 회로층(121, 122)을 포함한다.

- [0033] 제1 내지 제3 플렉서블 PI층(111, 112, 113)은 폴리이미드계 물질로 이루어진 가요성 기관으로, 차례로 적층된 구조를 갖는다. 제1 내지 제3 플렉서블 PI층(111, 112, 113)은 서로 다른 두께를 가질 수 있으며, 서로 동일한 두께를 가질 수도 있다.
- [0034] 제1 및 제2 회로층(121, 122)은 제1 내지 제3 플렉서블 PI층(111, 112, 113) 사이에 각각 배치된다.
- [0035] 도 1을 참조하면, 제1 회로층(121)은 제1 및 제2 플렉서블 PI층(111, 112) 사이에 배치되고, 제2 회로층(122)은 제2 및 제3 플렉서블 PI층(112, 113) 사이에 배치된다. 여기서, 제1 내지 제3 플렉서블 PI층(111, 112, 113) 중 적어도 한 층의 플렉서블 PI층은 각 회로층(121, 122)에 포함된 전자소자 어레이 및 전자부품 등을 전기적으로 연결하기 위한 복수의 콘택홀(미도시)을 포함한다.
- [0036] 도 1에서, 제1 내지 제3 플렉서블 PI층(111, 112, 113) 사이에 각각 배치되는 회로층(121, 122)은 동일한 종류의 전자소자 어레이와 전자 부품으로 구성될 수 있으며, 서로 다른 종류의 전자소자 어레이와 전자 부품으로 구성될 수도 있다. 또한, 각 회로층을 구성하는 전자소자 어레이와 전자 부품의 수는 설계 형태에 따라 달라질 수 있다.
- [0037] 도 1에 따르면, 회로층(121, 122)을 3층의 플렉서블 PI층(111, 112, 113) 사이에 배치시킴으로써, 전자소자들을 수직 방향으로 고집적화시킬 수 있다. 따라서, 기존에 기관 상의 동일 평면 내에서 전자소자를 집적화하는 방법에 비해 높은 집적도를 구현할 수 있다.
- [0038] 한편, 도 1에서는 3층의 플렉서블 PI층(111, 112, 113)과 2개의 회로층(121, 122)을 도시 및 설명하였으나, 실시 형태는 이에 한정되지 않는다. 즉, 4층의 플렉서블 PI층과 그 사이에 각각 배치된 3개의 회로층을 포함할 수도 있으며, 4층의 플렉서블 PI층과 그 상부에 각각 배치된 4개의 전자소자 어레이를 포함할 수도 있다.
- [0039] 도 2a 및 도 2b는 본 발명의 실시예에 따른 다층 전자 장치를 구체화하여 도시한 것이다. 도 2a 및 도 2b를 참조하면, 다층 전자 장치(200)는 제1 플렉서블 PI층(211), 적어도 하나의 제1 전자소자 어레이 및 적어도 하나의 제1 전자 부품(221)(이하에서는, “제1 회로층”이라 함), 제2 플렉서블 PI층(212), 적어도 하나의 제2 전자소자 어레이 및 적어도 하나의 제2 전자 부품(222)(이하에서는, “제2 회로층”이라 함) 및 제3 플렉서블 PI층(213)의 순서로 적층된 구조를 갖는다. 다층 전자 장치(200)에서, 제1 내지 제3 플렉서블 PI층(211, 212, 213) 중 적어도 어느 한 층의 플렉서블 PI층은 제1 회로층(221) 및 제2 회로층(222)을 전기적으로 연결하기 위한 복수의 콘택홀(230)을 포함한다.
- [0040] 즉, 도면을 기준으로, 제2 플렉서블 PI층(212)은 그 하부면에 배치된 제1 회로층(221)과, 그 상부면에 배치된 제2 회로층(222)을 전기적으로 연결하기 위한 복수의 콘택홀(230)을 포함할 수 있다.
- [0041] 복수의 콘택홀(230)은 도 2b를 참조하여 구체적으로 설명한다.
- [0042] 도 2b를 참조하면, 복수의 콘택홀(230)은 제1 회로층(221)에 포함된 적어도 하나의 제1 전자소자 어레이 및 제1 전자 부품과, 제2 회로층(222)에 포함된 적어도 하나의 제2 전자소자 어레이 및 제2 전자 부품을 연결한다.
- [0043] 여기서, 복수의 콘택홀(230)은 콘택 라인, 쉬프트 레지스터 및 트랜지스터 중 적어도 하나가 될 수 있으며, 도 2b에서는 제2 플렉서블 PI층(212)에 복수의 콘택홀(231, 232, 233, 234, 235, 236, 237)이 포함된 것을 알 수 있다.
- [0044] 여기서, 제2 플렉서블 PI층(212)에 포함된 복수의 콘택홀(231~237)의 배치 구조는, 다층 전자 장치(200) 제조시 제1 및 제2 회로층(221, 222)에 포함된 전극의 위치를 고려하여 변경될 수 있다.
- [0045] 도 3a 내지 도 3d는 다른 실시예에 따른 다층 전자 장치를 구체화하여 도시한 것이다.
- [0046] 다층 전자 장치(300)는 제1 플렉서블 PI층(311), 적어도 하나의 제1 전자소자 어레이 및 적어도 하나의 제1 전자 부품(321)(이하에서는, “제1 회로층”이라 함), 제2 플렉서블 PI층(312), 적어도 하나의 제2 전자소자 어레이 및 적어도 하나의 제2 전자 부품(322)(이하에서는, “제2 회로층”이라 함), 제3 플렉서블 PI층(313), 적어도 하나의 제3 전자소자 어레이 및 적어도 하나의 제3 전자 부품(323)(이하에서는, “제3 회로층”이라 함), 제4 플렉서블 PI층(314) 및 적어도 하나의 제4 전자소자 어레이 및 적어도 하나의 제4 전자

부품(324)(이하에서는, “제4 회로층”이라 함)의 순서로 적층된 구조를 갖는다.

- [0047] 즉, 다층 전자 장치(300)는 4층의 플렉서블 PI층(311~314)과 그 상부에 각각 배치된 4개의 회로층(321~324)을 포함할 수 있다.
- [0048] 4개의 회로층(321~324)에 포함된 각 전자소자 어레이는 듀얼 게이트 산화물 박막 트랜지스터 어레이, 센서 어레이 및 발광소자 어레이 중 적어도 어느 한 종류의 어레이를 하나 이상 포함할 수 있다. 또한, 4개의 회로층(321~324)에 포함된 각 전자 부품은 레지스터, 캐패시터 및 인덕터 중 적어도 한 종류의 부품을 하나 이상 포함할 수 있다.
- [0049]
- [0050] 도 3a 내지 도 3d는 각 회로층(321, 322, 323, 324)에 포함된 전자소자 어레이를 듀얼 게이트 산화물 박막 트랜지스터로 가정하여 설명한다.
- [0051] 도 3b를 참조하면, 듀얼 게이트 산화물 박막 트랜지스터(330)는 기판(330a), 제1 게이트 전극(330b), 게이트 절연층(330c), 산화물 반도체층(330d), 소스 전극(330e), 드레인 전극(330f), 보호층(330g) 및 제2 게이트 전극(330h)을 포함한다.
- [0052] 제1 게이트 전극(330b)은 기판(330a) 상에 형성된다. 게이트 절연층(330c)은 기판(330a) 상에 형성되며, 제1 게이트 전극(330b)을 덮는 형태로 형성되어, 제1 게이트 전극(330b)과 산화물 반도체층(330d)을 절연시킨다.
- [0053] 산화물 반도체층(330d)은 게이트 절연층(330b) 상에 형성된다. 실시예에 따르면, 산화물 반도체층(330d)은 비정질 인듐 갈륨 징크 옥사이드(amorphous indium-gallium-zinc oxide, a-IGZO)로 형성될 수 있다. 그러나, 이에 한정되지 않으며, 징크 옥사이드(ZnO), 인듐 징크 옥사이드(IZO), 인듐 틴 옥사이드(ITO), 징크 틴 옥사이드(ZTO), 갈륨 징크 옥사이드(GZO), 하프늄 인듐 징크 옥사이드(HIZO), 징크 인듐 틴 옥사이드(ZITO) 및 알루미늄 징크 틴 옥사이드(AZTO) 등의 물질로 형성될 수도 있다.
- [0054] 소스 전극(330e) 및 드레인 전극(330f)은 서로 수평한 방향으로 형성된다. 소스 전극(330e) 및 드레인 전극(330f)은 금속 재질일 수 있으며, 일례로 몰리브덴(Mo)이 사용될 수 있다. 도면을 통해 도시하지는 않았으나, 소스 전극(330e)과 드레인 전극(330f) 사이의 산화물 반도체층(330d) 상에 에치 스톱퍼(미도시)가 위치될 수 있다.
- [0055] 보호층(Passivation Layer)(330g)은 소스 전극(330e) 및 드레인 전극(330f) 상에 형성되며, 보호층(330g)은 산화물(일례로, 실리콘 산화물(SiO_2)) 또는 질화물로 구성될 수 있다.
- [0056] 제2 게이트 전극(330h)은 보호층(330g) 상에 형성된다.
- [0057] 듀얼 게이트 산화물 박막 트랜지스터(330)에서, 제1 게이트 전극(330b)은 하부 게이트 전극(Bottom Gate)이고, 제2 게이트 전극(330h)은 상부 게이트 전극(Top Gate)이 된다. 따라서, 제1 및 제2 게이트 전극(330b, 330h)에 동일한 전압을 인가할 경우, 산화물 반도체층(330d)에 형성되는 채널의 넓이가 증가하여 소스 전극(330e) 및 드레인 전극(330f)를 통과하는 전류의 양을 증가시킬 수 있게 된다. 전류의 양이 증가함에 따라 듀얼 게이트 산화물 박막 트랜지스터(330)는 전계효과이동도 및 전압-전류 특성이 향상되기 때문에, 싱글 게이트 구조를 갖는 트랜지스터에 비해 높은 전기적 특성 및 신뢰성을 갖는다.
- [0058] 이 같은 듀얼 게이트 산화물 박막 트랜지스터 어레이 및 전자 부품들로 구성된 각 회로층(321, 322, 323, 324) 간의 전기적 연결 구조는 도 3c 및 도 3d를 이용하여 구체적으로 설명한다.
- [0059] 도 3c 및 도 3d를 참조하면, 3개의 플렉서블 PI층(312~314)은 제1 내지 제4 회로층(321~324)를 전기적으로 연결하기 위한 복수의 컨택홀(331, 332, 333, 334, 335, 336, 337)을 포함한다.
- [0060] 제1 컨택홀(331), 제4 컨택홀(334), 제5 컨택홀(335) 및 제6 컨택홀(336)은 제3 플렉서블 PI층(313)에 포함되어 제1 회로층(321)과 제3 회로층(323)을 전기적으로 연결한다. 또한, 제2 컨택홀(332)은 제2 플렉서블 PI층(312)에 포함되어 제1 회로층(321)과 제2 회로층(322)을 전기적으로 연결하며, 제3 컨택홀(333)은 제3 플렉서블 PI층(313)에 포함되어 제2 회로층(322)과 제3 회로층(323)을 전기적으로 연결한다. 그리고, 제7 컨택홀(337)은 제4 플렉서블 PI층(314)에 포함되어 제1 회로층(321)과 제4 회로층(324)를 전기적으로 연결한다.
- [0061] 제2 내지 제4 플렉서블 PI층(312~314)에 포함된 컨택홀(331~337)의 배치 구조는, 제1 내지 제4 회로층(321,

322, 323, 324)에 포함된 전극의 위치를 고려하여 변경될 수 있다.

- [0062] 도 3c 및 도 3d에 도시된 바와 같은 배치 구조를 이용함으로써, 다층 전자 장치(300)를 고집적화시킬 수 있으며, 제1 내지 제4 플렉서블 PI층(311~314) 사이에 배젤(Bazel) 없이 상호 콘택 가능해진다.
- [0063] 도 4a 및 도 4b는 다른 실시예에 따른 다층 전자 장치를 구체화하여 도시한 것이다.
- [0064] 다층 전자 장치(400)는 제1 플렉서블 PI층(411), 적어도 하나의 제1 전자소자 어레이 및 적어도 하나의 제1 전자 부품(421)(이하에서는, “제1 회로층”이라 함), 제2 플렉서블 PI층(412), 적어도 하나의 제2 전자소자 어레이 및 적어도 하나의 제2 전자 부품(422)(이하에서는, “제2 회로층”이라 함), 제3 플렉서블 PI층(413), 적어도 하나의 제3 전자소자 어레이 및 적어도 하나의 제3 전자 부품(423)(이하에서는, “제3 회로층”이라 함)의 순서로 적층된 구조를 갖는다.
- [0065] 제1 회로층(421)은 듀얼 게이트 산화물 박막 트랜지스터 어레이를 포함하고, 제2 회로층(422)은 발광소자 어레이를 포함하며, 제3 회로층(423)은 센서 어레이를 포함할 수 있다. 또한, 제1 내지 제3 회로층(421~423)은 레지스터, 캐패시터 및 인덕터 중 적어도 한 종류의 부품을 하나 이상 포함할 수 있다.
- [0066] 제1 내지 제3 플렉서블 PI층(411~413) 중 적어도 하나의 PI층은 제1 내지 제3 회로층(421~423)을 전기적으로 연결하기 위한 복수의 콘택홀(430)을 포함할 수 있다.
- [0067] 복수의 콘택홀(430)의 구조는 도 4b를 이용하여 구체적으로 설명한다.
- [0068] 도 4b에서와 같이, 복수의 콘택홀(430)은 제2 플렉서블 PI층(412)에 내장되는 쉬프트 레지스트 회로(431)를 포함할 수 있으며, 제2 플렉서블 PI층(412)의 일측으로 노출된 콘택 라인(432)을 포함할 수 있다.
- [0069] 이 같은 쉬프트 레지스트 회로(431)와 콘택 라인(432)을 이용하여 제1 회로층(421)과 제2 회로층(422)을 전기적으로 연결할 수 있다. 이를 통해 각 회로층(421, 422)에 구동 신호를 공급함으로써 각 회로층(421, 422)을 구동시켜 제1 회로층(421)을 이용하여 제2 회로층(422)에 포함된 발광소자 어레이의 발광을 제어할 수 있다. 또한, 도면을 통해 도시하고는 있지 않으나, 제3 플렉서블 PI층(413) 역시 제2 플렉서블 PI층(412)와 동일 또는 유사한 구조의 복수의 콘택홀(430)을 포함함으로써, 제3 회로층(423)에 포함된 센서 어레이의 센싱 동작을 제어할 수 있다.
- [0070] 도 5a 내지 도 5g는 본 발명의 실시예에 따른 다층 전자 장치의 제조 방법을 도시한 것이다.
- [0071] 도 5a는 캐리어 기판(501) 상에 폴리이미드계 용액을 코팅하여 제1 플렉서블 PI층(511)을 형성하는 공정을 도시한 것이다. 여기서, 제1 플렉서블 PI층(511)은 제1 두께로 형성될 수 있다.
- [0072] 캐리어 기판(501)은 다공성 세라믹 물질로 이루어질 수 있다. 다공성 세라믹 물질은 고온에서 안정적이며 기계적 강도가 강한 특성을 갖기 때문에, 다층 전자 장치의 제조 공정 중에 적용되는 온도 및 충격에 의한 캐리어 기판(501)의 변형을 방지할 수 있다.
- [0073] 도 5b는 제1 플렉서블 PI층(511) 상에 적어도 하나의 제1 전자소자 어레이 및 적어도 하나의 제1 전자 부품(521)(이하에서는, “제1 회로층”이라 함)을 형성하는 공정을 도시한 것이다. 여기서, 제1 전자소자 어레이는 듀얼 게이트 산화물 박막 트랜지스터 어레이, 센서 어레이 및 발광소자 어레이 중 어느 하나가 될 수 있으며, 제1 전자 부품은 레지스터, 캐패시터 및 인덕터 중 적어도 한 종류의 부품일 수 있다.
- [0074] 도 5c는 제1 회로층(512) 상에 폴리이미드계 용액을 코팅하여 제2 플렉서블 PI층(513)을 형성하는 공정을 도시한 것이다. 여기서, 제2 플렉서블 PI층(513)은 제1 플렉서블 PI층(511)과 동일한 두께로 형성될 수 있다.
- [0075] 이 공정에서 제1 회로층(521)과, 제2 플렉서블 PI층(512) 상에 형성될 추가적인 회로층 간의 전기적인 연결을 위한 복수의 콘택홀(531)을 형성하는 공정이 포함될 수 있다. 여기서, 복수의 콘택홀(531)은 콘택 라인, 쉬프트 레지스터 및 트랜지스터 중 적어도 하나일 수 있다.
- [0076] 복수의 콘택홀(531)을 형성하는 공정은 폴리이미드계 용액을 코팅하기 전에, 제1 회로층(521) 상에 복수의 콘택홀(531)을 배치시키고, 그 후에 폴리이미드계 용액을 코팅하는 방식으로 이루어질 수 있다. 또는, 제2 플렉서블 PI층(512)를 형성한 후, 제2 플렉서블 PI층(512)를 식각한 후 금속 물질을 증착하는 방식으로 이루어질 수도 있다. 이때, 복수의 콘택홀(531)의 위치는 제1 회로층(521)의 전극 구조와, 추가적인 회로층의 전극 구조를 고려

하여 정해질 수 있다.

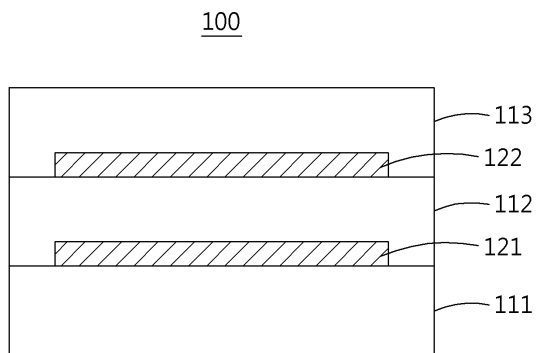
- [0077] 도 5d는 제2 플렉서블 PI층(513) 상에 적어도 하나의 제2 전자소자 어레이 및 적어도 하나의 제2 전자 부품(522)(이하에서는, “제2 회로층”이라 함)을 형성하는 공정을 도시한 것이다. 제2 회로층(522)은 제1 회로층(512)과 동일한 종류의 전자소자 어레이 및 전자 부품으로 구성될 수 있으며, 다른 종류의 전자소자 어레이 및 전자 부품으로 구성될 수도 있다.
- [0078] 도 5e는 제2 회로층(522) 상에 폴리이미드계 용액을 코팅하여 제3 플렉서블 PI층(513)을 형성하는 공정을 도시한 것이다. 여기서, 제3 플렉서블 PI층(515)은 제1 플렉서블 PI층(511)과 동일한 두께로 형성될 수 있다.
- [0079] 위에서는, 제2 플렉서블 PI층(512)에만 복수의 컨택홀(531)을 형성하는 것으로 도시 및 설명하였으나, 필요한 경우에는 제1 플렉서블 PI층(511)이나 제3 플렉서블 PI층(513)에도 복수의 컨택홀을 형성할 수도 있다.
- [0080] 도 5f는 제1 플렉서블 PI층(511)에서 캐리어 기판(501)을 제거하는 공정을 도시한 것이다. 캐리어 기판(501)은 별도의 장치를 이용하여 물리적으로 제거될 수 있다. 이 같은 공정들을 거쳐 도 5g에 도시된 것과 같은 고집적의 다층 전자 장치(500)를 제조할 수 있다.
- [0081] 위에서는 3층의 플렉서블 PI층(511, 512, 513) 사이에 제1 및 제2 회로층(521, 522)을 배치시키는 것으로 도시 및 설명하였으나, 플렉서블 PI층을 형성하는 공정 또는 회로층을 형성하는 공정이 적어도 1회 이상 추가로 수행될 수 있다. 따라서, 4층의 플렉서블 PI층과 3개의 회로층으로 구성된 다층 전자 장치를 제조하거나, 4층의 플렉서블 PI층과 4개의 회로층으로 구성된 다층 전자 장치를 제조할 수 있다. 플렉서블 PI층과 회로층의 수는 다층 전자 장치의 집적도 및 설계 형태에 따라 달라질 수 있다.
- [0082] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.
- [0083] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

부호의 설명

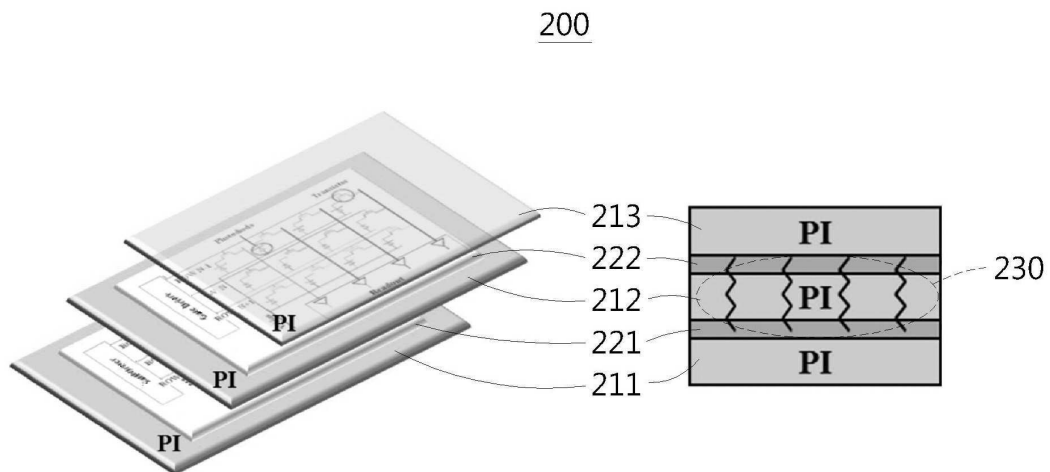
- [0084] 100 : 다층 전자 장치
- 111 : 제1 플렉서블 PI층
- 112 : 제2 플렉서블 PI층
- 113 : 제3 플렉서블 PI층
- 121 : 제1 회로층
- 122 : 제2 회로층

도면

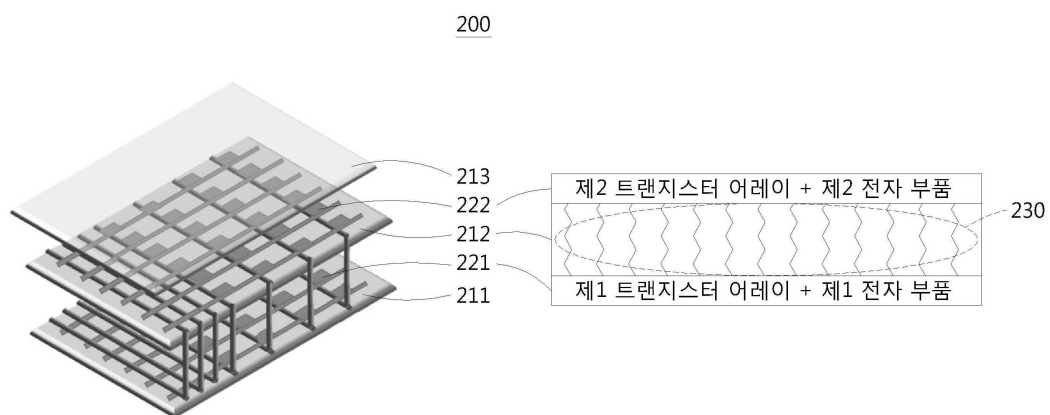
도면1



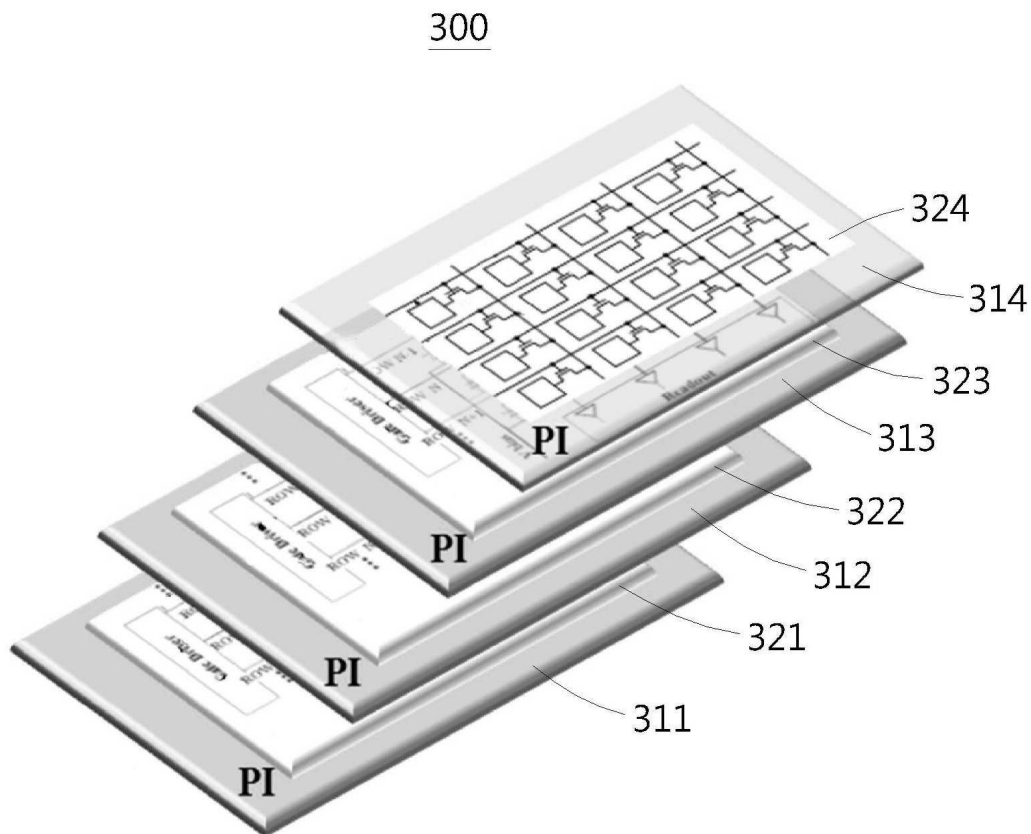
도면2a



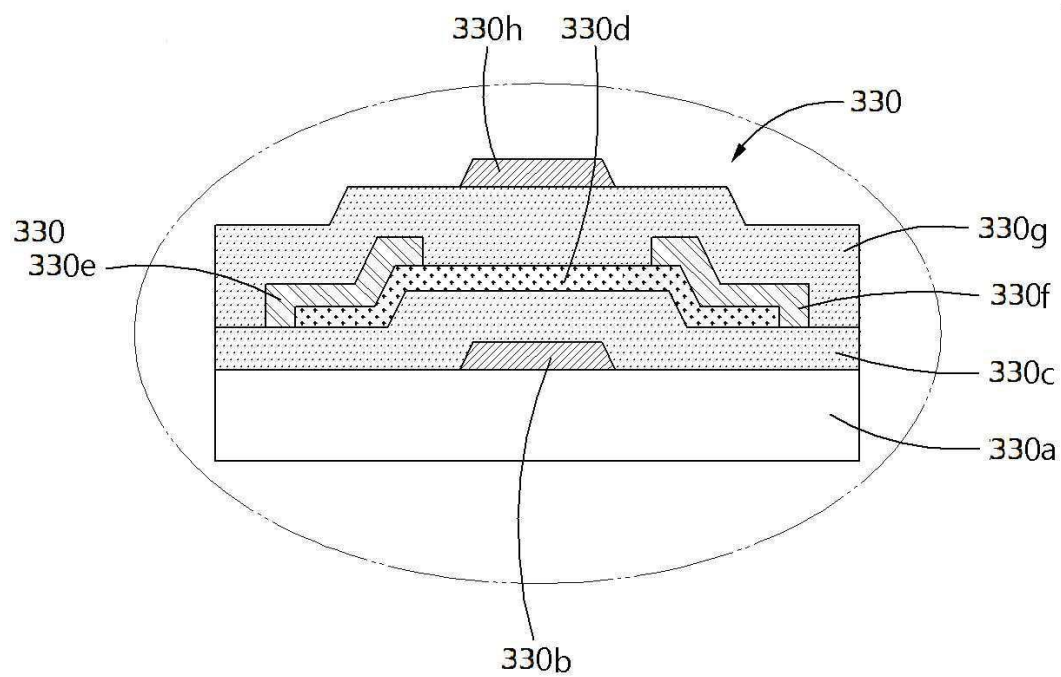
도면2b



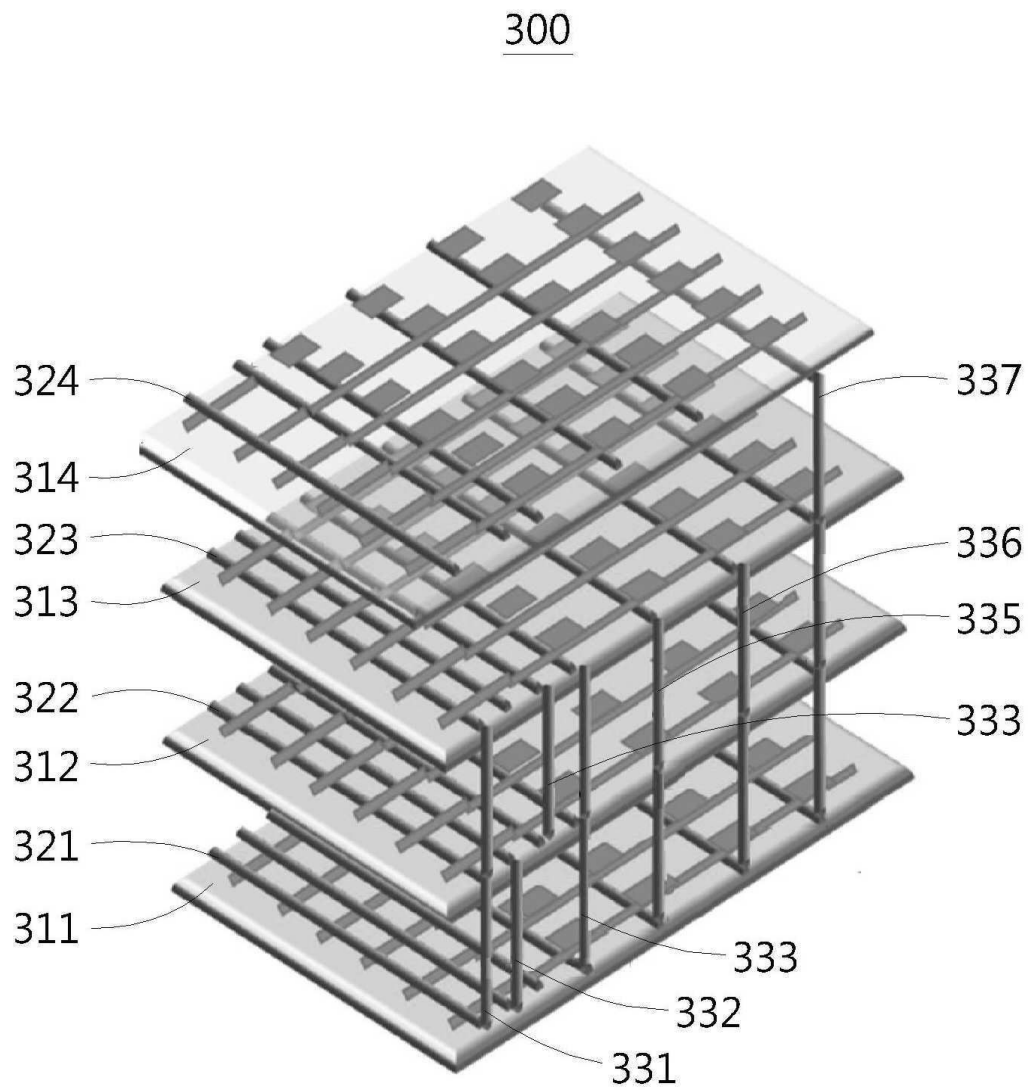
도면3a



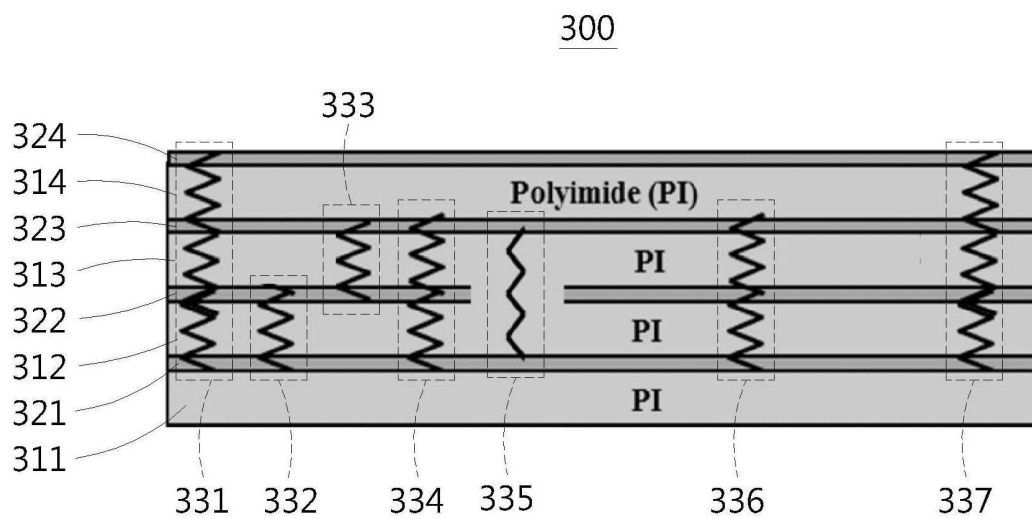
도면3b



도면3c

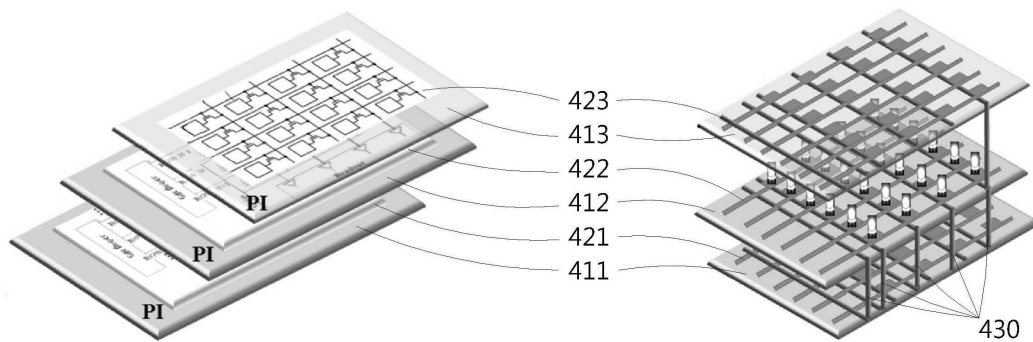


도면3d

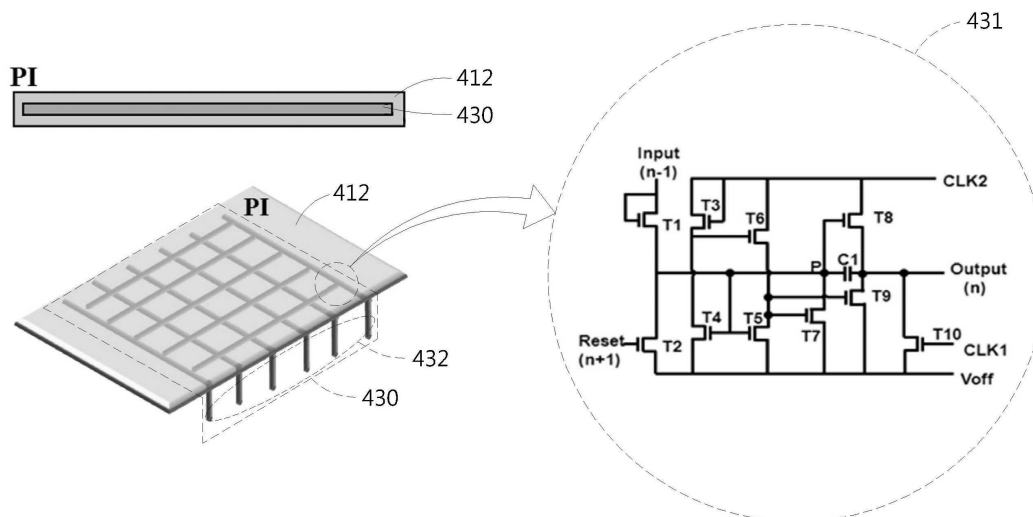


도면4a

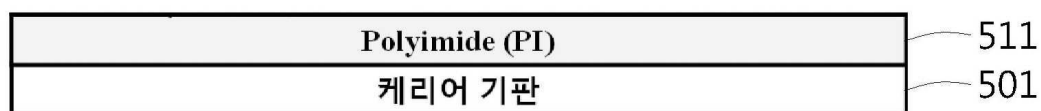
400



도면4b



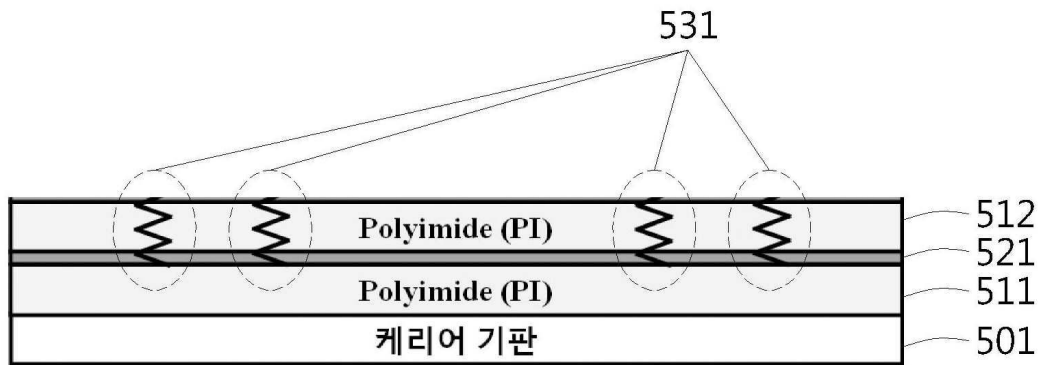
도면5a



도면5b



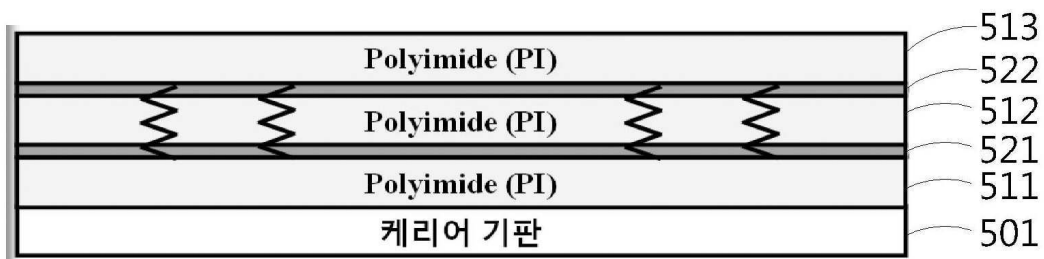
도면5c



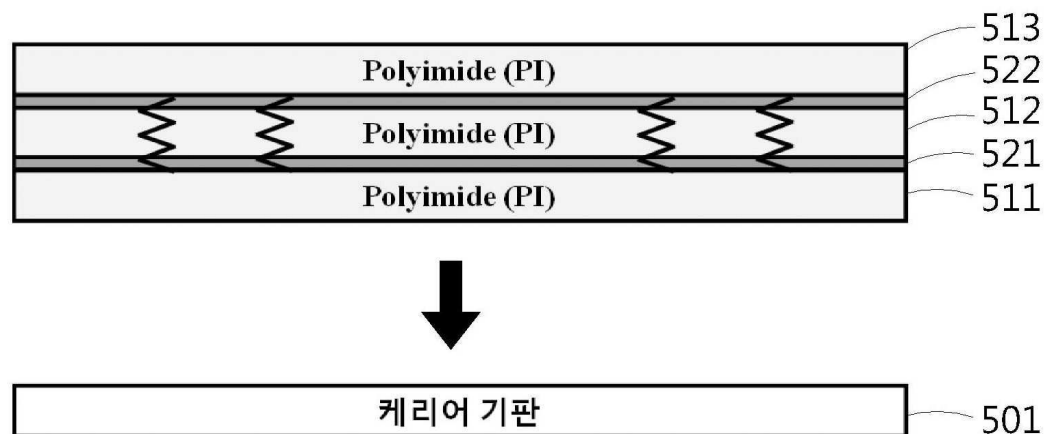
도면5d



도면5e



도면5f



도면5g

500

