(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3637149号
(P3637149)
(45)発行日　平成17年4月13日(2005.4.13)　(24)登録日　平成17年1月14日(2005.1.14)

(51)Int.Cl.[7]　F I
H03K 19/0175　H03K 19/00　101A

請求項の数 7　(全 13 頁)

(21)出願番号　特願平8-134667
(22)出願日　平成8年5月29日(1996.5.29)
(65)公開番号　特開平9-321601
(43)公開日　平成9年12月12日(1997.12.12)
審査請求日　平成14年9月17日(2002.9.17)

(73)特許権者　000005201
富士写真フイルム株式会社
神奈川県南足柄市中沼２１０番地
(74)代理人　100079991
弁理士　香取　孝雄
(72)発明者　久保　直基
埼玉県朝霞市泉水三丁目１１番４６号　富士写真フイルム株式会社内

審査官　彦田　克文

(56)参考文献　特開平０４－１２２１２４（ＪＰ，Ａ）
特開昭６３－１６４６０９（ＪＰ，Ａ）
特開昭６３－０８６６１８（ＪＰ，Ａ）
特開昭６１－２３４１２２（ＪＰ，Ａ）
最終頁に続く

(54)【発明の名称】レベル変換回路

(57)【特許請求の範囲】

【請求項１】

ベースにパルスが入力される第１のトランジスタと、ベースに所定のバイアス電圧が供給される第２のトランジスタとで構成され、前記ベースに入力したパルスを差動増幅する差動増幅回路と、

エミッタが前記第１のトランジスタのベースに接続されとともに抵抗または定電流源を介してアースに接続され、ベースが入力端子に接続される第３のトランジスタを含むエミッタホロア回路と、

エミッタが前記第３のトランジスタのエミッタと接続され、ベースが入力端子に接続され、コレクタがアースに接続される第４のトランジスタを含むパルス幅変動防止回路とを有することを特徴とするレベル変換回路。

【請求項２】

請求項１に記載のレベル変換回路において、該レベル変換回路はさらに、エミッタが前記第３のトランジスタのエミッタと接続され、ベースがバイアス電源に接続され、コレクタが電源に接続される第５のトランジスタを含む飽和防止回路を有することを特徴とするレベル変換回路。

【請求項３】

ベースにパルスが入力される第１のトランジスタと、ベースに所定のバイアス電圧が供給される第２のトランジスタとで構成され、前記ベースに入力したパルスを差動増幅する差動増幅回路と、

エミッタが前記第１のトランジスタのベースに接続されとともに抵抗または定電流源を介して電源に接続され、ベースが入力端子に接続される第３のトランジスタを含むエミッタホロア回路と、
エミッタが前記第３のトランジスタのエミッタと接続され、ベースが入力端子に接続され、コレクタが電源に接続される第４のトランジスタを含むパルス幅変動防止回路を有することを特徴とするレベル変換回路。
【請求項４】
請求項３に記載のレベル変換回路において、該レベル変換回路はさらに、エミッタが前記第３のトランジスタのエミッタと接続され、ベースがバイアス電源に接続され、コレクタがアースに接続される第５のトランジスタを含む飽和防止回路を有することを特徴とするレベル変換回路。
【請求項５】
請求項２または請求項４に記載のレベル変換回路において、該レベル変換回路はさらに、前記第３のトランジスタのエミッタと前記第４のトランジスタのエミッタとの間に第１の抵抗を設けたことを特徴とするレベル変換回路。
【請求項６】
請求項２または請求項４に記載のレベル変換回路において、該レベル変換回路はさらに、前記第３のトランジスタのエミッタと前記第５のトランジスタのエミッタとの間に第２の抵抗を設けたことを特徴とするレベル変換回路。
【請求項７】
請求項２または請求項４に記載のレベル変換回路において、該レベル変換回路はさらに、前記第３のトランジスタのエミッタと前記第４のトランジスタのエミッタとの間に第１の抵抗を設け、前記第３のトランジスタのエミッタと前記第５のトランジスタのエミッタとの間に第２の抵抗を設けたことを特徴とするレベル変換回路。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明はレベル変換回路に係り、とくにたとえば電子スチルカメラ等で用いられているサンプル・ホールド等の回路に駆動パルスを送るのに好適なレベル変換回路に関する。
【０００２】
【従来の技術】
図９は従来のレベル変換回路の一構成例を示すブロック図である。このレベル変換回路は入力端子INにパルスを入力して出力端子OUT1、OUT2 に相互に180 度位相の異なったパルスを出力する。図９を参照すると、このレベル変換回路はNTN トランジスタQ_1、Q_2、抵抗R_1、R_2、および定電流源I_{01} からなる差動増幅器と、 NTNトランジスタQ_3、 ダイオードD_1、D_2 および定電流源I_{02} からなるレベルシフト回路と、 NTNトランジスタQ_4、 ダイオードD_3、D_4 および定電流源I_{03} からなるレベルシフト回路と、 NTNトランジスタQ_5および抵抗R_3からなるエミッタホロア回路とからなる。
【０００３】
同図に示すように、トランジスタQ_2のベースには所定のバイアス電位V_{REF1} が接続され、トランジスタQ_1のベースはトランジスタQ_5のエミッタおよび抵抗R_3に接続され、トランジスタQ_5のベースに接続された入力端子INにパルスが供給される。エミッタホロア回路は入力端子INに入力したパルス、この例では図10(a) に示すパルスをバッファし、エミッタから差動増幅器に図10(b) に実線で示すパルスを送る。差動増幅器はこのパルスのレベル変換を行なってトランジスタQ_1のコレクタからトランジスタQ_4のベースに図10(c) に実線で示すパルスを送り、またトランジスタQ_2のコレクタからトランジスタQ_3のベースに図10(d) に実線で示すパルスを送る。
【０００４】
このように、トランジスタQ_3のベースに供給されたパルスはトランジスタQ_3のベース・エミッタ電圧V_{BE3}とダイオードD_1、D_2 の各々の順方向電圧V_{D1}、V_{D2} の分だけレベルシフト

され出力端子OUT1から出力され、また、他方のトランジスタQ_4のベースに供給されたパルスはトランジスタQ_4のベース・エミッタ電圧V_{BE4}とダイオードD_3、D_4 の各々の順方向電圧V_{D3}、V_{D4} の分だけレベルシフトされ出力端子OUT2から出力される。

【０００５】

このようなレベル変換回路は、たとえば図11に示すサンプル・ホールド回路の駆動回路として使用される。このサンプル・ホールド回路は信号入力端子SIN にたとえばCCD (電荷結合素子）からサンプル・ホールドされるべき画像信号V_{sig}を受け、これをサンプル・ホールドして信号出力端子SOUTに出力する。

【０００６】

図11を参照すると、このサンプル・ホールド回路は図９の出力端子OUT1、OUT2 と各々対応して接続される入力端子IN1、IN2 を有し、ベースが入力端子IN1、IN2 と接続されるNTN トランジスタQ_8、Q_9 よりなる差動対が形成されている。トランジスタQ_8、Q_9 のエミッタは定電流源I_{05} を介してアースに接続され、また、そのコレクタ間にはベース・エミッタが直列に接続される NTNトランジスタQ_{10} が設けられている。

【０００７】

この NTNトランジスタQ_{10} のベースは抵抗R_5を介してトランジスタQ_{11} のエミッタおよび定電流源I_{04} に接続され、トランジスタQ_{11} のベースに接続された信号入力端子SIN にサンプル・ホールドされるべき画像信号V_{sig}が供給される。また、 NTNトランジスタQ_{10} のエミッタはホールド用コンデンサＣを介してアースに接続され、ホールド用コンデンサＣに蓄積したホールド電圧を信号出力端子SOUTから出力する。

【０００８】

前にも少し触れたように、図９に示す回路の入力端子INにパルスを印加すると出力端子OUT1、OUT2 からは相互に180 度位相の異なるパルスが出力される。これらのパルスは図11に示す回路の入力端子IN1、IN2 に供給される。これによりトランジスタQ_8がオフされ、トランジスタQ_9がオンされるとコンデンサＣに入力した画像信号V_{sig}がサンプリングされて蓄積され、トランジスタQ_8がオンされ、トランジスタQ_9がオフされるとコンデンサＣに蓄積された画像信号V_{sig}の電荷がホールドされる。

【０００９】

図12は従来のレベル変換回路の他の構成例を示すブロック図である。なお、この図12において、図９と同一符号のものはそれと同等なものである。図９との相違点を説明する。

【００１０】

図12の回路はパルス発生器などの低電源電圧化に対応するもので、スレッショルドレベルを下げるために、図９の NTNトランジスタQ_5および抵抗R_3からなるエミッタホロア回路の代わりに、 PNPトランジスタQ_6および抵抗R_4からなるエミッタホロア回路を設けたものである。またこの回路には、差動対を形成するNPN トランジスタQ_1の飽和を防ぐための、ベースが所定のバイアス電位V_{REF2} に接続される PNPトランジスタQ_7が設けられている。

【００１１】

PNPトランジスタQ_6、Q_7 のコレクタはアースに接続され、トランジスタQ_6、Q_7 の共通エミッタは抵抗R_4を介して電源V_{CC} に接続されている。またトランジスタQ_6のベースは入力端子INに接続され、この端子INにパルスが供給される。エミッタホロア回路は入力端子INに入力したこの例では図13(a) に示すパルスをバッファし、エミッタから差動増幅器に図13(b) に実線で示すパルスを送る。差動増幅器はこのパルスのレベル変換を行なってトランジスタQ_1のコレクタからトランジスタQ_4のベースに図13(c) に実線で示すパルスを送り、またトランジスタQ_2のコレクタからトランジスタQ_3のベースに図13(d) に実線で示すパルスを送る。これらのパルスもまた、図９のレベル変換回路と同様に、図11に示すサンプル・ホールド回路に送られる。

【００１２】

【発明が解決しようとする課題】

しかしながら、図９の従来のレベル変換回路では、実際には図９に点線で示すように、トランジスタQ_5のエミッタ、抵抗R_3、トランジスタQ_1のベースとアース間に寄生容量C_1が存

在する。このため、トランジスタQ_5のエミッタのパルスの立ち下がりの波形は、寄生容量C_1と抵抗R_3の時定数により図10(b) に点線で示すようになる。したがって、トランジスタQ_1のコレクタのパルスの立ち上がりの波形は図10(c) に点線で示すようになり、また、トランジスタQ_2のコレクタのパルスの立ち下がりの波形は図10(d) に点線で示すようになる。詳細には、トランジスタQ_1のコレクタのパルスの立ち上がりの時間が実線の位置から点線の位置までずれたことになる、つまり立ち上がりの時間が遅延しそのパルスの幅が変動したことになる。このようなことがトランジスタQ_2のコレクタのパルスについてもいえる。

【００１３】

このように、パルスの立ち上がりまたは立ち下がりの時間が遅延し、そのパルス幅が変動する、つまりこの例ではサンプリング終了時間が遅れその期間が長くなり、ホールド開始時間が遅れその期間が短くなる。このように、サンプリング期間およびホールド期間が変わるということは、とくにこの回路を高速で動作させる場合には問題となる。また、このパルスから細かいパルスを作るようなシステムでも問題となる。

【００１４】

具体的には、図９の回路において、たとえば抵抗R_3が 20KΩで、寄生容量C_1が0.1pF の場合、その時定数τ=C_1・R_3は2ns になる。そして、そのような時定数を有する図９の回路の入力端子INに、CCD に蓄積した画像信号を読み出すのと同じたとえば15MHz のサンプル・ホールドパルス（正極性および負極性のパルス幅がともに33ns）を供給すると、その出力端子OUT1からは、正極性のパルス幅が35nsで、負極性のパルス幅が31nsのパルスが出力され、また、出力端子OUT2からは負極性のパルス幅が35nsで、正極性のパルス幅が31nsのパルスが出力される。この場合、サンプリング終了時間は2ns 遅れその期間は2ns 長くなり、またホールド開始時間は2ns 遅れその期間は2ns 短くなる、このように、サンプリング期間およびホールド期間が変わるということは、さらに高速で動作するシステムでは顕著となり問題となる。

【００１５】

また、プロセス（製造）バラツキによりC_1、R_3 は相当量バラつく。このため、それに応じてパルス遅延量がバラつく。たとえばR_3が±20% バラつく場合、上記の例では1.6 ～2.4ns バラつくことになり、システムの性能にバラつきが生じるというデメリットが発生する。高速動作が要求されるシステムではこの問題は顕著となる。

【００１６】

また、図12の従来のレベル変換回路では、実際には図12に点線で示すように、トランジスタQ_6のエミッタ、抵抗R_4、トランジスタQ_7のエミッタ、トランジスタQ_1のベースとアース間に寄生容量C_2が存在する。このため、トランジスタQ_6のエミッタのパルスの立ち上がりの波形は、寄生容量C_2と抵抗R_4の時定数により図13(b) に点線で示すようになる。したがって、トランジスタQ_1のコレクタのパルスの立ち下がりの波形は図13(c) に点線で示すようになり、またトランジスタQ_2のコレクタのパルスの立ち上がりの波形は図13(d) に点線で示すようになる。

【００１７】

詳細にはトランジスタQ_1のコレクタのパルスの波形を参照すると、その立ち上がりの時間が実線の位置から点線の位置までずれたことになる、つまり立ち上がりの時刻が遅延し、そのパルスの幅が変動したことになる。このようなことがトランジスタQ_2のコレクタのパルスについてもいえる。したがって、図12の回路もまた図９の回路と同じ問題をかかえている。

【００１８】

本発明はこのような従来技術の欠点を解消し、寄生容量の影響によるパルス幅の変動を低減するとともに、素子のプロセスバラツキの影響によるパルス幅の変動を低減することのできるレベル変換回路を提供することを目的とする。

【００１９】

【課題を解決するための手段】

本発明のレベル変換回路は、上述の課題を解決するために、ベースにパルスが入力される第１のトランジスタと、ベースに所定のバイアス電圧が供給される第２のトランジスタとで構成され、ベースに入力したパルスを差動増幅する差動増幅回路と、エミッタが第１のトランジスタのベースに接続されとともに抵抗または定電流源を介してアースに接続され、ベースが入力端子に接続される第３のトランジスタを含むエミッタホロア回路と、エミッタが第３のトランジスタのエミッタと接続され、ベースが入力端子に接続され、コレクタがアースに接続される第４のトランジスタを含むパルス幅変動防止回路とを有することを特徴とする。このレベル変換回路はさらに、エミッタが第３のトランジスタのエミッタと接続され、ベースがバイアス電源に接続され、コレクタが電源に接続される第５のトランジスタを含む飽和防止回路を有することを特徴とする。

【００２０】

また本発明の他のレベル変換回路は、上述の課題を解決するために、ベースにパルスが入力される第１のトランジスタと、ベースに所定のバイアス電圧が供給される第２のトランジスタとで構成され、ベースに入力したパルスを差動増幅する差動増幅回路と、エミッタが第１のトランジスタのベースに接続されとともに抵抗または定電流源を介して電源に接続され、ベースが入力端子に接続される第３のトランジスタを含むエミッタホロア回路と、エミッタが第３のトランジスタのエミッタと接続され、ベースが入力端子に接続され、コレクタが電源に接続される第４のトランジスタを含むパルス幅変動防止回路を有することを特徴とする。このレベル変換回路はさらに、エミッタが第３のトランジスタのエミッタと接続され、ベースがバイアス電源に接続され、コレクタがアースに接続される第５のトランジスタを含む飽和防止回路を有することを特徴とする。

【００２１】

【発明の実施の形態】

次に添付図面を参照して本発明によるレベル変換回路の実施例を詳細に説明する。

【００２２】

図１には本発明のレベル変換回路の第１の実施例が示されている。なお、この図１において、図９と同一符号のものはそれと同等なものである。したがって図９との相違点を説明する。

【００２３】

図１の回路は、図９の構成要素にさらに PNPトランジスタQ_{11} を追加したものであり、これはトランジスタQ_5のエミッタのパルスが低レベルになったとき寄生容量C_1に蓄積され放電される電圧を強制的に低レベルにするものである。このトランジスタQ_{11} のエミッタはトランジスタQ_5のエミッタ、トランジスタQ_1のベースおよび抵抗R_3に接続され、トランジスタQ_{11} のコレクタはアースに接続され、トランジスタQ_{11} のベースはトランジスタQ_5のベースおよび入力端子INに接続され、この入力端子INにパルスが供給される。

【００２４】

入力端子INにたとえば図2(a)に示すパルス（図10(a) と同じパルス）を入力すると、トランジスタQ_5のエミッタからは図2(b)に実線および点線で示す立ち下がりのパルスが出力される。詳細には、トランジスタQ_{11} がない場合は、前述したように寄生容量C_1の影響を受けトランジスタQ_5のエミッタは図10(b) の点線で示す立ち下がりのパルスを出力するが、トランジスタQ_{11} がある場合は、トランジスタQ_5のエミッタのパルスが低レベルになったときトランジスタQ_{11} が寄生容量C_1に蓄積された電荷を放電し電圧を強制的に低レベルにする。実際には、立ち下がりの部分においては図2(b)に示すようにトランジスタQ_{11} のベース・エミッタ電圧V_{BE11} より上の低レベルの部分では遅延はなくなり、下の部分では点線で示すようにその放電よる電圧が残る。

【００２５】

そして、このようなパルスが差動増幅器に供給される。差動増幅器は入力したパルスの放電電圧の部分を使用しないため、そのトランジスタQ_1のコレクタからは図2(c)に示すようにパルス遅延によるパルス幅の変動のないパルスが出力される。同様なことが、トランジスタQ_2のコレクタから出力されるパルスについてもいえる。なお、NTN トランジスタQ_1、

Q_2、抵抗R_1、R_2、および定電流源I_{01} からなる差動対の代わりに PNPトランジスタなどからなる差動対でもよい。

【００２６】

図３には本発明のレベル変換回路の第２の実施例が示されている。なお、この図３において、図12と同一符号のものはそれと同等なものである。したがって図12との相違点を説明する。

【００２７】

図３の回路は図12の構成要素にさらに NPNトランジスタQ_{12} を追加したものであり、これはトランジスタQ_6のエミッタのパルスが高レベルになったとき寄生容量C_2を充電し電圧を強制的に高レベルにするものである。このトランジスタQ_{12} のエミッタはトランジスタQ_6、Q_7 のエミッタ、トランジスタQ_1のベースおよび抵抗R_4に接続され、トランジスタQ_{12} のコレクタは電源V_{CC} に接続され、トランジスタQ_{12} のベースはトランジスタQ_6のベースおよび入力端子INに接続され、この入力端子INにパルスが供給される。

【００２８】

入力端子INにたとえば図4(a)に示すパルス（図13(a) と同じパルス）を入力すると、トランジスタQ_6のエミッタからは図4(b)に実線および点線で示すパルスを出力する。詳細には、トランジスタQ_{12} がない場合は、前述したように寄生容量C_2の影響を受けトランジスタQ_6のエミッタは図13(b) の点線で示す立ち上がりのパルスを出力するが、トランジスタQ_{12} がある場合は、トランジスタQ_6のエミッタのパルスが高レベルになったときトランジスタQ_{12} が寄生容量C_2を充電し電圧を強制的に高レベルにする。実際には立ち下がりの部分においては図4(b)に示すようにトランジスタQ_{12} のベース・エミッタ電圧V_{BE12} より下の高レベルの部分では容量C_2による遅延はなくなり、上の部分では点線で示すようにその放電よる電圧が残る。

【００２９】

そして、このようなパルスが差動増幅器に供給される。差動増幅器は入力したパルスの放電電圧の部分を使用しないため、そのトランジスタQ_1のコレクタからは図4(c)に示すようにパルス遅延によるパルス幅の変動のないパルスが出力される。同様なことがトランジスタQ_2のコレクタから出力されるパルスについてもいえる。なお、図３に示すR_4を定電流源にしてもよいし、NTN トランジスタQ_1、Q_2、抵抗R_1、R_2、および定電流源I_{01} からなる差動対の代わりに PNPトランジスタなどからなる差動対でもよい。

【００３０】

図５には本発明のレベル変換回路の第３の実施例が示されている。なお、この図５において、図３および図12と同一符号のものはそれと同等なものである。したがって図３および図12との相違点を説明する。

【００３１】

図５の回路は、図12のR_4を定電流源I_{06} に変更するとともに、図12の構成要素に図示のようにトランジスタQ_7のエミッタに抵抗R_7を、トランジスタQ_{12} のエミッタに抵抗R_6を追加したものであり、これはトランジスタQ_7、Q_{12}の過電流を防止するものである。なお、この回路において、抵抗R_6、R_7 のいずれかを追加してもよい。

【００３２】

図５を参照すると、トランジスタQ_6、Q_7 のコレクタはアースに接続され、トランジスタQ_7のエミッタは抵抗R_7を介してトランジスタQ_1のベース、トランジスタQ_6のエミッタ、抵抗R_6および定電流源I_{06} に接続されている。トランジスタQ_{12} のコレクタは電源に接続され、トランジスタQ_{12} のエミッタは抵抗R_6を介してトランジスタQ_1のベース、トランジスタQ_6のエミッタ、抵抗R_7および定電流源I_{06} に接続され、トランジスタQ_{12} のベースはトランジスタQ_6のベースおよび入力端子INに接続され、この入力端子INにパルスが供給される。

【００３３】

トランジスタQ_{12} がない場合に、入力端子INにたとえば図6(a)に示すパルスが入力され、トランジスタQ_6のエミッタのパルスが高レベルになったとき寄生容量は定電流源I_{06} によ

り充電され図6(b)に点線で示す直線的な立ち上がりのパルスを出力する。この点線で示す立ち下がりによる最大遅延量は、たとえばI_{06}= 100μA、C_3=0.1pF、V_{CC}=5.0V とすると、3.5ns となる。

【００３４】

またトランジスタQ_{12} がある場合は、トランジスタQ_6のエミッタのパルスが高レベルになったとき寄生容量C_3を充電し電圧を強制的に高レベルにするから、図6(b)に実線で示す立ち上がりのパルスを出力する。つまり、入力端子INに入力した波形に対し遅延のないパルスが出力される。

【００３５】

そして、このようなパルスが差動増幅器に供給される。そのトランジスタQ_1のコレクタからは図6(c)に示すようにパルス遅延によるパルス幅の変動のないパルスが出力される。同様なことが、トランジスタQ_2のコレクタから出力されるパルスについてもいえる。

【００３６】

図７には本発明のレベル変換回路の第４の実施例が示されている。なお、この図７において、図９と同一符号のものはそれと同等なものである。したがって図９との相違点を説明する。

【００３７】

図７の回路は、図９の構成要素にさらに NPNトランジスタQ_{13} および定電流源I_{07} からなるエミッタホロア回路と、定電流源I_{06} の飽和を防ぐための、ベースが所定のバイアス電位V_{REF1} に接続される NPNトランジスタQ_{14} と、パルス幅の変動を防止する PNPトランジスタQ_{15} と、 PNPトランジスタQ_{15} および NPNトランジスタQ_{14} の過電流を防止する抵抗R_8および抵抗R_9とが追加されている。

【００３８】

なお、同図の容量C_3は NPNトランジスタQ_{13} のエミッタ、定電流源I_{07} 、抵抗R_8、R_9 、NPNトランジスタQ_1のベースとアース間の寄生容量である。また、この回路において、抵抗R_8、R_9 のいずれかを追加してもよいし、抵抗R_8、R_9 のいずれも追加しないでもよい。

【００３９】

図７を参照すると、トランジスタQ_{13}、Q_{14} のコレクタは電源V_{CC} に接続され、トランジスタQ_{14} のエミッタは抵抗R_9を介してトランジスタQ_1のベース、トランジスタQ_{13} のエミッタ、抵抗R_8および定電流源I_{07} に接続されている。トランジスタQ_{15} のコレクタはアースに接続され、トランジスタQ_{15} のエミッタは抵抗R_8を介してトランジスタQ_1のベース、トランジスタQ_{13} のエミッタ、抵抗R_9および定電流源I_{07} に接続され、トランジスタQ_{15} のベースはトランジスタQ_{13} のベースおよび入力端子INに接続され、この入力端子INにパルスが供給される。

【００４０】

トランジスタQ_{15} がない場合に、入力端子INにたとえば図8(a)に示すパルスを入力すると、寄生容量C_3に蓄積された電荷は定電流源I_{07} により放電され図8(b)に点線で示す直線的な立ち下がりのパルスが出力される。この点線で示す立ち下がりによる最大遅延量は、たとえばI_{06}= 100μA、C_3=0.1pF、V_{CC}=5.0V とすると、3.5ns となる。

【００４１】

また、トランジスタQ_{15} がある場合は、トランジスタQ_{13} のエミッタのパルスが低レベルになったときには寄生容量C_3に蓄積された電荷をトランジスタQ_{15} により強制的に低レベルにするから、図8(b)に実線で示す立ち下がりのパルスが出力される。つまり、入力端子INに入力した波形に対し遅延のないパルスが出力される。

【００４２】

そして、このようなパルスが差動増幅器に供給される。そのトランジスタQ_1のコレクタからは図8(c)に示すようにパルス遅延によるパルス幅の変動のないパルスが出力される。同様なことが、トランジスタQ_2のコレクタから出力されるパルスについてもいえる。

【００４３】

以上説明したように、本実施例には、トランジスタなどからなるパルス幅の変動を防止す

る回路が設けられている。したがって、このようなパルス幅変動防止回路を付加すれば寄生容量の影響を受けない、素子のプロセスバラツキの影響を受けないレベル変換回路を形成することができる。

【００４４】

【発明の効果】

本発明のレベル変換回路によれば、パルス幅変動防止回路が第３のトランジスタのエミッタのパルスレベルが低レベル値になったときに抵抗値と寄生容量値の時定数に基づいて放電される電圧、または定電流源電流値と寄生容量値とで決まる放電特性に基づいて放電される電圧を強制的に低レベルにしている。

【００４５】

また本発明のレベル変換回路によれば、パルス幅変動防止回路が第３のトランジスタのエミッタのパルスレベルが高レベル値になったときに抵抗値と寄生容量値の時定数に基づいて充電される電圧、または定電流源電流値と寄生容量値とで決まる充電特性に基づいて充電される電圧を強制的に高レベルにしている。

【００４６】

したがって、このようなパルス幅変動防止回路を用いれば寄生容量の影響を受けない、素子のプロセスバラツキの影響を受けない、つまりパルス幅変動のないパルスを効果的に得ることができる。

【図面の簡単な説明】

【図１】本発明の第１の実施例に係るレベル変換回路の回路図である。

【図２】図１に示すレベル変換回路の動作説明図である。

【図３】本発明の第２の実施例に係るレベル変換回路の回路図である。

【図４】図３に示すレベル変換回路の動作説明図である。

【図５】本発明の第３の実施例に係るレベル変換回路の回路図である。

【図６】図５に示すレベル変換回路の動作説明図である。

【図７】本発明の第４の実施例に係るレベル変換回路の回路図である。

【図８】図７に示すレベル変換回路の動作説明図である。

【図９】従来のレベル変換回路の回路図である。

【図１０】図９に示すレベル変換回路の動作説明図である。

【図１１】従来のサンプル・ホールド回路の回路図である。

【図１２】従来の他のレベル変換回路の回路図である。

【図１３】図12に示すレベル変換回路の動作説明図である。

【符号の説明】

D_1、D_2、D_3、D_4　ダイオード

IN　入力端子

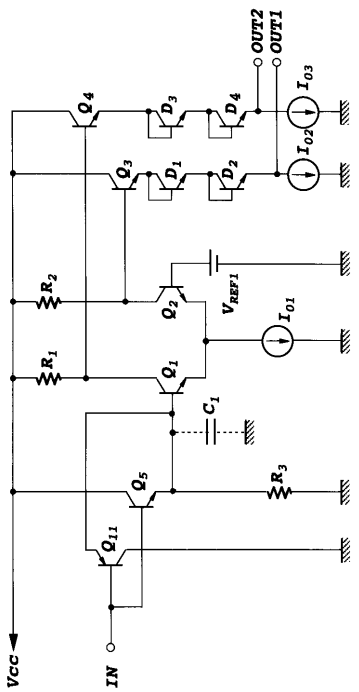
I_{01}、I_{02}、I_{03}、I_{04}、I_{05}、I_{06}、I_{07}　定電流源

OUT1、OUT2　出力端子

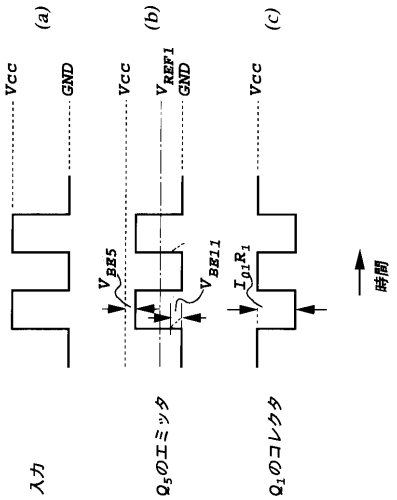
Q_1、Q_2、Q_3、Q_4、Q_5、Q_6、Q_7、Q_8、Q_9、Q_{10}、Q_{11}、Q_{12}、Q_{13}、Q_{14}、Q_{15}　トランジスタ

R_1、R_2、R_3、R_4、R_5、R_6、R_7、R_8、R_9　抵抗

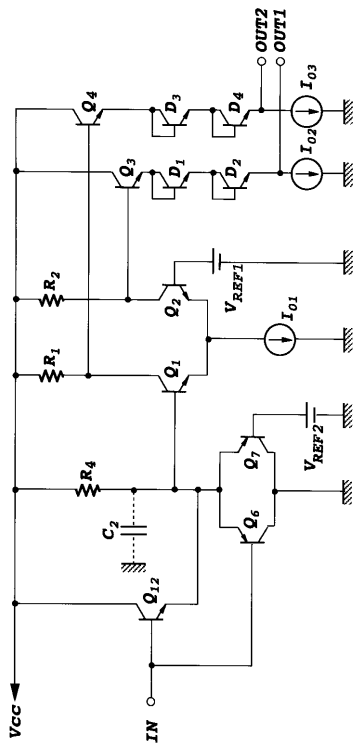
【図１】


OUT2
OUT1
Q4
D3
D4
IO3
IO2
Q3
D1
D2
R2
Q2
VREF1
IO1
R1
Q1
C1
R3
Q5
Q11
VCC
IN

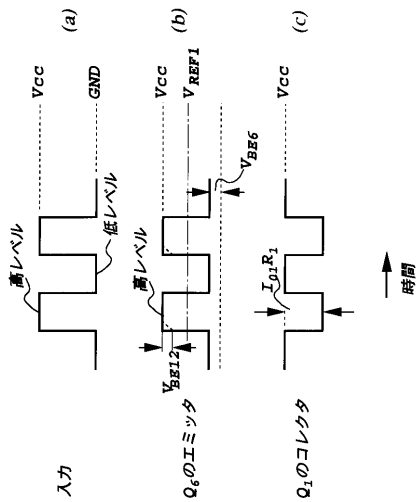
【図２】


(a)
(b)
(c)
VCC
GND
VREF1
VBE5
VBE11
I01R1
時間
入力
Q5のエミッタ
Q1のコレクタ

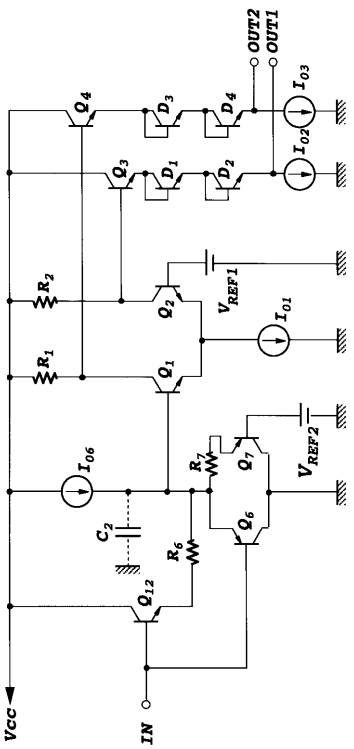
【図３】


OUT2
OUT1
Q4
D3
D4
IO3
IO2
Q3
D1
D2
R2
Q2
VREF1
IO1
R1
Q1
VREF2
Q7
R4
Q6
C2
Q12
VCC
IN

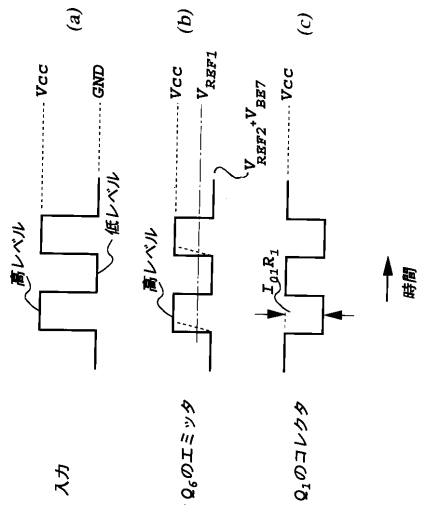
【図４】


(a)
(b)
(c)
VCC
GND
高レベル
低レベル
VREF1
VBE6
VBE12
I01R1
時間
入力
Q6のエミッタ
Q1のコレクタ

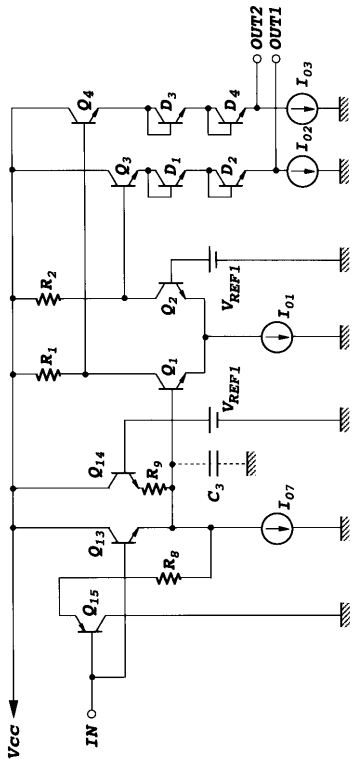
【図５】


OUT2
OUT1
Q4
D3
D4
I03
I02
Q3
D1
D2
R2
VREF1
Q2
I01
R1
Q1
I06
R7
Q7
VREF2
C2
R6
Q6
Q12
Vcc
IN

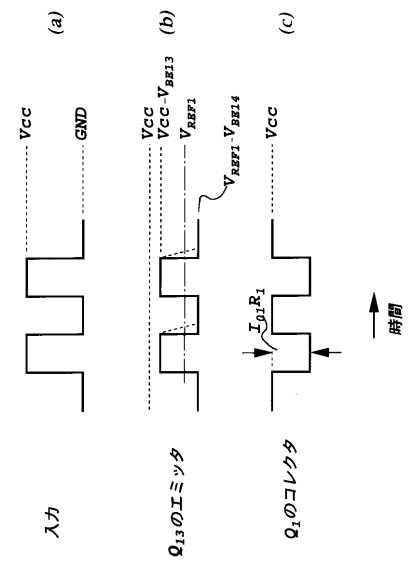
【図６】


(a)
(b)
(c)
Vcc
GND
高レベル
低レベル
VREF1
VREF2+VBE7
I01R1
時間
入力
Q6のエミッタ
Q1のコレクタ

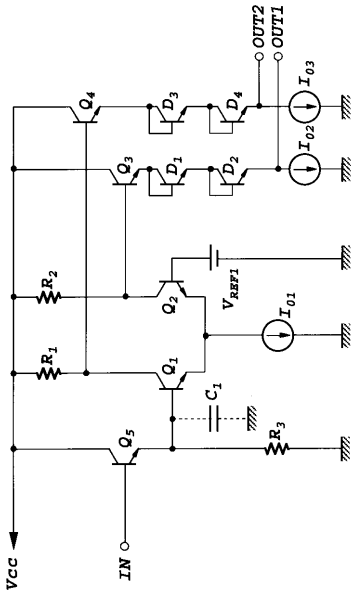
【図７】


OUT2
OUT1
Q4
D3
D4
I03
I02
Q3
D1
D2
R2
VREF1
Q2
I01
R1
Q1
VREF1
Q14
R9
C3
I07
Q13
R8
Q15
Vcc
IN

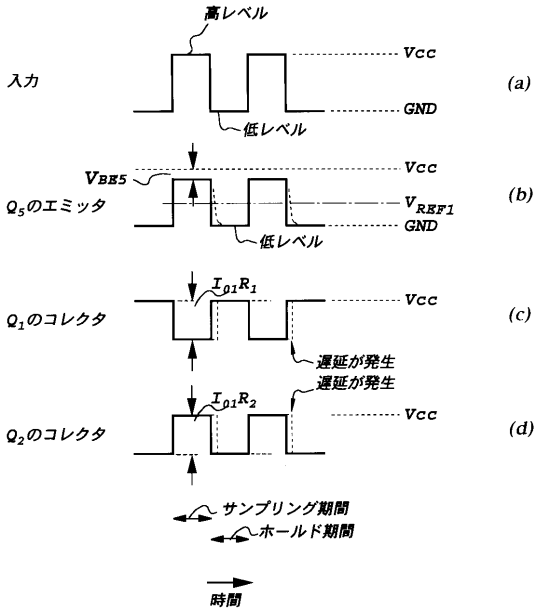
【図８】


(a)
(b)
(c)
Vcc
GND
Vcc-VBE13
VREF1
VREF1-VBE14
I01R1
時間
入力
Q13のエミッタ
Q1のコレクタ

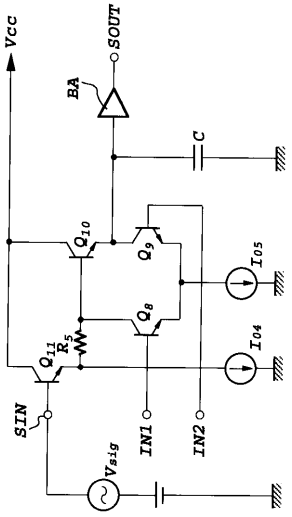
【図９】



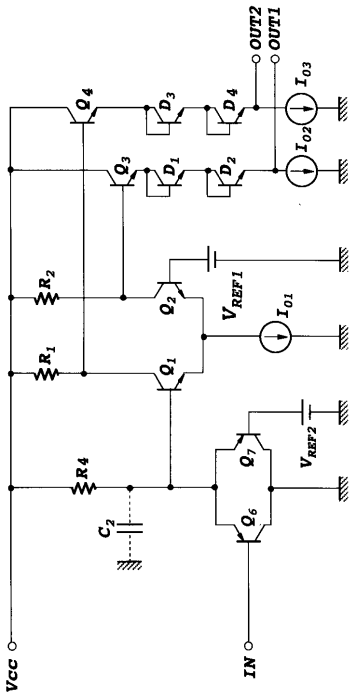
【図１０】



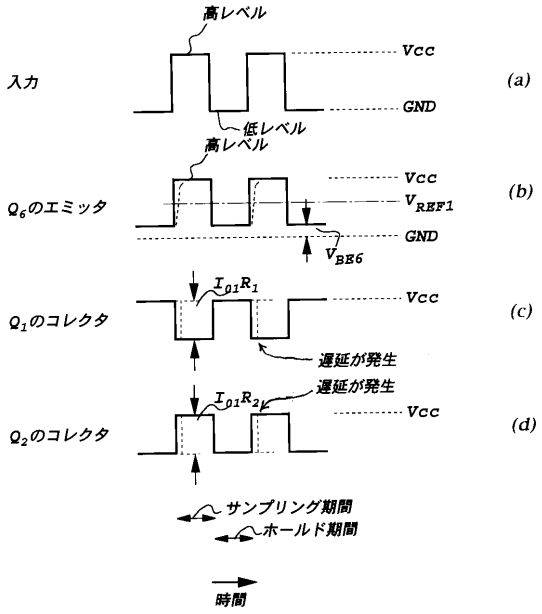
【図１１】



【図１２】



【図１３】


高レベル
Vcc
入力
(a)
GND
低レベル
高レベル
Vcc
Q6のエミッタ
(b)
VREF1
GND
VBE6
I01R1
Vcc
Q1のコレクタ
(c)
遅延が発生
遅延が発生
I01R2
Vcc
Q2のコレクタ
(d)
サンプリング期間
ホールド期間
時間

フロントページの続き

(58)調査した分野(Int.Cl.[7], ＤＢ名)
H03K 19/0175