

【特許請求の範囲】

【請求項 1】

第 1 方向に延在する直方体状の第 1 フィンと、
前記第 1 フィンと離間して配置され、前記第 1 方向に延在する直方体状の第 2 フィンと、
前記第 1 フィンと前記第 2 フィンとの間に配置され、かつ、その高さが前記第 1 フィンおよび前記第 2 フィンの高さより低い、素子分離部と、
前記第 1 フィン、前記素子分離部および前記第 2 フィンの上に、電荷蓄積部を有する第 1 ゲート絶縁膜を介して配置され、前記第 1 方向と交差する第 2 方向に延在する第 1 ゲート電極と、
前記第 1 フィン、前記素子分離部および前記第 2 フィンの上に第 2 ゲート絶縁膜を介して配置され、前記第 1 方向と交差する前記第 2 方向に延在し、前記第 1 ゲート電極と並んで配置された第 2 ゲート電極と、
を有し、
前記第 1 ゲート電極の下方の前記素子分離部の高さは、前記第 2 ゲート電極の下方の前記素子分離部の高さより高い、半導体装置。

10

【請求項 2】

請求項 1 記載の半導体装置において、
前記第 1 ゲート絶縁膜は、前記第 1 フィン上に形成された第 1 膜と、前記第 1 膜上に形成され、前記電荷蓄積部となる第 2 膜と、前記第 2 膜上に形成された第 3 膜とを有する、半導体装置。

20

【請求項 3】

請求項 2 記載の半導体装置において、
前記第 1 ゲート電極の下方の前記素子分離部の高さ、と前記第 2 ゲート電極の下方の前記素子分離部の高さの差は、5 nm 以上 10 nm 以下である、半導体装置。

【請求項 4】

請求項 2 記載の半導体装置において、
前記第 1 ゲート電極および前記第 2 ゲート電極は、シリコンよりなる、半導体装置。

【請求項 5】

請求項 4 記載の半導体装置において、
前記第 1 膜は、熱酸化膜であり、前記素子分離部は、CVD 膜よりなる、半導体装置。

30

【請求項 6】

請求項 5 記載の半導体装置において、
前記第 2 ゲート電極は、金属膜よりなり、前記第 2 ゲート絶縁膜は、窒化シリコンより誘電率の高い高誘電体よりなる、半導体装置。

【請求項 7】

請求項 2 記載の半導体装置において、
前記第 1 ゲート電極の下方の前記素子分離部の高さは、前記第 1 膜と前記素子分離部との第 1 合成部であって、前記第 1 合成部の膜厚が増加し始める部位の高さに対応し、
前記第 2 ゲート電極の下方の前記素子分離部の高さは、前記第 2 ゲート絶縁膜と前記素子分離部との第 2 合成部であって、前記第 2 合成部の膜厚が増加し始める部位の高さに対応する、半導体装置。

40

【請求項 8】

(a) 第 1 方向に延在する第 1 フィン形成領域と、前記第 1 フィン形成領域と離間して配置され、前記第 1 方向に延在する第 2 フィン形成領域と、を有する半導体基板の、前記第 1 フィン形成領域と前記第 2 フィン形成領域との間に分離溝を形成するとともに、第 1 フィンと第 2 フィンを形成する工程、

(b) 前記分離溝の内部に分離絶縁膜を埋め込むことにより素子分離部を形成する工程、
(c) 前記素子分離部の表面を後退させる工程、

50

(d) 前記半導体基板上に電荷蓄積部を有する第1絶縁膜を形成し、さらに、前記第1絶縁膜上に、第1導電性膜を形成し加工することにより、前記第1フィン、前記素子分離部および前記第2フィンの上方に、前記第1方向と交差する第2方向に延在する第1ゲート電極を形成する工程、

(e) 前記半導体基板上に第2絶縁膜を形成し、さらに、前記第2絶縁膜上に、第2導電性膜を形成し加工することにより、前記第1フィン、前記素子分離部および前記第2フィンの上方に、前記第1方向と交差する前記第2方向に延在する第2ゲート電極を形成する工程、
を有し、

前記(e)工程は、前記(d)工程より後に行われ、

前記(d)工程の後において、前記第1ゲート電極の下方の前記素子分離部の高さは、前記第2ゲート電極の下方の前記素子分離部の高さより高い、半導体装置の製造方法。

【請求項9】

請求項8記載の半導体装置の製造方法において、

前記(d)工程は、

(d1) 前記第1ゲート電極の形成領域および前記第2ゲート電極の形成領域上に、前記第1絶縁膜および前記第1導電性膜を形成する工程、

(d2) 前記第1ゲート電極の形成領域に、前記第1絶縁膜および前記第1導電性膜を残存させ、前記第2ゲート電極の形成領域の、前記第1絶縁膜および前記第1導電性膜を除去する工程、

を有し、

前記(d2)工程において、前記第2ゲート電極の形成領域において露出した前記素子分離部の表面が後退する、半導体装置の製造方法。

【請求項10】

請求項8記載の半導体装置の製造方法において、

前記(d)工程は、前記第1絶縁膜として、前記第1フィン上に第1膜を形成し、前記第1膜上に、前記電荷蓄積部となる第2膜を形成し、前記第2膜上に第3膜を形成する工程を有する、半導体装置の製造方法。

【請求項11】

請求項8記載の半導体装置の製造方法において、

前記(d)工程の後において、前記第1ゲート電極の下方の前記素子分離部の高さ、前記第2ゲート電極の下方の前記素子分離部の高さの差は、5nm以上10nm以下である、半導体装置の製造方法。

【請求項12】

請求項10記載の半導体装置の製造方法において、

前記第1ゲート電極および前記第2ゲート電極は、シリコンよりなる、半導体装置の製造方法。

【請求項13】

請求項12記載の半導体装置の製造方法において、

前記(d)工程の前記第1膜は、熱酸化により形成され、

前記(b)工程の前記分離絶縁膜は、CVD法により形成される、半導体装置の製造方法。

【請求項14】

請求項10記載の半導体装置の製造方法において、

前記第1ゲート電極の下方の前記素子分離部の高さは、前記第1膜と前記素子分離部との第1合成部であって、前記第1合成部の膜厚が増加し始める部位の高さに対応し、

前記第2ゲート電極の下方の前記素子分離部の高さは、前記第2絶縁膜と前記素子分離部との第2合成部であって、前記第2合成部の膜厚が増加し始める部位の高さに対応する、半導体装置の製造方法。

【請求項15】

10

20

30

40

50

(a) 第1方向に延在する第1フィン形成領域と、前記第1フィン形成領域と離間して配置され、前記第1方向に延在する第2フィン形成領域と、を有する半導体基板の、前記第1フィン形成領域と前記第2フィン形成領域との間に分離溝を形成するとともに、第1フィンと第2フィンを形成する工程、

(b) 前記分離溝の内部に分離絶縁膜を埋め込むことにより素子分離部を形成する工程、

(c) 前記素子分離部の表面を後退させる工程、

(d) 前記半導体基板上に電荷蓄積部を有する第1絶縁膜を形成し、さらに、前記第1絶縁膜上に、第1導電性膜を形成し加工することにより、前記第1フィン、前記素子分離部および前記第2フィンの上方に、前記第1方向と交差する第2方向に延在する前記第1導電性膜を形成する工程、

10

(e) 前記半導体基板上に第2絶縁膜を形成し、さらに、前記第2絶縁膜上に、第2導電性膜を形成し加工することにより、前記第1フィン、前記素子分離部および前記第2フィンの上方に、前記第1方向と交差する前記第2方向に延在する第2導電性膜を形成する工程、

(f) 前記第2導電性膜およびその下層の前記第2絶縁膜を除去し、窒化シリコンより誘電率の高い高誘電体よりなる高誘電体膜および金属膜を形成する工程、

を有し、

前記(e)工程は、前記(d)工程より後に行われ、

前記(d)工程の後において、前記第1導電性膜の下方の前記素子分離部の高さは、前記第2導電性膜の下方の前記素子分離部の高さより高く、その差は第1高低差である、半導体装置の製造方法。

20

【請求項16】

請求項15記載の半導体装置の製造方法において、

前記(f)工程の、前記第2導電性膜およびその下層の前記第2絶縁膜を、除去した後において、前記第1導電性膜の下方の前記素子分離部の高さは、前記第2導電性膜の下方の前記素子分離部の高さより高く、その差は前記第1高低差より大きい第2高低差である、半導体装置の製造方法。

【請求項17】

請求項16記載の半導体装置の製造方法において、

30

前記(d)工程は、

(d1) 前記第1導電性膜の形成領域および前記第2導電性膜の形成領域上に、前記第1絶縁膜および前記第1導電性膜を形成する工程、

(d2) 前記第1導電性膜の形成領域に、前記第1絶縁膜および前記第1導電性膜を残存させ、前記第2導電性膜の形成領域の、前記第1絶縁膜および前記第1導電性膜を除去する工程、

を有し、

前記(d2)工程において、前記第2導電性膜の形成領域において露出した前記素子分離部の表面が後退する、半導体装置の製造方法。

【請求項18】

40

請求項17記載の半導体装置の製造方法において、

前記(f)工程において、前記第2導電性膜およびその下層の前記第2絶縁膜を除去することにより露出した前記素子分離部の表面が後退する、半導体装置の製造方法。

【請求項19】

請求項18記載の半導体装置の製造方法において、

前記(d)工程は、前記第1絶縁膜として、前記第1フィン上に第1膜を形成し、前記第1膜上に、前記電荷蓄積部となる第2膜を形成し、前記第2膜上に第3膜を形成する工程を有する、半導体装置の製造方法。

【請求項20】

請求項19記載の半導体装置の製造方法において、

50

前記（d）工程の前記第１膜は、熱酸化により形成され、
前記（b）工程の前記分離絶縁膜は、CVD法により形成される、半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、半導体装置および半導体装置の製造方法に関し、例えば、F I N構造の不揮発性メモリを有する半導体装置に好適に利用できるものである。

【背景技術】

【０００２】

近年、シリコンを使用したL S I（Large Scale Integration）において、その構成要素であるM I S F E T（Metal Insulator Semiconductor Field Effect Transistor）の寸法、特に、ゲート電極のゲート長は縮小の一途をたどっている。このM I S F E Tの縮小化は、スケーリング則に沿う形で進められてきたが、デバイスの世代が進むごとに種々の問題が見えてきており、M I S F E Tの短チャネル効果の抑制と電流駆動力の確保の両立が困難になってきている。したがって、従来のプレーナ型（平面型）M I S F E Tに代わる新規構造デバイスへの研究開発が盛んに進められている。

【０００３】

F I N F E Tは、上述した新規構造デバイスの１つであり、F I Nの側面をチャネルとして利用することにより、電流駆動力の向上を図るものである。

【０００４】

一方、不揮発性メモリの１種として、M O N O S（Metal-Oxide-Nitride-Oxide-Semiconductor）膜を用いたスプリットゲート型セルからなるメモリセルがある。このメモリセルは、制御ゲート電極を有する制御トランジスタと、メモリゲート電極を有するメモリトランジスタの２つのM I S F E Tにより構成される。これらのトランジスタにも、F I N構造を適用することにより、メモリの特性の向上を図ることができる。

【０００５】

特開２００６－４１３５４号公報（特許文献１）には、スプリットゲート構造の不揮発性半導体装置において、メモリゲートが凸型基板上に形成され、その側面をチャネルとして利用する技術が開示されている。

【先行技術文献】

【特許文献】

【０００６】

【特許文献１】特開２００６－４１３５４号公報

【発明の概要】

【発明が解決しようとする課題】

【０００７】

本発明者は、上記のような不揮発性メモリセルを有する半導体装置の研究開発に従事しており、上記F I N構造の採用により、メモリセルのさらなる特性の向上を検討している。その過程において、不揮発性メモリセルにF I N構造を採用するためには、その構造や製造方法について更なる改善の余地があることが判明した。

【０００８】

その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【０００９】

本願において開示される実施の形態のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【００１０】

本願において開示される一実施の形態に示される半導体装置は、第１フィンと第２フィ

10

20

30

40

50

ンと、これらの間に配置され、かつ、その高さが第 1 フィンおよび第 2 フィンの高さより低い、素子分離部と、を有する。そして、さらに、第 1 フィン、素子分離部および第 2 フィンの上に、電荷蓄積部を有する第 1 ゲート絶縁膜を介して配置された第 1 ゲート電極と、第 1 フィン、素子分離部および第 2 フィンの上に第 2 ゲート絶縁膜を介して配置され、第 1 ゲート電極と並んで配置された第 2 ゲート電極と、を有する。そして、第 1 ゲート電極の下方の素子分離部の高さは、第 2 ゲート電極の下方の素子分離部の高さより高い。

【 0 0 1 1 】

本願において開示される一実施の形態に示される半導体装置の製造方法は、(a) 第 1 フィン形成領域と第 2 フィン形成領域との間に分離溝を形成する工程、(b) 分離溝の内部に分離絶縁膜を埋め込むことにより素子分離部を形成する工程、(c) 素子分離部の表面を後退させる工程、を有する。そして、(d) 電荷蓄積部を有する第 1 絶縁膜を形成し、さらに、第 1 絶縁膜上に、第 1 導電性膜を形成し加工することにより、第 1 フィン、素子分離部および第 2 フィンの上方に、第 1 フィンと交差する方向に延在する第 1 導電性膜を形成する工程を有する。そして、(e) 第 2 絶縁膜を形成し、さらに、第 2 絶縁膜上に、第 2 導電性膜を形成し加工することにより、第 1 フィン、素子分離部および第 2 フィンの上方に、第 1 フィンと交差する方向に延在する第 2 導電性膜を形成する工程を有する。そして、(e) 工程は、(d) 工程より後に行われ、(d) 工程の後において、第 1 導電性膜の下方の素子分離部の高さは、第 2 導電性膜の下方の素子分離部の高さより高い。

【 発明の効果 】

【 0 0 1 2 】

本願において開示される代表的な実施の形態に示される半導体装置によれば、半導体装置の特性を向上させることができる。

【 0 0 1 3 】

本願において開示される代表的な実施の形態に示される半導体装置の製造方法によれば、特性の良好な半導体装置を製造することができる。

【 図面の簡単な説明 】

【 0 0 1 4 】

【 図 1 】 実施の形態 1 の半導体装置のメモリセルの構成を示す斜視図である。

【 図 2 】 実施の形態 1 の半導体装置のメモリセルの構成を示す断面図である。

【 図 3 】 実施の形態 1 の半導体装置のメモリセルの構成を示す平面図である。

【 図 4 】 比較例の半導体装置を示す図である。

【 図 5 】 実施の形態 1 の半導体装置を示す図である。

【 図 6 】 実施の形態 1 の半導体装置の形成工程中の断面図である。

【 図 7 】 実施の形態 1 の半導体装置の形成工程中の斜視図である。

【 図 8 】 実施の形態 1 の半導体装置の形成工程中の断面図である。

【 図 9 】 実施の形態 1 の半導体装置の形成工程中の斜視図である。

【 図 1 0 】 実施の形態 1 の半導体装置の形成工程中の断面図である。

【 図 1 1 】 実施の形態 1 の半導体装置の形成工程中の斜視図である。

【 図 1 2 】 実施の形態 1 の半導体装置の形成工程中の断面図である。

【 図 1 3 】 実施の形態 1 の半導体装置の形成工程中の斜視図である。

【 図 1 4 】 実施の形態 1 の半導体装置の形成工程中の斜視図である。

【 図 1 5 】 実施の形態 1 の半導体装置の形成工程中の断面図である。

【 図 1 6 】 実施の形態 1 の半導体装置の形成工程中の斜視図である。

【 図 1 7 】 実施の形態 1 の半導体装置の形成工程中の断面図である。

【 図 1 8 】 実施の形態 1 の半導体装置の形成工程中の断面図である。

【 図 1 9 】 実施の形態 1 の半導体装置の形成工程中の断面図である。

【 図 2 0 】 実施の形態 1 の半導体装置の形成工程中の断面図である。

【 図 2 1 】 実施の形態 1 の半導体装置の形成工程中の断面図である。

【 図 2 2 】 実施の形態 1 の半導体装置の形成工程中の断面図である。

【 図 2 3 】 実施の形態 1 の半導体装置の形成工程中の断面図である。

10

20

30

40

50

【図 2 4】実施の形態 1 の半導体装置の形成工程中の断面図である。
【図 2 5】実施の形態 1 の半導体装置の形成工程中の断面図である。
【図 2 6】実施の形態 1 の半導体装置の形成工程中の断面図である。
【図 2 7】実施の形態 1 の半導体装置の形成工程中の断面図である。
【図 2 8】実施の形態 1 の半導体装置の形成工程中の断面図である。
【図 2 9】実施の形態 1 の半導体装置の形成工程中の断面図である。
【図 3 0】実施の形態 1 の半導体装置の形成工程中の断面図である。
【図 3 1】実施の形態 1 の半導体装置の形成工程中の断面図である。
【図 3 2】実施の形態 2 の半導体装置の形成工程中の断面図である。
【図 3 3】実施の形態 2 の半導体装置の形成工程中の断面図である。
【図 3 4】実施の形態 2 の半導体装置の形成工程中の断面図である。
【図 3 5】実施の形態 2 の半導体装置の形成工程中の断面図である。
【図 3 6】実施の形態 2 の半導体装置の形成工程中の断面図である。
【図 3 7】実施の形態 2 の半導体装置の形成工程中の断面図である。
【図 3 8】実施の形態 3 の半導体装置の形成工程中の断面図である。
【図 3 9】実施の形態 3 の半導体装置の形成工程中の断面図である。
【図 4 0】実施の形態 4 の半導体装置のメモリセルの構成を示す断面図である。
【図 4 1】実施の形態 4 の半導体装置のメモリセルの構成を示す断面図である。
【発明を実施するための形態】

【0015】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、応用例、詳細説明、補足説明等の関係にある。また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。

【0016】

さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数等（個数、数値、量、範囲等を含む）についても同様である。

【0017】

以下、実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一または関連する符号を付し、その繰り返しの説明は省略する。また、複数の類似の部材（部位）が存在する場合には、総称の符号に記号を追加し個別または特定の部位を示す場合がある。また、以下の実施の形態では、特に必要なとき以外は同一または同様な部分の説明を原則として繰り返さない。

【0018】

また、実施の形態で用いる図面においては、断面図であっても図面を見易くするためにハッチングを省略する場合もある。また、平面図であっても図面を見易くするためにハッチングを付す場合もある。

【0019】

また、断面図および平面図において、各部位の大きさは実デバイスと対応するものではなく、図面を分かりやすくするため、特定の部位を相対的に大きく表示する場合がある。また、断面図と平面図が対応する場合においても、図面を分かりやすくするため、特定の部位を相対的に大きく表示する場合がある。

【0020】

（実施の形態 1）

〔構造説明〕

以下、図面を参照しながら本実施の形態の半導体装置（不揮発性メモリ装置、半導体記憶装置）の構造について説明する。本実施の形態の半導体装置は、スプリットゲート型のメモリセルを有する。即ち、本実施の形態のメモリセルは、制御ゲート電極CGを有する制御トランジスタと、制御トランジスタに接続され、メモリゲート電極MGを有するメモリトランジスタと、を有する。なお、ここで言うトランジスタは、MISFETとも呼ばれる。

【0021】

（メモリセルの構造説明）

図1は、本実施の形態の半導体装置のメモリセルの構成を示す斜視図である。図2は、本実施の形態の半導体装置のメモリセルを示す断面図であり、図3は、平面図である。図2の左の図は、図3のA-A断面、中央の図は、図3のB-B断面、右の図は、図3のC-C断面に対応する。なお、B-B断面部は、メモリゲート電極MGの形成領域であり、C-C断面部は、制御ゲート電極CGの形成領域である。

10

【0022】

図1～図3に示すように、メモリセル（メモリ素子、素子）は、制御ゲート電極CGを有する制御トランジスタと、メモリゲート電極MGを有するメモリトランジスタとからなる。

【0023】

具体的に、メモリセルは、半導体基板SB（フィンF）の上方に配置された制御ゲート電極CGと、半導体基板SB（フィンF）の上方に配置され、制御ゲート電極CGと隣り合うメモリゲート電極MGとを有する。例えば、制御ゲート電極CGおよびメモリゲート電極MGは、それぞれ、シリコン膜よりなる。

20

【0024】

そして、本実施の形態においては、制御ゲート電極CGおよびメモリゲート電極MGは、フィンF上にゲート絶縁膜（CGI、ONO）を介して配置される。フィンFは、半導体基板SBの上部よりなる。別の言い方をすれば、半導体基板SBは凹凸を有し、フィンFは、半導体基板SBの凸部である。また、後述するように、フィンFの平面形状は、一定の幅（Y方向の長さ）を有するライン状（X方向に長辺を有する矩形状）である（図3参照）。

30

【0025】

そして、制御ゲート電極CGと半導体基板SB（フィンF）の間には、制御ゲート絶縁膜CGIが配置される。この制御ゲート絶縁膜CGIは、制御ゲート電極CGと半導体基板SB（フィンF）との間および制御ゲート電極CGとメモリゲート電極MGとの間に配置されている。この制御ゲート絶縁膜CGIは、例えば、酸化シリコン膜よりなる。

【0026】

メモリセルは、さらに、メモリゲート電極MGと半導体基板SB（フィンF）との間に配置された絶縁膜ONO（11、12、13）を有する。絶縁膜ONOは、例えば、下層絶縁膜11と、その上の中層絶縁膜12と、その上の上層絶縁膜13よりなる。中層絶縁膜12は、電荷蓄積部（トラップ膜）となる。下層絶縁膜11は、例えば、酸化シリコン膜よりなる。中層絶縁膜12は、例えば、窒化シリコン膜よりなる。上層絶縁膜13は、例えば、酸窒化シリコン膜よりなる。

40

【0027】

また、メモリセルは、さらに、半導体基板SBのフィンF中に形成されたドレイン領域MDおよびソース領域MSを有する。また、メモリゲート電極MGおよび制御ゲート電極CGの合成パターンの側壁部には、絶縁膜からなるサイドウォール（側壁絶縁膜、サイドウォールスペーサ）SW2が形成されている。

【0028】

ドレイン領域MDは、 n^+ 型半導体領域SDと n^- 型半導体領域EXよりなる。 n^- 型半導体領域EXは、制御ゲート電極CGの側壁に対して自己整合的に形成されている。ま

50

た、 n^+ 型半導体領域SDは、制御ゲート電極CG側のサイドウォールSW2の側面に対して自己整合的に形成され、 n^- 型半導体領域EXよりも接合深さが深くかつ不純物濃度が高い。

【0029】

ソース領域MSは、 n^+ 型半導体領域SDと n^- 型半導体領域EXよりなる。 n^- 型半導体領域EXは、メモリゲート電極MGのスペーサSPの側壁に対して自己整合的に形成されている。また、 n^+ 型半導体領域SDは、メモリゲート電極MG側のサイドウォールSW2の側面に対して自己整合的に形成され、 n^- 型半導体領域EXよりも接合深さが深くかつ不純物濃度が高い。

【0030】

このような、低濃度半導体領域および高濃度半導体領域よりなるソース領域（または、ドレイン領域）は、LDD（Lightly doped Drain）構造と呼ばれる。

【0031】

なお、本明細書では、ドレイン領域MDおよびソース領域MSを動作時を基準に定義している。後述する読み出し動作時に低電圧を印加する半導体領域をソース領域MSと、読み出し動作時に高電圧を印加する半導体領域をドレイン領域MDと、統一して呼ぶことにする。

【0032】

また、ドレイン領域MD（ n^+ 型半導体領域SD）、ソース領域MS（ n^+ 型半導体領域SD）の上部には、金属シリサイド膜SILが形成されている。また、メモリゲート電極MGの上部には、キャップ絶縁膜CPが形成されている。また、制御ゲート電極CGの上部には、サイドウォールSW1が形成されている。キャップ絶縁膜CPおよびサイドウォールSW1は、例えば、窒化シリコン膜よりなる。

【0033】

また、メモリセル上には、層間絶縁膜IL1が形成されている。この膜は、例えば、酸化シリコン膜よりなる。層間絶縁膜IL1中には、プラグP1が形成され、プラグP1上には、配線M1が形成されている。

【0034】

なお、図2の左の図には、一つのメモリセルの断面しか示されていないが、メモリ領域には、さらに、複数のメモリセルが配置される。例えば、図2の左の図に示すメモリセルの左にはソース領域MSを共有するメモリセル（図示せず）が配置され、図2の左の図に示すメモリセルの右にはドレイン領域MDを共有するメモリセル（図示せず）が配置される。このように複数のメモリセルは、ソース領域MSまたはドレイン領域MDを挟んでほぼ対称に配置される（図1参照）。

【0035】

以下に、図3を参照しながら、メモリセルの平面レイアウトについて説明する。図3に示すように、フィンF（活性領域）は、X方向に延在するライン状に複数設けられている。フィンF間は、素子分離部STである。そして、メモリセルの制御ゲート電極CGとメモリゲート電極MGは、フィンFを横切るように、Y方向に延在している。別の言い方をすれば、制御ゲート電極CGは、フィンFおよびフィンF間の素子分離部STの上に、制御ゲート絶縁膜CGIを介して配置され、Y方向に延在する。また、メモリゲート電極MGは、フィンFおよびフィンF間の素子分離部STの上に、メモリゲート絶縁膜ONOを介して配置され、Y方向に延在する。制御ゲート電極CGとメモリゲート電極MGとは、並んで配置されている。

【0036】

なお、フィンF中のソース領域（MS、 n^+ 型半導体領域SD）とソース線とは、プラグ（コンタクトプラグ、接続部）P1を介して接続される。例えば、ソース線は、フィンF中のソース領域（MS、 n^+ 型半導体領域SD）を接続するように、フィンFの上方に、フィンFを横切るように、Y方向に延在する。例えば、ソース線は、第1層目の配線M1である。フィンF中のドレイン領域MD（ n^+ 型半導体領域SD）とドレイン線とは、

10

20

30

40

50

プラグ P 1 と、このプラグ P 1 と配線 M 1 を介して接続されるプラグ P 2 (図示せず) と、を介して接続される。それぞれのフィン F 上において、X 方向に並んで配置されるドレイン領域 M D 上のプラグ P 1、P 2 (図示せず) を接続するように、ドレイン線が X 方向に配置されている。例えば、ドレイン線は、第 2 層目の配線 (M 2) である。このように、メモリセルは、ソース線とドレイン線との交点にアレイ状に配置される。

【 0 0 3 7 】

(メモリ動作)

次いで、メモリセルの基本的な動作の一例について説明する。メモリセルの動作として、(1) 読出し、(2) 消去、(3) 書込みの 3 つの動作について説明する。但し、これらの動作の定義には種々のものがあり、特に消去動作と書込み動作については、逆の動作として定義されることもある。

10

【 0 0 3 8 】

メモリセル (選択メモリセル) のメモリゲート電極 M G に印加する電圧 V_{mg} 、ソース領域 M S に印加する電圧 V_s 、制御ゲート電極 C G に印加する電圧 V_{cg} 、ドレイン領域 M D に印加する電圧 V_d 、および p 型ウエル P W に印加する電圧 V_b とする。また、本実施の形態では、メモリセルの絶縁膜 O N O (1 1、1 2、1 3) の電荷蓄積部である窒化シリコン膜 (1 2) への電子の注入を「書込み」、ホール (hole : 正孔) の注入を「消去」と定義する。なお、以下に示す V_{dd} は、例えば、1 . 5 V である。

【 0 0 3 9 】

書込み方式は、いわゆる S S I (Source Side Injection : ソースサイド注入) 書込み方式を用いることができる。例えば、 $V_d = 0 . 5$ 、 $V_{cg} = 1$ V、 $V_{mg} = 1 . 2$ V、 $V_s = 6$ V、 $V_b = 0$ V の電圧を、書込みを行う選択メモリセルの各部位に印加し、選択メモリセルの窒化シリコン膜 (1 2) 中に電子を注入することで書込みを行う。

20

【 0 0 4 0 】

この際、ホットエレクトロンは、2 つのゲート電極 (メモリゲート電極 M G および制御ゲート電極 C G) 間の下のチャネル領域 (ソース、ドレイン間) で発生し、メモリゲート電極 M G の下の窒化シリコン膜 (1 2) にホットエレクトロンが注入される。注入されたホットエレクトロン (電子) は、窒化シリコン膜 (1 2) 中のトラップ準位に捕獲され、その結果、メモリトランジスタのしきい値電圧が上昇する。即ち、メモリトランジスタは書込み状態となる。

30

【 0 0 4 1 】

消去方法は、いわゆる B T B T (Band-To-Band Tunneling : バンド間トンネル現象) 消去方式を用いることができる。例えば、 $V_d = 0$ V、 $V_{cg} = 0$ V、 $V_{mg} = - 6$ V、 $V_s = 6$ V、 $V_b = 0$ V の電圧を、消去を行う選択メモリセルの各部位に印加し、B T B T 現象によりホールを発生させ電界加速することで選択メモリセルの窒化シリコン膜 (1 2) 中にホールを注入し、それによってメモリトランジスタのしきい値電圧を低下させる。即ち、メモリトランジスタは消去状態となる。

【 0 0 4 2 】

読出し時には、例えば、 $V_d = V_{dd}$ 、 $V_{cg} = V_{dd}$ 、 $V_{mg} = 0$ V、 $V_s = 0$ V、 $V_b = 0$ V の電圧を、読出しを行う選択メモリセルの各部位に印加する。読出し時のメモリゲート電極 M G に印加する電圧 V_{mg} を、書込み状態におけるメモリトランジスタのしきい値電圧と消去状態におけるメモリトランジスタのしきい値電圧との間の値にすることで、書込み状態と消去状態とを判別することができる。

40

【 0 0 4 3 】

ここで、本実施の形態においては、図 1、図 2 に示すように、メモリゲート電極 M G 下の素子分離部 S T の高さ、制御ゲート電極 C G 下の素子分離部 S T の高さとは、異なり、メモリゲート電極 M G 下の素子分離部 S T の高さは、制御ゲート電極 C G 下の素子分離部 S T の高さより高い。別の言い方をすれば、制御ゲート電極 C G 下の素子分離部 S T の表面 (T O P) は、メモリゲート電極 M G 下の素子分離部 S T の表面より低い (後退している)。さらに、別の言い方をすれば、メモリゲート電極 M G のフィンの表面 (T O P)

50

と、制御ゲート電極CG下のフィンの表面とは同程度であり、フィンの表面と素子分離部STの表面との高低差をフィン高さとする、メモリゲート電極MG下のフィン高さFH1は、制御ゲート電極CG下のフィン高さFH2より小さい。

【0044】

このように、メモリゲート電極MG下の素子分離部STの高さを、制御ゲート電極CG下の素子分離部STの高さより高くすることで、電子とホールの注入のミスマッチが改善され、書き換え動作速度が向上し、信頼性が向上する。

【0045】

図4は、メモリゲート電極MG下の素子分離部STの高さが、制御ゲート電極CG下の素子分離部STの高さより低い、比較例の半導体装置を示す図である。図5は、メモリゲート電極MGの下方の素子分離部STの高さが、制御ゲート電極CGの下方の素子分離部STの高さより高い、本実施の形態の半導体装置を示す図である。

10

【0046】

前述したSSI書込み方式においては、電子は、制御ゲート電極CGの下方のチャネルからメモリゲート電極MGの下方のチャネルへ通過するときに電界によって加速されホットエレクトロンとなり、窒化シリコン膜(12)に注入される。このため、図4に示す比較例の半導体装置においては、電子注入は、制御ゲート電極CG下のチャネルとメモリゲート電極MG下のチャネルが重なる領域である、図4のラインLより上で、効率よく起こる。

【0047】

20

一方、前述したBTBT消去方式においては、メモリゲート電極MGのソース領域MS側の強い電界によって発生したホールが窒化シリコン膜(12)へ注入される。そのため、ホール注入はメモリゲート電極MGのチャネル全域で起こる。

【0048】

したがって、メモリゲート電極MGの下方の素子分離部STの高さが、制御ゲート電極CGの下方の素子分離部STの高さより低い場合(図4の場合)、電子が注入される領域が、フィンFの上部のみにとどまり、ホールが注入される領域はフィンFの全域となるため、書込みと消去到ミスマッチが起こる。具体的には、フィンFの全域から窒化シリコン膜(12)へ注入されたホールのうち、フィンFの下部のホールは、制御ゲート電極CGの下方のチャネルから注入された電子により、相殺されず、十分な消去が行えない。よって、メモリトランジスタのしきい値電圧を所望の値まで低下させることができない。また、フィンFの下部のホールは、電子の注入により効率よく相殺することができないため、消去(書き換え)に時間を要する。このように、電子とホールの注入のミスマッチにより、書き換え動作速度や信頼性が低下する恐れがある。

30

【0049】

これに対し、本実施の形態(図5)のように、メモリゲート電極MGの下方の素子分離部STの高さが、制御ゲート電極CGの下方の素子分離部STの高さより高い場合には、ホールが注入される領域がフィンFのラインLより上部に留まり、電子が注入される領域はフィンFの全域となる。このため、フィンFのラインLより上のホールは、制御ゲート電極CGの下方のチャネルから注入された電子により、相殺され、十分な消去が行える。また、フィンFの下部の電子に対応する位置には、電荷蓄積部である窒化シリコン膜(12)がないため、制御ゲート電極CGの下方のチャネルから注入された電子は、窒化シリコン膜(12)に蓄積され難い。このように、本実施の形態によれば、書込みと消去のミスマッチが改善され、書き換え動作速度が向上し、信頼性が向上する。

40

【0050】

[製法説明]

以下に、図6~図31を用いて、本実施の形態の半導体装置の製造方法について説明する。図6~図31は、本実施の形態の半導体装置の形成工程中の断面図または斜視図である。

【0051】

50

(フィンの形成工程)

まず、図6～図17を参照しながらフィンFの形成工程を説明する。まず、図6に示すように、半導体基板SBを用意し、半導体基板SBの主面上に、絶縁膜IF1、絶縁膜IF2および半導体膜SI1を順に形成する。半導体基板SBは、例えば1～10Ωcm程度の比抵抗を有するp型の単結晶シリコンなどからなる。絶縁膜IF1は、例えば酸化シリコン膜からなり、例えば、熱酸化法またはCVD (Chemical Vapor Deposition) 法を用いて形成することができる。絶縁膜IF1の膜厚は、2～10nm程度である。絶縁膜IF2は、例えば窒化シリコン膜からなり、その膜厚は、20～100nm程度である。絶縁膜IF2は、例えばCVD法により形成することができる。半導体膜SI1は、例えばシリコン膜からなり、例えばCVD法により形成する。半導体膜SI1の膜厚は、例えば20～200nmである。

10

【0052】

次に、図7および図8に示すように、フォトリソグラフィ技術およびエッチング法を用いて、半導体膜SI1を加工する。これにより、絶縁膜IF2上には、X方向に延在する複数の四角柱状(直方体状)の半導体膜SI1が、Y方向に並んで複数形成される。

【0053】

次に、図9および図10に示すように、複数の半導体膜SI1のそれぞれの側壁を覆うハードマスクHM1を形成する。ここでは、例えば、半導体基板SB上にCVD法を用いて、10～40nmの膜厚を有する酸化シリコン膜を形成した後、異方的なドライエッチングを行う。これにより絶縁膜IF2および半導体膜SI1のそれぞれの上面を露出させることで、半導体膜SI1の側壁に残った当該酸化シリコン膜からなるハードマスクHM1を形成する。ハードマスクHM1は、隣り合う半導体膜SI1同士の間を完全に埋め込んではいない。後述するように、このハードマスクHM1は、その直下にフィンを形成するために用いられるマスクとなる。

20

【0054】

次に、図11および図12に示すように、ウェットエッチング法を用いて半導体膜SI1を除去する。これにより、平面視において、略矩形の環状のハードマスクHM1を形成することができる。より具体的には、ハードマスクHM1は、X方向に延在する第1部と、この第1部と接続されY方向に延在する第2部と、この第2部と接続されX方向に延在する第3部と、この第3部と接続されY方向に延在する第4部とを有する。そして、この第4部は、第1部と接続されている。なお、この後、ウェットエッチングを行い、ハードマスクHM1の表面を一部除去してもよい。これにより、ハードマスクHM1の幅(例えば、Y方向の長さ)を細くすることができる。

30

【0055】

次に、図13に示すように、ハードマスクHM1のうち、X方向に延在する部位を覆い、Y方向に延在する部位を露出するフォトレジスト膜PR2を形成する。

【0056】

次に、図14および図15に示すように、フォトレジスト膜PR2をマスクとして用いてエッチングを行うことで、各ハードマスクHM1のY方向に延在する部位を除去し、その後、フォトレジスト膜PR2を除去する。これにより、ハードマスクHM1は、X方向に延在する部分のみが残る。即ち、絶縁膜IF2上には、X方向に延在する四角柱状のハードマスクHM1が、Y方向に複数並んで配置される。

40

【0057】

次に、図16および図17に示すように、ハードマスクHM1をマスクとして、絶縁膜IF2、IF1および半導体基板SBに対して異方的なドライエッチングを行う。これにより、ハードマスクHM1の直下に、四角柱状に加工されたフィンFを形成することができる。ここでは、ハードマスクHM1から露出した領域の半導体基板SBの主面を100～250nm掘り下げることで分離溝を形成し、半導体基板SBの主面からの高さ100～250nmを有するフィンFが形成できる。

【0058】

50

(素子分離部の形成工程以降の工程)

次いで、図18～図31を参照しながら素子分離部STの形成工程以降の工程を説明する。図18は、図17の状態からハードマスクHM1をエッチングなどにより除去し、フィンF上に絶縁膜IF1およびIF2が残存している状態を示す。なお、図18に示すように、フィンFの側面がテーパ状となっていてよい。図18の状態から、図19に示すように、半導体基板SBの上に、フィン間の溝(分離溝)G、フィンF、絶縁膜IF1およびIF2を完全に埋めるように、酸化シリコン膜などからなる絶縁膜を堆積する。続いて、この絶縁膜に対してCMP(Chemical Mechanical Polishing)法による研磨処理を行い、絶縁膜IF2の上面を露出させる。なお、図17の状態からハードマスクHM1を除去しなかった場合においても、研磨処理によりハードマスクHM1は消失する。

10

【0059】

次に、図20に示すように、絶縁膜IF1、IF2を除去する。続いて、イオン注入法を用いて半導体基板SBの主面に不純物を導入することにより、p型ウエルPWを形成する。p型ウエルPWは、p型の不純物(例えばB(ホウ素))を打ち込むことで形成する。p型ウエルPWは、各フィンF内の全体および各フィンFの下部の半導体基板SBの一部に広がって形成される。なお、図示しない領域に、n型不純物をイオン注入することによってn型ウエルを形成してもよい。続いて、フィンF間の絶縁膜の上面に対しエッチング処理を施すことで、素子分離部STの上面を後退(下降)させる。これにより、フィンFの側面の一部および上面を露出させる。この時のフィンFの高さは、FH1である。フィンFの高さは、フィンFの上面と素子分離部STの上面との高低差である。フィンFの高さFH1は、例えば、30～80nm程度である。

20

【0060】

次いで、図21に示すように、絶縁膜ONO(11、12、13)を形成する。まず、フィンFおよび素子分離部ST上に、下層絶縁膜11として、例えば、酸化シリコン膜を形成する。この酸化シリコン膜は、例えば、熱酸化法により、4nm程度の膜厚で形成する。なお、酸化シリコン膜をCVD法などを用いて形成してもよい。次いで、下層絶縁膜11上に、中層絶縁膜12として、例えば、窒化シリコン膜を、CVD法などにより、7nm程度の膜厚で堆積する。この中層絶縁膜12が、メモリセルの電荷蓄積部となる。次いで、中層絶縁膜12上に、上層絶縁膜13として、例えば、酸化シリコン膜を、CVD法などにより、9nm程度の膜厚で堆積する。

30

【0061】

次いで、絶縁膜ONO(11、12、13)上にメモリゲート電極MGとなる導電性膜を形成する。例えば、絶縁膜ONO(11、12、13)上に、導電性膜として、CVD法などを用いて40nm～150nm程度のポリシリコン膜PS1を堆積する。続いて、CMP法による研磨処理を行い、ポリシリコン膜PS1の上面を平坦化する。平坦化した後のポリシリコン膜PS1の上面とフィンFの上面との高低差は40nm～60nm程度である。次いで、ポリシリコン膜PS1上にキャップ絶縁膜CPを形成する。例えば、ポリシリコン膜PS1上に、CVD法などを用いて80nm程度の窒化シリコン膜を形成する。

40

【0062】

次いで、図22に示すように、フォトリソグラフィ技術およびドライエッチング技術を用いて、絶縁膜ONO(11、12、13)とポリシリコン膜PS1の積層膜をパターンニングし、メモリゲート電極MGを形成する。ここでは、このエッチングの際、絶縁膜ONOのうち、下層絶縁膜(酸化シリコン膜)11を、エッチングストップ膜として機能させ、層状に残存させている。このため、C-C断面部(制御ゲート電極CGの形成領域)において、フィンFの表面に下層絶縁膜(酸化シリコン膜)11が残存している。

【0063】

次いで、図23に示すように、C-C断面部(制御ゲート電極CGの形成領域)において、フィンFの表面に残存している下層絶縁膜(酸化シリコン膜)11をエッチングにより除去する。このエッチングには、ドライエッチングまたはウェットエッチングを用いる

50

ことができる。この下層絶縁膜（酸化シリコン膜）11のエッチングの際、フィン間の素子分離部STの上面が後退する。特に、下層絶縁膜（酸化シリコン膜）11が緻密な熱酸化膜であり、素子分離部（酸化シリコン膜）STがCVD膜で構成される場合、素子分離部STの上面は、下層絶縁膜（酸化シリコン膜）11の膜厚以上に後退する。また、下層絶縁膜（酸化シリコン膜）11のエッチングの際には、オーバーエッチングが行われる。このオーバーエッチングは、例えば、下層絶縁膜（酸化シリコン膜）11の膜厚の30%の膜厚に相当するエッチング時間である。このオーバーエッチングによっても、素子分離部STの上面は、後退する。

【0064】

このように、C-C断面部（制御ゲート電極CGの形成領域）において、フィンFの表面に残存している下層絶縁膜（酸化シリコン膜）11のエッチングにより、C-C断面部（制御ゲート電極CGの形成領域）の素子分離部STの上面は、B-B断面部（メモリゲート電極MGの形成領域）の素子分離部STの上面より低くなる。これらの高低差はD1であり、メモリゲート電極MGの形成領域のフィンFの高さはFH1であり、制御ゲート電極CGの形成領域のフィンFの高さはFH2である（ $FH2 > FH1$ ）。この高さFH2中に、高さFH1が位置すれば、前述の電子とホールの注入のミスマッチが改善される。

【0065】

ここで、上記高低差D1は、5nm以上10nm以下であることが好ましい。高低差D1が5nm以上あれば、前述した書込みと消去のミスマッチの改善効果を十分に確保することができる。また、上記高低差D1が10nmを超えるようなオーバーエッチングをした場合、メモリゲート電極MGの下層の絶縁膜ONO（11、12、13）中にサイドエッチングが入る恐れがある。特に、ウェットエッチングを行う場合には、サイドエッチングが入り易い。このため、上記高低差D1は、10nm以下とすることが好ましい。

【0066】

次いで、図24に示すように、半導体基板SB上に、絶縁膜15を形成する。この絶縁膜15は制御ゲート絶縁膜CGIとなる。例えば、半導体基板SB上に、絶縁膜15として、4nm程度の酸化シリコン膜をCVD法などにより形成する。次いで、絶縁膜15上に、スペーサSP形成用の絶縁膜（例えば4nm程度の窒化シリコン膜など）をCVD法などを用いて形成し、このスペーサSP形成用の絶縁膜を、異方的なドライエッチングによりエッチバックする。これにより、メモリゲート電極MGの側壁上に絶縁膜15を介してスペーサ（側壁絶縁膜）SPが形成される。このスペーサSPの形成を省略することもできる。

【0067】

次いで、図25に示すように、絶縁膜15およびスペーサSP上に制御ゲート電極CG用のポリシリコン膜（導電性膜）PS2を形成する。例えば、絶縁膜15上に、CVD法などを用いて150nm～300nm程度のポリシリコン膜PS2を形成する。続いて、CMP法による研磨処理を行い、ポリシリコン膜PS2の上面を平坦化する。

【0068】

次いで、図26に示すように、ポリシリコン膜PS2の上面に対しエッチング処理を施すことで、ポリシリコン膜PS2上面を後退（下降）させる。これにより、メモリゲート電極MGの上面上に絶縁膜15と、スペーサSPの上部が露出する。残存するポリシリコン膜PS2の上面は、メモリゲート電極MGの上面より高く、キャップ絶縁膜CPの上面より低い位置にある。そして、絶縁膜15の上面とポリシリコン膜PS2の上面との間には、高低差があり、この間にはスペーサSPが露出する。

【0069】

次いで、図27に示すように、絶縁膜15およびポリシリコン膜PS2上に、サイドウォールSW1形成用の絶縁膜（例えば50nm程度の窒化シリコン膜など）IF3をCVD法などを用いて形成し、エッチバックする。このエッチバック工程では、絶縁膜IF3をその表面から所定の膜厚分だけ異方的なドライエッチングにより除去する。この工程に

より、スペーサ S P の上部の側壁部に、絶縁膜 I F 3 をサイドウォール状に残存させ、サイドウォール S W 1 とすることができる（図 2 8 ）。

【 0 0 7 0 】

次いで、図 2 9 に示すように、サイドウォール S W 1 をマスクとして、下層のポリシリコン膜 P S 2 をエッチングすることにより、制御ゲート電極 C G を形成する。なお、ポリシリコン膜 P S 2 は、メモリゲート電極 M G の両側に残存するが、このうちの一方（図 2 9 においては、右側）が制御ゲート電極 C G となり、他方のポリシリコン膜 P S 2 は、フォトリソグラフィ技術およびドライエッチング技術を用いて、除去する。

【 0 0 7 1 】

次いで、ソース領域 M S およびドレイン領域 M D を形成する。例えば、メモリゲート電極 M G 上の絶縁膜 1 5 と制御ゲート電極 C G 上のサイドウォール S W 1 とスペーサ S P をマスクとして、半導体基板 S B （フィン F ）中に、ヒ素（ A s ）またはリン（ P ）などの n 型不純物を注入することで、n⁻型半導体領域 E X を形成する。この際、n⁻型半導体領域 E X は、メモリゲート電極 M G の側壁のスペーサ S P に自己整合して形成される。また、n⁻型半導体領域 E X は、制御ゲート電極 C G の側壁に自己整合して形成される。

【 0 0 7 2 】

次いで、図 3 0 に示すように、メモリゲート電極 M G と制御ゲート電極 C G の側壁部に、サイドウォール S W 2 を形成する。例えば、絶縁膜 1 5 およびサイドウォール S W 1 上に、C V D 法などを用いて 4 0 n m 程度の膜厚の窒化シリコン膜を堆積する。この窒化シリコン膜をその表面から所定の膜厚分だけ異方的なドライエッチングにより除去することにより、サイドウォール S W 2 を形成する。次いで、絶縁膜 1 5 をキャップ絶縁膜 C P が露出するまでエッチングする。この際、n⁻型半導体領域 E X 上の絶縁膜 1 5 やサイドウォール S W 2 の上部がエッチングされてもよい。

【 0 0 7 3 】

次いで、メモリゲート電極 M G 上のキャップ絶縁膜 C P と、制御ゲート電極 C G 上のサイドウォール S W 1 と、サイドウォール S W 2 をマスクとして、半導体基板 S B （フィン F ）中に、ヒ素（ A s ）またはリン（ P ）などの n 型不純物を注入することで、n⁺型半導体領域 S D を形成する。この際、n⁺型半導体領域 S D は、サイドウォール S W 2 に自己整合して形成される。この n⁺型半導体領域 S D は、n⁻型半導体領域 E X よりも不純物濃度が高く、接合の深さが深い。この工程により、n⁻型半導体領域 E X と n⁺型半導体領域 S D からなるソース領域 M S 、ドレイン領域 M D が形成される。

【 0 0 7 4 】

なお、n⁺型半導体領域 S D の形成領域のフィン F 上に、n 型不純物を含んだエピタキシャル層を形成することで、n⁺型半導体領域 S D を形成してもよい。この後、n⁻型半導体領域 E X と n⁺型半導体領域 S D の n 型不純物など、これまでに注入した不純物を活性化させるための熱処理を行う。

【 0 0 7 5 】

次いで、ソース領域 M S 、ドレイン領域 M D 上に、サリサイド技術を用いて、金属シリサイド膜 S I L を形成する。

【 0 0 7 6 】

例えば、ソース領域 M S 、ドレイン領域 M D 上を含む半導体基板 S B （フィン F ）に、金属膜（図示せず）を形成し、半導体基板 S B （フィン F ）に対して熱処理を施すことによって、ソース領域 M S 、ドレイン領域 M D と上記金属膜とを反応させる。これにより、金属シリサイド膜 S I L が形成される。上記金属膜は、例えばニッケル（ N i ）やニッケル - プラチナ（ P t ）合金などからなり、スパッタリング法などを用いて形成することができる。次いで、未反応の金属膜を除去する。この金属シリサイド膜 S I L により、拡散抵抗やコンタクト抵抗などを低抵抗化することができる。なお、メモリゲート電極 M G や制御ゲート電極 C G 上にも、金属シリサイド膜を形成してもよい。

【 0 0 7 7 】

次いで、図 3 1 に示すように、制御ゲート電極 C G やメモリゲート電極 M G などの上方

10

20

30

40

50

に、層間絶縁膜 I L 1 として酸化シリコン膜を C V D 法などを用いて堆積する。次いで、この酸化シリコン膜中に、プラグ P 1 を形成し、さらに、プラグ P 1 上に、配線 M 1 を形成する。プラグ P 1 は、例えば、層間絶縁膜 I L 1 中のコンタクトホール内に導電性膜を埋め込むことにより形成することができる。また、配線 M 1 は、例えば、層間絶縁膜 I L 1 上に形成された導電性膜をパターニングすることにより形成することができる。この後、層間絶縁膜、プラグおよび配線の形成工程を繰り返し行ってもよい。

【 0 0 7 8 】

以上の工程により、本実施の形態の半導体装置を形成することができる。

【 0 0 7 9 】

(実施の形態 2)

実施の形態 1 の半導体装置においては、制御ゲート電極 C G をポリシリコン膜 P S 2 で構成したが、制御ゲート電極 C G をメタル電極膜で構成してもよい。このように、ゲート電極をメタル電極膜で構成し、さらに、ゲート絶縁膜を h i g h - k 絶縁膜で構成したトランジスタを、h i g h - k / メタル構成を適用したトランジスタと言う。h i g h - k 絶縁膜とは、例えば窒化シリコン膜よりも比誘電率が高い高誘電率膜（高誘電体膜）である。

【 0 0 8 0 】

図 3 2 ~ 図 3 7 は、本実施の形態の半導体装置の形成工程中の断面図である。図 3 2 ~ 図 3 7 のうち、最終工程断面図である図 3 7 を参照しながら本実施の形態の半導体装置の構成を説明する。なお、実施の形態 1 に対応する部位については、同様の符号を付け、その説明を省略する。

【 0 0 8 1 】

[構造説明]

本実施の形態の半導体装置（図 3 7 ）においても、メモリセルは、制御ゲート電極 C G を有する制御トランジスタと、メモリゲート電極 M G を有するメモリトランジスタとからなる。また、メモリゲート電極 M G および制御ゲート電極 C G の合成パターンの側壁部には、絶縁膜からなるサイドウォール S W 2 が形成されている。

【 0 0 8 2 】

具体的に、メモリセルは、半導体基板 S B （フィン F ）の上方に配置された制御ゲート電極 C G と、半導体基板 S B （フィン F ）の上方に配置され、制御ゲート電極 C G と隣り合うメモリゲート電極 M G とを有する。ここで、例えば、メモリゲート電極 M G は、シリコン膜よりなり、制御ゲート電極 C G は、メタル電極膜よりなる。メタル電極膜としては、例えば、T i A l 膜とその上の A l 膜との積層膜を用いることができる。この他、A l 膜、W 膜などを用いてもよい。

【 0 0 8 3 】

そして、制御ゲート電極 C G と半導体基板 S B （フィン F ）の間には、制御ゲート絶縁膜 C G I が配置される。この制御ゲート絶縁膜 C G I は、制御ゲート電極 C G とメモリゲート電極 M G との間および制御ゲート電極 C G とサイドウォール S W 2 との間にも配置されている。この制御ゲート絶縁膜 C G I は、h i g h - k 絶縁膜よりなる。h i g h - k 絶縁膜としては、例えば、酸化ハフニウム膜や酸化アルミニウム膜などを用いることができる。

【 0 0 8 4 】

メモリセルは、さらに、メモリゲート電極 M G と半導体基板 S B （フィン F ）との間に配置された絶縁膜 O N O （ 1 1 、 1 2 、 1 3 ）を有する。絶縁膜 O N O は、例えば、下層絶縁膜 1 1 と、その上の中層絶縁膜 1 2 と、その上の上層絶縁膜 1 3 よりなる。中層絶縁膜 1 2 は、電荷蓄積部となる。下層絶縁膜 1 1 は、例えば、酸化シリコン膜よりなる。中層絶縁膜 1 2 は、例えば、窒化シリコン膜よりなる。上層絶縁膜 1 3 は、例えば、酸窒化シリコン膜よりなる。

【 0 0 8 5 】

また、メモリセルは、さらに、半導体基板 S B のフィン F 中に形成されたドレイン領域

10

20

30

40

50

M Dおよびソース領域 M Sを有する。

【 0 0 8 6 】

また、ドレイン領域 M D (n^+ 型半導体領域 S D)、ソース領域 M S (n^+ 型半導体領域 S D) の上部には、金属シリサイド膜 S I L が形成されている。また、メモリゲート電極 M G の上部には、金属シリサイド膜 S I L が形成されている。

【 0 0 8 7 】

なお、図 3 7 中には図示していないが、制御ゲート電極 C G とメモリゲート電極 M G との上方には、層間絶縁膜が形成されている。この膜は、例えば、酸化シリコン膜よりなる。層間絶縁膜中にはプラグが形成され、プラグ上には配線が形成される。

【 0 0 8 8 】

なお、メモリセルの基本的な動作については、実施の形態 1 で説明した (1) 読出し、(2) 消去、(3) 書込みと同様の動作とすることができる。

【 0 0 8 9 】

ここで、本実施の形態においても、図 3 7 に示すように、メモリゲート電極 M G 下の素子分離部 S T の高さ、制御ゲート電極 C G 下の素子分離部 S T の高さとが、異なり、メモリゲート電極 M G 下の素子分離部 S T の高さは、制御ゲート電極 C G 下の素子分離部 S T の高さより高い。

【 0 0 9 0 】

このように、メモリゲート電極 M G 下の素子分離部 S T の高さを、制御ゲート電極 C G 下の素子分離部 S T の高さより高くすることで、実施の形態 1 において説明したように、電子とホールの注入のミスマッチが改善され、書き換え動作速度が向上し、信頼性が向上する。

【 0 0 9 1 】

[製法説明]

以下に、図 3 2 ~ 図 3 7 を用いて、本実施の形態の半導体装置の製造方法について説明する。

【 0 0 9 2 】

まず、実施の形態 1 において、図 6 ~ 図 1 7 を参照しながら説明したように、フィン F を形成する。

【 0 0 9 3 】

次いで、実施の形態 1 において、図 1 8 ~ 図 2 9 を参照しながら説明したように、素子分離部 S T を形成し (図 2 0)、絶縁膜 O N O (1 1、1 2、1 3)、メモリゲート電極 M G、キャップ絶縁膜 C P を形成し (図 2 2)、さらに、制御ゲート電極 C G の形成領域において、フィン間の素子分離部 S T の上面を後退させる (図 2 3)。次いで、絶縁膜 1 5 を形成し、スペーサ (側壁絶縁膜) S P を形成した後、ポリシリコン膜 (導電性膜) P S 2 を形成する。なお、本実施の形態においては、ポリシリコン膜 P S 2 は、制御ゲート電極置換用の膜 (ダミーゲートとも言う) であり、絶縁膜 1 5 は、制御ゲート絶縁膜置換用の膜である。次いで、ポリシリコン膜 P S 2 の上面に対しエッチング処理を施すことで、ポリシリコン膜 P S 2 上面を後退 (下降) させ、ポリシリコン膜 P S 2 上であって、スペーサ S P の上部の側壁部にサイドウォール S W 1 を形成する (図 2 8)。次いで、サイドウォール S W 1 をマスクとして、下層のポリシリコン膜 P S 2 をエッチングすることにより、制御ゲート電極 C G を形成する。次いで、 n^- 型半導体領域 E X を形成する (図 2 9、図 3 2)。

【 0 0 9 4 】

次いで、図 3 3 に示すように、メモリゲート電極 M G と制御ゲート電極 C G の側壁部に、サイドウォール S W 2 を形成する。例えば、絶縁膜 1 5 およびサイドウォール S W 1 上に、C V D 法などを用いて 4 0 n m 程度の膜厚の窒化シリコン膜を堆積する。この窒化シリコン膜をその表面から所定の膜厚分だけ異方的なドライエッチングにより除去することにより、サイドウォール S W 2 を形成する。次いで、実施の形態 1 の場合と同様に、 n^+ 型半導体領域 S D を形成し、さらに、金属シリサイド膜 S I L を形成する。

10

20

30

40

50

【 0 0 9 5 】

次いで、図 3 4 に示すように、制御ゲート電極 C G やメモリゲート電極 M G などの上方に、層間絶縁膜 I L 1 として酸化シリコン膜を C V D 法などを用いて堆積する。次いで、C M P 法により絶縁膜 1 5 およびその下層の層を、制御ゲート電極置換用の膜であるポリシリコン膜 P S 2 が露出するまで平坦化する。この際、サイドウォール S W 2 の上部が平坦化されてもよい。

【 0 0 9 6 】

次いで、図 3 5 に示すように、露出したポリシリコン膜 P S 2 をエッチングにより除去し、さらに、ポリシリコン膜 P S 2 の下層の絶縁膜 1 5 をエッチングする。このエッチングには、ドライエッチングまたはウエットエッチングを用いることができる。これにより、ポリシリコン膜 P S 2 およびその下層の絶縁膜 1 5 が除去された領域であって、p 型ウエル P W 上の領域には、溝が形成される。

【 0 0 9 7 】

ここで、絶縁膜 1 5 のエッチングの際、オーバーエッチングすることで、C - C 断面部（制御ゲート電極 C G の形成領域）において、フィン F 間の素子分離部 S T の上面を、さらに後退させることができる。本工程における後退量を D 2 とする。

【 0 0 9 8 】

これにより、制御ゲート電極 C G の形成領域の素子分離部 S T の上面と、メモリゲート電極 M G の形成領域の素子分離部 S T の上面との高低差は、“ D 1 ” から “ D 1 + D 2 ” とすることができる。ここで、メモリゲート電極 M G の形成領域のフィン F の高さは F H 1 であり、制御ゲート電極 C G の形成領域のフィン F の高さは F H 3 である（ F H 3 > F H 1 ）。なお、この段階における高低差（ D 1 + D 2 ）は、5 n m 以上 1 0 n m 以下であってもよいが、1 0 n m 以上であってもよい。本実施の形態においては、メモリゲート電極 M G および絶縁膜 O N O （ 1 1 、 1 2 、 1 3 ）の側面が、絶縁膜 1 5 やスペーサ S P で覆われているため、絶縁膜 O N O （ 1 1 、 1 2 、 1 3 ）にサイドエッチングが入り難い。このため、素子分離部 S T の上面の後退量を大きく確保することができる。

【 0 0 9 9 】

このように、本実施の形態においては、絶縁膜 O N O の下層絶縁膜（酸化シリコン膜） 1 1 のエッチング工程、および、制御ゲート絶縁膜置換用の膜である絶縁膜 1 5 のエッチング工程で、C - C 断面部（制御ゲート電極 C G の形成領域）において、フィン F 間の素子分離部 S T の上面を後退させることができる。

【 0 1 0 0 】

次いで、図 3 6 に示すように、上記溝内に、制御ゲート絶縁膜 C G I および制御ゲート電極 C G を形成する。まず、上記溝内を含む半導体基板 S B 上に、高誘電率膜および金属膜を順に形成することで、高誘電率膜および金属膜の積層膜を溝内に埋め込む。次いで、例えば C M P 法などを用いて、溝の上部の余分な上記積層膜を除去する。この際、メモリゲート電極 M G 上のキャップ絶縁膜 C P も除去し、メモリゲート電極 M G の上面を露出させる。これにより、上記溝内に高誘電率膜よりなる制御ゲート絶縁膜 C G I と、金属膜よりなる制御ゲート電極 C G が形成される。

【 0 1 0 1 】

次いで、図 3 7 に示すように、露出したメモリゲート電極 M G 上に、サリサイド技術を用いて、金属シリサイド膜 S I L を形成する。

【 0 1 0 2 】

この後、図示は省略するが、実施の形態 1 と同様にして、層間絶縁膜、プラグ、配線などを形成する。

【 0 1 0 3 】

以上の工程により、本実施の形態の半導体装置を形成することができる。

【 0 1 0 4 】

（実施の形態 3 ）

実施の形態 1 においては、メモリゲート電極 M G の下層の絶縁膜 O N O （ 1 1 、 1 2 、

10

20

30

40

50

13) 中にサイドエッチングを考慮しつつ、制御ゲート電極CGの形成領域の素子分離部STの上面と、メモリゲート電極MGの形成領域の素子分離部STの上面との高低差を10nm以下とした。これに対し、本実施の形態では、絶縁膜ONOの側面に、サイドウォールSW10を設け、素子分離部STの上面の後退量(上記高低差)を大きく確保する。
【0105】

図38、図39は、本実施の形態の半導体装置の形成工程中の断面図である。

【0106】

まず、実施の形態1において、図21～図23を参照しながら説明したように、C-C断面部(制御ゲート電極CGの形成領域)において、メモリゲート電極MGを形成しつつ、絶縁膜ONO(11、12、13)をエッチングにより除去するとともに、素子分離部STの上面を後退させる。この時点での後退量、即ち、制御ゲート電極CGの形成領域の素子分離部STの上面と、メモリゲート電極MGの形成領域の素子分離部STの上面との高低差は、D1である。

10

【0107】

次いで、図38に示すように、半導体基板SB上に、サイドウォールSW10形成用の絶縁膜(例えば2nm程度の窒化シリコン膜など)をCVD法などを用いて形成し、この絶縁膜を、異方的なドライエッチングによりエッチバックする。これにより、メモリゲート電極MGおよび絶縁膜ONO(11、12、13)の側面が、サイドウォールSW10で覆われる。この後、C-C断面部(制御ゲート電極CGの形成領域)において、フィンF間の素子分離部STの上面を、さらに後退させる。本工程における後退量をD3とする。本実施の形態によれば、素子分離部STの上面の後退量を大きく確保することができる。

20

【0108】

この後、実施の形態1と同様にして、本実施の形態の半導体装置を形成することができる(図39)。

【0109】

(実施の形態4)

実施の形態1～3においては、制御ゲート電極CGの下方の素子分離部STの上面と、メモリゲート電極MGの下方の素子分離部STの上面とを、均一で平坦な面として説明したが、各領域の上面に凸凹があってもよい。

30

【0110】

図40、図41は、本実施の形態の半導体装置のメモリセルの構成を示す断面図である。図40は、制御ゲート電極CGの近傍を示し、図41は、メモリゲート電極MGの近傍を示す。

【0111】

図40に示すように、フィンFの両側の素子分離部STは、フィンF近傍においては、フィンFに沿うようになだらかに盛り上がっている。そして、フィンFから離れるにしたがって、その高さが低くなる。よって、制御ゲート電極CGの下方の素子分離部STにおいては、フィンF間の略中央部が一番低く、フィンFに近づくにしたがって高くなる。ここで、フィンF間の略中央部における素子分離部STの高さを、STI-BOTTOMとし、フィンFの側面において、絶縁膜の膜厚が増加し始める位置を、STI-TOPとする。即ち、フィンFの側面において、絶縁膜15と素子分離膜(ST)との合成膜(合成部)の膜厚が増加し始める部位が、STI-TOPとなる。

40

【0112】

また、図41に示すように、フィンFの両側の素子分離部STは、フィンF近傍においては、フィンFに沿うようになだらかに盛り上がっている。そして、フィンFから離れるにしたがって、その高さが低くなる。よって、メモリゲート電極MGの下方の素子分離部STにおいては、フィンF間の略中央部が一番低く、フィンFに近づくにしたがって高くなる。ここで、フィンF間の略中央部における素子分離部STの高さを、STI-BOTTOMとし、フィンFの側面において、絶縁膜の膜厚が増加し始める位置を、STI-T

50

OPとする。即ち、フィンFの側面において、絶縁膜ONOと素子分離膜(ST)との合成膜(合成部)の膜厚が増加し始める部位が、STI-TOPとなる。

【0113】

ここで、メモリゲート電極MGの下方の素子分離部STの高さおよび制御ゲート電極CGの下方の素子分離部STの高さは、上記STI-TOPとすることができる。少なくとも、上記STI-TOPについて、メモリゲート電極MGが高ければ、図4、図5を参照しながら説明した、電子とホールの注入のミスマッチを改善することができる。

【0114】

もちろん、メモリゲート電極MGの下方の素子分離部STの高さおよび制御ゲート電極CGの下方の素子分離部STの高さを、STI-BOTTOMや、凹凸を平均した高さとしてもよい。これらについても、制御ゲート電極CGの下方の素子分離部STのエッチングの際には、ほぼ均等に後退しているため、これらを基準としてもよい。

10

【0115】

以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は上記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0116】

例えば、上記実施の形態においては、BTBT消去方式を例に説明したが、いわゆるFN消去方式を用いる場合にも、本実施の形態の構成によれば、電子とホールの注入のミスマッチを改善することができる。

20

【0117】

また、上記実施の形態において説明した半導体装置において、メモリセル以外の素子を含んでいてもよい。例えば、FINFETを有していてもよい。FINFETは、フィンを横切るように延在するゲート電極と、フィンとゲート電極との間に配置されたゲート絶縁膜と、ゲート電極の両側のフィン中に形成されたソース、ドレイン領域とを有する。FINFETを構成するゲート電極、ゲート絶縁膜、またはソース、ドレイン領域は、上記実施の形態で説明したメモリセルの各構成部と同じ材料を用いて同じ工程で形成することができる。

【符号の説明】

【0118】

30

11 下層絶縁膜(絶縁膜)

12 中層絶縁膜(絶縁膜)

13 上層絶縁膜(絶縁膜)

15 絶縁膜

CG 制御ゲート電極

CGI 制御ゲート絶縁膜(ゲート絶縁膜)

CP キャップ絶縁膜

D1、D2、D3 高低差(後退量)

EX n⁻型半導体領域

F フィン

40

FH1、FH2、FH3 フィン高さ

G 溝

HM1 ハードマスク

IF1 絶縁膜

IF2 絶縁膜

IF3 絶縁膜

IL1 層間絶縁膜

L ライン

M1 配線

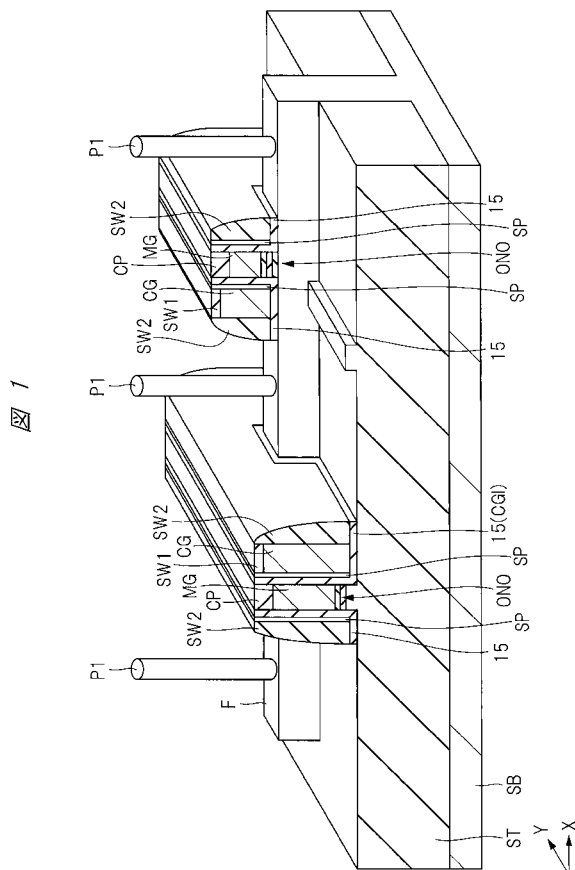
MD ドレイン領域

50

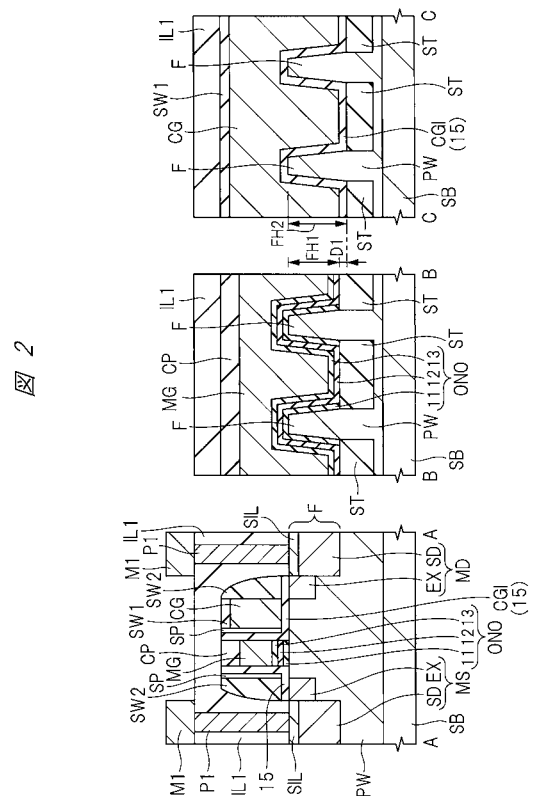
M G メモリゲート電極
 M S ソース領域
 O N O メモリゲート絶縁膜 (ゲート絶縁膜、絶縁膜)
 P 1 プラグ
 P R 2 フォトリソグレイ膜
 P S 1 ポリシリコン膜
 P S 2 ポリシリコン膜
 P W p型ウエル
 S B 半導体基板
 S D n⁺型半導体領域
 S I 1 半導体膜
 S I L 金属シリサイド膜
 S P スペース
 S T 素子分離部
 S W 1 サイドウォール
 S W 2 サイドウォール
 S W 1 0 サイドウォール

10

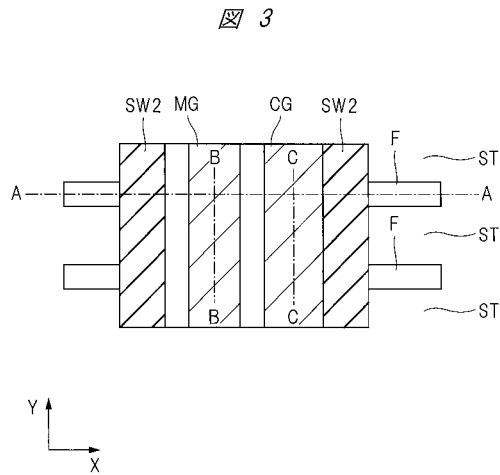
【 図 1 】



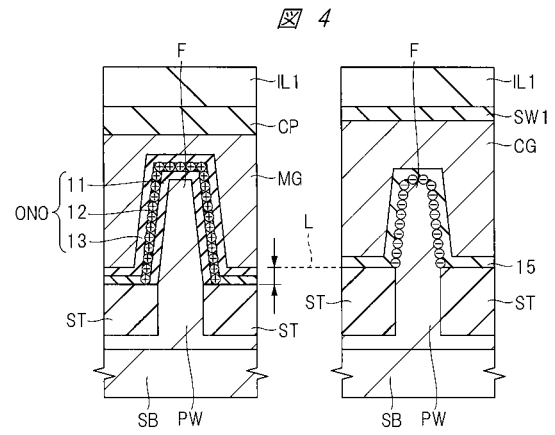
【 図 2 】



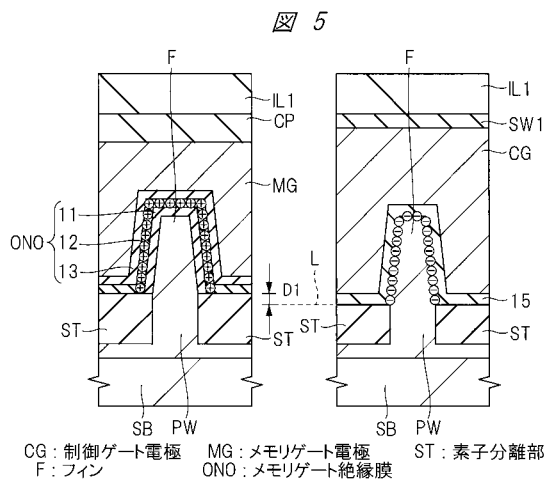
【図 3】



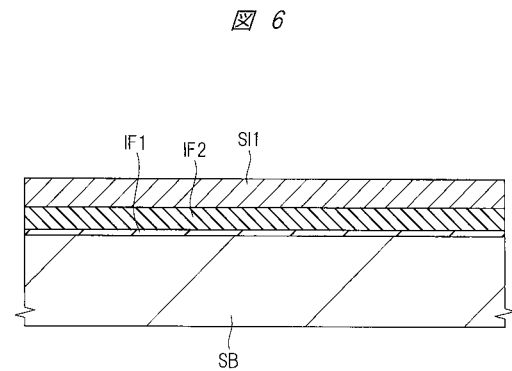
【図 4】



【図 5】

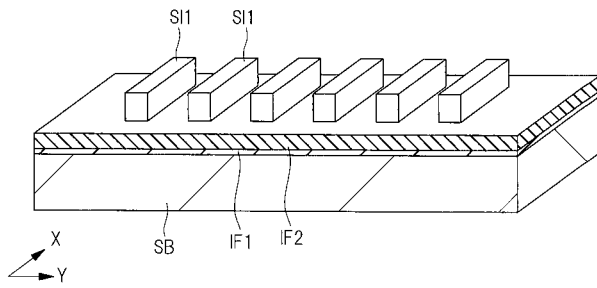


【図 6】



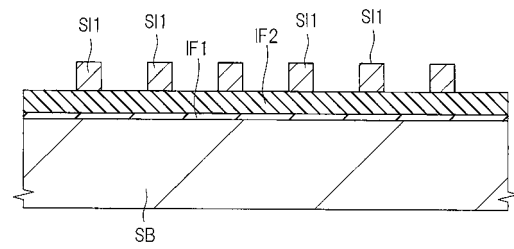
【図 7】

図 7



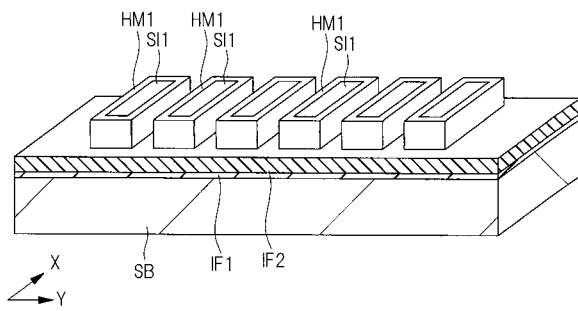
【図 8】

図 8



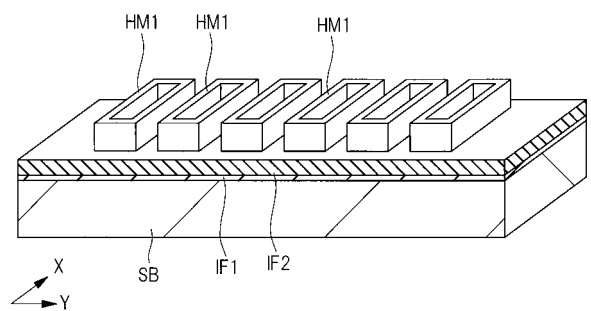
【図 9】

図 9



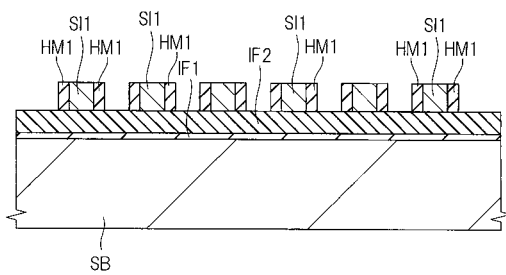
【図 11】

図 11



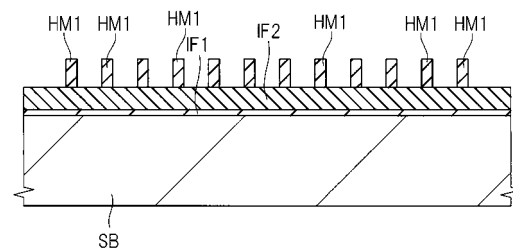
【図 10】

図 10



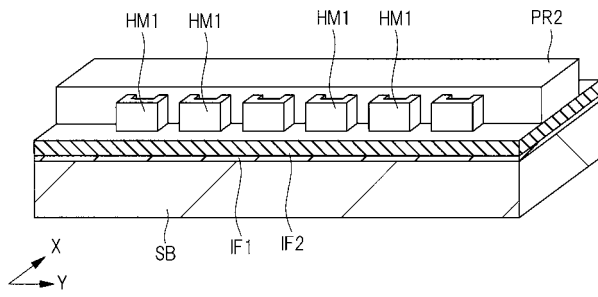
【図 12】

図 12



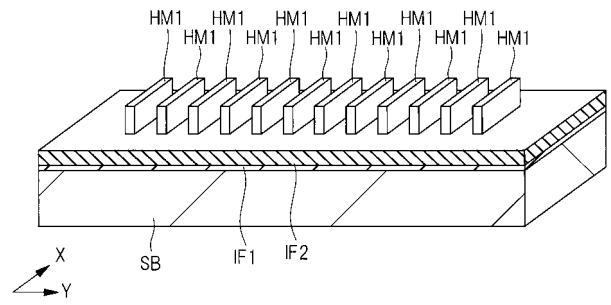
【図 13】

図 13



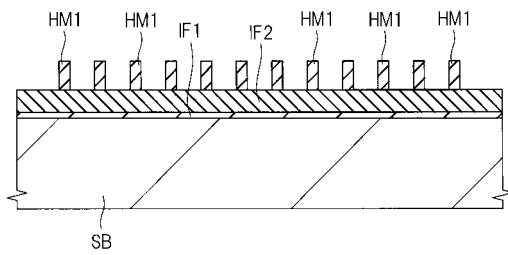
【図 14】

図 14



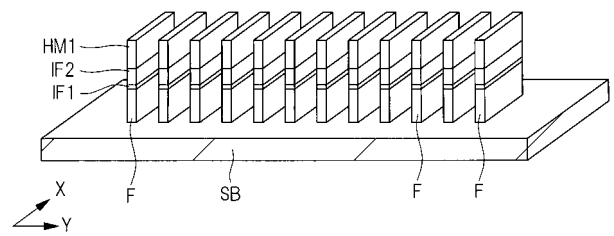
【図 15】

図 15

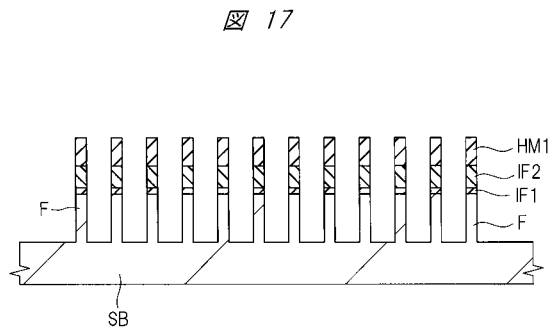


【図 16】

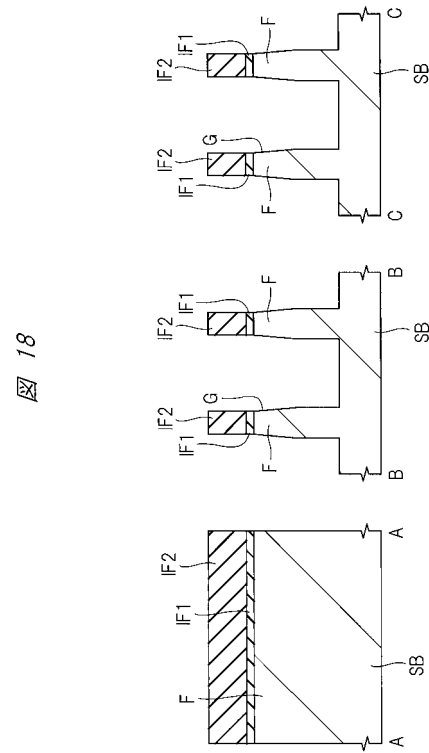
図 16



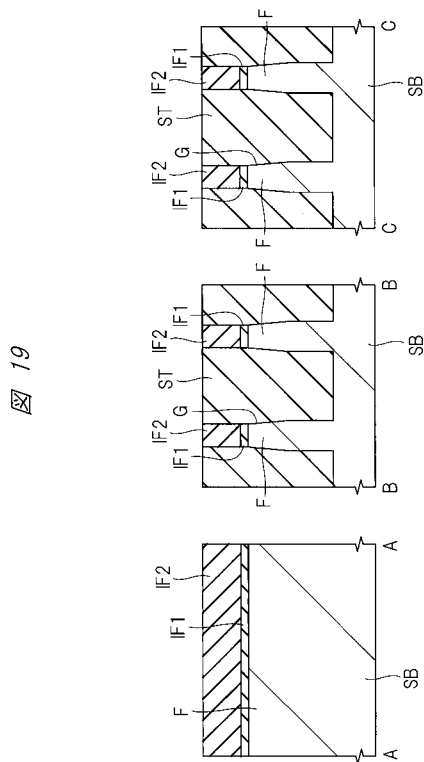
【図 17】



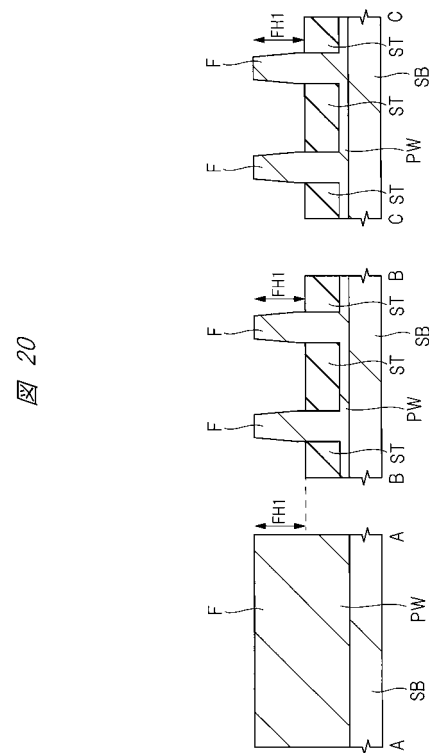
【図 18】



【図 19】

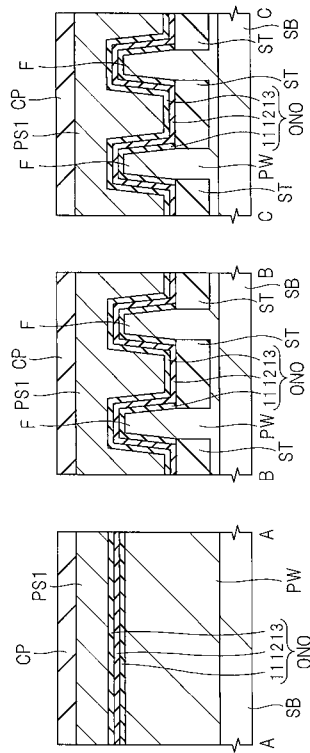


【図 20】



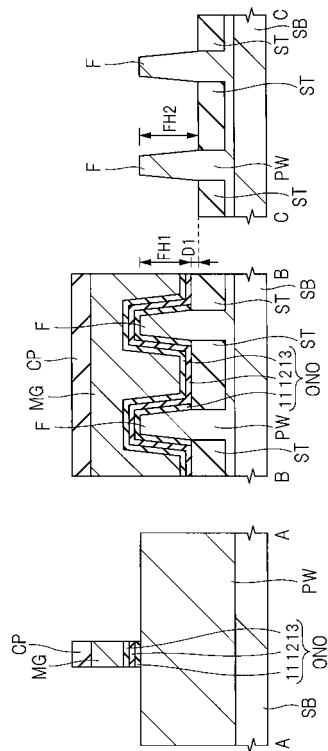
【図 2 1】

図 21



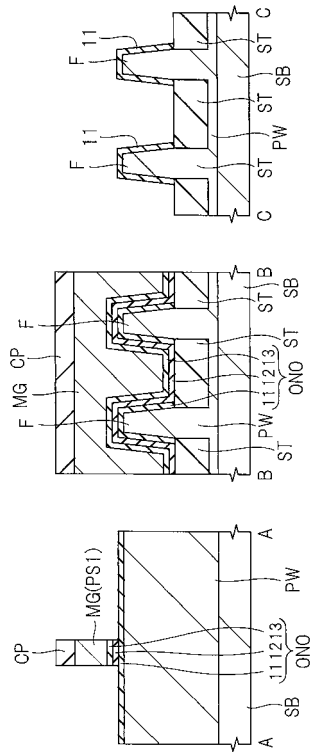
【図 2 3】

図 23



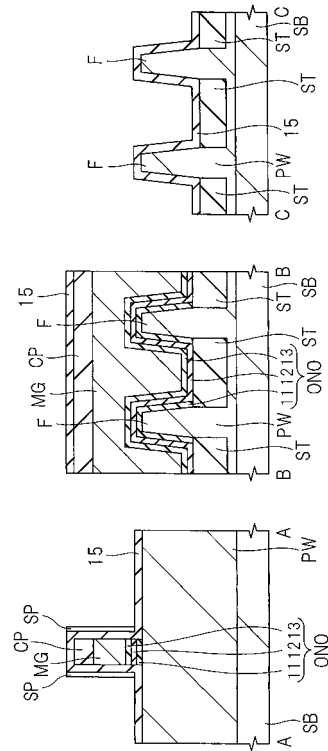
【図 2 2】

図 22



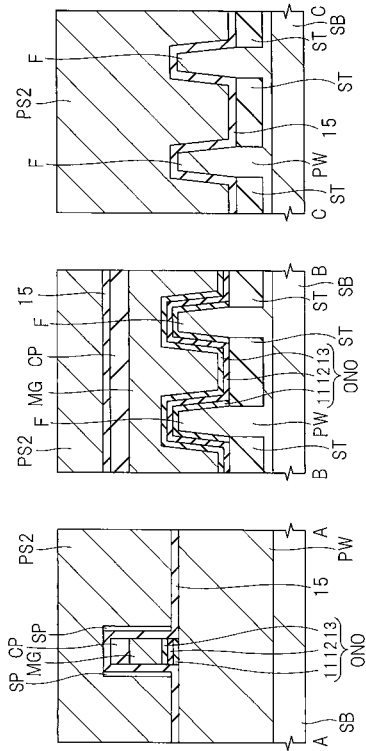
【図 2 4】

図 24



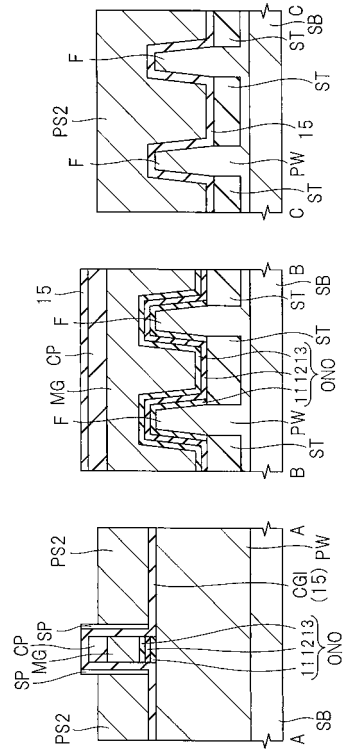
【図 25】

図 25



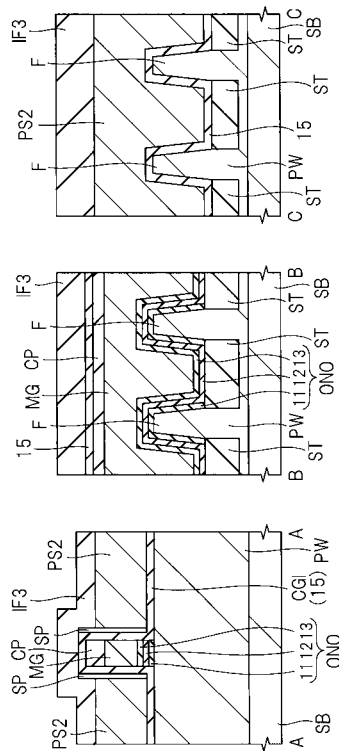
【図 26】

図 26



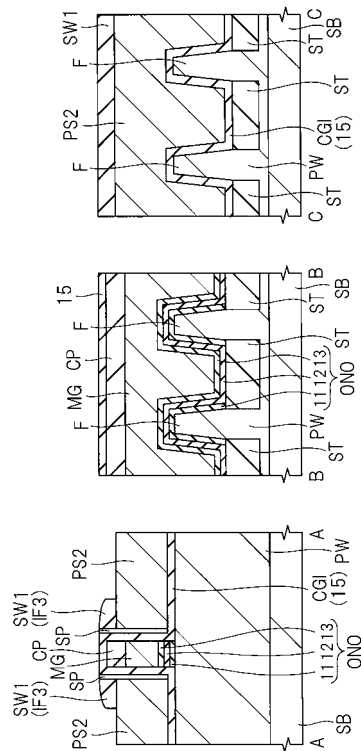
【図 27】

図 27



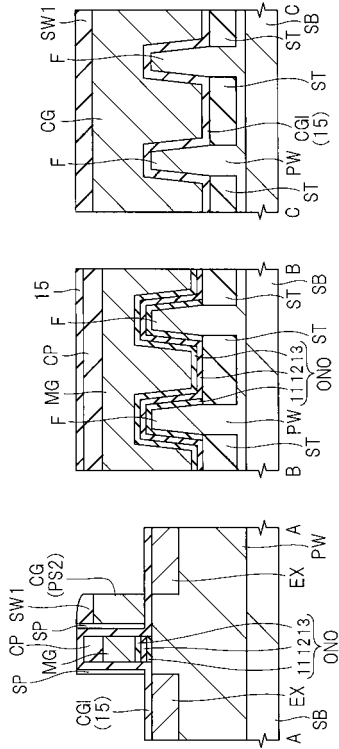
【図 28】

図 28



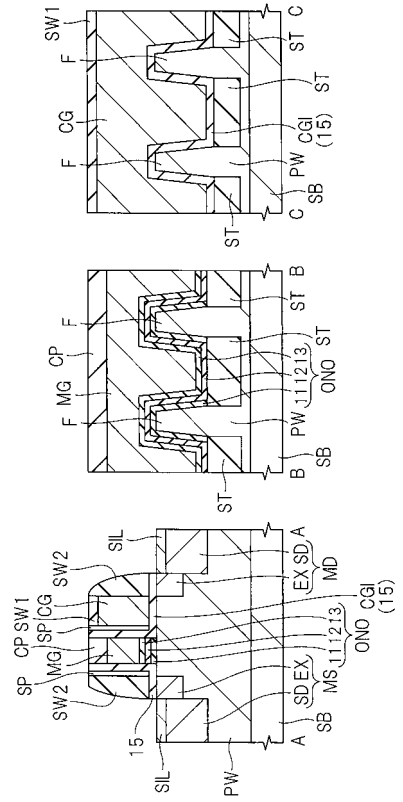
【図 29】

図 29



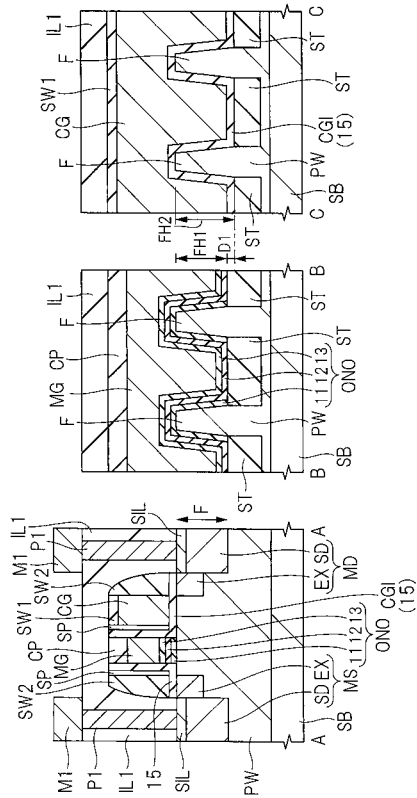
【図 30】

図 30



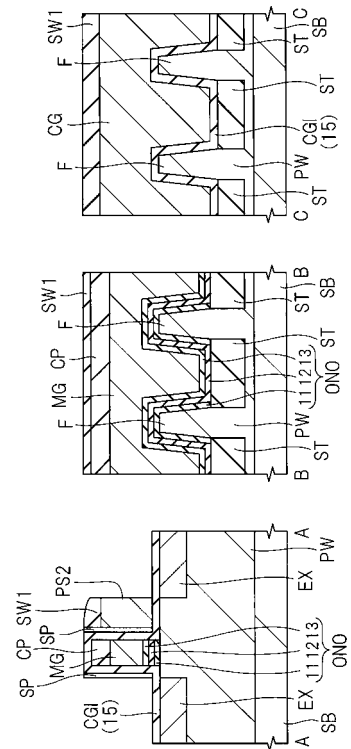
【図 31】

図 31



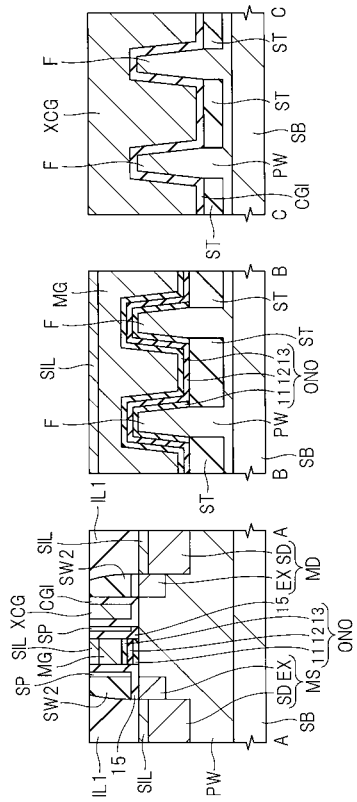
【図 32】

図 32



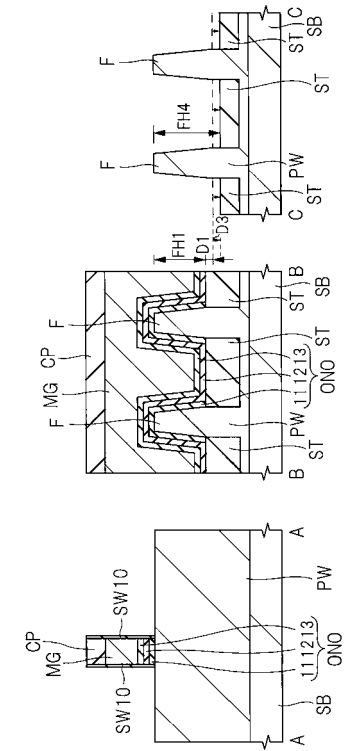
【図 37】

図 37



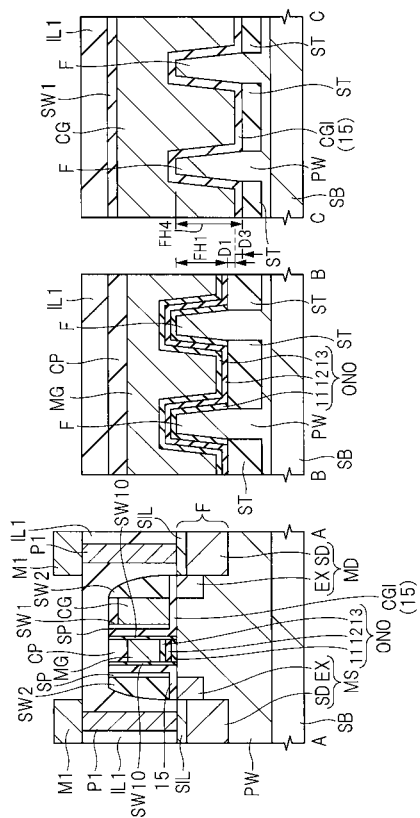
【図 38】

図 38



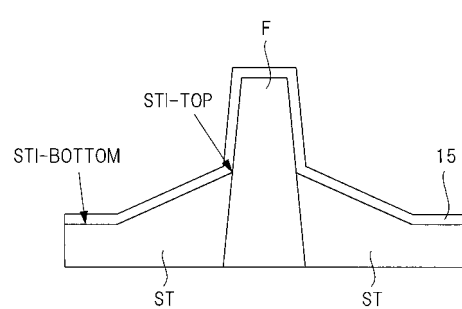
【図 39】

図 39

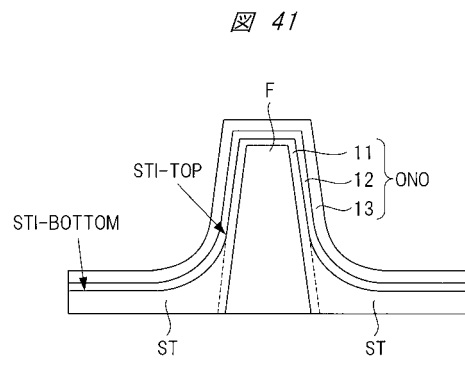


【図 40】

図 40



【図 4 1】



フロントページの続き

F ターム(参考) 5F101 BA45 BA53 BB02 BB08 BC11 BD07 BD10 BD13 BD22 BD33
BD35 BE02 BE05 BE07 BF01 BH03 BH04 BH19