公告本

317654

申請日期	85. 6. 18.
案號	85107381
類別	H01L 21/96 Int. Cl[6]

A4
C4

317654

（以上各欄由本局填註）

發明 ~~新型~~ 專利說明書

一、發明 ~~新型~~ 名稱	中文	半導體裝置及其製造方法
	英文	"SEMICONDUCTOR DEVICE AND FABRICATION PROCESS THEREFOR"
		半導体装置及びその製造方法
二、發明 ~~創作~~ 人	姓名	青木 仁志
	國籍	日本
	住、居所	日本國岡山縣笠岡市美之濱27-20-103
三、申請人	姓名（名稱）	日商夏普股份有限公司
	國籍	日本
	住、居所（事務所）	日本國大阪府大阪市阿倍野區長池町22番22號
	代表人姓名	辻 晴雄

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

裝 訂 線

317654

（由本局填寫）

承辦人代碼：	A6 B6
大　　類：	
ＩＰＣ分類：	

本案已向：

國（地區）	申請專利，申請日期：	案號：	
日本	1995.12.14	Hei 7(1995)-326057	，□有 ☑無主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 1 ）

發明背景

1. 發明範疇

本發明係關於一種半導體裝置及其製造方法，更特別地，本發明係關於一種半導體裝置，其包括形成於相同半導體基體上之NAND記憶體晶格電晶體與NOR記憶體晶格電晶體，及其製造方法。

2. 相關技藝說明

NAND ROM晶格與NOR ROM晶格是典型的罩蓋ROM晶格，NAND ROM晶格具有一電晶體列，包括複數個串聯的加強型電晶體與空乏型電晶體。藉由根據要寫入其中的ROM資料而適當的將加強型電晶體與空乏型電晶體配置於電晶體列中而達成將ROM資料寫入NAND ROM晶格中。NOR ROM晶格具有一電晶體列，其包括複數個與一位元線並聯之晶格電晶體。藉由根據要寫入其中的ROM資料而選擇性設定電晶體列中電晶體的門檻電壓而達成將ROM資料寫入NOR ROM晶格中。

大致上NAND ROM在整合位準很好，但是操作速度不令人滿意，而NOR ROM在操作速度上極佳，但是在整合位準不令人滿意。

特別地，傳統NOR ROM晶格的要求每2個記憶體晶格電晶體的接觸孔作互連。因此，形成接觸區與接觸孔時需要提供一罩蓋對齊間距，因此很難減少記憶體晶格的大小。

爲了增加整合位準，NAND ROM晶格已廣泛使用，如上所述在NAND ROM中，複數個晶格電晶體串聯成一電晶體

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 2 ）

列，而接觸孔設置於電晶體列的相對端。因此，藉由將更多的晶格電晶體串聯即可增加整合位準。

爲了達成最近要求高密度的記憶體晶格整合，已設法減少裝置隔絕區的大小與NAND ROM中的層差。

例如提議中的密度NOR ROM晶格，其中在沒有裝置隔絕膜之下達成裝置的隔絕，且具有NAND ROM與NOR ROM的優點。

在記憶體晶格中，複數個高純度擴散層55形成於源極/汲極區內，而位元線則並聯形成於半導體基體51的記憶體晶格形成區，而複數個閘電極(字線)53則垂直延伸至高純度擴散層55，在絕緣膜52的插入下供位元線形成於半導體基體51上，如圖25(a)至25(d)所示。具有與源極/汲極區不同傳導型的雜質離子植入區域57中，其不與閘電極53及高純度擴散層55一起形成。區域57當成晶格電晶體a與b之間的裝置隔絕。

因爲記憶體晶格具有這種結構，其未設置有裝置隔絕膜如LOCOS膜，因此半導體基體51的表面是平的。因此閘電極53可設置在小於一般工作極限的間距以形成閘電極。藉由將閘電極53當成罩蓋使用而以自對齊方式達成將離子植入裝置隔絕區53中。因此這種結構對於高密度的記憶體晶格整合極有效。

爲了達到對於高容量半導體裝置的漸增要求，已試過各種方式以達到高密度整合。

例如尚未實審的日本公告專利第4(1992)-10653號提議的

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 3 ）

半導體裝置，其中NOR ROM以間隔方式以一高度差形成，如圖26(a)至26(c)所示。在半導體裝置的記憶體晶格中，複數個高純度擴散層65形成於源極/汲極區，而位元線以並聯方式形成於半導體基體61的記憶體晶格形成區中，複數個第一層閘電極(字線)63垂直延伸至高純度擴散層65，在插入閘極絕緣膜62下設置於半導體基體61上。複數個第二層閘電極64平行延伸至第一層閘電極63，在插入絕緣膜67下設置於第一層閘電極63之間。

在具有這種結構的半導體裝置中，一電晶體a具有一第一層閘電極63，與高純度擴散層65與65，其係直接接至一電晶體b，其具有一第二層閘電極64，與高純度擴散層65與65。因此電晶體的有效閘寬依ROM資料是否寫入相鄰電晶體而變化。特別地，ROM資料寫入圖26(a)中的電晶體1b與b2中，而電晶體b1與b2之間電晶體的閘寬W1最窄，僅連接電晶體b1或b2的電晶體的寬度W2是第二窄，而不連接電晶體b1或電晶體b2的電晶體的寬度W3是最大。因此至少有3種閘寬，閘寬的變化對於記憶體晶格的電晶體特性有不良影響。

發明之概述

根據本發明之第一觀點是提供一第一半導體裝置，其包含：複數個第一電晶體列，各包括複數個串聯第一電晶體；及複數個第二電晶體列，設置於第一電晶體列之間，且各包括複數個第二電晶體；其中在一第一電晶體列中之第一電晶體之源極/汲極區，通過第二電晶體列中之第二電

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 4 ）

晶體而接至另一第一電晶體列中另一第一電晶體之源極/汲極區。

根據本發明之第二觀點是提供一第二半導體裝置，其包含:複數個第一字線，其藉由一第一閘極絕緣膜的插入而位於一半導體基體上，且互相於第一方向平行延伸；複數個第一電晶體，各具有一閘電極，接至一對應第一字線之閘；複數個第二字線，藉由第二絕緣膜之插入而位於第一字線之間，並於第一方向延伸；複數個二電晶體，各具有一閘電極，接至一對應第二字線；其中第一電晶體各共享一相鄰第一電晶體之源極/汲極，其於垂直第一方向之第二方向中並列，而第二電晶體於第一方向中各共享一相鄰第二電晶體之源極/汲極；而第一電晶體之源極/汲極區形成於第二字線下之半導體基體中，而第一電晶體各共享一相鄰第二電晶體之源極/汲極區。

根據本發明之第三觀點是提供製造一半導體裝置之第一方法，其包含以下步驟:(1-a)藉由插入第一閘極絕緣膜而於半導體基體上提供複數個於第一方向互相平行延伸之複數個第一字線；(2-a)形成一電阻樣式，包括複數個於垂直第一字線延伸之樣式線，並藉由將電阻樣式與第一字線當成一罩蓋使用而將離子植入半導體基體以形成源極/汲極區，藉此形成之複數個第一電晶體，各共享一相鄰第一電晶體之源極/汲極區，其於垂直第一方向之第二方向中並列；及(3-a)藉由插入第二絕緣膜而於源極/汲極區上在第一字線之間形成複數個第二字線，藉此形成之複數第二電

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 5 ）

晶體，各共享相鄰第一電晶體之源極/汲極區，其於第一方向中並列。

根據本發明之第四觀點是提供製造一半導體裝置之第二方法，其包含以下步驟:(1-b)藉由插入第一絕緣膜而於半導體基體上之第一方向形成複數個互相平行延伸之溝，及於各溝之邊牆上，或是於溝之間之半導體基體之上面部分與溝底部，形成互相平行延伸之複數個第一字線；(2-b)形成一電阻樣式，包括複數個於垂直第一字線延伸之樣式線，並藉由將電阻樣式與第一字線當成一罩蓋使用而將離子植入半導體基體，以便於溝之間之基體上表面部分，及基體之溝底部部分，或是於基體之邊牆部分中形成源極/汲極區，藉此形成複數個第一電晶體，其各共享源極/汲極區，其配置於垂直第一方向之第二方向中，及形成於相鄰溝之間之基體上表面部分中，與基體之溝底部部分，或是於基體之溝邊牆部分；及(3-b)藉由插入第二絕緣膜而於源極/汲極區上在第一字線之間形成互相平行延伸之複數個第二字線，藉此形成複數個第二電晶體，各共享相鄰第一電晶體之源極/汲極區，其於第一方向中並列。

根據本發明之第五觀點是提供製造一半導體裝置之第三方法，其包含以下步驟:(1-c)藉由插入第一絕緣膜於半導體基體之第二方向中形成互相平行延伸之複數個溝，以及於第一方向中形成互相平行延伸之複數個第一字線，該第一方向垂直於包括溝之最後半導體基體上之第二方向；(2-c)藉由將至少第一字線當成罩蓋使用以便將離子植入半

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（6）

導體基體，以便於溝之間之基體上表面部分，與基體之溝底部部分，或是於基體之溝邊牆部分形成源極/汲極區，藉此形成複數個第一電晶體，其各共享源極/汲極區，其配置於第二方向，及形成於相鄰溝之間之基體上表面部分，與基體之溝底部部分，或是於基體之溝邊牆部分；及(3-c)藉由插入第二絕緣膜而於源極/汲極區上在第一字線間形成互相平行延伸之複數個第二字線，藉此形成複數個第二電晶體，各共享相鄰第一電晶體之源極/汲極區，其於第一方向中並列。

附圖之簡單說明

圖1是根據本發明之半導體裝置的等效電路圖。

圖2的平視圖繪示根據本發明之半導體裝置。

圖3(a)至3(d)分別是沿著圖2線A-A'，B-B'，C-C'，D-D'的剖視圖，以說明半導體裝置的製造方法。

圖4(a)至4(d)分別是沿著圖2線A-A'，B-B'，C-C'，D-D'的剖視圖，以說明製造方法。

圖5(a)至5(d)分別是沿著圖2線A-A'，B-B'，C-C'，D-D'的剖視圖，以說明製造方法。

圖6(a)至6(d)分別是沿著圖2線A-A'，B-B'，C-C'，D-D'的剖視圖，以說明製造方法。

圖7(a)至7(d)分別是沿著圖2線A-A'，B-B'，C-C'，D-D'的剖視圖，以說明製造方法。

圖8(a)至8(d)分別是沿著圖2線A-A'，B-B'，C-C'，D-D'的剖視圖，以說明製造方法。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 7 ）

圖9的平視圖繪示根據本發明之另一半導體裝置。

圖10(a)至10(e)分別是沿著圖9線A-A'，B-B'，C-C'，D-D'，E-E'的剖視圖，以說明半導體裝置的製造方法。

圖11(a)至11(e)分別是沿著圖9線A-A'，B-B'，C-C'，D-D'，E-E'的剖視圖，以說明製造方法。

圖12(a)至12(e)分別是沿著圖9線A-A'，B-B'，C-C'，D-D'，E-E'的剖視圖，以說明製造方法。

圖13(a)至13(e)分別是沿著圖9線A-A'，B-B'，C-C'，D-D'，E-E'的剖視圖，以說明製造方法。

圖14(a)至14(e)分別是沿著圖9線A-A'，B-B'，C-C'，D-D'，E-E'的剖視圖，以說明製造方法。

圖15(a)至15(e)分別是沿著圖9線A-A'，B-B'，C-C'，D-D'，E-E'的剖視圖，以說明製造方法。

圖16的平視圖繪示根據本發明之另一半導體裝置。

圖17(a)至17(d)分別是沿著圖16線A-A'，B-B'，C-C'，D-D'的剖視圖，以說明半導體裝置的製造方法。

圖18(a)至18(d)分別是沿著圖16線A-A'，B-B'，C-C'，D-D'的剖視圖，以說明製造方法。

圖19(a)至19(d)分別是沿著圖16線A-A'，B-B'，C-C'，D-D'的剖視圖，以說明製造方法。

圖20(a)至20(d)分別是沿著圖16線A-A'，B-B'，C-C'，D-D'的剖視圖，以說明製造方法。

圖21(a)至21(d)分別是沿著圖16線A-A'，B-B'，C-C'，D-D'的剖視圖，以說明製造方法。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 8 ）

圖22(a)至22(d)分別是沿著圖16線A-A'，B-B'，C-C'，D-D'的剖視圖，以說明製造方法。

圖23的平視圖繪示根據本發明之另一半導體裝置。

圖24(a)至24(d)分別是沿著圖23線A-A'，B-B'，C-C'，D-D'的剖視圖，以說明半導體裝置的製造方法。

圖25(a)的平視圖繪示一傳統罩蓋ROM晶格，而圖25(b)至25(d)分別是沿著圖25(a)線A-A'，B-B'，C-C'的剖視圖。

圖26(a)的平視圖繪示另一傳統罩蓋ROM晶格，而圖26(b)與26(c)分別是沿著圖26(a)線A-A'，B-B'，C-C'的剖視圖。

較佳具體實例之說明

本發明之第一半導體裝置包括：複數個第一電晶體列，各包括複數個串聯第一電晶體；及複數個第二電晶體列，各包含複數個第二電晶體，並設置於第一電晶體列之間。第一電晶體列中之第一電晶體與另一第一電晶體列中之另一第一電晶體分別共享第二電晶體列中之第二電晶體的源極/汲極區，其並聯該一第一電晶體與該另一第一電晶體。該一第一電晶體列與該另一第一電晶體列最好互相同鄰配置，但也可以一或多個第一電晶體列置於其間而互相分開。換言之，不需要將各個第二電晶體列置於每二個相鄰第一電晶體列之間，但是每二個相鄰第二電晶體列也可以二或多個第一電晶體列置於其間而互相分開。此外第二電晶體列中的第二電晶體最好以一對一對應於第一電晶體列中的第一電晶體的方式配置著，但是各個第二電晶體可如此配置以使第二電晶體對應二個或多個第一電晶體。雖然

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 9 ）

以高密度整合而言最好第一電晶體列與第二電晶體列以交錯方式配置，以便各第一電晶體列中的第一電晶體與各第二電晶體列中的第二電晶體正常配置於第一半導體裝置中的矩陣，可將第一半導體裝置建構成省去部分的第一或第二電晶體或部分的第一或第二電晶體列。

根據本發明的第一半導體裝置包括:組成NAND記憶體晶格的第一電晶體，與組成NOR記憶體晶格的第二電晶體，以實現高密度的記憶體。可將半導體裝置加入罩蓋ROM或非揮發性的記憶體中，其包括可程式ROM如EPROM與EEPROM，其利用浮罩蓋電晶體。

第一裝置的修正是一半導體裝置(以下稱爲第二半導體裝置)，其包括:複數個字線，藉由插入第一罩蓋絕緣膜並於第一方向延伸而形成於大致平的半導體基體上；複數個第二字線，藉由插入第二絕緣膜而形成於第一字線之間；複數個第一電晶體，各具有一閘電極，其接至對應之第一字線；及複數個第二電晶體，各具有一閘電極，其接至對應之第二字線。

在第二半導體裝置中第二電晶體接至第一字線，各共享相鄰第一電晶體的源極/汲極區，其並列於垂直於第一方向的第二方向，藉此配置於第二方向的第一電晶體能串聯。接至第二字線的第二電晶體共享相鄰第二電晶體的源極/汲極區，其並列於第一方向。第一電晶體各共享相鄰第二電晶體的源極/汲極區。在這種配置下，各電晶體共享相鄰電晶體的源極/汲極區，其並列於第一方向(橫向相鄰

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 10 ）

電晶體)，而一相鄰電晶體並列於第二方向(縱向相鄰電晶體)以得到高密度整合。

在第二半導體裝置中，可利用形成於半導體基體中的溝邊牆以形成第一與第二電晶體以得到高密度整合。

溝在第一方向延伸，即第一與第二字線延伸的相同方向，半導體裝置可具有(a)一建構以使第一字線於溝的相對邊牆上形成邊牆間隔狀配置，而第二字線形成於半導體基體的上面部分，於各溝與溝底部之間，藉此各第一電晶體具有分別形成於基體溝邊牆部分與源極/汲極區中的通道區，其形成於基體的溝底部部分與基體上表面部分之間的相鄰溝，而第二電晶體各具有一通道區與源極/汲極區形成於基體的溝底部部分或基體的上表面部分；或(b)一建構使第二字線於溝的相對邊牆上形成邊牆間隔狀配置，而第一字線形成於各溝與溝底部之間的半導體基體的上面部分，藉此各第一電晶體具有一通道區，形成於基體的溝底部部分，或是基體的上表面部分與形成於基體溝邊牆部分的源極/汲極區，而第二電晶體各具有一通道區與源極/汲極區形成於基體的溝底部部分。

溝在第二方向延伸，即垂直於第一與第二字線的方向，第一與第二字線延伸越過溝以充滿溝，因此半導體裝置可具有(c)一建構使第一字線各具有一通道區與源極/汲極區，形成於基體上表面部分，在相鄰溝之間與/或是在基體的溝底部部分，而第二電晶體各具有一通道區形成於基體的溝邊牆部分，而源極/汲極區形成於基體的上表面部分

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 11）

在相鄰溝之間，與在基體的溝底部部分；或(d)一建構以使第一電晶體各具有一通道區與源極/汲極區形成於基體的溝底部部分，而第二電晶體各具有一通道區形成於相鄰溝之間的基體上表面部分，與/或是在基體的溝底部部分，而源極/汲極區形成於基體的相對溝邊牆部分。在這些建構中，以形成源極/汲極區的方便而言，建構(a)與(c)較佳。

半導體裝置可包括閘型電晶體，各具有閘形成於通道區之上與第一及第二字線之下，而電晶體當成第一與/或第二電晶體。在此情況下，比一般閘極絕緣膜的厚度小的隧道氧化膜最好形成於閘下。此外一般閘極絕緣膜或是一絕緣膜其具有比一般閘極絕緣膜稍大的厚度，最好形成於閘與第一及第二字線之間。第一電晶體與第二電晶體最好以閘型的電晶體形成，但是第一電晶體或第二電晶體也可以依半導體裝置的應用而以閘型的電晶體形成。

在半導體裝置中，第一電晶體組成NAND記憶體晶格，而第二電晶體成NOR記憶體晶格。半導體裝置是一罩蓋ROM，建構成空乏型(D型)電晶體或加強型(E型)電晶體的第一電晶體最好根據要寫入其中的資料而選擇性轉換成E型或D型。E型與D型的合併是依電晶體的形成方便性作爲選擇的考慮。只要電晶體的傳導可選擇性的由加在閘電極上的電壓位準而決定，(1)具有不同門檻電壓的空乏型電晶體可用於合併，或是(2)具有不同門檻電壓的加強型電晶體可用於合併。在此情況下，原先設定較高的各電晶體

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 12 ）

的門檻電壓可選擇性的設定爲低以寫入資料，或是原先設定較低的各電晶體的門檻電壓可選擇性設定爲較大以寫入資料。

第二電晶體的門檻電壓最好根據要寫入其中的資料而選擇性的設定爲供應電壓之上，要以易於操作與易於讀取電晶體資料爲正確選擇門檻電壓的考量。只要可由門檻電壓的位準來選擇性決定電晶體的傳導，即不需要將電晶體的門檻電壓設定爲大於供應電壓。第二電晶體的門檻電壓最好設定爲大於第一電晶體的門檻電壓。

藉由正確控制第一與第二電晶體中通道區的雜質純度，即可允許第一與第二電晶體不僅儲存二位元資料而且可儲存三位元或更高層資料。

當半導體裝置是可程式ROM，在步驟(1-a)藉由插入第一閘極絕緣膜，使得互相於第一方向平行延伸的複數個字線形成於半導體基體上。例如第一閘極絕緣膜最好藉由熱氧化而由約50Å至約300Å厚度的SiO_2形成。第一字線用已知的成形與處理方法由聚矽，高熔點的金屬矽化物，聚化物或相等者形成，其厚度約爲1,500Å至約3,000Å。各第一字線的厚度最好儘量減少以得到高密度整合。相同通道長度下，爲了儘量減少閘長或字線寬，當源極/汲極區形成於後續步驟時，絕緣模的邊牆間隔物即可供第一字線形成。在此情況下，於後續步驟中當執行離子植入以形成源極/汲極區時，即將邊牆間隔物當成罩蓋使用。

在步驟(2-a)，形成一分別至少其包括複數個於垂直第一

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（13）

字線的方向延伸的樣式線。最好用已知方法如照像印刷法以期望的配置於基體上形成具有極小線寬的電阻樣式。具有不同於半導體基體的傳導型離子藉由將電阻樣式與第一字線當成罩蓋使用以植入基體以形成源極/汲極區。例如以約30KeV至約80KeV的植入能量以1 x $10^{15}cm^{-2}$至1 x $10^{16}cm^{-2}$的劑量將As^{+}離子植入基體(以使離子不能貫穿第一字線)。因此形成的第一電晶體，各包括第一閘極絕緣模，第一閘電極，與源極/汲極區。各第一電晶體共享相鄰第一電晶體的源極/汲極區，其於垂直於第一方向的第二方向中並列。

在步驟(3-a)，複數個第二字線平行的在源極/汲極區上的第一字線之間形成，該區於前一步驟藉由插入第二絕緣模而形成。第二絕緣模與第二字線的形成方式可與第一絕緣模與第一字線相同。第二字線最好以自對齊方式相對於第一字線而形成。因此形成第二字線時用著名的照像印刷/蝕刻法或填充/蝕刻回法較佳。因此形成的第二電晶體各包含第二絕緣模，第二閘電極，與前一步驟中形成的源極/汲極區。第二電晶體各共享相鄰第一電晶體的源極/汲極區，其於第一方向並列。

在製造過程中，裝置隔絕區的形成在各第一電晶體之間，與/或各第二電晶體之間，與第一電晶體及第二電晶體之間較佳以隔絕裝置。裝置隔絕可在半導體基體上形成第一字線之前或之後，或是在形成第一電晶體之後。可由形成LOCOS膜而達到裝置隔絕，但其完成以植入具有相同傳

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 14 ）

導型的離子當成半導體基體進入區域較佳，以形成裝置隔絕區。例如藉由照像印刷法於形成第一電晶體後於期望區上形成具有開口的電阻樣式，接著以約1 x $10^{14}cm^{-2}$至約3 x $10^{14}cm^{-2}$的劑量在約100KeV至約200KeV的植入能量下將B^+離子從第一字線上方藉由將電阻樣式當成罩蓋使用而植入期望區。此時，部分要形成於通道區的第一電晶體應該防止植入離子。換言之，部分要形成於通道區的第二電晶體不受離子植入影響，因爲植入能量太大以致離子深深植入半導體基體中。

此外資料於以下步驟中寫入半導體裝置。

在步驟(4-a)資料選擇性的寫入第一電晶體，特別地，僅在選擇的第一電晶體上具有開口的電阻樣式於最後的半導體基體上形成，而具有與半體基體不同傳導型的離子則藉由將電阻樣式當成罩蓋使用而植入半導體基體。例如p^+離子以$10^{13}cm^{-2}$的劑量在約200KeV至約400KeV的植入能量下植入較佳。因此第一電晶體可選擇性的從加強型轉換成空乏型以寫入資料。

在步驟(5-a)資料選擇性的寫入第二電晶體，特別地，僅在選擇的第二電晶體上具有開口的電阻樣式則在最後的半導體基體上形成，並藉由將電阻樣式當成罩蓋使用而將具有與半導體基體相同傳導性的離子植入半導體基體。例如B+離子最好以1 x $10^{14}cm^{-2}$至約3 x $10^{14}cm^{-2}$的劑量在約100KeV至約200KeV的植入能量下植入。因此可將選擇的第二電晶體的門檻電壓設定爲大於預設電壓以寫入資料。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 15 ）

步驟(4-a)可在步驟(5-a)之前或之後，步驟(4-a)與(5-a)可在步驟(3-a)之前，藉由正確控制離子植入的能量與劑量，即允許電晶體在任何期望的閘電壓下操作。

或者在步驟(1-a)中於形成第一字線前，如P離子的離子其具有與半導體基體不同的傳導型，則以約30KeV至約80KeV的植入能量以$10^{13}cm^{-2}$的劑量植入，形成第一字線後，或形成第二字線後，可在約300KeV至約400KeV的較高植入能量下將離子植入以允許離子通過第一字線。此後，寫入選擇的第一電晶體的資料在步驟(3-a)後的步驟中與寫入選擇的第二電晶體的資料同時執行。在此情況下形成僅在選擇的第一與第二電晶體上具有開口的電阻樣式，並藉由將電阻樣式當成罩蓋使用而將具有相同傳導型的離子植入半導體基體。離子植入的執行與步驟(5-a)中的情況相同。因此將第一電晶體選擇性的從D型轉換成E型以使E型與D型第一電晶體根據資料配置而配置，而且在同時將選擇的第二電晶體的門檻電壓設定爲大於預設電壓。藉由正確控制離子植入的劑量與能量，即允許電晶體在任何期望的閘極電壓下操作。

於第一製造過程中，可先執行離子植入以便於步驟(1-a)之前調整第一與第二電晶體的門檻。

於製造半導體裝置的第二過程中，複數個於第一方向延伸的溝於一半導體基體中執行以使第一與第二電晶體以三度空間的配置形成以得到高密度整合。

於步驟(1-b)，於方向延伸且具有期望深度與寬度的複數

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 16 ）

個溝，藉由已知的蝕刻法於半導體基體中以平行方式形成。各溝的深度與寬度都由通道長度以及於稍後步驟中形成的第一與第二電晶體的長度作正確的決定，但是各溝最好具有約0.3μm至約1.0μm的寬，與約0.3μm至約1.0μm的寬。接著藉由插入第一閘絕緣模而於各溝的邊牆上以平行方式形成複數個第一字線。第一閘絕緣模的形成方式與第一製造方法相同。第一字線各藉由將聚矽沈積到某一厚度以便以邊牆間物似的配置形成以便足以充滿溝並蝕刻回沈積的聚矽。第一字線用的材料不限於聚矽，但是最好從低電阻材料中選擇。於後面過程中形成的各第二電晶體的通道寬由邊牆間隔物似配置的第一字線的厚度(沿著水平測量)在接觸溝底部的一端決定。

在步驟(2-b)，和第一製造法相同的方式形成垂直第一字線且包括複數個樣式線的電阻樣式，而且藉由將電阻樣式與第一字線當成罩蓋使用而植入最後的半導體基體中，以便於溝間的基體上表面部分中，以及基體的溝底部部分中形成源極/汲極區。離子植入的執行情況與第一製造過程相同。因此形成於半導體基體上的第一電晶體各包含形成於溝邊牆部分的通道區，而第一絕緣模，第一字線，與源極/汲極區則分別形成於相鄰溝間基體上的表面部分與基體的溝底部部分中。各第一電晶體共享配置於第二方向的源極/汲極區，該方向垂直於第一方向。

於步驟(3-b)，複數個第二字線以平行方式於源極/汲極區上的第一字線之間形成，該區藉由插入第二閘極絕緣模

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（17）

而於溝之間基體的上表面部分與基體的溝底部部分中形成。第二閘極絕緣模形成於包括第一字線的最後半導體基體的整個表面上，以致第一字線與形成於溝內的第二字線是電的絕緣。或者，第二字線藉由於第一字線上形成具有較高厚度的絕緣模而與第一字線隔絕。形成第二閘絕緣模後，聚矽即沈積在最後基體的整個表面上，以致充滿溝，接著藉由已知的極後/蝕刻法，充滿/蝕刻法與/或CMP(化學機械磨光法)以形成溝底部上的第二字線。因此形成的第二電晶體各包含:形成於基體溝底部部分的通道，形成於溝底部的第二閘絕緣模，第二字線，與形成於前一步驟的源極/汲極區。各第二電晶體共享相鄰配置的第一電晶體的源極/汲極區，藉此互連。閘絕緣模形成於包括第一字線的最後半導體基體上，而第二字線以如上所述的相同方式形成於溝底部，接著在閘絕緣模上由如上所述的相同材料形成字線。閘絕緣模與字線分別具有與第二絕緣模與第二字線相同的功能，因此以下爲了方便分別爲第二絕緣模與第二字線。較佳的，形成於半導體基體上表面的第二字線的材料與厚度能正確選擇以使形成於溝底部與基體上表面的第二字線具有大致相同的離子植入防止能力以確保形成於基體溝底部部分中的電晶體通道區當資料於後續步驟中藉由離子植入而寫入電晶體時，能具有相同的離子純度。因此，形成另一配置的第二電晶體，各於基體的上表面部分，形成於半導體基體上表面的第二閘絕緣模，第二字線，與形成於前一步驟的源極/汲極區，都具有一通道區

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 18 ）

。這些第二電晶體也各共享相鄰配置的第一電晶體的源極/汲極區，藉由互連。

於第二製造過程中裝置隔絕的達成大致與第一製造過程相同，裝置隔絕區可沿著半導體基體的各溝中形成，此時可使用不同的植入能量於多重步驟中執行離子植入，或是以相對於半導體基體的法線的約15°至約60°角執行斜角的轉動離子植入。

在第二製造過程中寫入最後半導體裝置的資料可以大致上與第一製造過程中相同的方式完成。

於步驟(5-b)，以大致上與步驟(4-a)中相同的方式執行離子植入。此時，P的植入最好以$10^{13}cm^{-2}$的劑量以2倍於使用範圍在約300KeV與約1MeV之間的不同植入能量下執行，以便增均勻分布於基體溝邊牆的整個通道區。因此第一電晶體可從E型轉換成D型。

於步驟(5-b)，以大致上與步驟(5-a)中相同的方式執行離子植入。在此情況下同時選擇性的將離子植入溝間半導體基體的上表面部分，以及垂直於半導體基體上表面的基體的溝底部部分，因此可將選擇的第二電晶體的門檻電壓設定爲大於預設電壓。

步驟(4-b)可在步驟(5-b)之前或之後，步驟(4-b)與(5-b)可在步驟(3-b)之前，藉由正確控制離子植入的能量與劑量，即允許電晶體在任何期望的閘電壓下操作。

或者具有與半導體基體不同傳導型的離子，於形成溝後，形成第一字線之前或之後，或是於步驟(1-b)中形成第一

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 19 ）

與第二字線後，可先以相同於步驟(1-a)的方式植入至少整個第一電晶體形成區。此後，將資料寫入選擇的第一電晶體與資料寫入選擇的第二電晶體的執行是於步驟(3-b)後的步驟中同時執行。在此情況下在最後的半導體基體上形成僅於選擇的第一與第二電晶體上具有開口的電阻樣式，具有與基體相同傳導型的離子最好藉由使用不同的劑量與範圍約100KeV至約500KeV之間的不同植入能量，以及將電阻樣式當成罩蓋而植入基體3次以上。因此僅有選擇的第一電晶體從D型轉換成E型，以便E型與D型第一電晶體能根據資料配置而配置。此外資料可同時選擇性的寫入形成於半導體基體一表面部分與溝底部的第二電晶體。藉由正確控制離子植入的劑量與能量，即允許電晶體於任何期望的閘極電壓下操作。

此外於步驟(1-b)形成溝後離子植入可以與第一製造方法相同的方式執行以調整第一與第二電晶體的門檻。此時形成於溝邊牆上的第一電晶體的門檻電壓與形成於溝間的上表面部分及溝底部的第二的門檻電壓，即可藉由正確控制離子植入的植入角而個別控制。

雖然上述對於第二製造方法的說明是以形成於溝邊牆上的第一電晶體與形成於溝間半導體基體的上表面部分及溝底部爲例，但第一電晶體也可形成於溝間半導體基體的上表面部分及溝底部上，而第二電晶體可形成於溝的邊牆上。在此情況下可執行離子植入的傾斜轉動以形成基體溝邊牆部分的源極/汲極區。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 20 ）

於第三製造半導體裝置的過程中，於第二方向延伸的複數個溝於半導體基體中形成。

於步驟(1-c)，複數個於第二方向互相平行延伸的溝形成於半導體基體上，其方式大致與步驟(1-b)相同。接著，藉由插入第一絕緣模而於半導體基體上以平行方式形成複數個第一字線以便充滿溝部分。第一閘絕緣模形成的方式大致與第二製造方法相同。藉由沈積聚矽或是等效物至某一厚度而形成第一字線，以充滿溝並蝕刻回沈積的聚矽。

於步驟(2-c)，於記憶體晶格區上形成具有寬開口的電阻樣式，而離子則藉由將第一字線與電阻樣式當成罩蓋使用而以與第二製造方法相同的方式植入半導體基體，以便於溝間基體的上表面部分及基體的溝底部部分中形成源極/汲極區。因此形成的第一電晶體各包括:一通道區，形成於相鄰溝之間的基體的上表面部分，或是基體的溝底部部分中，第一閘絕緣模，第一字線，與源極/汲極區，其形成於相鄰溝之間基體的上表面部分，或是基體的溝底部部分中。第一電晶體並列於第二方向各共享一源極/汲極區，其形成於相鄰溝之間的基體的上表面部分中，或是基體的底部部分。

於步驟(3-c)，複數個第二字線藉由插入第二閘絕緣模而以平行方式於源極/汲極區上形成，該區形成於相鄰溝之間的半導體基體的上表面部分中，或是基體的溝底部部分。因此形成的第二電晶體各包括:一通道區，形成於基體的溝邊牆部分，形成於溝邊牆上的第二閘絕緣模，第二字

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 21 ）

線，與形成於一步驟的源極/汲極區。第二電晶體各共享相鄰配置的第一電晶體的源極/汲極區藉此互連。

於第3製造過程中裝置隔絕的達成大致與第一製造過程相同，特別地，裝置隔絕區可以以下任一方式形成。於第一方法中，不以溝形成的半導體基體會先作裝置隔絕的離子植入，接著溝形成於半導體基體中，藉此裝置隔絕區於半導體基體中的溝之間形成。於第二方法中，溝先於半導體基體中形成，接著各電晶體的裝置隔絕形成於半導體基體中，該電晶體要於後續步驟中形成。於第三方法中，溝先形成於半導體基體中，接著以相對於半導體基體的法線的約15° 至約60° 的植入角執行斜角轉動的離子植入以形成裝置隔絕區。於第四方法先形成溝與閘電極，接著以期望的植入能量執行離子植入以形成裝置隔絕區，並可合併使用這些方法。

在第3製造過程中寫入最後半導體裝置的資料可以大致上與第一製造過程中相同的方式完成。

於步驟(4-c)，以大致上與步驟(4-a)中相同的方式執行離子植入。因此，第一電晶體可選擇性的從E型轉換成D型。

於步驟(5-c)中離子植入以大致相同於步驟(5-a)的方式執行。此時，B^+離子以約 $1 \times 10^{14}cm^{-2}$至約 $3 \times 10^{14}cm^{-2}$的劑量及以約150KeV至約400KeV的植入能量植入。因此可選擇性的將第二電晶體的門檻電壓設定爲大於預設電壓。

步驟(4-c)可在步驟(5-c)之前或之後，步驟(4-c)與(5-c)可

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 22 ）

在步驟(3-c)之前，藉由正確控制離子植入的能量與劑量，即允許電晶體在任何期望的閘電壓下操作。

或者在步驟(1-c)中，先將具有與半導體基體的傳導型不同的離子植入至少整個第一電晶體形成區中，其方式與步驟(1-a)或(1-b)相同。可同時執行將資料寫入選擇的第一電晶體與將資料寫入選擇的第二電晶體，例如於步驟(3-c)後。在此情況下於最後的半導體基體上形成僅於選擇的第一與第二電晶體上具有開口的電阻樣式，而具有與基體相同傳導型的離子則最好藉由使用不同的劑量與範圍約100KeV至約500KeV之間的不同植入能量，以及將電阻樣式當成罩蓋而植入基體三次以上。亦即，藉由使用不同的植入能量，ROM資料即可寫入選擇的電晶體，而其通道區則形成於溝之間的基體的上表面部分，基體的溝邊牆部分，或是於基體的溝底部部分。因此第一電晶體可選擇性的從D型轉換成E型，以便E型與D型第一電晶體能根據資料配置而配置。同時，資料可選擇性的寫入形成於溝邊牆上的第二電晶體，藉由正確控制離子植入的劑量與能量，即允許電晶體於任何期望的閘極電壓下操作。

此外於步驟(1-c)，於形成溝後可以與步驟(1-a)相同的方式執行離子植入以調整第一與第二電晶體的門檻。

雖然上述對於第三製造方法的說明是以形成於溝間半導體基體的上表面部分及溝底部，及形成於溝邊牆上的第一電晶體爲例，但是藉由正確控制離子植入的情況以形成源極/汲極區，第一電晶體也可形成於溝的邊牆上及形成第

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（23）

二電晶體於溝間基體的上表面部分與溝的底部。在此情況下可執行離子植入的傾斜轉動以形成基體的溝邊牆部分的源極/汲極區。

半導體裝置製造所需時間藉由於製程中稍後寫入而減少。因此在本發明的製造方法於資料寫入前形成層間絕緣模，接觸孔，金屬互連與等效物。

當第一與第二電晶體形成閃閘電晶體時，即形成具有厚度約60Å至約120Å厚度的隧道氧化膜，例如這是藉由於形成第一閘絕緣模與/或第二閘絕緣模前以熱氧化法達成。接著聚矽沈積爲約1,000Å至約2,000Å的厚度並形成樣式以便聚矽膜形成於各電晶體的通道區上。接著形成第一閘絕緣模與/或第二閘絕緣模，第一字線與/或第二字線，及等效物。

以下藉由具體實例說明根據本發明的半導體裝置及其製造方法的詳情。

具體實例1

圖1是罩蓋ROM的等效電路圖，於係根據本發明的典型半導體裝置。半導體裝置具有複數個第一電晶體列，各包括串聯的複數個第一電晶體(NAND記憶體晶格)，與複數個第二電晶體列各包括複數個第二電晶體(NOR記憶體晶格)。第一電晶體列與第二電晶體列係交錯配置。各第一電晶體列中的複數個第一電晶體各共享相鄰第一電晶體的源極/汲極區以便互連，且各接至不同的字線(如W11，W12，W13...)。於各第二電晶體列中的複數個第二電晶體

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 24 ）

各接至第一電晶體列中第一電晶體的源極/汲極區(如S11或S21)，與另一第一電晶體列中另一第一電晶體的源極/汲極區(如S12或S22)。各第二電晶體列的第二電晶體各接至不同字線(如W21，W22...)。

於具有這種建構的半導體裝置中，NAND記憶體晶格係選擇性的轉換，例如從E型轉換成D型以寫入ROM資料。換言之，將NOR記憶體晶格電晶體的門檻電壓選擇性的設定爲一預設電壓或是爲一電壓，其高於寫入ROM資料的供應電壓。

以下說明從具有上述建構的半導體裝置中讀取資料的方法。

爲了從NAND記憶體晶格中讀取資料，NOR記憶體晶格的字線W21與W22都設定爲低位準以截止NOR記憶體晶格的所有電晶體。接著選擇NAND記憶體晶格的字線以便於讀取資料時設定爲低位準，而未選擇的NAND記憶體晶格的字線則全部設定爲高位準。因此導通選擇的記憶體晶格電晶體之外的電晶體，讀取資料時若選擇的NAND記憶體電晶體是加強型，則不建立位元線與地線之間的連接性，其供包括這些電晶體的第一電晶體列使用。若選擇的NAND記憶體電晶體是空乏型，則建立連接性，藉此允許從NAND記憶體晶格中讀取ROM資料。

爲了從NOR記憶體晶格中讀取資料，NAND記憶體晶格的字線W11，W12，W13都設爲高位準以導通所有的NAND記憶體晶格電晶體，以建立各第一電晶體列中通過NAND

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 25 ）

記憶體晶格電晶體的連接性以互連。接著於讀取資料時將選擇的NOR記憶體晶格設定爲高位準，而未選擇的NOR記憶體晶格的字線則全部設定爲低位準，藉此截止所有與選擇的記憶體晶格電晶體不同的電晶體。因此依是否建立位元線與地線之間的連接性，其供包括這些NOR記憶體晶格電晶體的第二電晶體列使用而決定是否讀取ROM資料。

因爲當成NOR記憶體晶格的輔助位元線的高純度擴散用作NAND記憶體晶格電晶體，而先前用於互連的區域可當成記憶體晶格使用，因此幾乎可將整合位準加倍。

具有如圖1等效電路圖表示的半導體裝置顯示於圖2與圖6(a)至圖6(d)。圖2是半導體裝置的平視圖，而圖6(a)，圖6(b)，圖6(c)，圖6(d)分別是圖2中沿著線A-A'，B-B'，C-C'，D-D'的剖面圖。

圖2與圖6(a)至6(d)中顯示複數個NAND記憶體晶格的第一電晶體的第一閘電極3(第一字線)，其於第一方向延伸並以平行關係形成於半導體基體1上。NOR記憶體晶格的第二電晶體的第二閘電極10(第二字線)配置於第一閘電極3之間。也當成位元線供NAND記憶體晶格用的源極/汲極區5(高純度雜質區)形成於第一極量電極3之間的半導體基體1中，即在第二閘電極10下。裝置隔絕區6形成於半導體基體1的區域中，即在第一極量電極3之下，在此未形成NAND記憶體晶格。藉由植入基體中具有與半導體基體1相同的傳導型的雜質而形成裝置隔絕區6。

以下將參考圖3(a)至3(d)，圖4(a)至4(d)，圖5(a)至5(d)，

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 26 ）

圖6(a)至6(d)，圖7(a)至7(d)，圖8(a)至8(d)來說明上述半導體裝置的製造方法。而，圖3(a)至8(a)，圖3(b)至8(b)，圖3(c)至8(c)，圖3(d)至8(d)分別是圖2中沿著線A-A'，B-B'，C-C'，D-D'的剖面圖。

圖3(a)至3(d)中，具有約50Å至約300Å厚度的第一閘絕緣模2形成於半導體基體1上。接著複數個於第一方向互相平行延伸的第一閘電極3於第一閘絕緣模2上以第一字線形成。第一閘電極3是雙層結構，包含N^+聚矽的低層其具有約1,000Å的厚度與一鎢矽化合物，其具有約1,000Å的厚度。

於圖4(a)至4(d)中將電阻施在以第一閘電極3形成的最後半導體基體1上，並作成樣式以形成一電阻樣式4，其包含複數個垂直於第一閘電極3而延伸的複數個樣式線。離子植入使用的雜質離子，具有與半導體基體1相反的傳導型。例第一電晶體要形成爲NMOS，則砷(As^+)離子以3 x $10^{15}cm^{-2}$的劑量於約40KeV的植入能量下植入。因此形成組成NAND記憶體晶格的第一電晶體，各包含:第一閘絕緣模2，第一閘電極3，與源極/汲極區5。

接著如圖5(a)至5(d)所示，將電阻施在半導體基體1與第一閘電極3上，並作成樣式以用以一電阻樣式7，其在第一閘電極3下的期望區域上具有開口，即要形成裝置隔絕區6的區域以使形成於前一步驟的第一電晶體互相隔絕。具有與半導體基體1相同傳導型的離子則藉由將電阻樣式7當成罩蓋使用而於第一閘電極3下供裝置隔絕區6使用。特別地，以1.5 x $10^{14}cm^{-2}$的劑量於140KeV的植入能量下將硼離子

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 27 ）

植入。該注意的是即使因爲電阻樣式7的罩蓋偏離而將離子植入於量13下的裝置隔絕區6以外的區域(即組成NOR記憶體晶格的第二電晶體的通道區8)，植入的離子對於記憶體晶格的影響也極小。這是因爲在上述沒有第一電極3之下離子深深植入於半導體基體1。深深植入於通道區8之下的離子可用以第二電晶體打通防止。但是該提供足夠的間距以防止離子植入第一電晶體1的通道區。

接著如圖6(a)至6(d)所示，第二閘絕緣模9形成於包括第一閘電極3的最後半導體基體1的整個表面上。複數個第二閘電極10以平行方式於第二閘絕緣模9上的第一閘電極3之間形成爲第二字線。例如由N^+聚矽或鎢聚合物以照相印刷法與蝕刻法形成約2,000Å至3,000Å的厚度的第二閘電極10。因此形成組成NOR記憶體晶格的第二電晶體，各包含第二閘絕緣模9，一第二閘電極10，與源極/汲極區5。

接著分別將ROM資料寫入NAND記憶體晶格與NOR記憶體晶格。爲了將NAND ROM資料寫入NAND記憶體晶格的第一電晶體，例如以5 x $10^{13}cm^{-2}$的劑量以300KeV的植入能量藉由將NAND ROM資料寫入的電阻樣式11當成罩蓋使用，而將磷(P^+)離子植入植入區12，如圖7(a)至7(d)所示。最好將植入區12以源極/汲極區5重疊，如圖7(a)所示，且最好以其中的間距M將其與裝置隔絕區6分開，如圖7(d)所示。因此可選擇性的將NAND記憶體晶格電晶體從E型轉換成D型。

爲了將NOR ROM資料寫入NOR記憶體晶格的第二電晶體

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 28 ）

，將具有與半導體基體相同傳導型的硼離子以2 x $10^{14}cm^{-2}$的劑量於150KeV的植入能量藉由將NOR ROM資料寫入的電阻樣式11當成罩蓋使用而植入，如圖8(a)至圖8(d)所示。因此選擇性的將第二電晶體的門檻電壓設定爲大於供應電壓，藉此截止選擇的電晶體。植入區14應該與裝置隔絕區6重疊以確保截止選擇的第二電晶體2。即使植入14區稍微偏離預設位置，離子植入仍對於相鄰電晶體影響極小，因爲從平面看去第一電晶體與第二電晶體的通道區是以棋盤式陣列配置。

此後將最後的半導體基體送入製程以形成層間絕緣模，接觸孔，金屬互連與保護膜。因此完成製程，接著是半導體裝置的組裝。

藉由於製程中稍後執行ROM資料寫入而將半導體裝置製造所需的時間減少。因爲層間絕緣模，接觸孔，金屬互連與等效物的形成可在寫入資料前。在此情況下以高植入能量執行資料寫入的離子植入。

具體實例2

圖1等效電路圖表示的另一半導體裝置如圖9與圖13(a)至圖13(e)所示，圖9是平視圖，而圖13(a)，圖13(b)，圖13(c)，圖13(d)，圖13(e)是分別圖9中沿著線A-A'，B-B'，C-C'，D-D'，E-E'的剖視圖。

爲了改良與具體實例1相比的半導體裝置的整合位準，於半導體基體21中形成複數個溝22，其於第一方向互相平行延伸，如圖9與圖13(a)至圖13(e)所示。形成組成NAND

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 29 ）

記憶體晶格的第一電晶體，各包含:一邊牆24，藉由第一閘絕緣模23的插入而於溝22的邊牆上當成第一字線；一通道區，形成於基體的溝邊牆部分；及源極/汲極區26a與26b分別形成於相鄰溝22之間的基體溝底部部分，與基體21的上表面部分。形成組成NOR記憶體晶格的第二電晶體，各包含:一底部閘電極32，藉由邊牆閘24上的絕緣模的插入及藉由溝22底部上的第二閘絕緣模31的插入，而形成溝22的第二字線，該閘24形成於溝22相對邊牆上；及源極/汲極區26a，其與相鄰第一電晶體共享。此外，形成組成NOR記憶體晶格的第二電晶體，各包含:一上閘電極34，藉由第二閘絕緣模33而形成爲平行於溝22的第二字線，其在相鄰溝22之間的半導體基體21的上表面部分；及源極/汲極區26b，其與相鄰第一電晶體共享。

以下將參考圖10(a)至10(e)，圖11(a)至11(e)，圖12(a)至12(e)，圖13(a)至13(e)，圖14(a)至14(e)，圖15(a)至15(e)來說明上述半導體裝置的製造方法。而，圖10(a)至15(a)，圖10(b)至15(b)，圖10(c)至15(c)，圖10(d)至15(d)，圖10(e)至15(e)分別是圖9中沿著線A-A'，B-B'，C-C'，D-D'，E-E'的剖面圖。

圖10(a)至10(e)中，用已知的蝕刻法於半導體基體21中以平行關係形成複數個溝22。溝最好各具有一深度(即約0.5 μ m)，其等於要於後續步驟中形成NAND記憶體晶格的各第一電晶體的通道長。爲了控制第一與第二門檻電壓，離子如B^+離子，其具有與半導體基體21相同的傳導型即以約

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 30 ）

$3 \times 10^{12}cm^{-2}$的劑量在35KeV的植入能量下，藉由將與半導體基體21的平面垂直的線成轉動軸作傾斜轉動，以及以相對於法線約30°的植入角的植入半導體基體21。藉由使用不同的植入角即可個別控制NAND記憶體晶格的第一電晶體的通道的門檻電壓(形成於溝邊牆部分)，與NOR記憶體晶格的第二電晶體的通道的門檻電壓(形成於溝底部部分與半導體基體21的上表面部分)。

接著具有厚度約50Å至約300Å的第一閘絕緣模形成於包括溝22的半導體基體21的整表面。接著傳導膜形成於閘絕緣模23上,並蝕刻回以形成複數個邊牆閘24當成溝22相對邊牆上的第一字線。例如邊牆閘24由N^+聚矽形成。

因此要切開各溝22的相對邊牆一的邊牆閘24，其在溝22的一於結合。此時一個邊牆閘24最好於一端有較長的延伸以易於其中形成接觸孔。

此後將電阻施在包含溝22的最後半導體基體21的整個表面，並作成樣式以形成具有複數個樣式線的電阻樣式25，各垂直於邊牆閘24延伸。接著具有與半導體基體21不同傳導型的雜質離子藉由將電阻樣式25與邊牆閘24當成罩蓋使用，而分別於半導體基體21的溝底部部分中的源極/汲極區，及溝之間的半導體基體21上表面部分中形成26a與26b。例如第一電晶體要形成爲NMOS，而砷(As^+)離子則以約$3 \times 10^{15}cm^{-2}$的劑量在植入能量(如40KeV)下植入，以使離子僅分佈於邊牆閘24中。因此形成組成NAND記憶體晶格的第一電晶體，各包含:第一閘絕緣模23，邊牆閘24，與

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（31）

源極/汲極區26a與26b。

絕緣模30形成於邊牆閘24(參考圖12(a))後，即可執行離子植入以形成源極/汲極區。絕緣模的形成使得溝深度減少絕緣模厚度這麼多，以確保相同的通道長，藉此使半導體基體上表面的位準差爲極小。因此半導體元件，半導體記憶體與類似的半導體裝置可以減縮導程形成以減少尺寸。

如圖11(a)至圖11(e)所示，將電阻施在包含溝22與邊牆閘24的最後半導體基體21上，並作成樣式以形成電阻樣式27以便形成於前一步驟的第一電晶體能被覆蓋。藉由將電阻樣式27與邊牆閘24當成罩蓋使用而將具有與半導體基體21相同傳導型的離子植入區域28(其要形成於裝置隔絕區)。此時，藉由使用不同的植入能量(如約120KeV與約200KeV)以2倍 $2 \times 10^{14}cm^{-2}$ 的劑量將硼離子植入。因此離子可從溝的邊牆以朝向深度的方向均勻植入，以完全隔絕形成於溝邊牆部分的通道。離子深深植入邊牆閘24下方的半導體基體的溝邊牆部分，以及未於源極/汲極區26a與26b中形成的區域，即區域29，其要於後續步驟中形成於NOR記憶體晶格的第二電晶體的通道區。因此植入其中的離子對於第二電晶體的門檻影響極小。此外深深植入半導體基體中的離子有效減少通道長，因爲其防止NOR記憶體晶格的第二電晶體的打通。形成溝32後在形成邊牆閘24之前可執行傾斜的轉動離子植入供裝置隔絕用。藉由形成裝置隔絕氧化膜而隔絕裝置。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 32 ）

因此在圖12(a)至圖12(e)中，第二閘絕緣模31形成於溝22底部，而絕緣模30形成於邊牆閘24上。底部閘電極32形成爲絕緣模30與第二閘絕緣模31上的第二字線，以使溝充滿其中。例如N^+聚矽以自對齊方式藉由已知的照相印刷/乾蝕刻法，充滿/蝕刻回法或是CMP(化學機械拋光)法，或是這些方法的合併而形成底部閘電極32。因此形成的NOR記憶體晶格的第二電晶體，各包含:一第二閘絕緣模31，一底部閘電極32，與源極/汲極區26a。

接著於圖13(a)至圖13(e)中，於溝22之間的最後半導體基體21的上表面部分形成第二閘絕緣模33，接著與溝22平行延伸的上閘電極34藉由插入第二閘絕緣模33而於最後的半導體基體21上形成爲第二字線。例如上閘電極34是雙層結構，其包含N^+聚矽的底層，具有1,000Å的厚度，而鎢矽合金的上層具有1,500Å的厚度。較佳的，能正確選擇上閘電極34的上與下層的材料與厚度以相同的離子植入防止能力傳給底部閘電極32與上閘電極34，以使離子均勻分布於通道區，其形成於基體21的溝底部部分，以及基體21的上表面部分，供NOR ROM資料於後續步驟中寫入。因此形成的NOR記憶體晶格的第二電晶體各包含:一第二閘絕緣模33，上閘電極34，與源極/汲極區26b。也可將上閘電極34當成記憶體晶格之外的周邊電路的閘電極或互連使用。因爲可將上閘電極34的互連自由地傳至邊牆閘24與下閘電極32，並可能將形成於邊牆閘24末端與下閘電極32的接觸孔改道以便傳送。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 33 ）

接著分別將ROM資料寫入NAND記憶體晶格與NOR記憶體晶格，當要將NAND ROM資料寫入選擇的NAND記憶體晶格的第一電晶體時，如圖14(a)至圖14(e)所示，則以約500KeV與約700KeV的植入能量將磷(P^+)離子植入選擇的第一電晶體的通道區36，以便藉由將NAND ROM資料寫入的電阻樣式35當成罩蓋使用而使離子以$10^{18}cm^{-3}$的純度分布。爲了於選擇的第一電晶體的通道區(溝邊牆部分與基體的溝底部部分)中均勻分布離子，最好用不同的植入能量以多個步驟執行離子植入。形成邊牆閘24之前或之後藉由於相對於溝22邊牆的單側傾斜離子植入而將NAND ROM資料寫入。因此可選擇性的將NAND記憶體晶格從E型轉換成D型。

當NOR ROM要寫入NOR記憶體晶格的選擇的第二電晶體時，具有如同半導體基體的傳導型的離子如硼離子即以$2 \times 10^{14}cm^{-2}$的劑量在200KeV的植入能量下藉由將NOR ROM資料寫入的電阻樣式37當成罩蓋使用而植入選擇的第二電晶體的通道區38中，如圖15(a)至圖15(e)所示。因此可選擇性的將第二電晶體的門檻電壓設定爲大於供應電壓，藉此截止選擇的電晶體。特別地，將離子植入形成於溝底部部分的通道區時，離子從上表面貫穿底部閘電極32而深深植入基體21，若使用傾斜離子植入法則會產生植入區的位置偏離。因此植入角最好以0相對於基體上表面的法線。

藉由稍後於製程中執行ROM資料寫入而將半導體裝置製造所需的時間減少。因此層間絕緣模，金屬互連與等效物

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（34）

的形成可在寫入資料前。在此情況下以高植入能量將離子植入以寫入資料，如同第一製造方法。

此後的半導體裝置製造方法與具體實例1完全相同。

具體實例3

由圖1的等效電路圖表示的另一半導體裝置，如圖16與圖21(a)至圖21(d)所示。圖16是半導體裝置的平視圖，而圖21(a)，圖21(b)，圖21(c)，圖21(d)分別是圖16中沿著線A-A'，B-B'，C-C'，D-D'的剖面圖。

爲了改良與具體實例1相比的半導體裝置的整合位準，於半導體基體71中形成複數個於第二方向互相平行延伸的溝72，如圖16與圖21(a)至圖21(d)所示。形成組成NAND記憶體晶格的第一電晶體，各包含:一第一閘電極79，藉由第一閘絕緣模78的插入而於包括溝72的半導體基體71上當成第一字線；而源極/汲極區80a與80b分別形成於相鄰溝72之間的基體71溝底部部分，與基體71的上表面部分。形成組成NOR記憶體晶格的第二電晶體，各包含:一第二閘電極82，藉由第二閘絕緣模81的插入而於相鄰的第一閘電極79之間的源極/汲極區80a與80b上形成第二字線；一通道區，形成於基體的溝邊牆部分；與共享相鄰的第一電晶體的源極/汲極區80a與80b。

以下將參考圖17(a)至17(d)，圖18(a)至18(d)，圖19(a)至19(d)，圖20(a)至20(d)，圖21(a)至21(d)，圖22(a)至22(d)來說明上述半導體裝置的製造方法。而，圖17(a)至22(a)，圖17(b)至22(b)，圖17(c)至22(c)，圖17(d)至22(d)分別是圖

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（35）

16中沿著線A-A'，B-B'，C-C'，D-D'的剖面圖。

如圖17(a)與圖17(d)所示，用已知的蝕刻法將複數個於第二方向中形成互相平行延伸的溝72。溝最好各具有一深度(如約0.5μm)，其相同於要於後續步驟中形成NOR記憶體晶格的各第二電晶體的通道區。爲了控制第一與第二電晶體的門檻電壓，離子如B^+離子，其具有與半導體基體71相同的傳導型即以約$3 \times 10^{12}cm^{-2}$的劑量在35KeV的植入能量下，藉由將與半導體基體71的平面垂直的線當成轉動軸而作傾斜轉動，以及以相對於法線約30°的植入角而植入半導體基體71。

接著具有厚度約50Å至約300Å的氧化膜形成於包含溝72的最後半導體基體71的表面上。氧化膜73上形成具有厚度約1,000Å的SiN(未顯示)，並蝕刻回以形成溝72邊牆上的SiN邊牆間隔物74。可將SiN邊牆間隔物74當成裝置隔絕膜使用以使電晶體的第一閘電極與半導體基體71的表面隔絕，該電晶體要於後續步驟中形成。

因此於稍後當成氧化膜蝕刻制止物的薄SiN(未顯示)形成於最後半導體基體71的整個表面上。接著具有厚度約5,000Å至約10,000Å的氧化膜75形成於包括溝72的最後半導體基體71。較佳的此步驟後是極化步驟如蝕刻回或熔化。

此後如圖18(a)至圖18(d)所示，部分的氧化膜75藉由照相印刷與蝕刻法從形成第一閘電極的區域中移走，此時，於前一步驟中當成蝕刻制止物的薄SiN(未顯示)即移走。藉由將最後的氧化膜75當成罩蓋使用而將離子如硼離子，其

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（36）

具有與半導體基體71相同的傳導型即以2 x $10^{14}cm^{-2}$的劑量，以約150KeV的植入能量植入以隔絕裝置。接著如砷離子或磷離子的離子，其具有與半導體基體71不同的傳導型，則以5 x $10^{13}cm^{-2}$的劑量以約40KeV的植入能量植入基體71以轉換成空乏型，而NAND記憶體晶格的第一電晶體則於後續步驟中形成。

接著將部分氧化膜73移走，而第一閘絕緣模78則形成於要形成第一閘電極的區域如圖19(a)至圖19(d)。聚矽沈積於最後的基體上，並蝕刻回以形成具有厚度約2,000Å至約7,000Å的第一閘電極79(從相鄰溝之間半導體基體的上表面部分至溝底部)。根據此法，可以相對於第一閘電極的自對齊方式執行裝置隔絕與轉換電晶體成爲空乏型的離子植入。該注意的是可用一般的閘電極量移法來簡化製程。

此外並移走出現於第一閘電極79之間氧化膜75。於圖20(a)至圖20(d)中，藉由將第一閘電極79與SiN邊牆間隔物74當成罩蓋使用而將離子，其具有與半導體基體71不同的傳導型，基體71的法線植入基體71，以形成源極/汲極區80a與80b，其在基體71的溝底部部分，與溝72之間基體71的上表面部分。例如砷離子或磷離子以3 x $10^{15}cm^{-2}$的劑量以約40KeV的植入能量植入。因此形成組成NAND記憶體晶格的第一電晶體，各包含:第一閘絕緣模78，一第一閘電極79，與源極/汲極區80a或80b。

接著於圖21(a)至圖21(d)中，移走未被第一閘電極79覆蓋的SiN邊牆間隔物74與氧化膜73的其它部分，而具有約50Å

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（37）

至約300Å厚度的第二閘絕緣模81則形成於最後半導體基體71的整個表面上。接著，聚矽沈積於第二閘絕緣模81上，並蝕刻回以形成各具有約2,000Å至約7,000Å的第二閘電極(從相鄰溝之間的基體上表面部分至溝底部)。因此形成組成NOR記憶體晶格的第二電晶體，各包含:第二閘絕緣模81，一第二閘電極82，源極/汲極區80a與80b，與形成於半導體基體的溝邊牆部分的通道區。因爲第一閘電極79與第二閘電極82具有與具體實例1相同的端配置，因此可將這些電極直接導入周邊電路的閘電極與互連以易於連接。

接著同時將ROM資料寫入NAND記憶體晶格與NOR記憶體晶格，於圖22(a)至圖22(d)中，藉由將一電阻樣式83當成罩蓋使用，其具有開口於區域84上，其不用於NAND ROM資料寫入，以及於區域86上，其用於NOR ROM資料寫入，即可將硼(B^+)離子以約$2 \times 10^{14}cm^{-2}$的劑量以3次不同的植入能量即約100KeV，約180KeV，約300KeV植入。在離子植入中，僅有區域84中不用於資料寫入的第一電晶體轉換成E型，因爲先將具有與半導體基體不同的傳導型的離子植入區域，其中形成組成NAND記憶體晶格的第一電晶體以便將第一電晶體轉換成空乏型。因爲轉換第一電晶體成爲加強型時而植入的離子具有與NOR ROM資料寫入時植入的離子相同的傳導型，因此使用相同的罩蓋，其供NOR ROM資料寫入(即爲了將期望的第二電晶體設定爲大於供應電壓)，與供NAND ROM資料寫入，以循序植入離子。以最高的能量執行將離子植入選擇的第一電晶體，其

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（38）

各具有一通道區在基體71的溝底部部分，並以最低能量執行將離子植入選擇的第一電晶體，其各具有一通道區在相鄰溝72之間的基體71的上表面部分。以中等能量執行將離子植入選擇的第二電晶體，其各具有一通道區在基體71的溝邊牆部分。

或者雖然製程步驟的數目與使用的罩蓋數可增加，但可執行離子植入，此係藉由使用不同罩蓋以寫入ROM資料至具有通道區的第一電晶體，其在基體的溝底部部分，以及寫入ROM資料至具有通道區的第一電晶體，其在溝之間的基體的上表面部分。此時離子植入時的資料寫入對於相鄰晶格電晶體的影響極小，所以可提供較大的裝置間距。此配置更利於半導體裝置的微小化。

半導體裝置製造所需時間藉由於製程中稍後寫入ROM資料而減少。因此可於寫入資料前形成層間絕緣模，金屬互連與等效物，這與具體實例1相同。在此情況下例如輕的硼離子可以高的植入能量植入以寫入資料。此法可特別減少罩蓋ROM製造所需的時間。

此後以相同於具體實例1的方式完成半導體裝置的製造過程。

在具體實例3中，NOR記憶體晶格電晶體的通道區於溝邊牆部分形成，而NAND記憶體晶格電晶體的通道區於溝底部部分或基體的上表面部分形成。此配置與具體實例2相反，其中NAND記憶體晶格電晶體的通道區形成於基體的溝邊牆部分，而NOR記憶體晶格電晶體的通道區形成於

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（39）

溝底部部分或基體的上表面部分。因爲多重步驟的離子植入使用不同能此或轉動，因此離子植入必須於具體實例2中，將ROM資料寫入NAND記憶體晶格。於具體實例3，相反地，離子以一般方式從半導體基體的上側植入，因此可易於將ROM資料均勻的寫入以植入離子，此配置也利於裝置隔絕時的離子植入。

具體實例4

藉由選擇性的將NOR記憶體晶格的第二電晶體的門檻電壓設定爲多重電壓位準，而將具體實例1的半導體裝置的整合位準增加到傳統半導體裝置的三倍以上。例如將NOR記憶體晶格的第二電晶體的門檻選擇性的設定爲四個位準，則和具體實例1的半導體裝置相比可加倍或增加達三倍。

NOR ROM資料是以多重步驟於不同劑量下寫入。

具體實例5

藉由選擇性的將NOR記憶體晶格的第二電晶的門檻電壓設定爲多重電壓位準，而將具體實例2與3的半導體裝置的整合位準增加到傳統半導體裝置的六倍以上。例如將NOR記憶體晶格的第二電晶體的門檻選擇性的設定爲四個位準，則和具體實例2或3的半導體裝置相比可加倍或增加達四至六倍。

NOR ROM資料是以多重步驟於不同劑量下寫入。

具體實例6

根據具體實例6，一半導體裝置具有如同圖1罩蓋ROM等

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（40）

效電路圖的電晶體配置，即建構可程式ROM(與罩蓋ROM不同)，以使組成NAND記憶體晶格的第一電晶體與組成NOR記憶體晶格的第二電晶體各具有如圖23示的閘。

圖24(a)至圖24(d)是半導體裝置的剖視圖，其相當於分別是圖2中沿著線A-A'，B-B'，C-C'，D-D'剖面圖。參考圖24(a)至圖24(d)，第一電晶體各具有一閘3a設置於第一閘電極3之下，而隧道氧化膜2a設置於閘3a之下，而第二電晶體各具有一閘10a，設置於第二閘電極10之下，而隧道氧化膜9a設置於閘10a之下。氧化膜2b與19各形成於基體1的區域中，且不以閘3a與10a形成於第一閘電極3與第二閘電極10之下。

於可程式ROM中，藉由選擇的熱電子植入或選擇的隧道電子植入閘3a與10a中而控制各電晶體的門檻電壓以寫入資料。可以用與具體實例1相同的方式讀取資料。

於本發明的第一半導體裝置中，第二電晶體列設置於第一電晶體列之間的空間，而各第一電晶體列的第一電晶體各共享第二電晶體列中第二電晶體的源極/汲極區，因此可達到高密度整合。

於本發明的第二半導體裝置中，第二字線設置於第一字線之間的空間，而接至各第一字線的第一電晶體各共享接至第二字線的第二電晶體的源極/汲極區，因此可達到高密度整合。

其中第二半導體裝置包括形成於半導體基體的溝，而藉由利用溝的邊牆即可以三度空間的配置形成第一與第二電

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（41）

晶體，因此在不增加計畫中的裝置區下達成高密度整合。

上述具有高整合位準的半導體裝置可以根據本發明的製造方法製造出，因爲可大幅減化製造方法，因此可減少製造成本，同時可改良半導體裝置的性能。

於根據本發明的製造方法中，於離子植入時寫入資料的罩蓋步驟可免除或簡化因此可縮短製造所需時間。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

A5
B5

四、中文發明摘要（發明之名稱：半導體裝置及其製造方法）

一種半導體裝置，包含：複數個第一電晶體列，各包括複數個串聯之第一電晶體；及複數個第二電晶體列，設置於第一電晶體列之間，且各包括複數個第二電晶體；其中在一第一電晶體列中之一第一電晶體之源極/汲極區通過一第二電晶體，而接至另一第一電晶體列中之另一第一電晶體之源極/汲極區。

英文發明摘要（發明之名稱："SEMICONDUCTOR DEVICE AND FABRICATION PROCESS THEREFOR"）

日文:半導体装置及びその製造方法

A semiconductor device comprises: a plurality of first transistor rows each including a plurality of first transistors connected in series; and a plurality of second transistor rows provided between the first transistor rows and each including a plurality of second transistors; wherein a source/drain region of one first transistor in one first transistor row is connected to a source/drain region of another first transistor in another first transistor row through a second transistor.

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

1. 一種半導體裝置，包含：

複數個第一電晶體列，各包括複數個串聯之第一電晶體；及

複數個第二電晶體列，設置於第一電晶體列之間，且各包括複數個第二電晶體；

其中在一第一電晶體列中之第一電晶體之源極/汲極區，通過第二電晶列中之第二電晶體，而接至另一第一電晶體列中另一第一電晶體之源極/汲極區。

2. 根據申請專利範圍第1項之半導體裝置，其中於該一第一電晶體列中之該一第一字線，係相同配置於該另一第一電晶體列中之該另一第一電晶體，而接至該一與另一電晶體之第二電晶體配置於該第一電晶體列與該另一第一電晶體列之間。

3. 一種半導體裝置，包含：

複數個第一字線，藉由一第一閘極絕緣膜之插入而配置於一半導體基體上，且互相於第一方向平行延伸；複數個第一電晶體，各具有一閘電極，其接至一對應第一字線；

複數個第二字線，藉由一第二絕緣膜之插入而配置於第一字線之間，並於第一方向延伸；

複數個第二電晶體，各具有一閘電極，接至一對應第二字線；

其中第一電晶體各共享一相鄰第一電晶體之源極/汲極區，其並列於垂直第一方向之第二方向，而第二電晶

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

體各共享於第一方向並列之相鄰第二電晶體之源極/汲極區；及

第一電晶體之源極/汲極區形成於第二字線下之半導體基體中，而第一電晶體各共享一相鄰第二電晶體之源極/汲極區。

4. 根據申請專利範圍第3項之半導體裝置，其中半導體基體具有複數個溝，互相於第一方向平行延伸；及

第一字線形成於各溝之邊牆上，而第二字線形成於溝間半導體基體之上表面部分與溝底部上，或者第二字線形成於各溝之邊牆上，而第一字線形成於溝間半導體基體之上表面部分與溝底部上。

5. 根據申請專利範圍第3項之半導體裝置，其中半導體基體具有複數個溝，互相於第二方向平行延伸；及

第一字線形成於溝間半導體基體之上表面部分與溝底部上，而第二字線形成於溝之邊牆上，或者第二字線形成於溝間半導體基體之上表面部分與溝底部上，而第一電晶體形成於溝之邊牆上。

6. 一種製造一半導體裝置之方法，包含以下步驟：

(1-a)藉由插入一第一閘極絕緣膜而於半導體基體上提供複數個於一第一方向互相平行延伸之複數個第一字線；

(2-a)形成一電阻樣式，包括複數個以垂直於第一字線延伸之樣式線，並藉由將電阻樣式與第一字線當成一罩蓋使用而將離子植入半導體基體以形成源極/汲極區，

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

藉此形成之複數個第一電晶體，各共享一相鄰第一電晶體之源極/汲極區，其並列於垂直第一方向之第二方向；及

(3-a)藉由插入一第二絕緣膜而於源極/汲極區上在第一字線之間形成複數個第二字線，藉此形成之複數個第二電晶體，各共享於第一方向並列之相鄰第一電晶體之源極/汲極區。

7. 根據申請專利範圍第6項之方法，又包含以下步驟:

(4-a)植入具有與半導體基體不同傳導型之離子，供選擇之第一電晶體寫入ROM資料；及

(5-a)植入具有與半導體基體相同傳導型之離子，供選擇之第二電晶體寫入ROM資料。

8. 根據申請專利範圍第6項之方法，其中於步驟(1-a)先將具有與半導體基體不同傳導型之離子植入整個第一電晶體形成區，並接著將具有與半導體基體相同傳導型之離子同時植入，供選擇之第一電晶體與第二電晶體寫入ROM資料。

9. 一種製造一半導體裝置之方法，包含以下步驟:

(1-b)藉由插入一第一絕緣膜而於一半導體基體上之第一方向形成複數個互相平行延伸之溝，以及於各溝之邊牆上，或是於溝之間半導體基體之上表面部分與溝底部上，形成互相平行延伸之複數個第一字線；

(2-b)形成一電阻樣式，包括複數個以垂直於第一字線延伸之樣式線，並藉由將電阻樣式與第一字線當成一罩

（請先閱讀背面之注意事項再填寫本頁）
裝
訂

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

蓋使用而將離子植入半導體基體，以便於溝之間基體之上表面部分，以及半導體基體之溝底部分，或是於基體之邊牆部分中形成源極/汲極區，藉此形成複數個第一電晶體，其各共享源極/汲極區，其配置於垂直第一方向之第二方向，及形成於相鄰溝間基體之上表面部分中，與基體之溝底部分，或是於基體之溝邊牆部分；及

(3-b)藉由插入一第二絕緣膜而於源極/汲極區上在第一字線之間形成互相平行延伸之複數個第二字線，藉此形成之複數個第二電晶體，各共享於第一方向並列之相鄰第一電晶體之源極/汲極區。

10. 根據申請專利範圍第9項之方法，又包含以下步驟:

(4-b)植入具有與半導體基體不同傳導型之離子，供選擇之第一電晶體寫入ROM資料；及

(5-b)植入具有與半導體基體相同傳導型之離子，供選擇之第二電晶體寫入ROM資料。

11. 根據申請專利範圍第9項之方法，其中於步驟(1-b)先將具有與半導體基體不同傳導型之離子植入整個第一電晶體形成區，並接著將具有與半導體基體相同傳導型之離子同時植入，供選擇之第一電晶體與第二電晶體寫入ROM資料。

12. 根據申請專利範圍第1至7項中任一項之方法，其中藉由使用不同劑量以執行複數次離子植入以寫入ROM資料。

13. 根據申請專利範圍第1至8項　中任一項之方法，其中藉由使用不同劑量以執行複數次離子植入以寫入ROM資料

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

。

14. 根據申請專利範圍第1至10項中任一項之方法，其中藉由使用不同劑量以執行複數次離子植入以寫入ROM資料。

15. 根據申請專利範圍第1至11項中任一項之方法，其中藉由使用不同劑量執行複數次離子植入以寫入ROM資料。

16. 一種製造一半導體裝置之方法，包含以下步驟：

(1-c)藉由插入一第一絕緣膜於一半導體基體之第二方向中形成互相平行延伸之複數個溝，以及於第一方向形成互相平行延伸之複數個第一字線，該第一方向垂直於包括溝之最後半導體基體上之第二方向；

(2-c)藉由將至少第一字線當成罩蓋使用以便將離子植入半導體基體，以便於溝間之基體上表面部分，與基體之溝底部分，或是於基體之溝邊牆部分形成源極/汲極區，藉此形成複數個第一電晶體，其各共享配置於第二方向之源極/汲極區，及形成於相鄰溝間之半導體基體上表面部分，與基體之溝底部分，或是於半導體基體之溝邊牆部分；及

(3-c)藉由插入一第二絕緣膜而於源極/汲極區上在第一字線間形成互相平行延伸之複數個第二字線，藉此形成複數個第二電晶體，各共享於第一方向並列之相鄰第一電晶體之源極/汲極區。

17. 根據申請專利範圍第16項之方法，又包含以下步驟：

(4-c)植入具有與半導體基體不同傳導型之離子，供選擇之第一電晶體寫入ROM資料；及

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

(5-c)植入具有與半導體基體相同傳導型之離子，供選擇之第二電晶體寫入ROM資料。

18. 根據申請專利範圍第16項之方法，其中於步驟(1-c)先將具有與半導體基體不同傳導型之離子植入整個第一電晶體形成區，並接著將具有與半導體基體相同傳導型之離子同時植入，供選擇之第一電晶體與第二電晶體寫入ROM資料。

19. 根據申請專利範圍第17項之方法，其中藉由使用不同劑量以執行複數次離子植入以寫入ROM資料。

20. 根據申請專利範圍第18項之方法，其中藉由使用不同劑量以執行複數次離子植入以寫入ROM資料。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

圖 1

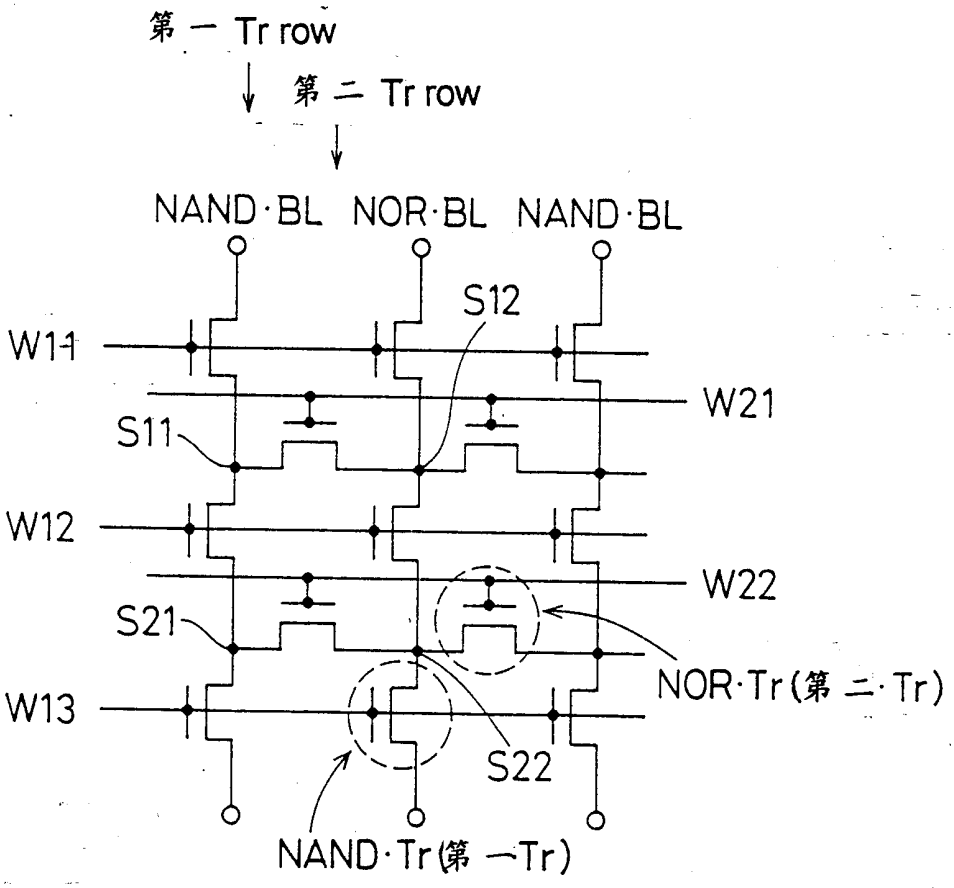

第一 Tr row
第二 Tr row
NAND·BL
NOR·BL
NAND·BL
S12
W11
W21
S11
W12
W22
S21
NOR·Tr(第二·Tr)
W13
S22
NAND·Tr(第一Tr)

圖 2

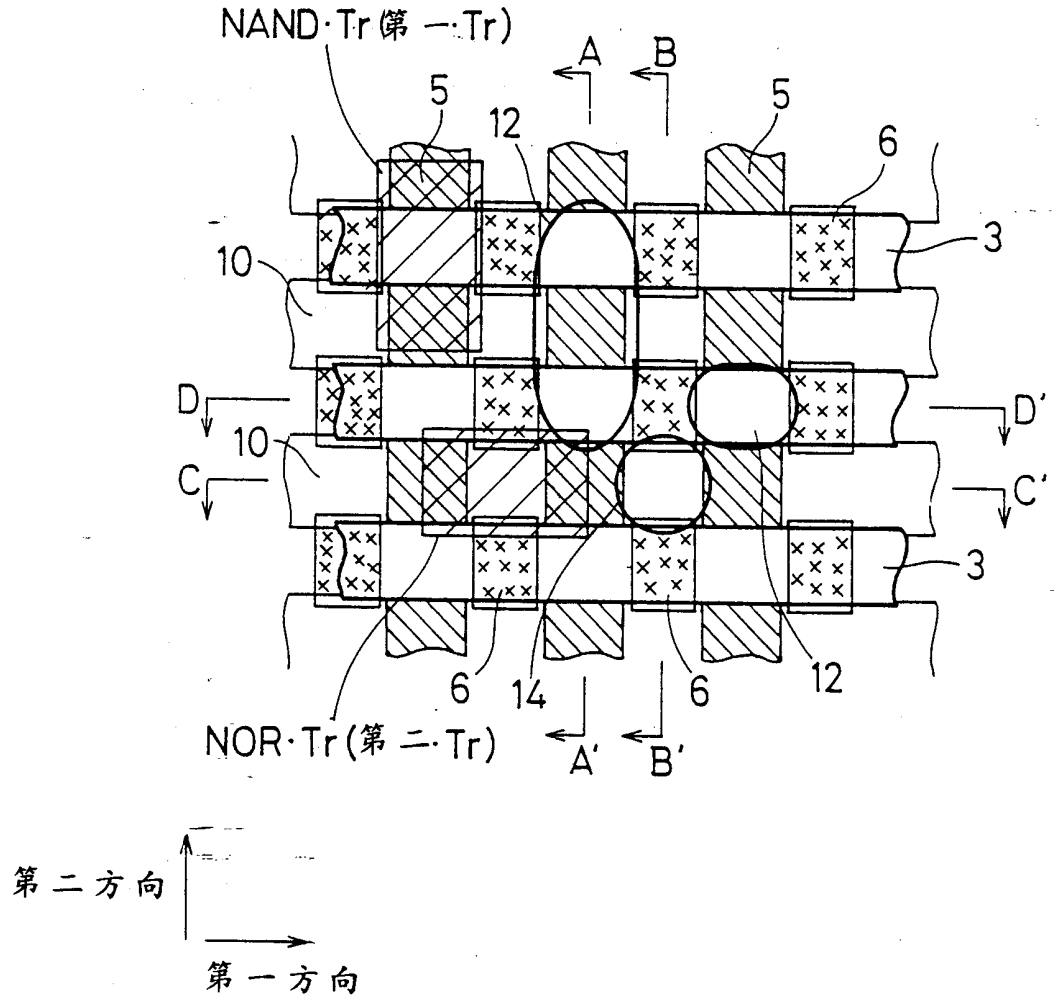

NAND·Tr(第一·Tr)
A
B
5
12
5
6
3
10
D
D'
10
C
C'
3
6
14
6
12
NOR·Tr(第二·Tr)
A'
B'
第二方向
第一方向

圖 3(a)

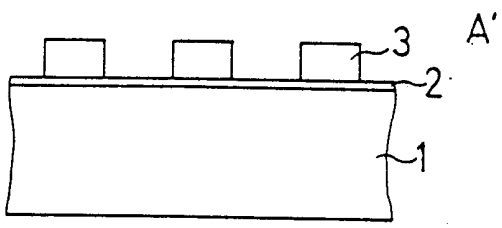


圖 3(b)

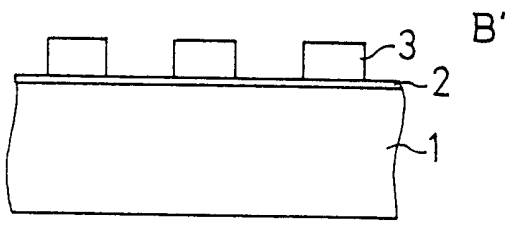


圖 3(c)

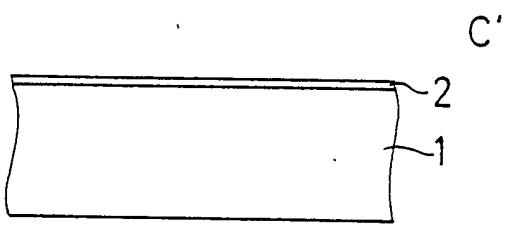


圖 3(d)

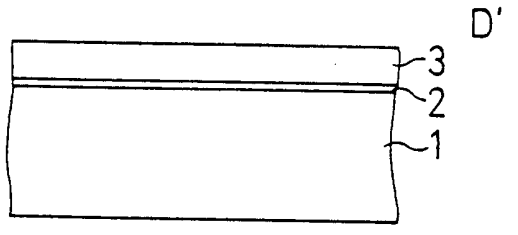


圖 4(a)

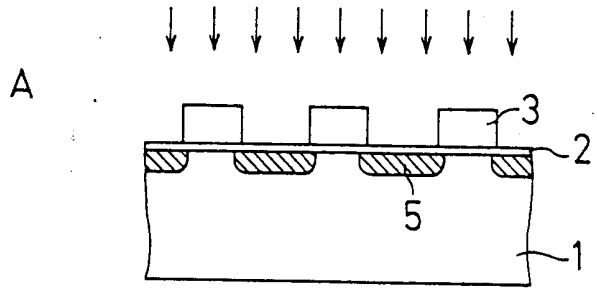


圖 4(b)

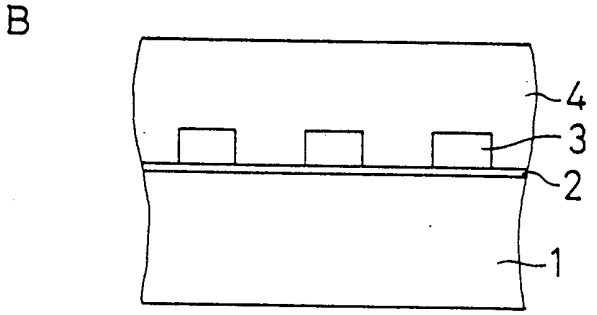


圖 4(c)

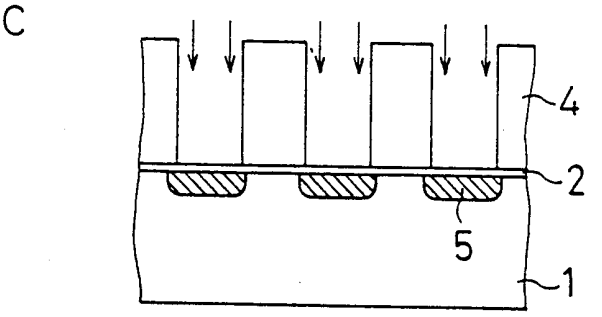


圖 4(d)

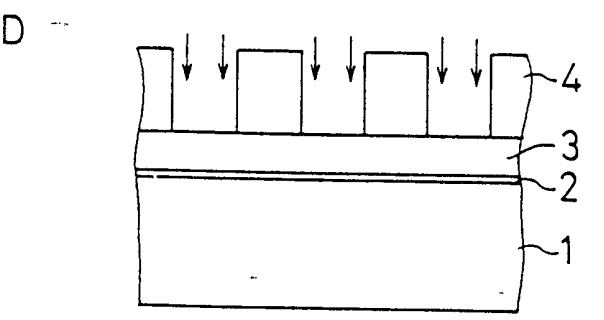


圖 5(a)

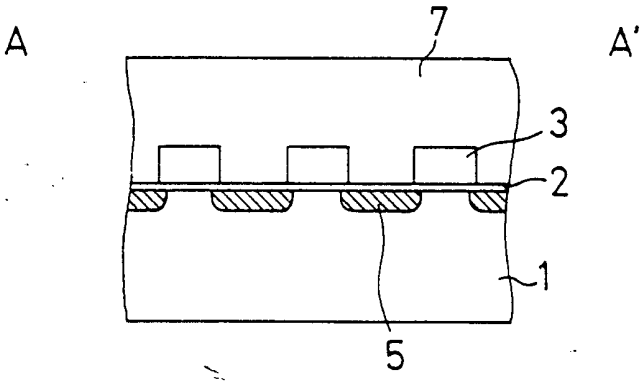


圖 5(b)

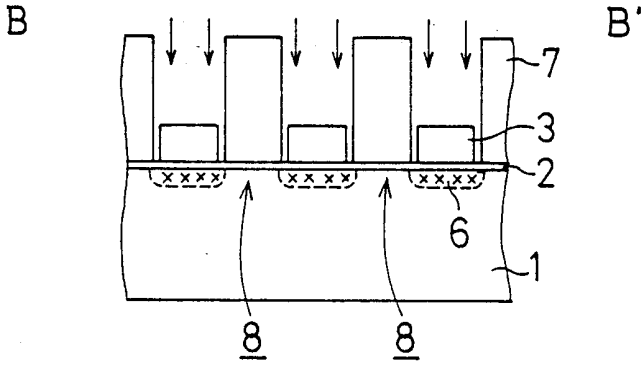


圖 5(c)

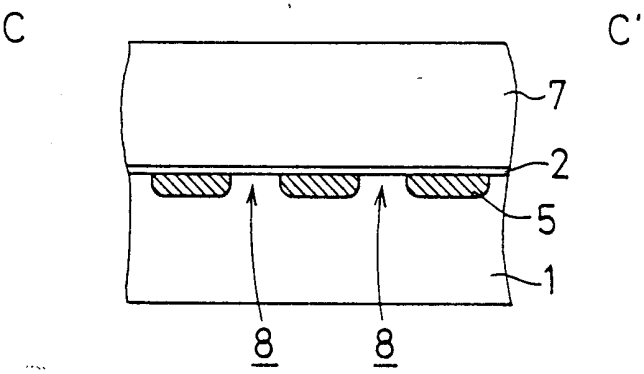


圖 5(d)

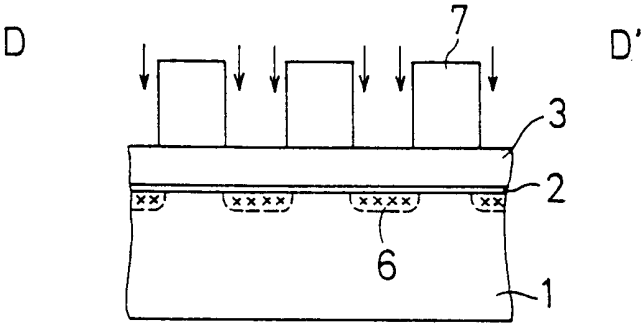


圖 6(a)

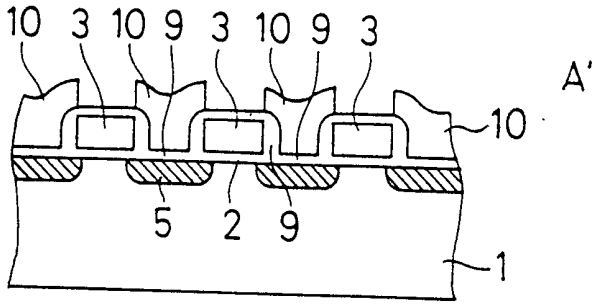


圖 6(b)

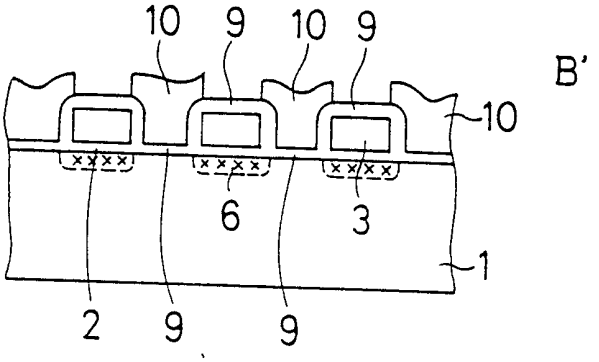


圖 6(c)

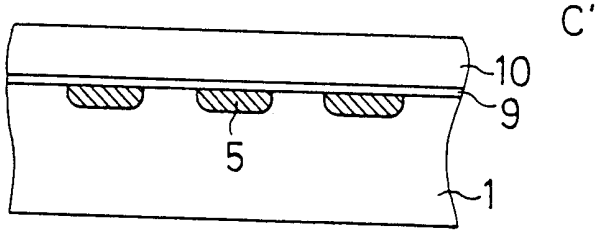


圖 6(d)

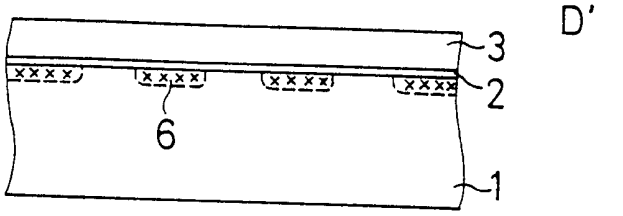


圖 7(a)

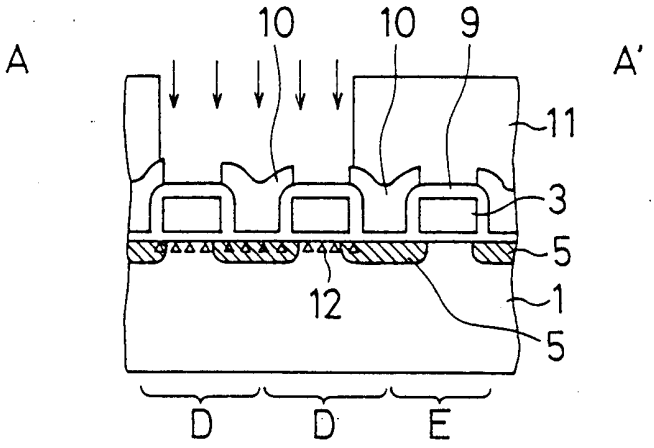


圖 7(b)

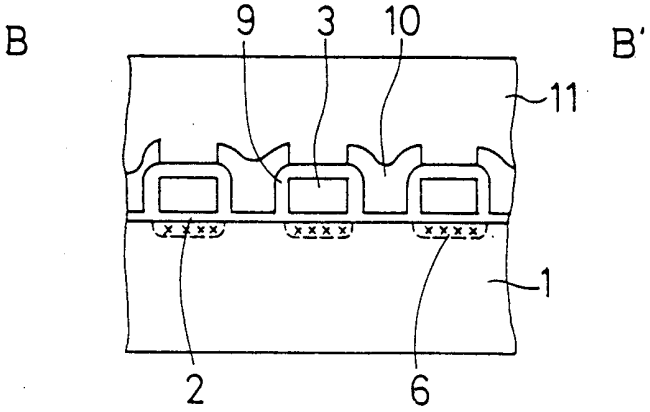


圖 7(c)

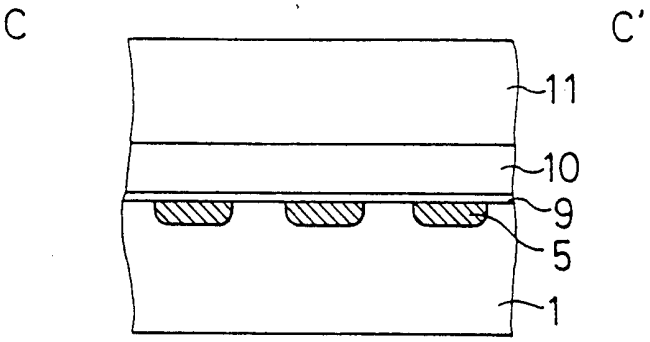


圖 7(d)

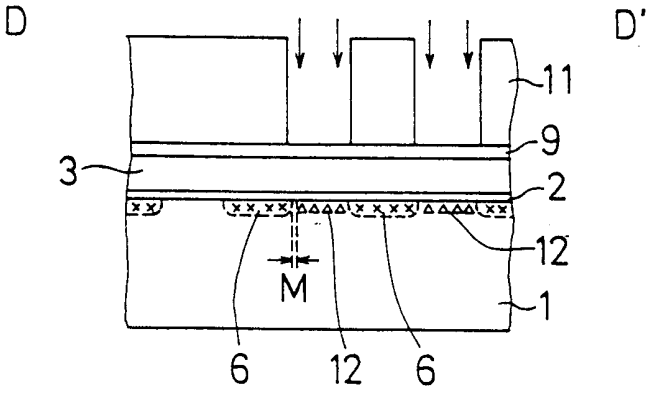


圖 8(a)

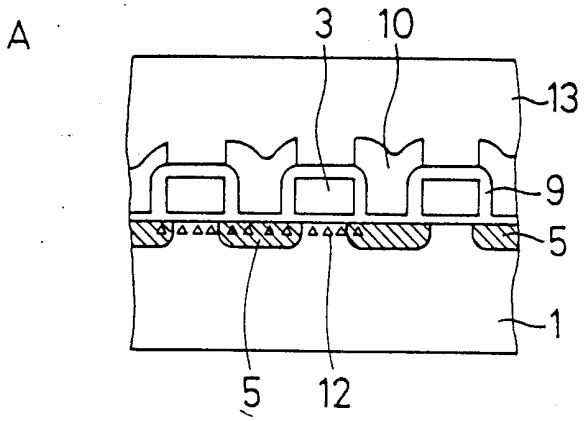


圖 8(b)

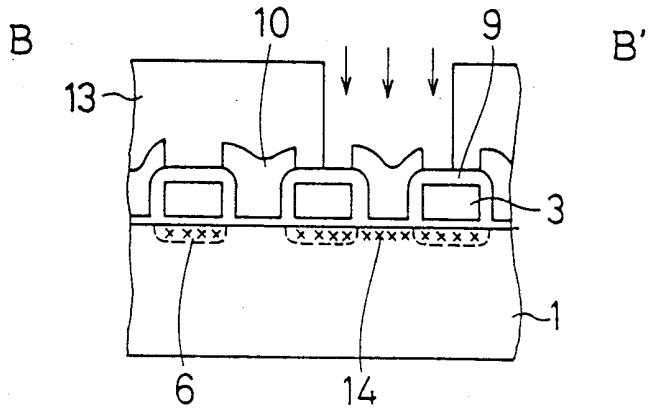


圖 8(c)

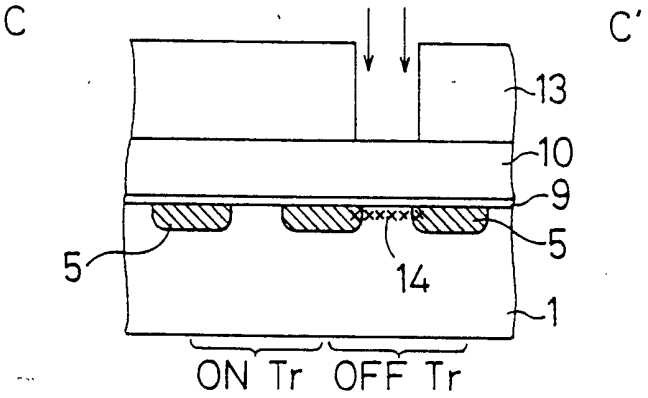


圖 8(d)

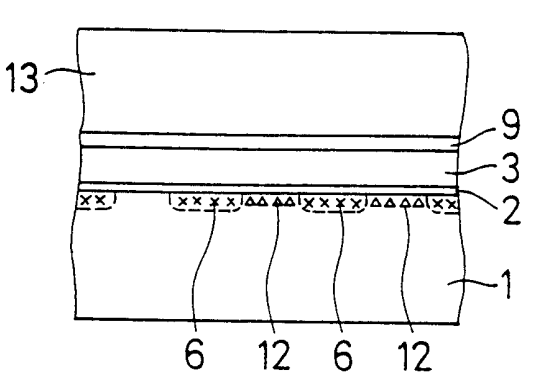


圖 9

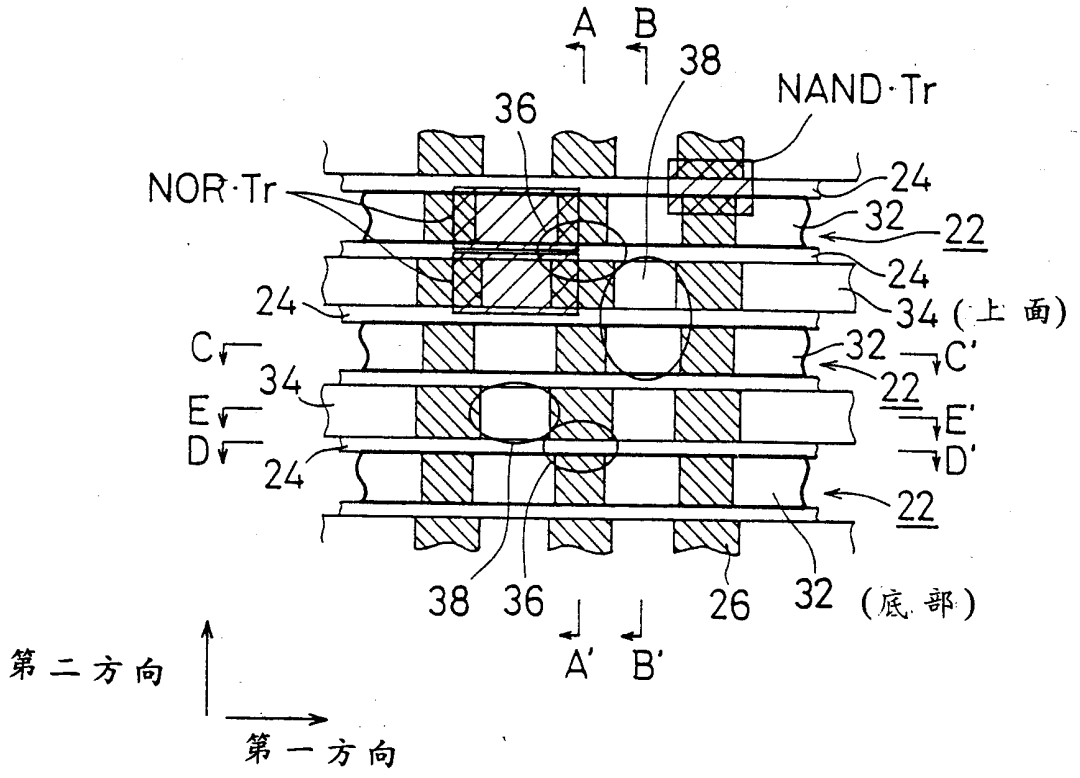

A
B
38
NAND·Tr
36
NOR·Tr
24
32
22
24
34 (上面)
24
C
32
C'
34
22
E
E'
D
D'
24
22
38
36
26
32 (底部)
A'
B'
第二方向
第一方向

圖 10(a)

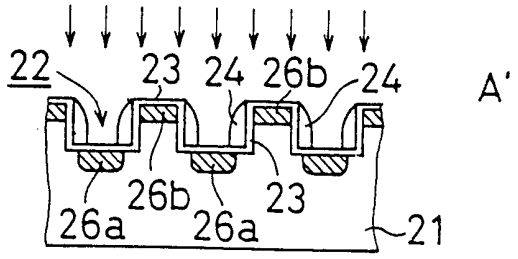


圖 10(b)

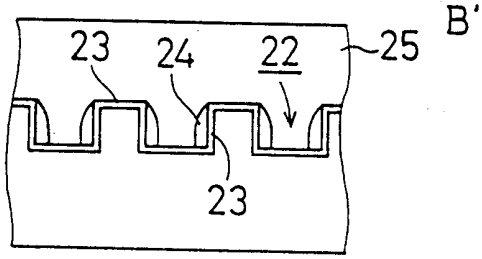


圖 10(c)

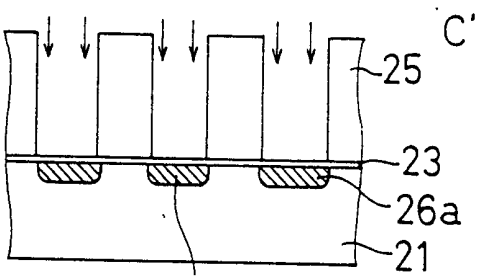


圖 10(d)

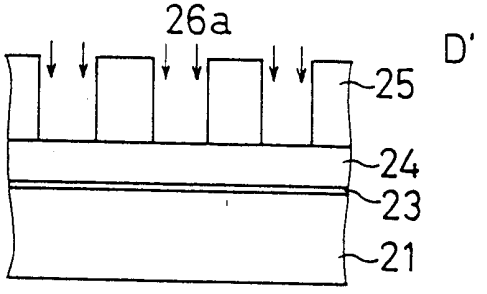


圖 10(e)

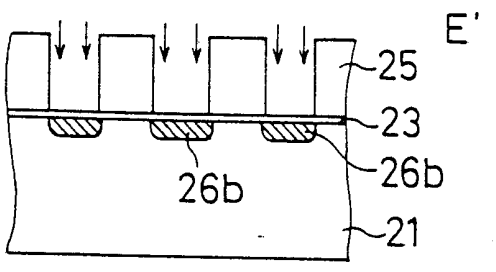


圖 11(a)

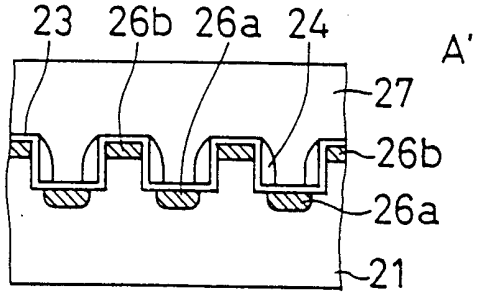


圖 11(b)

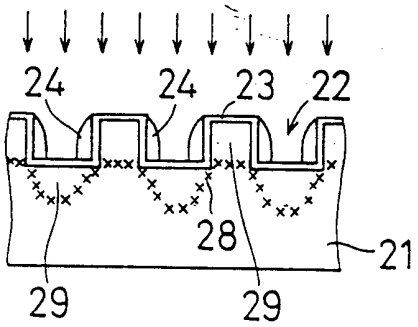


圖 11(c)

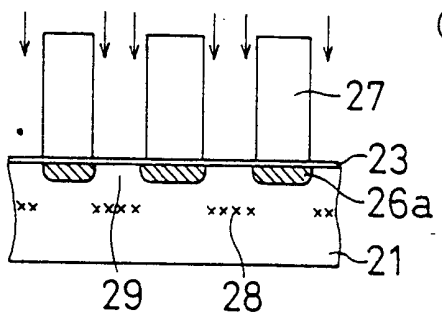


圖 11(d)

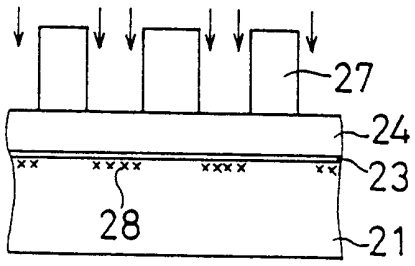


圖 11(e)

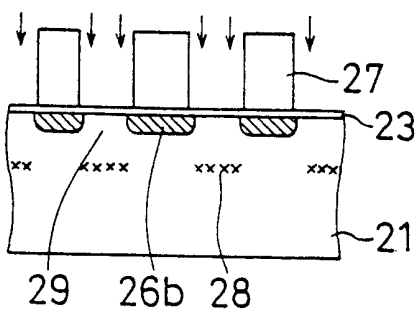


圖 12(a)

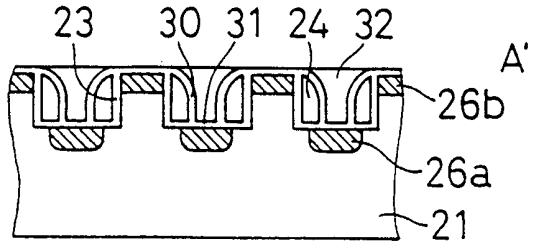


圖 12(b)

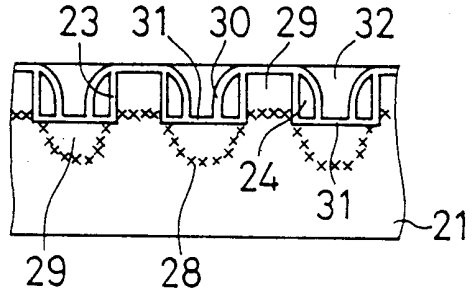


圖 12(c)

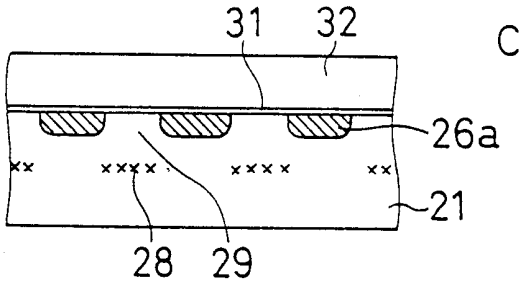


圖 12(d)

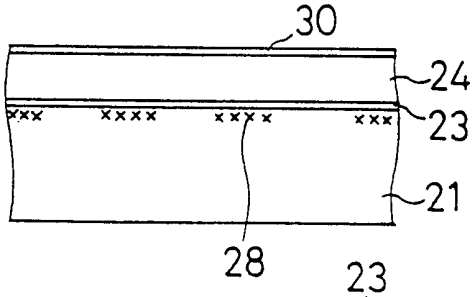


圖 12(e)

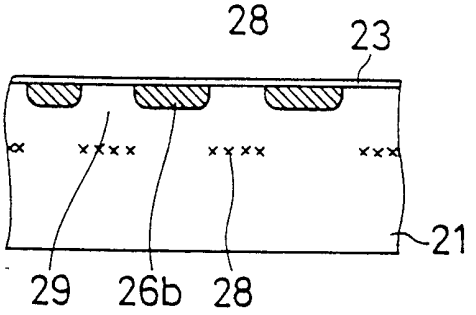


圖 13(a)

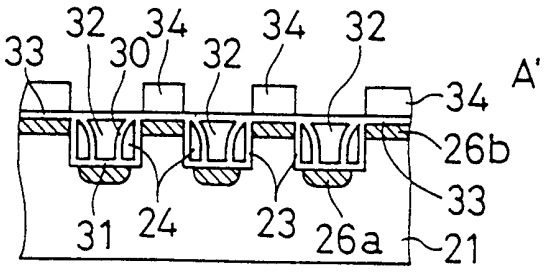


圖 13(b)

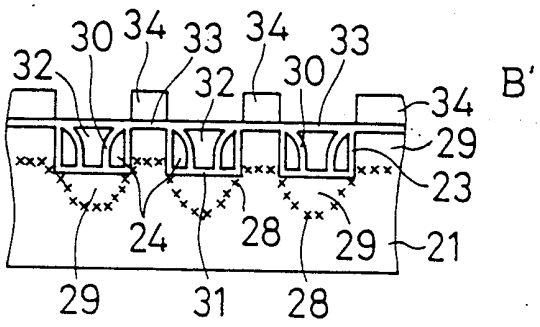


圖 13(c)

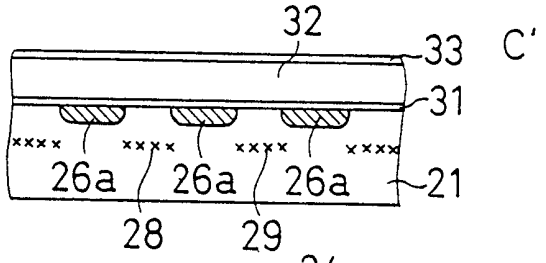


圖 13(d)

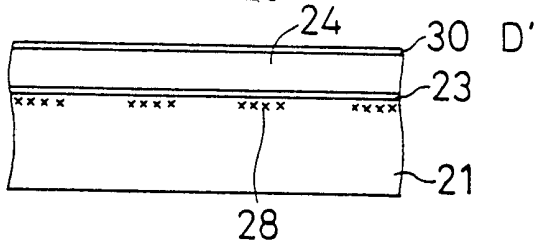


圖 13(e)

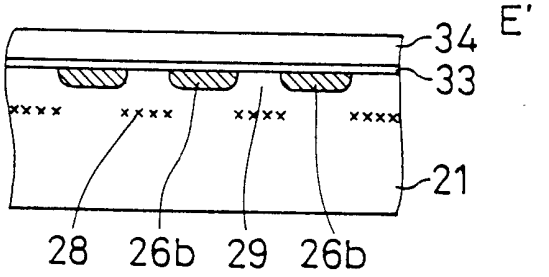


圖 14(a)

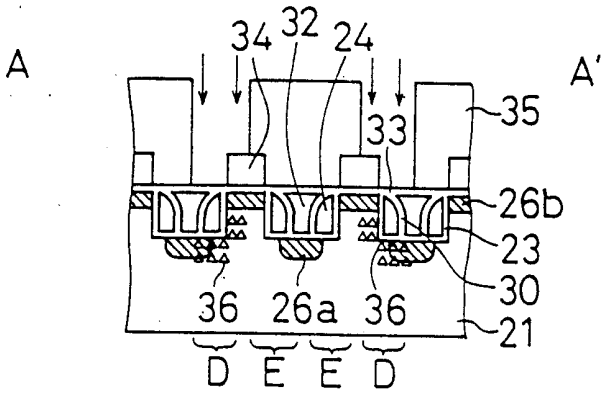


圖 14(b)

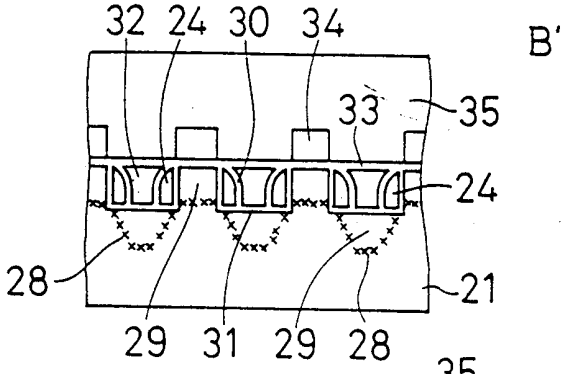


圖 14(c)

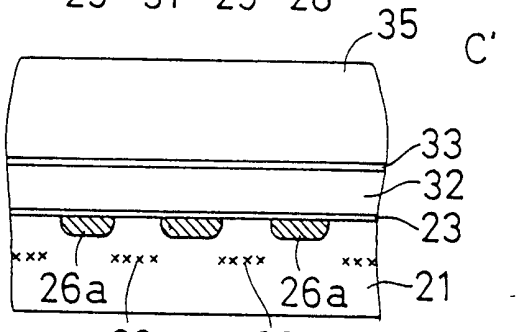


圖 14(d)

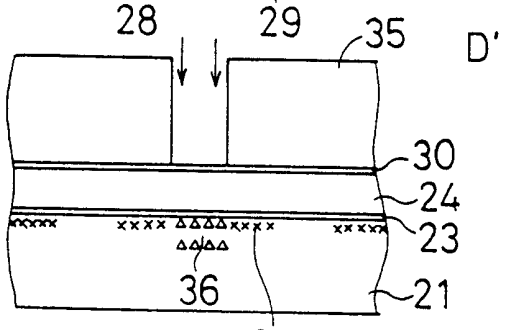


圖 14(e)

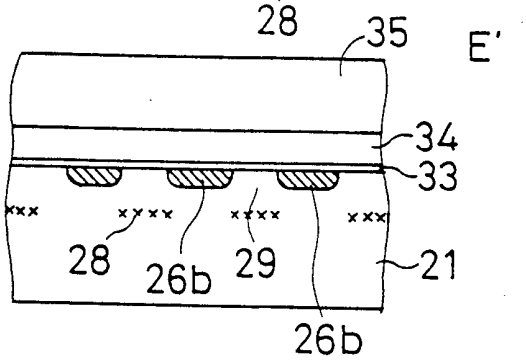


圖15(a)

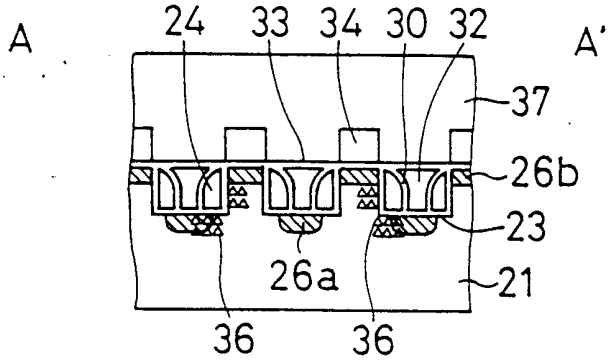


圖15(b)

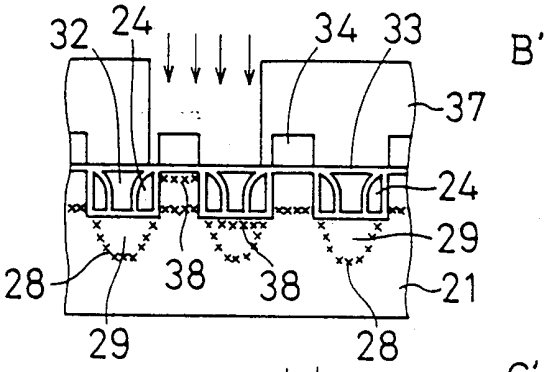


圖15(c)

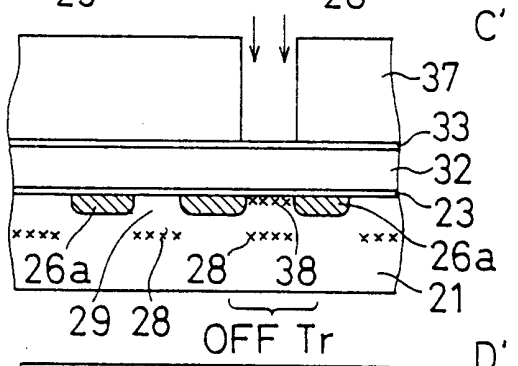


圖15(d)

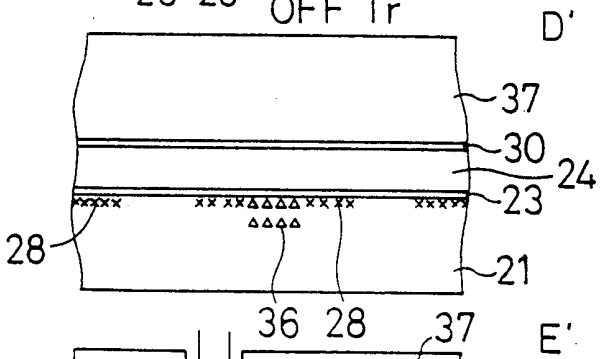


圖15(e)

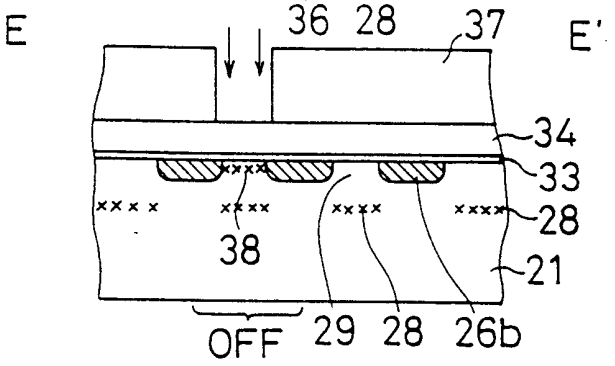


圖 16

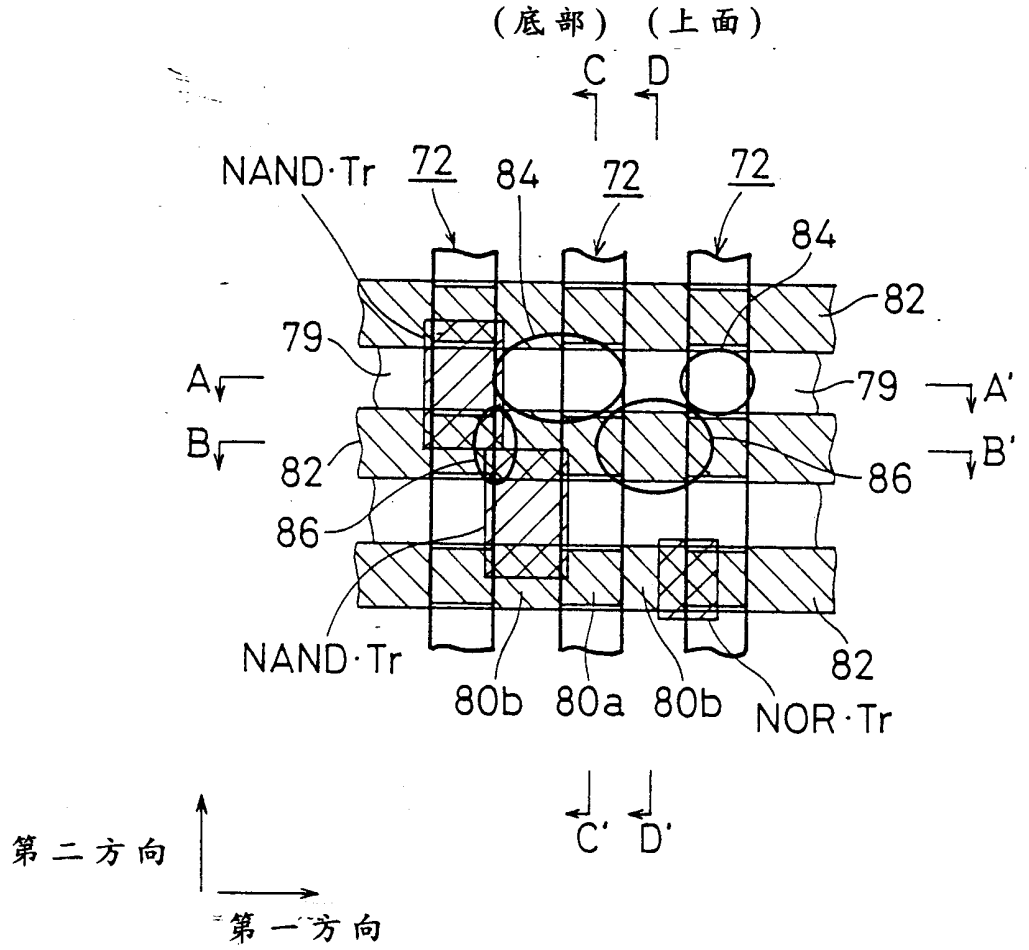

(底部)
(上面)
C
D
NAND·Tr
72
84
72
72
84
82
79
A
B
79
A'
B'
82
86
86
NAND·Tr
82
80b
80a
80b
NOR·Tr
C'
D'
第二方向
第一方向

圖 17(a)

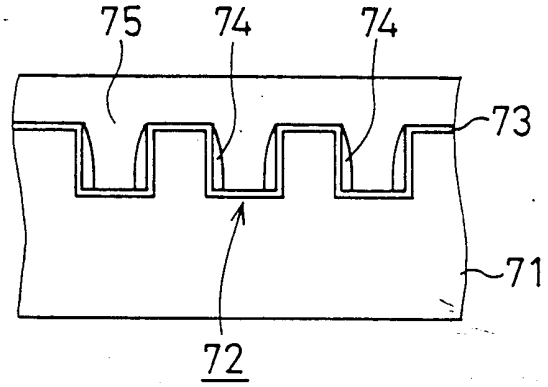


圖 17(b)

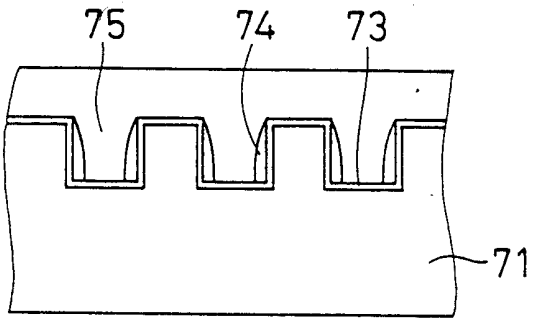


圖 17(c)

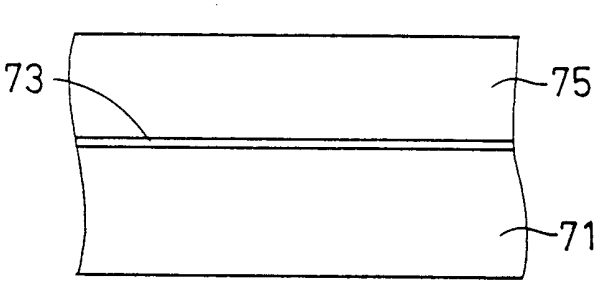


圖 17(d)

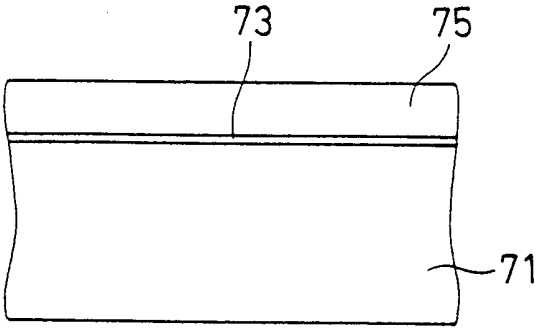


圖18(a)

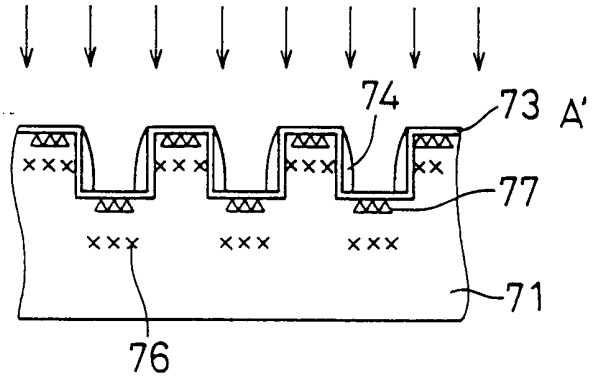


圖18(b)

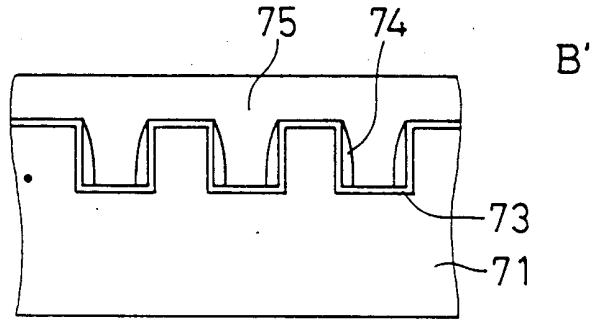


圖18(c)

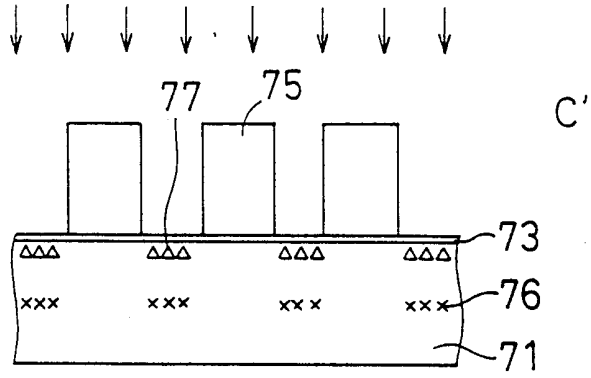


圖18(d)

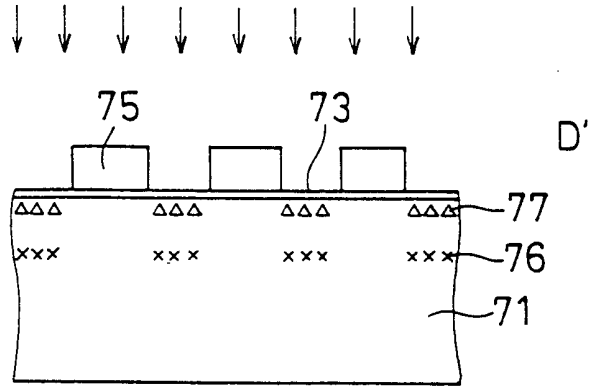


圖19(a)

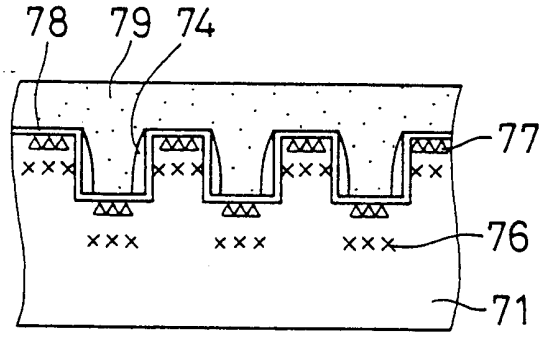


圖19(b)

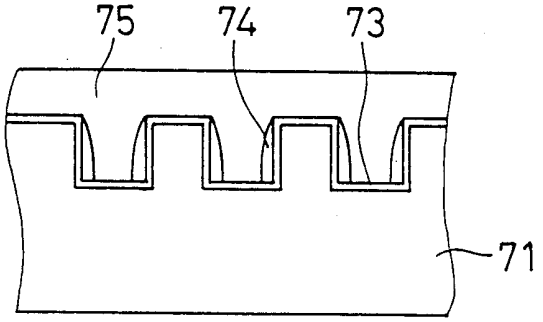


圖19(c)

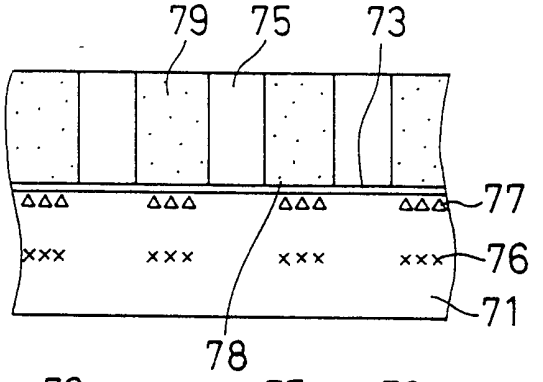


圖19(d)

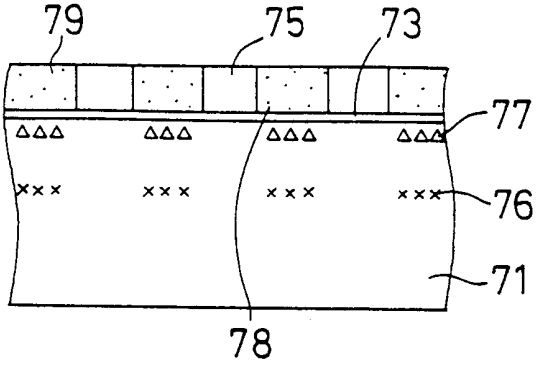


圖20(a)

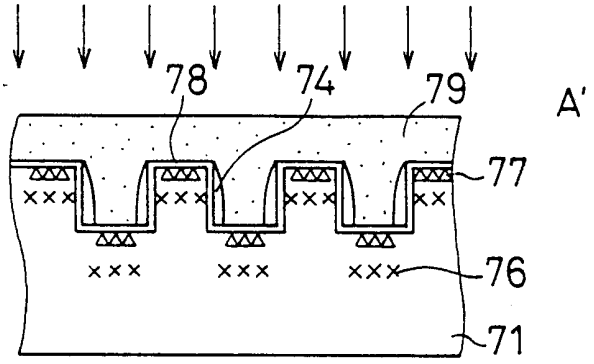


圖20(b)

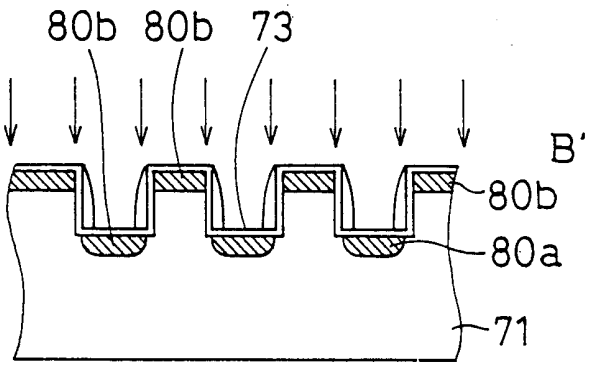


圖20(c)

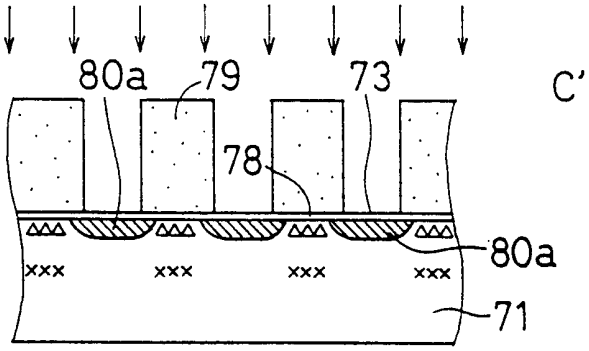


圖20(d)

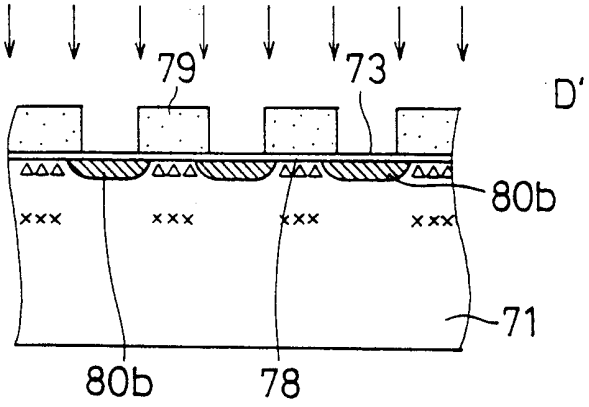


圖21(a)

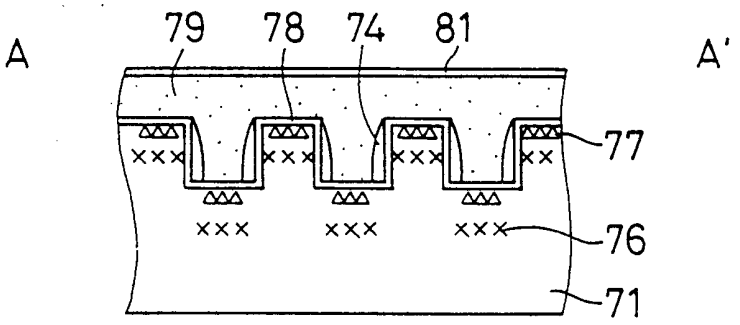


圖21(b)

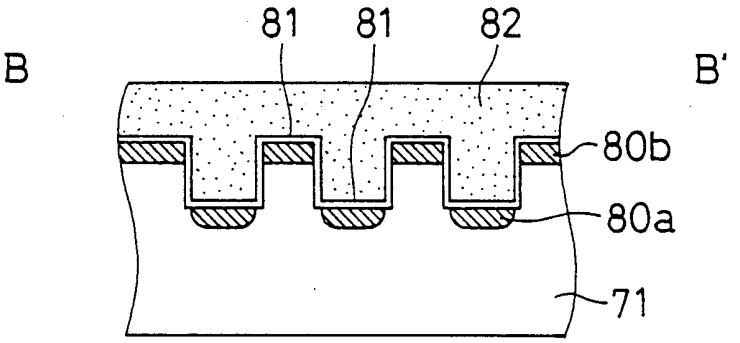


圖21(c)

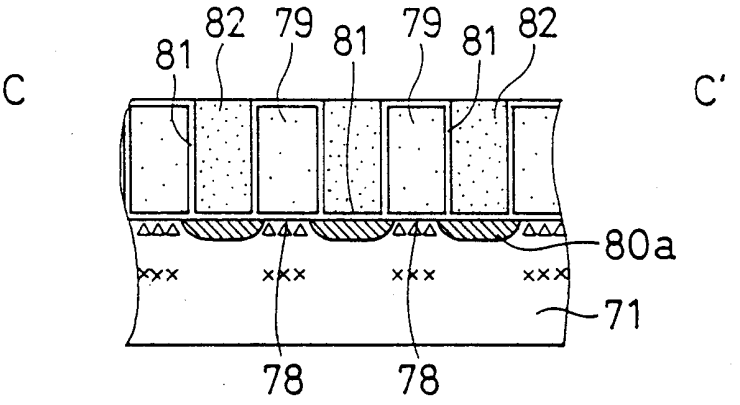


圖21(d)

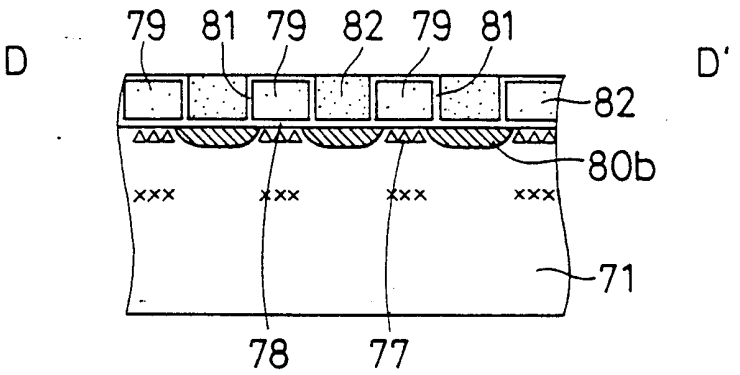


圖22(a)

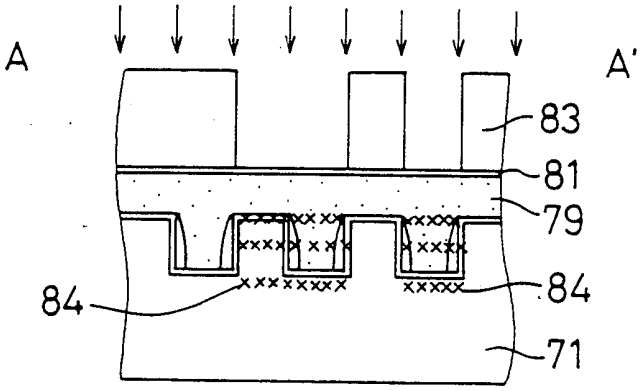


圖22(b)

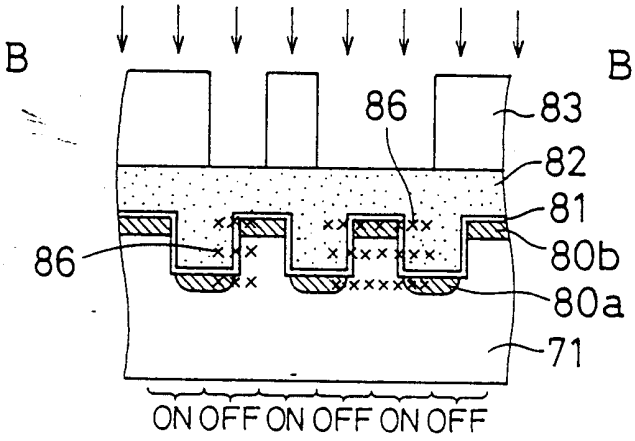


圖22(c)

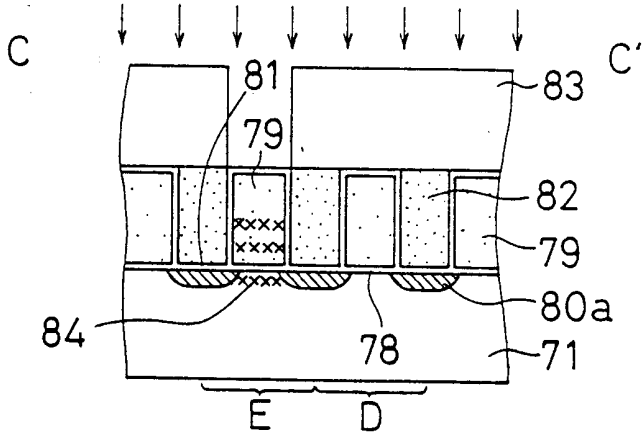


圖22(d)

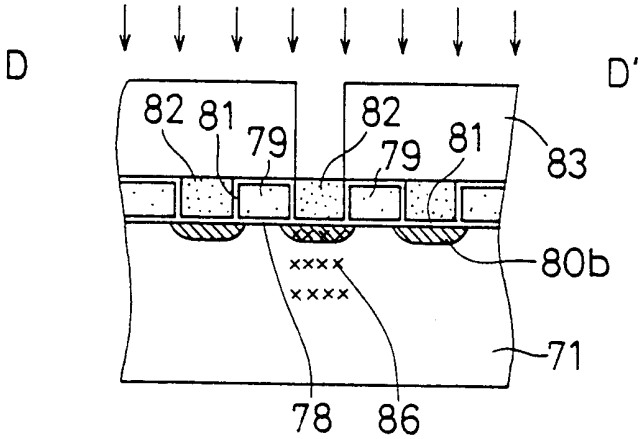


圖 23

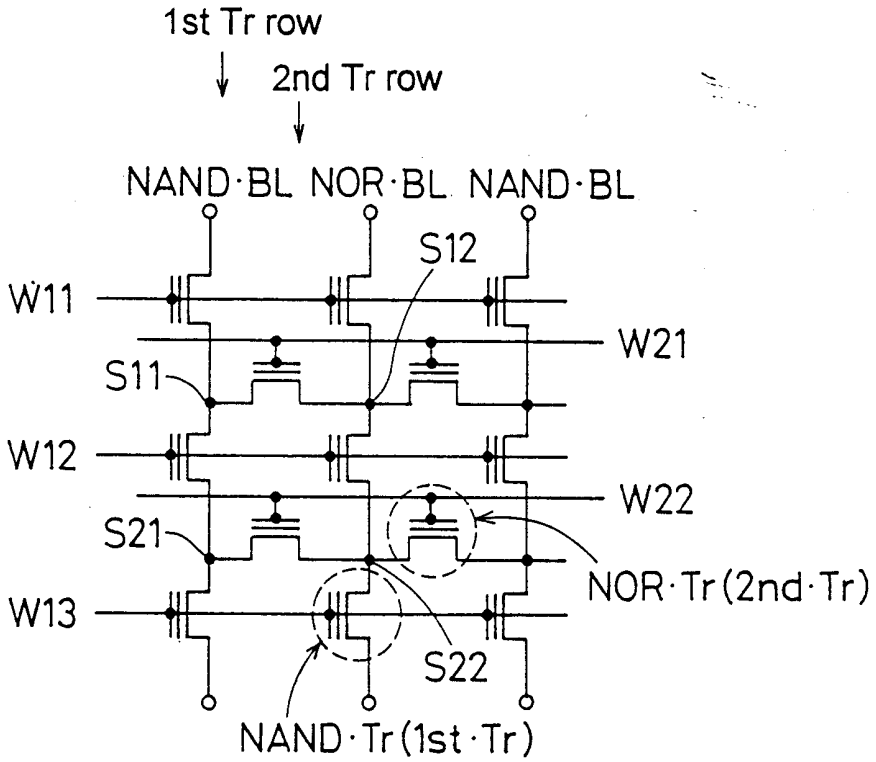

1st Tr row
2nd Tr row
NAND·BL
NOR·BL
NAND·BL
S12
W11
W21
S11
W12
W22
S21
NOR·Tr(2nd·Tr)
W13
S22
NAND·Tr(1st·Tr)

圖24(a)

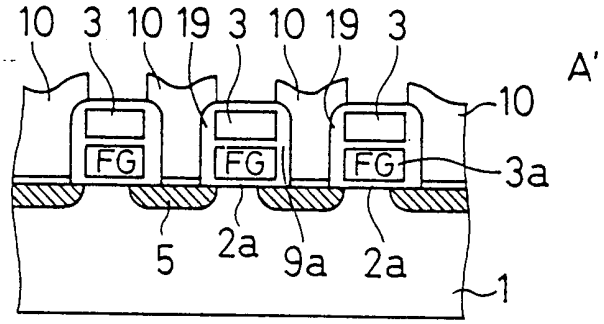


圖24(b)

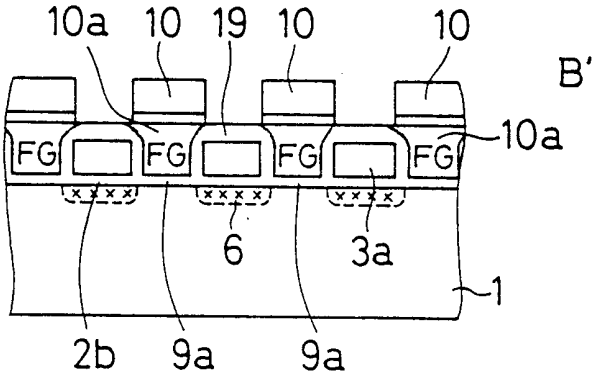


圖24(c)

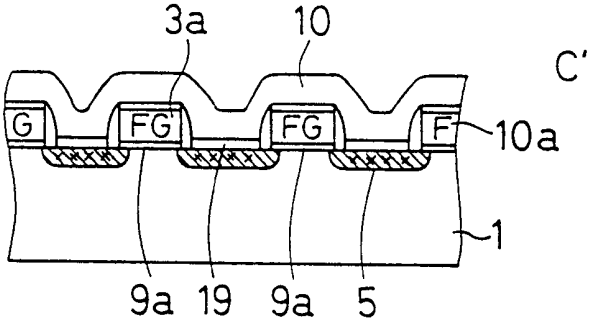
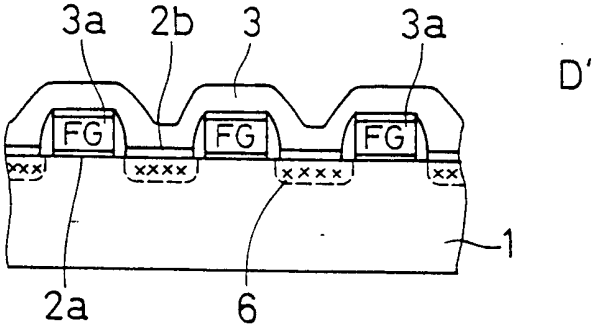


圖24(d)



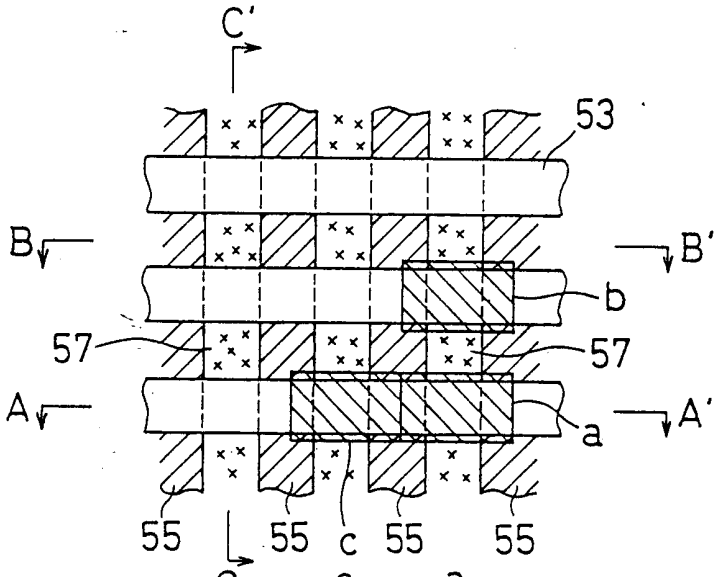


圖25(a)
(先前技藝)

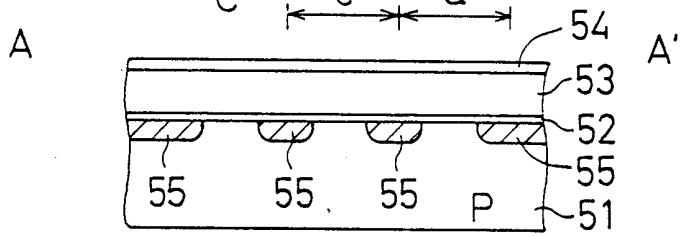


圖25(b)
(先前技藝)

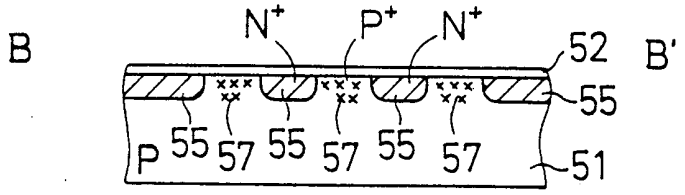


圖25(c)
(先前技藝)

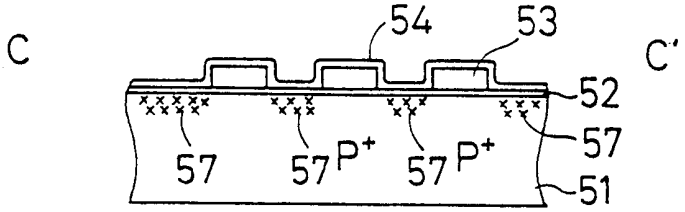


圖25(d)
(先前技藝)

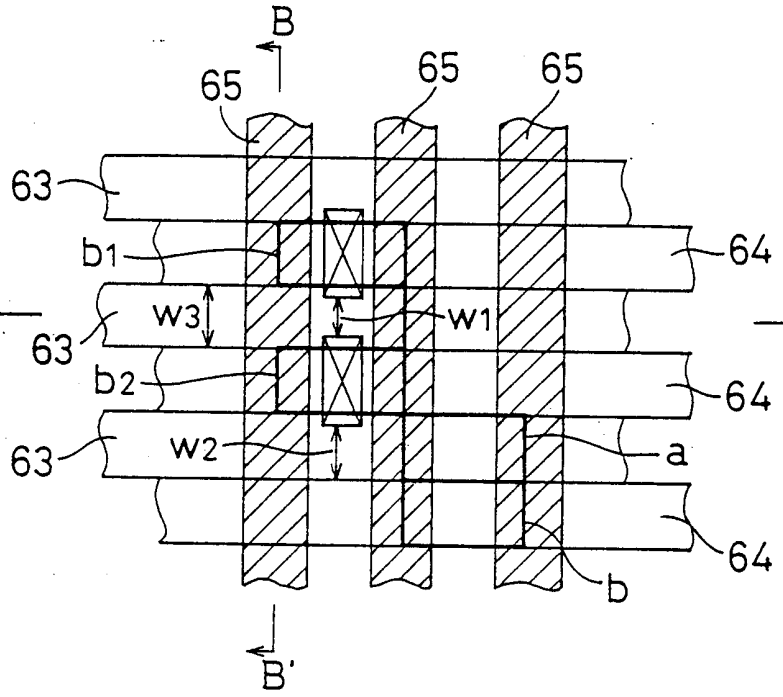


圖26(a)
(先前技藝)

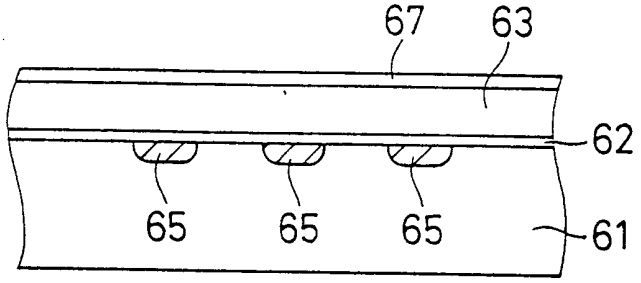


圖26(b)
(先前技藝)

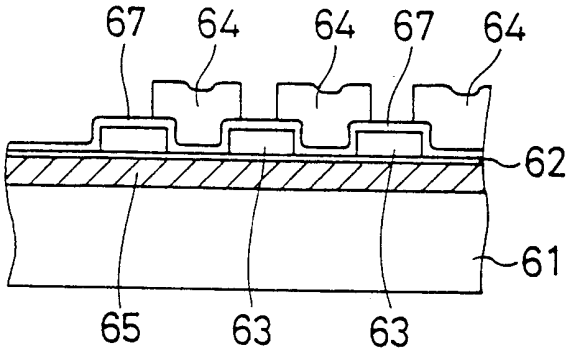


圖26(c)
(先前技藝)