



HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約: 占有面積の小さい半導体装置を提供する。スペーサの開口部の内部に位置する領域を有するようにトランジスタが設けられる半導体装置。平面視において開口部を介して対向するように、ソース電極及びドレイン電極が設けられる。開口部の側面及び底面に沿って、半導体層が設けられる。開口部の外側における、半導体層の下面端部は、ソース電極の上面端部と一致又は概略一致する領域、及びドレイン電極の上面端部と一致又は概略一致する領域を有する。半導体層上には、開口部の内部に位置する領域を有するように、ゲート絶縁層、及びゲート電極がこの順で設けられる。

明細書

発明の名称

半導体装置、及びその作製方法

技術分野

[0001]

本発明の一態様は、半導体装置、及びその作製方法に関する。本発明の一態様は、トランジスタ、及びその作製方法に関する。本発明の一態様は、半導体装置を有する表示装置に関する。

[0002]

なお、本発明の一態様は、上記の技術分野に限定されない。本発明の一態様の技術分野として、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、電子機器、照明装置、入力装置（例えば、タッチセンサ）、入出力装置（例えば、タッチパネル）、それらの駆動方法、又はそれらの作製方法を一例として挙げることができる。

[0003]

本明細書等において、半導体装置とは、半導体特性を利用した装置であり、半導体素子（トランジスタ、ダイオード、フォトダイオード等）を含む回路、同回路を有する装置等をいう。また、半導体特性を利用することで機能しうる装置全般をいう。例えば、集積回路、集積回路を備えたチップ、パッケージにチップを収納した電子部品は半導体装置の一例である。また、記憶装置、表示装置、発光装置、照明装置、及び電子機器は、それ自体が半導体装置であり、かつ、それぞれが半導体装置を有している場合がある。

背景技術

[0004]

トランジスタを有する半導体装置は、電子機器に広く適用されている。また、近年、表示装置の用途が多様化しており、例えば、携帯情報端末、テレビジョン装置（テレビジョン受信機ともいう）、デジタルサイネージ（Digital Signage：電子看板）、及びPID（Public Information Display）等に表示装置が用いられている。表示装置として、例えば、有機EL（Electro Luminescence）素子、又は発光ダイオード（LED：Light Emitting Diode）を有する表示装置、液晶素子を有する表示装置、電気泳動方式により表示を行う電子ペーパーが挙げられる。

[0005]

表示装置において、トランジスタの占有面積を小さくすることで、画素サイズを縮小でき、精細度を高めることができる。また、トランジスタの占有面積を小さくすることで、開口率を高めることができる。そのため、微細なトランジスタが求められている。

[0006]

高精細な表示装置が要求される機器として、例えば、仮想現実（VR：Virtual Reality）、拡張現実（AR：Augmented Reality）、代替現実（SR：Substitutional Reality）、及び複合現実（MR：Mixed Reality）向けの機器が、盛んに開発されている。

[0007]

特許文献1には、有機EL素子を用いた、高精細な表示装置が開示されている。

[先行技術文献]

[特許文献]

[0008]

[特許文献1] 国際公開第2016/038508号

発明の概要

発明が解決しようとする課題

[0009]

トランジスタが微細化され、チャネル長が短くなると、トランジスタの飽和性が低くなる。例えば、表示装置が有する画素の発光素子（発光デバイスともいう）に流れる電流を制御する駆動トランジスタが微細化されてチャネル長が短くなることにより飽和性が低くなると、発光素子に流れる電流が不安定となり、発光素子の発光輝度が不安定になる場合がある。例えば、発光素子に流れる電流に経時的なばらつきが発生し、静止画を表示している場合であっても発光素子の発光輝度に経時的なばらつきが発生する場合がある。

[0010]

本明細書等において、トランジスタの $I_d - V_d$ 特性における、飽和領域の電流の変化が小さい（傾きが小さい）ことを、「飽和性が高い」という。

[0011]

本発明の一態様は、微細なサイズのトランジスタを提供することを課題の1つとする。又は、チャネル長が長いトランジスタを提供することを課題の1つとする。又は、チャネル長が長いトランジスタ及びチャネル長が短いトランジスタを提供することを課題の1つとする。又は、飽和性が高いトランジスタを提供することを課題の1つとする。又は、電気特性が良好なトランジスタを提供することを課題の1つとする。又は、小型の半導体装置又は表示装置を提供することを課題の1つとする。又は、配線抵抗が小さい半導体装置又は表示装置を提供することを課題の1つとする。又は、高速に駆動する半導体装置又は表示装置を提供することを課題の1つとする。又は、低価格な半導体装置又は表示装置を提供することを課題の1つとする。又は、消費電力が低い半導体装置又は表示装置を提供することを課題の1つとする。又は、高性能な半導体装置又は表示装置を提供することを課題の1つとする。又は、信頼性が高いトランジスタ、半導体装置、又は表示装置を提供することを課題の1つとする。又は、高精細な表示装置を提供することを課題の1つとする。又は、生産性が高い半導体装置の作製方法、又は表示装置の作製方法を提供することを課題の1つとする。又は、作製コストが低い半導体装置の作製方法、又は表示装置の作製方法を提供することを課題の1つとする。又は、新規なトランジスタ、半導体装置、表示装置、又はこれらの作製方法を提供することを課題の1つとする。

[0012]

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。本発明の一態様は、必ずしも、これらの課題の全てを解決する必要はないものとする。明細書、図面、請求項の記載から、これら以外の課題を抽出することが可能である。

課題を解決するための手段

[0013]

本発明の一態様は、第1の絶縁層と、第1の絶縁層上の第2の絶縁層及びトランジスタと、を有し、トランジスタは、第1の導電層と、第2の導電層と、第3の導電層と、半導体層と、第3の絶縁層と、を有し、第2の絶縁層は、第1の絶縁層に達する第1の開口部を有し、第1の導電層、及び第2の導電層は、平面視において第1の開口部を介して対向するように、第2の絶縁層上に設けられ、半導体

層は、第1の開口部の内部に位置する領域を有するように設けられ、第1の開口部の外側における、半導体層の下面端部は、第1の導電層の上面端部と一致又は概略一致する領域、及び第2の導電層の上面端部と一致又は概略一致する領域を有し、第3の絶縁層は、第1の開口部の内部に位置する領域を有するように、半導体層上に設けられ、第3の導電層は、第1の開口部の内部に位置する領域を有するように、第3の絶縁層上に設けられる半導体装置である。

[0014]

又は、上記態様において、半導体層、及び第3の絶縁層は、第2の導電層に達する第2の開口部を有し、第2の開口部を埋めるように、プラグが設けられてもよい。

[0015]

又は、本発明の一態様は、第1の絶縁層と、第1の絶縁層上の第2の絶縁層、第1のトランジスタ、及び第2のトランジスタと、を有し、第1のトランジスタは、第1の導電層と、第2の導電層と、第3の導電層と、第1の半導体層と、第3の絶縁層と、を有し、第2のトランジスタは、第4の導電層と、第5の導電層と、第6の導電層と、第2の半導体層と、第3の絶縁層と、を有し、第4の導電層は、第1の絶縁層上に設けられ、第2の絶縁層は、第4の導電層上に設けられ、第2の絶縁層は、第1の絶縁層に達する第1の開口部、及び第4の導電層に達する第2の開口部を有し、第1の導電層、及び第2の導電層は、平面視において第1の開口部を介して対向するように、第2の絶縁層上に設けられ、第5の導電層は、第2の絶縁層上に設けられ、且つ第2の開口部と重なる領域を有する第3の開口部を有し、第1の半導体層は、第1の開口部の内部に位置する領域を有するように設けられ、第1の開口部の外側における、第1の半導体層の下面端部は、第1の導電層の上面端部と一致又は概略一致する領域、及び第2の導電層の上面端部と一致又は概略一致する領域を有し、第2の半導体層は、第2の開口部の内部に位置する領域、及び第3の開口部の内部に位置する領域を有し、且つ第4の導電層と接する領域を有するように設けられ、第3の開口部の外側における、第2の半導体層の下面端部は、第5の導電層の上面端部と一致又は概略一致する領域を有し、第3の絶縁層は、第1の開口部の内部に位置する領域、第2の開口部の内部に位置する領域、及び第3の開口部の内部に位置する領域を有するように、第1の半導体層上、及び第2の半導体層上に設けられ、第3の導電層は、第1の開口部の内部に位置する領域を有するように、第3の絶縁層上に設けられ、第6の導電層は、第2の開口部の内部に位置する領域、及び第3の開口部の内部に位置する領域を有するように、第3の絶縁層上に設けられる半導体装置である。

[0016]

又は、上記態様において、第1の半導体層、及び第3の絶縁層は、第2の導電層に達する第4の開口部を有し、第4の開口部を埋めるように、プラグが設けられてもよい。

[0017]

又は、上記態様において、第1の半導体層の第1の開口部と重なる領域における、第1のトランジスタのチャンネル長方向の長さの、平面視における最短値は、第2の絶縁層の厚さ以上であってもよい。

[0018]

又は、上記態様において、第2の絶縁層の、第1の開口部における上面端部は、第1の導電層の、平面視において第1の開口部と面する下面端部と一致又は概略一致する領域、及び第2の導電層の、平面視において第1の開口部と面する下面端部と一致又は概略一致する領域を有してもよい。

[0019]

又は、上記態様において、第1の半導体層、及び第2の半導体層は、金属酸化物を含んでもよい。金

属酸化物は、インジウムと、元素Mと、亜鉛と、を有し、元素Mは、アルミニウム、ガリウム、スズ、イットリウム、チタン、バナジウム、クロム、マンガン、鉄、コバルト、ニッケル、ジルコニウム、モリブデン、ハフニウム、タンタル、タングステン、ランタン、セリウム、ネオジウム、マグネシウム、カルシウム、ストロンチウム、バリウム、ホウ素、シリコン、ゲルマニウム、及びアンチモンから選ばれた一種又は複数種であってもよい。

[0020]

又は、本発明の一態様は、第1の絶縁層を形成し、第1の絶縁層上に、第1の導電層を形成し、第1の絶縁層上、及び第1の導電層上に、第2の絶縁層を形成し、第2の絶縁層上に、導電膜を形成し、導電膜に、第1の開口部と、第1の導電層と重なる領域を有する第2の開口部と、をそれぞれ形成し、第2の絶縁層に、第1の開口部と重なる領域を有し、且つ第1の絶縁層に達する第3の開口部、及び第2の開口部と重なる領域を有し、且つ第1の導電層に達する第4の開口部をそれぞれ形成し、第1乃至第4の開口部を覆うように、半導体膜を形成し、半導体膜を加工することにより、導電膜と接する領域を有し、且つ第3の開口部の内部に位置する領域を有する第1の半導体層、並びに、第1の導電層と接する領域、及び導電膜と接する領域を有し、且つ第2の開口部の内部に位置する領域、及び第4の開口部の内部に位置する領域を有する第2の半導体層をそれぞれ形成し、半導体膜の加工後に、導電膜を加工することにより、平面視において第3の開口部を介して対向するように第2の導電層、及び第3の導電層を形成し、且つ第2の開口部を有する第4の導電層を形成し、第2乃至第4の開口部の内部に位置する領域を有するように、第1の半導体層上、第2の半導体層上、及び第2の絶縁層上に第3の絶縁層を形成し、第3の絶縁層上に、第3の開口部の内部に位置する領域を有する第5の導電層、並びに、第2の開口部の内部に位置する領域、及び第4の開口部の内部に位置する領域を有する第6の導電層をそれぞれ形成する半導体装置の作製方法である。

[0021]

又は、上記態様において、半導体膜の形成後、レジストマスクを形成し、レジストマスクの形成後に、半導体膜、及び導電膜を加工し、導電膜の加工後に、レジストマスクを除去してもよい。

[0022]

又は、上記態様において、第1の導電層の形成と同じ工程により、第1の絶縁層上に第7の導電層を形成し、半導体膜、及び導電膜を加工することにより、第2の絶縁層上の第8の導電層と、第8の導電層上の第3の半導体層と、を形成し、第5の導電層、及び第6の導電層の形成と同じ工程により、第3の絶縁層上に第9の導電層を形成し、第5の導電層、第6の導電層、及び第9の導電層の形成後に、第5乃至第9の導電層上に、第4の絶縁層を形成し、第2乃至第4の絶縁層への、第7の導電層に達する第5の開口部の形成、第4の絶縁層、第3の絶縁層、及び第3の半導体層への、第8の導電層に達する第6の開口部の形成、並びに、第4の絶縁層への、第7の開口部の形成を並行して行い、第5の開口部を埋める第1のプラグ、第6の開口部を埋める第2のプラグ、及び第7の開口部を埋める第3のプラグを形成してもよい。

発明の効果

[0023]

本発明の一態様により、微細なサイズのトランジスタを提供できる。又は、チャネル長が長いトランジスタを提供できる。又は、チャネル長が長いトランジスタ及びチャネル長が短いトランジスタを提供できる。又は、飽和性が高いトランジスタを提供できる。又は、電気特性が良好なトランジスタを提供できる。又は、小型の半導体装置又は表示装置を提供できる。又は、配線抵抗が小さい半導体装

置又は表示装置を提供できる。又は、高速に駆動する半導体装置又は表示装置を提供できる。又は、低価格な半導体装置又は表示装置を提供できる。又は、消費電力が低い半導体装置又は表示装置を提供できる。又は、高性能な半導体装置又は表示装置を提供できる。又は、信頼性が高いトランジスタ、半導体装置、又は表示装置を提供できる。又は、高精細な表示装置を提供できる。又は、生産性が高い半導体装置の作製方法、又は表示装置の作製方法を提供できる。又は、作製コストが低い半導体装置の作製方法、又は表示装置の作製方法を提供できる。又は、新規なトランジスタ、半導体装置、表示装置、又はこれらの作製方法を提供できる。

[0024]

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。明細書、図面、請求項の記載から、これら以外の効果を抽出することが可能である。

図面の簡単な説明

[0025]

図1A、及び図1Bは、半導体装置の構成例を示す平面図である。

図2A、及び図2Bは、半導体装置の構成例を示す平面図である。

図3A乃至図3Fは、半導体装置の構成例を示す断面図である。

図4Aは、半導体装置の構成例を示す平面図である。図4B、及び図4Cは、半導体装置の構成例を示す断面図である。

図5Aは、半導体装置の構成例を示す平面図である。図5Bは、半導体装置の構成例を示す断面図である。

図6A、及び図6Bは、半導体装置の構成例を示す平面図である。

図7A、及び図7Bは、半導体装置の構成例を示す平面図である。

図8A乃至図8Cは、半導体装置の構成例を示す断面図である。

図9Aは、半導体装置の構成例を示す平面図である。図9B、及び図9Cは、半導体装置の構成例を示す断面図である。

図10Aは、半導体装置の構成例を示す平面図である。図10Bは、半導体装置の構成例を示す断面図である。

図11A乃至図11Cは、半導体装置の構成例を示す断面図である。

図12A乃至図12Fは、半導体装置の構成例を示す断面図である。

図13Aは、半導体装置の構成例を示す平面図である。図13B、及び図13Cは、半導体装置の構成例を示す断面図である。

図14は、半導体装置の構成例を示す平面図である。

図15A乃至図15Cは、半導体装置の構成例を示す断面図である。

図16A乃至図16Cは、半導体装置の構成例を示す断面図である。

図17Aは、半導体装置の構成例を示す平面図である。図17B、及び図17Cは、半導体装置の構成例を示す断面図である。

図18は、半導体装置の構成例を示す平面図である。

図19A乃至図19Cは、半導体装置の構成例を示す断面図である。

図20Aは、表示装置の構成例を示すブロック図である。図20Bは、画素の構成例を示す平面図である。図20C、及び図20Dは、画素の構成例を示す回路図である。

図 2 1 A、及び図 2 1 Bは、半導体装置の構成例を示す平面図である。

図 2 2 は、半導体装置の構成例を示す断面図である。

図 2 3 A、及び図 2 3 Bは、半導体装置の構成例を示す平面図である。

図 2 4 は、半導体装置の構成例を示す断面図である。

図 2 5 Aは、表示装置の構成例を示すブロック図である。図 2 5 Bは、画素の構成例を示す回路図である。

図 2 6 は、半導体装置の構成例を示す断面図である。

図 2 7 A、及び図 2 7 Bは、半導体装置の構成例を示す平面図である。

図 2 8 A、及び図 2 8 Bは、半導体装置の構成例を示す平面図である。図 2 8 Cは、半導体装置の構成例を示す断面図である。

図 2 9 Aは、半導体装置の構成例を示す平面図である。図 2 9 Bは、半導体装置の構成例を示す断面図である。

図 3 0 は、半導体装置の構成例を示す断面図である。

図 3 1 A、及び図 3 1 Bは、半導体装置の構成例を示す平面図である。

図 3 2 A、及び図 3 2 Bは、半導体装置の構成例を示す平面図である。図 3 2 Cは、半導体装置の構成例を示す断面図である。

図 3 3 Aは、半導体装置の構成例を示す平面図である。図 3 3 Bは、半導体装置の構成例を示す断面図である。

図 3 4 A、及び図 3 4 Bは、半導体装置の構成例を示す断面図である。

図 3 5 A、及び図 3 5 Bは、半導体装置の構成例を示す断面図である。

図 3 6 A乃至図 3 6 Cは、半導体装置の構成例を示す断面図である。

図 3 7 A乃至図 3 7 Cは、半導体装置の構成例を示す断面図である。

図 3 8 A乃至図 3 8 Cは、半導体装置の作製方法の一例を示す断面図である。

図 3 9 A、及び図 3 9 Bは、半導体装置の作製方法の一例を示す断面図である。

図 4 0 A、及び図 4 0 Bは、半導体装置の作製方法の一例を示す断面図である。

図 4 1 A、及び図 4 1 Bは、半導体装置の作製方法の一例を示す断面図である。

図 4 2 A、及び図 4 2 Bは、半導体装置の作製方法の一例を示す断面図である。

図 4 3 A乃至図 4 3 Cは、半導体装置の作製方法の一例を示す断面図である。

図 4 4 A、及び図 4 4 Bは、半導体装置の作製方法の一例を示す断面図である。

図 4 5 A、及び図 4 5 Bは、半導体装置の作製方法の一例を示す断面図である。

図 4 6 A、及び図 4 6 Bは、半導体装置の作製方法の一例を示す断面図である。

図 4 7 A、及び図 4 7 Bは、半導体装置の作製方法の一例を示す断面図である。

図 4 8 A、及び図 4 8 Bは、表示装置の構成例を示す斜視図である。

図 4 9 は、表示装置の構成例を示す断面図である。

図 5 0 は、表示装置の構成例を示す断面図である。

図 5 1 は、表示装置の構成例を示す断面図である。

図 5 2 は、表示装置の構成例を示す断面図である。

図 5 3 は、表示装置の構成例を示す断面図である。

図 5 4 は、表示装置の構成例を示す断面図である。

図 5 5 Aは、表示装置の構成例を示す平面図である。図 5 5 B、及び図 5 5 Cは、表示装置の構成例

を示す断面図である。

図56A、及び図56Bは、表示装置の構成例を示す断面図である。

図57は、表示装置の構成例を示す断面図である。

図58は、表示装置の構成例を示す断面図である。

図59A乃至図59Dは、電子機器の構成例を示す図である。

図60A乃至図60Fは、電子機器の構成例を示す図である。

図61A乃至図61Gは、電子機器の構成例を示す図である。

発明を実施するための形態

[0026]

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

[0027]

なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。また、同様の機能を指す場合には、ハッチングパターンを同じくし、特に符号を付さない場合がある。

[0028]

図面において示す各構成の、位置、大きさ、及び範囲等は、理解の簡単のため、実際の位置、大きさ、及び範囲等を表していない場合がある。このため、開示する発明は、必ずしも、図面に開示された位置、大きさ、及び範囲等に限定されない。

[0029]

本明細書等において、「第1」、「第2」という序数詞は、便宜上用いるものであり、構成要素の数、又は、構成要素の順序（例えば、工程順、又は積層順）を限定するものではない。また、本明細書のある箇所において構成要素に付す序数詞と、本明細書の他の箇所、又は特許請求の範囲において、当該構成要素に付す序数詞と、が一致しない場合がある。

[0030]

本明細書等において、「上に」、「下に」、「上方に」、又は「下方に」等の配置を示す語句は、構成要素同士の位置関係を、図面を参照して説明するために、便宜上用いている場合がある。また、構成要素同士の位置関係は、各構成を描写する方向に応じて適宜変化するものである。従って、本明細書等で説明した語句に限定されず、状況に応じて適切に言い換えることができる。例えば、「導電層の上に位置する絶縁層」の表現では、示している図面の向きを180度回転することによって、「導電層の下に位置する絶縁層」と言い換えることができる。

[0031]

なお、「層」という言葉と、「膜」という言葉とは、場合によっては、又は、状況に応じて、互いに入れ替えることが可能である場合がある。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能である場合がある。また、「絶縁層」という用語を、「絶縁膜」という用語に変更することが可能である場合がある。さらに、「半導体層」という用語を、「半導体膜」という用語に変更することが可能である場合がある。

[0032]

トランジスタは半導体素子の一種であり、電流又は電圧を増幅する機能、及び、導通又は非導通を制御するスイッチング動作等を実現できる。本明細書等におけるトランジスタは、IGFET (Insulated Gate Field Effect Transistor) 及び薄膜トランジスタ (TFT: Thin Film Transistor) を含む。

[0033]

「ソース」と「ドレイン」の機能は、異なる極性のトランジスタを採用する場合、又は回路動作において電流の方向が変化する場合等には入れ替わることがある。このため、本明細書等においては、「ソース」と「ドレイン」の用語は、入れ替えて用いることができるものとする。なお、トランジスタのソース及びドレインの呼称については、ソース端子及びドレイン端子、又はソース電極及びドレイン電極等、状況に応じて適切に言い換えることができる。

[0034]

「ゲート」と「バックゲート」は入れ替えることができる。このため、本明細書等においては、「ゲート」と「バックゲート」の用語は、入れ替えて用いることができるものとする。なお、トランジスタのゲート及びバックゲートの呼称については、ゲート電極及びバックゲート電極等、状況に応じて適切に言い換えることができる。

[0035]

本明細書等において、「電氣的に接続」には、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。例えば、「何らかの電氣的作用を有するもの」には、電極又は配線をはじめ、トランジスタ等のスイッチング素子、抵抗素子、コイル、その他の各種機能を有する素子等が含まれる。

[0036]

本明細書等において、特に断りがない場合、オフ電流とは、トランジスタがオフ状態（非導通状態、遮断状態、ともいう）にあるときのソースドレイン間に流れる電流をいう。オフ状態とは、特に断りがない場合、nチャネル型トランジスタでは、ゲートとソースの間の電圧がしきい値電圧よりも低い（pチャネル型トランジスタでは、しきい値電圧よりも高い）状態をいう。

[0037]

一般に「電圧」とは、ある電位と基準の電位（例えば、接地電位（GND電位）又はソース電位等）との電位差のことを示す場合が多い。また、「電位」は相対的なものであり、基準となる電位によって例えば配線に与える電位が変化する場合がある。よって「電圧」と「電位」は互いに言い換えることが可能な場合がある。

[0038]

本明細書等において「平面形状が概略一致」とは、積層した層と層との間で少なくとも輪郭の一部が重なることをいう。例えば、上層と下層とが、同じマスクパターン、又は一部が同じマスクパターンにより加工された場合を含む。ただし、厳密には輪郭が重なり合わず、上層が下層の内側に位置すること、又は上層が下層の外側に位置することもあり、この場合も「平面形状が概略一致」という場合がある。また、平面形状が一致又は概略一致している場合、端部が揃っている、又は概略揃っているということもできる。

[0039]

本明細書等において、ある構成要素の平面形状とは、その平面視における当該構成要素の輪郭形状の

ことをいう。また平面視とは、当該構成要素の被形成面、又は当該構成要素が形成される支持体（例えば基板）の表面の法線方向から見ることをいう。

[0040]

本明細書等において、テーパ形状とは、構造の側面の少なくとも一部が、基板面又は被形成面に対して傾斜して設けられている形状のことを指す。例えば、傾斜した側面と基板面又は被形成面とがなす角（テーパ角ともいう）が90度未満である領域を有すると好ましい。なお、構造の側面、基板面、及び被形成面は、必ずしも完全に平坦である必要はなく、微小な曲率を有する略平面状、又は微細な凹凸を有する略平面状であってもよい。

[0041]

本明細書等において、メタルマスク、又はFMM（ファインメタルマスク、高精細なメタルマスク）を用いて作製されるデバイスをMM（メタルマスク）構造のデバイスと呼称する場合がある。また、本明細書等において、メタルマスク、又はFMMを用いずに作製されるデバイスをMML（メタルマスクレス）構造のデバイスと呼称する場合がある。なお、MML構造のデバイスは、メタルマスクを用いることなく作製できるため、メタルマスクの合わせ精度に起因する精細度の上限を超えることができる。また、MML構造のデバイスは、メタルマスクの作製に係る設備及びメタルマスクの洗浄工程を不要にできる。また、MML構造のデバイスは、作製コストを低く抑えることが可能となるため、大量生産に適している。

[0042]

本明細書等では、発光波長が異なる発光素子で発光層を作り分ける構造をSBS（Side By Side）構造と呼ぶ場合がある。SBS構造は、発光素子ごとに材料及び構成を最適化できるため、材料及び構成の選択の自由度が高まり、輝度の向上及び信頼性の向上を図ることが容易となる。

[0043]

本明細書等において、正孔又は電子を、「キャリア」といって示す場合がある。具体的には、正孔注入層又は電子注入層を「キャリア注入層」といい、正孔輸送層又は電子輸送層を「キャリア輸送層」といい、正孔ブロック層又は電子ブロック層を「キャリアブロック層」という場合がある。なお、上述のキャリア注入層、キャリア輸送層、及びキャリアブロック層は、それぞれ、断面形状、又は特性等によって明確に区別できない場合がある。また、1つの層が、キャリア注入層、キャリア輸送層、及びキャリアブロック層のうち2つ又は3つの機能を兼ねる場合がある。

[0044]

本明細書等において、発光素子は、一对の電極間にEL層を有する。EL層は、少なくとも発光層を有する。ここで、EL層が有する層（機能層ともいう）として、発光層、キャリア注入層（正孔注入層及び電子注入層）、キャリア輸送層（正孔輸送層及び電子輸送層）、及びキャリアブロック層（正孔ブロック層及び電子ブロック層）等が挙げられる。本明細書等において、受光素子（受光デバイスともいう）は、一对の電極間に少なくとも光电変換層として機能する活性層を有する。本明細書等では、一对の電極の一方を画素電極と記し、他方を共通電極と記すことがある。

[0045]

本明細書等において、犠牲層（マスク層と呼称してもよい）とは、少なくとも発光層（より具体的には、EL層を構成する層のうち、島状に加工される層）の上方に位置し、作製工程中において、当該発光層を保護する機能を有する。

[0046]

本明細書等において、島状とは、同一工程で形成された同一材料を用いた２以上の層が物理的に分離されている状態であることを示す。例えば、島状の発光層とは、当該発光層と、隣接する発光層とが、物理的に分離されている状態であることを示す。

[0047]

本明細書等において、段切れとは、層、膜、又は電極が、被形成面の形状（例えば段差等）に起因して分断されてしまう現象を示す。

[0048]

（実施の形態１）

本実施の形態では、本発明の一態様の半導体装置の構成例について説明する。ここでは特に、トランジスタを有する構成について説明する。

[0049]

本発明の一態様の半導体装置では、下地絶縁層上に、スペーサとして機能する絶縁層が設けられる。なお、以下の説明においては、スペーサとして機能する絶縁層を、単にスペーサという場合があるが、スペーサを絶縁層と読み替えてもよい。スペーサは、下地絶縁層に達する第１の開口部を有する。第１の開口部の内部に位置する領域を有するように、第１のトランジスタが設けられる。

[0050]

スペーサ上には、第１のトランジスタのソース電極（第１のソース電極）、及びドレイン電極（第１のドレイン電極）が設けられる。第１のソース電極、及び第１のドレイン電極は、平面視において第１の開口部を介して対向するように設けられる。

[0051]

第１の開口部の内部に位置する領域を有するように、第１の半導体層が設けられる。第１の半導体層には、第１のトランジスタにおけるチャネル形成領域が設けられる。第１の半導体層は、第１の開口部の底面及び側面に沿って設けることができる。また、第１の半導体層は、例えば第１のソース電極の上面と接する領域、第１のソース電極の側面と接する領域、第１のドレイン電極の上面と接する領域、及び第１のドレイン電極の側面と接する領域を有することができる。第１の半導体層上には、第１の開口部の内部に位置する領域を有するように、第１のトランジスタのゲート絶縁層、及びゲート電極（第１のゲート電極）がこの順に設けられる。第１のゲート電極は、第１の開口部の内部において、ゲート絶縁層を介して第１の半導体層と重なる領域を有するように設けられる。また、第１のゲート電極は、第１の開口部の内部において、第１の半導体層とゲート絶縁層を挟んで対向する領域を有するように設けられる。

[0052]

本明細書等において、ＢがＡに達する開口部を有する場合、当該開口部により露出されたＡの上面を、当該開口部の底面という。また、当該開口部により露出されたＢの側面を、当該開口部の側面という。

[0053]

以上により、第１のトランジスタでは、第１の半導体層において、第１の開口部の底面に沿った方向（横方向ともいう）だけでなく、第１の開口部の側面に沿った方向（縦方向ともいう）も、チャネル長とすることができる。これにより、第１の開口部を設けず、例えばプレーナ型のトランジスタとする場合より、第１のトランジスタの占有面積、具体的には第１の半導体層の占有面積を大きくすることなく、第１のトランジスタのチャネル長を長くできる。よって、サイズが微細で、且つ飽和性が高いトランジスタを実現できる。したがって、例えば本発明の一態様の半導体装置を、発光素子を有す

る表示装置に適用する場合、画素を微細化しつつ、発光素子に流れる電流を制御する駆動トランジスタの飽和性を高くできる。よって、発光素子に流れる電流を安定化させ、発光素子の発光輝度を安定化させることができる。例えば、表示装置に静止画を表示する場合に、発光素子に流れる電流に経時的なばらつきが発生することを抑制し、発光素子の発光輝度に経時的なばらつきが発生することを抑制できる。以上より、本発明の一態様の半導体装置を表示装置に適用することにより、高精細且つ信頼性が高い表示装置を実現できる。

[0054]

ここで、下地絶縁層上には、第1のトランジスタの他、第1のトランジスタと構成が異なる第2のトランジスタを設けることができる。第1のトランジスタ、及び第2のトランジスタは、一部の工程を共通にして形成できる。

[0055]

本発明の一態様の半導体装置に第2のトランジスタを設ける場合、下地絶縁層上に、第2のトランジスタのソース電極（第2のソース電極）及びドレイン電極（第2のドレイン電極）の一方として機能する、第1の導電層が設けられる。

[0056]

第1の導電層上に、上記スペーサが設けられる。当該スペーサは、第1の導電層に達する第2の開口部を有する。第2の開口部は、第1の開口部と同じ工程で形成できる。第2の開口部の内部に位置する領域を有するように、第2のトランジスタが設けられる。

[0057]

スペーサ上には、第2のソース電極及び第2のドレイン電極の他方として機能する、第2の導電層が設けられる。第2の導電層は、第2の開口部と重なる領域を有する第3の開口部を有する。第2の導電層は、第1のソース電極、及び第1のドレイン電極と同じ材料を用いて、同じ工程で形成できる。例えば、第1のソース電極、第1のドレイン電極、及び第2の導電層は、同一の導電膜を加工することにより形成できる。

[0058]

第2の開口部の内部に位置する領域、及び第3の開口部の内部に位置する領域を有するように、第2の半導体層が設けられる。第2の半導体層には、第2のトランジスタにおけるチャンネル形成領域が設けられる。第2の半導体層は、スペーサの第2の開口部における側面、及び第2の導電層の第3の開口部における側面に沿って設けることができる。また、第2の半導体層は、例えば第1の導電層の上面、第2の導電層の側面、及び第2の導電層の上面と接する領域を有することができる。第2の半導体層は、第1の半導体層と同じ材料を用いて、同じ工程で形成できる。例えば、第1の半導体層、及び第2の半導体層は、同一の半導体膜を加工することにより形成できる。

[0059]

第2の半導体層上には、第2の開口部の内部に位置する領域を有するように、第2のトランジスタのゲート絶縁層、及びゲート電極（第2のゲート電極）がこの順に設けられる。第2のゲート電極は、第2の開口部の内部において、第2の半導体層とゲート絶縁層を挟んで対向する領域を有するように設けられる。ここで、第2のトランジスタのゲート絶縁層は、第1のトランジスタのゲート絶縁層と共有できる。また、第2のゲート電極は、第1のゲート電極と同じ材料を用いて、同じ工程で形成できる。例えば、第1のゲート電極、及び第2のゲート電極は、同一の導電膜を加工することにより形成できる。

[0060]

第2のトランジスタでは、スペーサの第2の開口部における側面（縦方向ともいう）に沿った方向はチャンネル長となるが、下地絶縁層の上面と平行な方向はチャンネル長とならない。よって、第2のトランジスタのチャンネル長は、第1のトランジスタのチャンネル長より短くなる。よって、第2のトランジスタは、第1のトランジスタよりオン電流を大きくできる。したがって、第2のトランジスタを、上述の画素に設けられる、例えば画像データを書き込む画素を選択する機能を有する選択トランジスタに適用することにより、本発明の一態様の表示装置を高速に駆動させることができる。

[0061]

本明細書等において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「略平行」又は「概略平行」とは、二つの直線が -30° 以上 30° 以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。また、「略垂直」又は「概略垂直」とは、二つの直線が 60° 以上 120° 以下の角度で配置されている状態をいう。

[0062]

以上より、本発明の一態様の半導体装置では、例えば電気特性が異なる複数のトランジスタを、一部の工程を共通にして形成できる。よって、作製コストを抑えつつ、例えば所望の性能を有する回路を実現しやすくなる。以上より、低価格且つ高い性能を有する半導体装置を実現できる。例えば、本発明の一態様の半導体装置を表示装置に適用する場合、低価格、高精細、高信頼性、且つ高速に駆動する表示装置を実現できる。

[0063]

ここで、本発明の一態様の半導体装置では、第1のソース電極、第1のドレイン電極、及び第2の導電層と、第1の半導体層及び第2の半導体層と、を同じマスクパターンで形成できる。例えば、スペーサ上に導電膜を形成し、当該導電膜に、スペーサに達する上記第3の開口部、及び第4の開口部を形成する。続いて、スペーサに、第4の開口部と重なる領域を有し、且つ下地絶縁層に達する第1の開口部と、及び第3の開口部と重なる領域を有し、且つ第1の導電層に達する第2の開口部と、を形成する。続いて、第1乃至第4の開口部を覆うように、半導体膜を形成する。続いて、フォトリソグラフィ法を用いて、マスクパターンを反映させたレジストマスクを形成し、マスクパターンに基づき半導体膜を加工することにより第1の半導体層、及び第2の半導体層を形成する。その後、同じマスクパターンに基づき導電膜を加工することにより、第1のソース電極、第1のドレイン電極、及び第2の導電層を形成できる。半導体膜及び導電膜の加工は、例えばエッチング法を用いて行うことができる。

[0064]

以上により、例えば上記導電膜の形成後、且つ上記半導体膜の形成前に上記導電膜を加工して第1のソース電極、第1のドレイン電極、及び第2の導電層を形成し、その後半導体膜を形成して加工することにより第1の半導体層、及び第2の半導体層を形成する場合より、第1のトランジスタ、及び第2のトランジスタの作製工程数を少なくできる。よって、本発明の一態様の半導体装置の作製コストを削減できる。よって、本発明の一態様の半導体装置を、低価格な半導体装置とすることができる。

[0065]

上記方法で作製した半導体装置では、第1の開口部の外側における、第1の半導体層の端部、具体的

には下面端部は、第１のソース電極の端部、具体的には上面端部と一致又は概略一致する領域、及び第１のドレイン電極の端部、具体的には上面端部と一致又は概略一致する領域を有することができる。また、第３の開口部の外側における、第２の半導体層の端部、具体的には下面端部は、第２の導電層の端部、具体的には上面端部と一致又は概略一致する領域を有することができる。

[００６６]

なお、上記半導体膜と上記導電膜の、例えば下地絶縁層の上面と水平な方向におけるエッチング速度が異なることにより、上記半導体膜と上記導電膜を同じマスクパターンで加工する場合であっても、第１の開口部の外側における、第１の半導体層の下面端部が、第１のソース電極の上面端部、及び第１のドレイン電極の上面端部と一致しない場合がある。また、第３の開口部の外側における、第２の半導体層の下面端部が、第２の導電層の上面端部と一致しない場合がある。このような場合であっても、第１の開口部の外側における、第１の半導体層の下面端部が、第１のソース電極の上面端部、及び第１のドレイン電極の上面端部と概略一致するということができる。また、第３の開口部の外側における、第２の半導体層の下面端部が、第２の導電層の上面端部と概略一致するということができる。

[００６７]

<半導体装置の構成例１>

図１Ａは、本発明の一態様の半導体装置である半導体装置２０の構成例を示す平面図である。図１Ａにおいて、半導体装置２０の構成要素の一部、例えば一部の絶縁層を省略している。半導体装置の構成例を示す平面図については、以降の図面においても図１Ａと同様に、構成要素の一部を省略する。図１Ｂは、図１Ａから一部の要素を省略した平面図である。図２Ａは、図１Ｂから一部の要素を省略した平面図である。図２Ｂは、図２Ａに示す絶縁層を点線で示した平面図である。

[００６８]

図３Ａは、図１Ａに示す一点鎖線Ａ１－Ａ２における切断面の断面図である。図３Ｂは、図１Ａに示す一点鎖線Ｂ１－Ｂ２における切断面の断面図である。図３Ｃは、図１Ａに示す一点鎖線Ｂ３－Ｂ４における切断面の断面図である。

[００６９]

半導体装置２０において、基板１０２上に絶縁層１０１が設けられ、絶縁層１０１上に絶縁層１１０、トランジスタ１００、及びトランジスタ２００が設けられる。絶縁層１０１は、下地絶縁層として機能する。絶縁層１１０は、スペーサとして機能する。なお、基板１０２と絶縁層１０１の間に、電極、配線、トランジスタ、容量、及び抵抗等のうち少なくとも１つが設けられてもよい。例えば、基板１０２上に下地絶縁層を、当該下地絶縁層上に配線が設けられる層（配線層ともいう）を設け、配線層上に絶縁層１０１を設けてもよい。

[００７０]

トランジスタ１００は、導電層１１３と、導電層１１２ａと、導電層１１２ｂと、絶縁層１０６と、半導体層１０８と、を有する。トランジスタ１００において、導電層１１３はゲート電極として機能し、絶縁層１０６の一部はゲート絶縁層として機能する。導電層１１２ａはソース電極及びドレイン電極の一方として機能し、導電層１１２ｂはソース電極及びドレイン電極の他方として機能する。トランジスタ１００を構成する各層は、単層構造であってもよく、積層構造であってもよい。

[００７１]

絶縁層１１０は、絶縁層１０１に達する開口部１４１を有する。開口部１４１の内部に位置する領域を有するように、トランジスタ１００が設けられる。

[0072]

絶縁層110上に、導電層112a及び導電層112bが設けられる。別言すると、1つのトランジスタ100当たり2つの導電層112が、絶縁層110上に設けられる。以降の説明において、符号“112”にアルファベットが付された導電層をまとめて、導電層112と記載する場合がある。

[0073]

導電層112a及び導電層112bの一部の端部は、開口部141における絶縁層110の端部と一致、又は概略一致することが好ましい。具体的には、絶縁層110の、開口部141における上面端部は、導電層112aの、平面視において開口部141と面する下面端部と一致又は概略一致する領域、及び導電層112bの、平面視において開口部141と面する下面端部と一致又は概略一致する領域を有することが好ましい。これにより、例えばトランジスタ100のチャンネル長を制御しやすくなり、トランジスタ100を所望の電気特性を有するトランジスタとしやすくなる。

[0074]

導電層112aと導電層112bは、同じ材料を用いることができる。また、導電層112aと導電層112bは同じ工程で形成できる。例えば、導電層112a及び導電層112bとなる導電膜を形成し、当該導電膜を加工することにより、導電層112a及び導電層112bを形成できる。

[0075]

半導体層108は、開口部141の内部に位置する領域を有する。半導体層108は、開口部141の底面及び側面に沿って設けることができる。また、半導体層108は、例えば導電層112aの上面と接する領域、導電層112aの側面と接する領域、導電層112bの上面と接する領域、及び導電層112bの側面と接する領域を有することができる。さらに、半導体層108は、絶縁層101の上面と接する領域、及び絶縁層110の側面と接する領域を有することができる。

[0076]

半導体層108の導電層112aと接する領域はソース領域及びドレイン領域の一方として機能し、導電層112bと接する領域はソース領域及びドレイン領域の他方として機能する。半導体層108において、ソース領域とドレイン領域の間にチャンネル形成領域が設けられる。

[0077]

図1Bは、図1Aから導電層113を省略した図である。図1B、及び図3Aに示すように、開口部141の外側における、半導体層108の端部、具体的には下面端部は、導電層112aの端部、具体的には上面端部と一致又は概略一致する領域、及び導電層112bの端部、具体的には上面端部と一致又は概略一致する領域を有する。例えば、導電層112a及び導電層112bと、半導体層108と、を同じマスクパターンで形成することにより、半導体層108の下面端部は、導電層112aの上面端部と一致又は概略一致する領域、及び導電層112bの上面端部と一致又は概略一致する領域を有することができる。

[0078]

例えば、絶縁層110上に導電膜を形成し、当該導電膜に、絶縁層110に達する開口部を形成する。続いて、絶縁層110に、当該開口部と重なる領域を有し、且つ絶縁層101に達する開口部141を形成する。続いて、開口部141を覆うように、半導体膜を形成する。続いて、フォトリソグラフィ法を用いて、マスクパターンを反映させたレジストマスクを形成し、マスクパターンに基づき半導体膜を加工することにより半導体層108を形成する。その後、同じマスクパターンに基づき導電膜を加工することにより、導電層112a、及び導電層112bを形成できる。半導体膜及び導電膜の

加工は、例えばエッチング法を用いて行うことができる。

[0079]

以上により、例えば上記導電膜の形成後、且つ上記半導体膜の形成前に上記導電膜を加工して導電層112a、及び導電層112bを形成し、その後半導体膜を形成して加工することにより半導体層108を形成する場合より、トランジスタ100の作製工程数を少なくできる。よって、半導体装置20の作製コストを削減できる。よって、半導体装置20を、低価格な半導体装置とすることができる。

[0080]

なお、上記半導体膜と上記導電膜の、例えば絶縁層101の上面と水平な方向におけるエッチング速度が異なることにより、上記半導体膜と上記導電膜を同じマスクパターンで加工する場合であっても、開口部141の外側における、半導体層108の下面端部が、導電層112aの上面端部、及び導電層112bの上面端部と一致しない場合がある。このような場合であっても、開口部141の外側における、半導体層108の下面端部が、導電層112aの上面端部、及び導電層112bの上面端部と概略一致するということができる。

[0081]

図2Aは、図1Bからさらに半導体層108を省略した図である。図2Bは、図2Aに示す絶縁層110を点線で示した図である。図2A、及び図2Bに示すように、導電層112a、及び導電層112bは、平面視において開口部141を介して対向するように設けられる。

[0082]

図3(A)、及び図3(B)に示すように、絶縁層106は、開口部141の内部に位置する領域を有するように設けられ、具体的には開口部141を覆うように設けられる。絶縁層106は、半導体層108上、絶縁層110上、及び絶縁層101上に設けられる。絶縁層106は、半導体層108の上面及び側面、導電層112a及び導電層112bの側面、絶縁層110の上面及び側面、並びに絶縁層101の上面に沿った形状を有する。絶縁層106は、半導体層108の上面と接する領域、半導体層108の側面と接する領域、導電層112aの側面と接する領域、導電層112bの側面と接する領域、絶縁層110の上面と接する領域、絶縁層110の側面と接する領域、及び絶縁層101の上面と接する領域を有することができる。

[0083]

導電層113は、開口部141の内部に位置する領域を有するように、絶縁層106上に設けられる。導電層113は、開口部141の外部に位置する第1の領域と、開口部141と重なる第2の領域と、を有することができる。導電層113は、第2の領域において、絶縁層106を介して半導体層108と重なる領域を有するように設けられる。また、導電層113は、開口部141の内部において、半導体層108と絶縁層106を挟んで対向する領域を有するように設けられる。導電層113は、絶縁層106に沿った形状を有し、具体的には絶縁層106の上面、及び開口部141の内部における絶縁層106の側面に沿った形状を有することができる。また、導電層113は、絶縁層106の上面と接する領域、及び開口部141の内部における絶縁層106の側面と接する領域を有することができる。

[0084]

トランジスタ200は、導電層213と、導電層212aと、導電層212bと、絶縁層106と、半導体層208と、を有する。トランジスタ200において、導電層213はゲート電極として機能し、絶縁層106の一部はゲート絶縁層として機能する。導電層212aはソース電極及びドレイン

電極の一方として機能し、導電層 2 1 2 b はソース電極及びドレイン電極の他方として機能する。トランジスタ 2 0 0 を構成する各層は、単層構造であってもよく、積層構造であってもよい。

[0085]

図 1 B では、図 1 A から導電層 2 1 3 を省略している。図 2 A では、図 1 B からさらに半導体層 2 0 8 を省略している。

[0086]

導電層 2 1 2 a は、絶縁層 1 0 1 上に設けられる。絶縁層 1 1 0 は、導電層 2 1 2 a 上に設けられる。絶縁層 1 1 0 は、導電層 2 1 2 a の上面及び側面を覆うように設けられる。絶縁層 1 1 0 は、導電層 2 1 2 a に達する開口部 2 4 1 を有する。開口部 2 4 1 の内部に位置する領域を有するように、トランジスタ 2 0 0 が設けられる。なお、図 3 A、及び図 3 C では、絶縁層 1 1 0 が平坦化されている例を示しているが、絶縁層 1 1 0 が平坦化されていなくてもよい。

[0087]

絶縁層 1 1 0 上に、導電層 2 1 2 b が設けられる。導電層 2 1 2 b は、開口部 2 4 1 と重なる領域を有する開口部 2 4 3 を有する。開口部 2 4 1、及び開口部 2 4 3 の平面形状は、開口部 1 4 1 がとり得る平面形状と同様の形状とすることができる。ここで、開口部 2 4 1 の平面形状と開口部 2 4 3 の平面形状は、互いに一致、又は概略一致させることができる。このとき、導電層 2 1 2 b の開口部 2 4 3 における下面端部は、絶縁層 1 1 0 の開口部 2 4 1 における上面端部と一致、又は概略一致することが好ましい。

[0088]

なお、開口部 2 4 1 の平面形状と開口部 2 4 3 の平面形状とは互いに一致しなくてもよい。また、開口部 2 4 1 と開口部 2 4 3 の平面形状が円形であるとき、開口部 2 4 1 と開口部 2 4 3 は同心円状であってもよく、同心円状でなくてもよい。

[0089]

導電層 2 1 2 b は、導電層 1 1 2 a、及び導電層 1 1 2 b と同じ材料を用いることができる。また、導電層 2 1 2 b は、導電層 1 1 2 a、及び導電層 1 1 2 b と同じ工程で形成できる。例えば、導電層 1 1 2 a、導電層 1 1 2 b、及び導電層 2 1 2 b となる導電膜を形成し、当該導電膜を加工することにより、導電層 1 1 2 a、導電層 1 1 2 b、及び導電層 2 1 2 b を形成できる。

[0090]

半導体層 2 0 8 は、開口部 2 4 1 の内部に位置する領域、及び開口部 2 4 3 の内部に位置する領域を有する。半導体層 2 0 8 は、開口部 2 4 1 の底面及び側面、並びに開口部 2 4 3 の側面に沿って設けることができる。半導体層 2 0 8 は、例えば導電層 2 1 2 a の上面と接する領域、導電層 2 1 2 b の側面と接する領域、及び導電層 2 1 2 b の上面と接する領域を有することができる。さらに、半導体層 2 0 8 は、絶縁層 1 1 0 の側面と接する領域を有することができる。

[0091]

半導体層 2 0 8 の導電層 2 1 2 a と接する領域はソース領域及びドレイン領域の一方として機能し、導電層 2 1 2 b と接する領域はソース領域及びドレイン領域の他方として機能する。半導体層 2 0 8 において、ソース領域とドレイン領域の間にチャンネル形成領域が設けられる。

[0092]

半導体層 2 0 8 は、半導体層 1 0 8 と同じ材料を用いることができる。また、半導体層 2 0 8 は、半導体層 1 0 8 と同じ工程で形成できる。例えば、半導体層 1 0 8、及び半導体層 2 0 8 となる半導体

膜を形成し、当該半導体膜を加工することにより、半導体層 108、及び半導体層 208 を形成できる。

[0093]

図 1 B、図 3 A、及び図 3 C に示すように、開口部 243 の外側における、半導体層 208 の端部、具体的には下面端部は、導電層 212 b の端部、具体的には上面端部と一致又は概略一致する領域を有する。例えば、導電層 212 b と、半導体層 208 と、を同じマスクパターンで形成することにより、半導体層 208 の下面端部は、導電層 212 b の上面端部と一致又は概略一致する領域を有することができる。

[0094]

例えば、絶縁層 110 上に導電膜を形成し、当該導電膜に、前述の絶縁層 110 に達する開口部の他、導電層 212 a に達する開口部 243 を形成する。続いて、絶縁層 110 に、開口部 243 と重なる領域を有し、且つ導電層 212 a に達する開口部 241 を形成する。開口部 241 は、開口部 141 と同一の工程で形成できる。

[0095]

続いて、開口部 141 の他、開口部 241、及び開口部 243 を覆うように、半導体膜を形成する。続いて、フォトリソグラフィ法を用いて、マスクパターンを反映させたレジストマスクを形成し、マスクパターンに基づき半導体膜を加工することにより、半導体層 108 の他、半導体層 208 を形成する。その後、同じマスクパターンに基づき導電膜を加工することにより、導電層 112 a 及び導電層 112 b の他、導電層 212 b を形成できる。前述のように、半導体膜及び導電膜の加工は、例えばエッチング法を用いて行うことができる。

[0096]

以上により、例えば上記導電膜の形成後、且つ上記半導体膜の形成前に上記導電膜を加工して導電層 212 b を形成し、その後半導体膜を形成して加工することにより半導体層 208 を形成する場合より、トランジスタ 200 の作製工程数を少なくできる。トランジスタ 100、及びトランジスタ 200 の作製工程数を少なくすることにより、前述のように半導体装置 20 の作製コストを削減できる。よって、半導体装置 20 を、低価格な半導体装置とすることができる。

[0097]

なお、例えば絶縁層 101 の上面と水平な方向において、上記半導体膜のエッチング速度と、上記導電膜のエッチング速度と、が異なる場合がある。これにより、上記半導体膜と上記導電膜を同じマスクパターンで加工する場合であっても、開口部 243 の外側における、半導体層 208 の下面端部が、導電層 212 b の上面端部と一致しない場合がある。このような場合であっても、開口部 243 の外側における、半導体層 208 の下面端部が、導電層 212 b の上面端部と概略一致するということができる。

[0098]

絶縁層 106 は、開口部 241 の内部に位置する領域、及び開口部 243 の内部に位置する領域を有するように設けられ、具体的には開口部 241、及び開口部 243 を覆うように設けられる。絶縁層 106 は、半導体層 208 上に設けられる。絶縁層 106 は、半導体層 208 の上面及び側面、並びに、導電層 212 b の側面に沿った形状を有する。絶縁層 106 は、半導体層 208 の上面と接する領域、半導体層 208 の側面と接する領域、及び導電層 212 b の側面と接する領域を有することができる。

[0099]

導電層213は、開口部241の内部に位置する領域、及び開口部243の内部に位置する領域を有するように、絶縁層106上に設けられる。導電層213は、開口部241の外部に位置する第3の領域と、開口部241と重なる第4の領域と、を有することができる。例えば、第3の領域は、開口部243の外部に位置する領域とすることができ、第4の領域は、開口部243と重なる領域とすることができる。

[0100]

導電層213は、開口部241の内部において、絶縁層106を半導体層208との間に挟んで対向する領域を有するように設けられる。導電層213は、絶縁層106に沿った形状を有し、具体的には絶縁層106の上面、並びに、開口部241及び開口部243の内部における絶縁層106の側面に沿った形状を有することができる。また、導電層213は、絶縁層106の上面と接する領域、並びに、開口部241及び開口部243の内部における絶縁層106の側面と接する領域を有することができる。

[0101]

導電層213は、導電層113と同じ材料を用いることができる。また、導電層213は、導電層113と同じ工程で形成できる。例えば、導電層113、及び導電層213となる導電膜を形成し、当該導電膜を加工することにより、導電層113、及び導電層213を形成できる。

[0102]

トランジスタ200は、半導体層208よりも上方にゲート電極を有する、いわゆるトップゲート型のトランジスタである。さらに、半導体層208の下面がソース電極及びドレイン電極として機能する導電層212a及び導電層212bと接することから、TGBC (Top Gate Bottom Contact) 型のトランジスタとすることができる。

[0103]

トランジスタ200は、ソース電極、チャネル形成領域を有する層、及びドレイン電極を、重ねて設けることができるため、チャネル形成領域を有する層を平面状に配置した、いわゆるプレーナ型トランジスタと比較して、占有面積を大幅に縮小できる。

[0104]

導電層212a、導電層212b、及び導電層213はそれぞれ、配線として機能でき、トランジスタ200はこれらの配線が重なる領域に設けることができる。つまり、トランジスタ200及び配線を有する回路において、トランジスタ200及び配線の占有面積を縮小できる。したがって、回路の占有面積を縮小でき、小型の半導体装置とすることができる。なお、トランジスタ100が有する導電層112a、導電層112b、及び導電層113も、それぞれ配線として機能できる。

[0105]

トランジスタ100のソース電極及びドレイン電極の一方として機能する導電層112a、並びに、トランジスタ100のソース電極及びドレイン電極の他方として機能する導電層112bは、同じ面上に設けられる。具体的には、導電層112a及び導電層112bは絶縁層110上に設けられる。一方、トランジスタ200のソース電極及びドレイン電極の一方として機能する導電層212a、並びに、トランジスタ200のソース電極及びドレイン電極の他方として機能する導電層212bは、異なる面上に設けられる。具体的には、導電層212aは絶縁層101上に設けられ、導電層212bは絶縁層110上に設けられ、絶縁層110は導電層212aと導電層212bに挟持される。ト

ランジスタ 200 のソース電極及びドレイン電極の一方は、トランジスタ 100 のソース電極及びドレイン電極と異なる面上に設けられ、トランジスタ 200 のソース電極及びドレイン電極の他方は、トランジスタ 100 のソース電極及びドレイン電極と同じ面上に設けられるともいえる。

[0106]

例えば、本発明の一態様の半導体装置を表示装置の画素回路に適用する場合、画素回路の占有面積を縮小でき、高精細の表示装置とすることができる。また、例えば、本発明の一態様の半導体装置を表示装置の駆動回路（例えば、走査線駆動回路及び信号線駆動回路の一方又は双方）に適用する場合、駆動回路の占有面積を縮小でき、狭額縁の表示装置とすることができる。

[0107]

トランジスタ 100、及びトランジスタ 200 を覆うように、絶縁層 109 が設けられる。絶縁層 109 は、導電層 113 上、導電層 213 上、及び絶縁層 106 上に設けられる。絶縁層 109 は、トランジスタ 100、及びトランジスタ 200 の保護層として機能する。

[0108]

絶縁層 109 上に、絶縁層 111 が設けられる。絶縁層 111 は、層間絶縁層として機能する。図 3A、図 3B、及び図 3C では、絶縁層 111 が平坦化されている例を示しているが、絶縁層 111 は平坦化されていなくてもよい。また、絶縁層 109 が平坦化されていてもよい。ここで、絶縁層 101 から絶縁層 111 をまとめて層 120 とする。トランジスタ 100、及びトランジスタ 200 は、層 120 に設けられる。

[0109]

図 3D は、導電層 212a と同じ層に設けられる導電層 311 と、絶縁層 111 上に設けられ、配線として機能する導電層 117a と、これらを電氣的に接続するプラグ 115a と、を示す断面図である。図 3D に示す例において、導電層 311 は絶縁層 101 上に設けられ、絶縁層 110 は絶縁層 101 上、及び導電層 311 上に設けられる。

[0110]

導電層 311 は、導電層 212a そのものとしてすることができる。また、導電層 311 は、導電層 212a と同じ材料を用い、同じ工程で形成された、導電層 212a とは異なる配線とすることができる。

[0111]

絶縁層 110、絶縁層 106、絶縁層 109、及び絶縁層 111 は、導電層 311 に達する開口部 145a を有し、開口部 145a を埋めるようにプラグ 115a が設けられる。導電層 311 と導電層 117a は、プラグ 115a を介して電氣的に接続される。ここで、プラグ 115a は、開口部 145a の側面及び底面に沿って設けられる導電層 115a1 と、導電層 115a1 より開口部 145a の内側に位置し、開口部 145a を埋めるように設けられる導電層 115a2 と、を有することが好ましい。なお、絶縁層 110、絶縁層 106、絶縁層 109、及び絶縁層 111 は層 120 に設けられることから、プラグ 115a も層 120 に設けられる。

[0112]

導電層 115a1 として、水素及び酸素が拡散しにくい導電材料を用いることが好ましい。例えば、タンタル、窒化タンタル、チタン、窒化チタン、ルテニウム、又は酸化ルテニウム等を用いることが好ましい。また、水及び水素等の不純物の透過を抑制する機能を有する導電性材料は、単層又は積層で用いてもよい。このような構成にすることで、水及び水素等の不純物が、プラグ 115a を通じて半導体層 108、及び半導体層 208 に混入することを抑制できる。

[0113]

導電層 115a2 として、導電性が高い導電材料を用いると、プラグ 115a の電気抵抗を低くでき好ましい。例えば、導電層 115a2 としては、タングステン、銅、又はアルミニウムを主成分とする導電性材料等を用いればよい。

[0114]

図 3E は、導電層 112a、導電層 112b、及び導電層 212b と同じ層に設けられる導電層 312 と、半導体層 108、及び半導体層 208 と同じ層に設けられる半導体層 308 と、絶縁層 111 上に設けられ、配線として機能する導電層 117b と、導電層 312 と導電層 117b を電氣的に接続するプラグ 115b と、を示す断面図である。図 3E に示す例において、導電層 312 は絶縁層 110 上に設けられ、半導体層 308 は導電層 312 上に設けられ、絶縁層 106 は絶縁層 110 上、及び半導体層 308 上に設けられる。

[0115]

導電層 312 は、導電層 112a そのもの、導電層 112b そのもの、又は導電層 212b そのものとしてことができ、半導体層 308 は、半導体層 108 そのもの、又は半導体層 208 そのものとしてができる。また、導電層 312 は、導電層 112a、導電層 112b、及び導電層 212b と同じ材料を用い、同じ工程で形成された、導電層 112a、導電層 112b、及び導電層 212b とは異なる配線とすることができる。さらに、半導体層 308 は、半導体層 108、及び半導体層 208 と同じ材料を用い、同じ工程で形成された、半導体層 108、及び半導体層 208 とは異なる半導体層とすることができる。

[0116]

前述のように、導電層 112a、導電層 112b、及び導電層 212b と、半導体層 108 及び半導体層 208 と、は同じマスクパターンで形成できる。よって、導電層 312 と半導体層 308 も、同じマスクパターンで形成できる。したがって、半導体層 308 の端部、具体的には下面端部は、導電層 312 の端部、具体的には上面端部と一致又は概略する領域を有することができる。

[0117]

半導体層 308、絶縁層 106、絶縁層 109、及び絶縁層 111 は、導電層 312 に達する開口部 145b を有し、開口部 145b を埋めるようにプラグ 115b が設けられる。導電層 312 と導電層 117b は、プラグ 115b を介して電氣的に接続される。ここで、プラグ 115b は、開口部 145b の側面及び底面に沿って設けられる導電層 115b1 と、導電層 115b1 より開口部 145b の内側に位置し、開口部 145b を埋めるように設けられる導電層 115b2 と、を有することができる。導電層 115b1 には、前述の導電層 115a1 に用いることができる材料と同様の材料を用いることができる。また、導電層 115b2 には、前述の導電層 115a2 に用いることができる材料と同様の材料を用いることができる。なお、半導体層 308、絶縁層 106、絶縁層 109、及び絶縁層 111 は層 120 に設けられることから、プラグ 115b も層 120 に設けられる。

[0118]

図 3F は、導電層 113、及び導電層 213 と同じ層に設けられる導電層 313 と、絶縁層 111 上に設けられ、配線として機能する導電層 117c と、これらを電氣的に接続するプラグ 115c と、を示す断面図である。図 3F に示す例において、導電層 313 は絶縁層 106 上に設けられ、絶縁層 109 は絶縁層 106 上、及び導電層 313 上に設けられる。

[0119]

導電層 3 1 3 は、導電層 1 1 3 そのもの、又は導電層 2 1 3 そのものとしてすることができる。また、導電層 3 1 3 は、導電層 1 1 3 及び導電層 2 1 3 と同じ材料を用い、同じ工程で形成された、導電層 1 1 3 及び導電層 2 1 3 とは異なる配線とすることができる。

[0 1 2 0]

絶縁層 1 0 9、及び絶縁層 1 1 1 は、導電層 3 1 3 に達する開口部 1 4 5 c を有し、開口部 1 4 5 c を埋めるようにプラグ 1 1 5 c が設けられる。導電層 3 1 3 と導電層 1 1 7 c は、プラグ 1 1 5 c を介して電氣的に接続される。ここで、プラグ 1 1 5 c は、開口部 1 4 5 c の側面及び底面に沿って設けられる導電層 1 1 5 c 1 と、導電層 1 1 5 c 1 より開口部 1 4 5 c の内側に位置し、開口部 1 4 5 c を埋めるように設けられる導電層 1 1 5 c 2 と、を有することが好ましい。導電層 1 1 5 c 1 には、前述の導電層 1 1 5 a 1 に用いることができる材料と同様の材料を用いることができる。また、導電層 1 1 5 c 2 には、前述の導電層 1 1 5 a 2 に用いることができる材料と同様の材料を用いることができる。なお、絶縁層 1 0 9、及び絶縁層 1 1 1 は層 1 2 0 に設けられることから、プラグ 1 1 5 c も層 1 2 0 に設けられる。

[0 1 2 1]

以降の説明において、プラグ 1 1 5 a、プラグ 1 1 5 b、及びプラグ 1 1 5 c に共通の事項を説明する場合は、符号に付加する記号を省略し、プラグ 1 1 5 と表記して説明する場合がある。また、導電層 1 1 7 a、導電層 1 1 7 b、及び導電層 1 1 7 c も同様に、導電層 1 1 7 と表記して説明する場合がある。さらに、開口部 1 4 5 a、開口部 1 4 5 b、及び開口部 1 4 5 c も同様に、開口部 1 4 5 と表記して説明する場合がある。

[0 1 2 2]

導電層 1 1 7 には、導電層 3 1 1、導電層 3 1 2、導電層 3 1 3、及びプラグ 1 1 5 の少なくとも 1 つに用いることができる材料を、単層又は複数積層して用いることができる。例えば、導電層 1 1 7 は、チタンを用いた層と、窒化チタンを用いた層と、アルミニウムを用いた層と、チタンを用いた層と、窒化チタンを用いた層と、がこの順で積層された、5 層積層構造とすることができる。

[0 1 2 3]

図 4 A は、図 1 B に示す開口部 1 4 1、及びその近傍の領域の拡大図である。図 4 B は、図 4 A に示す C 1－C 2 における切断面の断面図である。図 4 C は、図 4 A に示す一点鎖線 D 1－D 2 における切断面の断面図である。図 4 A 乃至図 4 C を用いて、トランジスタ 1 0 0 のチャンネル長、及びチャンネル幅等について説明する。

[0 1 2 4]

図 4 A、図 4 B、及び図 4 C では、トランジスタ 1 0 0 のチャンネル長を長さ L 1 0 0、チャンネル幅を幅 W 1 0 0、開口部 1 4 1 の幅を幅 D 1 4 1、絶縁層 1 1 0 の厚さを厚さ T 1 1 0__1、絶縁層 1 1 0 の開口部 1 4 1 における側面と絶縁層 1 0 1 の上面とのなす角を角度 θ 1 1 0__1 とする。また、図 4 A、図 4 B、及び図 4 C では、長さ L 1 0 0、幅 W 1 0 0、幅 D 1 4 1、及び厚さ T 1 1 0__1 を、両矢印で示している。他の図面においても同様の表記をする。ここで、厚さ T 1 1 0__1 は、図 4 B に示すように、断面視における絶縁層 1 1 0 の被形成面（ここでは、絶縁層 1 0 1 の上面）と導電層 1 1 2 a 又は導電層 1 1 2 b の下面との最短距離とすることができる。

[0 1 2 5]

図 4 B では、半導体層 1 0 8 の領域として、領域 1 0 8 i、及び領域 1 0 8 n a、及び領域 1 0 8 n b を示している。領域 1 0 8 i は、領域 1 0 8 n a と領域 1 0 8 n b の間に設けられる。

[0126]

領域108iの少なくとも一部は、トランジスタ100のチャネル形成領域として機能する。領域108naは、半導体層108の導電層112aと接する領域、及びその近傍の領域である。領域108nbの少なくとも一部は、トランジスタ100のソース領域及びドレイン領域の一方として機能する。領域108nbは、半導体層108の導電層112bと接する領域、及びその近傍の領域である。領域108nbの少なくとも一部は、トランジスタ100のソース領域及びドレイン領域の他方として機能する。領域108na、及び領域108nbの少なくとも一部は、領域108iの少なくとも一部より電気抵抗が低い領域（以下、低抵抗領域とも記す）とすることができる。例えば、領域108na、及び領域108nbの少なくとも一部は、領域108iの少なくとも一部よりキャリア濃度が高い領域、又は酸素欠陥密度が高い領域とすることができる。図4Bでは、領域108iと領域108naの境界の高さが、絶縁層110と導電層112aの境界の高さと一致、又は概略一致し、領域108iと領域108nbの境界の高さが、絶縁層110と導電層112bの境界の高さと一致、又は概略一致する例を示しているが、これらの高さが一致しない、又は概略一致しなくてもよい。

[0127]

本明細書等において、「高さが一致又は概略一致」とは、断面視において、基準となる面（例えば、基板表面等の平坦な面）からの高さが等しいことをいう。例えば、半導体装置の作製プロセスにおいて、平坦化処理を行うことで、単層又は複数の層の表面が露出する場合がある。この場合、平坦化処理の被処理面は、基準となる面からの高さが等しくなる。ただし、当該被処理面は、平坦化処理の際の、処理装置、処理方法、又は被処理面の材料によって、複数の層の高さが厳密には等しくならない場合がある。本明細書等において、この場合も、「高さが一致又は概略一致」という。例えば、基準面に対して、高さが異なる2つの層（ここでは第1の層と、第2の層とする）を有する場合、第1の層の上面の高さと、第2の層の上面の高さと、の差が20nm以下である場合も、「高さが一致又は概略一致」という。

[0128]

トランジスタ100のチャネル長である長さL100は、断面視における絶縁層110の開口部141における側面の長さの2倍と、半導体層108の開口部141と重なる領域における、トランジスタ100のチャネル長方向の長さの成分のうち、開口部141の底面に沿った方向の長さの最短値である長さL100hと、の合計に相当する。長さL100hは、トランジスタ100のチャネル長方向の長さの、平面視における最短値とすることができる。断面視における絶縁層110の、開口部141における側面の長さは、厚さT110_1と、角度 θ 110_1と、で決めることができる。例えば、角度 θ 110_1が90°である場合、“ $L100 = 2 \times T110_1 + L100h$ ”とすることができる。ここで、開口部141の高さは、厚さT110_1とすることができる。なお、図4A、及び図4Bでは、長さL100hを両矢印で示している。

[0129]

以上により、トランジスタ100では、半導体層108において、開口部141の底面に沿った方向（横方向ともいう）だけでなく、開口部141の側面に沿った方向（縦方向ともいう）もチャネル長とすることができる。これにより、開口部141を設けず、例えばプレーナ型のトランジスタとする場合より、トランジスタ100の占有面積、具体的には半導体層108の占有面積を大きくすることなく、トランジスタ100のチャネル長を長くできる。よって、サイズが微細で、且つ飽和性が高いトランジスタを実現できる。したがって、例えば半導体装置20を、発光素子を有する表示装置に適

用する場合、画素を微細化しつつ、発光素子に流れる電流を制御する駆動トランジスタの飽和性を高くできる。よって、発光素子に流れる電流を安定化させ、発光素子の発光輝度を安定化させることができる。例えば、表示装置に静止画を表示する場合に、発光素子に流れる電流に経時的なばらつきが発生することを抑制し、発光素子の発光輝度に経時的なばらつきが発生することを抑制できる。以上より、半導体装置20を表示装置に適用することにより、高精細且つ信頼性が高い表示装置を実現できる。なお、トランジスタ100は、縦方向と、横方向との双方に電流が流れる構成であるため、VLFET (Vertical Lateral Field Effect Transistor) ということができる。

[0130]

前述のように、トランジスタ100のチャネル長である長さL100は、開口部141の底面に沿った成分と、開口部141の側面に沿った成分と、を有する。ここで、長さL100の、開口部141の底面に沿った成分の長さが、開口部141の側面に沿った成分の長さより長いと、開口部141の底面に沿った成分の長さL100への寄与を、開口部141の側面に沿った成分の長さL100への寄与より大きくできる。半導体装置20にトランジスタ100を複数設ける場合、例えば開口部141の幅D141はトランジスタ100毎に異ならせることができる。一方、開口部141の高さとすることができる厚さT110_1は複数のトランジスタ100間で等しく、又は概略等しくなる。よって、開口部141の底面に沿った成分の長さL100への寄与を大きくすることにより、複数のトランジスタ100間で長さL100を制御しやすくなり、具体的には長さL100を異ならせやすくなる。これにより、半導体装置20が有する回路において、例えば電気特性が異なる複数のトランジスタ100を作り分けやすくなる。よって、例えば所望の性能を有する回路を実現しやすくなる。以上より、高い性能を有する半導体装置を実現できる。

[0131]

例えば、トランジスタ100のチャネル長の、開口部141の底面に沿った成分の長さは、トランジスタ100のチャネル長の、開口部141の側面に沿った成分の長さ以上とすることが好ましい。又は、幅D141を厚さT110_1以上とすることが好ましい。

[0132]

また、長さL100の、開口部141の底面に沿った成分の長さが、開口部141の側面に沿った成分の長さより短くてもよい。例えば、幅D141が、厚さT110_1の2倍より小さくてもよい。このような場合、幅D141を小さくしつつ、トランジスタ100のチャネル長を長くできる。よって、トランジスタ100を、微細且つ飽和性が高いトランジスタとすることができる。

[0133]

厚さT110_1は、例えば、0.1nm以上3 μ m未満、0.1nm以上2.5 μ m以下、1nm以上2 μ m以下、1nm以上1.5 μ m以下、5nm以上1.2 μ m以下、5nm以上1 μ m以下、7nm以上500nm以下、7nm以上300nm以下、10nm以上200nm以下、10nm以上100nm以下、又は10nm以上50nm以下とすることができる。

[0134]

フォトリソグラフィ法を用いて開口部141を形成する場合、開口部141の幅D141は露光装置の限界解像度以上となる。幅D141は、例えば、200nm以上5 μ m未満、200nm以上4.5 μ m以下、200nm以上4 μ m以下、300nm以上3.5 μ m以下、300nm以上3 μ m以下、400nm以上2.5 μ m以下、400nm以上2 μ m以下、500nm以上1.5 μ m以下、

又は500nm以上1 μ m以下とすることができる。

[0135]

図1A乃至図2B、及び図4Aでは、開口部141の平面形状が円形である例を示す。このとき、幅D141は当該円の直径に相当することができる。なお、本明細書等において、円形とは真円に限定されない。

[0136]

開口部141の平面形状に限定はなく、例えば、円形、楕円形、三角形、四角形（長方形、菱形、及び正方形を含む）、五角形等の多角形、又はこれら多角形の角が丸い形状とすることができる。なお、多角形は、凹多角形（少なくとも一つの内角が180度を超える多角形）及び凸多角形（全ての内角が180度以下である多角形）のどちらであってもよい。

[0137]

本明細書等において、絶縁層に設けられる開口部の平面形状とは、当該絶縁層の当該開口部における上面端部の形状、又は下面端部の形状を指す。例えば、開口部141の平面形状とは、絶縁層110の開口部141における上面端部の形状、又は下面端部の形状を指す。

[0138]

絶縁層110の開口部141における側面は、垂直形状であることが好ましく、例えば絶縁層101の上面に対して垂直であることが好ましい。つまり、角度 θ_{110_1} は、80°以上100°以下が好ましく、85°以上95°以下がより好ましい。これにより、トランジスタ100を微細なサイズのトランジスタとすることができる。よって、半導体装置20に設けられる回路の占有面積を小さくでき、半導体装置20を小型の半導体装置とすることができる。なお、絶縁層110の開口部141における側面は、テーパ形状であってもよい。例えば、角度 θ_{110_1} が、90°未満、又は80°未満であってもよい。この場合、絶縁層110上に形成される層（例えば、半導体層108）の被覆性を高めることができる。また、角度 θ_{110_1} が小さいほど、長さL100を大きくでき、角度 θ_{110_1} が大きいほど、長さL100を小さくできる。

[0139]

なお、例えば図3A乃至図3Cでは、断面視において、絶縁層110の開口部141における側面の形状が直線である構成を示しているが、本発明の一態様はこれに限られない。断面視において、絶縁層110の開口部141における側面の形状は曲線であってもよく、また側面の形状が直線である領域と曲線である領域の双方を有してもよい。

[0140]

トランジスタ100のチャネル幅である幅W100は、開口部141の底面に沿った長さL100の成分と垂直な方向における、半導体層108の長さに相当する。なお、本明細書等において、開口部141の底面に沿った長さL100の成分と垂直な方向における、半導体層108の長さを、半導体層108の幅という。つまり、幅W100を、半導体層108の幅とすることができる。

[0141]

例えば開口部141の平面形状が円形である場合、半導体層108の幅が幅D141と比して小さいと、長さL100hと、幅D141と、の差を小さくできる。これにより、幅D141が大きくなることを抑制しつつ、長さL100hを長くできる。よって、トランジスタ100を、微細且つ飽和性が高いトランジスタとすることができる。

[0142]

図4Bに示す例において、導電層113の、開口部141と重なる領域である第2の領域における上面を、上面126とする。また、絶縁層110の上面を、上面S110とする。以降の図面においても同様の記載をする場合がある。

[0143]

上面126は、例えば開口部141の内部に設けることができる。上面126は、断面視において、例えば絶縁層101の上面と上面S110の間に設けることができる。なお、上面126を、断面視において、上面S110と導電層112aの上面の間に設けてもよく、上面S110と導電層112bの上面の間に設けてもよい。上面126は、平坦部を有することができる。

[0144]

また、図4Bに示す例において、導電層113の、開口部141の外部に位置する領域である第1の領域における厚さを厚さT113Oとし、第2の領域における厚さを厚さT113Iとする。厚さT113Oは、断面視における、導電層113の、開口部141の外部に位置する被形成面（ここでは、導電層112a上又は導電層112b上における絶縁層106の上面）と、導電層113の上面と、の最短距離とすることができる。厚さT113Iは、導電層113の、開口部141の内部に位置する被形成面（ここでは、開口部141の内部における絶縁層106の上面）と、上面126と、の最短距離とすることができる。図4Bでは、厚さT113O及び厚さT113Iを、両矢印で示している。

[0145]

厚さT113Oと厚さT113Iは、一致又は概略一致させることができる。例えば、導電層113が開口部141を好適に被覆している場合、厚さT113Oと厚さT113Iは、一致又は概略一致させることができる。

[0146]

図5Aは、図1Aに示すトランジスタ200の拡大図である。図5Bは、図5Aに示す一点鎖線C3-C4における切断面の断面図である。図5A、及び図5Bを用いて、トランジスタ200のチャンネル長、及びチャンネル幅等について説明する。

[0147]

図5A、及び図5Bでは、トランジスタ200のチャンネル長を長さL200、チャンネル幅を幅W200、開口部241の幅を幅D241、導電層212aと重なる領域における絶縁層110の厚さを厚さT110_2とする。また、図5A、及び図5Bでは、長さL200、幅W200、幅D241、及び厚さT110_2を、両矢印で示している。他の図面においても同様の表記をする。ここで、厚さT110_2は、図5Bに示すように、断面視における導電層212aの被形成面（ここでは、導電層212aの上面）と導電層212bの下面との最短距離とすることができる。

[0148]

図5Bでは、半導体層208の領域として、領域208i、領域208na、及び領域208nbを示している。領域208iは、領域208naと領域208nbの間に設けられる。

[0149]

領域208iの少なくとも一部は、トランジスタ200のチャンネル形成領域として機能する。領域208naは、半導体層208の導電層212aと接する領域、及びその近傍の領域である。領域208naの少なくとも一部は、トランジスタ200のソース領域及びドレイン領域の一方として機能する。領域208nbは、半導体層208の導電層212bと接する領域、及びその近傍の領域であ

る。領域208nbの少なくとも一部は、トランジスタ200のソース領域及びドレイン領域の他方として機能する。領域208na、及び領域208nbの少なくとも一部は、領域208iの少なくとも一部より電気抵抗が低い領域（以下、低抵抗領域とも記す）とすることができる。例えば、領域208na、及び領域208nbの少なくとも一部は、領域208iの少なくとも一部よりキャリア濃度が高い領域、又は酸素欠陥密度が高い領域とすることができる。図5Bでは、領域208iと領域208nbの境界の高さが、絶縁層110と導電層212bの境界の高さと一致、又は概略一致する例を示しているが、これらの高さが一致しない、又は概略一致しなくてもよい。

[0150]

トランジスタ200のチャンネル長である長さL200は、断面視における絶縁層110の開口部241における側面の長さに相当する。トランジスタ200は、縦チャンネル型トランジスタ、又はVFET(Vertical Field Effect Transistor)とすることができる。

[0151]

長さL200は、絶縁層110の厚さT110__2、及び絶縁層110の開口部241における側面と絶縁層110の被形成面（ここでは、導電層212aの上面）とのなす角の角度 $\theta 110_2$ で決まる。したがって、長さL200を露光装置の限界解像度よりも小さな値とすることができ、微細なサイズのトランジスタを実現できる。具体的には、従来のフラットパネルディスプレイの量産用の露光装置（例えば、最小線幅 $2\mu\text{m}$ 又は $1.5\mu\text{m}$ 程度）では実現できなかった、極めて小さいチャンネル長のトランジスタを実現できる。また、最先端のLSI技術で用いられる極めて高額な露光装置を用いることなく、チャンネル長が10nm未満のトランジスタを実現することもできる。

[0152]

長さL200は、例えば、0.1nm以上 $3\mu\text{m}$ 未満、0.1nm以上 $2.5\mu\text{m}$ 以下、1nm以上 $2\mu\text{m}$ 以下、1nm以上 $1.5\mu\text{m}$ 以下、5nm以上 $1.2\mu\text{m}$ 以下、5nm以上 $1\mu\text{m}$ 以下、7nm以上500nm以下、7nm以上300nm以下、10nm以上200nm以下、10nm以上100nm以下、又は10nm以上50nm以下とすることができる。

[0153]

長さL200を小さくすることにより、トランジスタ200のオン電流を大きくできる。トランジスタ200を用いることにより、高速動作が可能な回路を作製できる。さらには回路の占有面積を縮小することが可能となる。したがって、小型の半導体装置とすることができる。例えば、本発明の一態様の半導体装置を大型の表示装置、又は高精細な表示装置に適用する際、配線数が増加した場合においても、各配線における信号遅延を低減でき、表示ムラを抑制できる。また、回路の占有面積を縮小できるため、表示装置の額縁を狭くできる。

[0154]

絶縁層110の厚さT110__2及び角度 $\theta 110_2$ を調整することにより、長さL200を制御できる。

[0155]

絶縁層110の開口部241における側面は、開口部141における側面と同様に、垂直であることが好ましく、例えば絶縁層110に対して垂直であることが好ましい。なお、絶縁層110の開口部241における側面は、テーパ形状であってもよい。また、絶縁層110の開口部241における側面の形状は、開口部141における側面の形状と同様に断面視において直線であってもよいし、曲線であってもよいし、また側面の形状が直線である領域と曲線である領域の双方を有してもよい。

[0156]

ここで、導電層212bは、開口部241の内部に設けないことが好ましい。具体的には、導電層212bは、絶縁層110の開口部241における側面と接する領域を有さないことが好ましい。導電層212bを開口部241の内側にも設ける場合、トランジスタ200の長さL200が絶縁層110の側面の長さより短くなり、長さL200の制御が困難になってしまう場合がある。したがって、開口部243の平面形状が開口部241の平面形状と一致、又は、上面視において開口部243が開口部241を包含することが好ましい。

[0157]

図1A乃至図2B、及び図5Aでは、開口部241の平面形状が円形である例を示す。このとき、幅D241は当該円の直径に相当し、トランジスタ200のチャネル幅である幅W200は当該円の円周の長さとなる。すなわち、幅W200は、 $\pi \times D241$ となる。このように、開口部241の平面形状が円形であると、他の形状に比べて、幅W200の小さいトランジスタを実現できる。

[0158]

開口部241の幅D241は、深さ方向で変化する場合がある。開口部241の幅D241として、例えば、断面視における絶縁層110の最も高い位置の径、最も低い位置の径、及びこれらの中間点の位置の径の3つの平均値を用いることができる。又は、開口部241の径として、例えば、断面視における絶縁層110の最も高い位置の径、最も低い位置の径、又はこれらの中間点の位置の径の、いずれかの径を用いてもよい。

[0159]

フォトリソグラフィ法を用いて開口部241を形成する場合、開口部241の幅D241は露光装置の限界解像度以上となる。幅D241は、例えば、200nm以上5 μ m未満、200nm以上4.5 μ m以下、300nm以上4 μ m以下、300nm以上3.5 μ m以下、400nm以上3 μ m以下、400nm以上2.5 μ m以下、500nm以上2 μ m以下、500nm以上1.5 μ m以下、又は500nm以上1 μ m以下とすることができる。

[0160]

幅D241は、小さいことが好ましく、図1Aに示すように、例えばチャネル長を大きくすることが好ましいトランジスタ100が設けられる開口部141の幅D141以下であることが好ましい。これにより、トランジスタ200を、微細なサイズのトランジスタとすることができる。また、トランジスタ100のチャネル長は幅D141に依存することから、幅D141を幅D241より大きくすることにより、トランジスタ100のチャネル長を確保しつつ、トランジスタ200を微細なサイズのトランジスタとすることができる。

[0161]

例えば図5Bでは、トランジスタ200において、半導体層208、絶縁層106、及び導電層213が、開口部241及び開口部243を覆う例を示しているが、本発明の一態様はこれに限られない。絶縁層110と、導電層212aとによって段差が形成され、当該段差に沿って半導体層208、絶縁層106及び導電層213が設けられる構成としてもよい。

[0162]

チャネル長の長いトランジスタ100と、チャネル長の短いトランジスタ200を、一部の工程を共通にして絶縁層101上に形成できる。例えば、高い飽和性を求められるトランジスタにトランジスタ100を適用し、大きいオン電流が求められるトランジスタにトランジスタ200を適用するこ

とにより、高い性能の半導体装置とすることができる。このように、本発明の一態様の半導体装置においては、同一基板上で、チャンネル長の異なるトランジスタを、絶縁層の厚さ、及びパターン形成により、自由に設計できるといった優れた効果を奏する。なお、本発明の一態様の半導体装置には、トランジスタ１００又はトランジスタ２００の一方が設けられなくてもよい。例えば、トランジスタ１００を本発明の一態様の半導体装置ということができ、またトランジスタ２００を本発明の一態様の半導体装置ということができる。

[０１６３]

図５Ｂに示す例において、導電層２１３の、開口部２４１と重なる領域である第４の領域における上面を、上面２２６とする。上面２２６は、例えば開口部２４１の内部、又は開口部２４３の内部に設けることができる。上面２２６は、断面視において、例えば絶縁層１０１の上面と上面Ｓ１１０の間、又は上面Ｓ１１０と導電層２１２ｂの上面の間に設けることができる。図５Ｂでは、上面２２６が、断面視において上面Ｓ１１０と導電層２１２ｂの上面の間に設けられる、すなわち上面２２６が開口部２４３の内部に設けられる例を示している。上面２２６は、平坦部を有することができる。

[０１６４]

また、図５Ｂに示す例において、導電層２１３の、開口部２４１の外部に位置する領域である第３の領域における厚さを厚さＴ２１３Ｏとし、第４の領域における厚さを厚さＴ２１３Ｉとする。厚さＴ２１３Ｏは、断面視における、導電層２１３の、開口部２４１の外部に位置する被形成面（ここでは、導電層２１２ｂ上における絶縁層１０６の上面）と、導電層２１３の上面と、の最短距離とすることができる。厚さＴ２１３Ｉは、断面視における、導電層２１３の、開口部２４１の内部に位置する被形成面（ここでは、開口部２４１の内部における絶縁層１０６の上面）と、上面２２６と、の最短距離とすることができる。図５Ｂでは、厚さＴ２１３Ｏ及び厚さＴ２１３Ｉを、両矢印で示している。

[０１６５]

厚さＴ２１３Ｏと厚さＴ２１３Ｉは、一致又は概略一致させることができる。例えば、導電層２１３が開口部２４１及び開口部２４３を好適に被覆している場合、厚さＴ２１３Ｏと厚さＴ２１３Ｉは、一致又は概略一致させることができる。

[０１６６]

図６Ａ、図６Ｂ、図７Ａ、図７Ｂ、図８Ａ、図８Ｂ、図８Ｃ、図９Ａ、図９Ｂ、図９Ｃ、図１０Ａ、及び図１０Ｂは、それぞれ図１Ａ、図１Ｂ、図２Ａ、図２Ｂ、図３Ａ、図３Ｂ、図３Ｃ、図４Ａ、図４Ｂ、図４Ｃ、図５Ａ、及び図５Ｂに示す構成の変形例である。図６Ａ乃至図１０Ｂでは、導電層１１３が、開口部１４１を埋めるように、絶縁層１０６上に設けられる例を示している。導電層１１３は、開口部１４１の外部に位置する第１の領域と、開口部１４１と重なる第２の領域と、を有することができる。導電層１１３は、第２の領域において、絶縁層１０６を介して半導体層１０８と重なる領域を有するように設けられる。

[０１６７]

導電層１１３は、第２の領域に部分１２７を有する。ここで、部分１２７は、導電層１１３の、第２の領域に位置する上面のうち、高さが最も低い部分とする。部分１２７は、極小部、又は凹部ともいう。当該高さは、例えば基板１０２の上面、又は下地絶縁層として機能する絶縁層１０１の上面を基準とした高さとするすることができる。

[０１６８]

導電層２１３は、開口部２４１、及び開口部２４３を埋めるように、絶縁層１０６上に設けられる。

導電層 2 1 3 は、開口部 2 4 1 の外部に位置する第 3 の領域と、開口部 2 4 1 と重なる第 4 の領域と、を有することができる。例えば、第 3 の領域は、開口部 2 4 3 の外部に位置する領域とすることができる。第 4 の領域は、開口部 2 4 3 と重なる領域とすることができる。

[0 1 6 9]

導電層 2 1 3 は、第 4 の領域に部分 2 2 7 を有する。ここで、部分 2 2 7 は、導電層 2 1 3 の、第 4 の領域に位置する上面のうち、高さが最も低い部分とする。部分 2 2 7 は、極小部、又は凹部ともいう。当該高さは、例えば基板 1 0 2 の上面、又は下地絶縁層として機能する絶縁層 1 0 1 の上面を基準とした高さとするすることができる。

[0 1 7 0]

前述のように、導電層 1 1 3 は、開口部 1 4 1 を埋めるように設けられる。また、導電層 1 1 3 は、開口部 1 4 1 の外部に位置する第 1 の領域と、開口部 1 4 1 と重なる第 2 の領域と、を有することができる。さらに、導電層 1 1 3 は、第 2 の領域に部分 1 2 7 を有することができる。前述のように、部分 1 2 7 は、導電層 1 1 3 の、第 2 の領域に位置する上面のうち、高さが最も低い部分である。

[0 1 7 1]

部分 1 2 7 は、開口部 1 4 1 に起因して形成される。部分 1 2 7 は、平面視において、例えば開口部 1 4 1 の中心、又はその近傍に形成される。例えば、開口部 1 4 1 の平面形状が円形である場合、円の中心、又はその近傍に部分 1 2 7 が形成される場合がある。

[0 1 7 2]

部分 1 2 7 は、絶縁層 1 1 0 の上面 S 1 1 0 より高い位置に設けることができる。なお、部分 1 2 7 は、断面視において、上面 S 1 1 0 と導電層 1 1 2 a の上面の間に設けられてもよく、上面 S 1 1 0 と導電層 1 1 2 b の上面の間に設けられてもよい。また、部分 1 2 7 は、断面視において、導電層 1 1 2 a 上又は導電層 1 1 2 b 上における、半導体層 1 0 8 の上面と絶縁層 1 0 6 の上面の間に設けられてもよい。また、部分 1 2 7 は、断面視において、導電層 1 1 2 a 上又は導電層 1 1 2 b 上における、絶縁層 1 0 6 の上面と絶縁層 1 0 9 の上面の間に設けられてもよい。さらに、部分 1 2 7 は、断面視において、導電層 1 1 2 a 上又は導電層 1 1 2 b 上における、絶縁層 1 0 9 の上面と絶縁層 1 1 1 の上面の間に設けられてもよい。なお、部分 1 2 7 が、断面視において、絶縁層 1 0 1 の上面と上面 S 1 1 0 の間に設けられる場合もある。つまり、部分 1 2 7 が、開口部 1 4 1 の内部に位置してもよい。

[0 1 7 3]

図 9 B では、部分 1 2 7 における導電層 1 1 3 の厚さ T 1 1 3 I と、第 1 の領域における導電層 1 1 3 の厚さ T 1 1 3 O と、を両矢印で示している。厚さ T 1 1 3 I は、厚さ T 1 1 3 O より厚くできる。ここで、厚さ T 1 1 3 I は、断面視における、導電層 1 1 3 の、開口部 1 4 1 の内部に位置する被形成面（ここでは、開口部 1 4 1 の内部における絶縁層 1 0 6 の上面）と部分 1 2 7 の最短距離とすることができる。また、厚さ T 1 1 3 O は、断面視における、導電層 1 1 3 の、開口部 1 4 1 の外部に位置する被形成面（ここでは、導電層 1 1 2 a 上又は導電層 1 1 2 b 上における絶縁層 1 0 6 の上面）と、導電層 1 1 3 の上面と、の最短距離とすることができる。

[0 1 7 4]

前述のように、幅 D 2 4 1 は、小さいことが好ましく、例えば幅 D 1 4 1 以下であることが好ましい。幅 D 1 4 1 を幅 D 2 4 1 より大きくする場合、部分 1 2 7 は、部分 2 2 7 より低い位置に設けられる場合がある。例えば、部分 1 2 7 は、部分 2 2 7 より低い位置に設けられる場合がある。また、部分

127は、部分227より低い位置に設けられる場合がある。

[0175]

前述のように、導電層213は、開口部241、及び開口部243を埋めるように設けられる。また、導電層213は、開口部241の外部に位置する第3の領域と、開口部241と重なる第4の領域と、を有することができる。さらに、導電層213は、第4の領域に部分227を有することができる。前述のように、部分227は、導電層213の、第4の領域に位置する上面のうち、高さが最も低い部分である。

[0176]

部分227は、開口部241、及び開口部243に起因して形成される。部分227は、平面視において、例えば開口部241の中心、又はその近傍に形成される。例えば、開口部241の平面形状が円形である場合、円の中心、又はその近傍に部分227が形成される場合がある。

[0177]

部分227は、絶縁層110の上面S110より高い位置に設けることができる。例えば、部分227は、上面S110より高い位置に設けることができる。なお、部分227は、断面視において、上面S110と導電層212bの上面の間に設けられてもよい。つまり、部分227は、開口部243の内部に位置してもよい。この場合、導電層213は開口部243の内部に位置する領域を有するが、開口部243を埋めるようには設けられないといえることができる。なお、部分227が開口部243の内部に位置する場合であっても、開口部243を埋めるように導電層213が設けられるといってもよい。

[0178]

また、部分227は、断面視において、導電層212b上における、半導体層208の上面と絶縁層106の上面の間に設けられてもよい。また、部分227は、断面視において、導電層212b上における、絶縁層106の上面と絶縁層109の上面の間に設けられてもよい。さらに、部分227は、断面視において、導電層212b上における、絶縁層109の上面と絶縁層111の上面の間に設けられてもよい。なお、部分227が、断面視において、導電層212aの上面と上面S110の間に設けられる場合もある。つまり、部分227が、開口部241の内部に位置してもよい。

[0179]

図10Bでは、部分227における導電層213の厚さT213Iと、第3の領域における導電層213の厚さT213Oと、を両矢印で示している。厚さT213Iは、厚さT213Oより厚くできる。ここで、厚さT213Iは、断面視における、導電層213の、開口部241の内部に位置する被形成面（ここでは、開口部241の内部における絶縁層106の上面）と部分227の最短距離とすることができる。また、厚さT213Oは、断面視における、導電層213の、開口部241の外部に位置する被形成面（ここでは、導電層212b上における絶縁層106の上面）と、導電層213の上面と、の最短距離とすることができる。

[0180]

次に、トランジスタ100、及びトランジスタ200の詳細な構成について、説明する。

[0181]

半導体層108、及び半導体層208に用いる半導体材料は、特に限定されない。例えば、単体元素よりなる半導体、又は化合物半導体を用いることができる。単体元素よりなる半導体として、例えば、シリコン、及びゲルマニウムが挙げられる。化合物半導体として、例えば、ヒ化ガリウム、及びシリ

コンゲルマニウムが挙げられる。その他、化合物半導体として、例えば、有機半導体、窒化物半導体、及び酸化物半導体（OS: Oxide Semiconductor）が挙げられる。なお、これらの半導体材料に、ドーパントとして不純物が含まれてもよい。

[0182]

半導体層108、及び半導体層208に用いる半導体材料の結晶性は特に限定されず、非晶質半導体、単結晶半導体、又は単結晶以外の結晶性を有する半導体（微結晶半導体、多結晶半導体、又は一部に結晶領域を有する半導体）のいずれを用いてもよい。単結晶半導体又は結晶性を有する半導体を用いると、トランジスタ100、及びトランジスタ200の特性劣化を抑制できるため好ましい。

[0183]

半導体層108、及び半導体層208はそれぞれ、シリコンを用いることができる。シリコンとして、単結晶シリコン、多結晶シリコン、微結晶シリコン、及び非晶質シリコンが挙げられる。多結晶シリコンとして、例えば、低温ポリシリコン（LTPS: Low Temperature Poly Silicon）が挙げられる。チャネル形成領域に非晶質シリコンを用いたトランジスタは、大型のガラス基板上に形成でき、低コストで作製できる。チャネル形成領域に多結晶シリコンを用いたトランジスタは、電界効果移動度が高く、高速動作が可能である。また、チャネル形成領域に微結晶シリコンを用いたトランジスタは、非晶質シリコンを用いたトランジスタより電界効果移動度が高く、高速動作が可能である。

[0184]

本明細書等において、チャネル形成領域にシリコンを用いたトランジスタを、Siトランジスタという。

[0185]

半導体層108、及び半導体層208はそれぞれ、半導体特性を示す金属酸化物（酸化物半導体ともいう）を有することが好ましい。

[0186]

半導体層108、及び半導体層208に用いる金属酸化物のバンドギャップはそれぞれ、2.0 eV以上が好ましく、2.5 eV以上がより好ましい。

[0187]

酸化物半導体を用いたトランジスタ（以下、OSトランジスタと記す）は、非晶質シリコンを用いたトランジスタと比較して電界効果移動度が極めて高い。また、OSトランジスタは、オフ電流が著しく小さく、当該トランジスタと直列に接続された容量に蓄積した電荷を長期間に亘って保持することが可能である。また、OSトランジスタを適用することで、半導体装置の消費電力を低減できる。

[0188]

絶縁層110は、1層以上の無機絶縁膜を有することが好ましい。無機絶縁膜に用いることができる材料として、例えば、酸化物、窒化物、酸化窒化物、及び窒化酸化物が挙げられる。酸化物として、例えば、酸化シリコン、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタル、酸化セリウム、ガリウム亜鉛酸化物、及びハフニウムアルミネートが挙げられる。窒化物として、例えば、窒化シリコン、及び窒化アルミニウムが挙げられる。酸化窒化物として、例えば、酸化窒化シリコン、酸化窒化アルミニウム、酸化窒化ガリウム、酸化窒化イットリウム、及び酸化窒化ハフニウムが挙げられる。窒化酸化物として、例えば窒化酸化シリコン、及び窒化酸化アルミニウムが挙げ

られる。特に、絶縁層 110 として窒化シリコンを用いると、絶縁層 110 を不純物が透過しにくい層とすることができるため、トランジスタ 100 のチャネル形成領域、及びトランジスタ 200 への不純物の混入を抑制できる。よって、トランジスタ 100、及びトランジスタ 200 を、良好な電気特性を示し、且つ信頼性の高いトランジスタとすることができる。同様に、絶縁層 101 にも窒化シリコンを用いると、トランジスタ 100、及びトランジスタ 200 のチャネル形成領域への不純物の混入をより好適に抑制できる。

[0189]

本明細書等において、酸化窒化物とは、その組成として、窒素よりも酸素の含有量が多い材料を指し、窒化酸化物とは、その組成として、酸素よりも窒素の含有量が多い材料を指す。例えば、酸化窒化シリコンと記載した場合は、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンと記載した場合は、その組成として、酸素よりも窒素の含有量が多い材料を示す。

[0190]

また、絶縁層 101 の半導体層 108 と接する領域、及び半導体層 208 と接する領域の少なくとも一部は、水素を捕獲又は固着する（ゲッタリングともいう）機能を有することが好ましい。これにより、半導体層 108 及び半導体層 208 のチャネル形成領域中の水素濃度を低減できる。よって、チャネル形成領域の酸素欠損 (V_o) 及び V_oH を低減し、チャネル形成領域を i 型又は実質的に i 型とすることができる。よって、トランジスタ 100、及びトランジスタ 200 を、良好な電気特性を示し、且つ信頼性の高いトランジスタとすることができる。なお、絶縁層 101 の半導体層 108 と接する領域、及び半導体層 208 と接する領域の少なくとも一部が、水素を捕獲又は固着する機能を有してもよい。

[0191]

水素を捕獲する又は固着する機能を有する絶縁体として、マグネシウムを含む酸化物、アルミニウム及びハフニウム的一方又は両方を含む酸化物等が挙げられる。アルミニウム及びハフニウム的一方又は両方を含む酸化物として、酸化アルミニウム、酸化ハフニウム、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）が挙げられる。また、これらの酸化物に、酸化シリコンが添加されてもよい。水素を捕獲する又は固着する機能を有する絶縁体として、例えば、マグネシウム及びシリコンを含む酸化物、アルミニウム及びシリコンを含む酸化物、ハフニウム及びシリコンを含む酸化物（ハフニウムシリケート）等が挙げられる。

[0192]

また、上記の酸化物は、ダングリングボンドを有する酸素原子を有することが好ましい。このような酸化物では、ダングリングボンドで水素を捕獲する又は固着する性質を有する場合がある。例えば、上記の酸化物は、アモルファス構造を有することが好ましい。アモルファス構造を有する酸化物では、一部の酸素原子がダングリングボンドを有しているためである。なお、上記の酸化物は、アモルファス構造であることが好ましいが、一部に結晶領域が形成されていてもよい。また、上記の酸化物は、結晶粒界を有してもよい。結晶粒界を有する酸化物では、結晶粒界近傍の一部の酸素原子がダングリングボンドを有することがあるためである。

[0193]

また、絶縁層 110 を、酸素を有する層としてもよい。例えば、絶縁層 110 に、加熱により酸素を放出する膜を用いてもよい。トランジスタ 100 の作製工程中にかかる熱により絶縁層 110 が酸素を放出することで、半導体層 108、及び半導体層 208 に酸素を供給できる。絶縁層 110 から

半導体層 108 及び半導体層 208、特にチャネル形成領域に酸素を供給することで、酸素欠損 (V_o) が修復され、酸素欠損 (V_o) を低減できる。したがって、トランジスタ 100、及びトランジスタ 200 を、良好な電気特性を示し、且つ信頼性の高いトランジスタとすることができる。

[0194]

例えば、酸素を含む雰囲気における加熱処理、又は酸素を含む雰囲気におけるプラズマ処理を行うことで、絶縁層 110 に酸素を供給できる。また、絶縁層 110 の上面に、スパッタリング法により、酸素を含む雰囲気で酸化物膜を形成することで酸素を供給してもよい。その後、当該酸化物膜を除去してもよい。

[0195]

ここで、半導体層 108、及び半導体層 208 に導電率の高い材料を用いることで、トランジスタ 100 及びトランジスタ 200 を、オン電流の大きいトランジスタとすることができる。しかしながら、導電率の高い材料を用いると酸素欠損 (V_o) が形成されやすく、チャネル形成領域の酸素欠損 (V_o) が多くなると、トランジスタのしきい値電圧がシフトし、ゲート電圧が 0 V 時に流れるドレイン電流 (以下、カットオフ電流とも記す) が大きくなってしまう場合がある。例えば、n チャネル型トランジスタでは、しきい値電圧がマイナス側にシフトすることで、カットオフ電流が大きくなってしまう場合がある。絶縁層 110 を、酸素を有する層とすることにより、少なくとも半導体層 108 の絶縁層 110 と接する領域、つまりトランジスタ 100 のチャネル形成領域に酸素が供給され、チャネル形成領域の酸素欠損 (V_o) を低減できる。また、半導体層 208 の絶縁層 110 と接する領域、つまりトランジスタ 200 のチャネル形成領域に酸素が供給され、チャネル形成領域の酸素欠損 (V_o) を低減できる。以上により、トランジスタ 100 及びトランジスタ 200 のしきい値電圧がシフトすることが抑制され、小さいカットオフ電流と、大きいオン電流が両立したトランジスタとすることができる。したがって、半導体装置 20 を、低い消費電力と高い性能が両立した半導体装置とすることができる。

[0196]

図 11A は、図 8A に示す導電層 113 の、開口部 141 と重なる第 2 の領域において、導電層 113 の上面が平坦部 125 を有する例を示している。また、図 11A は、図 8A に示す導電層 213 の、開口部 241 と重なる第 4 の領域において、導電層 213 の上面が平坦部 225 を有する例を示している。例えば、平面視において、開口部 141 の中心、及びその近傍は、平坦部 125 と重なる構成とすることができる。また、平面視において、開口部 241 の中心、及びその近傍は、平坦部 225 と重なる構成とすることができる。

[0197]

開口部 141 の幅 D_{141} が、導電層 113 の厚さと比して小さいと、導電層 113 の上面に平坦化処理を行っていない場合であっても、例えば図 9B に示すような部分 127 が視認されず、平坦部 125 として視認される場合がある。また、開口部 241 の幅 D_{241} が、導電層 213 の厚さと比して小さいと、導電層 213 の上面に平坦化処理を行っていない場合であっても、例えば図 10B に示すような部分 227 が視認されず、平坦部 225 として視認される場合がある。平坦部 125 は、例えば導電層 112a 上又は導電層 112b 上における絶縁層 106 の上面より、高い位置に形成できる。平坦部 225 は、例えば導電層 212b 上における絶縁層 106 の上面より、高い位置に形成できる。

[0198]

図１１Ｂは、図８Ａに示すトランジスタ１００が有する導電層１１３が、開口部１４１と重なる領域において、絶縁層１０６に沿った形状を有する例を示している。図１１Ｂは、具体的には、導電層１１３が、絶縁層１０６の上面、及び開口部１４１の内部における絶縁層１０６の側面に沿った形状を有する例を示している。

[０１９９]

図１１Ｂに示すトランジスタ１００では、導電層１１３の、開口部１４１の外部に位置する領域である第１の領域における厚さと、開口部１４１と重なる領域である第２の領域における厚さと、を一致、又は概略一致させることができる。この場合、導電層１１３の、第２の領域における上面１２６は、例えば開口部１４１の内部に設けることができる。上面１２６は、断面視において、例えば絶縁層１０１の上面と上面Ｓ１１０の間に設けることができる。なお、上面１２６を、断面視において、上面Ｓ１１０と導電層１１２ａの上面の間に設けてもよく、上面Ｓ１１０と導電層１１２ｂの上面の間に設けてもよい。また、導電層２１３が有する部分２２７は、上面１２６より高い位置に設けることができる。上面１２６は、平坦部を有することができる。ここで、図１１Ｂに示すトランジスタ１００において、導電層１１３の第２の領域における厚さは、断面視における導電層１１３の被形成面（ここでは、開口部１４１の内部における絶縁層１０６の上面）と上面１２６の最短距離とすることができる。

[０２００]

開口部１４１の幅Ｄ１４１が、導電層１１３の厚さと比して大きいと、導電層１１３が図１１Ｂに示す構成となる場合がある。幅Ｄ１４１を大きくすることにより、トランジスタ１００のチャンネル長を長くできる。よって、図１１Ｂに示すトランジスタ１００は、例えば図８Ａに示すトランジスタ１００よりチャンネル長を長くできる。したがって、図１１Ｂに示すトランジスタ１００は、例えば図８Ａに示すトランジスタ１００より飽和性が高いトランジスタとすることができる。一方、例えば図８Ａに示すトランジスタ１００は、図１１Ｂに示すトランジスタ１００よりオン電流を大きくできる。

[０２０１]

図１１Ｃは、図８Ａに示すトランジスタ２００が有する導電層２１３が、開口部２４１と重なる領域において、絶縁層１０６に沿った形状を有する例を示している。図１１Ｃは、具体的には、導電層２１３が、絶縁層１０６の上面、並びに、開口部２４１及び開口部２４３の内部における絶縁層１０６の側面に沿った形状を有する例を示している。

[０２０２]

図１１Ｃに示すトランジスタ２００では、導電層２１３の、開口部２４１の外部に位置する領域である第３の領域における厚さと、開口部２４１と重なる領域である第４の領域における厚さと、を一致、又は概略一致させることができる。この場合、導電層２１３の、第４の領域における上面２２６は、例えば開口部２４１の内部、又は開口部２４３の内部に設けることができる。上面２２６は、断面視において、例えば絶縁層１０１の上面と上面Ｓ１１０の間、又は上面Ｓ１１０と導電層２１２ｂの上面の間に設けることができる。図１１Ｃでは、上面２２６が、断面視において絶縁層１０１の上面と上面Ｓ１１０の間に設けられる、すなわち上面２２６が開口部２４１の内部に設けられる例を示している。なお、導電層１１３が有する部分１２７は、上面２２６より高い位置に設けることができる。上面２２６は、平坦部を有することができる。ここで、図１１Ｃに示すトランジスタ２００において、導電層２１３の第４の領域における厚さは、断面視における導電層２１３の被形成面（ここでは、開口部２４１の内部における絶縁層１０６の上面）と上面２２６の最短距離とすることができる。

[0203]

開口部241の幅D241が、導電層213の厚さと比して大きいと、導電層213が図11Cに示す構成となる場合がある。幅D241を大きくすることにより、トランジスタ200を作製しやすくなる。よって、図11Cに示すトランジスタ200は、例えば図8Aに示すトランジスタ200より作製しやすいトランジスタとすることができる。一方、例えば図8Aに示すトランジスタ200は、図11Cに示すトランジスタ200より微細なサイズのトランジスタとすることができる。なお、トランジスタ200を図11Cに示す構成とする場合の幅D241は、例えばトランジスタ100を図11Cに示す構成とする場合の幅D141以上とすることができる。この場合であっても、トランジスタ200のチャンネル長は、トランジスタ100のチャンネル長より短くできる。

[0204]

図12A、図12B、図12C、図12D、図12E、及び図12Fは、それぞれ図3A、図3B、図3C、図3D、図3E、及び図3Fに示す絶縁層110を、絶縁層110aと、絶縁層110a上の絶縁層110bと、絶縁層110b上の絶縁層110cと、の3層積層構造とする例である。なお、絶縁層110を、2層積層構造としてもよいし、4層以上の積層構造としてもよい。平面構成例は、例えば図1A乃至図2Bを参照できる。

[0205]

図12A乃至図12Cに示す構成例では、絶縁層110aは、絶縁層101の上面と接する領域、導電層212aの上面と接する領域、導電層212aの側面と接する領域、半導体層108の側面と接する領域、半導体層208の側面と接する領域、及び絶縁層106の側面と接する領域を有することができる。また、絶縁層110bは、半導体層108の側面と接する領域、半導体層208の側面と接する領域、及び絶縁層106の側面と接する領域を有することができる。さらに、絶縁層110cは、導電層112aの下面と接する領域、導電層112bの下面と接する領域、導電層212bの下面と接する領域、半導体層108の側面と接する領域、半導体層208の側面と接する領域、及び絶縁層106の下面と接する領域を有することができる。なお、図12A乃至図12Fでは、絶縁層110aが平坦化されておらず、絶縁層110bが平坦化されている例を示しているが、絶縁層110aが平坦化されていてもよいし、絶縁層110bが平坦化されていなくてもよい。絶縁層110bが平坦化されていない場合、絶縁層110cは平坦化されていてもよいし、平坦化されていなくてもよい。

[0206]

絶縁層110bは酸素を有することが好ましい。例えば、絶縁層110bの酸素の含有量は、絶縁層110aの酸素の含有量、及び絶縁層110cの酸素の含有量より多いことが好ましい。例えば、絶縁層110bの単位体積あたりの酸素の含有量は、絶縁層110aの単位体積あたりの酸素の含有量、及び絶縁層110cの単位体積あたりの酸素の含有量より多いことが好ましい。また、絶縁層110bには、前述の酸化物及び酸化窒化物のいずれか一つ又は複数をを用いることが好ましい。具体的には、絶縁層110bには、酸化シリコン及び酸化窒化シリコンの一方又は双方を好適に用いることができる。以上により、少なくとも半導体層108の絶縁層110bと接する領域は、トランジスタ100のチャンネル形成領域として機能できる。また、少なくとも半導体層208の絶縁層110bと接する領域は、トランジスタ200のチャンネル形成領域として機能できる。

[0207]

酸素等の元素の含有量の測定には、例えば、二次イオン質量分析法（SIMS: Secondary

Ion Mass Spectrometry)、又はX線光電子分光法(XPS:X-ray Photoelectron Spectroscopy)を用いることができる。目的の元素の含有率が高い(例えば、0.5 atomic %以上、又は1 atomic %以上)場合は、XPSが適している。一方、目的の元素の含有率が低い(例えば0.5 atomic %以下、又は1 atomic %以下)場合には、SIMSが適している。元素の含有量を比較する際には、SIMSとXPSの両方の分析手法を用いた複合解析を行うことがより好ましい。また、昇温脱離ガス分析法(TDS:Thermal Desorption Spectroscopy)を用いて上記元素の脱離量を測定することにより、例えば2つの層における上記元素の含有量を比較できる。なお、酸素以外の元素の含有量の測定にも、SIMS、XPS、又はTDS法等を用いることができる。

[0208]

絶縁層110bには、加熱により酸素を放出する膜を用いるとより好ましい。トランジスタ100、及びトランジスタ200の作製工程中にかかる熱により、絶縁層110bが酸素を放出することで、半導体層108、及び半導体層208に酸素を供給できる。絶縁層110bから半導体層108及び半導体層208、特にチャネル形成領域に酸素を供給することで、酸素欠損(V_o)が修復され、酸素欠損(V_o)を低減できる。したがって、トランジスタ100、及びトランジスタ200を、良好な電気特性を示し、且つ信頼性の高いトランジスタとすることができる。

[0209]

例えば、酸素を含む雰囲気における加熱処理、又は酸素を含む雰囲気におけるプラズマ処理を行うことで、絶縁層110bに酸素を供給できる。また、絶縁層110bの上面に、スパッタリング法により、酸素を含む雰囲気で酸化物膜を形成することで酸素を供給してもよい。その後、当該酸化物膜を除去してもよい。

[0210]

絶縁層110bは、スパッタリング法、又はプラズマ化学気相堆積(PECVD:Plasma Enhanced Chemical Vapor Deposition)法等の成膜方法で形成することが好ましい。特に、スパッタリング法を用い、成膜ガスに水素ガスを用いない方法で形成することで、水素の含有量の極めて少ない膜とすることができる。そのため、チャネル形成領域に水素が供給されることを抑制し、トランジスタ100、及びトランジスタ200の電気特性の安定化を図ることができる。

[0211]

絶縁層110bにおいて、物質が拡散しやすいことが好ましい。絶縁層110bにおける物質の拡散係数が大きいことが好ましいともいえる。特に、絶縁層110bは、酸素が拡散しやすいことが好ましい。つまり、絶縁層110bにおける酸素の拡散係数が大きいことが好ましい。絶縁層110bに含まれる酸素は、絶縁層110b中を拡散する。これにより、絶縁層110bと半導体層108の界面を介して半導体層108に酸素が供給され、絶縁層110bと半導体層208の界面を介して半導体層208に酸素が供給される。

[0212]

酸素の拡散係数の算出には、TDSを用いることができる。又は、SIMSを用いてもよい。なお、酸素以外の物質の拡散係数も、TDS、又はSIMSを用いて算出できる場合がある。

[0213]

ここで、半導体層108、及び半導体層208に導電率の高い材料を用いることで、オン電流の大き

いトランジスタとすることができる。しかしながら、導電率の高い材料を用いると酸素欠損 (V_o) が形成されやすく、チャネル形成領域の酸素欠損 (V_o) が多くなると、トランジスタのしきい値電圧がシフトし、ゲート電圧が 0 V 時に流れるドレイン電流 (以下、カットオフ電流とも記す) が小さくなってしまう場合がある。例えば、nチャネル型トランジスタでは、しきい値電圧がマイナス側にシフトすることで、カットオフ電流が大きくなってしまう場合がある。絶縁層 110b を設けることにより、少なくとも半導体層 108 の絶縁層 110b と接する領域、つまりトランジスタ 100 のチャネル形成領域に酸素が供給され、チャネル形成領域の酸素欠損 (V_o) を低減できる。同様に、少なくとも半導体層 208 の絶縁層 110b と接する領域、つまりトランジスタ 200 のチャネル形成領域に酸素が供給され、チャネル形成領域の酸素欠損 (V_o) を低減できる。以上により、トランジスタ 100 及びトランジスタ 200 のしきい値電圧がシフトすることが抑制され、小さいカットオフ電流と、大きいオン電流が両立したトランジスタとすることができる。したがって、半導体装置 20 を、低い消費電力と高い性能が両立した半導体装置とすることができる。

[0214]

絶縁層 110a、及び絶縁層 110c は、自身から放出される不純物 (例えば、水素及び水) の量が少なく、かつ不純物が透過しにくいことが好ましい。これにより、絶縁層 110a、及び絶縁層 110c に含まれる不純物が、トランジスタ 100 のチャネル形成領域、及びトランジスタ 200 のチャネル形成領域に拡散することを抑制できる。したがって、トランジスタ 100、及びトランジスタ 200 を、良好な電気特性を示し、且つ信頼性の高いトランジスタとすることができる。

[0215]

また、絶縁層 110a、及び絶縁層 110c は、酸素が透過しにくい膜を用いることが好ましく、例えば絶縁層 110b より酸素が透過しにくい膜を用いることが好ましい。また、絶縁層 110a、及び絶縁層 110c は、酸素の拡散係数が小さい膜を用いることが好ましく、例えば絶縁層 110b より酸素の拡散係数が小さい膜を用いることが好ましい。以上により、絶縁層 110b に含まれる酸素が、絶縁層 110a を介して導電層 212a に拡散し、絶縁層 110c を介して導電層 112a、導電層 112b、及び導電層 212b に拡散することを抑制できる。これにより、導電層 112a、導電層 112b、導電層 212a、及び導電層 212b の電気抵抗が高くなることを抑制できる。それとともに、絶縁層 110b に含まれる酸素が絶縁層 110a 側、及び絶縁層 110c 側に拡散することが抑制されるため、絶縁層 110b からトランジスタ 100 のチャネル形成領域、及びトランジスタ 200 のチャネル形成領域へ供給される酸素の量が増え、チャネル形成領域の酸素欠損 (V_o) 及び V_oH を低減できる。これにより、トランジスタ 100、及びトランジスタ 200 を、良好な電気特性を示し、且つ信頼性の高いトランジスタとすることができる。

[0216]

絶縁層 110a、及び絶縁層 110c は窒素を有することが好ましく、前述の窒化物及び窒化酸化物のいずれか一つ又は複数を用いることが好ましい。絶縁層 110a、及び絶縁層 110c は、例えば、窒化シリコン又は窒化酸化シリコンを好適に用いることができる。又は、絶縁層 110a、及び絶縁層 110c に酸化物及び酸化窒化物のいずれか一つ又は複数を用いてもよい。絶縁層 110a、及び絶縁層 110c は、例えば酸化アルミニウムを好適に用いることができる。

[0217]

絶縁層 110b の厚さは、例えば、5 nm 以上 3 μ m 未満、5 nm 以上 2.5 μ m 以下、5 nm 以上 2 μ m 以下、5 nm 以上 1.5 μ m 以下、7 nm 以上 1.2 μ m 以下、7 nm 以上 1 μ m 以下、7 n

m以上500nm以下、7nm以上300nm以下、10nm以上200nm以下、10nm以上100nm以下、10nm以上50nm以下、又は10nm以上30nm以下とすることができる。絶縁層110a、及び絶縁層110cの厚さは、それぞれ絶縁層110bの厚さ以下とすることができる。絶縁層110a、及び絶縁層110cの厚さはそれぞれ、例えば3nm以上1 μ m以下、3nm以上500nm以下、3nm以上300nm以下、3nm以上200nm以下、5nm以上100nm以下、5nm以上50nm以下、5nm以上30nm以下、又は5nm以上20nm以下とすることができる。

[0218]

絶縁層110aの厚さは、断面視における絶縁層110bの被形成面（ここでは、絶縁層101の上面）と、絶縁層110bの下面と、の最短距離とすることができる。また、絶縁層110bの厚さは、導電層212aと重ならない領域での、断面視における絶縁層110bの被形成面（ここでは、絶縁層110aの上面）と、絶縁層110cの下面と、の最短距離とすることができる。なお、導電層212aと重なる領域での、断面視における絶縁層110bの被形成面と、絶縁層110cの下面と、の最短距離を、絶縁層110bの厚さとしてもよい。さらに、絶縁層110cの厚さは、断面視における絶縁層110cの被形成面（ここでは、絶縁層110bの上面）と、導電層112aの下面、導電層112bの下面、又は導電層212bの下面と、の最短距離とすることができる。

[0219]

絶縁層110a、及び絶縁層110cの厚さが厚いと、絶縁層110a、及び絶縁層110cから放出される不純物の量が多くなり、トランジスタ100のチャンネル形成領域、及びトランジスタ200のチャンネル形成領域に拡散する不純物の量が多くなってしまう場合がある。一方、絶縁層110a、及び絶縁層110cの厚さが薄いと、絶縁層110bに含まれる酸素が絶縁層110aを介して導電層212a側に拡散し、また絶縁層110cを介して導電層112a、導電層112b、及び導電層212b側に拡散する場合がある。これにより、トランジスタ100のチャンネル形成領域、及びトランジスタ200のチャンネル形成領域に供給される酸素の量が減ってしまう場合がある。絶縁層110a、及び絶縁層110cの厚さをそれぞれ前述の範囲とすることにより、チャンネル形成領域の酸素欠損(V_o)及びV_oHを低減できる。これにより、トランジスタ100のチャンネル形成領域、及びトランジスタ200のチャンネル形成領域をi型又は実質的にi型とすることができる。また、絶縁層110bに含まれる酸素によって導電層112a、導電層112b、導電層212a、及び導電層212bが酸化され、導電層112a、導電層112b、導電層212a、及び導電層212bの電気抵抗が高くなることを抑制できる。以上により、トランジスタ100、及びトランジスタ200を、良好な電気特性を示し、且つ信頼性の高いトランジスタとすることができる。

[0220]

以上より、図12A乃至図12Fに示すように、絶縁層110を複数の層の積層構造とすることで、絶縁層110を単層とする場合より、半導体装置20が有するトランジスタを、良好な電気特性を示し、且つ信頼性の高いトランジスタとすることができる場合がある。一方、図3A乃至図3Fに示すように、絶縁層110を単層とすることで、絶縁層110を複数の層の積層構造とする場合より、半導体装置20の作製工程数を少なくできる。よって、半導体装置20の作製コストを削減できる。よって、半導体装置20を、低価格な半導体装置とすることができる。

[0221]

図13Aは、図1Aに示すトランジスタ100が、導電層103と、絶縁層105と、を有する例を

示している。図13Bは、図13Aに示す一点鎖線A1－A2における切断面の断面図である。図13Cは、図13Aに示す一点鎖線B1－B2における切断面の断面図である。なお、一点鎖線B3－B4における切断面は、図3Cを参照できる。

[0222]

図13A乃至図13Cに示す半導体装置20において、絶縁層101上に導電層103が設けられ、導電層103上、及び絶縁層101上に絶縁層105が設けられる。絶縁層105は、導電層103の上面及び側面、並びに絶縁層101の上面に沿った形状を有する。絶縁層105は、導電層103の上面と接する領域、導電層103の側面と接する領域、及び絶縁層101の上面と接する領域を有することができる。

[0223]

絶縁層105上には、絶縁層110、半導体層108、及び導電層212aが設けられる。絶縁層110が有する開口部141は、絶縁層105に達する。半導体層108の底面は、絶縁層105の上面と接する領域を有することができる。また、絶縁層106は、絶縁層105の上面と接する領域を有することができる。

[0224]

導電層103は、半導体層108、絶縁層106、及び導電層113の、開口部141の内部に位置する領域と、絶縁層105を介して重なる領域を有する。これにより、導電層113だけでなく導電層103をゲート電極として機能させることができ、絶縁層106だけでなく絶縁層105をゲート絶縁層として機能させることができる。よって、図13A乃至図13Cに示すトランジスタ100は、チャンネル形成領域を挟んで両側にゲート電極が配置される、デュアルゲート型のトランジスタとすることができる。一方、図1A、図3A、及び図3B等に示すような、導電層103を有さないトランジスタ100は、シングルゲート型のトランジスタとすることができる。

[0225]

図13A乃至図13Cに示すトランジスタ100では、例えば導電層113を第1のゲート電極、フロントゲート電極、又は単にゲート電極とすることができる。また、導電層103を第2のゲート電極、バックゲート電極、又は単にゲート電極とすることができる。なお、上述の導電層113の呼称と導電層103の呼称を入れ替えてもよい。また、絶縁層106を第1のゲート絶縁層といい、絶縁層105を第2のゲート絶縁層とすることができる。なお、絶縁層105を第1のゲート絶縁層といい、絶縁層106を第2のゲート絶縁層といってもよい。

[0226]

トランジスタ100が導電層103を有することにより、半導体層108のバックチャンネル側の電位を固定でき、しきい値電圧がシフトすることを抑制できる。ここで、トランジスタ100のしきい値電圧がマイナス方向にシフトすると、カットオフ電流が大きくなってしまう場合がある。トランジスタ100のしきい値電圧がマイナス方向にシフトすることを抑制することにより、カットオフ電流が小さいトランジスタとすることができる。なお、カットオフ電流が小さいことをノーマリーオフと記す場合がある。

[0227]

以上より、図13A乃至図13Cに示すように、トランジスタ100をデュアルゲート型のトランジスタとすることで、シングルゲート型のトランジスタとする場合より、良好な電気特性を示すトランジスタ100を提供できる。一方、例えば図1A、図3A、及び図3Bに示すように、トランジスタ

100をシングルゲート型のトランジスタとすることで、デュアルゲート型のトランジスタとする場合より、半導体装置20の作製工程数を少なくできる。よって、半導体装置20の作製コストを削減できる。よって、半導体装置20を、低価格な半導体装置とすることができる。

[0228]

導電層103は、例えば導電層212aに用いることができる材料と同様の材料を用いることができる。絶縁層105は、例えば絶縁層106に用いることができる材料と同様の材料を用いることができる。

[0229]

<半導体装置の構成例2>

以下では、トランジスタ100が有する導電層と、トランジスタ200が有する導電層と、が電氣的に接続される場合の、半導体装置20の構成例を説明する。

[0230]

図14は、半導体装置20の構成例を示す平面図であり、トランジスタ100のゲート電極として機能する導電層113が、トランジスタ200のソース電極及びドレイン電極の他方として機能する導電層212bと電氣的に接続される例を示している。図14に示す半導体装置20を、半導体装置20Aとする。

[0231]

図15Aは、図14に示す一点鎖線A3-A4における切断面の断面図である。図15Bは、図14に示す一点鎖線B1-B2における切断面の断面図である。図15Cは、図14に示す一点鎖線B3-B4における切断面の断面図である。なお、図14に示す一点鎖線A1-A2における切断面の断面図は、図3Aを参照できる。

[0232]

図14、図15A、及び図15Bに示すように、絶縁層109、及び絶縁層111は、導電層113に達する開口部145cを有し、開口部145cを埋めるようにプラグ115cが設けられる。図15A、及び図15Bでは、プラグ115cが、導電層115c1と導電層115c2を有する例を示している。

[0233]

また、図14、図15A、及び図15Cに示すように、半導体層208、絶縁層106、絶縁層109、及び絶縁層111は、導電層212bに達する開口部145bを有し、開口部145bを埋めるようにプラグ115bが設けられる。図15A、及び図15Cでは、プラグ115bが、導電層115b1と導電層115b2を有する例を示している。

[0234]

そして、図15Aに示すように、プラグ115bとプラグ115cは、プラグ115b上、プラグ115c上、及び絶縁層111上に設けられる導電層117により電氣的に接続される。以上より、導電層113と導電層212bは、プラグ115b、プラグ115c、及び導電層117を介して電氣的に接続される。

[0235]

図16A、図16B、図16C、図17A、図17B、図17C、図18、図19A、図19B、及び図19Cは、それぞれ図12A、図12B、図12C、図13A、図13B、図13C、図14、図15A、図15B、及び図15Cに示す構成の変形例であり、導電層113が開口部141を埋め

るように設けられ、導電層 2 1 3 が開口部 2 4 1、及び開口部 2 4 3 を埋めるように設けられる例を示している。

[0 2 3 6]

半導体装置 2 0 は、表示装置に適用でき、例えば表示装置が有する画素回路に適用できる。図 2 0 A は、本発明の一態様の表示装置である、表示装置 3 0 の構成例を示すブロック図である。表示装置 3 0 は、表示部 2 5 と、走査線駆動回路 3 1 と、信号線駆動回路 3 3 と、電源回路 3 5 と、を有する。表示部 2 5 は、マトリクス状に配列された複数の画素 2 1 を有する。なお、電源回路 3 5 は、表示装置 3 0 の外部に設けられるとしてもよい。

[0 2 3 7]

走査線駆動回路 3 1 は、配線 4 1 を介して画素 2 1 と電氣的に接続される。配線 4 1 は、例えば上記マトリクスの行方向に延伸する。

[0 2 3 8]

信号線駆動回路 3 3 は、配線 4 3 を介して画素 2 1 と電氣的に接続される。配線 4 3 は、例えば上記マトリクスの列方向に延伸する。

[0 2 3 9]

電源回路 3 5 は、配線 4 5 を介して画素 2 1 と電氣的に接続される。例えば、全ての画素 2 1 を、同一の配線 4 5 を介して電源回路 3 5 と電氣的に接続できる。

[0 2 4 0]

図 2 0 A において、配線 4 1、及び配線 4 3 を直線で示しているが、1 本の直線が 1 本の配線であるとは限られず、複数の配線を 1 本の直線で表す場合がある。以降のブロック図、及び回路図等においても、複数の配線を 1 本の直線で表す場合がある。また、配線 4 1、及び配線 4 3 以外の配線においても、複数の配線を 1 本の直線で表す場合がある。

[0 2 4 1]

画素 2 1 は、表示素子を有し、表示素子により画像を表示部 2 5 に表示できる。表示素子として、例えば発光素子を用いることができ、具体的には有機 E L 素子を用いることができる。また、表示素子として、液晶素子（液晶デバイスともいう。）を用いてもよい。

[0 2 4 2]

走査線駆動回路 3 1 は、例えば画像データを書き込む画素 2 1 を、行ごとに選択する機能を有する。走査線駆動回路 3 1 は、具体的には、配線 4 1 に信号を出力することにより、画像データを書き込む画素 2 1 を選択できる。ここで、走査線駆動回路 3 1 は、例えば 1 行目の配線 4 1 に上記信号を出力した後、2 行目の配線 4 1 に上記信号を出力し、最終行の配線 4 1 まで順に上記信号を出力することにより、全ての画素 2 1 を選択することができる。よって、走査線駆動回路 3 1 が配線 4 1 に出力する信号は走査信号であり、配線 4 1 は走査線といえることができる。

[0 2 4 3]

信号線駆動回路 3 3 は、画像データを生成する機能を有する。画像データは、配線 4 3 を介して画素 2 1 に供給される。例えば、走査線駆動回路 3 1 が選択している行に含まれる全ての画素 2 1 に画像データを書き込むことができる。ここで、画像データは、信号（画像信号）として表すことができる。よって、配線 4 3 は、信号線といえることができる。

[0 2 4 4]

電源回路 3 5 は、電源電位を生成し、配線 4 5 に供給する機能を有する。電源回路 3 5 は、例えば高

電源電位（以下、単に「高電位」、又は「VDD」ともいう。）を生成し、配線４５に供給する機能を有する。また、電源回路３５は、低電源電位（以下、単に「低電位」、又は「VSS」ともいう。）を生成する機能を有してもよい。配線４５に電源電位が供給されることから、配線４５は、電源線といえることができる。

[0245]

図２０Ｂは、画素２１の構成例を示す平面図である。画素２１は、複数の副画素２３を有することができる。図２０Ｂでは、画素２１が、副画素２３Ｒ、副画素２３Ｇ、及び副画素２３Ｂを有する例を示している。ここで、画素２１が表示素子として発光素子を有する場合、例えば図２０Ｂに示す副画素の平面形状は、発光素子の発光領域の平面形状に相当する。なお図２０Ｂでは、副画素２３Ｒ、副画素２３Ｇ、及び副画素２３Ｂの開口率（サイズ、又は発光領域のサイズともいえる）を等しく又は概略等しく示すが、本発明の一態様はこれに限られない。副画素２３Ｒ、副画素２３Ｇ、及び副画素２３Ｂの開口率は、それぞれ適宜決定できる。副画素２３Ｒ、副画素２３Ｇ、及び副画素２３Ｂの開口率は、それぞれ異なってもよく、２つ以上が等しく又は概略等しくてもよい。

[0246]

本明細書等において、例えば副画素２３Ｒ、副画素２３Ｇ、及び副画素２３Ｂに共通する事項を説明する場合には、これらを区別するアルファベットを省略し、副画素２３と記載する場合がある。アルファベットで区別する他の要素についても、これらに共通する事項を説明する場合には、アルファベットを省略した符号を用いて説明する場合がある。

[0247]

図２０Ｂに示す画素２１には、副画素２３の配列法としてストライプ配列が適用されている。なお、副画素２３の配列法として、Ｓストライプ配列、マトリクス配列、デルタ配列、ベイヤー配列、又はペンタイル配列等を適用してもよい。

[0248]

副画素２３Ｒ、副画素２３Ｇ、及び副画素２３Ｂは、それぞれ異なる色の光を呈する。副画素２３Ｒ、副画素２３Ｇ、及び副画素２３Ｂとして、赤色（Ｒ）、緑色（Ｇ）、及び青色（Ｂ）の３色の副画素、並びに黄色（Ｙ）、シアン（Ｃ）、及びマゼンタ（Ｍ）の３色の副画素等が挙げられる。また、画素２１に副画素２３を４個以上設けてもよい。例えば、画素２１に、Ｒ、Ｇ、Ｂ、及び白色（Ｗ）の４色の副画素を設けてもよい。以上、表示装置３０は、画素２１が異なる色の光を呈する副画素２３を複数有することにより、表示部２５にフルカラーの画像を表示できる。なお、画素２１に、例えばＲ、Ｇ、Ｂ、及び赤外光（ＩＲ）の副画素を設けてもよい。

[0249]

なお、表示部２５には、センサが設けられてもよく、例えば画素２１にセンサを設けてもよい。例えば、表示部２５が、指紋センサとしての機能を有してもよい。例えば、表示部２５が、光学式、又は超音波式の指紋センサとしての機能を有してもよい。

[0250]

図２０Ｃは、副画素２３の構成例を示す回路図である。図２０Ｃに示す副画素２３は、画素回路４０Ａと、発光素子６０と、を有する。発光素子６０として、例えば、OLED（Organic Light Emitting Diode）、又はQLED（Quantum-dot Light Emitting Diode）を用いることが好ましい。発光素子６０が有する発光物質として、例えば、蛍光を発する物質（蛍光材料）、燐光を発する物質（燐光材料）、熱活性化遅延蛍光を示す物質

(熱活性化遅延蛍光 (Thermally activated delayed fluorescence : TADF) 材料)、及び無機化合物 (例えば量子ドット材料) が挙げられる。また、発光素子 60 として、マイクロ LED (Light Emitting Diode) 等の LED を用いることもできる。

[0251]

画素回路 40A は、トランジスタ 200、トランジスタ 100、及び容量 57 を有する。つまり、画素回路 40A は、2Tr (トランジスタ) 1C (容量) 型の画素回路である。

[0252]

画素回路 40A において、トランジスタ 200 のソース及びドレインの一方は、配線 43 と電氣的に接続される。トランジスタ 200 のソース及びドレインの他方は、トランジスタ 100 のゲートと電氣的に接続される。トランジスタ 100 のゲートは、容量 57 の一方の電極と電氣的に接続される。トランジスタ 200 のゲートは、配線 41 と電氣的に接続される。

[0253]

トランジスタ 100 のソース及びドレインの一方は、配線 45 と電氣的に接続される。トランジスタ 100 のソース及びドレインの他方は、容量 57 の他方の電極と電氣的に接続される。容量 57 の他方の電極は、発光素子 60 の一方の電極と電氣的に接続される。発光素子 60 の他方の電極は、配線 47 と電氣的に接続される。ここで、発光素子 60 の一方の電極は、画素電極ともいう。また、配線 47 は、例えば全ての副画素 23 間で共有できる。よって、発光素子 60 の他方の電極は、共通電極ともいう。

[0254]

前述のように、配線 41 は走査線として機能し、配線 43 は信号線として機能し、配線 45 は電源線として機能する。また、配線 47 は電源線として機能し、例えば配線 45 に高電源電位が供給される場合は、配線 47 には低電源電位が供給される。配線 47 は、例えば電源回路 35 と電氣的に接続できる。

[0255]

トランジスタ 200 は、スイッチとしての機能を有し、選択トランジスタともいう。トランジスタ 200 は、配線 41 の電位に基づいて、配線 43 とトランジスタ 100 のゲートとの間の導通状態、及び非導通状態を制御する機能を有する。トランジスタ 200 をオン状態とすることにより、画像データが画素回路 40A に書き込まれ、トランジスタ 200 をオフ状態とすることにより、書き込まれた画像データが保持される。ここで、トランジスタ 200 のオン電流が大きいと、画素回路 40A への画像データの書き込みを高速に行うことができ好ましい。

[0256]

トランジスタ 100 は、発光素子 60 に流れる電流量を制御する機能を有し、駆動トランジスタともいう。容量 57 は、トランジスタ 100 のゲートの電位を保持する機能を有する。発光素子 60 の発光輝度は、トランジスタ 100 のゲートに供給される、画像データに対応する電位に応じて制御される。具体的には、配線 45 に高電源電位が供給され、配線 47 に低電源電位が供給される場合、トランジスタ 100 のゲートの電位に応じて、配線 45 から配線 47 に流れる電流の大きさが制御される。これにより、発光素子 60 の発光輝度が制御される。ここで、トランジスタ 100 の飽和性が高いと、発光素子 60 に流れる電流を安定化させ、発光素子 60 の発光輝度を安定化させることができ好ましい。例えば、表示部 25 に静止画を表示する場合に、発光素子 60 に流れる電流に経時的なば

らつきが発生することを抑制し、発光素子60の発光輝度に経時的なばらつきが発生することを抑制できる。

[0257]

図20Cに示すトランジスタ100、及びトランジスタ200には、図3A、図8A、図14、図15B、図15C、図18、図19B、及び図19C等に示すトランジスタ100、及びトランジスタ200を適用できる。前述のように、トランジスタ100は、トランジスタ200よりチャンネル長が長く、飽和性が高い。また、トランジスタ100は、微細なサイズのトランジスタとすることができる。以上より、トランジスタ100を駆動トランジスタに適用することにより、副画素23が設けられる画素21を微細化しつつ、駆動トランジスタの飽和性を高くできる。よって、発光素子60に流れる電流を安定化させ、発光素子60の発光輝度を安定化させることができる。

[0258]

また、トランジスタ200は、トランジスタ100よりチャンネル長が短く、オン電流を大きくできる。また、トランジスタ200は、微細なサイズのトランジスタとすることができる。以上より、トランジスタ200を選択トランジスタに適用することにより、副画素23が設けられる画素21を微細化しつつ、選択トランジスタのオン電流を大きくできる。よって、画素21を微細化しつつ、画素21への画像データの書き込みを、高速に行うことができる。

[0259]

以上より、半導体装置20を表示装置に適用することにより、高精細、高信頼性、且つ高速に駆動する表示装置を実現できる。なお、表示装置30が画素回路40Aを有し、画素回路40Aに設けられるトランジスタ100及びトランジスタ200に、図3A、図8A、図14、図15B、図15C、図18、図19B、及び図19Cに示すトランジスタ100及びトランジスタ200を適用する場合、表示装置30に半導体装置20Aが適用されているという。

[0260]

ここで、例えば図4Bに示す幅D141が、図5Bに示す厚さT110₂に比して大きいと、トランジスタ100のチャンネル長と、トランジスタ200のチャンネル長と、の差を大きくできる。これにより、トランジスタ100の飽和性をより高くし、トランジスタ200のオン電流をより大きくできる場合があり好ましい。

[0261]

図20Dは、副画素23の構成例を示す回路図である。図20Dに示す副画素23は、画素回路40Bと、液晶素子69と、を有する。

[0262]

画素回路40Bは、トランジスタ50、及び容量57を有する。つまり、画素回路40Bは、1Tr1C型の画素回路である。

[0263]

画素回路40Bにおいて、トランジスタ50のソース及びドレインの一方は、配線43と電氣的に接続される。トランジスタ50のソース及びドレインの他方は、容量57の一方の電極と電氣的に接続される。容量57の一方の電極は、液晶素子69の一方の電極と電氣的に接続される。トランジスタ50のゲートは、配線41と電氣的に接続される。容量57の他方の電極、及び液晶素子69の他方の電極は、配線45と電氣的に接続される。ここで、液晶素子69の一方の電極は、画素電極ともいう。また、液晶素子69の他方の電極は、共通電極という場合がある。また、画素回路40Bにおい

て、配線 4 5 には、例えば接地電位を供給できる。

[0264]

画素回路 4 0 B において、トランジスタ 5 0 はスイッチとしての機能を有し、配線 4 1 の電位に基づいて、配線 4 3 と液晶素子 6 9 の一方の電極との間の導通状態、及び非導通状態を制御する機能を有する。トランジスタ 5 0 をオン状態とすることにより、画像データが画素回路 4 0 B に書き込まれ、トランジスタ 5 0 をオフ状態とすることにより、書き込まれた画像データが保持される。

[0265]

容量 5 7 は、液晶素子 6 9 の一方の電極の電位を保持する機能を有する。液晶素子 6 9 の一方の電極に供給される、画像データに対応する電位に応じて、液晶素子 6 9 の配向状態が制御される。

[0266]

液晶素子 6 9 のモードとしては、例えば、TN (Twisted Nematic) モード、STN (Super-Twisted Nematic) モード、VA (Vertical Alignment) モード、ASM (Axially Symmetric Aligned Micro-cell) モード、OCB (Optically Compensated Birefringence) モード、FLC (Ferroelectric Liquid Crystal) モード、AFLC (AntiFerroelectric Liquid Crystal) モード、MVA (Multidomain Vertical Alignment) モード、PVA (Patterned Vertical Alignment) モード、IPS (In Plane Switching) モード、FFS (Fringe Field Switching) モード、又は TBA (Transverse Bend Alignment) モード等を用いてもよい。また、他の例として、ECB (Electrically Controlled Birefringence) モード、PDLC (Polymer Dispersed Liquid Crystal) モード、PNLC (Polymer Network Liquid Crystal) モード、及びゲストホストモード等がある。ただし、これに限られず、様々なモードを用いることができる。

[0267]

トランジスタ 5 0 は、本明細書等に示すトランジスタ 1 0 0、又はトランジスタ 2 0 0 と同様の構成とすることができる。トランジスタ 5 0 をトランジスタ 1 0 0 と同様の構成とすることにより、例えばトランジスタ 5 0 をトランジスタ 2 0 0 と同様の構成とする場合よりトランジスタ 5 0 のチャンネル長を長くできるため、トランジスタ 5 0 のオフ電流を小さくできる。これにより、副画素 2 3 に画像データを長期間保持できる。一方、トランジスタ 5 0 をトランジスタ 2 0 0 と同様の構成とすることにより、例えばトランジスタ 5 0 をトランジスタ 1 0 0 と同様の構成とする場合よりトランジスタ 5 0 のチャンネル長を短くできるため、トランジスタ 5 0 のオン電流を大きくできる。これにより、副画素 2 3 への画像データの書き込みを高速に行うことができる。

[0268]

図 2 1 A は、半導体装置 2 0 の構成例を示す平面図であり、トランジスタ 1 0 0 のソース電極及びドレイン電極の他方として機能する導電層 1 1 2 b が、トランジスタ 2 0 0 のソース電極及びドレイン電極の一方として機能する導電層 2 1 2 a と電氣的に接続される例を示している。図 2 1 A は、具体的には、導電層 1 1 2 b と導電層 2 1 2 a が、導電層 1 1 7 を介して電氣的に接続される例を示している。図 2 1 B は、図 2 1 A に示す導電層 1 1 7 を二点鎖線で示した平面図である。図 2 1 A、及び図 2 1 B に示す半導体装置 2 0 を、半導体装置 2 0 B とする。

[0269]

図22は、図21A、及び図21Bに示す一点鎖線A1－A2における切断面の断面図である。なお、図21A、及び図21Bに示す一点鎖線B1－B2における切断面の断面図は図3Bを参照でき、一点鎖線B3－B4における切断面の断面図は図3Cを参照できる。

[0270]

図21A、図21B、及び図22に示すように、半導体層108、絶縁層106、絶縁層109、及び絶縁層111は、導電層112bに達する開口部145bを有し、開口部145bを埋めるようにプラグ115bが設けられる。図22では、プラグ115bが、導電層115b1と導電層115b2を有する例を示している。

[0271]

また、図21A、図21B、及び図22に示すように、絶縁層110、絶縁層106、絶縁層109、及び絶縁層111は、導電層212aに達する開口部145aを有し、開口部145aを埋めるようにプラグ115aが設けられる。図22では、プラグ115aが、導電層115a1と導電層115a2を有する例を示している。

[0272]

そして、図22に示すように、プラグ115aとプラグ115bは、プラグ115a上、プラグ115b上、及び絶縁層111上に設けられる導電層117により電氣的に接続される。以上より、導電層112bと導電層212aは、プラグ115a、プラグ115b、及び導電層117を介して電氣的に接続される。

[0273]

図23A、図23B、及び図24は、それぞれ図21A、図21B、及び図22に示す構成の変形例であり、導電層113が開口部141を埋めるように設けられ、導電層213が開口部241、及び開口部243を埋めるように設けられる例を示している。

[0274]

図25Aは、表示装置30の構成例を示すブロック図であり、図20Aに示す表示装置30の変形例である。図25Aに示す表示装置30は、配線41として配線41a及び配線41bを有する点、並びに基準電位生成回路37が設けられる点が、図20Aに示す表示装置30と異なる。

[0275]

基準電位生成回路37は、配線48を介して画素21と電氣的に接続される。例えば、全ての画素21を、同一の配線48を介して基準電位生成回路37と電氣的に接続できる。基準電位生成回路37は、例えば駆動トランジスタのゲートソース間電圧（ゲートとソースの電位差）の、駆動トランジスタ毎のばらつきを補正するための基準電位を生成し、配線48に供給する機能を有する。配線48の電位が基準電位となることから、配線48は基準電位線といえることができる。なお、基準電位生成回路37を、電源回路といってもよい。また、電源回路35と基準電位生成回路37をまとめて1つの回路としてもよい。例えば、基準電位生成回路37を、電源回路35に含めてもよい。

[0276]

図25Bは、図25Aに示す画素21が有する副画素23の構成例を示す回路図である。図25Bに示す副画素23は、画素回路40Cと、発光素子60と、を有する。

[0277]

画素回路40Cは、トランジスタ51、トランジスタ100、トランジスタ200、及び容量57を

有する。つまり、画素回路40Cは、3Tr（トランジスタ）1C（容量）型の画素回路である。

[0278]

画素回路40Cにおいて、トランジスタ51のソース及びドレインの一方は、配線43と電氣的に接続される。トランジスタ51のソース及びドレインの他方は、トランジスタ100のゲートと電氣的に接続される。トランジスタ100のゲートは、容量57の一方の電極と電氣的に接続される。トランジスタ51のゲートは、配線41aと電氣的に接続される。

[0279]

トランジスタ100のソース及びドレインの一方は、配線45と電氣的に接続される。トランジスタ200のソース及びドレインの一方は、配線48と電氣的に接続される。トランジスタ100のソース及びドレインの他方は、トランジスタ200のソース及びドレインの他方と電氣的に接続される。トランジスタ200のソース及びドレインの他方は、容量57の他方の電極と電氣的に接続される。容量57の他方の電極は、発光素子60の一方の電極と電氣的に接続される。トランジスタ200のゲートは、配線41bと電氣的に接続される。発光素子60の他方の電極は、配線47と電氣的に接続される。

[0280]

画素回路40Cにおいて、トランジスタ51は、選択トランジスタとしての機能を有する。トランジスタ100は、駆動トランジスタとしての機能を有する。トランジスタ200は、スイッチとしての機能を有し、配線41bの電位に基づいて、配線48と発光素子60の一方の電極との間の導通状態、及び非導通状態を制御する機能を有する。配線48には、例えば基準電位が供給される。トランジスタ200を介して供給される配線48の基準電位によって、複数の副画素23のそれぞれに設けられるトランジスタ100のゲートーソース間電圧の、トランジスタ100毎のばらつきを抑制できる。

[0281]

また配線48は、トランジスタ100に流れる電流、又は発光素子60に流れる電流を、副画素23の外部に出力するためのモニタ線として機能させることができる。配線48に出力された電流は、例えばソースフォロア回路により電位に変換できる。又は、例えばA-Dコンバータによりデジタル信号に変換できる。

[0282]

図25Bに示すトランジスタ100、及びトランジスタ200には、図3B、図3C、図8B、図8C、図21A、図21B、図22、図23A、図23B、及び図24に示すトランジスタ100、及びトランジスタ200を適用できる。トランジスタ100を駆動トランジスタに適用することにより、副画素23を微細化しつつ、駆動トランジスタの飽和性を高くできる。また、トランジスタ200を、基準電位線として機能する配線48が電氣的に接続されたトランジスタに適用することにより、副画素23を微細化しつつ、画素回路40Cへの基準電位の供給を高速に行うことができる。なお、トランジスタ51は、例えばトランジスタ200と同様の構成のトランジスタとすることができる。

[0283]

図14、図18、図21A、図21B、図23A、及び図23Bでは、開口部145の平面形状を矩形としているが、本発明の一態様はこれに限られず、開口部141がとり得る形状と同様の形状、開口部241がとり得る形状と同様の形状、又は開口部243がとり得る形状と同様の形状とするこ

とができる。

[0284]

<半導体装置の構成例3>

以下では、トランジスタ100、及びトランジスタ200の、図1A、図3A、図6A、及び図8A等に示す構成とは異なる構成例について説明する。

[0285]

図26は、図3Aに示す絶縁層106が、例えば島状に加工されている例を示す断面図である。

[0286]

図26では、トランジスタ100が絶縁層106として絶縁層106aを有し、トランジスタ200が絶縁層106として絶縁層106bを有する例を示している。図26に示す例では、絶縁層106aの上面端部は導電層113の下面端部と一致、又は概略一致し、絶縁層106bの上面端部は導電層213の下面端部と一致、又は概略一致している。例えば、図3Aに示す絶縁層106を、導電層113及び導電層213と同じマスクパターンで加工することにより、トランジスタ100のゲート絶縁層、及びトランジスタ200のゲート絶縁層を、図26に示す構成とすることができる。なお、絶縁層106aの上面端部は、導電層113の下面端部と一致、又は概略一致していなくてもよく、絶縁層106bの上面端部は、導電層213の下面端部と一致、又は概略一致していなくてもよい。例えば、絶縁層106aの上面端部が、導電層113の下面端部より外側に位置してもよく、絶縁層106bの上面端部が、導電層213の下面端部より外側に位置してもよい。

[0287]

図27Aは、図1Aに示す開口部141、開口部241、及び開口部243の平面形状が矩形である例を示す平面図である。図27Bは、図1Aに示す開口部141、開口部241、及び開口部243の平面形状が、隅の丸い矩形である例を示す平面図である。図27A、及び図27Bでは、半導体層108、導電層113、及び導電層213を二点鎖線で示している。また、半導体層208は、ハッチングを付さずに示している。ここで、図27Aに示す半導体装置20を半導体装置20Cとし、図27Bに示す半導体装置20を半導体装置20Dとする。

[0288]

例えば図1Aに示すように開口部141、開口部241、及び開口部243の平面形状を円形とすることにより、開口部141、開口部241、及び開口部243を形成する際の加工精度を高めることができる。一方、開口部141、開口部241、及び開口部243の平面形状を矩形、又は隅の丸い矩形等とすることにより、開口部141、開口部241、及び開口部243の側面が平面、又は概略平面である領域を有する。よって、開口部141の内部に設けられる層、開口部241の内部に設けられる層、及び開口部243の内部に設けられる層の被覆性を高めることができる場合がある。また、開口部141、開口部241、及び開口部243の平面形状を矩形とする場合、隅を角張らせることにより、隅を丸くする場合より、トランジスタ100、及びトランジスタ200を微細化しつつ、開口部141、開口部241、及び開口部243の平面視における面積を大きくできる。一方、開口部141、開口部241、及び開口部243の隅を丸くする場合、開口部141、開口部241、及び開口部243の隅を角張らせる場合より、開口部141の内部に設ける層の開口部141の隅に対する被覆性、開口部241の内部に設ける層の開口部241の隅に対する被覆性、及び開口部243の内部に設ける層の開口部243の隅に対する被覆性を高めることができる。

[0289]

図28Aは、図1Aに示す1つのトランジスタ100が、2つの開口部141の内部にまたがって設けられる例を示す平面図である。図28Bは、図28Aに示す導電層113を二点鎖線で示した平面図である。図28Cは、図28A、及び図28Bに示す一点鎖線A1-A2における切断面の断面図である。図28A乃至図28Cでは、2つの開口部141を開口部141[1]、及び開口部141[2]と記載して区別する。開口部141[1]と開口部141[2]の間には、導電層112として導電層112cが設けられる。

[0290]

図28A乃至図28Cに示すトランジスタ100では、導電層112a及び導電層112cは、平面視において開口部141[1]を介して対向するように設けられる。また、導電層112b及び導電層112cは、平面視において開口部141[2]を介して対向するように設けられる。図28A乃至図28Cに示す例では、1つのトランジスタ100が3つの導電層112を有する。なお、1つのトランジスタ100が、3つ以上の開口部141の内部にまたがって設けられてもよい。この場合、1つのトランジスタ100に導電層112を4つ以上設ける構成とすることができる。

[0291]

1つのトランジスタ100を複数の開口部141の内部にまたがって設けることにより、1つのトランジスタ100を1つの開口部141の内部に設ける場合より、トランジスタ100の縦方向のチャンネル長を長くし、トランジスタ100の飽和性を高くできる。一方、1つのトランジスタ100を1つの開口部141の内部に設けることにより、1つのトランジスタ100を複数の開口部141の内部にまたがって設ける場合より、トランジスタ100を微細なサイズのトランジスタとすることができる。

[0292]

図29Aは、図1Aに示す導電層112a、及び導電層112bの、平面視において開口部141と面する端部が、開口部141における絶縁層110の端部と一致しない例を示す平面図である。また、図29Aでは、開口部241における絶縁層110の端部と、開口部243における導電層212bの端部と、が一致しない例を示している。図29Aでは、半導体層108、導電層113、及び導電層213を二点鎖線で示している。また、半導体層208は、ハッチングを付さずに示している。図29Bは、図29Aに示す一点鎖線A1-A2における切断面の断面図である。ここで、図29A、及び図29Bに示す半導体装置20を半導体装置20Eとする。

[0293]

図29A、及び図29Bでは、導電層112aの、平面視において開口部141と面する端部を端部122aとし、導電層112bの、平面視において開口部141と面する端部を端部122bとする。図29A、及び図29Bでは、端部122a、及び端部122bが、絶縁層110の開口部141における端部より外側、すなわち開口部141とは反対側に位置する例を示している。また、図29A、及び図29Bでは、導電層212bの開口部243における端部が、絶縁層110の開口部241における端部より外側、すなわち開口部241とは反対側に位置する例を示している。なお、端部122a、及び端部122bが、絶縁層110の開口部141における端部より内側に位置してもよい。この場合、端部122a、及び端部122bは、開口部141と重なる。また、導電層212bの開口部243における端部が、絶縁層110の開口部241における端部より内側に位置してもよい。この場合、導電層212bの開口部243における端部は、開口部241と重なる。

[0294]

図30、図31A、図31B、図32A、図32B、図32C、図33A、及び図33Bは、それぞれ図26、図27A、図27B、図28A、図28B、図28C、図29A、及び図29Bに示す構成の変形例であり、導電層113が開口部141を埋めるように設けられ、導電層213が開口部241、及び開口部243を埋めるように設けられる例を示している。

[0295]

<半導体装置の構成例4>

以下では、半導体装置20に含まれる層120が複数積層して設けられる構成例について説明する。

[0296]

図34Aは、図3Aに示す層120が2層積層して設けられる例を示す断面図である。図34Aでは、2層の層120を、下から順に層120<1>、及び層120<2>と記載して区別する。以降の図面においても同様の記載をする場合がある。

[0297]

以下では、複数の層120に同様の要素が設けられる場合、これらの要素を区別するために、層120<i>（iは1以上の整数）に設けられる要素を示す符号の一部に“<i>”を付す場合がある。例えば、層120<1>に設けられる絶縁層101を絶縁層101<1>と記載し、層120<2>に設けられる絶縁層101を絶縁層101<2>と記載することにより、2つの絶縁層101を区別する。

[0298]

図34Aに示すように、トランジスタ100<1>及びトランジスタ100<2>は、重なる領域を有するように設けることができる。また、トランジスタ200<1>及びトランジスタ200<2>は、重なる領域を有するように設けることができる。

[0299]

図34Bは、図3Aに示す層120がn層（nは3以上の整数）積層して設けられる例を示す断面図である。図34Bでは、n層の層120を、下から順に層120<1>乃至層120<n>と記載して区別する。以降の図面においても同様の記載をする場合がある。

[0300]

図34Bに示すように、トランジスタ100<1>乃至トランジスタ100<n>は、互いに重なる領域を有するように設けることができる。また、トランジスタ200<1>乃至トランジスタ200<n>は、重なる領域を有するように設けることができる。なお、図34A、及び図34Bでは、同じ構成のトランジスタが重なる領域を有する例を示したが、異なる構成のトランジスタが重なる領域を有してもよい。例えば、トランジスタ100とトランジスタ200が重なる領域を有してもよい。

[0301]

図35A、及び図35Bは、それぞれ図34A、及び図34Bに示す構成の変形例であり、導電層113が開口部141を埋めるように設けられ、導電層213が開口部241、及び開口部243を埋めるように設けられる例を示している。

[0302]

図36A、図36B、及び図36Cは、それぞれ図3D、図3E、及び図3Fに示す層120が2層積層して設けられる例を示す断面図である。図36Bでは、プラグ115b<i>と電氣的に接続される導電層117bを、導電層117b<i>と記載する。また、図36Cでは、プラグ115c<i>と電氣的に接続される導電層117cを、導電層117c<i>と記載する。以降の図面におい

ても同様の記載をする場合がある。

[0303]

図36Aに示すように、層120<1>において、絶縁層101<1>上には導電層311<1>が設けられ、導電層311<1>上、及び絶縁層101<1>上には絶縁層110、絶縁層106、絶縁層109、絶縁層111<1>、及び絶縁層101<2>がこの順で積層されて設けられる。絶縁層101<2>、絶縁層111<1>、絶縁層109、絶縁層106、及び絶縁層110には、導電層311<1>に達する開口部145a<1>が設けられ、開口部145a<1>を埋めるようにプラグ115a<1>が設けられる。つまり、開口部145a<1>の一部、及び導電層115a<1>の一部は、層120<2>に設けられる。プラグ115a<1>を介して、導電層311<1>と、プラグ115a<1>及び絶縁層101<2>上に設けられる導電層311<2>と、が電氣的に接続される。

[0304]

層120<2>において、導電層311<2>上に設けられる絶縁層110、絶縁層106、絶縁層109、及び絶縁層111<2>には、導電層311<2>に達する開口部145a<2>が設けられる。開口部145a<2>を埋めるように、プラグ115a<2>が設けられる。プラグ115a<2>上、及び絶縁層111<2>上には導電層117aが設けられ、プラグ115a<2>を介して導電層311<2>と導電層117aが電氣的に接続される。

[0305]

以上により、導電層311<1>、導電層311<2>、及び導電層117aは、プラグ115a<1>、及びプラグ115a<2>を介して電氣的に接続できる。

[0306]

図36Bに示すように、層120<1>において、絶縁層101<1>上には絶縁層110が設けられ、絶縁層110上には導電層312<1>が設けられる。また、導電層312<1>上には半導体層308<1>が設けられ、半導体層308<1>上、及び絶縁層110上には絶縁層106、絶縁層109、絶縁層111<1>、及び絶縁層101<2>がこの順に設けられる。絶縁層101<2>、絶縁層111<1>、絶縁層109、絶縁層106、及び半導体層308<1>には、導電層312<1>に達する開口部145b<1>が設けられ、開口部145b<1>を埋めるようにプラグ115b<1>が設けられる。つまり、開口部145b<1>の一部、及び導電層115b<1>の一部は、層120<2>に設けられる。

[0307]

導電層115b<1>上、及び絶縁層101<2>上には、導電層117b<1>が設けられる。つまり、導電層117b<1>は、層120<2>に設けられる。導電層117b<1>上、及び絶縁層101<2>上には、絶縁層110が設けられる。導電層117b<1>は、例えば層120<2>が有する導電層212aと同じ層に設けられる。プラグ115b<1>を介して、導電層312<1>と導電層117b<1>が電氣的に接続される。

[0308]

層120<2>において、導電層312<2>上には半導体層308<2>が設けられ、半導体層308<2>上には絶縁層106、絶縁層109、及び絶縁層111<2>がこの順で積層して設けられる。絶縁層111<2>、絶縁層109、絶縁層106、及び半導体層308<2>には、導電層312<2>に達する開口部145b<2>が設けられ、開口部145b<2>を埋めるようにプ

プラグ 1 1 5 b < 2 > が設けられる。プラグ 1 1 5 b < 2 > 上、及び絶縁層 1 1 1 < 2 > 上には導電層 1 1 7 b < 2 > が設けられ、プラグ 1 1 7 b < 2 > を介して導電層 3 1 2 < 2 > と導電層 1 1 7 b < 2 > が電氣的に接続される。

[0309]

図 3 6 C に示すように、層 1 2 0 < 1 > において、絶縁層 1 0 1 < 1 > 上には絶縁層 1 1 0、及び絶縁層 1 0 6 がこの順で積層されて設けられ、絶縁層 1 0 6 上には導電層 3 1 3 < 1 > が設けられる。導電層 3 1 3 < 1 > 上、及び絶縁層 1 0 6 上には、絶縁層 1 0 9、絶縁層 1 1 1 < 1 >、及び絶縁層 1 0 1 < 2 > がこの順で積層されて設けられる。絶縁層 1 0 1 < 2 >、絶縁層 1 1 1 < 1 >、及び絶縁層 1 0 9 には、導電層 3 1 3 < 1 > に達する開口部 1 4 5 c < 1 > が設けられ、開口部 1 4 5 c < 1 > を埋めるようにプラグ 1 1 5 c < 1 > が設けられる。つまり、開口部 1 4 5 c < 1 > の一部、及び導電層 1 1 5 c < 1 > の一部は、層 1 2 0 < 2 > に設けられる。

[0310]

導電層 1 1 5 c < 1 > 上、及び絶縁層 1 0 1 < 2 > 上には、導電層 1 1 7 c < 1 > が設けられる。つまり、導電層 1 1 7 c < 1 > は、層 1 2 0 < 2 > に設けられる。導電層 1 1 7 c < 1 > 上、及び絶縁層 1 0 1 < 2 > 上には、絶縁層 1 1 0 が設けられる。導電層 1 1 7 c < 1 > は、例えば層 1 2 0 < 2 > が有する導電層 2 1 2 a と同じ層に設けられる。プラグ 1 1 5 c < 1 > を介して、導電層 3 1 3 < 1 > と導電層 1 1 7 c < 1 > が電氣的に接続される。

[0311]

層 1 2 0 < 2 > において、導電層 3 1 3 < 2 > 上には絶縁層 1 0 9、及び絶縁層 1 1 1 < 2 > がこの順で積層して設けられる。絶縁層 1 1 1 < 2 >、及び絶縁層 1 0 9 には、導電層 3 1 3 < 2 > に達する開口部 1 4 5 c < 2 > が設けられ、開口部 1 4 5 c < 2 > を埋めるようにプラグ 1 1 5 c < 2 > が設けられる。プラグ 1 1 5 c < 2 > 上、及び絶縁層 1 1 1 < 2 > 上には導電層 1 1 7 c < 2 > が設けられ、プラグ 1 1 7 c < 2 > を介して導電層 3 1 3 < 2 > と導電層 1 1 7 c < 2 > が電氣的に接続される。

[0312]

図 3 7 A、図 3 7 B、及び図 3 7 C は、それぞれ図 3 D、図 3 E、及び図 3 F に示す層 1 2 0 が n 層積層して設けられる例を示す断面図である。層 1 2 0 < 1 > は、図 3 6 A、図 3 6 B、及び図 3 6 C に示す層 1 2 0 < 1 > と同様の構成とすることができる。層 1 2 0 < 2 > 乃至層 1 2 0 < n - 1 > にも、層 1 2 0 < 1 > と同様に導電層 3 1 1、導電層 3 1 2、導電層 3 1 3、プラグ 1 1 5 a、プラグ 1 1 5 b、プラグ 1 1 5 c、導電層 1 1 7 b、及び導電層 1 1 7 c 等が設けられる。層 1 2 0 < n > は、図 3 6 A、図 3 6 B、及び図 3 6 C に示す層 1 2 0 < 2 > と同様の構成とすることができる。

[0313]

図 3 7 A に示す例において、プラグ 1 1 5 a < n > 上、及び絶縁層 1 1 1 < n > 上には、導電層 1 1 7 a が設けられる。導電層 3 1 1 < 1 > 乃至導電層 3 1 1 < n > と、導電層 1 1 7 a と、はプラグ 1 1 5 a < 1 > 乃至プラグ 1 1 5 a < n > を介して電氣的に接続できる。また、図 3 7 B に示す例において、プラグ 1 1 5 b < n > 上、及び絶縁層 1 1 1 < n > 上には、導電層 1 1 7 b < n > が設けられる。さらに、図 3 7 C に示す例において、プラグ 1 1 5 c < n > 上、及び絶縁層 1 1 1 < n > 上には、導電層 1 1 7 c < n > が設けられる。

[0314]

以上のように、半導体装置 2 0 に層 1 2 0 を複数積層して設けることにより、半導体装置 2 0 の占有

面積が大きくなることを抑制しつつ、多くのトランジスタ 100、及びトランジスタ 200 を半導体装置 20 に設けることができる。また、異なる層 120 に設けられるトランジスタ等の要素を、電氣的に接続できる。以上により、小型且つ高性能な半導体装置を提供できる。図 34A 乃至図 37C に示す半導体装置は、例えば図 20A に示す表示装置 30、及び図 25A に示す表示装置 30 に適用できる。例えば、走査線駆動回路 31、信号線駆動回路 33、電源回路 35、及び基準電位生成回路 37 に、図 34A 乃至図 37C に示す半導体装置を適用できる。

[0315]

以下では、半導体装置 20 の各構成要素に適用できる材料について説明する。

[0316]

[半導体層 108、及び半導体層 208]

半導体層 108、及び半導体層 208 に用いることができる金属酸化物について、具体的に説明する。金属酸化物として、例えば、インジウム酸化物、ガリウム酸化物、及び亜鉛酸化物が挙げられる。金属酸化物は、少なくともインジウム又は亜鉛を含むことが好ましい。また、金属酸化物は、インジウムと、元素 M と、亜鉛と、の中から選ばれる 2 つ又は 3 つを有することが好ましい。なお、元素 M は、酸素との結合エネルギーが高い金属元素又は半金属元素であり、例えば、酸素との結合エネルギーがインジウムよりも高い金属元素又は半金属元素である。元素 M として、具体的には、アルミニウム、ガリウム、スズ、イットリウム、チタン、バナジウム、クロム、マンガン、鉄、コバルト、ニッケル、ジルコニウム、モリブデン、ハフニウム、タンタル、タングステン、ランタン、セリウム、ネオジム、マグネシウム、カルシウム、ストロンチウム、バリウム、ホウ素、シリコン、ゲルマニウム、及びアンチモン等が挙げられる。金属酸化物が有する元素 M は、上記元素のいずれか一種又は複数種であることが好ましく、アルミニウム、ガリウム、スズ、及びイットリウムから選ばれた一種又は複数種であることがより好ましく、ガリウム及びスズの一種又は複数種がさらに好ましい。なお、本明細書等において、金属元素と半金属元素をまとめて「金属元素」と呼ぶことがあり、本明細書等に記載の「金属元素」には半金属元素が含まれることがある。

[0317]

半導体層 108、及び半導体層 208 はそれぞれ、例えば、インジウム酸化物 (In 酸化物)、インジウム亜鉛酸化物 (In-Zn 酸化物)、インジウムスズ酸化物 (In-Sn 酸化物、ITO とも記す)、インジウムチタン酸化物 (In-Ti 酸化物)、インジウムガリウム酸化物 (In-Ga 酸化物)、インジウムタングステン酸化物 (In-W 酸化物、IWO とも記す)、インジウムガリウムアルミニウム酸化物 (In-Ga-Al 酸化物)、インジウムガリウムスズ酸化物 (In-Ga-Sn 酸化物、IGTO とも記す)、ガリウム亜鉛酸化物 (Ga-Zn 酸化物、GZO とも記す)、アルミニウム亜鉛酸化物 (Al-Zn 酸化物、AZO とも記す)、インジウムアルミニウム亜鉛酸化物 (In-Al-Zn 酸化物、IAZO とも記す)、インジウムスズ亜鉛酸化物 (In-Sn-Zn 酸化物、ITZO (登録商標) とも記す)、インジウムスズガリウム酸化物 (In-Sn-Ga 酸化物)、インジウムチタン亜鉛酸化物 (In-Ti-Zn 酸化物)、インジウムガリウム亜鉛酸化物 (In-Ga-Zn 酸化物、IGZO とも記す)、インジウムガリウムスズ亜鉛酸化物 (In-Ga-Sn-Zn 酸化物、IGZTO とも記す)、インジウムガリウムアルミニウム亜鉛酸化物 (In-Ga-Al-Zn 酸化物、IGAZO、IGZAO、又は IAGZO とも記す) 等を用いることができる。又は、シリコンを含むインジウムスズ酸化物 (ITSO とも記す)、ガリウムスズ酸化物 (Ga-Sn 酸化物)、アルミニウムスズ酸化物 (Al-Sn 酸化物) 等を用いることができる。又は、アモルファス構造を有す

る上記酸化物を用いることができる。例えば、アモルファス構造を有するインジウム酸化物、又はアモルファス構造を有するインジウムスズ酸化物等を用いることができる。

[0318]

金属酸化物に含まれる全ての金属元素の原子数の和に対するインジウムの原子数の割合を高くすることにより、トランジスタの電界効果移動度を高めることができる。また、オン電流が大きいトランジスタを実現できる。

[0319]

なお、金属酸化物は、インジウムに代えて、又は、インジウムに加えて、周期の数が大きい金属元素の一種又は複数種を有してもよい。金属元素の軌道の重なりが大きいほど、金属酸化物におけるキャリア伝導は大きくなる傾向がある。よって、周期の数が大きい金属元素を有することで、トランジスタの電界効果移動度を高めることができる場合がある。周期の数が大きい金属元素として、第5周期に属する金属元素、及び第6周期に属する金属元素等が挙げられる。当該金属元素として、具体的には、イットリウム、ジルコニウム、銀、カドミウム、スズ、アンチモン、バリウム、鉛、ビスマス、ランタン、セリウム、プラセオジム、ネオジム、プロメチウム、サマリウム、及びユウロピウム等が挙げられる。なお、ランタン、セリウム、プラセオジム、ネオジム、プロメチウム、サマリウム、及びユウロピウムは、軽希土類元素と呼ばれる。

[0320]

金属酸化物は、非金属元素の一種又は複数種を有してもよい。金属酸化物が非金属元素を有することで、キャリア濃度の増加、又は、バンドギャップの縮小等が生じ、トランジスタの電界効果移動度を高めることができる場合がある。非金属元素として、例えば、炭素、窒素、リン、硫黄、セレン、フッ素、塩素、臭素、及び水素等が挙げられる。

[0321]

金属酸化物に含まれる全ての金属元素の原子数の和に対する亜鉛の原子数の割合を高くすることにより、結晶性の高い金属酸化物となり、金属酸化物中の不純物の拡散を抑制できる。したがって、トランジスタの電気特性の変動が抑制され、信頼性を高めることができる。

[0322]

金属酸化物に含まれる全ての金属元素の原子数の和に対する元素Mの原子数の割合を高くすることにより、金属酸化物に酸素欠損 (V_o) が形成されることを抑制できる。したがって、酸素欠損 (V_o) に起因するキャリア生成が抑制され、オフ電流が小さいトランジスタとすることができる。また、トランジスタの電気特性の変動が抑制され、信頼性を高めることができる。

[0323]

半導体層108、及び半導体層208に適用する金属酸化物の組成により、トランジスタの電気特性、及び信頼性が異なる。したがって、トランジスタに求められる電気特性、及び信頼性に応じて金属酸化物の組成を異ならせることにより、優れた電気特性と高い信頼性を両立した半導体装置とすることができる。

[0324]

金属酸化物が I_n-M-Z_n 酸化物の場合、当該 I_n-M-Z_n 酸化物における I_n の原子数比はMの原子数比以上であることが好ましい。このような I_n-M-Z_n 酸化物の金属元素の原子数比として、例えば、 $I_n:M:Z_n=1:1:1$ 、 $I_n:M:Z_n=1:1:1.2$ 、 $I_n:M:Z_n=2:1:3$ 、 $I_n:M:Z_n=3:1:2$ 、 $I_n:M:Z_n=4:2:3$ 、 $I_n:M:Z_n=4:$

2 : 4. 1、 $\text{In} : \text{M} : \text{Zn} = 5 : 1 : 3$ 、 $\text{In} : \text{M} : \text{Zn} = 5 : 1 : 6$ 、 $\text{In} : \text{M} : \text{Zn} = 5 : 1 : 7$ 、 $\text{In} : \text{M} : \text{Zn} = 5 : 1 : 8$ 、 $\text{In} : \text{M} : \text{Zn} = 6 : 1 : 6$ 、 $\text{In} : \text{M} : \text{Zn} = 10 : 1 : 1$ 、 $\text{In} : \text{M} : \text{Zn} = 10 : 1 : 3$ 、 $\text{In} : \text{M} : \text{Zn} = 10 : 1 : 4$ 、 $\text{In} : \text{M} : \text{Zn} = 10 : 1 : 6$ 、 $\text{In} : \text{M} : \text{Zn} = 10 : 1 : 7$ 、 $\text{In} : \text{M} : \text{Zn} = 10 : 1 : 8$ 、 $\text{In} : \text{M} : \text{Zn} = 5 : 2 : 5$ 、 $\text{In} : \text{M} : \text{Zn} = 10 : 1 : 10$ 、 $\text{In} : \text{M} : \text{Zn} = 20 : 1 : 10$ 、 $\text{In} : \text{M} : \text{Zn} = 40 : 1 : 10$ 、及びこれらの近傍の組成が挙げられる。なお、近傍の組成とは、所望の原子数比の $\pm 30\%$ の範囲を含む。金属酸化物中のインジウムの原子数比を大きくすることで、トランジスタのオン電流、又は電界効果移動度等を高めることができる。

[0325]

$\text{In}-\text{M}-\text{Zn}$ 酸化物における In の原子数比は M の原子数比未満であってもよい。このような $\text{In}-\text{M}-\text{Zn}$ 酸化物の金属元素の原子数比として、例えば、 $\text{In} : \text{M} : \text{Zn} = 1 : 3 : 2$ 、 $\text{In} : \text{M} : \text{Zn} = 1 : 3 : 3$ 、 $\text{In} : \text{M} : \text{Zn} = 1 : 3 : 4$ 、及びこれらの近傍の組成が挙げられる。金属酸化物中の M の原子数の割合を大きくすることで、酸素欠損 (V_O) の生成を抑制できる。

[0326]

なお、元素 M として複数の金属元素を有する場合は、当該金属元素の原子数の割合の合計を、元素 M の原子数の割合とすることができる。

[0327]

本明細書等において、含有される全ての金属元素の原子数の和に対するインジウムの原子数の割合を、インジウムの含有率と記す場合がある。他の金属元素においても同様である。

[0328]

半導体層108、及び半導体層208にインジウムの含有率が高い材料を用いることで、トランジスタのオン電流、又は電界効果移動度等を高めることができる。さらに、元素 M を有することで、酸素欠損 (V_O) の生成を抑制できる。元素 M の含有率 (含有される全ての金属元素の原子数の和に対する元素 M の原子数の割合) は、 0.1% 以上 3% 以下が好ましく、さらには 0.1% 以上 2% 以下が好ましい。これにより、電気特性が良好なトランジスタとすることができる。例えば、 $\text{In} : \text{M} : \text{Zn} = 40 : 1 : 10$ 、及びその近傍の金属酸化物を用いることが好ましい。元素 M は、上記元素のいずれか一種又は複数種であることが好ましく、アルミニウム、ガリウム、スズ、及びイットリウムから選ばれた一種又は複数種であることがより好ましい。具体的には、 $\text{In} : \text{Sn} : \text{Zn} = 40 : 1 : 10$ 、及びその近傍の金属酸化物を好適に用いることができる。又は、 $\text{In} : \text{Al} : \text{Zn} = 40 : 1 : 10$ 、及びその近傍の金属酸化物を好適に用いることができる。

[0329]

ここで、半導体層108、及び半導体層208に多結晶構造の金属酸化物を用いると、結晶粒界が再結合中心となり、キャリアが捕獲されることにより、トランジスタのオン電流が小さくなってしまう場合がある。多結晶構造になりやすい組成の金属酸化物を用いる場合、結晶化を阻害する元素を含むことが好ましい。例えば、インジウムスズ酸化物 (ITO) と比較して、シリコンを含むインジウムスズ酸化物 (ITSO) は多結晶構造になりづらいため、半導体層108、及び半導体層208に好適に用いることができる。 ITSO を用いる場合、シリコンの含有率 (含有される全ての金属元素の原子数の和に対するシリコンの原子数の割合) は、 1% 以上 20% 以下が好ましく、さらには 3% 以上 20% 以下が好ましく、さらには 3% 以上 15% 以下が好ましく、さらには 5% 以上 15% 以下が好ましい。具体的には、 $\text{In} : \text{Sn} : \text{Si} = 45 : 5 : 4$ 、 $\text{In} : \text{Sn} : \text{Si} = 95 : 5 : 8$ 、及び

これらの近傍の金属酸化物を好適に用いることができる。

[0330]

半導体層108、及び半導体層208の組成の分析には、例えば、エネルギー分散型X線分光法（EDX: Energy Dispersive X-ray Spectrometry）、X線光電子分光法（XPS: X-ray Photoelectron Spectrometry）、誘導結合プラズマ質量分析法（ICP-MS: Inductively Coupled Plasma-Mass Spectrometry）、又は誘導結合高周波プラズマ発光分光法（ICP-AES: Inductively Coupled Plasma-Atomic Emission Spectrometry）を用いることができる。又は、これらの手法を複数組み合わせる分析を行ってもよい。なお、含有率が低い元素は、分析精度の影響により、実際の含有率と分析によって得られた含有率が異なる場合がある。例えば、元素Mの含有率が低い場合、分析によって得られた元素Mの含有率が、実際の含有率より低くなる場合がある。

[0331]

金属酸化物の形成には、スパッタリング法、又は原子層堆積（ALD: Atomic Layer Deposition）法を好適に用いることができる。なお、金属酸化物をスパッタリング法で形成する場合、形成後の金属酸化物の組成はスパッタリングターゲットの組成と異なる場合がある。特に、亜鉛は、形成後の金属酸化物における含有率が、スパッタリングターゲットと比較して50%程度にまで減少する場合がある。

[0332]

半導体層108、及び半導体層208はそれぞれ、2以上の金属酸化物層を有する積層構造としてもよい。半導体層108、及び半導体層208のそれぞれが有する2以上の金属酸化物層は、組成が互いに同じ、又は概略同じであってもよい。組成が同じ金属酸化物層の積層構造とすることで、例えば、同じスパッタリングターゲットを用いて形成できるため、作製コストを削減できる。

[0333]

半導体層108、及び半導体層208のそれぞれが有する2以上の金属酸化物層は、組成が互いに異なってもよい。例えば、 $In:M:Zn=1:3:4$ [原子数比] もしくはその近傍の組成の第1の金属酸化物層と、当該第1の金属酸化物層上に設けられる $In:M:Zn=1:1:1$ [原子数比] もしくはその近傍の組成の第2の金属酸化物層と、の積層構造を好適に用いることができる。また、元素Mとして、ガリウム、アルミニウム、又はスズを用いることが特に好ましい。第1の金属酸化物層と第2の金属酸化物層における元素Mは、同じであってもよく、互いに異なってもよい。例えば、第1の金属酸化物層と第2の金属酸化物層は、互いに組成が異なるIGZO層であってもよい。

[0334]

例えば、 $In:Zn=4:1$ [原子数比] もしくはその近傍の組成の第1の金属酸化物層と、当該第1の金属酸化物層上に設けられる $In:M:Zn=1:1:1$ [原子数比] もしくはその近傍の組成の第2の金属酸化物層と、の積層構造を好適に用いることができる。

[0335]

例えば、インジウム酸化物、インジウムガリウム酸化物、及びIGZOの中から選ばれるいずれか1つと、IAZO、IAGZO、及びITZO（登録商標）の中から選ばれるいずれか1つと、の積層構造を用いてもよい。

[0336]

なお、第1の金属酸化物を有する第1の金属酸化物層と、第2の金属酸化物を有する第2の金属酸化物層の積層構造とし、第1の金属酸化物の組成と第2の金属酸化物の組成が同じ、又は概略同じである場合、第1の金属酸化物層と第2の金属酸化物層の境界(界面)を明確に確認できない場合がある。

[0337]

半導体層108、及び半導体層208は、結晶性を有する金属酸化物を用いることが好ましい。結晶性を有する金属酸化物の構造として、例えば、CAAC(c-axis aligned crystal)構造、多結晶構造、及び微結晶(nc:nano-crystal)構造が挙げられる。結晶性を有する金属酸化物を用いることにより、半導体層208中及び半導体層108中の欠陥準位密度を低減でき、信頼性の高い半導体装置を実現できる。

[0338]

半導体層108、及び半導体層208はそれぞれ、CAAC-OS又はnc-OSを用いることが好ましい。

[0339]

CAAC-OSは、複数の層状結晶を有する。当該結晶のc軸は、被形成面の法線方向に配向している。半導体層108、及び半導体層208はそれぞれ、被形成面に対して平行又は概略平行な層状結晶を有することが好ましい。例えば、半導体層208は、導電層212bの上面と接する領域においては当該上面に対して平行又は概略平行な層状結晶を有し、導電層212bの側面と接する領域においては当該側面に対して平行又は概略平行な層状結晶を有することが好ましい。特に、半導体層208は、開口部241において、被形成面である絶縁層110の側面に対して平行又は概略平行な層状結晶を有することが好ましい。このような構成とすることにより、トランジスタ200のチャネル長方向に対して、半導体層208の層状結晶が平行又は概略平行に形成されるため、オン電流の大きいトランジスタとすることができる。同様に、半導体層108は、被形成面(ここでは、絶縁層110の側面、導電層112aの側面、及び導電層112bの側面)に対して平行又は概略平行な層状結晶を有することが好ましい。特に、半導体層108は、導電層113と重なる領域において、被形成面である絶縁層110の側面に対して平行又は概略平行な層状結晶を有することが好ましい。

[0340]

チャネル形成領域に結晶性が高い金属酸化物を用いることで、チャネル形成領域中の欠陥準位密度を低減できる。一方、結晶性の低い金属酸化物を用いることで、大きな電流を流すことができるトランジスタを実現できる。

[0341]

金属酸化物をスパッタリング法により形成する場合、形成時の基板温度が高いほど、結晶性の高い金属酸化物を形成できる。形成時の基板温度は、例えば、形成時に基板が置かれるステージの温度により調整できる。また、形成に用いる成膜ガス全体に対する酸素ガスの流量の割合(以下、酸素流量比ともいう)、又は処理室内の酸素分圧が高いほど、結晶性の高い金属酸化物を形成できる。

[0342]

半導体層108、及び半導体層208の結晶性は、例えば、X線回折(XRD:XRay Diffraction)パターン、透過型電子顕微鏡(TEM:Transmission Electron Microscope)像、又は電子線回折(ED:Electron Diffraction)パターンにより解析できる。又は、これらの手法を複数組み合わせることで分析を行ってもよい。

[0343]

半導体層 108、及び半導体層 208 に金属酸化物を用いる場合、チャネル形成領域の V_{OH} をできる限り低減し、高純度真性又は実質的に高純度真性にすることが好ましい。このように、 V_{OH} が十分低減された金属酸化物を得るには、金属酸化物中の水、及び水素等の不純物を除去すること（脱水、又は脱水素化処理と記載する場合がある。）と、金属酸化物に酸素を供給して酸素欠損（ V_O ）を修復することが重要である。 V_{OH} 等の不純物が十分に低減された金属酸化物をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与できる。なお、金属酸化物に酸素を供給して酸素欠損（ V_O ）を修復することを、加酸素化処理と記す場合がある。

[0344]

半導体層 108、及び半導体層 208 に金属酸化物を用いる場合、チャネル形成領域のキャリア濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であることが好ましく、 $1 \times 10^{17} \text{ cm}^{-3}$ 未満であることがより好ましく、 $1 \times 10^{16} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{13} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{12} \text{ cm}^{-3}$ 未満であることがさらに好ましい。なお、チャネル形成領域のキャリア濃度の下限値について限定は無いが、例えば、 $1 \times 10^{-9} \text{ cm}^{-3}$ とすることができる。

[0345]

OS トランジスタは、放射線照射による電気特性の変動が小さい、つまり放射線に対する耐性が高いため、放射線が入射しうる環境においても好適に用いることができる。OS トランジスタは、放射線に対する信頼性が高いともいえる。例えば、X 線のフラットパネルディテクタの画素回路に、OS トランジスタを好適に用いることができる。また、OS トランジスタは、宇宙空間で使用する半導体装置に好適に用いることができる。放射線として、電磁放射線（例えば、X 線、及びガンマ線）、及び粒子放射線（例えば、アルファ線、ベータ線、陽子線、及び中性子線）が挙げられる。

[0346]

半導体層 108、及び半導体層 208 はそれぞれ、半導体として機能する層状物質を有してもよい。層状物質とは、層状の結晶構造を有する材料群の総称である。層状の結晶構造は、共有結合又はイオン結合によって形成される層が、ファンデルワールス結合のような、共有結合又はイオン結合よりも弱い結合を介して積層している構造である。層状物質は、単位層内における電気伝導性が高く、つまり、2 次元電気伝導性が高い。半導体として機能し、かつ、2 次元電気伝導性の高い材料をチャネル形成領域に用いることで、オン電流が大きいトランジスタを提供できる。

[0347]

上記層状物質として、例えば、グラフェン、シリセン、及びカルコゲン化物等が挙げられる。カルコゲン化物は、カルコゲン（第 16 族に属する元素）を含む化合物である。また、カルコゲン化物として、遷移金属カルコゲナイド、及び 13 族カルコゲナイド等が挙げられる。トランジスタのチャネル形成領域として適用可能な遷移金属カルコゲナイドとして、具体的には、硫化モリブデン（代表的には MoS_2 ）、セレン化モリブデン（代表的には MoSe_2 ）、モリブデンテルル（代表的には MoTe_2 ）、硫化タングステン（代表的には WS_2 ）、セレン化タングステン（代表的には WSe_2 ）、タングステンテルル（代表的には WTe_2 ）、硫化ハフニウム（代表的には HfS_2 ）、セレン化ハフニウム（代表的には HfSe_2 ）、硫化ジルコニウム（代表的には ZrS_2 ）、及びセレン化ジルコニウム（代表的には ZrSe_2 ）等が挙げられる。

[0348]

[導電層 112a、導電層 112b、導電層 113、導電層 212a、導電層 212b、及び導電層 213]

導電層 112a、導電層 112b、導電層 113、導電層 212a、導電層 212b、及び導電層 213 はそれぞれ、単層構造でもよく、2層以上の積層構造であってもよい。導電層 112a、導電層 112b、導電層 113、導電層 212a、導電層 212b、及び導電層 213 に用いることができる材料として、それぞれ、例えば、クロム、銅、アルミニウム、金、銀、亜鉛、タンタル、チタン、タングステン、マンガン、ニッケル、鉄、コバルト、モリブデン、及びニオブの一又は複数、並びに前述した金属の一又は複数を成分とする合金が挙げられる。導電層 112a、導電層 112b、導電層 113、導電層 212a、導電層 212b、及び導電層 213 にはそれぞれ、銅、銀、金、及びアルミニウムのうち一又は複数を含む、低抵抗な導電材料を好適に用いることができる。特に、銅又はアルミニウムは量産性に優れるため好ましい。

[0349]

導電層 112a、導電層 112b、導電層 113、導電層 212a、導電層 212b、及び導電層 213 にはそれぞれ、導電性を有する金属酸化物（酸化物導電体）を用いることができる。酸化物導電体（OC: Oxide Conductor）として、例えば、酸化インジウム、酸化亜鉛、In-Sn 酸化物（ITO）、In-Zn 酸化物、In-W 酸化物、In-W-Zn 酸化物、In-Ti 酸化物、In-Ti-Sn 酸化物、In-Sn-Si 酸化物（シリコンを含む ITO、ITSO ともいう）、ガリウムを添加した酸化亜鉛、及び In-Ga-Zn 酸化物が挙げられる。特にインジウムを含む導電性酸化物は、導電性が高いため好ましい。

[0350]

半導体特性を有する金属酸化物に酸素欠損を形成し、該酸素欠損に水素を添加すると、伝導帯近傍にドナー準位が形成される。この結果、金属酸化物は、導電性が高くなり導電体化する。導電体化された金属酸化物を、酸化物導電体とすることができる。

[0351]

導電層 112a、導電層 112b、導電層 113、導電層 212a、導電層 212b、及び導電層 213 はそれぞれ、前述の酸化物導電体（金属酸化物）を含む導電膜と、金属又は合金を含む導電膜と、の積層構造としてもよい。金属又は合金を含む導電膜を用いることで、配線抵抗を小さくできる。

[0352]

導電層 112a、導電層 112b、導電層 113、導電層 212a、導電層 212b、及び導電層 213 はそれぞれ、Cu-X 合金膜（X は、Mn、Ni、Cr、Fe、Co、Mo、Ta、又は Ti）を適用してもよい。Cu-X 合金膜を用いることで、ウェットエッチング法により加工できるため、作製コストを削減できる。

[0353]

なお、導電層 112a、導電層 112b、導電層 113、導電層 212a、導電層 212b、及び導電層 213 は互いに同じ材料を用いてもよく、異なる材料を用いてもよい。

[0354]

導電層 112a 及び導電層 112b は、半導体層 108 と接する領域を有する。導電層 212a 及び導電層 212b は、半導体層 208 と接する領域を有する。半導体層 108 として金属酸化物を用いる場合、導電層 112a 及び導電層 112b に酸化されやすい金属（例えば、アルミニウム）を用いると、導電層 112a と半導体層 108 との間、及び導電層 112b と半導体層 108 との間に絶縁性の酸化物（例えば、酸化アルミニウム）が形成され、これらの導通を妨げる恐れがある。同様に、半導体層 208 として金属酸化物を用いる場合、導電層 212a 及び導電層 212b に酸化されや

すい金属を用いると、導電層 212a と半導体層 208 との間、及び導電層 212b と半導体層 208 との間に絶縁性の酸化物が形成され、これらの導通を妨げる恐れがある。そのため、導電層 112a、導電層 112b、導電層 212a、及び導電層 212b には、酸化されにくい導電材料、酸化されても電気抵抗が低く保たれる導電材料、又は酸化物導電材料を用いることが好ましい。

[0355]

導電層 112a、導電層 112b、導電層 212a、及び導電層 212b にはそれぞれ、例えば、チタン、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、ルテニウム、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物を用いることが好ましい。これらは、酸化されにくい導電材料、又は、酸化されても電気抵抗が低く保たれる材料であるため、好ましい。

[0356]

導電層 112a、導電層 112b、導電層 212a、及び導電層 212b にはそれぞれ、前述の酸化物導電体を用いることができる。具体的には、酸化インジウム、酸化亜鉛、ITO、In-Zn 酸化物、In-W 酸化物、In-W-Zn 酸化物、In-Ti 酸化物、In-Ti-Sn 酸化物、シリコンを含む In-Sn 酸化物、又はガリウムを添加した酸化亜鉛等の導電性酸化物を用いることができる。

[0357]

導電層 112a、導電層 112b、導電層 212a、及び導電層 212b にはそれぞれ、窒化物導電体を用いてもよい。窒化物導電体として、例えば、窒化タンタル、及び窒化チタンが挙げられる。

[0358]

導電層 112a、導電層 112b、導電層 113、導電層 212a、導電層 212b、及び導電層 113 はそれぞれ、積層構造を有してもよい。このとき、少なくとも半導体層 108、又は半導体層 208 と接する領域には、酸化されにくい導電材料、酸化されても電気抵抗が低く保たれる導電材料、又は酸化物導電材料を用いることが好ましい。また、半導体層 108、及び半導体層 208 と接しない領域には、電気抵抗率の低い材料を用いることが好ましい。これにより、導電層の電気抵抗を低くできる。例えば、半導体層 108、又は半導体層 208 と接する領域に In-Sn-Si 酸化物 (ITSO) を、半導体層 108 及び半導体層 208 と接しない領域に銅又はタングステンを好適に用いることができる。

[0359]

[絶縁層 106]

絶縁層 106 は、単層構造でもよく、2層以上の積層構造であってもよい。絶縁層 106 は、1層以上の無機絶縁層膜を有することが好ましい。無機絶縁膜に用いることができる材料として、例えば、酸化物、窒化物、酸化窒化物、及び窒化酸化物が挙げられる。絶縁層 106 は、絶縁層 110 に用いることができる材料を用いることができる。

[0360]

絶縁層 106 は、半導体層 108、及び半導体層 208 と接する領域を有する。半導体層 108、及び半導体層 208 に金属酸化物を用いる場合、絶縁層 106 を構成する膜のうち、少なくとも半導体層 108、及び半導体層 208 と接する膜には、前述の酸化物及び酸化窒化物のいずれかを用いることが好ましい。また、絶縁層 106 には、加熱により酸素を放出する膜を用いるとより好ましい。

[0361]

具体的には、絶縁層 106 が単層構造の場合、絶縁層 106 には、酸化物又は酸化窒化物を用いることが好ましい。具体的には、絶縁層 106 は、酸化シリコン又は酸化窒化シリコンを好適に用いることができる。

[0362]

絶縁層 106 を積層構造とする場合、半導体層 108、及び半導体層 208 と接する側の絶縁膜は酸化物又は酸化窒化物を有し、導電層 213 及び導電層 113 と接する側の絶縁膜は窒化物又は窒化酸化物を有することが好ましい。当該酸化物又は酸化窒化物として、例えば、酸化シリコン又は酸化窒化シリコンを好適に用いることができる。当該窒化物又は窒化酸化物として、窒化シリコン又は窒化酸化シリコンを好適に用いることができる。

[0363]

窒化シリコン、及び窒化酸化シリコンは自身から放出される不純物（例えば、水及び水素）の量が少なく、酸素及び水素が透過しにくい特徴を有するため、絶縁層 106 として好適に用いることができる。不純物が絶縁層 106 から、半導体層 108 及び半導体層 208 に拡散することが抑制されることで、トランジスタの電気特性を良好とし、且つ信頼性を高めることができる。

[0364]

なお、微細なトランジスタにおいて、ゲート絶縁層の厚さが薄くなると、リーク電流が大きくなってしまう場合がある。ゲート絶縁層に、比誘電率の高い材料（high-k 材料ともいう）を用いることで物理膜厚を保ちながら、トランジスタ動作時の低電圧化が可能となる。絶縁層 106 に用いることができる high-k 材料として、例えば、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウム及びハフニウムを有する酸化物、アルミニウム及びハフニウムを有する酸化窒化物、シリコン及びハフニウムを有する酸化物、シリコン及びハフニウムを有する酸化窒化物、並びに、シリコン及びハフニウムを有する窒化物が挙げられる。

[0365]

[絶縁層 109、及び絶縁層 111]

トランジスタ 100 及びトランジスタ 200 の保護層として機能する絶縁層 109 は、不純物が拡散しにくい材料を用いることが好ましい。絶縁層 109 を設けることにより、トランジスタに外部から不純物が拡散することを効果的に抑制でき、半導体装置の信頼性を高めることができる。不純物として、例えば、水及び水素が挙げられる。また、前述のように、絶縁層 111 は、層間絶縁層として機能し、平坦化されていることが好ましい。

[0366]

絶縁層 109、及び絶縁層 111 は、無機材料を有する絶縁層とすることができる。絶縁層 109、及び絶縁層 111 は、例えば、酸化物、酸化窒化物、窒化酸化物又は窒化物の無機材料を好適に用いることができる。より具体的には、酸化シリコン、窒化シリコン、窒化酸化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化アルミニウム、酸化ハフニウム、及びハフニウムアルミネートの一又は複数を有することができる。

[0367]

また、絶縁層 109 及び絶縁層 111 の一方又は双方を、有機材料を有する絶縁層としてもよい。例えば、絶縁層 109 を無機材料とし、絶縁層 111 を有機材料としてもよい。有機材料として、例えば、アクリル樹脂、及びポリイミド樹脂の一又は複数を有することができる。また、有機材料として、感光性の材料を用いてもよい。絶縁層 111 を有機材料とすることにより、化学機械研磨（CMP：

Chemical Mechanical Polishing) 法を用いなくても、絶縁層 111 を平坦化できる。

[0368]

[基板 102]

基板 102 の材質に大きな制限はないが、少なくとも、後の熱処理に耐えうる程度の耐熱性を有している必要がある。例えば、シリコン、又は炭化シリコンを材料とした単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウム等の化合物半導体基板、SOI 基板、ガラス基板、石英基板、サファイア基板、セラミック基板、又は有機樹脂基板を、基板 102 として用いてもよい。また、基板 102 には、半導体素子が設けられていてもよい。なお、半導体基板、及び絶縁性基板の形状は円形であってもよく、角形であってもよい。

[0369]

基板 102 として、可撓性基板を用い、可撓性基板上に直接、トランジスタ 100、及びトランジスタ 200 等を形成してもよい。又は、基板 102 と、トランジスタ 100 及びトランジスタ 200 等と、の間に剥離層を設けてもよい。剥離層を設けることにより、その上に半導体装置を一部あるいは全部完成させた後、基板 102 より分離し、他の基板に転載できる。その際、トランジスタ 100 及びトランジスタ 200 等を耐熱性の劣る基板、又は可撓性基板にも転載できる。

[0370]

基板 102 として、前述の基板上に絶縁層を積層させて用いてもよい。

[0371]

<半導体装置の作製方法例>

以下では、本発明の一態様の半導体装置の作製方法例について、図面を用いて説明する。なお、各要素の材料及び形成方法について、先に説明した部分と同様の部分については説明を省略することがある。

[0372]

半導体装置を構成する薄膜（絶縁膜、半導体膜、及び導電膜等）は、スパッタリング法、CVD 法、真空蒸着法、パルスレーザー堆積 (PLD: Pulsed Laser Deposition) 法、ALD 法、分子線エピタキシー (MBE: Molecular Beam Epitaxy) 法などを用いて形成できる。CVD 法には、PECVD 法、及び熱 CVD 法などがある。また、熱 CVD 法のひとつに、有機金属化学気相堆積 (MOCVD: Metal Organic CVD) 法がある。

[0373]

半導体装置を構成する薄膜（絶縁膜、半導体膜、及び導電膜等）は、スピンコート、ディップ、スプレー塗布、インクジェット、ディスペンス、スクリーン印刷、オフセット印刷、ドクターナイフ法、スリットコート、ロールコート、カーテンコート、又はナイフコート等の湿式の成膜方法により形成できる。

[0374]

半導体装置を構成する薄膜を形成する際には、例えばフォトリソグラフィ法を用いることができる。又は、ナノインプリント法、サンドブラスト法、リフトオフ法等により薄膜を形成してもよい。また、メタルマスク等の遮蔽マスクを用いた成膜方法により、島状の薄膜を直接形成してもよい。

[0375]

フォトリソグラフィ法を用いた層の形成方法として、代表的には以下の 2 つの方法がある。1 つは、

加工したい薄膜上にレジストマスクを形成して、例えばエッチング法により当該薄膜を加工し、レジストマスクを除去する方法である。もう1つは、感光性を有する薄膜を成膜した後に、露光、現像を行って、当該薄膜を所望の形状に加工する方法である。

[0376]

フォトリソグラフィ法において、露光に用いる光は、例えばi線（波長365nm）、g線（波長436nm）、h線（波長405nm）、又はこれらを混合させた光を用いることができる。そのほか、紫外線、KrFレーザ光、又はArFレーザ光等を用いることもできる。また、液浸露光技術により露光を行ってもよい。また、露光に用いる光として、極端紫外（EUV: Extreme Ultraviolet）光、又はX線を用いてもよい。また、露光に用いる光に換えて、電子ビームを用いることもできる。極端紫外光、X線又は電子ビームを用いると、極めて微細な加工が可能となるため好ましい。なお、電子ビーム等のビームを走査することにより露光を行う場合には、フォトマスクは不要である。

[0377]

薄膜のエッチングには、ドライエッチング法、ウェットエッチング法、及びサンドブラスト法の一又は複数を用いることができる。

[0378]

図3A、及び図3D乃至図3Fに示す半導体装置の作製方法の一例を、図38A乃至図42Bを用いて説明する。図38A乃至図42Bには、図3A、及び図3D乃至図3Fに対応する断面図を横に並べて示す。

[0379]

まず、基板102上に、絶縁層101を形成する（図38A）。絶縁層101の形成は、例えばスパッタリング法、CVD法、又はALD法を用いることができる。ここで、絶縁層101を複数の層の積層構造とする場合、それぞれの層のうち少なくとも1つの層の形成方法を、他の層の形成方法と異ならせてもよい。以上は以降に示す他の絶縁層、導電層、及び半導体層等においても同様である。

[0380]

続いて、絶縁層101上に、導電層212a、及び導電層311となる導電膜を形成し、当該導電膜を加工して導電層212a、及び導電層311を形成する（図38A）。導電層212a、及び導電層311となる導電膜の形成は、スパッタリング法を好適に用いることができる。当該導電膜の加工は、エッチング法を用いて行うことができ、微細加工の観点からドライエッチング法を用いて行うことが好ましい。

[0381]

続いて、絶縁層101上、導電層212a上、及び導電層311上に、絶縁層110を形成する（図38A）。絶縁層110の形成は、例えばALD法、スパッタリング法、又はCVD法を好適に用いることができる。

[0382]

図38Aでは、絶縁層110が平坦化されている例を示している。平坦化は、例えばCMP法を用いて行うことができる。

[0383]

続いて、絶縁層110上に、後の工程で導電層112a、導電層112b、導電層212b、及び導電層312となる導電膜112fを形成する（図38B）。導電膜112fの形成は、例えば、スパ

ッタリング法を好適に用いることができる。

[0384]

続いて、導電膜112fの一部を除去し、導電膜112fに開口部143、及び開口部243を形成する(図38C)。導電膜112fは、エッチング法を用いて加工でき、微細加工の観点から、ドライエッチング法で加工することが好ましい。

[0385]

続いて、絶縁層110の一部を除去し、絶縁層110に開口部141、及び開口部241を形成する(図39A)。開口部141は、開口部143と重なる領域を有し、且つ絶縁層101に達するように形成される。開口部241は、開口部243と重なる領域を有し、且つ導電層212aに達するように形成される。絶縁層110の一部の除去は、エッチング法を用いて行うことができ、微細加工の観点から、ドライエッチング法を用いて行うことが好ましい。

[0386]

図39Aでは、絶縁層110の開口部141における端部と、導電膜112fの開口部143における端部と、が一致する例を示している。また、図39Aでは、絶縁層110の開口部241における端部と、導電膜112fの開口部243における端部と、が一致する例を示している。なお、例えば絶縁層110の、絶縁層101の上面と水平な方向におけるエッチング速度と、導電膜112fの、絶縁層101の上面と水平な方向におけるエッチング速度と、が異なる場合は、絶縁層110の開口部141における端部と、導電膜112fの開口部143における端部と、が一致しない場合がある。例えば、導電膜112fの、絶縁層101の上面と水平な方向におけるエッチング速度が、絶縁層110の、絶縁層101の上面と水平な方向におけるエッチング速度より速い場合は、図29Bに示す例と同様に、導電膜112fの開口部143における端部が、絶縁層110の開口部141における端部より外側に位置する場合がある。

[0387]

なお、開口部241を形成する際、又は開口部241を形成した後に、開口部241と重なる領域の導電層212aの一部を除去してもよい。導電層212aの、後の工程で形成する半導体層208の下面と接する領域の厚さが、半導体層208と接しない領域の厚さより薄くなることにより、導電層212a近傍のチャネル形成領域にかかるゲート電極の電界を強くでき、トランジスタ200のオン電流を大きくできる。

[0388]

続いて、加熱処理を行ってもよい。加熱処理は、250℃以上650℃以下、好ましくは300℃以上500℃以下、さらに好ましくは320℃以上450℃以下で行えばよい。なお、加熱処理は、例えば窒素ガス又は不活性ガスの雰囲気で行う。また、加熱処理は減圧状態で行ってもよい。以上のような加熱処理を行うことで、後述する半導体層108、半導体層208、及び半導体層308となる半導体膜の成膜前に、例えば絶縁層101、及び絶縁層110に含まれる、水等の不純物を低減できる。

[0389]

また、上記加熱処理で用いるガスは、高純度化されていることが好ましい。例えば、上記加熱処理で用いるガスに含まれる水分量を1ppb以下、好ましくは0.1ppb以下、より好ましくは0.05ppb以下にする。高純度化されたガスを用いて加熱処理を行うことで、例えば絶縁層101、及び絶縁層110に水分が取り込まれることを可能な限り防ぐことができる。

[0390]

続いて、開口部141、開口部143、開口部241、及び開口部243を覆うように、半導体層108、半導体層208、及び半導体層308となる半導体膜108fを形成する（図39B）。半導体膜108fは、導電膜112fの上面と接する領域、導電膜112fの開口部143における側面と接する領域、導電膜112fの開口部243における側面と接する領域、導電層212aの上面と接する領域、絶縁層110の開口部141における側面と接する領域、絶縁層110の開口部241における側面と接する領域、及び絶縁層101の上面と接する領域を有するように形成できる。

[0391]

半導体膜108fとしては、金属酸化物膜を用いることができ、具体的には酸化物半導体膜を用いることができる。半導体膜108fの形成は、例えばスパッタリング法、CVD法、又はALD法を用いることができる。ここで、半導体膜108fの成膜は、被覆性が良好な成膜方法を用いることが好ましく、CVD法又はALD法等を用いることがより好ましい。例えば、当該酸化物半導体膜として、ALD法を用いて、In-Ga-Zn酸化物を成膜すればよい。なお、開口部141、開口部143、開口部241、及び開口部243の側面がテーパ形状である場合には、スパッタリング法を用いて半導体膜108fを成膜できる。

[0392]

また、半導体膜108fの成膜中、又は成膜後に、例えば酸素を含む雰囲気でマイクロ波処理を行うことで、半導体膜108f中の不純物濃度を低減させることが好ましい。なお、不純物としては、特に、水素、及び炭素が挙げられる。また、マイクロ波処理を行うことで、半導体膜108fの結晶性を高めることができる場合がある。ここで、マイクロ波処理とは、例えばマイクロ波を用いて高密度プラズマを発生させる電源を有する装置を用いた処理のことを指す。

[0393]

酸素を含む雰囲気でマイクロ波処理を行うことで、マイクロ波、又はRF等の高周波を用いて酸素ガスをプラズマ化し、当該酸素プラズマを作用させることができる。また、酸化物半導体に作用する酸素は、酸素原子、酸素分子、酸素イオン、及び酸素ラジカル（Oラジカルともいう、不対電子をもつ原子、分子、又はイオン）等様々な形態がある。なお、酸化物半導体に作用する酸素は、上述の形態のいずれか一又は複数であればよく、特に酸素ラジカルであると好適である。

[0394]

また、上述の酸素を含む雰囲気でマイクロ波処理を行う際に、基板を加熱することで、半導体膜108f中の不純物濃度を、さらに低減させることができるため好適である。上述の基板を加熱する温度としては、100℃以上650℃以下、好ましくは200℃以上600℃以下、さらに好ましくは300℃以上450℃以下で行えばよい。

[0395]

上述の酸素を含む雰囲気でマイクロ波処理を行う際に基板を加熱することで、SIMSにより得られる酸化物半導体膜中の炭素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とすることができる。

[0396]

半導体膜108fは、2層以上の積層構造とすることができる。この場合、各層の成膜方法は同じであつてもよいし、異なつてもよい。例えば、半導体膜108fを2層の積層構造とする場合、半導体膜108fの下層をスパッタリング法で成膜し、半導体膜108fの上層をALD法で成膜しても

よい。スパッタリング法を用いて成膜された酸化物半導体膜は結晶性を有しやすい。そこで、結晶性を有する酸化物半導体を半導体膜 108 f の下層として設けることで、半導体膜 108 f の上層の結晶性を高めることができる。また、スパッタリング法で成膜した酸化物半導体の下層にピンホール又は段切れ等が形成されたとしても、それらと重畳する部分を、被覆性の良好な ALD 法で成膜した半導体膜 108 f の上層で塞ぐことができる。

[0397]

半導体膜 108 f の成膜後、加熱処理を行うことが好ましい。加熱処理は、上記酸化物半導体膜が多結晶化しない温度範囲で行えばよく、250℃以上650℃以下、好ましくは400℃以上600℃以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、又は酸化性ガスを10ppm以上、1%以上、もしくは10%以上含む雰囲気で行う。例えば、窒素ガスと酸素ガスの混合雰囲気で加熱処理をする場合、酸素ガスを20%程度にすればよい。また、加熱処理は減圧状態で行なってもよい。又は、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを10ppm以上、1%以上、又は10%以上含む雰囲気で加熱処理を行なってもよい。

[0398]

また、上記加熱処理で用いるガスは、高純度化されていることが好ましい。例えば、上記加熱処理で用いるガスに含まれる水分量が1ppb以下、好ましくは0.1ppb以下、より好ましくは0.05ppb以下にすればよい。高純度化されたガスを用いて加熱処理を行うことで、例えば上記酸化物半導体膜に水分が取り込まれることを可能な限り防ぐことができる。

[0399]

なお、上記においては、半導体膜 108 f の成膜後に加熱処理を行ったが、本発明はこれに限られるものではない。さらに後の工程で加熱処理を行ってもよい。

[0400]

続いて、半導体膜 108 f を加工し、半導体層 108、半導体層 208、及び半導体層 308 を形成する（図 40A）。具体的には、例えばフォトリソグラフィ法を用いて、マスクパターンを反映させたレジストマスク 123 を形成し、マスクパターンに基づき半導体膜 108 f を加工することにより半導体層 108、半導体層 208、及び半導体層 308 を形成する。半導体膜 108 f の加工は、エッチング法を用いて行うことができ、微細加工の観点からドライエッチング法を用いて行うことが好ましい。半導体膜 108 f として金属酸化物膜を用いる場合、半導体層 108、半導体層 208、及び半導体層 308 は、金属酸化物を含む層とすることができる。

[0401]

半導体層 108 は、開口部 141 の内部に位置する領域を有するように形成される。半導体層 108 は、開口部 141 の底面及び側面に沿って形成できる。また、半導体層 108 は、例えば導電膜 112 f の上面と接する領域、及び導電膜 112 f の側面と接する領域を有するように形成できる。さらに、半導体層 108 は、絶縁層 101 の上面と接する領域を有するように形成できる。

[0402]

半導体層 208 は、開口部 241 の内部に位置する領域、及び開口部 243 の内部に位置する領域を有するように形成される。半導体層 208 は、開口部 241 の底面及び側面、並びに開口部 243 の側面に沿って形成できる。半導体層 208 は、例えば導電膜 112 f の上面と接する領域、導電膜 112 f の側面と接する領域、及び導電層 212 a の上面と接する領域を有するように形成できる。さ

らに、半導体層 208 は、絶縁層 110 の側面と接する領域を有するように形成できる。

[0403]

半導体層 308 は、導電膜 112 f 上に形成される。例えば、半導体層 308 の下面が導電膜 112 f の上面と接する領域を有するように、半導体層 308 が形成される。

[0404]

続いて、導電膜 112 f を加工することにより、絶縁層 110 上に導電層 112 a、導電層 112 b、導電層 212 b、及び導電層 312 を形成する (図 40B)。具体的には、例えば半導体膜 108 f の加工の際に形成したレジストマスク 123 を除去せずに、レジストマスク 123 が表すマスクパターンに基づき導電膜 112 f を加工することで、導電層 112 a、導電層 112 b、導電層 212 b、及び導電層 312 を形成する。よって、半導体膜 108 f の加工と、導電膜 112 f の加工とは連続して行うことができる。前述のように、導電膜 112 f はエッチング法を用いて加工でき、微細加工の観点からドライエッチング法で加工することが好ましい。なお、例えば導電層 112 a、導電層 112 b、導電層 212 b、及び導電層 312 の形成後に、レジストマスク 123 を除去する。

[0405]

以上のように、半導体膜 108 f と導電膜 112 f は、同じマスクパターンに基づき加工できる。よって、開口部 141 の外側における、半導体層 108 の端部、具体的には下面端部が、導電層 112 a の端部、具体的には上面端部と一致又は概略一致する領域、及び導電層 112 b の端部、具体的には上面端部と一致又は概略一致する領域を有するように、半導体層 108、導電層 112 a、及び導電層 112 b を形成できる。また、開口部 243 の外側における、半導体層 208 の端部、具体的には下面端部が、導電層 212 b の端部、具体的には上面端部と一致又は概略一致する領域を有するように、半導体層 208、及び導電層 212 b を形成できる。さらに、半導体層 308 の端部、具体的には下面端部が、導電層 312 の端部、具体的には上面端部と一致又は概略一致する領域を有するように、半導体層 308、及び導電層 312 を形成できる。

[0406]

以上により、例えば導電膜 112 f の形成後、且つ半導体膜 108 f の形成前に導電膜 112 f を加工して導電層 112 a、導電層 112 b、導電層 212 b、及び導電層 312 を形成し、その後半導体膜 108 f を形成して加工することにより半導体層 108 を形成する場合より、半導体装置の作製工程数を少なくできる。よって、半導体装置の作製コストを削減できる。よって、本発明の一態様の半導体装置を、低価格な半導体装置とすることができる。

[0407]

なお、半導体膜 108 f と導電膜 112 f の、例えば絶縁層 101 の上面と水平な方向におけるエッチング速度が異なることにより、半導体膜 108 f と導電膜 112 f を同じマスクパターンで加工する場合であっても、開口部 141 の外側における、半導体層 108 の下面端部が、導電層 112 a の上面端部、及び導電層 112 b の上面端部と一致しないように、半導体層 108、導電層 112 a、及び導電層 112 b が形成される場合がある。このような場合であっても、開口部 141 の外側における、半導体層 108 の下面端部が、導電層 112 a の上面端部、及び導電層 112 b の上面端部と概略一致するように、半導体層 108、導電層 112 a、及び導電層 112 b が形成されるということができる。また、開口部 243 の外側における、半導体層 208 の下面端部が、導電層 212 b の上面端部と一致しないように、半導体層 208、及び導電層 212 b が形成される場合がある。このような場合であっても、開口部 243 の外側における、半導体層 208 の下面端部が、導電層 212

bの上面端部と概略一致するように、半導体層208、及び導電層212bが形成されるということができる。さらに、半導体層308の下面端部が、導電層312の上面端部と一致しないように、半導体層308、及び導電層312が形成される場合がある。このような場合であっても、半導体層308の下面端部が、導電層312の上面端部と概略一致するように、半導体層308、及び導電層312が形成されるということができる。

[0408]

導電層112a、及び導電層112bは、平面視において開口部141を介して対向するように形成される。また、導電層212bは、開口部243を有するように形成される。

[0409]

続いて、半導体層108、半導体層208、半導体層308、導電層112a、導電層112b、導電層212b、導電層312、絶縁層110を覆うように、絶縁層106を形成する(図41A)。絶縁層106は、開口部141の内部に位置する領域、開口部241の内部に位置する領域、及び開口部243の内部に位置する領域を有するように、半導体層108上、半導体層208上、半導体層308上、及び絶縁層110上に形成される。絶縁層106の形成は、例えば、ALD法、CVD法、又はスパッタリング法を用いることができる。

[0410]

半導体層108、及び半導体層208に金属酸化物を用いる場合、絶縁層106は、酸素が拡散することを抑制するバリア層として機能することが好ましい。絶縁層106が酸素の拡散を抑制する機能を有することにより、半導体層108、及び半導体層208に含まれる酸素が絶縁層106より上側に拡散することが抑制され、半導体層108、及び半導体層208に酸素欠損(V_o)が増加することを抑制できる。その結果、良好な電気特性を示し、且つ信頼性の高いトランジスタを作製できる。

[0411]

本明細書等において、バリア層とは、バリア性を有する層のことを示す。例えば、バリア性を有する絶縁層を、バリア絶縁層ということができる。本明細書等において、バリア性とは、対応する物質の拡散を抑制する機能(透過性が低いともいう)、及び対応する物質を捕獲又は固着する機能の、一方又は双方を指すものとする。

[0412]

ゲート絶縁層として機能する絶縁層106の形成時の温度を高くすることにより、欠陥の少ない絶縁層とすることができる。しかしながら、絶縁層106の形成時の温度が高いと半導体層108、及び半導体層208から酸素が脱離し、半導体層108、及び半導体層208中の酸素欠損(V_o)及び V_oH が増加してしまう場合がある。絶縁層106の形成時の基板温度は、180℃以上450℃以下が好ましく、さらには200℃以上450℃以下が好ましく、さらには250℃以上450℃以下が好ましく、さらには300℃以上450℃以下が好ましく、さらには300℃以上400℃以下が好ましい。絶縁層106の形成時の基板温度を前述の範囲とすることで、絶縁層106の欠陥を少なくするとともに、半導体層108、及び半導体層208から酸素が脱離することを抑制できる。したがって、良好な電気特性を示し、且つ信頼性の高いトランジスタを作製できる。

[0413]

絶縁層106を形成する前に、半導体層108、及び半導体層208の表面に対してプラズマ処理を行ってもよい。当該プラズマ処理により、半導体層108、及び半導体層208の表面に吸着する水等の不純物を低減できる。そのため、半導体層108と絶縁層106との界面、及び半導体層208

と絶縁層106との界面における不純物を低減でき、信頼性の高いトランジスタを実現できる。特に、半導体層108、及び半導体層208の形成から、絶縁層106の形成までの間に半導体層108、及び半導体層208の表面が大気に曝される場合に好適である。プラズマ処理は、例えば、酸素、オゾン、窒素、一酸化二窒素、又はアルゴン等の雰囲気で行うことができる。また、プラズマ処理と絶縁層106の成膜とは、大気に曝すことなく連続して行われることが好ましい。

[0414]

続いて、絶縁層106上に、導電層113、導電層213、及び導電層313となる導電膜を形成し、当該導電膜を加工することにより、導電層113、導電層213、及び導電層313を形成する。これにより、トランジスタ100、及びトランジスタ200を作製できる（図41A）。

[0415]

導電層113は、開口部141の内部に位置する領域を有するように形成される。導電層213は、開口部241の内部に位置する領域、及び開口部243の内部に位置する領域を有するように形成される。導電層113及び導電層213となる導電膜の形成は、例えばCVD法、スパッタリング法、又はALD法を用いることができる。当該導電膜の加工は、エッチング法を用いて行うことができ、微細加工の観点からドライエッチング法を用いて行うことが好ましい。

[0416]

続いて、トランジスタ100、及びトランジスタ200を覆うように、絶縁層109を形成する。具体的には、導電層113、導電層213、導電層313、及び絶縁層106を覆うように、絶縁層109を形成する（図41B）。絶縁層109の形成は、例えばスパッタリング法、CVD法、又はALD法を用いることができる。

[0417]

絶縁層109の形成後、加熱処理を行ってもよい。なお、当該加熱処理は行わなくてもよい。また、ここでは加熱処理は行わず、後の工程で行われる加熱処理と兼ねてもよい。また、後の工程での高温下の処理（例えば成膜工程）がある場合には、当該加熱処理と兼ねることができる場合もある。

[0418]

続いて、絶縁層109上に、絶縁層111を形成する（図41B）。絶縁層111は、導電層112a上、導電層112b上、導電層113上、導電層212a上、導電層212b上、導電層213上、導電層311上、導電層312上、及び導電層313上、半導体層108上、半導体層208上、半導体層308上、及び絶縁層106上に形成できる。絶縁層111の形成は、例えばスパッタリング法、CVD法、又はALD法を用いることができる。

[0419]

絶縁層111の形成後、絶縁層111に対して平坦化処理を行うことが好ましい。平坦化処理は、例えばCMP法により行うことができる。

[0420]

絶縁層109の形成後、加熱処理を行ってもよい。なお、当該加熱処理は行わなくてもよい。また、絶縁層109の形成後、且つ絶縁層111の形成前には加熱処理は行わず、絶縁層111の形成後に加熱処理を行ってもよい。絶縁層111の形成後に加熱処理を行う場合、絶縁層111に対する平坦化処理の後に加熱処理を行うことができる。なお、絶縁層111の形成後、且つ絶縁層111に対する平坦化処理の前に加熱処理を行ってもよい。

[0421]

以上、絶縁層 111 を形成することにより、トランジスタ 100、及びトランジスタ 200 等が含まれる層 120 を作製できる。

[0422]

続いて、絶縁層 111、絶縁層 109、絶縁層 106、半導体層 308、及び絶縁層 110 の一部を除去する。これにより、絶縁層 111、絶縁層 109、絶縁層 106、及び絶縁層 110 に、導電層 311 に達する開口部 145a を形成する。また、絶縁層 111、絶縁層 109、絶縁層 106、及び半導体層 308 に、導電層 312 に達する開口部 145b を形成する。さらに、絶縁層 111、及び絶縁層 109 に、導電層 313 に達する開口部 145c を形成する (図 42A)。絶縁層 111、絶縁層 109、絶縁層 106、半導体層 308、及び絶縁層 110 の一部の除去は、エッチング法を用いて行うことができ、微細加工の観点から、ドライエッチング法を用いて行うことが好ましい。

[0423]

開口部 145a、開口部 145b、及び開口部 145c は、互いに並行して形成すると、例えば開口部 145a、開口部 145b、及び開口部 145c を逐次形成する場合より、半導体装置の作製工程数を少なくできる。よって、低コストで半導体装置を作製でき、本発明の一態様の半導体装置を、低価格な半導体装置とすることができるため好ましい。

[0424]

本明細書等において、A と B を並行して形成するとは、A を形成する工程の少なくとも一部と、B を形成する工程の少なくとも一部と、を同じ工程とすることをいう。別言すると、A を形成する工程の少なくとも一部を、B を形成する工程の少なくとも一部と兼ねることをいう。

[0425]

開口部 145a、開口部 145b、及び開口部 145c の形成方法の一例の詳細を説明する。まず、例えばフォトリソグラフィ法を用いて、マスクパターンを反映させたレジストマスクを形成する。続いて、マスクパターンに基づき絶縁層 111、及び絶縁層 109 を加工することにより、絶縁層 111、及び絶縁層 109 に開口部 145a、開口部 145b、及び開口部 145c を形成する。続いて、同じマスクパターンに基づき絶縁層 106 を加工することにより、絶縁層 106 に開口部 145a、及び開口部 145b を形成する。その後、同じマスクパターンに基づき絶縁層 110 を加工することにより絶縁層 110 に開口部 145a を形成し、半導体層 308 を加工することにより半導体層 308 に開口部 145b を形成する。絶縁層 110 と半導体層 308 は、同じ加工条件で並行して加工してもよいし、異なる加工条件で逐次加工してもよい。逐次加工する場合、絶縁層 110 の加工後に半導体層 308 を加工してもよいし、半導体層 308 の加工後に絶縁層 110 を加工してもよいが、絶縁層 106 の加工条件と近い条件で加工できる方を先に加工することが好ましい。例えば、絶縁層 110 を加工して開口部 145a を形成した後に、半導体層 308 を加工して開口部 145b を形成することが好ましい。

[0426]

続いて、開口部 145a、開口部 145b、及び開口部 145c を覆うように、導電層 115a1、導電層 115b1、及び導電層 115c1 となる第 1 の導電膜を形成する。その後、開口部 145a、開口部 145b、及び開口部 145c を埋めるように、導電層 115a2、導電層 115b2、及び導電層 115c2 となる第 2 の導電膜を、第 1 の導電膜上に形成する。第 1 の導電膜、及び第 2 の導電膜の形成は、例えば CVD 法、スパッタリング法、又は ALD 法を用いることができる。

[0427]

続いて、第1の導電膜、及び第2の導電膜を、絶縁層111の上面が露出するまでCMP法で除去する。これにより、開口部145aの側面及び底面に沿って導電層115a1が形成され、開口部145bの側面及び底面に沿って導電層115b1が形成され、開口部145cの側面及び底面に沿って導電層115c1が形成される。また、導電層115a1上に開口部145aを埋めるように導電層115a2が形成され、導電層115b1上に開口部145bを埋めるように導電層115b2が形成され、導電層115c1上に開口部145cを埋めるように導電層115c2が形成される。以上により、開口部145aを埋めるようにプラグ115aが形成され、開口部145bを埋めるようにプラグ115bが形成され、開口部145cを埋めるようにプラグ115cが形成される（図42B）。

[0428]

続いて、プラグ115a上、プラグ115b上、プラグ115c上、及び絶縁層111上に、導電層117a、導電層117b、及び導電層117cとなる導電膜を形成し、当該導電膜を加工して導電層117a、導電層117b、及び導電層117cを形成する（図3A、及び図3D乃至図3F）。導電層117a、導電層117b、及び導電層117cとなる導電膜の形成は、例えばスパッタリング法、CVD法、又はALD法を用いることができる。当該導電膜の加工は、エッチング法を用いて行うことができ、微細加工の観点からドライエッチング法を用いて行うことが好ましい。

[0429]

以上の工程により、図3A、及び図3D乃至図3Fに示す半導体装置を作製できる。

[0430]

図43A乃至図47Bは、図8Aに示す半導体装置の作製方法の一例を示す断面図である。図43A、図43B、図43C、図44A、図44B、図45A、図45B、図46A、図46B、図47A、及び図47Bは、それぞれ図38A、図38B、図38C、図39A、図39B、図40A、図40B、図41A、図41B、図42A、及び図42Bに示す工程と同様の工程を示している。なお、図43A乃至図47Bでは、図8Aに対応する断面図の他、図3D乃至図3Fに対応する断面図を横に並べて示している。

[0431]

図46Aに示す工程では、導電層113は、開口部141を埋めるように形成され、導電層213は、開口部241を埋めるように形成される。なお、導電層213は、開口部243を埋めるように形成されてもよい。

[0432]

導電層113は、部分127が、絶縁層110の上面より高い位置に設けられるように形成できる。例えば、部分127の高さが、絶縁層110の上面の高さより高くなるように、導電層113を形成できる。また、部分227の高さが、絶縁層110の上面の高さより高くなるように、導電層213を形成できる。

[0433]

導電層113は、開口部141の外部に位置する第1の領域と、開口部141と重なる第2の領域と、を有するように形成できる。導電層113は、第2の領域に、上面の高さが最も低くなる部分127を有するように形成できる。導電層113は、部分127における厚さが、第1の領域における厚さより厚くなるように形成できる。

[0434]

同様に、導電層 2 1 3 は、開口部 2 4 1 の外部に位置する第 3 の領域と、開口部 2 4 1 と重なる第 4 の領域と、を有するように形成できる。導電層 2 1 3 は、第 4 の領域に、上面の高さが最も低くなる部分 2 2 7 を有するように形成できる。導電層 2 1 3 は、部分 2 2 7 における厚さが、第 3 の領域における厚さより厚くなるように形成できる。

[0 4 3 5]

以上のように、本発明の一態様の半導体装置の作製方法では、例えば電気特性が異なる複数のトランジスタを、一部の工程を共通にして形成できる。例えば、トランジスタ 1 0 0 が有する導電層 1 1 2 a 及び導電層 1 1 2 b と、トランジスタ 2 0 0 が有する導電層 2 1 2 b と、を同じ工程で形成できる。また、トランジスタ 1 0 0 が有する半導体層 1 0 8 と、トランジスタ 2 0 0 が有する半導体層 2 0 8 と、を同じ工程で形成できる。さらに、トランジスタ 1 0 0 が有する導電層 1 1 3 と、トランジスタ 2 0 0 が有する導電層 2 1 3 と、を同じ工程で形成できる。よって、作製コストを抑えつつ、例えば所望の性能を有する回路を実現しやすくなる。したがって、低価格且つ高い性能を有する半導体装置を作製できる。例えば、本発明の一態様の半導体装置を表示装置に適用する場合、低価格、高精細、高信頼性、且つ高速に駆動する表示装置を作製できる。

[0 4 3 6]

本明細書等に示す複数の構成例は、適宜組み合わせる実施できる。例えば、図 2 7 A、図 2 7 B、図 3 1 A、及び図 3 1 B 等に示す開口部 1 4 1、開口部 2 4 1、及び開口部 2 4 3 の平面形状は、他の図面に示す開口部 1 4 1、開口部 2 4 1、及び開口部 2 4 3 にも適用できる。

[0 4 3 7]

本実施の形態で例示した構成例、及びそれらに対応する図面等は、少なくともその一部を他の構成例、又は図面等と適宜組み合わせることができる。

[0 4 3 8]

(実施の形態 2)

本実施の形態では、本発明の一態様の半導体装置を適用することのできる表示装置の構成例について説明する。

[0 4 3 9]

本発明の一態様の半導体装置が有するトランジスタは、微細なサイズのトランジスタとすることができるため、本発明の一態様の半導体装置を適用する表示装置は、高精細な表示装置とすることができる。例えば、本発明の一態様の表示装置は、腕時計型、及びブレスレット型等の情報端末機（ウェアラブル機器）の表示部、並びに、ヘッドマウントディスプレイ等の VR 向け機器、及びメガネ型の AR 向け機器等の頭部に装着可能な機器（HMD: Head Mounted Display）の表示部に用いることができる。

[0 4 4 0]

[表示モジュール]

図 4 8 A に、表示モジュール 3 8 0 の斜視図を示す。表示モジュール 3 8 0 は、表示装置 3 0 と、FPC 3 9 0 と、を有する。

[0 4 4 1]

表示モジュール 3 8 0 は、基板 1 0 2 及び基板 1 7 0 を有する。表示モジュール 3 8 0 は、表示部 2 5 を有する。表示部 2 5 は、画像を表示する領域である。

[0 4 4 2]

図48Bに、基板102側の構成を模式的に示した斜視図を示している。基板102上には、回路部382と、回路部382上の画素回路部383と、画素回路部383上の画素部384と、が積層されている。また、基板102上の画素部384と重ならない部分に、FPC390と接続するための端子部385が設けられている。端子部385と回路部382とは、複数の配線により構成される配線部386により電氣的に接続されている。

[0443]

画素部384は、周期的に配列した複数の画素21を有する。図48Bの右側に、1つの画素21の拡大図を示している。画素21は、赤色の光を発する発光素子60R、緑色の光を発する発光素子60G、及び青色の光を発する発光素子60Bを有する。

[0444]

画素回路部383は、周期的に配列した複数の画素回路40を有する。1つの画素回路40は、1つの画素21が有する3つの発光素子の発光を制御する回路である。1つの画素回路40には、1つの発光素子の発光を制御する回路が3つ設けられる構成としてもよい。例えば、画素回路40は、1つの発光素子につき、1つの選択トランジスタと、1つの電流制御用トランジスタ(駆動トランジスタ)と、容量素子と、を少なくとも有する構成とすることができる。このとき、選択トランジスタのゲートにはゲート信号が、ソースにはソース信号が、それぞれ入力される。これにより、アクティブマトリクス型の表示パネルが実現されている。なお、画素回路40も、画素21に含めることができる。

[0445]

回路部382は、画素回路部383の各画素回路40を駆動する回路を有する。例えば、走査線駆動回路、及び信号線駆動回路の一方又は双方を有することが好ましい。このほか、演算回路、メモリ回路、及び電源回路等の少なくとも一つを有していてもよい。また、回路部382に設けられるトランジスタが画素回路40の一部を構成してもよい。すなわち、画素回路40が、画素回路部383が有するトランジスタと、回路部382が有するトランジスタと、により構成されていてもよい。

[0446]

FPC390は、外部から回路部382に画像信号及び電源電位等を供給するための配線として機能する。また、FPC390上にICが実装されていてもよい。

[0447]

表示モジュール380は、画素部384の下側に画素回路部383及び回路部382の一方又は双方が重ねて設けられた構成とすることができるため、表示部25の開口率(有効表示面積比)を極めて高くできる。例えば表示部25の開口率は、40%以上100%未満、好ましくは50%以上95%以下、より好ましくは60%以上95%以下とすることができる。また、画素21を極めて高密度に配置することが可能で、表示部25の精細度を極めて高くできる。例えば、表示部25には、2000ppi以上、好ましくは3000ppi以上、より好ましくは5000ppi以上、さらに好ましくは6000ppi以上であって、2000ppi以下、又は3000ppi以下の精細度で、画素21が配置されることが好ましい。

[0448]

このような表示モジュール380は、極めて高精細であることから、ヘッドマウントディスプレイ等のVR向け機器、又はメガネ型のAR向け機器に好適に用いることができる。例えば、レンズを通して表示モジュール380の表示部を視認する構成の場合であっても、表示モジュール380は極めて高精細な表示部25を有するためにレンズで表示部を拡大しても画素が視認されず、没入感の高

い表示を行うことができる。また、表示モジュール380はこれに限られず、比較的小型の表示部を有する電子機器に好適に用いることができる。例えば腕時計等の装着型の電子機器の表示部に好適に用いることができる。

[0449]

以下では、表示装置30に適用できる表示装置として、表示装置30A、表示装置30B、及び表示装置30Cを示す。

[0450]

[表示装置30A]

図49に示す表示装置30Aは、基板102、絶縁層101、絶縁層110、絶縁層109、絶縁層111、トランジスタ100、容量340、発光素子60R、発光素子60G、及び発光素子60B等を有する。トランジスタ100は、導電層112a、導電層112b、半導体層108、絶縁層106、及び導電層113等を有する。トランジスタ100には、実施の形態1で例示した各種トランジスタを適用できる。また、半導体層108、絶縁層106、絶縁層109、及び絶縁層111には、導電層112aに達する開口部145bが設けられ、開口部145bを埋めるようにプラグ115bが設けられる。

[0451]

基板102、絶縁層101、絶縁層110、絶縁層109、絶縁層111、及びプラグ115bには、実施の形態1で例示した材料を適用でき、また実施の形態1で例示した機能を有することができる。図49では、プラグ115bが、導電層115b1と、導電層115b2と、を有する例を示している。なお、実施の形態1と同様に、絶縁層101から絶縁層111をまとめて層120とする。例えばトランジスタ100は、層120に設けられる。

[0452]

絶縁層111上には、絶縁層354が設けられる。なお、絶縁層111と絶縁層354の間に、トランジスタ100に例えば絶縁層111から水又は水素等の不純物が拡散することを防ぐバリア層を設けてもよい。

[0453]

絶縁層111上に容量340が設けられている。容量340は、導電層341と、導電層345と、これらの間に位置する絶縁層343を有する。導電層341は、容量340の一方の電極として機能し、導電層345は、容量340の他方の電極として機能し、絶縁層343は、容量340の誘電体として機能する。

[0454]

導電層341は絶縁層111上に設けられ、絶縁層354に埋め込まれている。導電層341は、プラグ115bによってトランジスタ100の導電層112aと電氣的に接続されている。絶縁層343は導電層341を覆うように設けられる。導電層345は、絶縁層343を介して導電層341と重なる領域に設けられている。

[0455]

容量340を覆うように、絶縁層355aが設けられ、絶縁層355a上に絶縁層355bが設けられ、絶縁層355b上に絶縁層355cが設けられている。

[0456]

絶縁層354、絶縁層343、絶縁層355a、絶縁層355b、及び絶縁層355cには、それぞれ

れ無機絶縁膜を好適に用いることができる。無機絶縁膜に用いることができる材料として、前述のように例えば酸化物、窒化物、酸化窒化物、及び窒化酸化物が挙げられる。

[0457]

例えば、絶縁層355a及び絶縁層355cに酸化シリコン膜を用い、絶縁層355bに窒化シリコン膜を用いることが好ましい。これにより、絶縁層355bは、エッチング保護膜として機能させることができる。本実施の形態では、絶縁層355cの一部がエッチングされ、凹部が形成されている例を示すが、絶縁層355cに凹部が設けられていなくてもよい。

[0458]

絶縁層355c上に発光素子60R、発光素子60G、及び発光素子60Bが設けられている。

[0459]

発光素子60Rは、画素電極411R、有機層412R、共通層414、及び共通電極413を有する。発光素子60Gは、画素電極411G、有機層412G、共通層414、及び共通電極413を有する。発光素子60Bは、画素電極411B、有機層412B、共通層414、及び共通電極413を有する。共通層414と共通電極413は、発光素子60R、発光素子60G、及び発光素子60Bに共通に設けられる。

[0460]

以下では、発光素子60R、発光素子60G、及び発光素子60Bに共通する事項を説明する場合には、発光素子60と呼称して説明する場合がある。同様に、有機層412R、有機層412G、及び有機層412B等、アルファベットで区別する構成要素についても、これらに共通する事項を説明する場合には、アルファベットを省略した符号を用いて説明する場合がある。

[0461]

発光素子60Rが有する有機層412Rは、少なくとも赤色の光を発する発光性の有機化合物を有する。発光素子60Gが有する有機層412Gは、少なくとも緑色の光を発する発光性の有機化合物を有する。発光素子60Bが有する有機層412Bは、少なくとも青色の光を発する発光性の有機化合物を有する。有機層412R、有機層412G、及び有機層412Bは、それぞれEL層とも呼ぶことができ、少なくとも発光性の有機化合物を含む層（発光層）を有する。

[0462]

表示装置30Aは、発光色ごとに、発光素子を作り分けているため、低輝度での発光と高輝度での発光で色度の変化が小さい。また、有機層412R、有機層412G、及び有機層412Bがそれぞれ離隔しているため、高精細な表示パネルであっても、隣接する副画素間におけるクロストークの発生を抑制できる。したがって、高精細であり、かつ、表示品位の高い表示パネルを実現できる。

[0463]

隣り合う発光素子の間の領域には、絶縁層425、樹脂層426、及び層428が設けられる。

[0464]

発光素子の画素電極411R、画素電極411G、及び画素電極411Bは、絶縁層355a、絶縁層355b、及び絶縁層355cに埋め込まれたプラグ356、絶縁層354に埋め込まれた導電層341、並びにプラグ115bによってトランジスタ100の導電層112aと電気的に接続されている。絶縁層355cの上面の高さと、プラグ356の上面の高さは、一致又は概略一致している。プラグには各種導電材料を用いることができる。プラグ356には、例えばプラグ115に用いることができる材料と同様の材料を用いることができる。

[0465]

また、発光素子60R、発光素子60G、及び発光素子60B上には保護層421が設けられている。保護層421上には、接着層471によって基板170が貼り合わされている。

[0466]

隣接する2つの画素電極411間には、画素電極411の上面端部を覆う絶縁層が設けられていない。そのため、隣り合う発光素子の間隔を極めて狭くできる。したがって、高精細、又は、高解像度の表示装置とすることができる。

[0467]

[表示装置30B]

以下では、上記とは一部の構成が異なる表示装置について説明する。なお、上記と共通する部分はこれを参照し、説明を省略する場合がある。

[0468]

図50に示す表示装置30Bは、半導体層が平面上に形成されたプレーナ型のトランジスタであるトランジスタ150と、縦方向と、横方向との双方に電流が流れるトランジスタ100とが積層された例を示している。

[0469]

トランジスタ150は、半導体層151、絶縁層153、導電層154、一対の導電層155、絶縁層156、及び導電層157を有する。

[0470]

基板102上に、絶縁層152が設けられている。絶縁層152は、基板102から水又は水素等の不純物がトランジスタ150に拡散すること、及び半導体層151から絶縁層152側に酸素が脱離することを防ぐバリア層として機能する。絶縁層152としては、例えば酸化アルミニウム膜、酸化ハフニウム膜、又は窒化シリコン膜等の、酸化シリコン膜よりも水素及び酸素の一方又は双方が拡散しにくい膜を用いることができる。

[0471]

絶縁層152上に導電層157が設けられ、導電層157を覆うように絶縁層156が設けられている。導電層157は、トランジスタ150の第1のゲート電極として機能し、絶縁層156の一部は、第1のゲート絶縁層として機能する。絶縁層156の少なくとも半導体層151と接する部分には、酸化シリコン膜等の酸化物絶縁膜を用いることが好ましい。絶縁層156の上面は、平坦化されていることが好ましい。

[0472]

半導体層151は、絶縁層156上に設けられる。半導体層151は、金属酸化物を有することが好ましい。一対の導電層155は、半導体層151上に接して設けられ、ソース電極及びドレイン電極として機能する。

[0473]

一対の導電層155の上面及び側面、並びに半導体層151の側面等を覆うように絶縁層158、及び絶縁層161が設けられている。絶縁層158は、半導体層151に水又は水素等の不純物が拡散すること、及び半導体層151から酸素が脱離することを防ぐバリア層として機能する。絶縁層158としては、上記絶縁層152と同様の絶縁膜を用いることができる。

[0474]

絶縁層 158 及び絶縁層 161 の、平面視における一对の導電層 155 の一方と、他方と、の間に、半導体層 151 に達する開口部が設けられている。当該開口部の内部に、半導体層 151 の上面に接する絶縁層 153 と、導電層 154 とが埋め込まれている。導電層 154 は、第 2 のゲート電極として機能し、絶縁層 153 は第 2 のゲート絶縁層として機能する。

[0475]

導電層 154 の上面、絶縁層 153 の上面、及び絶縁層 161 の上面は、それぞれ高さが一致又は概略一致するように平坦化处理され、これらを覆うように絶縁層 159 が設けられている。絶縁層 159 は、トランジスタ 100、及びトランジスタ 150 に水又は水素等の不純物が拡散することを防ぐバリア層として機能する。絶縁層 159 としては、上記絶縁層 152 と同様の絶縁膜を用いることができる。

[0476]

トランジスタ 150 には、チャネルが形成される半導体層を 2 つのゲートで挟持する構成が適用されている。2 つのゲートを接続し、これらに同一の信号を供給することによりトランジスタを駆動してもよい。又は、2 つのゲートのうち、一方にしきい値電圧を制御するための電位を与え、他方に駆動のための電位を与えることで、トランジスタ 150 のしきい値電圧を制御してもよい。

[0477]

[表示装置 30C]

図 51 に示す表示装置 30C は、半導体基板にチャネルが形成されるトランジスタ 310 と、縦方向と、横方向との双方に電流が流れるトランジスタ 100 とが積層された構成を有する。

[0478]

トランジスタ 310 は、基板 102 にチャネル形成領域を有するトランジスタである。表示装置 30C が有する基板 102 としては、例えば単結晶シリコン基板等の半導体基板を用いることができる。トランジスタ 310 は、基板 102 の一部、導電層 311、低抵抗領域 316、絶縁層 317、及び絶縁層 314 を有する。導電層 311 は、ゲート電極として機能する。絶縁層 317 は、基板 102 と導電層 311 の間に位置し、ゲート絶縁層として機能する。低抵抗領域 316 は、基板 102 に不純物がドーパされた領域であり、ソース及びドレインの一方として機能する。絶縁層 314 は、導電層 311 の側面を覆うように設けられる。

[0479]

また、基板 102 に埋め込まれるように、隣接する 2 つのトランジスタ 310 の間に素子分離層 315 が設けられている。

[0480]

図 49、図 50、及び図 51 では、トランジスタ 100 が例えば図 3A に示す構成である例を示しているが、本発明の一態様はこれに限らない。図 52、図 53、及び図 54 では、それぞれ図 49、図 50、及び図 51 に示すトランジスタ 100 が、例えば図 8A に示す構成である例を示している。

[0481]

以下では、発光素子 60R、発光素子 60G、及び発光素子 60B の、図 49 乃至図 54 とは異なる構成例について説明する。

[0482]

前述のように、本発明の一態様は、発光素子を有する表示装置である。表示装置は、発光色の異なる 2 つ以上の画素を有する。画素は、それぞれ発光素子を有する。例えば、それぞれ赤色 (R)、緑色

(G)、又は青色 (B) の光を発する 3 種類の発光素子を有することで、フルカラーの表示装置を実現できる。

[0483]

発光色がそれぞれ異なる複数の発光素子を有する表示装置を作製する場合、少なくとも発光材料を含む層 (発光層) をそれぞれ島状に形成する必要がある。EL 層の一部又は全部を作り分ける場合、メタルマスク等のシャドーマスクを用いた蒸着法により島状の有機膜を形成する方法が知られている。しかしながらこの方法では、メタルマスクの精度、メタルマスクと基板との位置ずれ、メタルマスクのたわみ、及び蒸気の散乱等による成膜される膜の輪郭の広がり等、様々な影響により、島状の有機膜の形状及び位置に設計からのずれが生じるため、表示装置の高精細化、及び高開口率化が困難である。また、蒸着の際に、膜の輪郭がぼやけて、端部の厚さが薄くなることがある。つまり、島状の発光層は場所によって厚さにばらつきが生じることがある。また、大型、高解像度、又は高精細な表示装置を作製する場合、メタルマスクの寸法精度の低さ、及び熱等による変形により、作製歩留まりが低くなる懸念がある。そのため、例えばペンタイル配列等の特殊な画素配列方式を採用することにより、疑似的に精細度 (画素密度ともいう) を高める対策が取られていた。

[0484]

本発明の一態様は、EL 層をファインメタルマスク (FMM) 等のシャドーマスクを用いることなく、フォトリソグラフィ法、及びエッチング法により、微細なパターンに加工する。これにより、これまで実現が困難であった高い精細度と、大きな開口率を有する表示装置を実現できる。さらに、EL 層を作り分けることができるため、極めて鮮やかで、コントラストが高く、表示品位の高い表示装置を実現できる。なお、EL 層を、例えばメタルマスクを用いた方法と、フォトリソグラフィ法及びエッチング法を用いた方法と、の双方を用いて微細なパターンに加工してもよい。

[0485]

また、EL 層の一部又は全部を物理的に分断できる。これにより、隣接する発光素子間で共通に用いる層 (共通層ともいう) を介した、発光素子間のリーク電流を抑制できる。これにより、意図しない発光に起因したクロストークを防ぐことができ、コントラストの極めて高い表示装置を実現できる。特に、低輝度における電流効率の高い表示装置を実現できる。

[0486]

本発明の一態様は、白色発光の発光素子と、カラーフィルタとを組み合わせた表示装置とすることもできる。この場合、異なる色の光を呈する画素 (副画素) に設けられる発光素子に、それぞれ同じ構成の発光素子を適用でき、全ての層を共通層とすることができる。さらに、それぞれの EL 層の一部又は全部を、フォトリソグラフィ法、及びエッチング法により分断してもよい。これにより、共通層を介したリーク電流が抑制され、コントラストの高い表示装置を実現できる。特に、導電性の高い中間層を介して、複数の発光層を積層したタンデム構造を有する素子では、当該中間層を介したリーク電流を効果的に防ぐことができるため、高い輝度、高い精細度、及び高いコントラストを兼ね備えた表示装置を実現できる。

[0487]

EL 層をフォトリソグラフィ法、及びエッチング法により加工する場合、発光層の一部が露出し、劣化の要因となる場合がある。そのため、少なくとも島状の発光層の側面を覆う絶縁層を設けることが好ましい。当該絶縁層は、島状の EL 層の上面の一部を覆う構成としてもよい。当該絶縁層としては、水及び酸素に対してバリア性を有する材料を用いることが好ましい。例えば、水又は酸素を拡散しに

く、無機絶縁膜を用いることができる。これにより、E L 層の劣化を抑制し、信頼性の高い表示装置を実現できる。

[0488]

さらに、隣接する2つの発光素子間には、いずれの発光素子のE L 層も設けられない領域（凹部）を有する。当該凹部を覆うように共通電極、又は共通電極及び共通層を形成する場合、共通電極がE L 層の端部の段差により分断されてしまう現象（段切れともいう）が生じ、E L 層上の共通電極が絶縁してしまう場合がある。そこで、隣接する2つの発光素子間に位置する局所的な段差を、平坦化膜として機能する樹脂層により埋める構成（LFP: Local Filling Planarizationともいう）とすることが好ましい。当該樹脂層は、平坦化膜としての機能を有する。これにより、共通層又は共通電極の段切れを抑制し、信頼性の高い表示装置を実現できる。

[0489]

以下では、本発明の一態様の表示装置の、より具体的な構成例について、図面を参照して説明する。

[0490]

[構成例1]

図55Aに、本発明の一態様の表示装置30の上面概略図を示す。前述のように、表示装置30は、表示部25を有する。表示装置30は、層401上に、赤色光を発する発光素子60R、緑色光を発する発光素子60G、及び青色光を発する発光素子60Bをそれぞれ複数有する。図55Aでは、各発光素子の区別を簡単にするため、各発光素子の発光領域内にR、G、及びBの符号を付している。ここで、図49乃至図54に示す基板102から絶縁層355cまでを、層401に含めることができる。

[0491]

発光素子60R、発光素子60G、及び発光素子60Bは、それぞれ表示部25にマトリクス状に配列している。図55Aは、一方向に同一の色の発光素子が配列する、いわゆるストライプ配列を示している。なお、発光素子の配列方法はこれに限られず、Sストライプ配列、デルタ配列、ベイヤー配列、又はジグザグ配列等の配列方法を適用してもよいし、ペンタイル配列、又はダイヤモンド配列等を用いることもできる。

[0492]

また、図55Aには、共通電極413と電氣的に接続する接続電極411Cを示している。接続電極411Cは、共通電極413に供給するための電位（例えばアノード電位、又はカソード電位）が与えられる。接続電極411Cは、発光素子60R、発光素子60G、及び発光素子60B等が配列する表示領域の外に設けられる。

[0493]

接続電極411Cは、表示領域の外周に沿って設けることができる。例えば、表示領域の外周の一辺に沿って設けられていてもよいし、表示領域の外周の2辺以上にわたって設けられていてもよい。すなわち、表示領域の上面から見た形状（上面形状ともいう）が長方形である場合には、接続電極411Cの上面形状は、帯状（長方形）、L字状、コの字状（角括弧状）、又は四角形等とすることができる。

[0494]

図55Bは、図55Aに示す一点鎖線E1-E2における切断面の断面図である。図55Cは、図55Aに示す一点鎖線E3-E4における切断面の断面図である。図55Bには、発光素子60R、発

光素子 60G、及び発光素子 60B の断面概略図を示し、図 55C には、接続電極 411C と共通電極 413 とが接続される接続部 440 の断面概略図を示している。

[0495]

前述のように、発光素子 60R は、画素電極 411R、有機層 412R、共通層 414、及び共通電極 413 を有する。発光素子 60G は、画素電極 411G、有機層 412G、共通層 414、及び共通電極 413 を有する。発光素子 60B は、画素電極 411B、有機層 412B、共通層 414、及び共通電極 413 を有する。共通層 414 と共通電極 413 は、発光素子 60R、発光素子 60G、及び発光素子 60B に共通に設けられる。

[0496]

有機層 412、及び共通層 414 は、それぞれ独立に電子注入層、電子輸送層、正孔注入層、及び正孔輸送層のうち、一以上を有することができる。例えば、有機層 412 が、画素電極 411 側から正孔注入層、正孔輸送層、発光層、電子輸送層の積層構造を有し、共通層 414 が電子注入層を有する構成とすることができる。

[0497]

共通電極 413 上には、発光素子 60R、発光素子 60G、及び発光素子 60B を覆うように、保護層 421 が設けられている。保護層 421 は、上方から各発光素子に水等の不純物が拡散することを防ぐ機能を有する。

[0498]

画素電極 411 の端部はテーパ形状を有することが好ましい。画素電極 411 の端部がテーパ形状を有する場合、画素電極 411 の端部に沿って設けられる有機層 412 も、テーパ形状とすることができる。画素電極 411 の端部をテーパ形状とすることで、画素電極 411 の端部を乗り越えて設けられる有機層 412 の被覆性を高めることができる。また、画素電極 411 の側面をテーパ形状とすることで、作製工程中の異物（例えば、ゴミ、又はパーティクル等ともいう）を、洗浄等の処理により除去することが容易となり好ましい。

[0499]

本明細書等において、テーパ形状とは、構造の側面の少なくとも一部が、基板面に対して傾斜して設けられている形状のことを指す。例えば、傾斜した側面と基板面とがなす角（テーパ角ともいう）が 90° 未満である領域を有すると好ましい。

[0500]

有機層 412 は、フォトリソグラフィ法、及びエッチング法により島状に加工されている。そのため、有機層 412 は、その端部において、上面と側面との成す角が 90 度に近い形状となる。一方、例えば FMM (Fine Metal Mask) を用いて形成された有機膜は、その厚さが端部に近いほど徐々に薄くなる傾向があり、例えば端部まで 1 μ m 以上 10 μ m 以下の範囲にわたって、上面がスロープ状に形成されるため、上面と側面の区別が困難な形状となる。

[0501]

前述のように、隣り合う発光素子の間の領域には、絶縁層 425、樹脂層 426、及び層 428 が設けられる。

[0502]

隣接する 2 つの発光素子間において、互いの有機層 412 の側面が樹脂層 426 を挟んで対向して設けられている。樹脂層 426 は、隣接する 2 つの発光素子の間に位置し、それぞれの有機層 412

の端部、及び2つの有機層412の間の領域を埋めるように設けられている。樹脂層426は、滑らかな凸状の上面形状を有しており、樹脂層426の上面を覆うように、共通層414及び共通電極413が設けられている。

[0503]

樹脂層426は、隣接する2つの発光素子間に位置する段差を埋める平坦化膜として機能する。樹脂層426を設けることにより、共通電極413が有機層412の端部の段差により分断されてしまう現象(段切れともいう)が生じ、有機層412上の共通電極が絶縁してしまうことを防ぐことができる。樹脂層426は、LFP(Local Filling Planarization)層ともいうことができる。

[0504]

樹脂層426としては、有機材料を有する絶縁層を好適に用いることができる。例えば、樹脂層426として、アクリル樹脂、ポリイミド樹脂、エポキシ樹脂、イミド樹脂、ポリアミド樹脂、ポリイミドアミド樹脂、シリコーン樹脂、シロキサン樹脂、ベンゾシクロブテン系樹脂、フェノール樹脂、及びこれら樹脂の前駆体等を適用できる。また、樹脂層426として、ポリビニルアルコール(PVA)、ポリビニルブチラル、ポリビニルピロリドン、ポリエチレングリコール、ポリグリセリン、プルラン、水溶性のセルロース、又はアルコール可溶性のポリアミド樹脂等の有機材料を用いてもよい。

[0505]

また、樹脂層426として、感光性の樹脂を用いることができる。感光性の樹脂としてはフォトレジストを用いてもよい。感光性の樹脂は、ポジ型の材料、又はネガ型の材料を用いることができる。

[0506]

樹脂層426は、可視光を吸収する材料を含んでいてもよい。例えば、樹脂層426自体が可視光を吸収する材料により構成されていてもよいし、樹脂層426が、可視光を吸収する顔料を含んでいてもよい。樹脂層426としては、例えば、赤色、青色、又は緑色の光を透過し、他の光を吸収するカラーフィルタとして用いることのできる樹脂、又はカーボンブラックを顔料として含み、ブラックマトリクスとして機能する樹脂等を用いることができる。

[0507]

絶縁層425は、有機層412の側面に接して設けられている。また絶縁層425は、有機層412の上端部を覆うように設けられている。また絶縁層425の一部は、層401の上面に接して設けられている。

[0508]

絶縁層425は、樹脂層426と有機層412との間に位置し、樹脂層426が有機層412に接することを防ぐための保護膜として機能する。有機層412と樹脂層426とが接すると、例えば樹脂層426の形成時に用いられる有機溶媒により有機層412が溶解する可能性がある。そのため、有機層412と樹脂層426との間に絶縁層425を設ける構成とすることで、有機層412の側面を保護することが可能となる。

[0509]

絶縁層425としては、無機材料を有する絶縁層とすることができる。絶縁層425には、例えば、酸化絶縁膜、窒化絶縁膜、酸化窒化絶縁膜、及び窒化酸化絶縁膜等の無機絶縁膜を用いることができる。絶縁層425は単層構造であってもよく積層構造であってもよい。酸化絶縁膜としては、酸化シリコン膜、酸化アルミニウム膜、酸化マグネシウム膜、インジウムガリウム亜鉛酸化物膜、酸化ガリ

ウム膜、酸化ゲルマニウム膜、酸化イットリウム膜、酸化ジルコニウム膜、酸化ランタン膜、酸化ネオジム膜、酸化ハフニウム膜、及び酸化タンタル膜等が挙げられる。窒化絶縁膜としては、窒化シリコン膜及び窒化アルミニウム膜等が挙げられる。酸化窒化絶縁膜としては、酸化窒化シリコン膜、及び酸化窒化アルミニウム膜等が挙げられる。窒化酸化絶縁膜としては、窒化酸化シリコン膜、及び窒化酸化アルミニウム膜等が挙げられる。特にALD法により形成した酸化アルミニウム膜若しくは酸化ハフニウム膜等の酸化金属膜、又は酸化シリコン膜等の無機絶縁膜を絶縁層425に適用することで、ピンホールが少なく、EL層を保護する機能に優れた絶縁層425を形成できる。

[0510]

絶縁層425の形成は、スパッタリング法、CVD法、PLD法、又はALD法等を用いることができる。絶縁層425は、被覆性が良好なALD法を用いて形成することが好ましい。

[0511]

また、絶縁層425と、樹脂層426との間に、反射膜（例えば、銀、パラジウム、銅、チタン、及びアルミニウム等の中から選ばれる一又は複数を含む金属膜）を設け、発光層から射出される光を上記反射膜により反射させる構成としてもよい。これにより、光取り出し効率を向上させることができる。

[0512]

層428は、有機層412のエッチング時に、有機層412を保護するための保護層（マスク層、犠牲層ともいう）の一部が残存したものである。層428には、上記絶縁層425に用いることのできる材料を用いることができる。特に、層428と絶縁層425とに同じ材料を用いると、例えば加工のための装置を共通に用いることができるため、好ましい。

[0513]

特にALD法により形成した酸化アルミニウム膜若しくは酸化ハフニウム膜等の酸化金属膜、又は酸化シリコン膜等の無機絶縁膜はピンホールが少ないため、EL層を保護する機能に優れ、絶縁層425及び層428に好適に用いることができる。

[0514]

保護層421としては、例えば、少なくとも無機絶縁膜を含む単層構造又は積層構造とすることができる。無機絶縁膜としては、例えば、酸化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、窒化シリコン膜、酸化アルミニウム膜、酸化窒化アルミニウム膜、又は酸化ハフニウム膜等の、酸化物膜及び窒化物膜が挙げられる。又は、保護層421としてインジウムガリウム酸化物、インジウム亜鉛酸化物、インジウムスズ酸化物、インジウムガリウム亜鉛酸化物等の半導体材料又は導電性材料を用いてもよい。

[0515]

保護層421としては、無機絶縁膜と、有機絶縁膜の積層膜を用いることもできる。例えば、一對の無機絶縁膜の間に、有機絶縁膜を挟んだ構成とすることが好ましい。さらに有機絶縁膜が平坦化膜として機能することが好ましい。これにより、有機絶縁膜の上面を平坦なものとすることができるため、その上の無機絶縁膜の被覆性が向上し、バリア性を高めることができる。また、保護層421の上面が平坦となるため、保護層421の上方に構造物（例えばカラーフィルタ、タッチセンサの電極、又はレンズアレイ等）を設ける場合に、下方の構造に起因する凹凸形状の影響を軽減できるため好ましい。

[0516]

図55Cには、接続電極411Cと共通電極413とが電氣的に接続する接続部440を示している。接続部440では、接続電極411C上において、絶縁層425及び樹脂層426に開口部部が設けられる。当該開口部部において、接続電極411Cと共通電極413とが電氣的に接続されている。

[0517]

なお、図55Cには、接続電極411Cと共通電極413とが電氣的に接続する接続部440を示しているが、接続電極411C上に共通層414を介して共通電極413が設けられていてもよい。例えば共通層414にキャリア注入層を用いた場合では、当該共通層414に用いる材料の電気抵抗率が十分に低く、且つ厚さも薄く形成できるため、共通層414が接続部440に位置していても問題は生じない場合が多い。これにより、共通電極413と共通層414とを同じ遮蔽マスクを用いて形成できるため、作製コストを低減できる。

[0518]

[構成例2]

以下では、上記構成例1とは一部の構成が異なる表示装置について説明する。なお、上記構成例1と共通する部分はこれを参照し、説明を省略する場合がある。

[0519]

図56Aは、図55Bに示す構成の変形例であり、発光素子の構成が異なり、また着色層を有する例を示している。

[0520]

図56Aに示す例では、表示装置30が、白色光を発する発光素子60Wを有する。発光素子60Wは、画素電極411、有機層412W、共通層414、及び共通電極413を有する。有機層412Wは、白色発光を発する。例えば、有機層412Wは、発光色が補色の関係となる2種類以上の発光材料を含む構成とすることができる。例えば、有機層412Wは、赤色の光を発する発光性の有機化合物と、緑色の光を発する発光性の有機化合物と、青色の光を発する発光性の有機化合物と、を有する構成とすることができる。また、青色の光を発する発光性の有機化合物と、黄色の光を発する発光性の有機化合物と、を有する構成としてもよい。

[0521]

隣接する2つの発光素子60W間において、それぞれの有機層412Wは分断されている。これにより、有機層412Wを介して隣接する発光素子60W間に流れるリーク電流を抑制でき、当該リーク電流に起因したクロストークを抑制できる。そのため、コントラスト、及び色再現性の高い表示装置を実現できる。

[0522]

保護層421上には、平坦化膜として機能する絶縁層422が設けられ、絶縁層422上には着色層416R、着色層416G、及び着色層416Bが設けられている。以下では、着色層416R、着色層416G、及び着色層416Bに共通する事項を説明する場合には、着色層416と呼称して説明する場合がある。

[0523]

着色層416は、特定の波長の光の透過率が、他の波長の光の透過率より高い。よって、着色層416は、特定の色の光を透過する機能を有する。例えば、着色層416Rは赤色の光を透過する機能を有し、着色層416Gは緑色の光を透過する機能を有し、着色層416Bは青色の光を透過する機能

を有する。ここで、1つの発光素子60Wが、着色層416R、着色層416G、及び着色層416Bの内1つと重なる領域を有する。よって、発光素子60Wが発する光が例えば白色光であっても、表示部25は例えば赤色の光、緑色の光、及び青色の光を射出し、フルカラー表示を行うことができる。

[0524]

着色層416に用いることのできる材料としては、金属材料、樹脂材料、及び顔料又は染料が含まれた樹脂材料等が挙げられる。着色層416は、例えばインクジェット法を用いて形成できる。

[0525]

絶縁層422としては、有機樹脂膜、又は上面が平坦化された無機絶縁膜を用いることができる。絶縁層422は、着色層416R、着色層416G、及び着色層416Bの被形成面を成すため、絶縁層422の上面が平坦であることで、着色層416R、着色層416G、及び着色層416Bの上面に凹凸が形成されることを抑制できる。これにより、着色層416Rの厚さを均一にでき、着色層416Gの厚さを均一にでき、着色層416Bの厚さを均一にできる。以上により、表示部25に表示される画像の色純度を高めることができる。なお、着色層416の厚さが不均一であると、光の吸収量が着色層416の場所によって変わるため、色純度が低下してしまう恐れがある。

[0526]

図56Aでは、透過する光の波長が異なる着色層416を、樹脂層426上で重ねる例を示している。これにより、例えば着色層416Gと重なる発光素子60Wが発する光が、隣接する着色層416R、又は着色層416Bを透過し、表示装置の外部に射出されることを抑制できる。これにより、透過する光の波長が異なる着色層416が重ならない場合より、表示部25に表示される画像のコントラストを高めることができる。

[0527]

[構成例3]

図56Bは、図55Bに示す構成の変形例である。表示装置30が図56Bに示す構成を有する場合、発光素子60Rは、画素電極411、導電層415R、有機層412W、及び共通電極413を有する。発光素子60Gは、画素電極411、導電層415G、有機層412W、及び共通電極413を有する。発光素子60Bは、画素電極411、導電層415B、有機層412W、及び共通電極413を有する。導電層415R、導電層415G、及び導電層415Bはそれぞれ透光性を有し、光学調整層として機能する。

[0528]

画素電極411に、可視光を反射する膜を用い、共通電極413に、可視光に対して反射性と透過性の両方を有する膜を用いることにより、微小共振器（マイクロキャビティ）構造を実現できる。このとき、導電層415R、導電層415G、及び導電層415Bの厚さをそれぞれ、最適な光路長となるように調整することで、白色発光を呈する有機層412を用いた場合であっても、発光素子60R、発光素子60G、及び発光素子60Bからは、それぞれ異なる波長の光が強められた光を得ることができる。

[0529]

さらに、発光素子60R、発光素子60G、及び発光素子60Bの光路上には、それぞれ着色層416R、着色層416G、及び着色層416Bが設けられることで、色純度の高い光を得ることができる。また、透過する光の波長が異なる着色層416を絶縁層423上で重ねることにより、表示部2

5に表示される画像のコントラストを高めることができる。

[0530]

また、画素電極411の端部、導電層415Rの端部、導電層415Gの端部、及び導電層415Bの端部を覆う絶縁層423が設けられている。絶縁層423は、端部がテーパ形状を有していることが好ましい。絶縁層423を設けることで、その上に形成される有機層412W、共通電極413、及び保護層421等による被覆性を高めることができる。

[0531]

有機層412W及び共通電極413は、それぞれ一続きの膜として、各発光素子に共通して設けられている。このような構成とすることで、表示装置の作製工程を大幅に簡略化できるため好ましい。

[0532]

ここで、画素電極411は、その端部が垂直に近い形状であることが好ましい。これにより、絶縁層423の表面に傾斜が急峻な部分を形成でき、この部分を被覆する有機層412Wの一部に厚さの薄い部分を形成すること、又は有機層412Wの一部を分断できる。そのため、例えばフォトリソグラフィ法、及びエッチング法による有機層412Wの加工を行うことなく、隣接する発光素子間に生じる有機層412Wを介したリーク電流を抑制できる。

[0533]

[表示装置70]

図57、及び図58は、表示装置70の構成例を示す断面図である。表示装置70は、表示素子として実施の形態1の図20Dに示す液晶素子69を有する。表示装置70には、上述の表示装置30の構成を適宜適用できる。

[0534]

表示装置70は、液晶素子69の他、トランジスタ50を有する。トランジスタ50を覆うように絶縁層109が設けられ、絶縁層109上には絶縁層111が設けられる。液晶素子69は、絶縁層111上に設けられる。

[0535]

表示装置70が有する絶縁層111には、有機材料を有する絶縁層を好適に用いることができる。有機材料として、感光性の有機樹脂を用いることが好ましく、例えば、アクリル樹脂を含む感光性の樹脂組成物を用いることが好ましい。なお、本明細書等において、アクリル樹脂とは、ポリメタクリル酸エステル、又はメタクリル樹脂だけを示すものではなく、広義のアクリル系ポリマー全体を示す場合がある。

[0536]

絶縁層111には、アクリル樹脂、ポリイミド樹脂、エポキシ樹脂、イミド樹脂、ポリアミド樹脂、ポリイミドアミド樹脂、シリコーン樹脂、シロキサン樹脂、ベンゾシクロブテン系樹脂、フェノール樹脂、及びこれら樹脂の前駆体等を用いてもよい。また、絶縁層111は、ポリビニルアルコール(PVA)、ポリビニルブチラル、ポリビニルピロリドン、ポリエチレングリコール、ポリグリセリン、プルラン、水溶性のセルロース、又はアルコール可溶性のポリアミド樹脂等の有機材料を用いてもよい。また、感光性の樹脂としてフォトレジストを用いてもよい。感光性の有機樹脂として、ポジ型の材料及びネガ型の材料のどちらを用いてもよい。

[0537]

絶縁層111を、有機絶縁層と、無機絶縁層との積層構造にしてもよい。例えば、絶縁層111を、

有機絶縁層と、当該有機絶縁層上の無機絶縁層との積層構造とすることができる。絶縁層 111 の最表面に無機絶縁層を設けることにより、当該無機絶縁層をエッチング保護層として機能させることができる。これにより、画素電極 512 を形成する際に絶縁層 111 の一部がエッチングされ、絶縁層 111 の平坦性が低くなってしまうことを抑制できる。

[0538]

なお、表示装置 70 が有する絶縁層 111 に用いることができる材料と同様の材料を、表示装置 30 が有する絶縁層 111 に用いてもよい。また、表示装置 30 が有する絶縁層 111 に用いることができる材料と同様の材料を、表示装置 70 が有する絶縁層 111 に用いてもよい。

[0539]

前述のように、トランジスタ 50 は、本明細書等に示すトランジスタ 100、又はトランジスタ 200 と同様の構成とすることができる。図 57 では、トランジスタ 50 を、例えば図 3A に示すトランジスタ 100 と同様の構成とする例を示している。図 58 では、トランジスタ 50 を、例えば図 8A に示すトランジスタ 100 と同様の構成とする例を示している。なお、表示装置 70 は、容量 57 を有してもよい。

[0540]

液晶素子 69 は、画素電極 512 と共通電極 516 を有し、画素電極 512 と共通電極 516 の間に液晶 543 が設けられる。半導体層 108、絶縁層 106、絶縁層 109、及び絶縁層 111 には、導電層 112a に達する開口部 529 が設けられる。画素電極 512 は、開口部 529 の内部で、トランジスタ 50 の導電層 112a と電氣的に接続される。

[0541]

図 57、及び図 58 では、液晶素子 69 として縦電界方式を適用する例を示しており、画素電極 512 と共通電極 516 の間に液晶 543 が設けられる。画素電極 512 は、液晶素子 69 毎に分離して設けられ、共通電極 516 は、複数の液晶素子 69 で共有される。なお、液晶素子 69 として縦電界方式を適用する場合、共通電極は対向電極ともいうことができる。

[0542]

基板 170 の基板 102 側の面には、遮光層 517 及び着色層 416 と、絶縁層 533 と、共通電極 516 と、絶縁層 547 と、がこの順で設けられる。つまり、図 57、及び図 58 において、画素電極 512、及びそれより下の層は基板 102 側に設けられ、絶縁層 547、及びそれより上の層は基板 170 側に設けられる。ここで、図 57、及び図 58 では、着色層 416 として着色層 416R、及び着色層 416G を示している。

[0543]

表示装置 70 を作製する際は、まず、基板 102 上に画素電極 512 までの層を形成し、基板 170 上に絶縁層 547 までの層を形成する。続いて、基板 102 と基板 170、具体的には絶縁層 111 と絶縁層 533 を、接着層（図示せず）を用いて貼り合わせる。また、例えば液晶注入法、又は液晶滴下法等により、画素電極 512 と共通電極 516 の間に液晶 543 を配置する。以上により、表示装置 70 を作製できる。

[0544]

表示装置 70 を透過型の液晶表示装置とする場合、例えば基板 102 の外側（基板 170 とは反対側）に、白色光を発するバックライトを設ける。そして、バックライトが発し、液晶素子 69 を透過した光を、基板 170 側から取り出すことにより、表示装置 70 の表示部に画像を表示できる。よって、

表示装置 70 において、基板 102、及び基板 170 には、透光性が高い材料を用いることが好ましい。また、画素電極 512、及び共通電極 516 には、透光性が高い導電性材料、例えば可視光に対する透光性が高い導電性材料を用いることが好ましい。透光性が高い導電性材料として、酸化インジウム、インジウム錫酸化物、インジウム亜鉛酸化物、及び酸化亜鉛等が挙げられる。また、ガリウムを添加した酸化亜鉛等の導電性酸化物を、透光性が高い導電性材料として用いることができる。さらに、透光性が高い導電性材料として、グラフェンを用いてもよい。グラフェンは、酸化グラフェンを還元することにより形成できる。例えば、酸化グラフェンに熱を加えることにより、グラフェンを形成できる。

[0545]

また、画素電極 512、及び共通電極 516 として、透光性を有する程度に薄い、金属又は合金を用いることができる。例えば、金、銀、白金、マグネシウム、ニッケル、タングステン、クロム、モリブデン、鉄、コバルト、銅、パラジウム、若しくはチタン等の金属、又は当該金属を含む合金を用いることができる。また、当該金属又は当該合金の窒化物等を用いてもよく、例えば窒化チタンを用いてもよい。また、上述した材料を含む導電層を 2 層以上積層してもよい。

[0546]

なお、表示装置 70 を、例えば反射型の液晶表示装置とする場合、画素電極 512 には、反射性が高い導電性材料、例えば可視光に対する反射性が高い導電性材料を用いることが好ましい。反射性が高い導電性材料として、アルミニウム、マグネシウム、チタン、クロム、マンガン、鉄、コバルト、ニッケル、銅、ガリウム、亜鉛、インジウム、スズ、モリブデン、タンタル、タングステン、パラジウム、金、白金、銀、イットリウム、及びネオジム等の金属、並びにこれらを適宜組み合わせる含む合金が挙げられる。また、反射性が高い導電性材料として、アルミニウム、ニッケル、及びランタンの合金 (Al-Ni-La) 等のアルミニウムを含む合金 (アルミニウム合金)、並びに、銀とマグネシウムの合金、及び銀とパラジウムと銅の合金 (Ag-Pd-Cu、APC とも記す) 等の銀を含む合金が挙げられる。

[0547]

なお、基板 102 の外側 (基板 170 とは反対側)、及び基板 170 の外側 (基板 102 とは反対側) には、偏光板等の各種光学部材を設けることができる。この場合、例えば各種光学部材の外側に、バックライトを設けることができる。

[0548]

絶縁層 547 は、スペーサとして機能し、例えば液晶 543 は絶縁層 547 と重ならない構成とすることができる。絶縁層 547 は、基板 102 と基板 170 の間の距離を制御し、液晶 543 の厚さを制御する機能を有する。絶縁層 547 をトランジスタ 50 と重ねて設けることにより、絶縁層 547 に起因する開口率の低下を抑制でき好ましい。

[0549]

図 57、及び図 58 では、絶縁層 547 が画素電極 512 と重ならない例を示しているが、絶縁層 547 が画素電極 512 の一部と重なってもよい。例えば、開口部 529 において、絶縁層 547 と画素電極 512 が重なってもよい。絶縁層 547 が画素電極 512 の一部と重なる場合、画素電極 512 と共通電極 516 の間に絶縁層 547 が設けられる。

[0550]

画素電極 512 を覆うように配向層 541 を基板 102 側に設け、共通電極 516 及び絶縁層 54

7を覆うように配向層545を基板170側に設けることができる。表示装置70に配向層541と配向層545を設ける場合、配向層541と配向層545の間に、液晶543が設けられる。液晶543は、配向層541と接する領域、及び配向層545と接する領域を有する。配向層545は、絶縁層547と重なる領域において、配向層541と接する領域を有することができる。

[0551]

配向層541、及び配向層545は、液晶543の配向を制御する機能を有する。なお、配向層541及び配向層545を設けなくてもよい。

[0552]

表示装置70に配向層541、及び配向層545を設ける場合、まず、基板102上に画素電極512までの層を形成した後、画素電極512を覆うように配向層541を形成する。また、基板170上に絶縁層547までの層を形成した後、共通電極516及び絶縁層547を覆うように配向層545を形成する。続いて、基板102と基板170、具体的には絶縁層111と絶縁層533を、接着層（図示せず）を用いて貼り合わせる。また、配向層541と配向層545の間に液晶543を配置する。以上により、配向層541、及び配向層545を有する表示装置70を作製できる。

[0553]

前述のように、例えば着色層416Rは赤色の光を透過し、着色層416Gは緑色の光を透過し、着色層416Bは青色の光を透過する。よって、バックライトが発する光が例えば白色光であっても、表示装置70が有する表示部は例えば赤色の光、緑色の光、及び青色の光を射出し、フルカラー表示を行うことができる。

[0554]

また、上記バックライトが青色又は紫色の光を発し、着色層416に当該青色又は紫色の光を他の色（例えば赤色、又は緑色等）に変換する、色変換材料を適用する構成としてもよい。色変換材料としては、蛍光材料、燐光材料、又は量子ドットが分散された樹脂材料等を用いることができる。なおこのとき、着色層416を、バックライト側から色変換材料とカラーフィルタとの積層構造とすると好ましい。

[0555]

隣接する着色層416の間には、遮光層517が設けられる。遮光層517が設けられる部分が、非表示領域となる。遮光層517は、絶縁層547と重なる領域を有するように設けられる。また、遮光層517は、開口部529と重なる領域を有するように設けることができる。例えば、着色層416の端部が遮光層517と重なるように遮光層517を設けることで、着色層416と遮光層517を隙間なく設けることができる。

[0556]

遮光層517を設けることで、例えば着色層416Rと重なる液晶素子69を透過した光が、隣接する着色層416G、又は着色層416Bを透過することを抑制できる。また、遮光層517を設けることで、例えば外光の映り込みを抑制できる。以上により、表示装置70の表示部に表示される画像のコントラストを高めることができる。なお、遮光層517を設けない構成としてもよい。これにより、バックライトが発する光を表示装置70の外側に、具体的には例えば基板170の外側に効率的に取り出すことができる。

[0557]

絶縁層533は、例えば着色層416に含まれる成分が液晶素子69に拡散することを抑制する、オ

ーバーコートとしての機能を有する。ここで、絶縁層 5 3 3 が平坦化されていると、絶縁層 5 3 3 上に共通電極 5 1 6 を形成しやすく好ましい。なお、絶縁層 5 3 3 は平坦化されていなくてもよい。絶縁層 5 3 3 は、例えば絶縁層 1 1 1 に用いることができる材料と同様の材料を用いることができる。

[0558]

なお、図 5 7、及び図 5 8 では、縦電界方式の液晶素子を有する表示装置の例を示したが、本発明の一態様はこれに限られず、例えば横電界方式の液晶素子を有する表示装置としてもよい。横電界方式を採用する場合、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために 5 重量%以上のカイラル剤を混合させた液晶組成物を液晶 5 4 3 に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が短く、光学的等方性を示す。また、ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、配向処理が不要であり、視野角依存性が小さい。また、配向膜を設けなくてもよいため、ラビング処理も不要となる。よって、ラビング処理によって引き起こされる静電破壊を抑制でき、作製工程中の表示装置の不良又は破損を軽減できる。

[0559]

本実施の形態で例示した構成例、及びそれらに対応する図面等は、少なくともその一部を他の構成例、又は図面等と適宜組み合わせることができる。

[0560]

(実施の形態 3)

本実施の形態では、本発明の一態様の電子機器について説明する。

[0561]

本実施の形態の電子機器は、表示部に本発明の一態様の半導体装置が適用された表示パネル（表示装置）を有する。本発明の一態様の表示装置は、高精細化及び高解像度化が容易であり、信頼性が高く、また高い表示品位を実現できる。したがって、様々な電子機器の表示部に用いることができる。

[0562]

電子機器としては、例えば、テレビジョン装置、デスクトップ型もしくはノート型のパーソナルコンピュータ、コンピュータ用等のモニタ、デジタルサイネージ、パチンコ機等の大型ゲーム機等の比較的大きな画面を備える電子機器の他、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機、携帯型ゲーム機、携帯情報端末、音響再生装置、等が挙げられる。

[0563]

特に、本発明の一態様の表示パネルは、精細度を高めることが可能なため、比較的小さな表示部を有する電子機器に好適に用いることができる。このような電子機器としては、例えば、腕時計型及びブレスレット型の情報端末機（ウェアラブル機器）、並びに、ヘッドマウントディスプレイ等の VR 向け機器、メガネ型の AR 向け機器、及び MR 向け機器等、頭部に装着可能なウェアラブル機器等が挙げられる。

[0564]

本発明の一態様の表示パネルは、HD（画素数 1 2 8 0 × 7 2 0）、FHD（画素数 1 9 2 0 × 1 0 8 0）、WQHD（画素数 2 5 6 0 × 1 4 4 0）、WQXGA（画素数 2 5 6 0 × 1 6 0 0）、4 K（画素数 3 8 4 0 × 2 1 6 0）、8 K（画素数 7 6 8 0 × 4 3 2 0）といった極めて高い解像度を有していることが好ましい。特に 4 K、8 K、又はそれ以上の解像度とすることが好ましい。また、本発明

の一態様の表示パネルにおける画素密度（精細度）は、100 p p i 以上が好ましく、300 p p i 以上が好ましく、500 p p i 以上がより好ましく、1000 p p i 以上がより好ましく、2000 p p i 以上がより好ましく、3000 p p i 以上がより好ましく、5000 p p i 以上がより好ましく、7000 p p i 以上がさらに好ましい。このように高い解像度及び高い精細度の一方又は双方を有する表示パネルを用いることで、臨場感及び奥行き感等をより高めることが可能となる。また、本発明の一態様の表示パネルの画面比率（アスペクト比）については、特に限定はない。例えば、表示パネルは、1 : 1（正方形）、4 : 3、16 : 9、及び16 : 10等様々な画面比率に対応できる。

[0565]

本実施の形態の電子機器は、センサ（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を検知、検出、又は測定する機能を含むもの）を有していてもよい。

[0566]

本実施の形態の電子機器は、様々な機能を有することができる。例えば、様々な情報（静止画、動画、及びテキスト画像等）を表示部に表示する機能、タッチパネル機能、カレンダー、日付又は時刻等を表示する機能、様々なソフトウェア（プログラム）を実行する機能、無線通信機能、記録媒体に記録されているプログラム又はデータを読み出す機能等を有することができる。

[0567]

図59A乃至図59Dを用いて、頭部に装着可能なウェアラブル機器の一例を説明する。これらウェアラブル機器は、ARのコンテンツを表示する機能、及びVRのコンテンツを表示する機能の一方又は双方を有する。なお、これらウェアラブル機器は、AR、VRの他に、SR又はMRのコンテンツを表示する機能を有していてもよい。電子機器が、AR、VR、SR、及びMR等のうち少なくとも一つのコンテンツを表示する機能を有することで、使用者の没入感を高めることが可能となる。

[0568]

図59Aに示す電子機器700A、及び図59Bに示す電子機器700Bは、それぞれ、一对の表示パネル751と、一对の筐体721と、通信部（図示しない）と、一对の装着部723と、制御部（図示しない）と、撮像部（図示しない）と、一对の光学部材753と、フレーム757と、一对の鼻パッド758と、を有する。

[0569]

表示パネル751には、本発明の一態様の表示パネルを適用できる。これにより、電子機器700A、及び電子機器700Bを、極めて精細度の高い表示が可能であり、且つ信頼性が高い電子機器とすることができる。電子機器700A、及び電子機器700Bは、極めて精細度の高い表示が可能であることにより、使用者に高い没入感を感じさせることができる。

[0570]

電子機器700A、及び電子機器700Bは、それぞれ、光学部材753の表示領域756に、表示パネル751で表示した画像を投影できる。光学部材753は透光性を有するため、使用者は光学部材753を通して視認される透過像に重ねて、表示領域に表示された画像を見ることができる。したがって、電子機器700A、及び電子機器700Bは、それぞれ、AR表示が可能な電子機器である。

[0571]

電子機器700A、及び電子機器700Bには、撮像部として、前方を撮像することのできるカメラが設けられていてもよい。また、電子機器700A、及び電子機器700Bは、それぞれ、ジャイロ

センサ等の加速度センサを備えることで、使用者の頭部の向きを検知して、その向きに応じた画像を表示領域 7 5 6 に表示することもできる。

[0572]

通信部は無線通信機を有し、当該無線通信機により例えば映像信号を供給できる。なお、無線通信機に代えて、又は無線通信機に加えて、映像信号及び電源電位が供給されるケーブルを接続可能なコネクタを備えていてもよい。

[0573]

また、電子機器 7 0 0 A、及び電子機器 7 0 0 B には、バッテリーが設けられており、無線及び有線の一方又は双方によって充電できる。

[0574]

筐体 7 2 1 には、タッチセンサモジュールが設けられていてもよい。タッチセンサモジュールは、筐体 7 2 1 の外側の面がタッチされることを検出する機能を有する。タッチセンサモジュールにより、使用者のタップ操作又はスライド操作等を検出し、様々な処理を実行できる。例えば、タップ操作によって動画の一時停止又は再開等の処理を実行することが可能となり、スライド操作により、早送り又は早戻しの処理を実行すること等が可能となる。また、2つの筐体 7 2 1 のそれぞれにタッチセンサモジュールを設けることで、操作の幅を広げることができる。

[0575]

タッチセンサモジュールとしては、様々なタッチセンサを適用できる。例えば、静電容量方式、抵抗膜方式、赤外線方式、電磁誘導方式、表面弾性波方式、又は光学方式等、種々の方式を採用できる。特に、静電容量方式又は光学方式のセンサを、タッチセンサモジュールに適用することが好ましい。

[0576]

光学方式のタッチセンサを用いる場合には、受光デバイス（受光素子ともいう）として、光電変換デバイス（光電変換素子ともいう）を用いることができる。光電変換デバイスの活性層には、無機半導体及び有機半導体の一方又は双方を用いることができる。

[0577]

図 5 9 C に示す電子機器 8 0 0 A、及び図 5 9 D に示す電子機器 8 0 0 B は、それぞれ、一对の表示部 8 2 0 と、筐体 8 2 1 と、通信部 8 2 2 と、一对の装着部 8 2 3 と、制御部 8 2 4 と、一对の撮像部 8 2 5 と、一对のレンズ 8 3 2 と、を有する。

[0578]

表示部 8 2 0 には、本発明の一態様の表示パネルを適用できる。これにより、電子機器 8 0 0 A、及び電子機器 8 0 0 B を、極めて精細度の高い表示が可能であり、且つ信頼性が高い電子機器とすることができる。電子機器 8 0 0 A、及び電子機器 8 0 0 B は、極めて精細度の高い表示が可能であることにより、使用者に高い没入感を感じさせることができる。

[0579]

表示部 8 2 0 は、筐体 8 2 1 の内部の、レンズ 8 3 2 を通して視認できる位置に設けられる。また、一对の表示部 8 2 0 に異なる画像を表示させることで、視差を用いた 3 次元表示を行うこともできる。

[0580]

電子機器 8 0 0 A、及び電子機器 8 0 0 B は、それぞれ、VR 向けの電子機器ということができる。電子機器 8 0 0 A 又は電子機器 8 0 0 B を装着した使用者は、レンズ 8 3 2 を通して、表示部 8 2 0

に表示される画像を視認できる。

[0581]

電子機器800A、及び電子機器800Bは、それぞれ、レンズ832及び表示部820が、使用者の目の位置に応じて最適な位置となるように、これらの左右の位置を調整可能な機構を有していることが好ましい。また、レンズ832と表示部820との距離を変えることで、ピントを調整する機構を有していることが好ましい。

[0582]

装着部823により、使用者は電子機器800A又は電子機器800Bを頭部に装着できる。なお、例えば図59Cにおいては、メガネのつる（テンプルともいう）のような形状として例示しているがこれに限定されない。装着部823は、使用者が装着できればよく、例えば、ヘルメット型又はバンド型の形状としてもよい。

[0583]

撮像部825は、外部の情報を取得する機能を有する。撮像部825が取得したデータは、表示部820に出力できる。撮像部825には、イメージセンサを用いることができる。また、望遠、及び広角等の複数の画角に対応可能なように複数のカメラを設けてもよい。

[0584]

なお、ここでは撮像部825を有する例を示したが、対象物の距離を測定することのできる測距センサ（以下、検知部ともよぶ）を設ければよい。すなわち、撮像部825は、検知部の一態様である。検知部としては、例えばイメージセンサ、又は、ライダー（L I D A R : L i g h t D e t e c t i o n a n d R a n g i n g）等の距離画像センサを用いることができる。カメラによって得られた画像と、距離画像センサによって得られた画像とを用いることにより、より多くの情報を取得し、より高精度なジェスチャー操作を可能とすることができる。

[0585]

電子機器800Aは、骨伝導イヤホンとして機能する振動機構を有していてもよい。例えば、表示部820、筐体821、及び装着部823のいずれか一又は複数に、当該振動機構を有する構成を適用できる。これにより、別途、ヘッドホン、イヤホン、又はスピーカ等の音響機器を必要とせず、電子機器800Aを装着しただけで映像と音声を楽しむことができる。

[0586]

電子機器800A、及び電子機器800Bは、それぞれ、入力端子を有していてもよい。入力端子には、例えば映像出力機器からの映像信号、及び電子機器内に設けられるバッテリーを充電するための電力等を供給する、ケーブルを接続できる。

[0587]

本発明の一態様の電子機器は、イヤホン750と無線通信を行う機能を有していてもよい。イヤホン750は、通信部（図示しない）を有し、無線通信機能を有する。イヤホン750は、無線通信機能により、電子機器から情報（例えば音声データ）を受信できる。例えば、図59Aに示す電子機器700Aは、無線通信機能によって、イヤホン750に情報を送信する機能を有する。また、例えば、図59Cに示す電子機器800Aは、無線通信機能によって、イヤホン750に情報を送信する機能を有する。

[0588]

また、電子機器がイヤホン部を有していてもよい。図59Bに示す電子機器700Bは、イヤホン部

７２７を有する。例えば、イヤホン部７２７と制御部とは、互いに有線接続されている構成とすることができる。イヤホン部７２７と制御部とをつなぐ配線の一部は、筐体７２１又は装着部７２３の内部に配置されていてもよい。

[０５８９]

同様に、図５９Ｄに示す電子機器８００Ｂは、イヤホン部８２７を有する。例えば、イヤホン部８２７と制御部８２４とは、互いに有線接続されている構成とすることができる。イヤホン部８２７と制御部８２４とをつなぐ配線の一部は、筐体８２１又は装着部８２３の内部に配置されていてもよい。また、イヤホン部８２７と装着部８２３とがマグネットを有していてもよい。これにより、イヤホン部８２７を装着部８２３に磁力によって固定でき、収納が容易となり好ましい。

[０５９０]

なお、電子機器は、イヤホン又はヘッドホン等を接続できる音声出力端子を有していてもよい。また、電子機器は、音声入力端子及び音声入力機構の一方又は双方を有していてもよい。音声入力機構としては、例えば、マイク等の集音装置を用いることができる。電子機器が音声入力機構を有することで、電子機器に、いわゆるヘッドセットとしての機能を付与してもよい。

[０５９１]

このように、本発明の一態様の電子機器としては、メガネ型（電子機器７００Ａ及び電子機器７００Ｂ等）と、ゴーグル型（電子機器８００Ａ及び電子機器８００Ｂ等）と、のどちらも好適である。

[０５９２]

図６０Ａに示す電子機器６５００は、スマートフォンとして用いることのできる携帯情報端末機である。

[０５９３]

電子機器６５００は、筐体６５０１、表示部６５０２、電源ボタン６５０３、ボタン６５０４、スピーカ６５０５、マイク６５０６、カメラ６５０７、光源６５０８及び制御装置６５０９等を有する。表示部６５０２はタッチパネル機能を備える。なお、制御装置６５０９としては、例えば、ＣＰＵ、ＧＰＵ、及び記憶装置の中から選ばれるいずれか一又は複数を有する。本発明の一態様の半導体装置は、表示部６５０２、及び制御装置６５０９等に適用できる。本発明の一態様の半導体装置を制御装置６５０９に用いることで、消費電力を低減させることができるため好適である。

[０５９４]

表示部６５０２に、本発明の一態様の表示パネルを適用できる。これにより、電子機器６５００を、極めて精細度の高い表示が可能であり、且つ信頼性が高い電子機器とすることができる。

[０５９５]

図６０Ｂは、筐体６５０１のマイク６５０６側の端部を含む断面概略図である。

[０５９６]

筐体６５０１の表示面側には透光性を有する保護部材６５１０が設けられ、筐体６５０１と保護部材６５１０に囲まれた空間内に、表示パネル６５１１、光学部材６５１２、タッチセンサパネル６５１３、プリント基板６５１７、及びバッテリー６５１８等が配置されている。

[０５９７]

保護部材６５１０には、表示パネル６５１１、光学部材６５１２、及びタッチセンサパネル６５１３が接着層（図示しない）により固定されている。

[０５９８]

表示部 6 5 0 2 よりも外側の領域において、表示パネル 6 5 1 1 の一部が折り返されており、当該折り返された部分に F P C 6 5 1 5 が接続されている。F P C 6 5 1 5 には、I C 6 5 1 6 が実装されている。F P C 6 5 1 5 は、プリント基板 6 5 1 7 に設けられた端子に接続されている。

[0 5 9 9]

表示パネル 6 5 1 1 には本発明の一態様のフレキシブルディスプレイを適用できる。そのため、極めて軽量の電子機器を実現できる。また、表示パネル 6 5 1 1 が極めて薄いため、電子機器の厚さを抑えつつ、大容量のバッテリー 6 5 1 8 を搭載することもできる。また、表示パネル 6 5 1 1 の一部を折り返して、画素部の裏側に F P C 6 5 1 5 との接続部を配置することにより、狭額縁の電子機器を実現できる。

[0 6 0 0]

図 6 0 C にテレビジョン装置の一例を示す。テレビジョン装置 7 1 0 0 は、筐体 7 1 0 1 に表示部 7 0 0 0 が組み込まれている。ここでは、スタンド 7 1 0 3 により筐体 7 1 0 1 を支持した構成を示している。

[0 6 0 1]

図 6 0 C に示すテレビジョン装置 7 1 0 0 の操作は、筐体 7 1 0 1 が備える操作スイッチ、及び別体のリモコン操作機 7 1 1 1 により行うことができる。又は、表示部 7 0 0 0 にタッチセンサを備えていてもよく、指等で表示部 7 0 0 0 に触れることでテレビジョン装置 7 1 0 0 を操作してもよい。リモコン操作機 7 1 1 1 は、当該リモコン操作機 7 1 1 1 から出力する情報を表示する表示部を有していてもよい。リモコン操作機 7 1 1 1 が備える操作キー又はタッチパネルにより、チャンネル及び音量の操作を行うことができ、表示部 7 0 0 0 に表示される映像を操作できる。

[0 6 0 2]

なお、テレビジョン装置 7 1 0 0 は、受信機及びモデム等を備えた構成とする。受信機により一般のテレビ放送の受信を行うことができる。また、モデムを介して有線又は無線による通信ネットワークに接続することにより、一方向（送信者から受信者）又は双方向（送信者と受信者間、あるいは受信者間等）の情報通信を行うことも可能である。

[0 6 0 3]

図 6 0 D に、ノート型パーソナルコンピュータの一例を示す。ノート型パーソナルコンピュータ 7 2 0 0 は、筐体 7 2 1 1、キーボード 7 2 1 2、ポインティングデバイス 7 2 1 3、外部接続ポート 7 2 1 4、及び制御装置 7 2 1 6 等を有する。筐体 7 2 1 1 に、表示部 7 0 0 0 が組み込まれている。制御装置 7 2 1 6 としては、例えば、C P U、G P U、及び記憶装置の中から選ばれるいずれか一又は複数を有する。本発明の一態様の半導体装置は、表示部 7 0 0 0、及び制御装置 7 2 1 6 等に適用できる。本発明の一態様の半導体装置を制御装置 7 2 1 6 に用いることで、消費電力を低減させることができるため好適である。

[0 6 0 4]

図 6 0 E 及び図 6 0 F に、デジタルサイネージの一例を示す。

[0 6 0 5]

図 6 0 E に示すデジタルサイネージ 7 3 0 0 は、筐体 7 3 0 1、表示部 7 0 0 0、及びスピーカ 7 3 0 3 等を有する。さらに、LED ランプ、操作キー（電源スイッチ、又は操作スイッチを含む）、接続端子、各種センサ、マイクロフォン等を有することができる。

[0 6 0 6]

図60Fは円柱状の柱7401に取り付けられたデジタルサイネージ7400である。デジタルサイネージ7400は、柱7401の曲面に沿って設けられた表示部7000を有する。

[0607]

表示部7000が広いほど、一度に提供できる情報量を増やすことができる。また、表示部7000が広いほど、人の目につきやすく、例えば、広告の宣伝効果を高めることができる。

[0608]

表示部7000にタッチパネルを適用することで、表示部7000に画像又は動画を表示するだけでなく、使用者が直感的に操作でき、好ましい。また、路線情報もしくは交通情報等の情報を提供するための用途に用いる場合には、直感的な操作によりユーザビリティを高めることができる。

[0609]

また、図60E及び図60Fに示すように、デジタルサイネージ7300又はデジタルサイネージ7400は、使用者が所持するスマートフォン等の情報端末機7311又は情報端末機7411と無線通信により連携可能であることが好ましい。例えば、表示部7000に表示される広告の情報を、情報端末機7311又は情報端末機7411の画面に表示させることができる。また、情報端末機7311又は情報端末機7411を操作することで、表示部7000の表示を切り替えることができる。

[0610]

また、デジタルサイネージ7300又はデジタルサイネージ7400に、情報端末機7311又は情報端末機7411の画面を操作手段（コントローラ）としたゲームを実行させることもできる。これにより、不特定多数の使用者が同時にゲームに参加し、楽しむことができる。

[0611]

図60C乃至図60Fに示す電子機器の表示部7000に、本発明の一態様の表示パネルを適用できる。これにより、極めて精細度の高い表示が可能であり、且つ信頼性が高い電子機器を実現できる。

[0612]

図61A乃至図61Gに示す電子機器は、筐体9000、表示部9001、スピーカ9003、操作キー9005（電源スイッチ、又は操作スイッチを含む）、接続端子9006、センサ9007（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を検知、検出、又は測定する機能を含むもの）、マイクロフォン9008、等を有する。

[0613]

図61A乃至図61Gに示す電子機器は、様々な機能を有する。例えば、様々な情報（静止画、動画、及びテキスト画像等）を表示部に表示する機能、タッチパネル機能、カレンダー、日付又は時刻等を表示する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、無線通信機能、記録媒体に記録されているプログラム又はデータを読み出して処理する機能、等を有することができる。なお、電子機器の機能はこれらに限られず、様々な機能を有することができる。電子機器は、複数の表示部を有していてもよい。また、電子機器に例えばカメラを設け、静止画又は動画を撮影し、記録媒体（外部又はカメラに内蔵）に保存する機能、及び撮影した画像を表示部に表示する機能等を有していてもよい。

[0614]

図61A乃至図61Gに示す電子機器の詳細について、以下説明を行う。

[0615]

図61Aは、携帯情報端末9101を示す斜視図である。携帯情報端末9101は、例えばスマートフォンとして用いることができる。なお、携帯情報端末9101は、スピーカ9003、接続端子9006、及びセンサ9007等を設けてもよい。また、携帯情報端末9101は、文字及び画像情報をその複数の面に表示できる。図61Aでは3つのアイコン9050を表示した例を示している。また、破線の矩形で示す情報9051を表示部9001の他の面に表示することもできる。情報9051の一例としては、電子メール、SNS、又は電話等の着信の通知、電子メール又はSNS等の題名、送信者名、日時、時刻、バッテリーの残量、及び電波強度等がある。又は、情報9051が表示されている位置にはアイコン9050等を表示してもよい。

[0616]

図61Bは、携帯情報端末9102を示す斜視図である。携帯情報端末9102は、表示部9001の3面以上に情報を表示する機能を有する。ここでは、情報9052、情報9053、情報9054がそれぞれ異なる面に表示されている例を示す。例えば使用者は、洋服の胸ポケットに携帯情報端末9102を収納した状態で、携帯情報端末9102の上方から観察できる位置に表示された情報9053を確認することもできる。使用者は、携帯情報端末9102をポケットから取り出すことなく表示を確認し、例えば電話を受けるか否かを判断できる。

[0617]

図61Cは、タブレット端末9103を示す斜視図である。タブレット端末9103は、一例として、携帯電話、電子メール、文章閲覧及び作成、音楽再生、インターネット通信、コンピュータゲーム等の種々のアプリケーションの実行が可能である。タブレット端末9103は、筐体9000の正面に表示部9001、カメラ9002、マイクロフォン9008、スピーカ9003を有し、筐体9000の左側面には操作作用のボタンとしての操作キー9005、底面には接続端子9006を有する。

[0618]

図61Dは、腕時計型の携帯情報端末9200を示す斜視図である。携帯情報端末9200は、例えばスマートウォッチ（登録商標）として用いることができる。また、表示部9001はその表示面が湾曲して設けられ、湾曲した表示面に沿って表示を行うことができる。また、携帯情報端末9200は、例えば無線通信可能なヘッドセットと相互通信することによって、ハンズフリーで通話することもできる。また、携帯情報端末9200は、接続端子9006により、他の情報端末と相互にデータ伝送を行うこと、及び充電を行うこともできる。なお、充電動作は無線給電により行ってもよい。

[0619]

図61E乃至図61Gは、折り畳み可能な携帯情報端末9201を示す斜視図である。また、図61Eは携帯情報端末9201を展開した状態、図61Gは折り畳んだ状態、図61Fは図61Eと図61Gの一方から他方に変化する途中の状態の斜視図である。携帯情報端末9201は、折り畳んだ状態では可搬性に優れ、展開した状態では継ぎ目のない広い表示領域により表示の一覧性に優れる。携帯情報端末9201が有する表示部9001は、ヒンジ9055によって連結された3つの筐体9000に支持されている。例えば、表示部9001は、曲率半径0.1mm以上150mm以下で曲げることができる。

[0620]

図61A乃至図61Gに示す電子機器の表示部9001に、本発明の一態様の表示パネルを適用できる。これにより、極めて精細度の高い表示が可能であり、且つ信頼性が高い電子機器を実現できる。

[0621]

本実施の形態で例示した構成例、及びそれらに対応する図面等は、少なくともその一部を他の構成例、又は図面等と適宜組み合わせることができる。

[符号の説明]

[0622]

20：半導体装置、20A：半導体装置、20B：半導体装置、20C：半導体装置、20D：半導体装置、20E：半導体装置、21：画素、23：副画素、23B：副画素、23G：副画素、23R：副画素、25：表示部、30：表示装置、30A：表示装置、30B：表示装置、30C：表示装置、31：走査線駆動回路、33：信号線駆動回路、35：電源回路、37：基準電位生成回路、40：画素回路、40A：画素回路、40B：画素回路、40C：画素回路、41：配線、41a：配線、41b：配線、43：配線、45：配線、47：配線、48：配線、50：トランジスタ、51：トランジスタ、57：容量、60：発光素子、60B：発光素子、60G：発光素子、60R：発光素子、60W：発光素子、69：液晶素子、70：表示装置、100：トランジスタ、101：絶縁層、102：基板、103：導電層、105：絶縁層、106：絶縁層、106a：絶縁層、106b：絶縁層、108：半導体層、108f：半導体膜、108i：領域、108na：領域、108nb：領域、109：絶縁層、110：絶縁層、110a：絶縁層、110b：絶縁層、110c：絶縁層、111：絶縁層、112：導電層、112a：導電層、112b：導電層、112c：導電層、112f：導電膜、113：導電層、115：プラグ、115a：プラグ、115b：プラグ、115c：プラグ、117：導電層、117a：導電層、117b：導電層、117c：導電層、120：層、122a：端部、122b：端部、123：レジストマスク、125：平坦部、126：上面、127：部分、141[1]：開口部、141[2]：開口部、141：開口部、143：開口部、145：開口部、145a：開口部、145b：開口部、145c：開口部、150：トランジスタ、151：半導体層、152：絶縁層、153：絶縁層、154：導電層、155：導電層、156：絶縁層、157：導電層、158：絶縁層、159：絶縁層、161：絶縁層、170：基板、200：トランジスタ、208：半導体層、208i：領域、208na：領域、208nb：領域、212a：導電層、212b：導電層、213：導電層、225：平坦部、226：上面、227：部分、241：開口部、243：開口部、308：半導体層、310：トランジスタ、311：導電層、312：導電層、313：導電層、314：絶縁層、315：素子分離層、316：低抵抗領域、317：絶縁層、340：容量、341：導電層、343：絶縁層、345：導電層、354：絶縁層、355a：絶縁層、355b：絶縁層、355c：絶縁層、356：プラグ、380：表示モジュール、382：回路部、383：画素回路部、384：画素部、385：端子部、386：配線部、390：FPC、401：層、411：画素電極、411B：画素電極、411C：接続電極、411G：画素電極、411R：画素電極、412：有機層、412B：有機層、412G：有機層、412R：有機層、412W：有機層、413：共通電極、414：共通層、415B：導電層、415G：導電層、415R：導電層、416：着色層、416B：着色層、416G：着色層、416R：着色層、421：保護層、422：絶縁層、423：絶縁層、425：絶縁層、426：樹脂層、428：層、440：接続部、471：接着層、512：画素電極、516：共通電極、517：遮光層、529：開口部、533：絶縁層、541：配向層、543：液晶、545：配向層、547：絶縁層、700A：電子機器、700B：電子機器、721：筐体、723：装着部、727：イヤホン部、750：イヤホン、751：表示パネル、753：光学部材、756：表示領域、757：

フレーム、758：鼻パッド、800A：電子機器、800B：電子機器、820：表示部、821：筐体、822：通信部、823：装着部、824：制御部、825：撮像部、827：イヤホン部、832：レンズ、6500：電子機器、6501：筐体、6502：表示部、6503：電源ボタン、6504：ボタン、6505：スピーカ、6506：マイク、6507：カメラ、6508：光源、6509：制御装置、6510：保護部材、6511：表示パネル、6512：光学部材、6513：タッチセンサパネル、6515：FPC、6516：IC、6517：プリント基板、6518：バッテリー、7000：表示部、7100：テレビジョン装置、7101：筐体、7103：スタンド、7111：リモコン操作機、7200：ノート型パーソナルコンピュータ、7211：筐体、7212：キーボード、7213：ポインティングデバイス、7214：外部接続ポート、7216：制御装置、7300：デジタルサイネージ、7301：筐体、7303：スピーカ、7311：情報端末機、7400：デジタルサイネージ、7401：柱、7411：情報端末機、9000：筐体、9001：表示部、9002：カメラ、9003：スピーカ、9005：操作キー、9006：接続端子、9007：センサ、9008：マイクロフォン、9050：アイコン、9051：情報、9052：情報、9053：情報、9054：情報、9055：ヒンジ、9101：携帯情報端末、9102：携帯情報端末、9103：タブレット端末、9200：携帯情報端末、9201：携帯情報端末

請求の範囲

[請求項 1]

第 1 の絶縁層と、前記第 1 の絶縁層上の第 2 の絶縁層及びトランジスタと、を有し、
前記トランジスタは、第 1 の導電層と、第 2 の導電層と、第 3 の導電層と、半導体層と、第 3 の絶縁層と、を有し、
前記第 2 の絶縁層は、前記第 1 の絶縁層に達する第 1 の開口部を有し、
前記第 1 の導電層、及び前記第 2 の導電層は、平面視において前記第 1 の開口部を介して対向するように、前記第 2 の絶縁層上に設けられ、
前記半導体層は、前記第 1 の開口部の内部に位置する領域を有するように設けられ、
前記第 1 の開口部の外側における、前記半導体層の下面端部は、前記第 1 の導電層の上面端部と一致又は概略一致する領域、及び前記第 2 の導電層の上面端部と一致又は概略一致する領域を有し、
前記第 3 の絶縁層は、前記第 1 の開口部の内部に位置する領域を有するように、前記半導体層上に設けられ、
前記第 3 の導電層は、前記第 1 の開口部の内部に位置する領域を有するように、前記第 3 の絶縁層上に設けられる半導体装置。

[請求項 2]

請求項 1 において、
前記半導体層、及び前記第 3 の絶縁層は、前記第 2 の導電層に達する第 2 の開口部を有し、
前記第 2 の開口部を埋めるように、プラグが設けられる半導体装置。

[請求項 3]

請求項 1 において、
前記第 2 の絶縁層の、前記第 1 の開口部における上面端部は、前記第 1 の導電層の、平面視において前記第 1 の開口部と面する下面端部と一致又は概略一致する領域、及び前記第 2 の導電層の、平面視において前記第 1 の開口部と面する下面端部と一致又は概略一致する領域を有する半導体装置。

[請求項 4]

請求項 1 乃至 3 のいずれか一項において、
前記半導体層は、金属酸化物を含む半導体装置。

[請求項 5]

請求項 4 において、
前記金属酸化物は、インジウムと、元素Mと、亜鉛と、を有し、
前記元素Mは、アルミニウム、ガリウム、スズ、イットリウム、チタン、バナジウム、クロム、マンガン、鉄、コバルト、ニッケル、ジルコニウム、モリブデン、ハフニウム、タンタル、タングステン、ランタン、セリウム、ネオジム、マグネシウム、カルシウム、ストロンチウム、バリウム、ホウ素、シリコン、ゲルマニウム、及びアンチモンから選ばれた一種又は複数種である半導体装置。

[請求項 6]

第 1 の絶縁層と、前記第 1 の絶縁層上の第 2 の絶縁層、第 1 のトランジスタ、及び第 2 のトランジスタと、を有し、
前記第 1 のトランジスタは、第 1 の導電層と、第 2 の導電層と、第 3 の導電層と、第 1 の半導体層と、第 3 の絶縁層と、を有し、
前記第 2 のトランジスタは、第 4 の導電層と、第 5 の導電層と、第 6 の導電層と、第 2 の半導体層

と、前記第3の絶縁層と、を有し、

前記第4の導電層は、前記第1の絶縁層上に設けられ、

前記第2の絶縁層は、前記第4の導電層上に設けられ、

前記第2の絶縁層は、前記第1の絶縁層に達する第1の開口部、及び前記第4の導電層に達する第2の開口部を有し、

前記第1の導電層、及び前記第2の導電層は、平面視において前記第1の開口部を介して対向するように、前記第2の絶縁層上に設けられ、

前記第5の導電層は、前記第2の絶縁層上に設けられ、且つ前記第2の開口部と重なる領域を有する第3の開口部を有し、

前記第1の半導体層は、前記第1の開口部の内部に位置する領域を有するように設けられ、

前記第1の開口部の外側における、前記第1の半導体層の下面端部は、前記第1の導電層の上面端部と一致又は概略一致する領域、及び前記第2の導電層の上面端部と一致又は概略一致する領域を有し、

前記第2の半導体層は、前記第2の開口部の内部に位置する領域、及び前記第3の開口部の内部に位置する領域を有し、且つ前記第4の導電層と接する領域を有するように設けられ、

前記第3の開口部の外側における、前記第2の半導体層の下面端部は、前記第5の導電層の上面端部と一致又は概略一致する領域を有し、

前記第3の絶縁層は、前記第1の開口部の内部に位置する領域、前記第2の開口部の内部に位置する領域、及び前記第3の開口部の内部に位置する領域を有するように、前記第1の半導体層上、及び前記第2の半導体層上に設けられ、

前記第3の導電層は、前記第1の開口部の内部に位置する領域を有するように、前記第3の絶縁層上に設けられ、

前記第6の導電層は、前記第2の開口部の内部に位置する領域、及び前記第3の開口部の内部に位置する領域を有するように、前記第3の絶縁層上に設けられる半導体装置。

[請求項7]

請求項6において、

前記第1の半導体層、及び前記第3の絶縁層は、前記第2の導電層に達する第4の開口部を有し、前記第4の開口部を埋めるように、プラグが設けられる半導体装置。

[請求項8]

請求項6において、

前記第1の半導体層の前記第1の開口部と重なる領域における、前記第1のトランジスタのチャネル長方向の長さの、平面視における最短値は、前記第2の絶縁層の厚さ以上である半導体装置。

[請求項9]

請求項6において、

前記第2の絶縁層の、前記第1の開口部における上面端部は、前記第1の導電層の、平面視において前記第1の開口部と面する下面端部と一致又は概略一致する領域、及び前記第2の導電層の、平面視において前記第1の開口部と面する下面端部と一致又は概略一致する領域を有する半導体装置。

[請求項10]

請求項6乃至9のいずれか一項において、

前記第1の半導体層、及び前記第2の半導体層は、金属酸化物を含む半導体装置。

[請求項 1 1]

請求項 1 0 において、

前記金属酸化物は、インジウムと、元素Mと、亜鉛と、を有し、

前記元素Mは、アルミニウム、ガリウム、スズ、イットリウム、チタン、バナジウム、クロム、マンガン、鉄、コバルト、ニッケル、ジルコニウム、モリブデン、ハフニウム、タンタル、タングステン、ランタン、セリウム、ネオジム、マグネシウム、カルシウム、ストロンチウム、バリウム、ホウ素、シリコン、ゲルマニウム、及びアンチモンから選ばれた一種又は複数種である半導体装置。

[請求項 1 2]

第 1 の絶縁層を形成し、

前記第 1 の絶縁層上に、第 1 の導電層を形成し、

前記第 1 の絶縁層上、及び前記第 1 の導電層上に、第 2 の絶縁層を形成し、

前記第 2 の絶縁層上に、導電膜を形成し、

前記導電膜に、第 1 の開口部と、前記第 1 の導電層と重なる領域を有する第 2 の開口部と、をそれぞれ形成し、

前記第 2 の絶縁層に、前記第 1 の開口部と重なる領域を有し、且つ前記第 1 の絶縁層に達する第 3 の開口部、及び前記第 2 の開口部と重なる領域を有し、且つ前記第 1 の導電層に達する第 4 の開口部をそれぞれ形成し、

前記第 1 乃至第 4 の開口部を覆うように、半導体膜を形成し、

前記半導体膜を加工することにより、前記導電膜と接する領域を有し、且つ前記第 3 の開口部の内部に位置する領域を有する第 1 の半導体層、並びに、前記第 1 の導電層と接する領域、及び前記導電膜と接する領域を有し、且つ前記第 2 の開口部の内部に位置する領域、及び前記第 4 の開口部の内部に位置する領域を有する第 2 の半導体層をそれぞれ形成し、

前記半導体膜の加工後に、前記導電膜を加工することにより、平面視において前記第 3 の開口部を介して対向するように第 2 の導電層、及び第 3 の導電層を形成し、且つ前記第 2 の開口部を有する第 4 の導電層を形成し、

前記第 2 乃至第 4 の開口部の内部に位置する領域を有するように、前記第 1 の半導体層上、前記第 2 の半導体層上、及び前記第 2 の絶縁層上に第 3 の絶縁層を形成し、

前記第 3 の絶縁層上に、前記第 3 の開口部の内部に位置する領域を有する第 5 の導電層、並びに、前記第 2 の開口部の内部に位置する領域、及び前記第 4 の開口部の内部に位置する領域を有する第 6 の導電層をそれぞれ形成する半導体装置の作製方法。

[請求項 1 3]

請求項 1 2 において、

前記半導体膜の形成後、レジストマスクを形成し、

前記レジストマスクの形成後に、前記半導体膜、及び前記導電膜を加工し、

前記導電膜の加工後に、前記レジストマスクを除去する半導体装置の作製方法。

[請求項 1 4]

請求項 1 2 において、

前記第 1 の導電層の形成と同じ工程により、前記第 1 の絶縁層上に第 7 の導電層を形成し、

前記半導体膜、及び前記導電膜を加工することにより、前記第 2 の絶縁層上の第 8 の導電層と、前記第 8 の導電層上の第 3 の半導体層と、を形成し、

前記第 5 の導電層、及び前記第 6 の導電層の形成と同じ工程により、前記第 3 の絶縁層上に第 9 の導電層を形成し、

前記第 5 の導電層、前記第 6 の導電層、及び前記第 9 の導電層の形成後に、前記第 5 乃至第 9 の導電層上に、第 4 の絶縁層を形成し、

前記第 2 乃至第 4 の絶縁層への、前記第 7 の導電層に達する第 5 の開口部の形成、前記第 4 の絶縁層、前記第 3 の絶縁層、及び前記第 3 の半導体層への、前記第 8 の導電層に達する第 6 の開口部の形成、並びに、前記第 4 の絶縁層への、第 7 の開口部の形成を並行して行い、

前記第 5 の開口部を埋める第 1 のプラグ、前記第 6 の開口部を埋める第 2 のプラグ、及び前記第 7 の開口部を埋める第 3 のプラグを形成する半導体装置の作製方法。

图1A

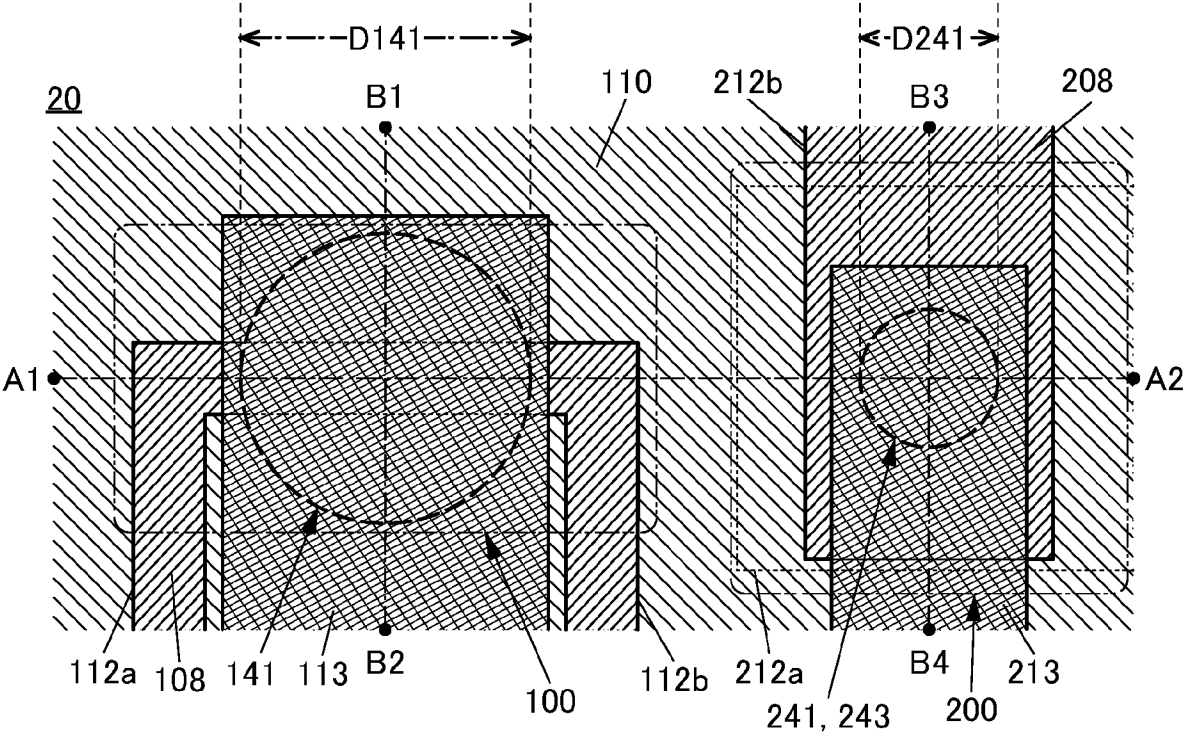


图1B

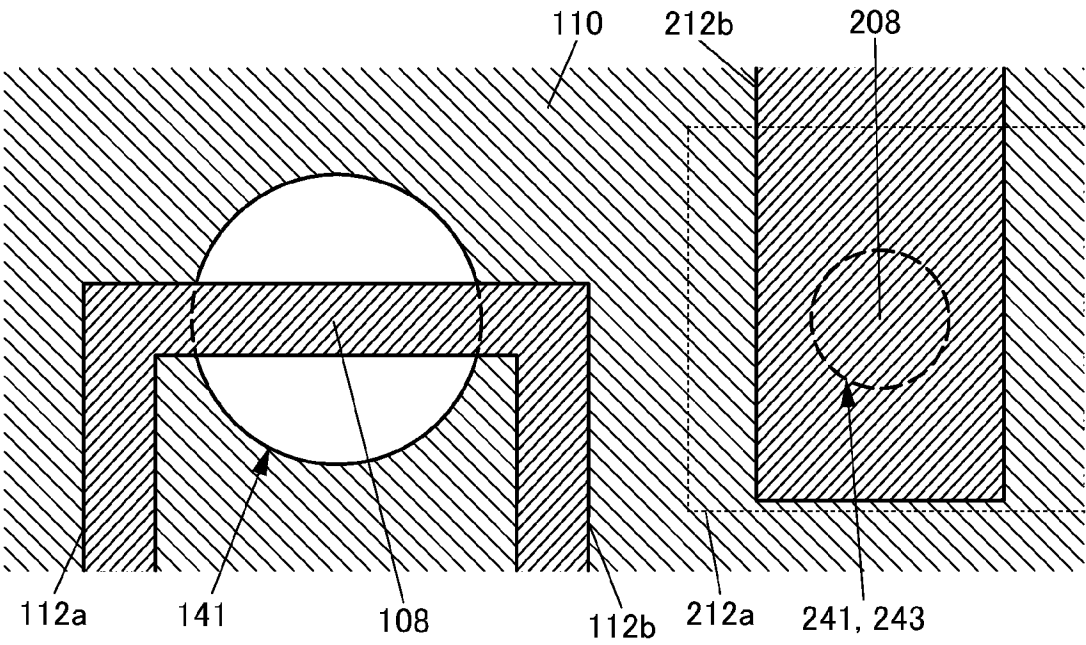


図2A

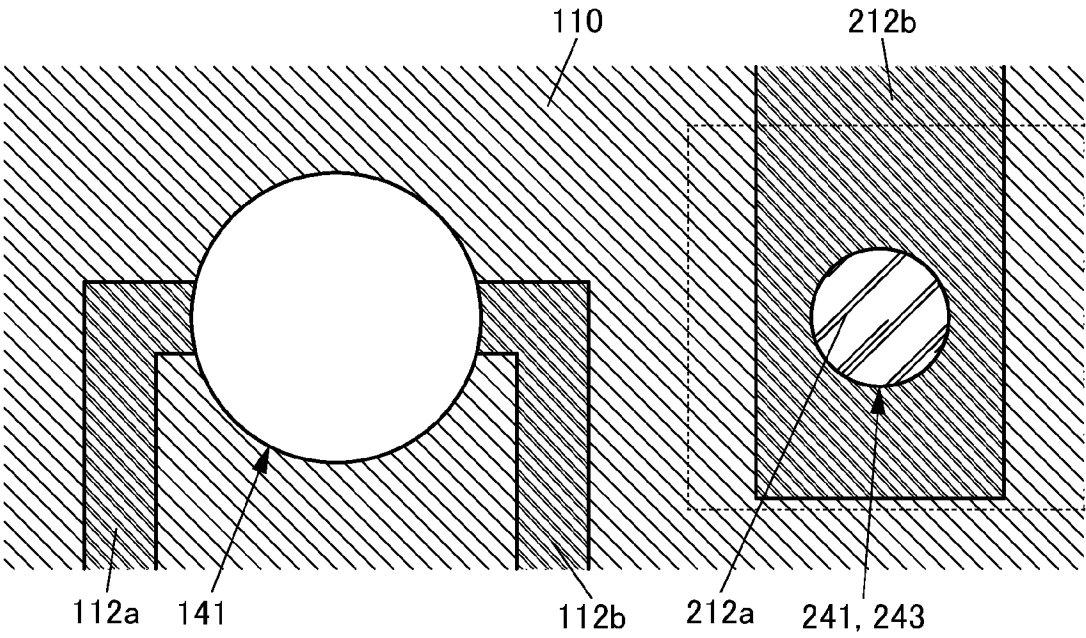


図2B

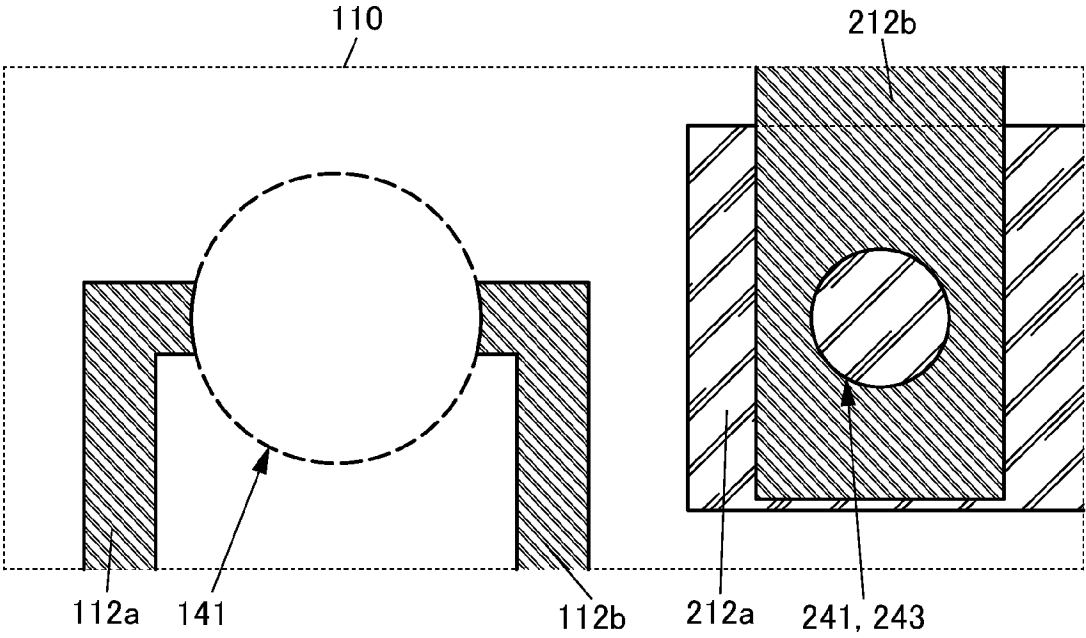


図 3A

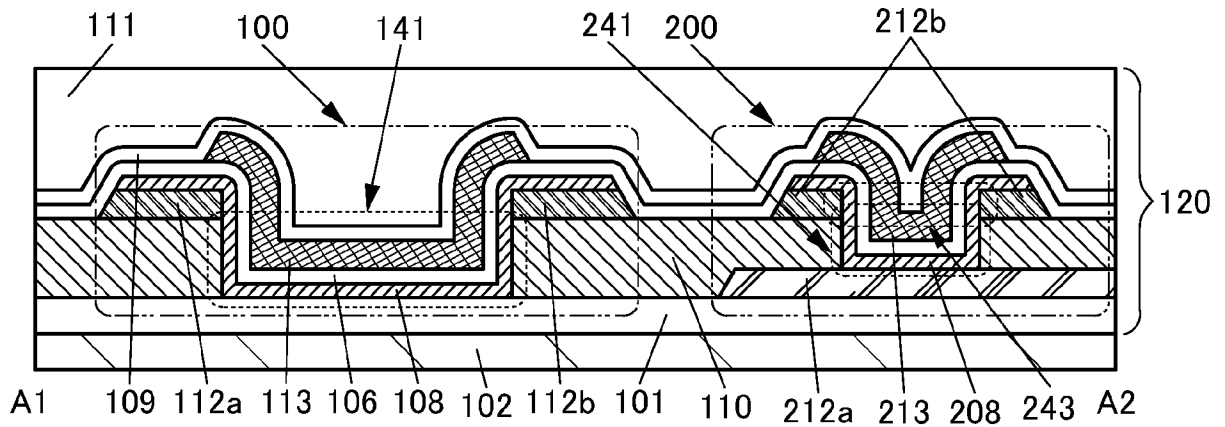


図 3B

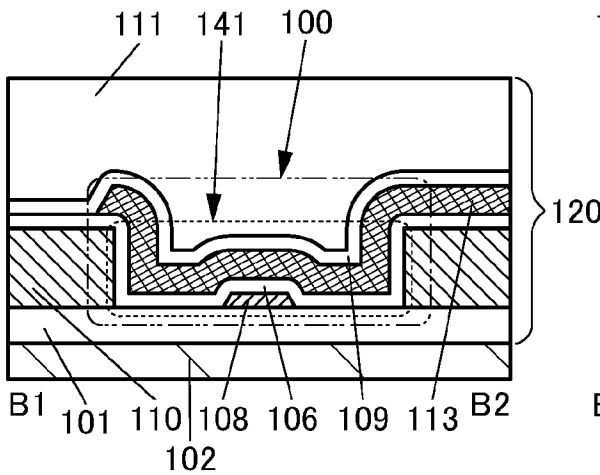


図3C

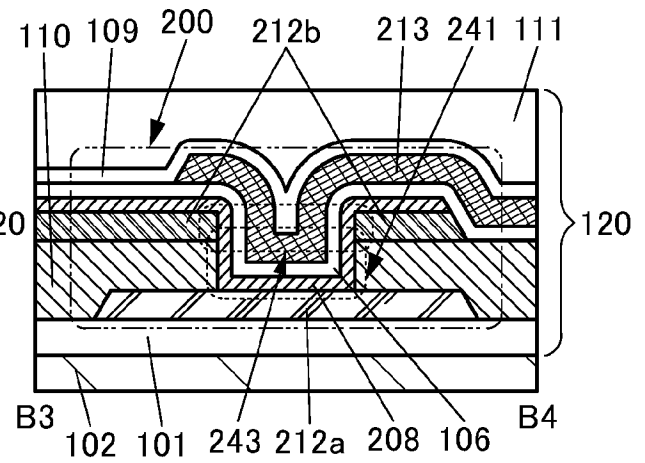


図 3D

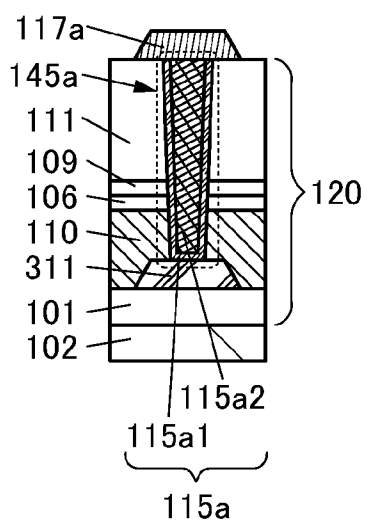


図 3E

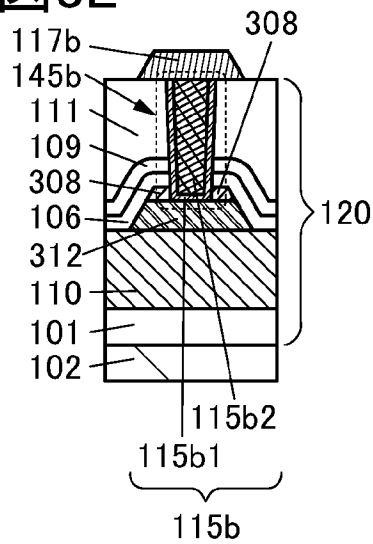


図3F

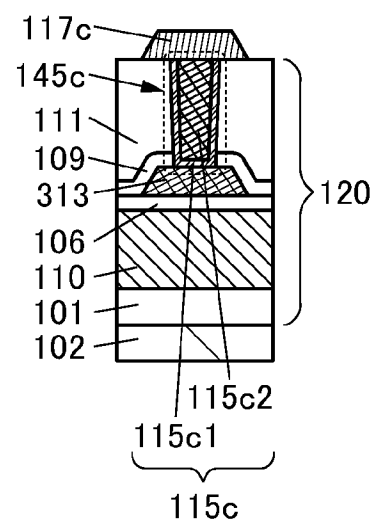


図4A

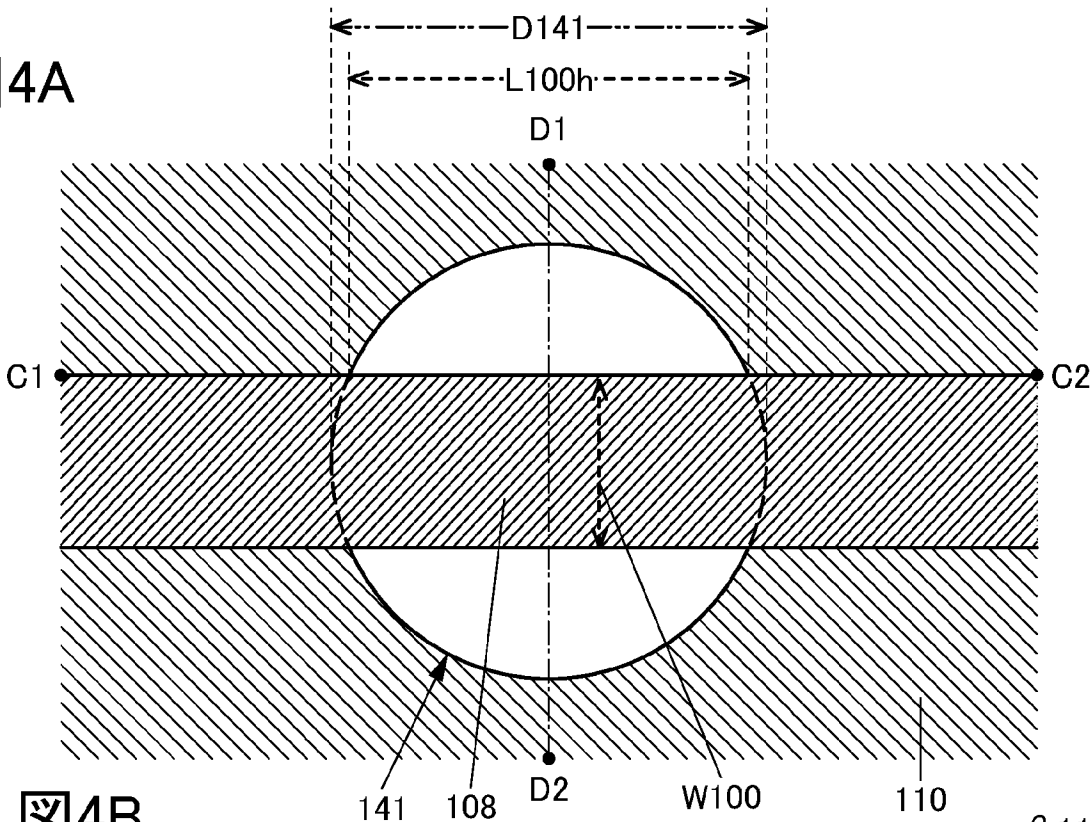


図4B

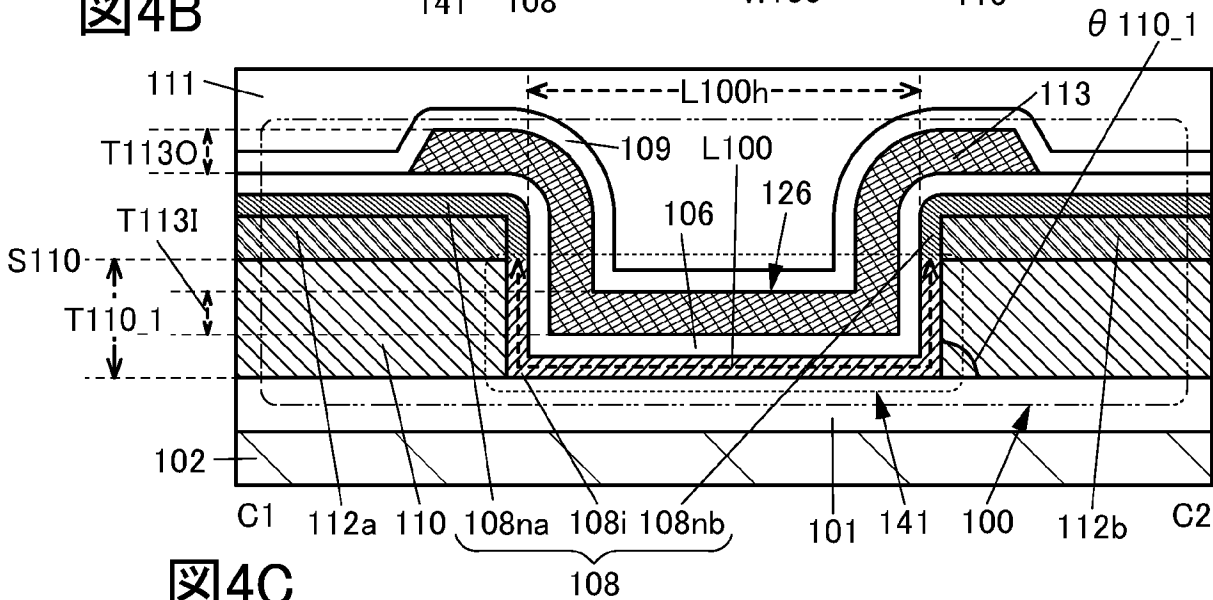


図4C

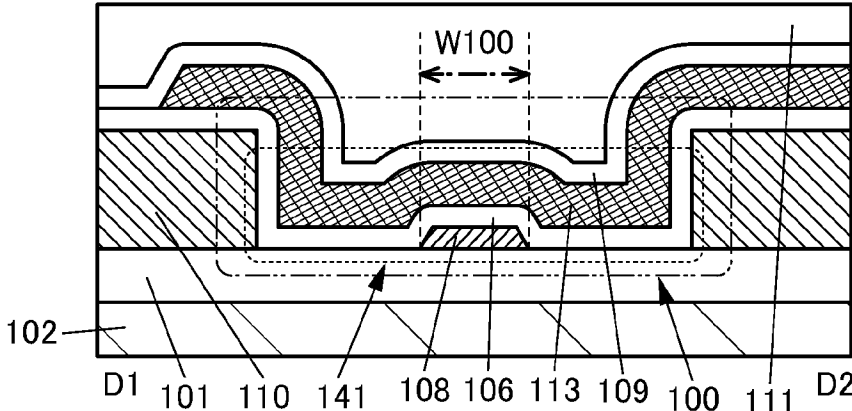


図5A

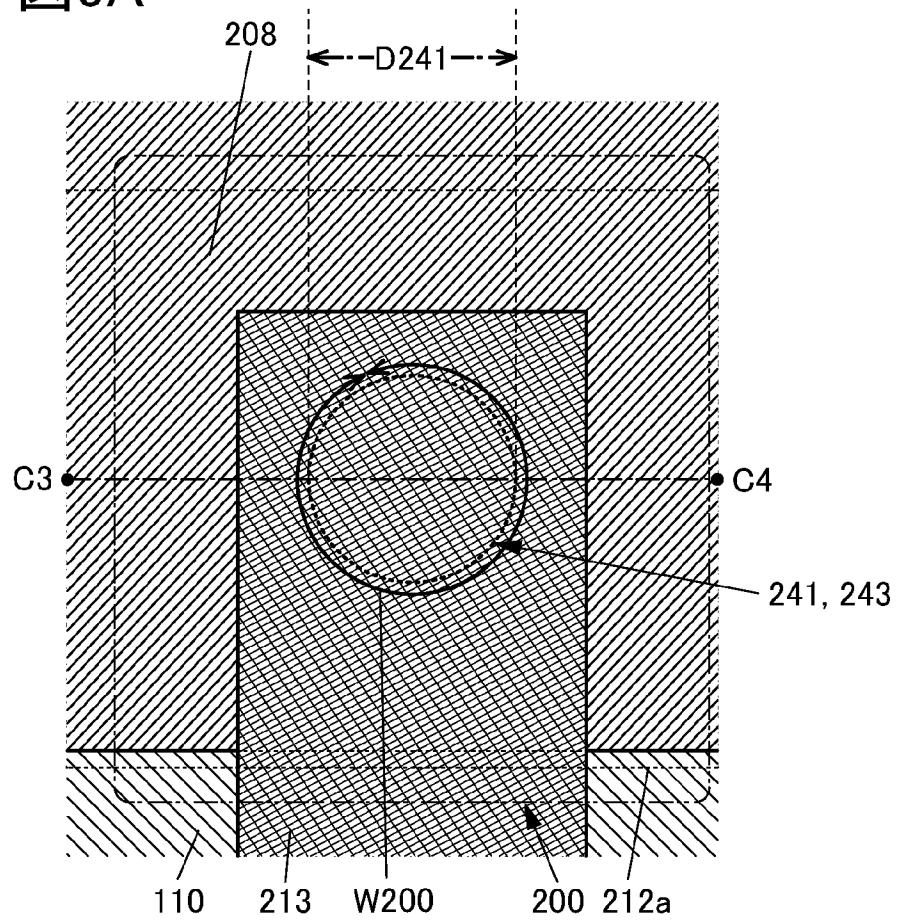


図5B

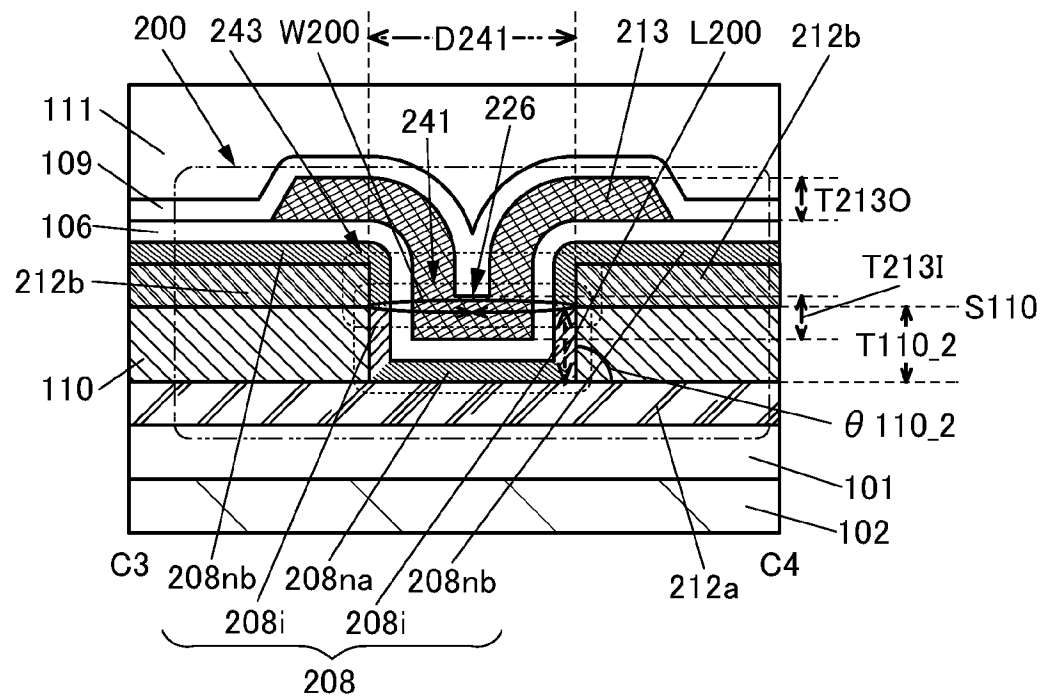


図6A

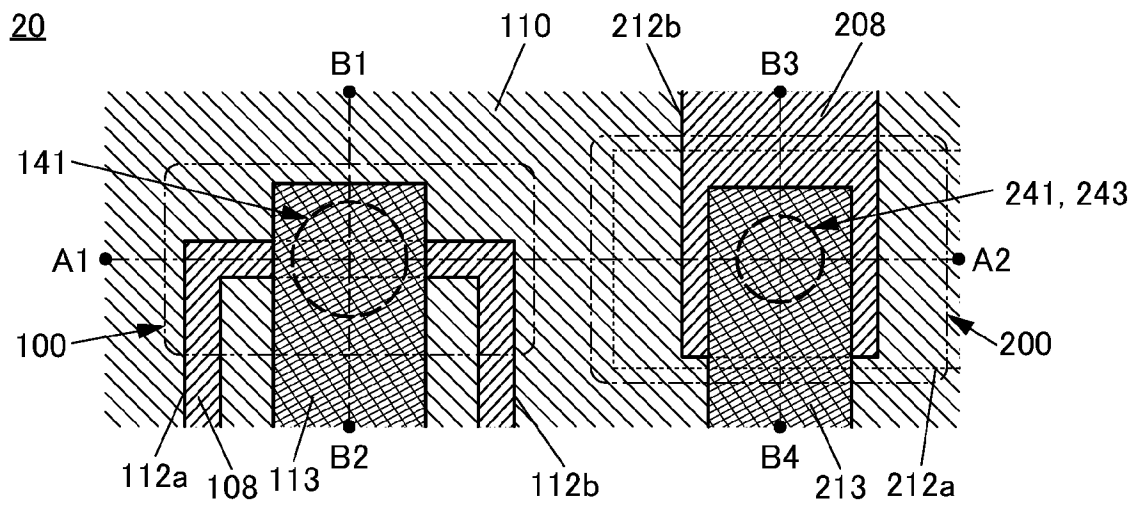


図6B

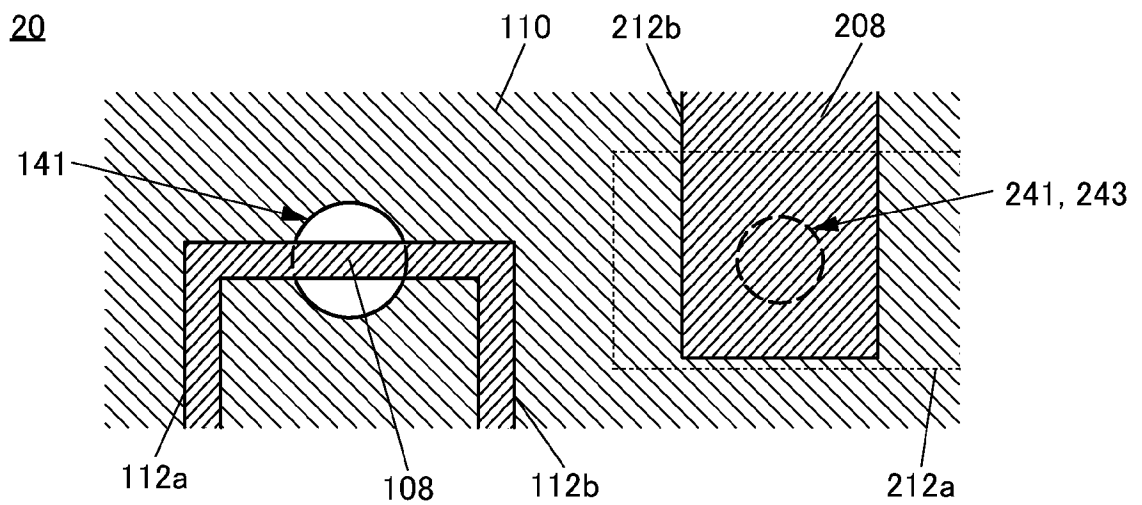


図7A

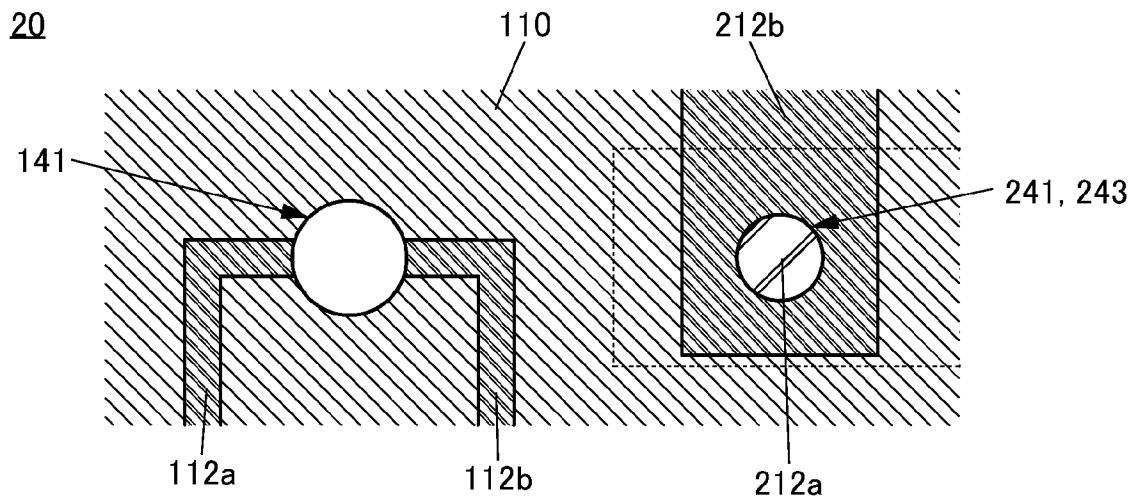


図7B

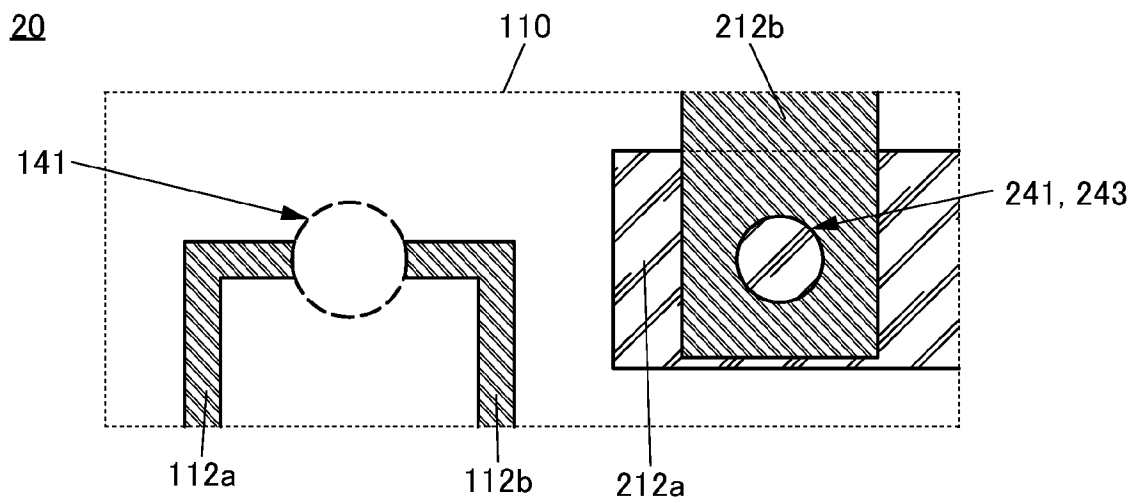


図8A

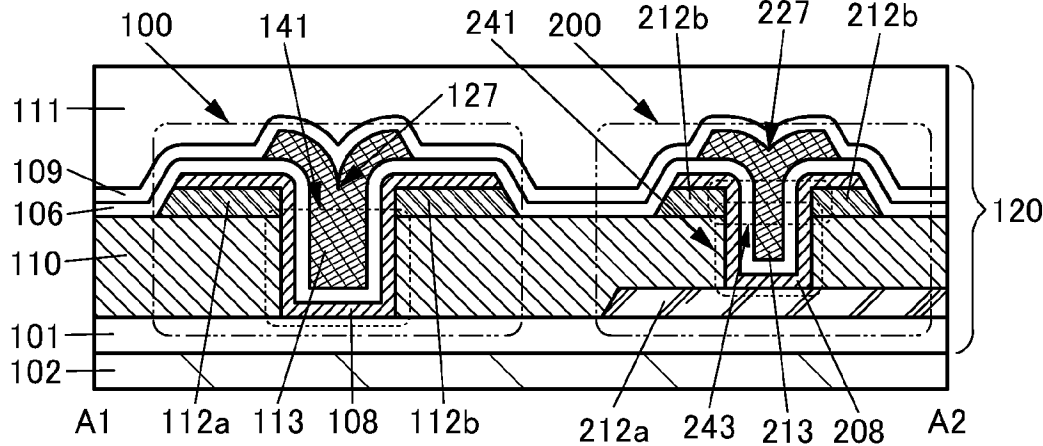


図8B

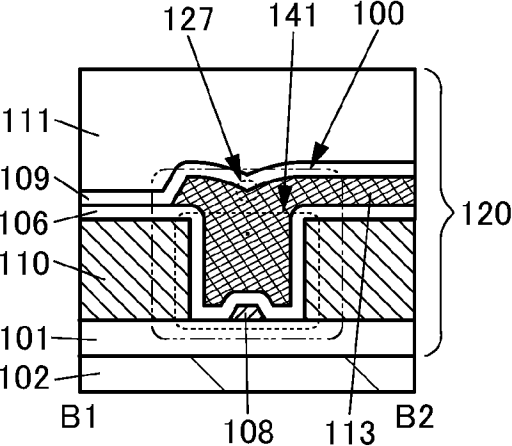


図8C

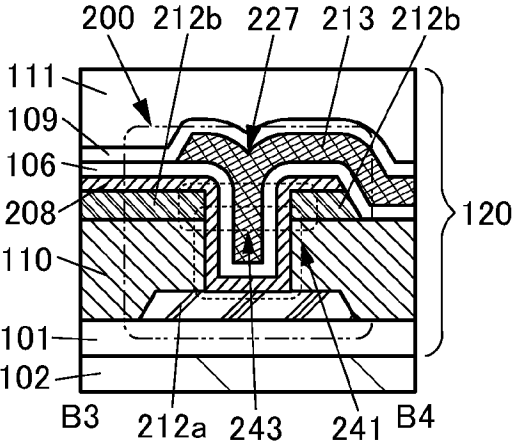


図9A

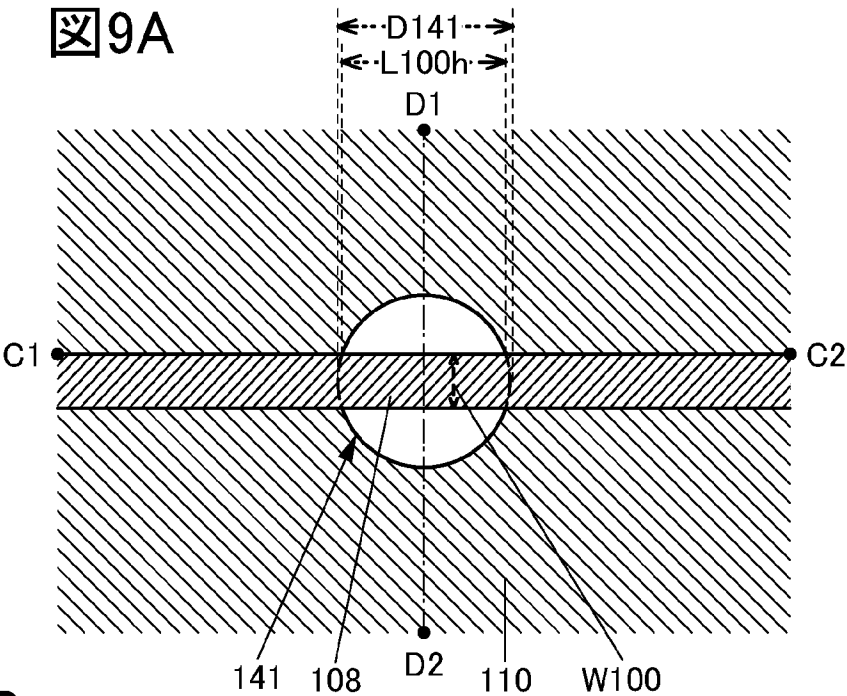


図9B

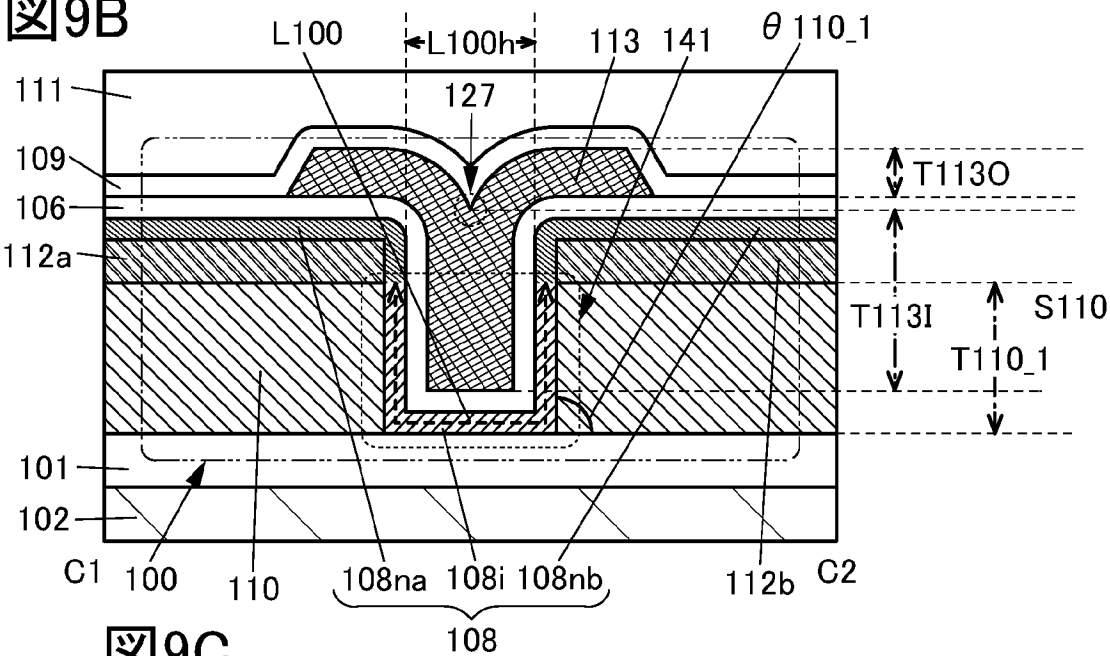


図9C

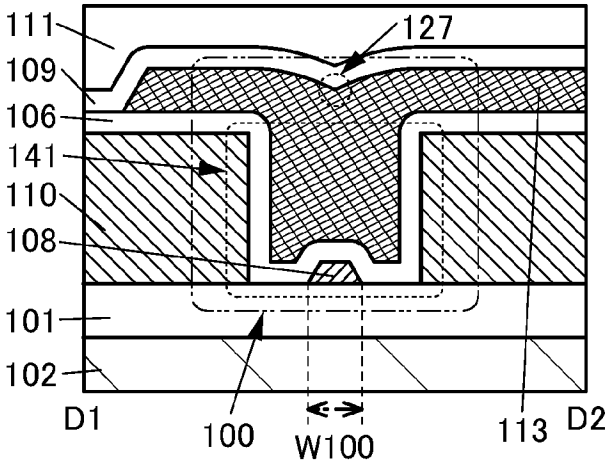


図10A

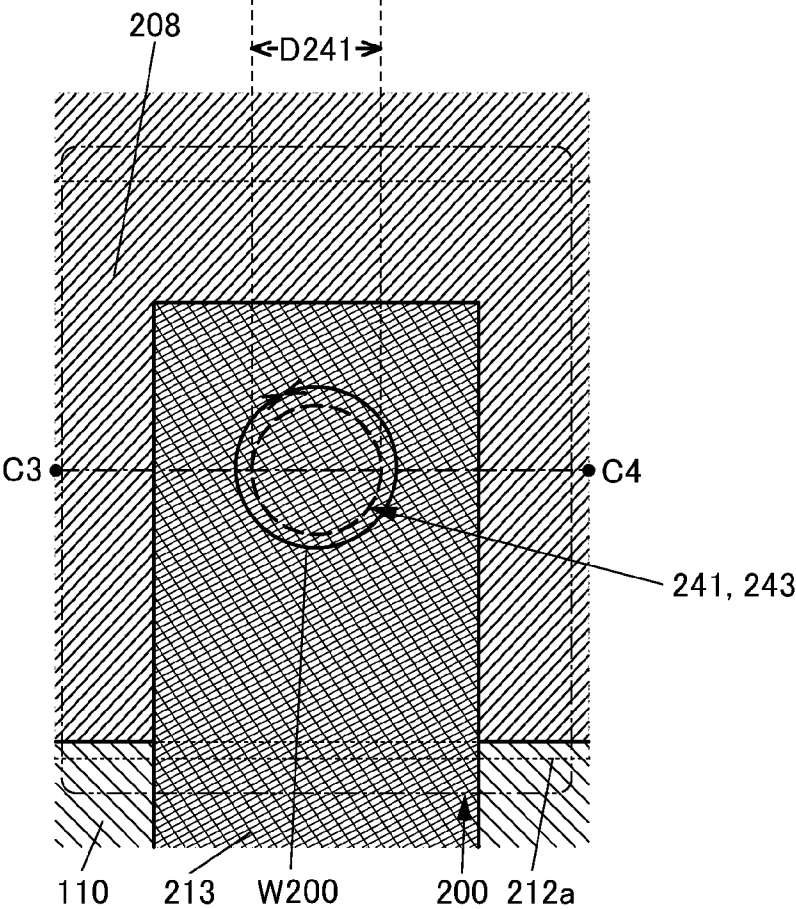


図10B

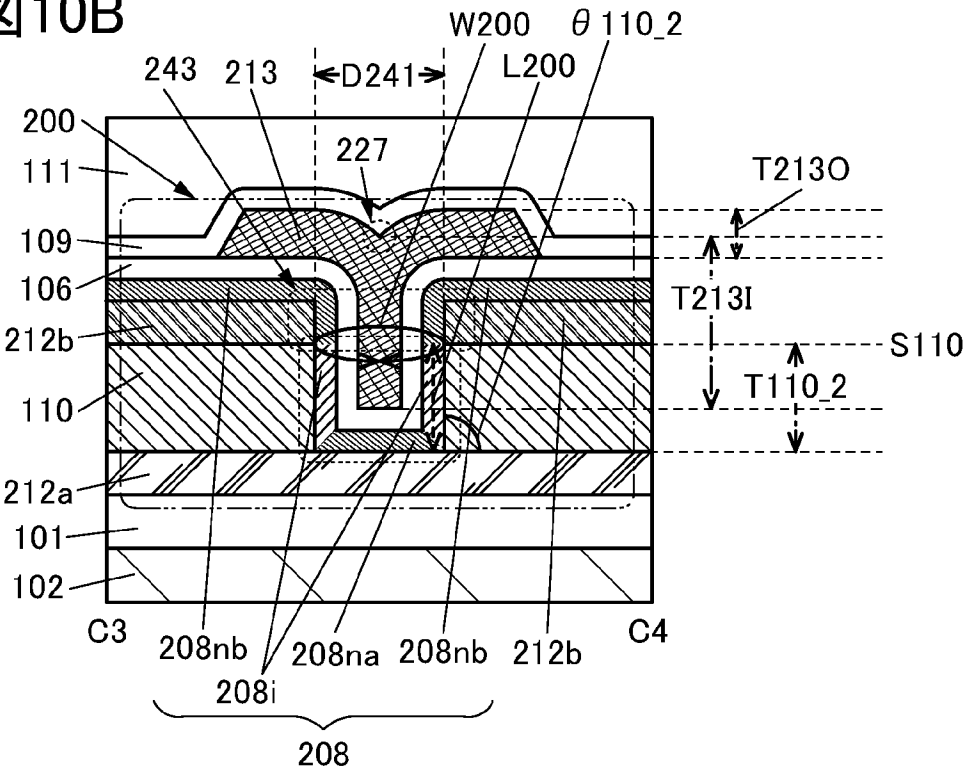


図13A

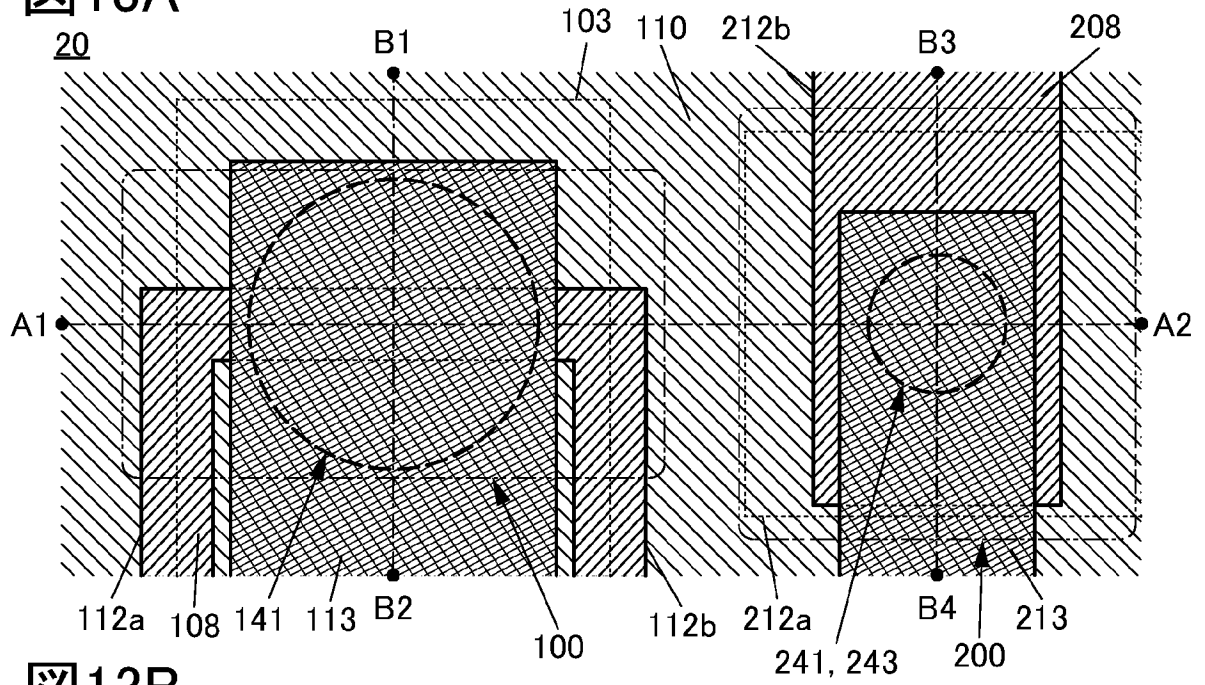


図13B

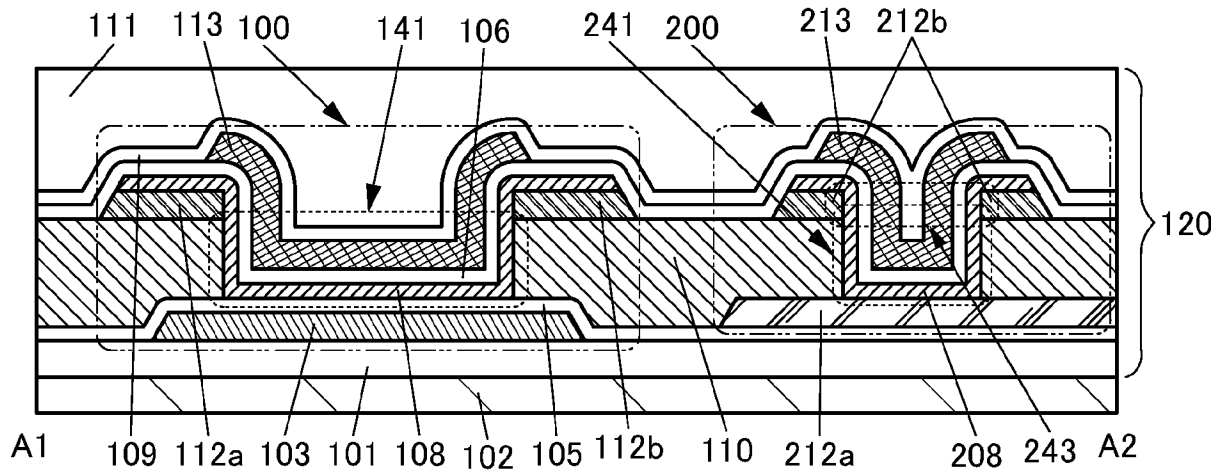


図13C

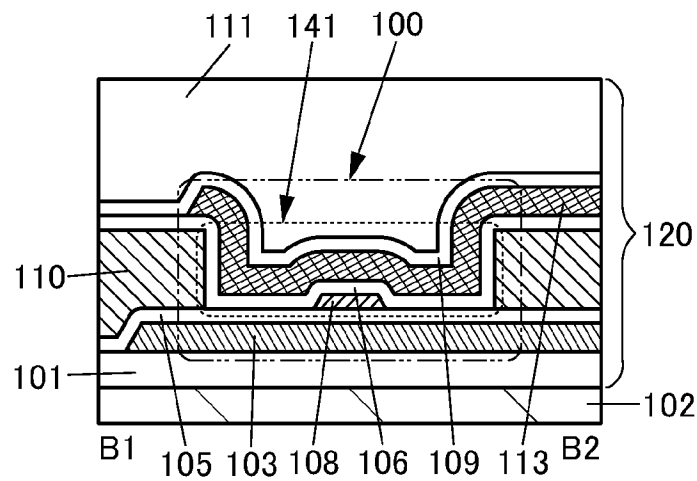


図14

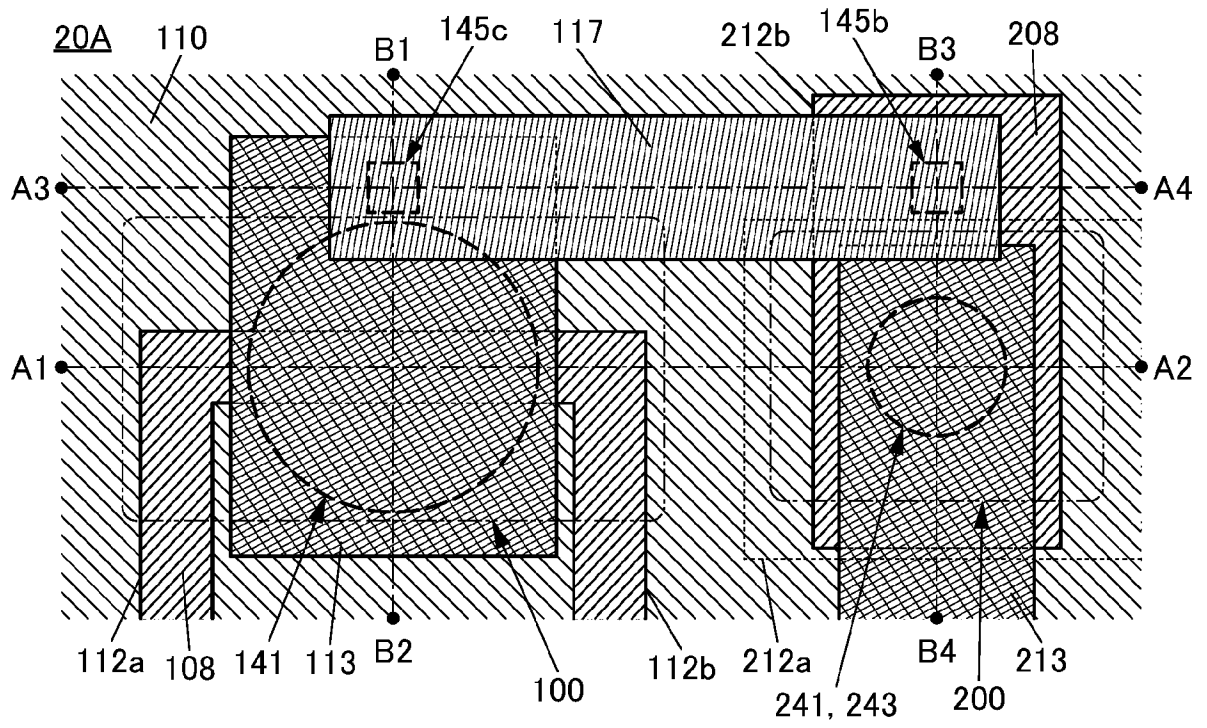


図15A

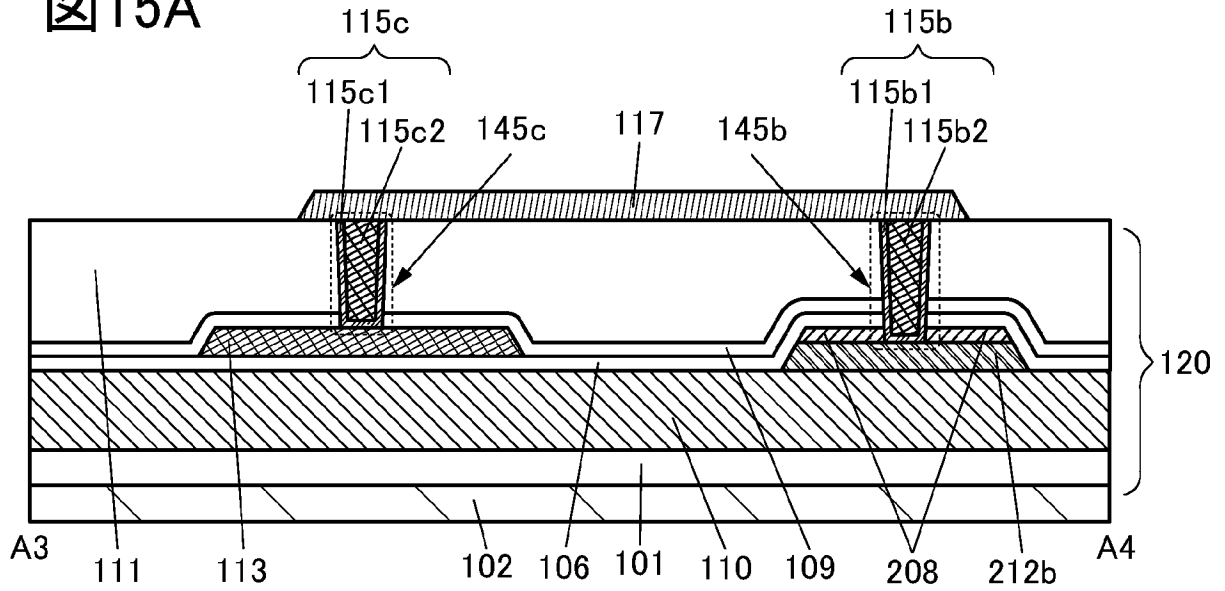


図15B

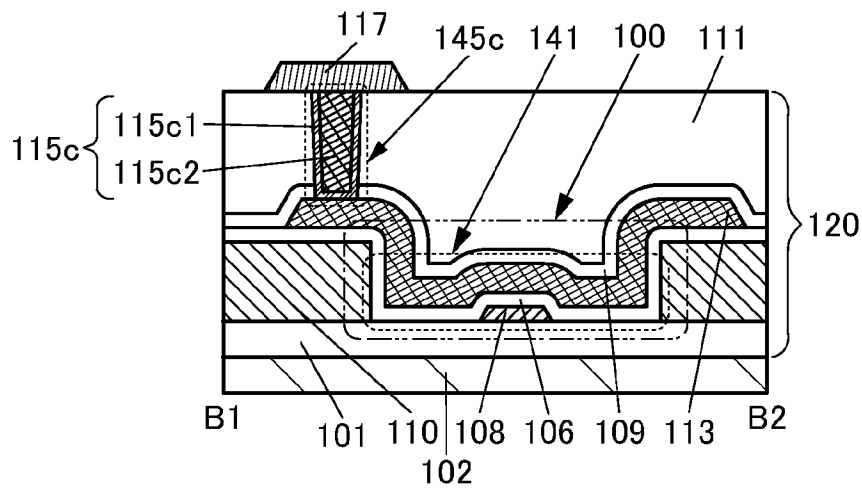


図15C

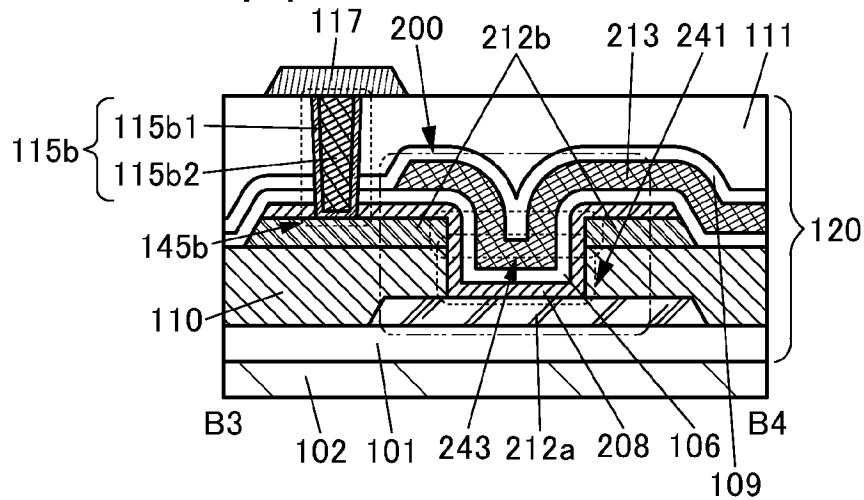


図17A

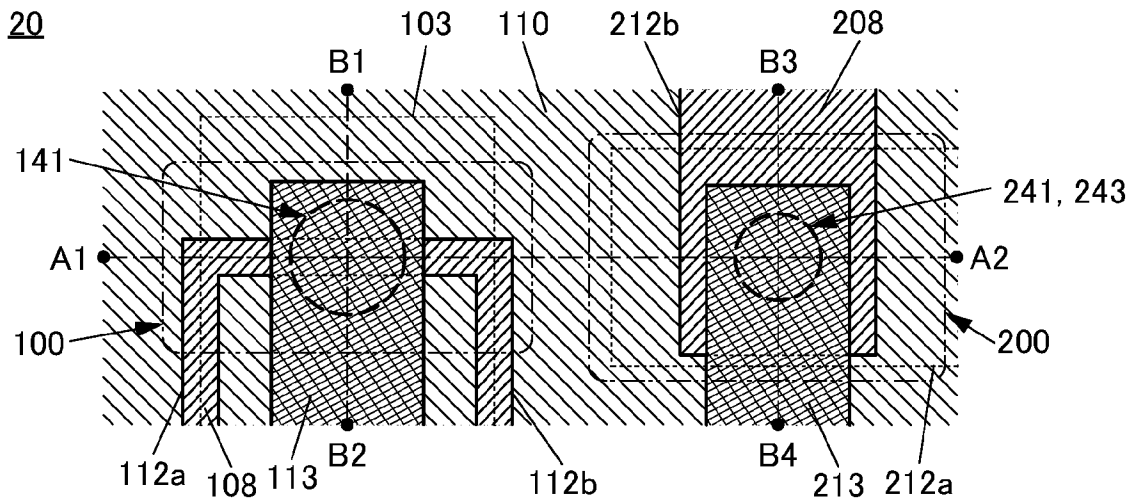


図17B

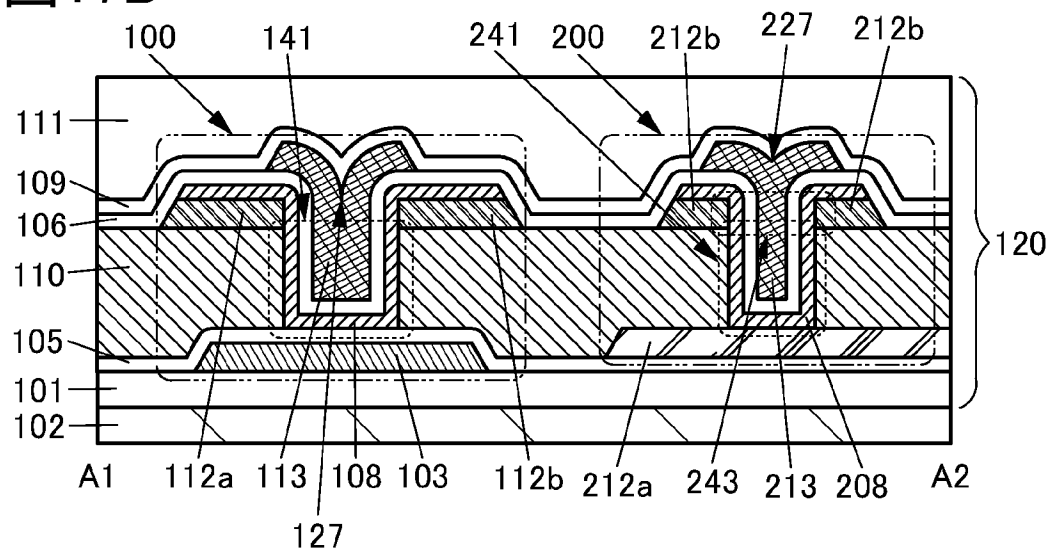


図17C

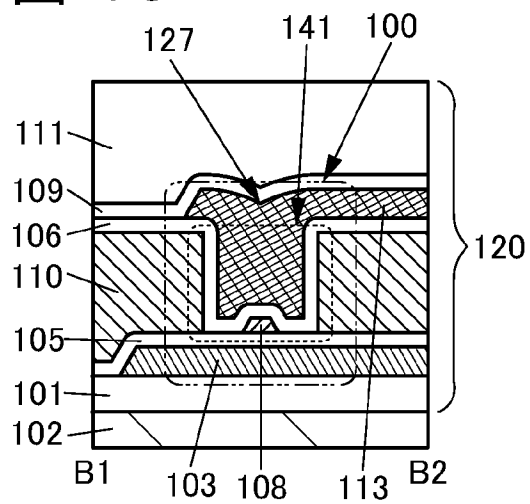


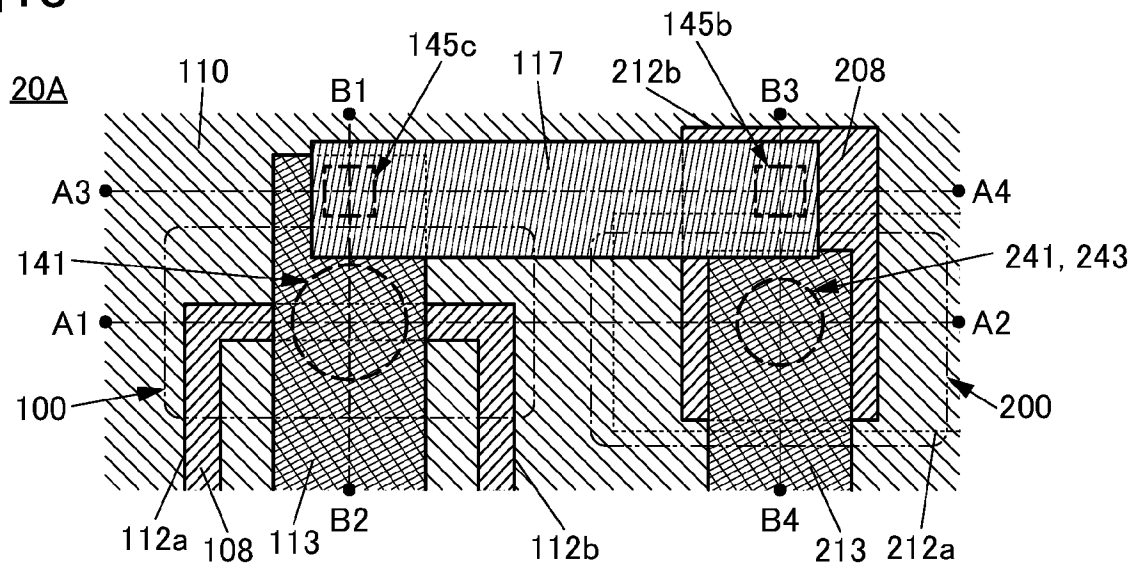
図18

図20A 30

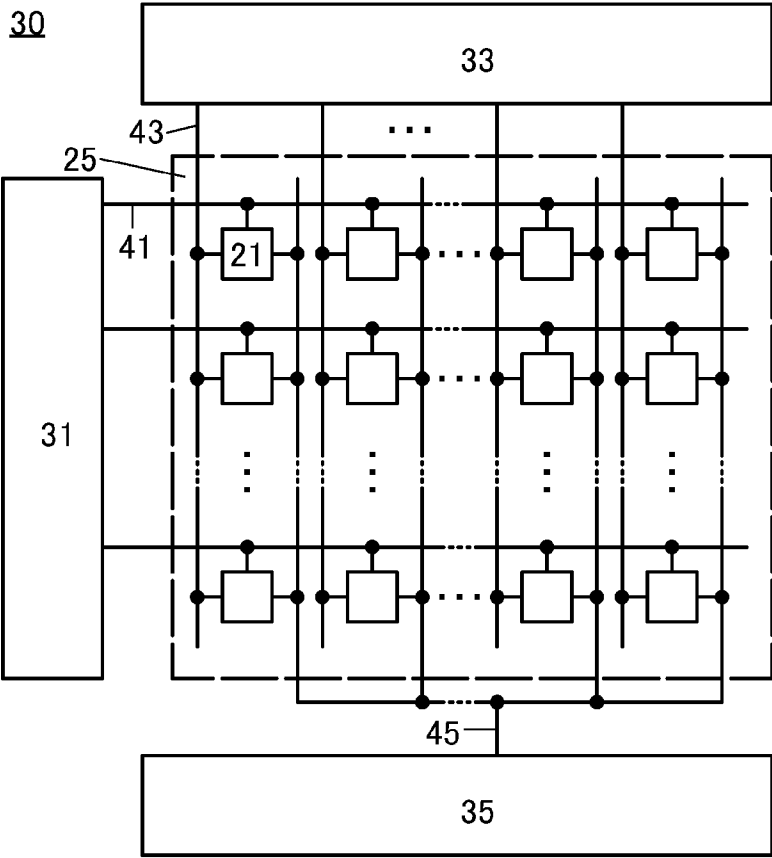


図20B

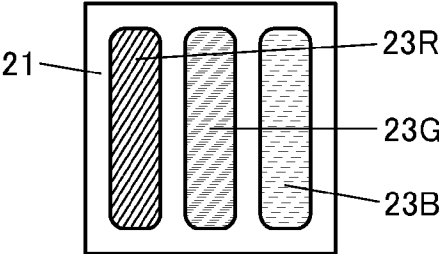


図20C

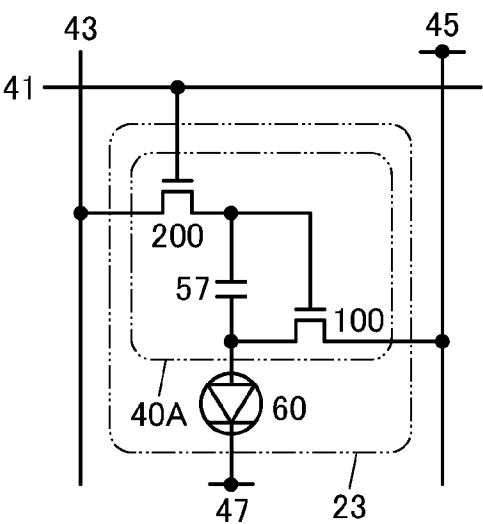


図20D

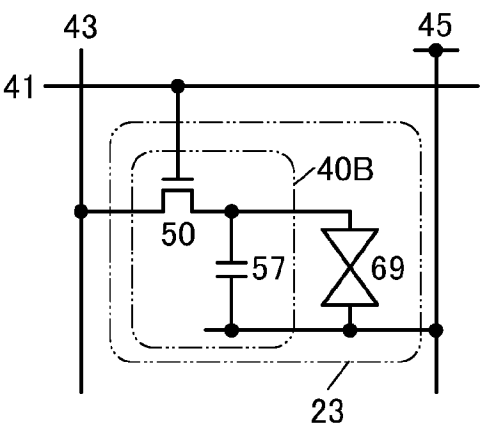


図21A

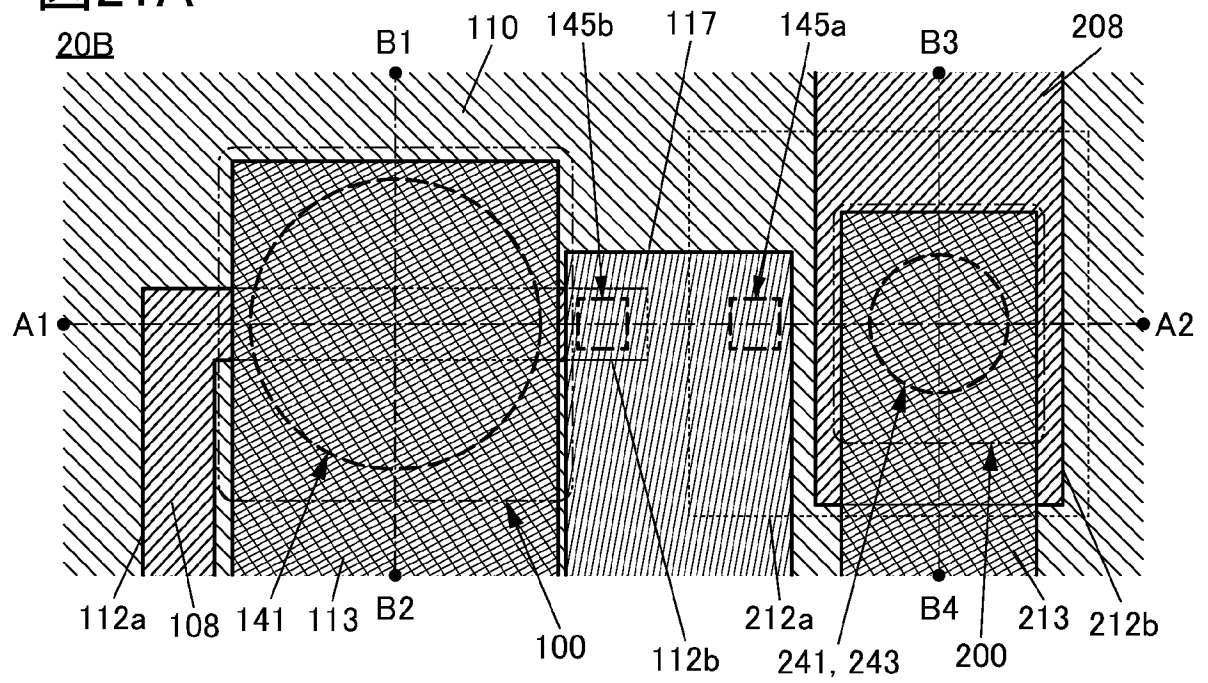
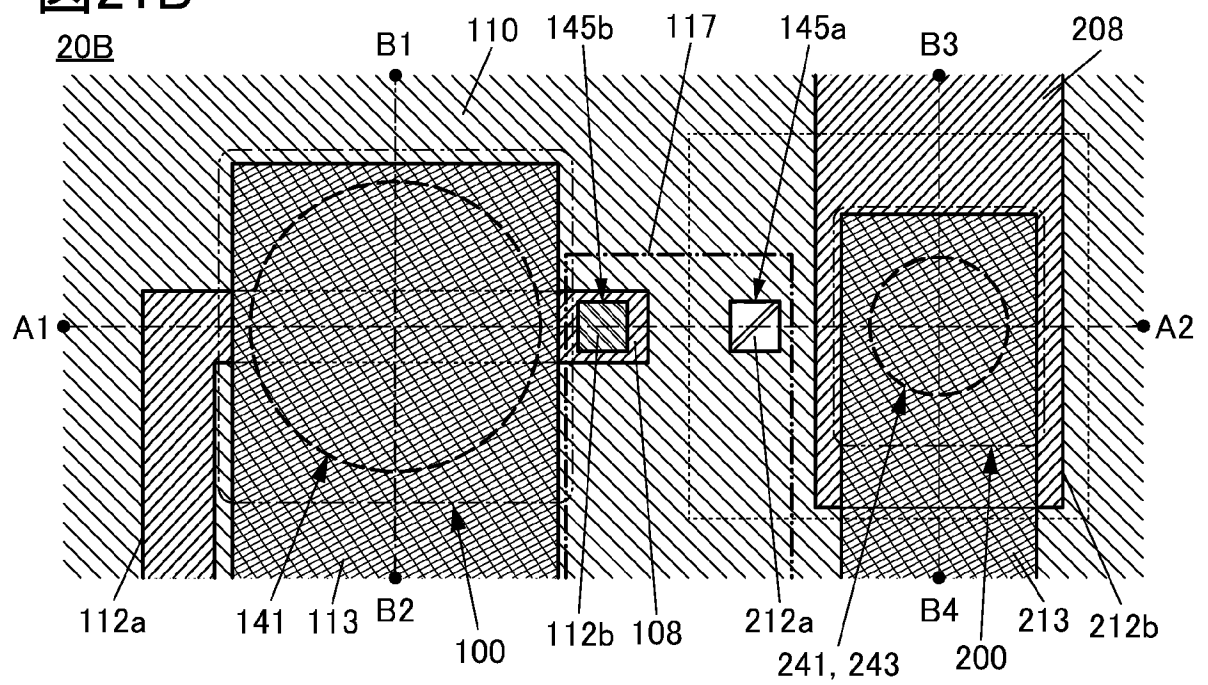


図21B



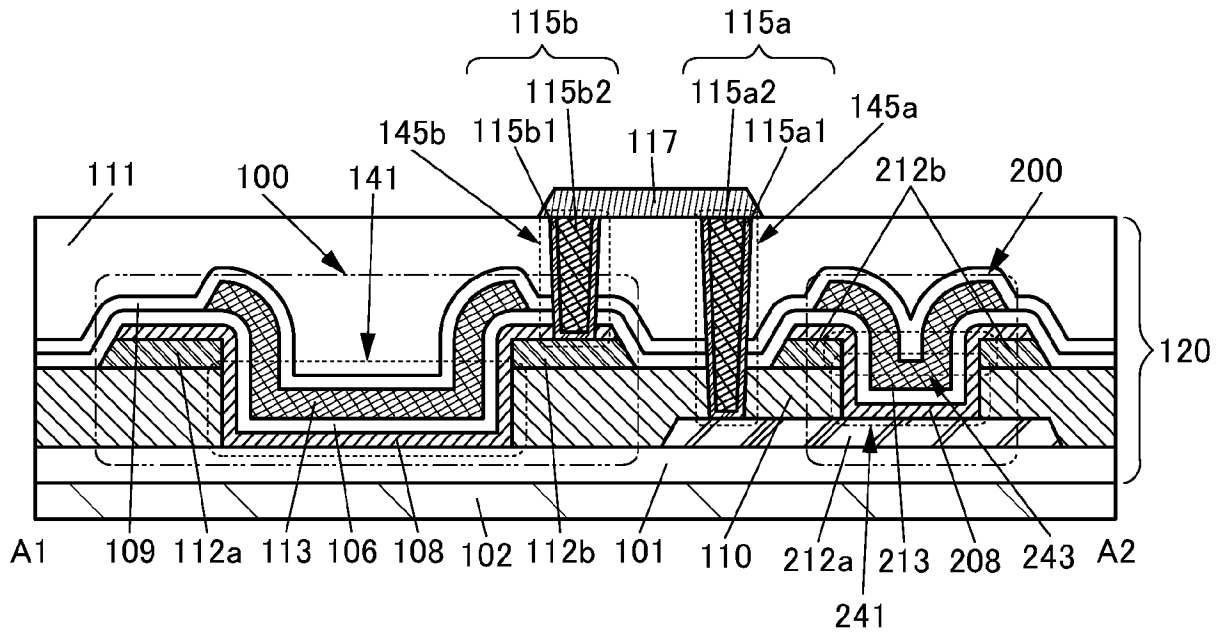


図23A

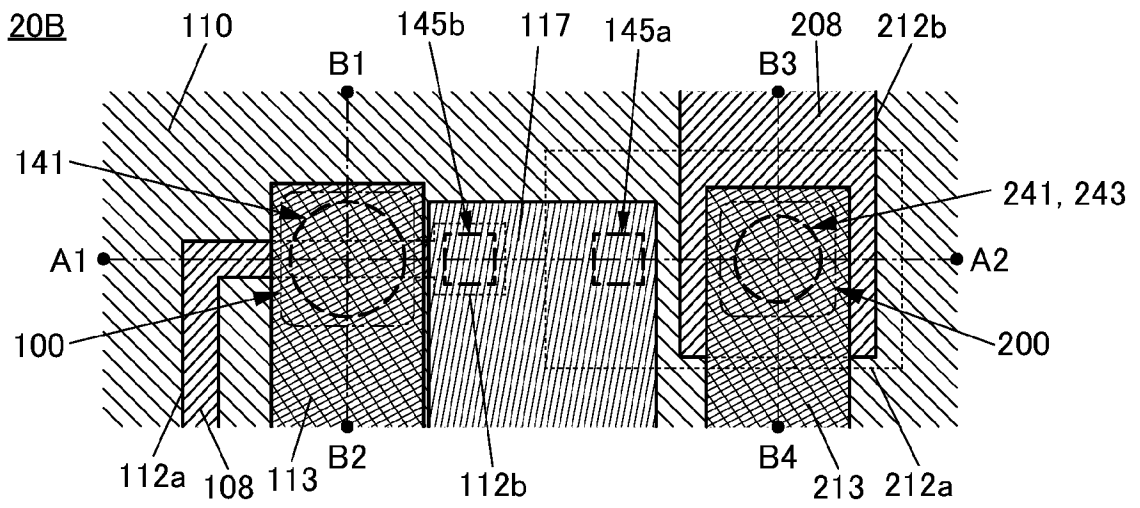
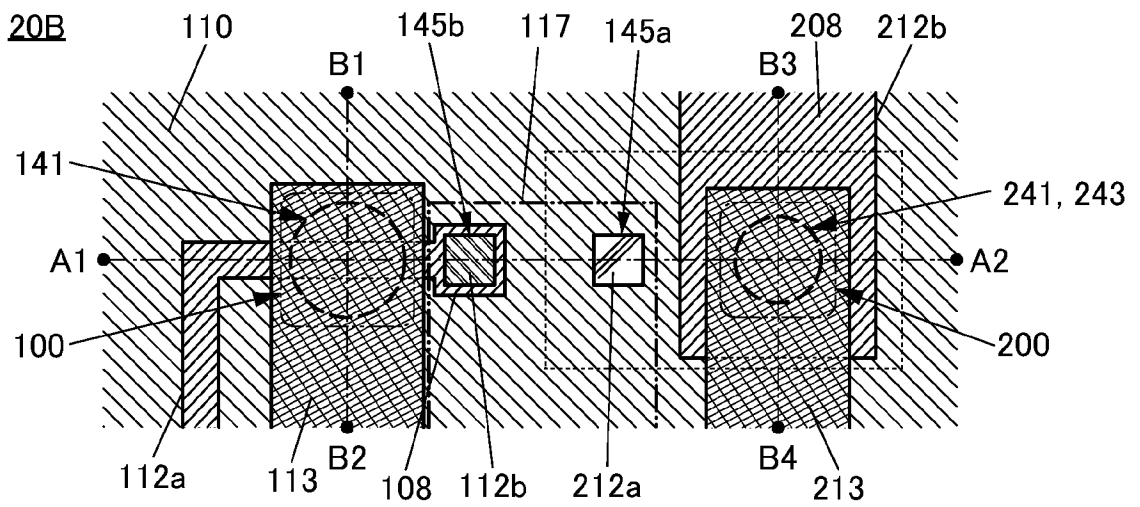


図23B



24

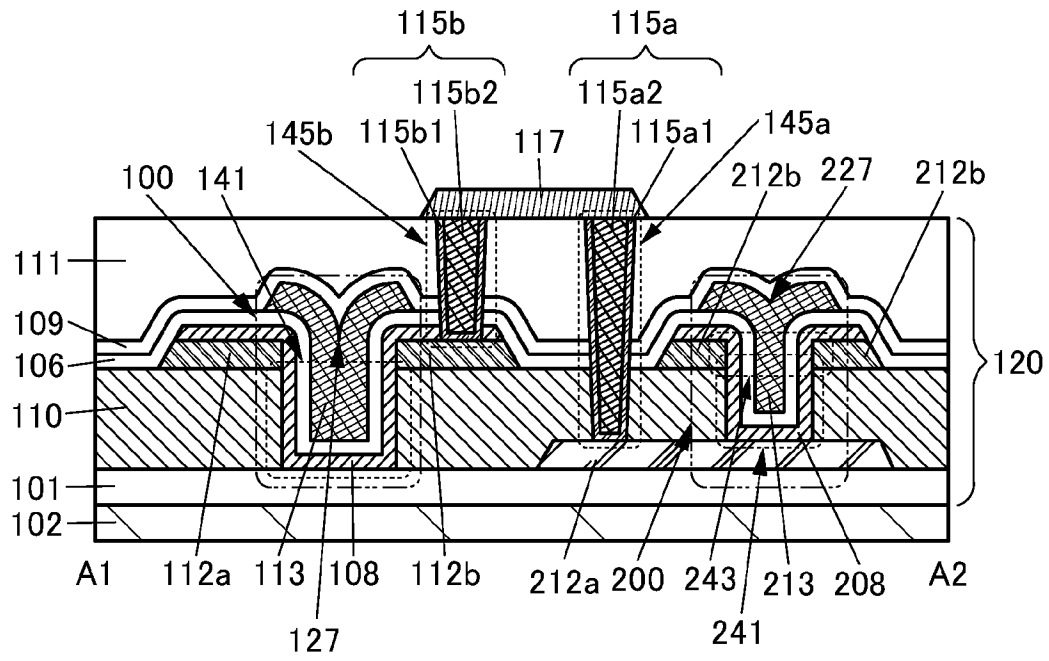


図 25A

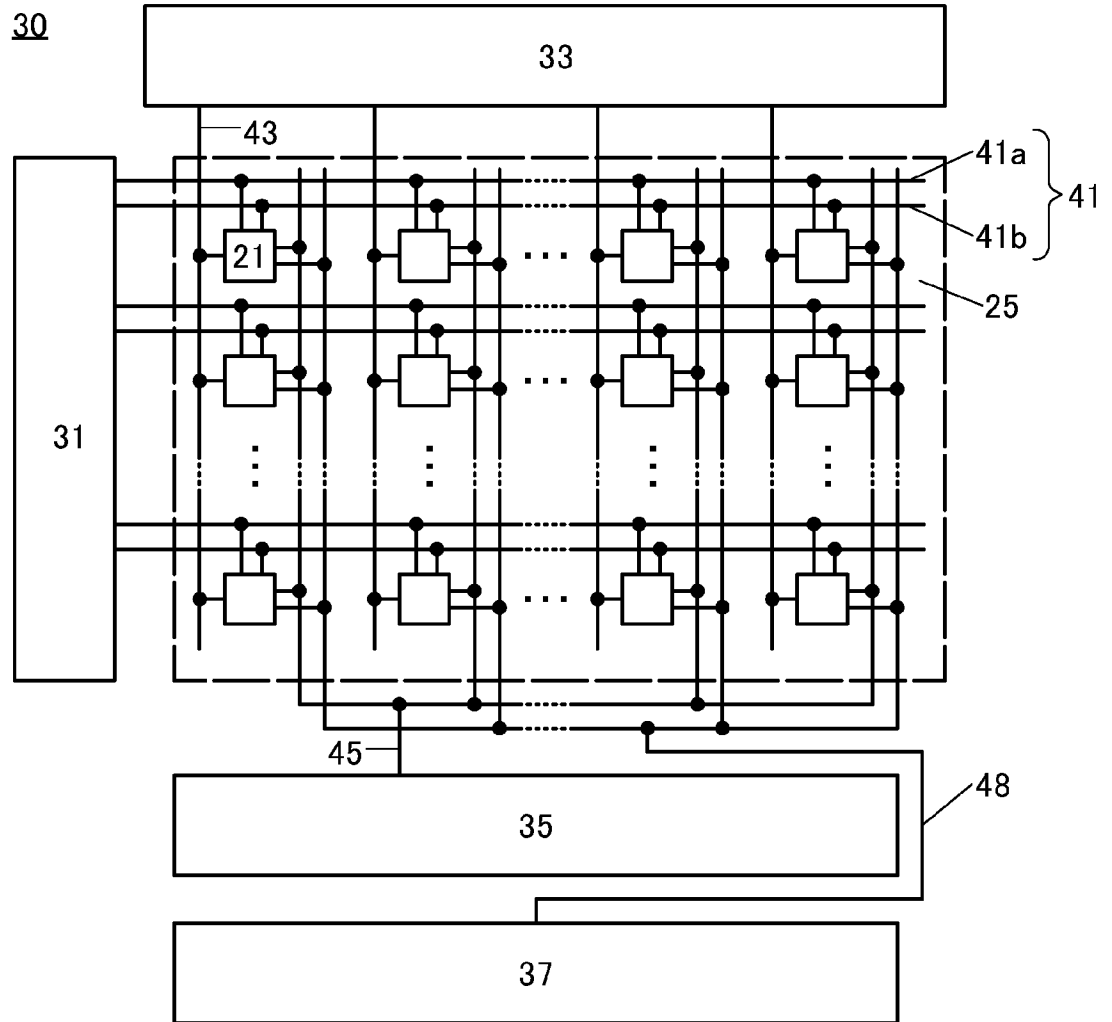


図 25B

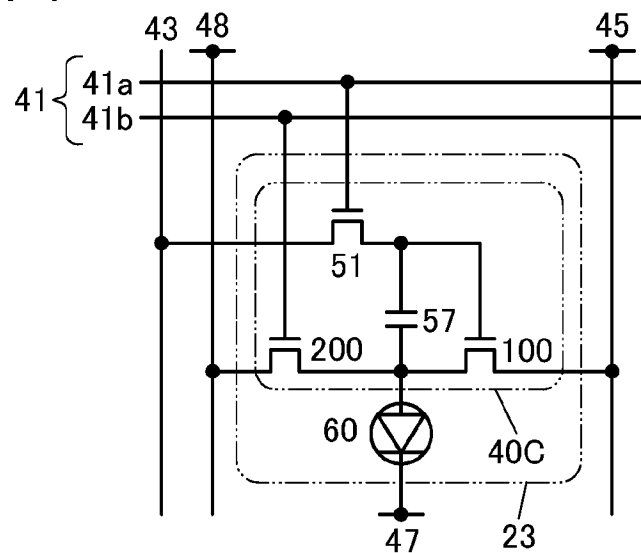


図26

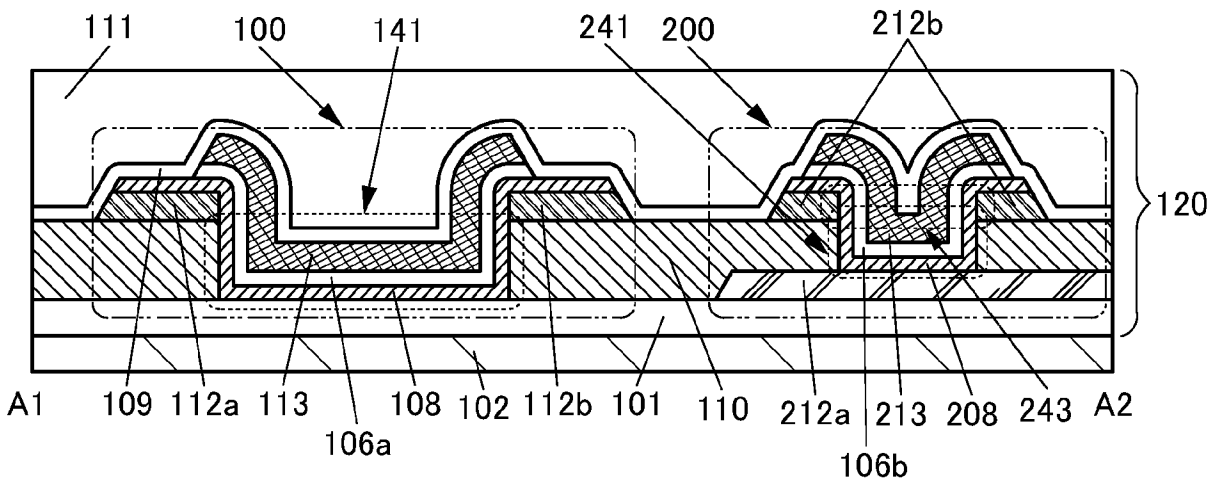


図27A

20C

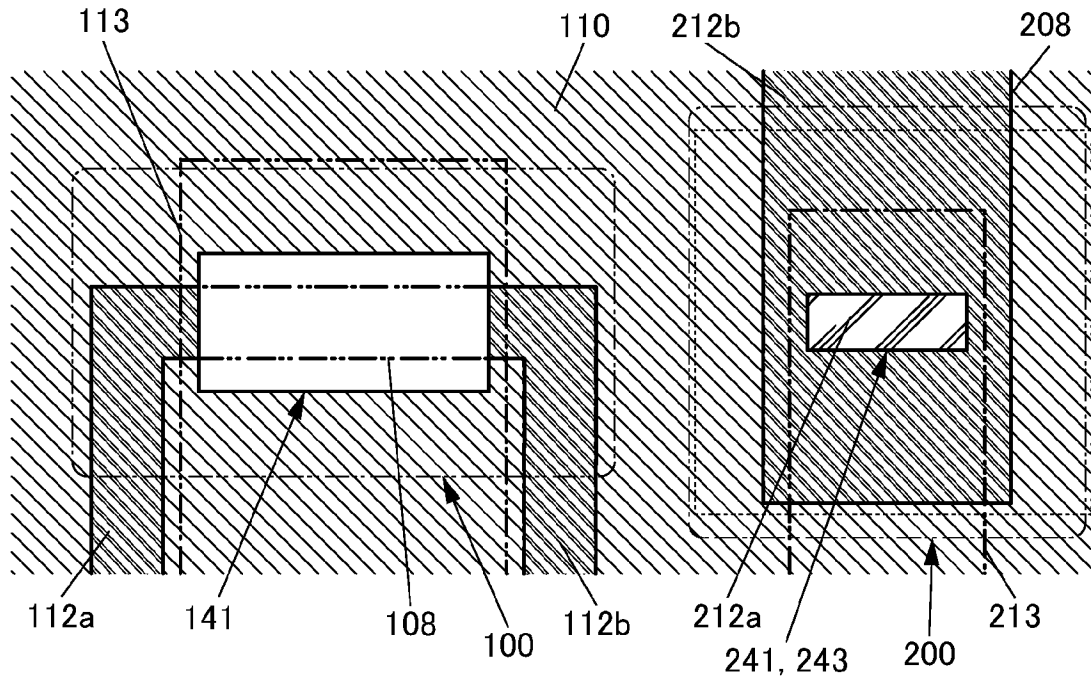


図27B

20D

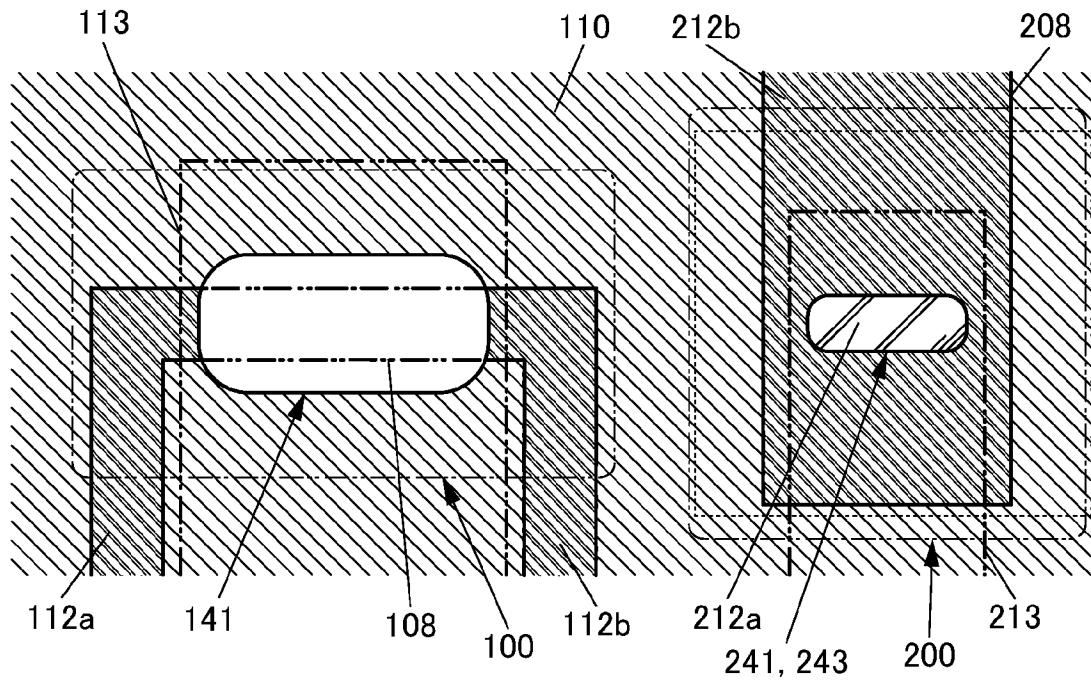


図28A

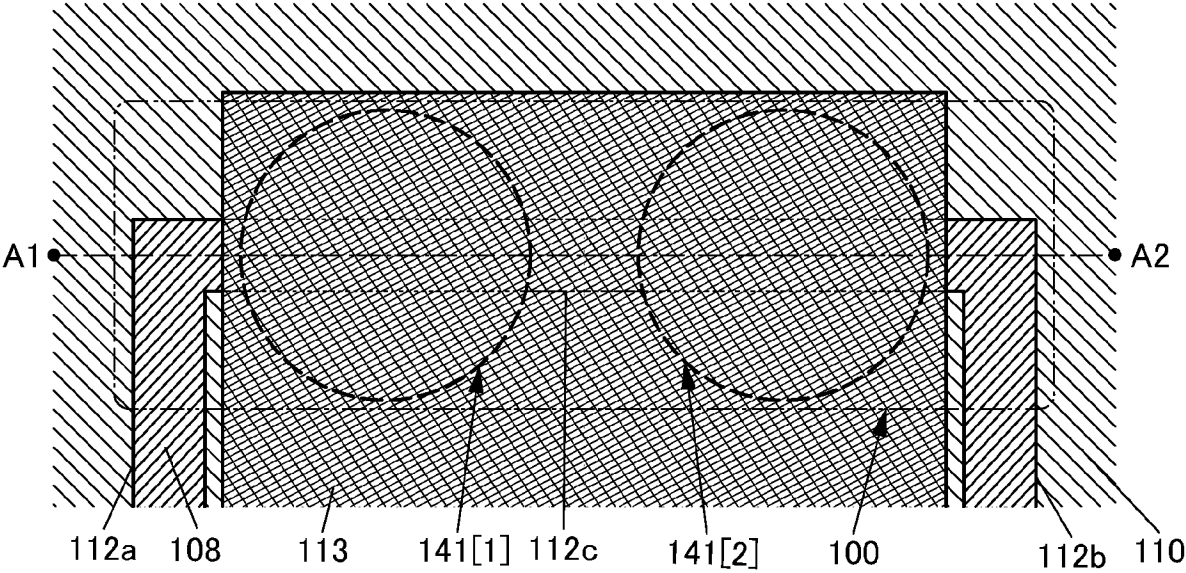


図28B

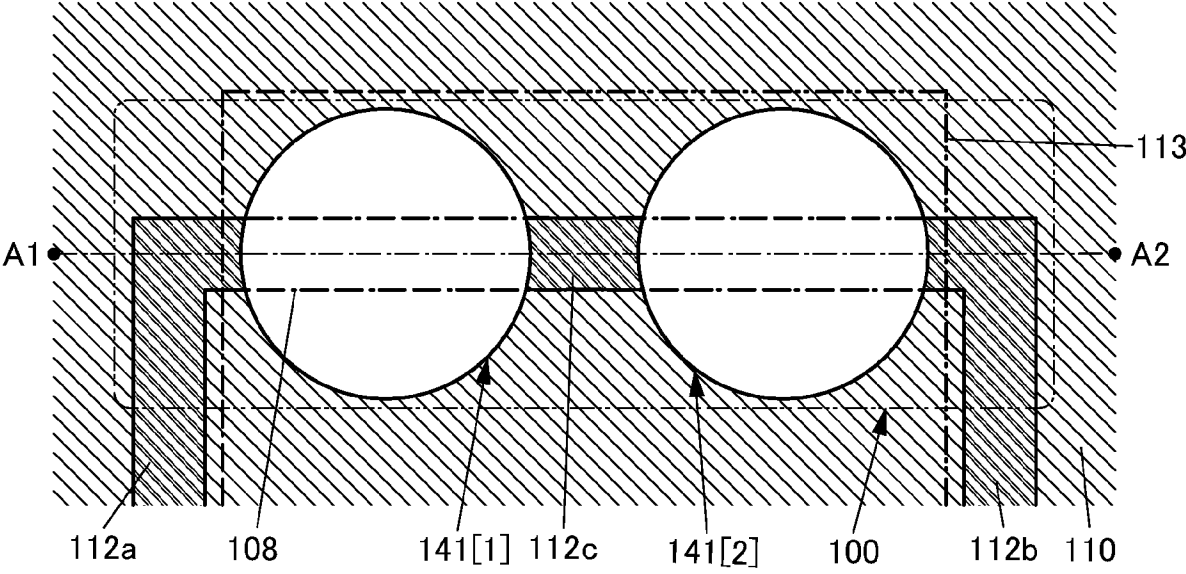


図28C

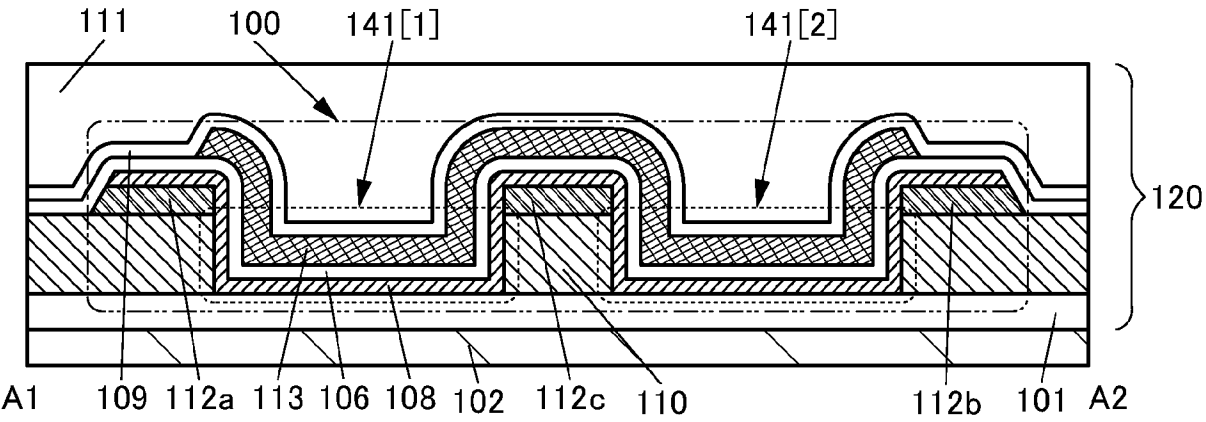


図29A

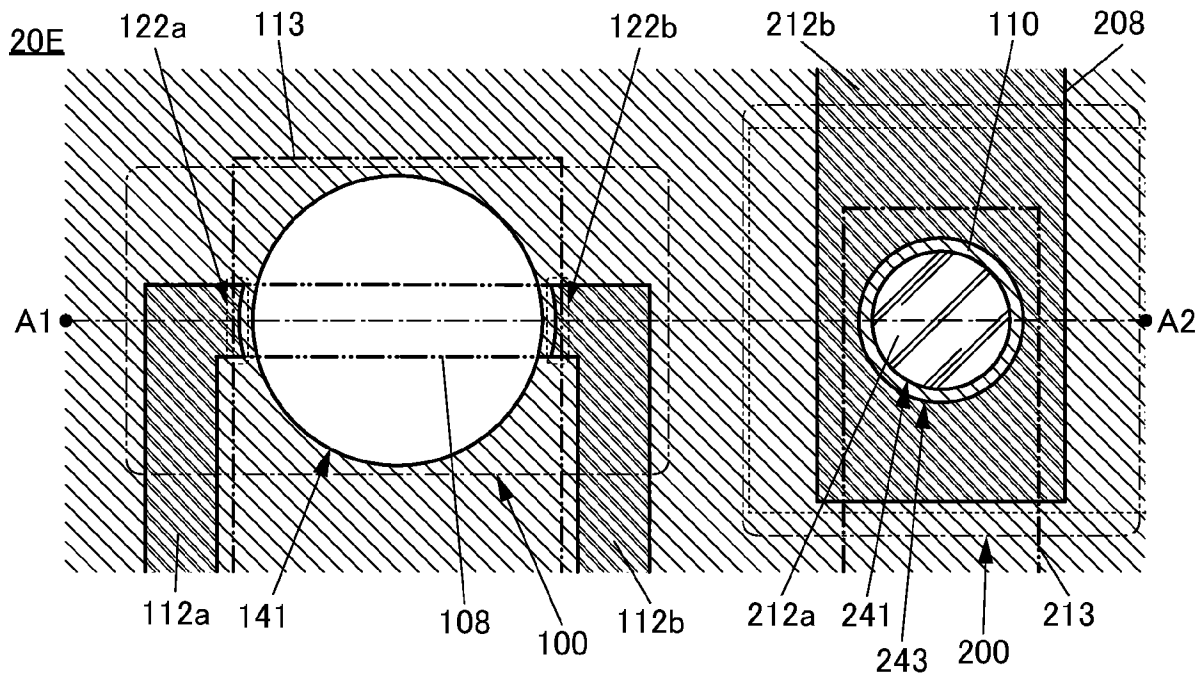


図29B

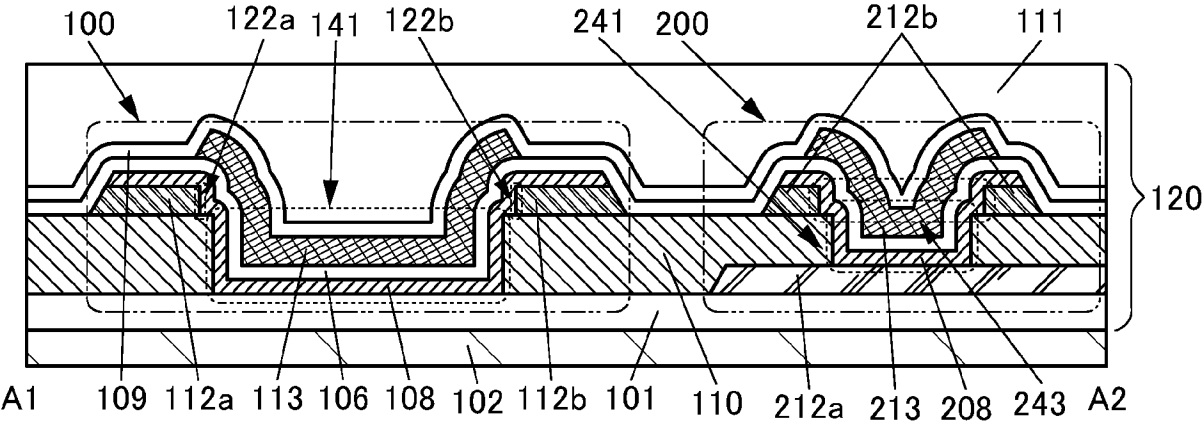


図30

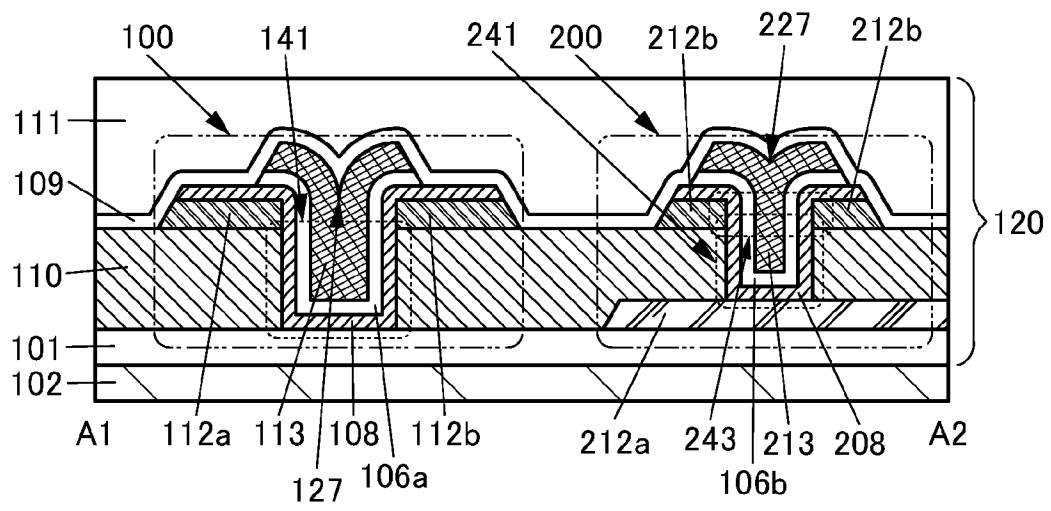


図31A

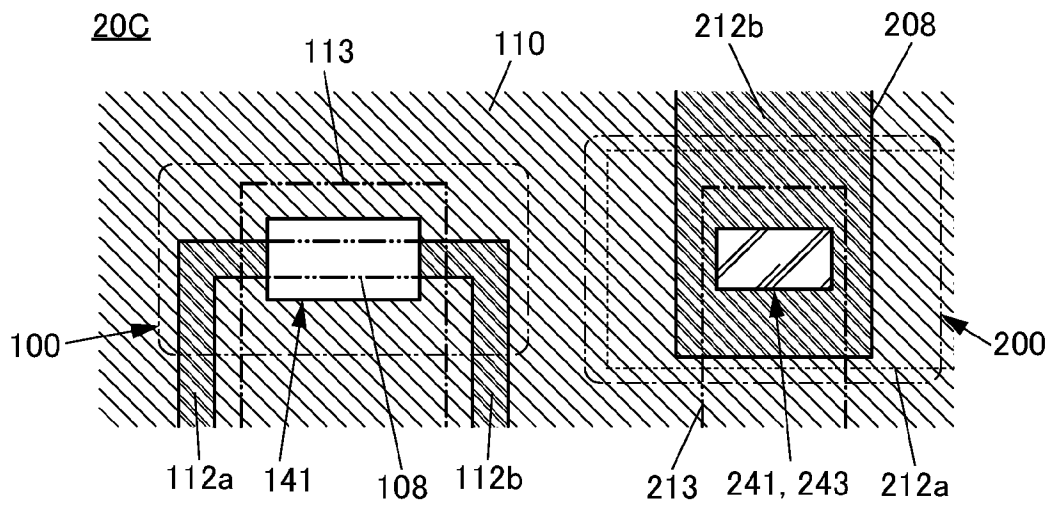


図31B

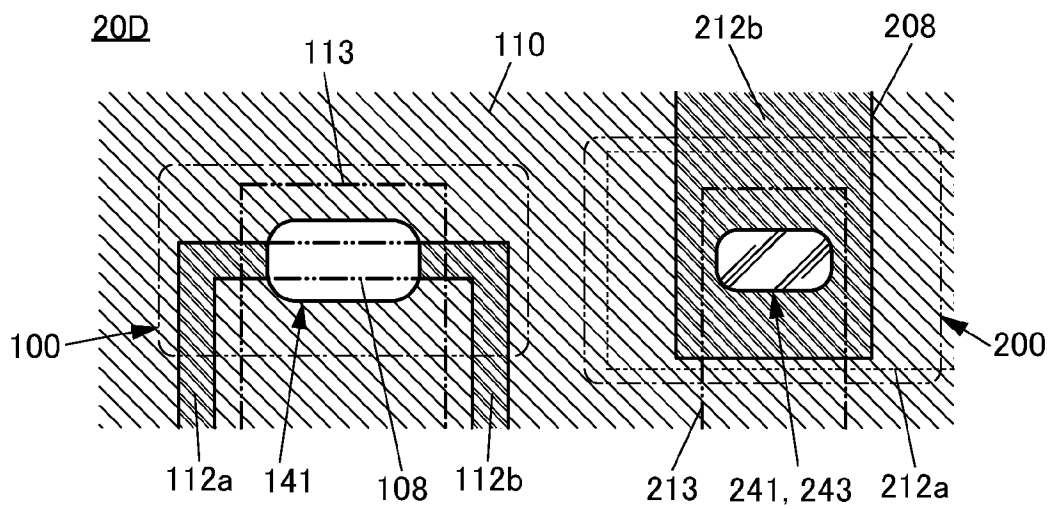


図32A

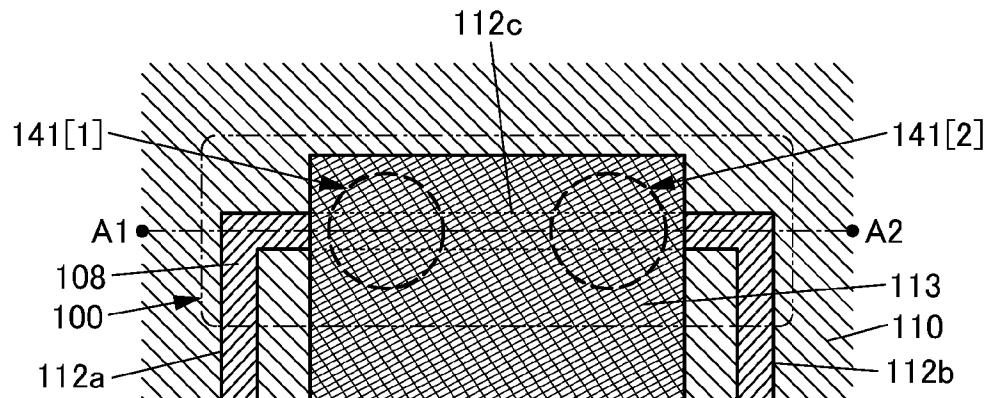


図32B

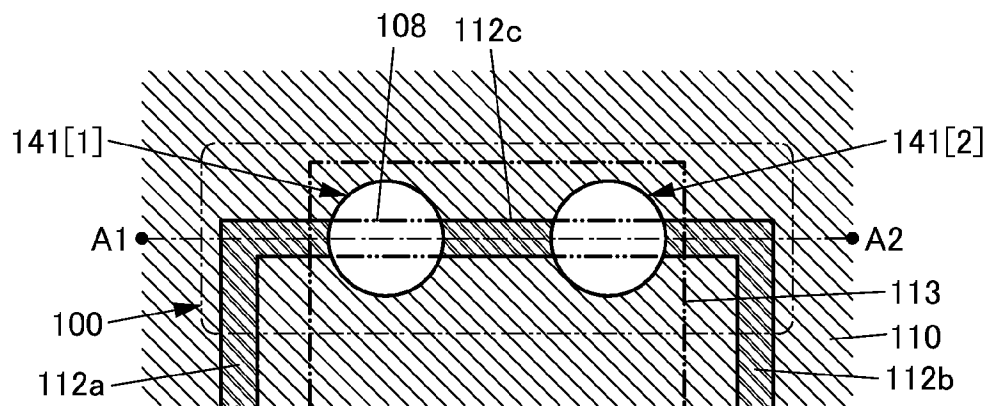


図32C

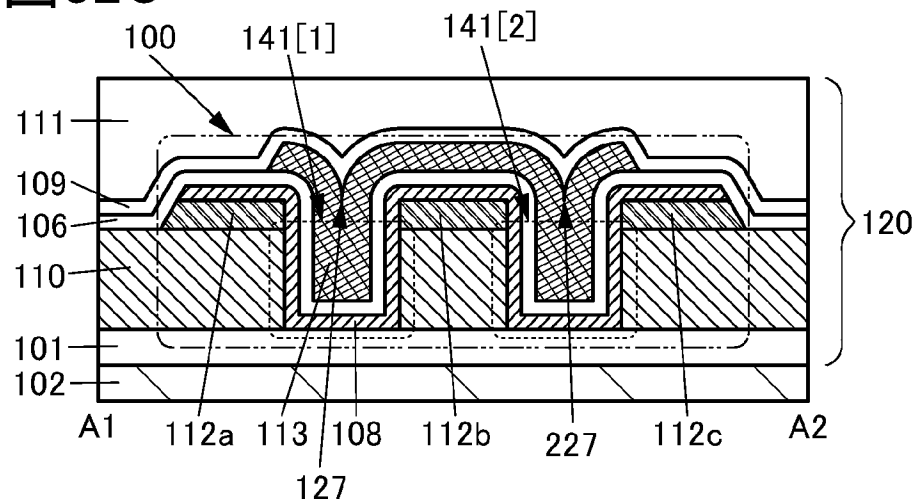


図34A

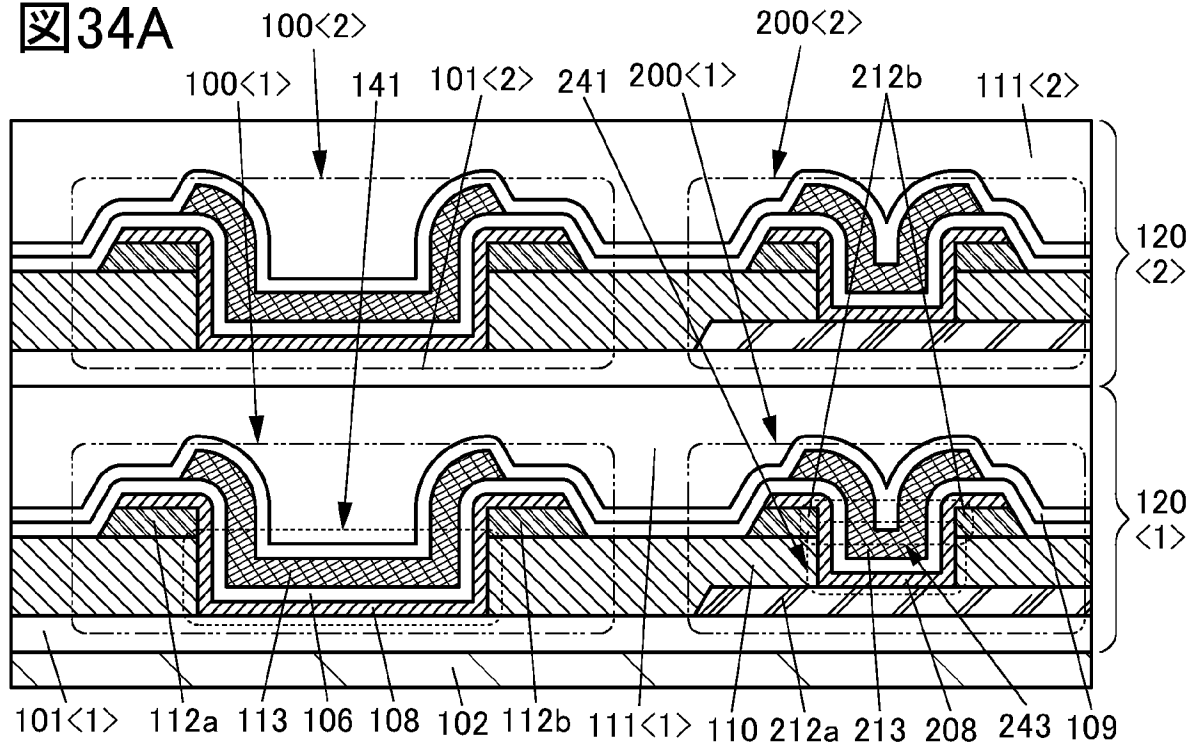


図34B

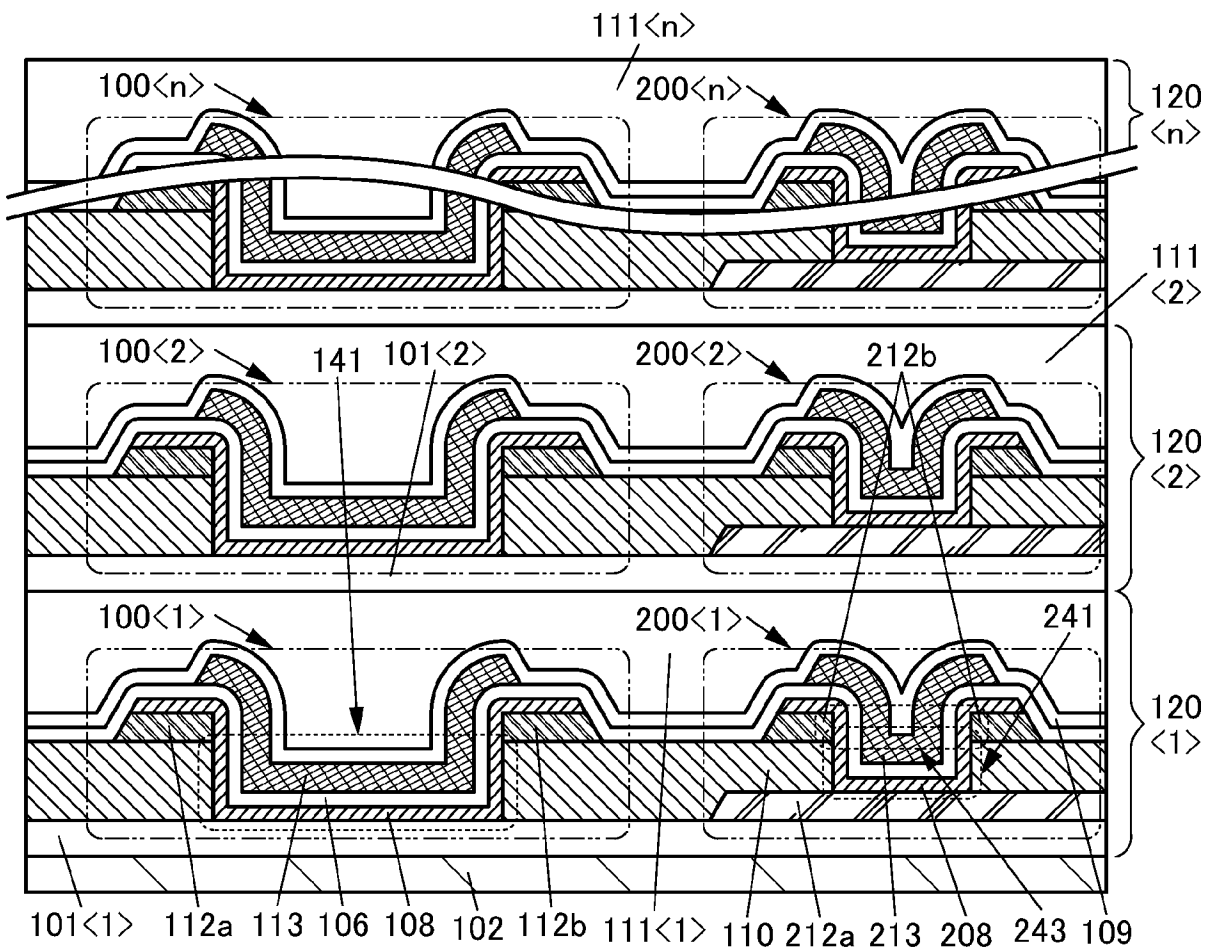


図35A

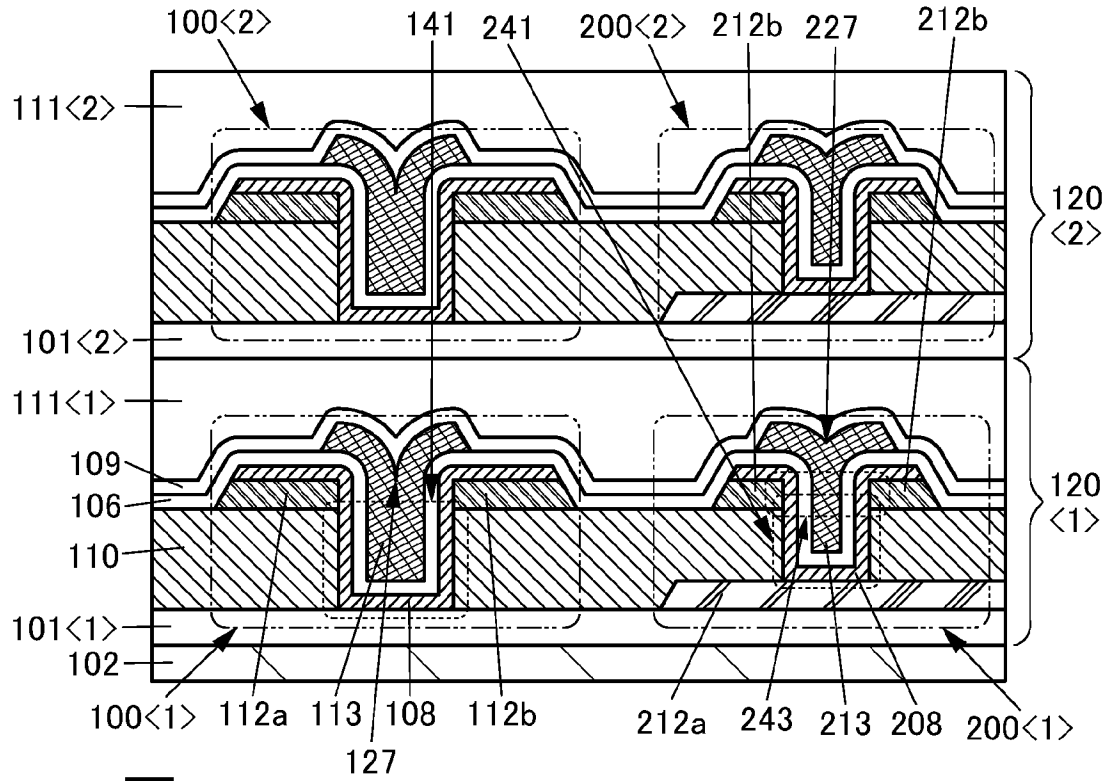


図35B

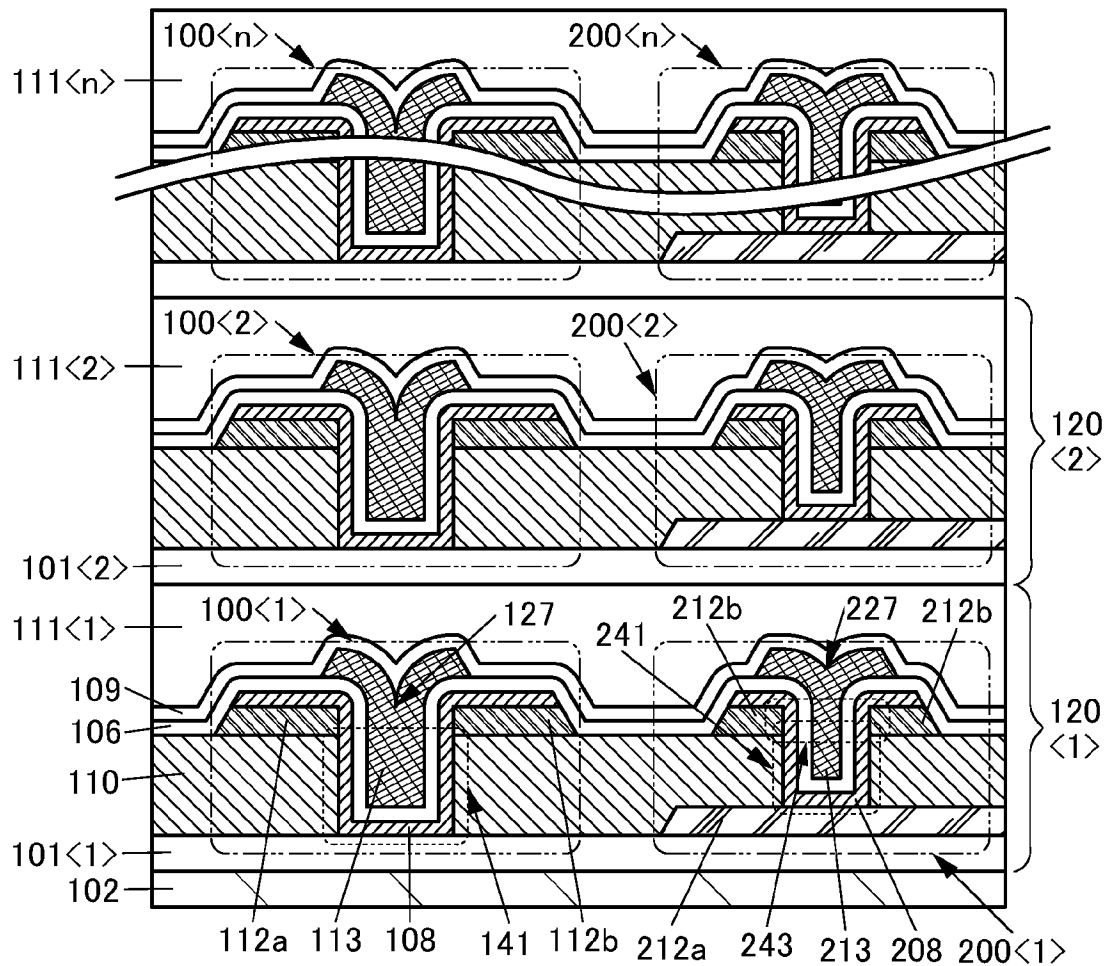


図 36A

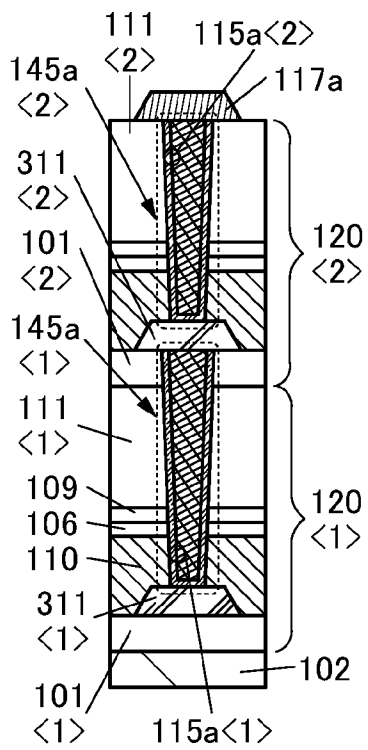


図36B

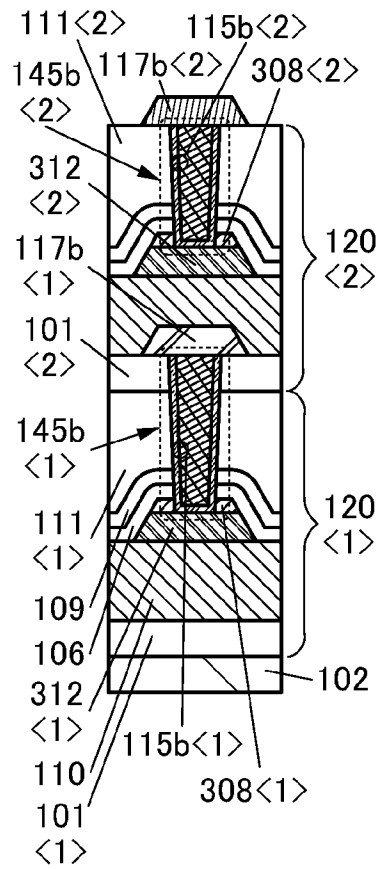


図36C

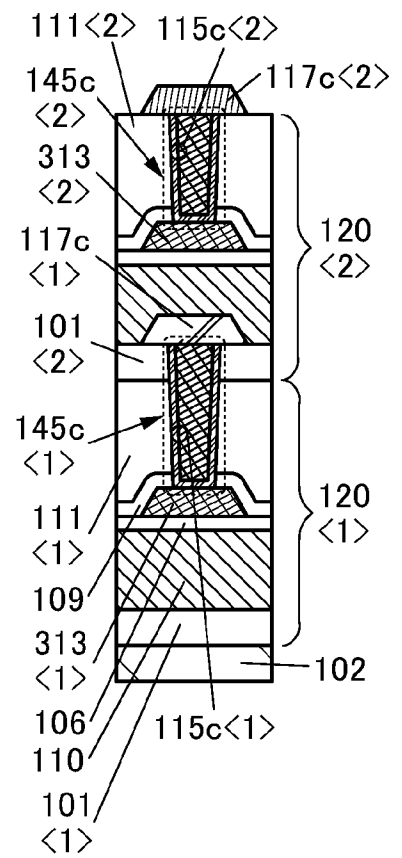


図37A

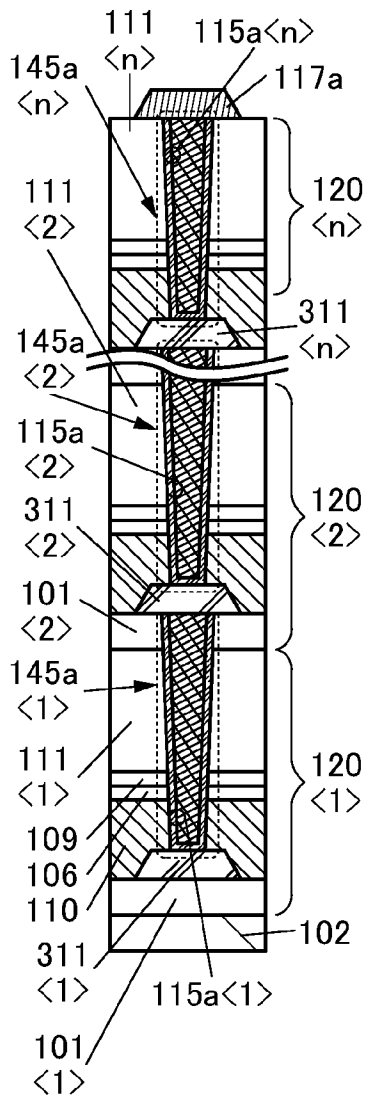


図37B

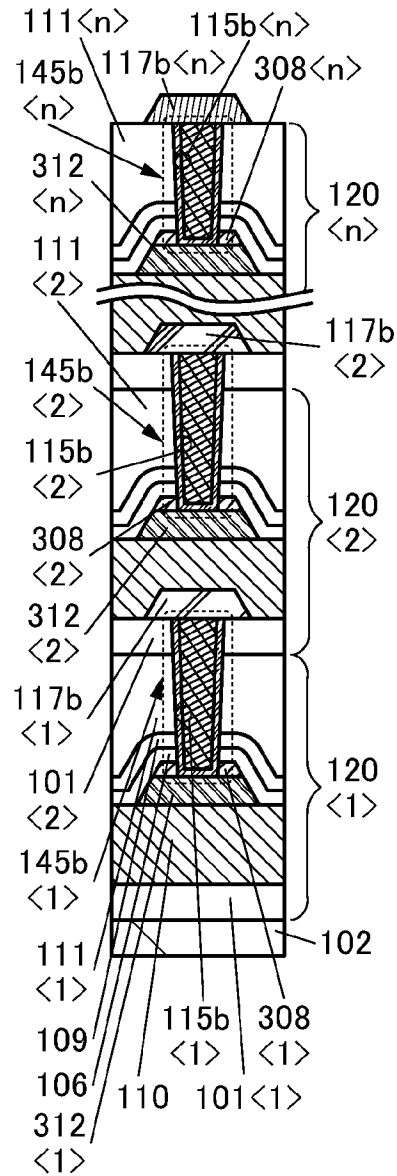
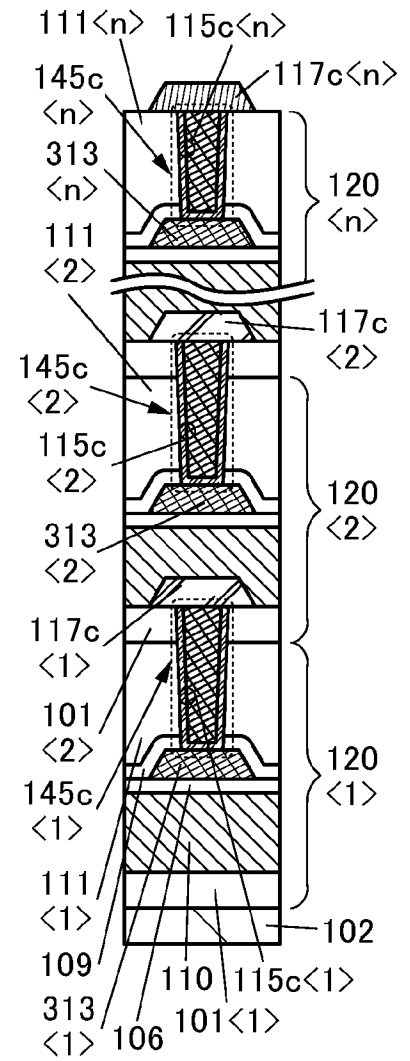
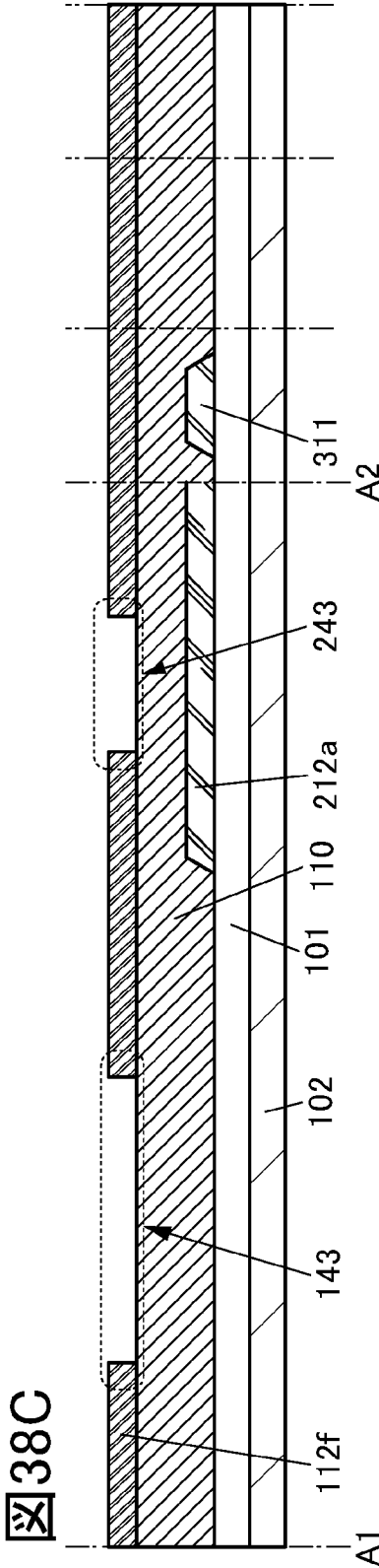
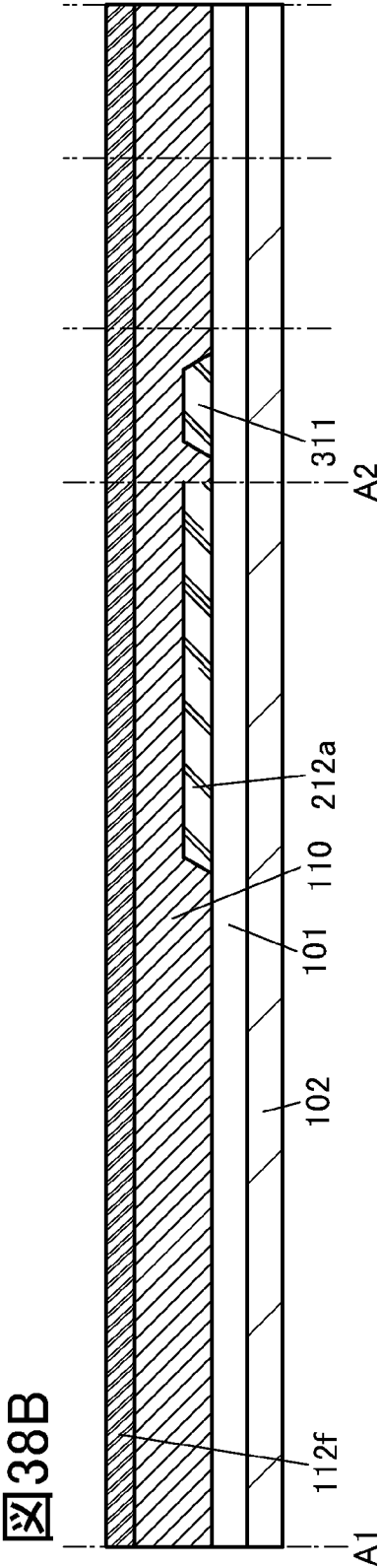
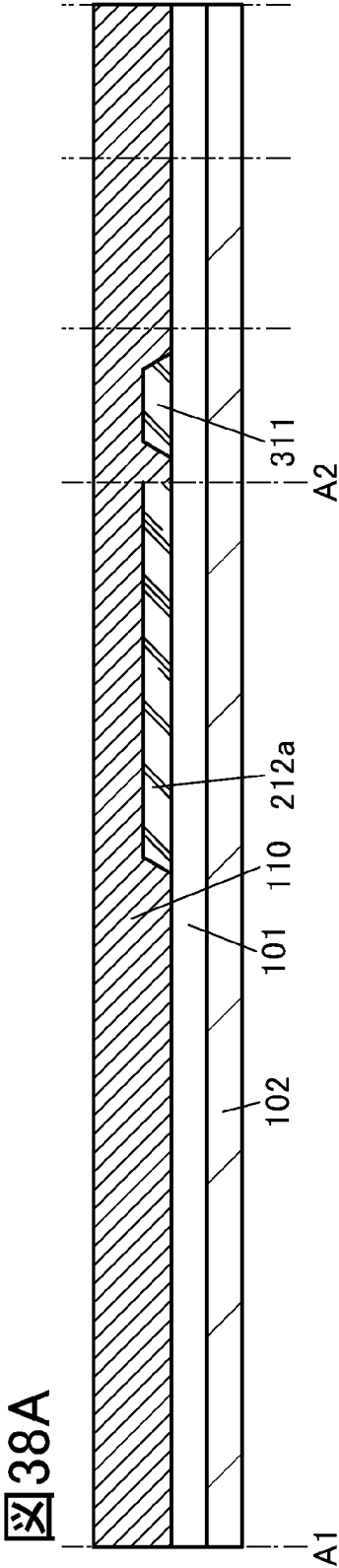
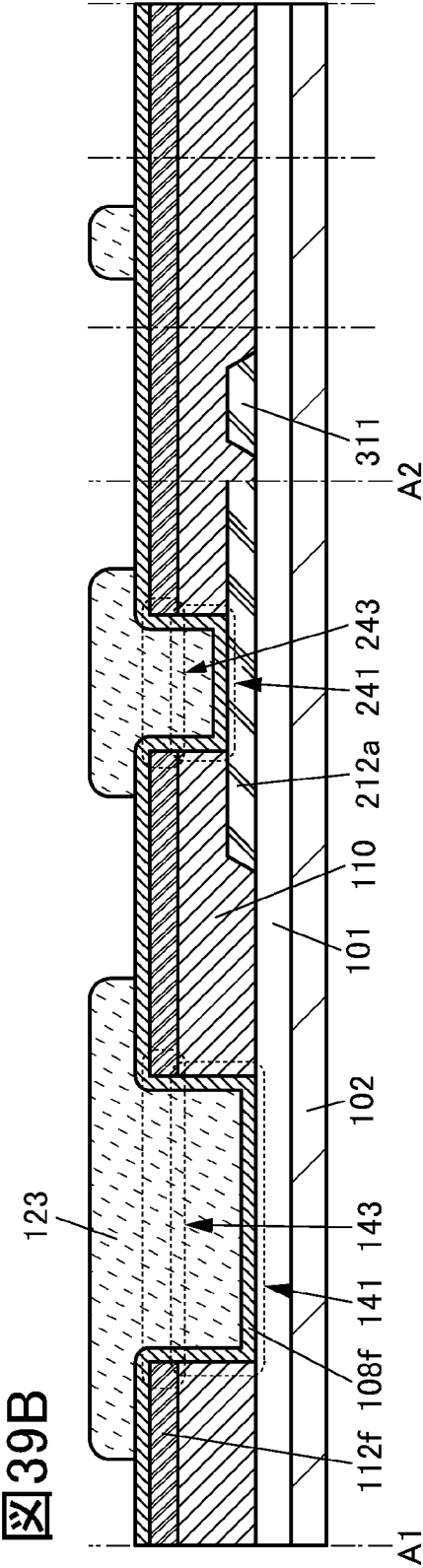
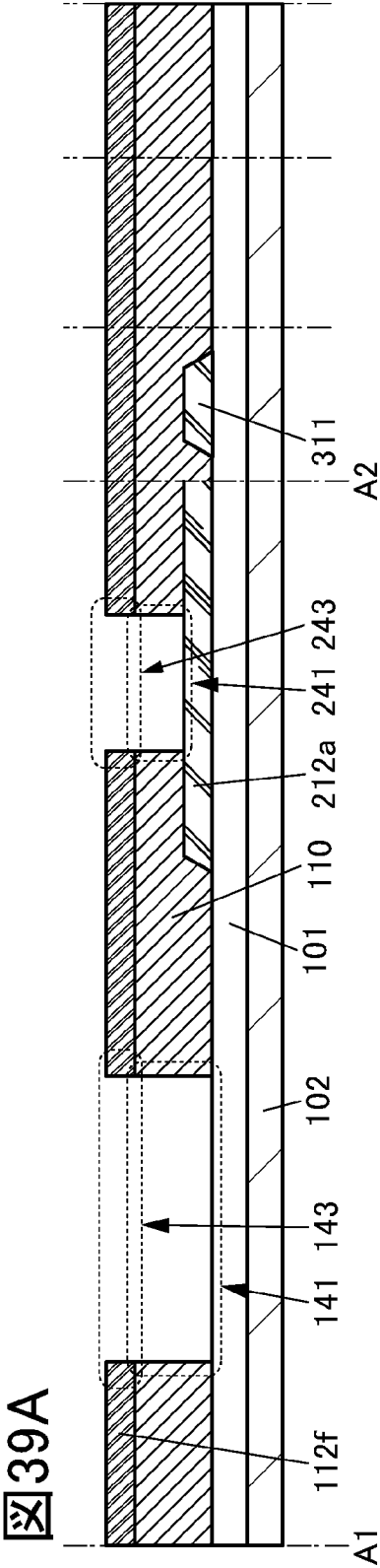
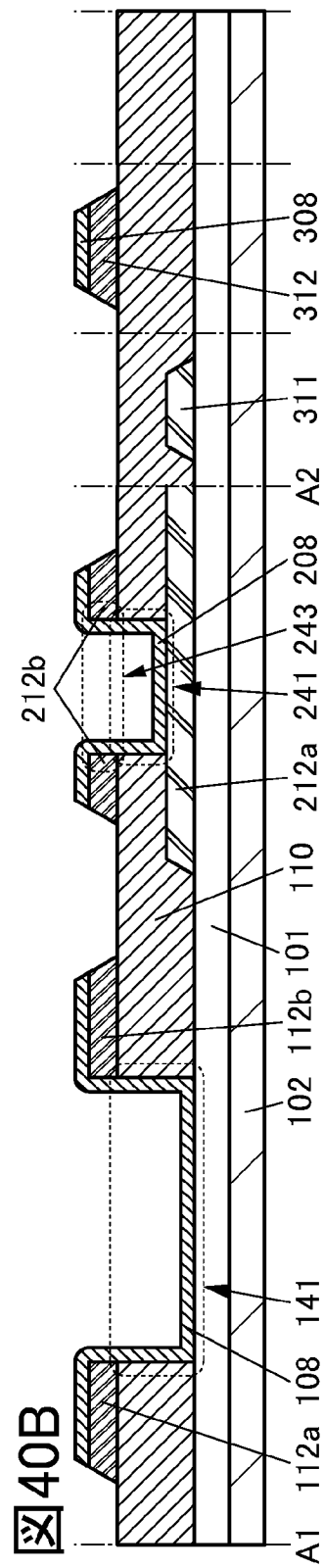
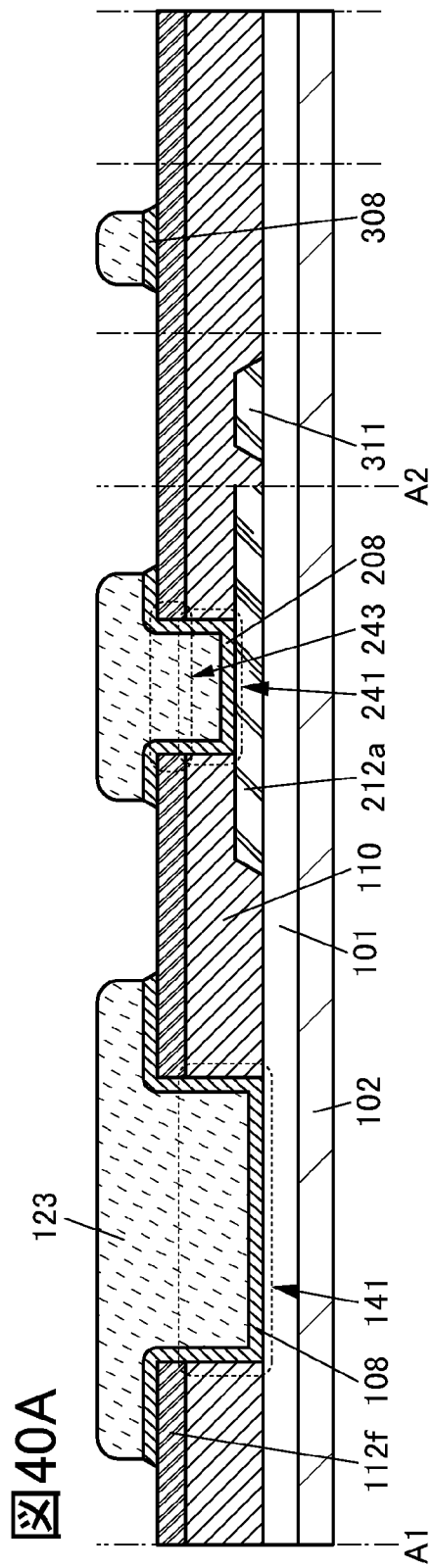


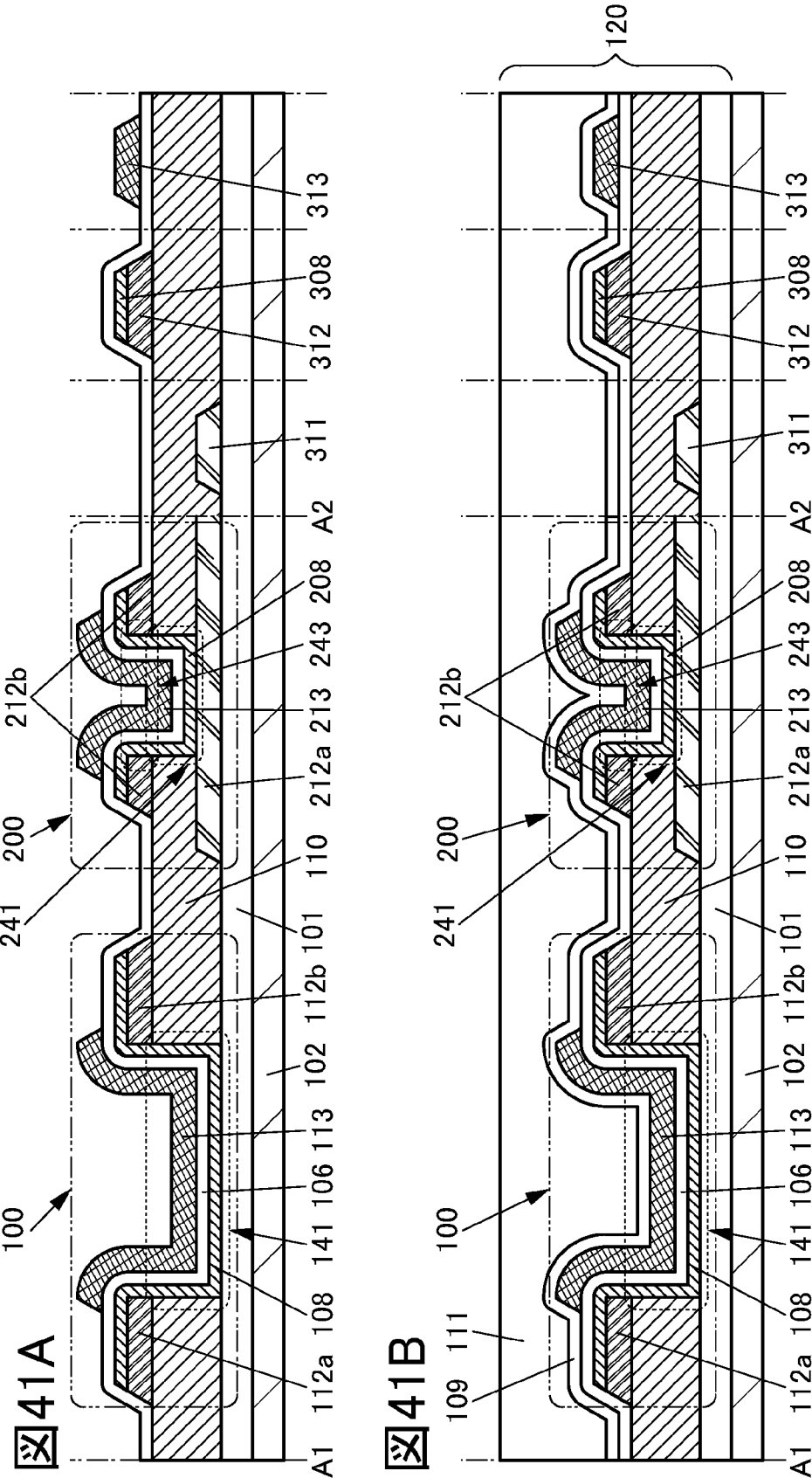
図37C

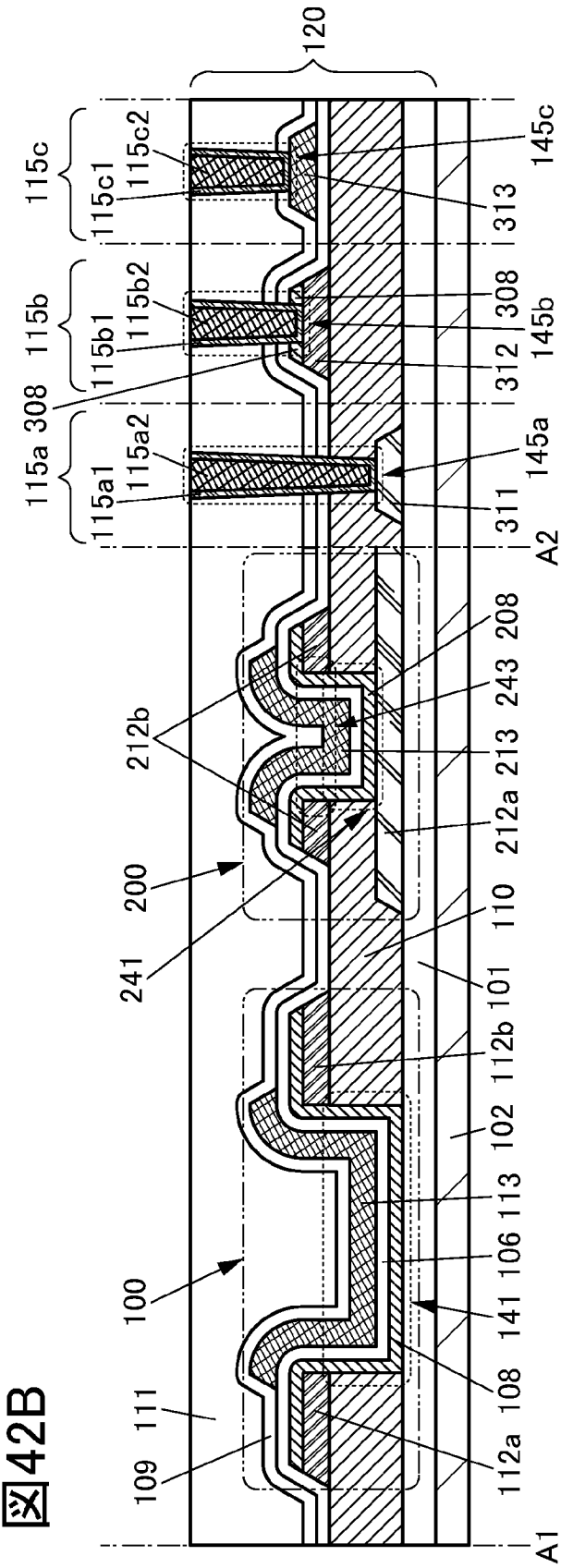
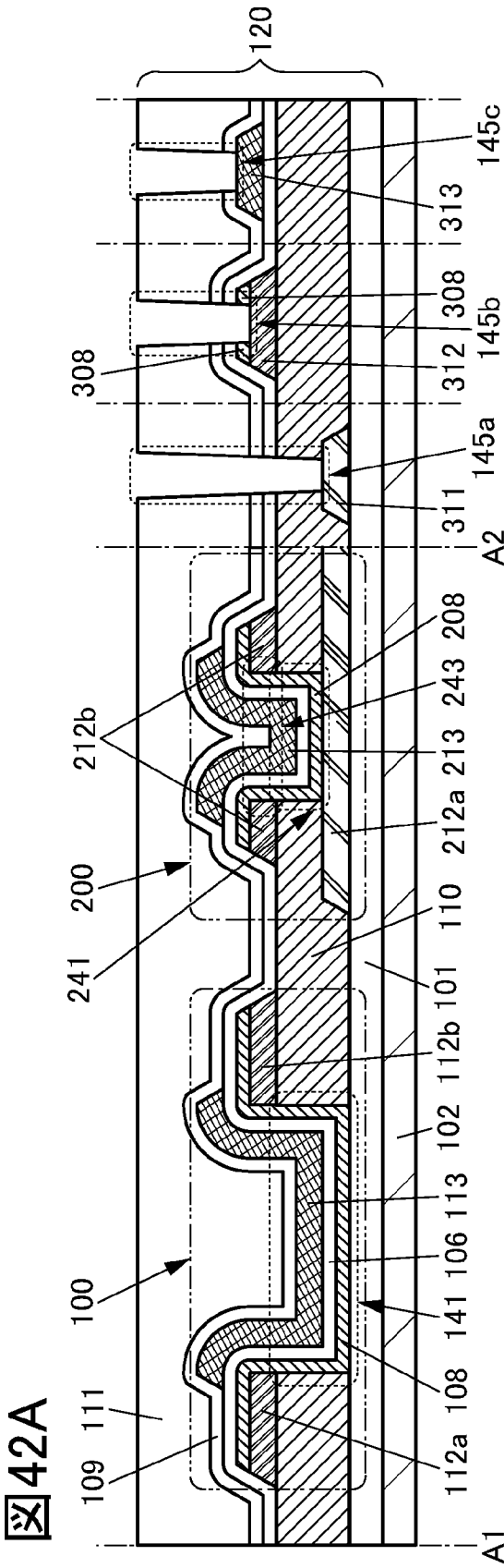




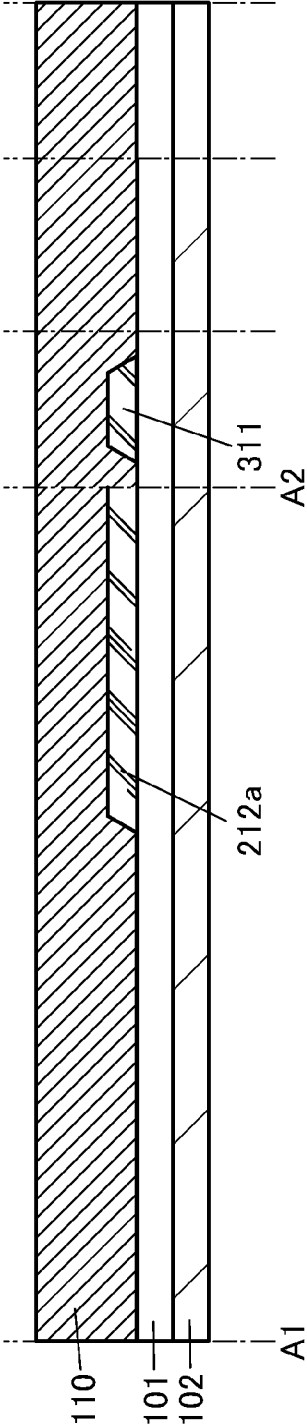




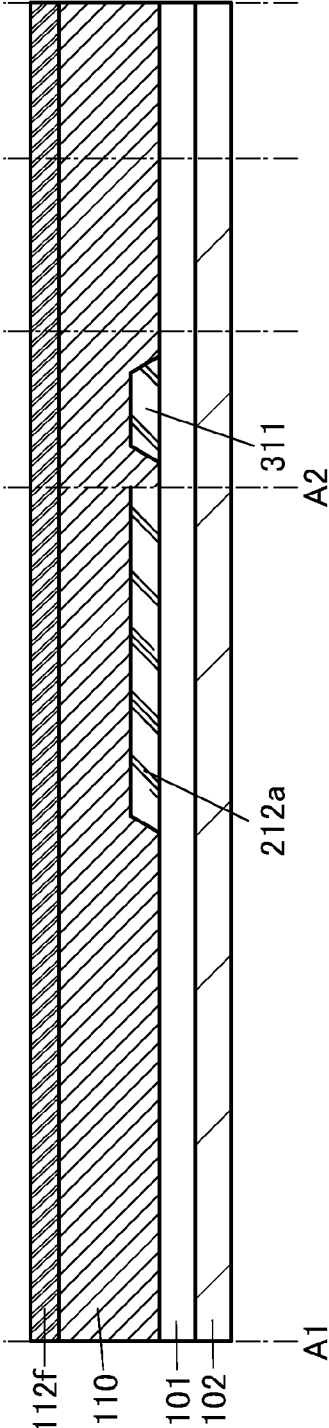




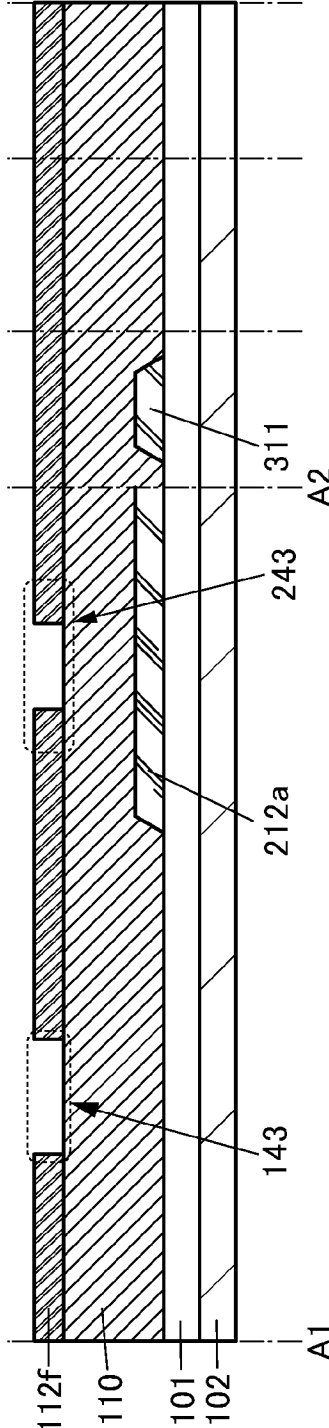
43A

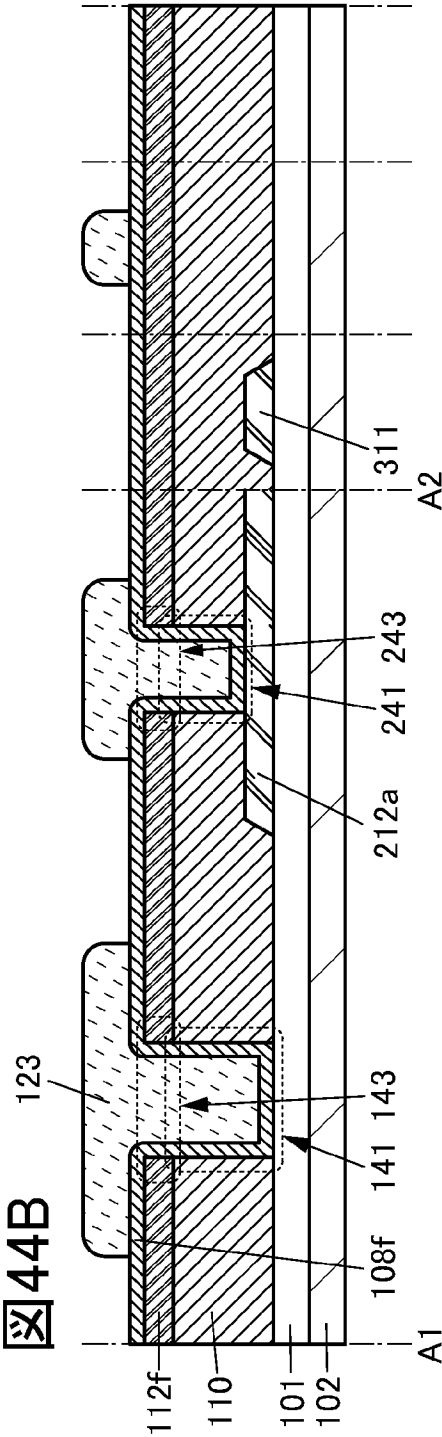
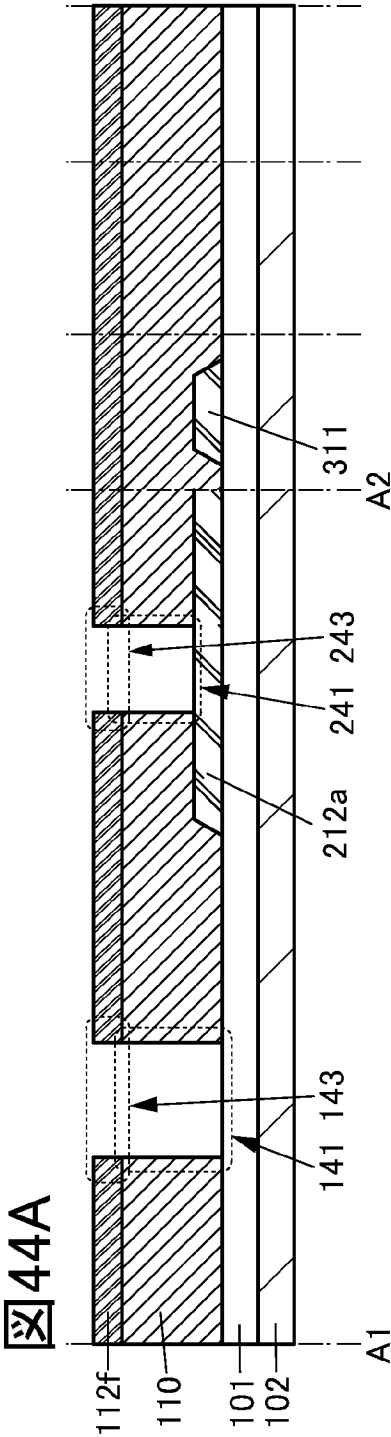


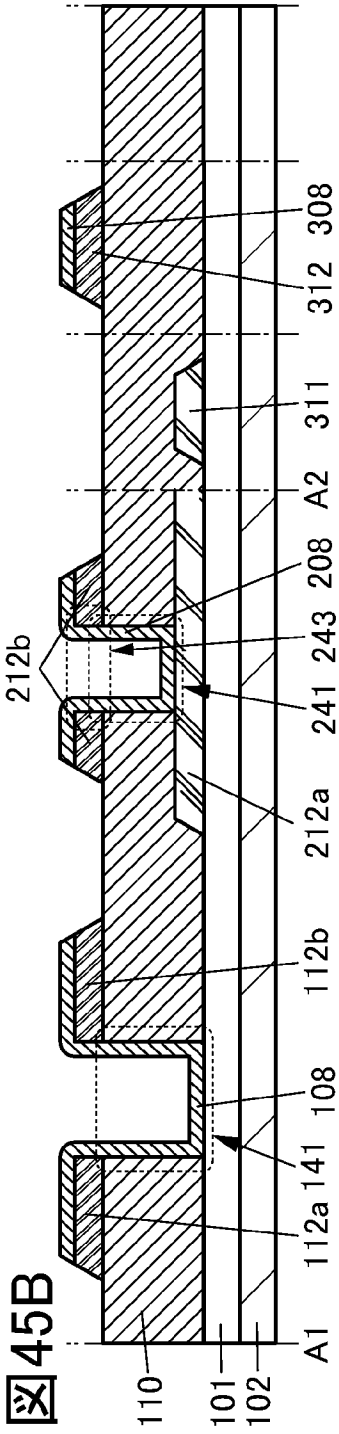
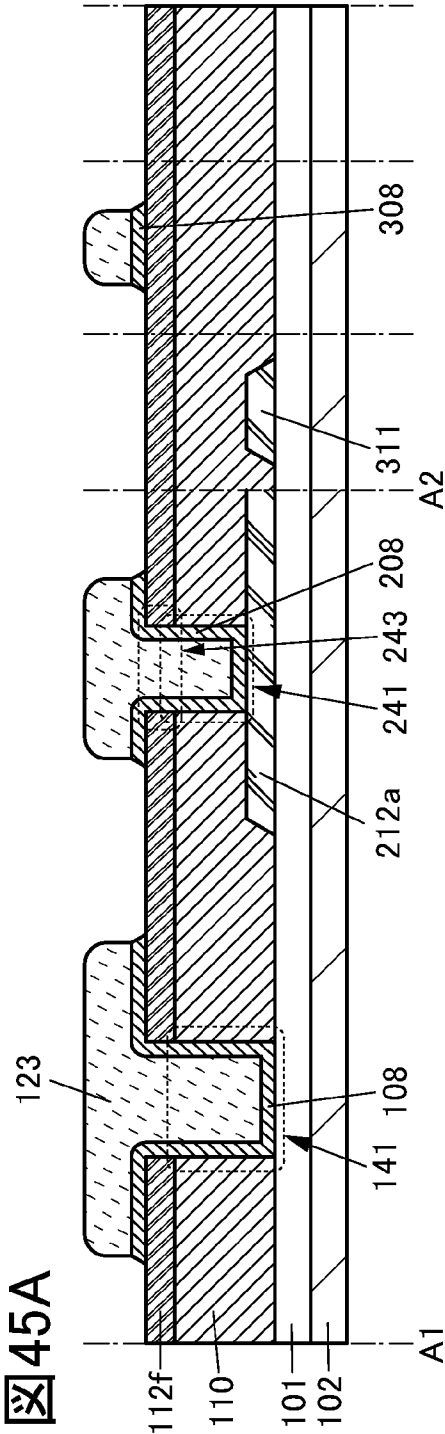
43B

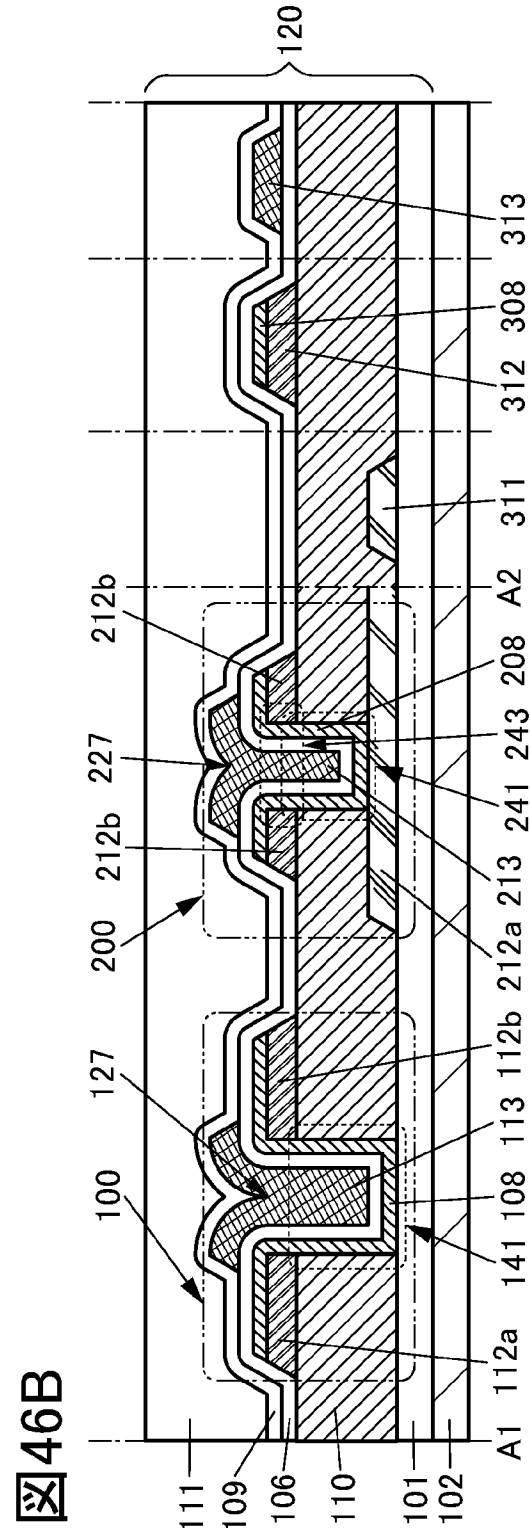
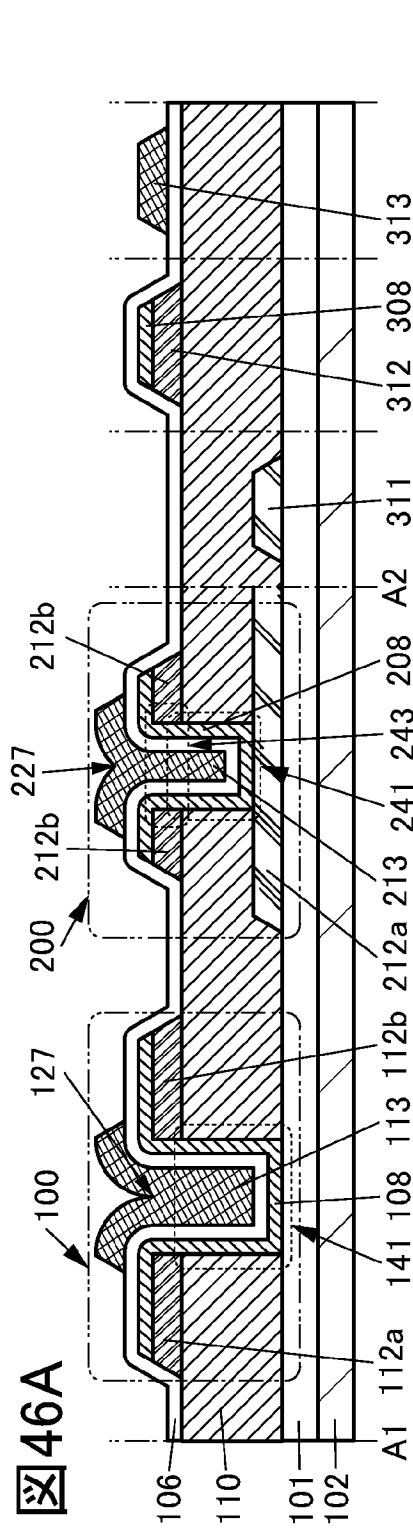


43C









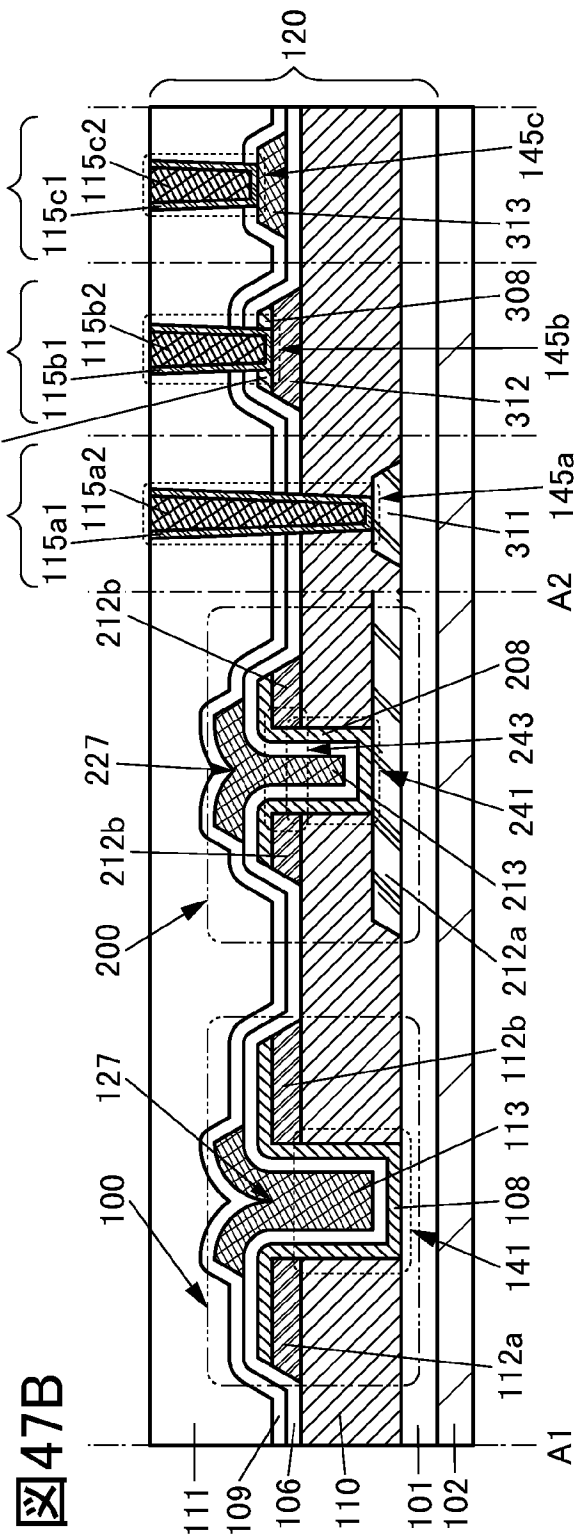
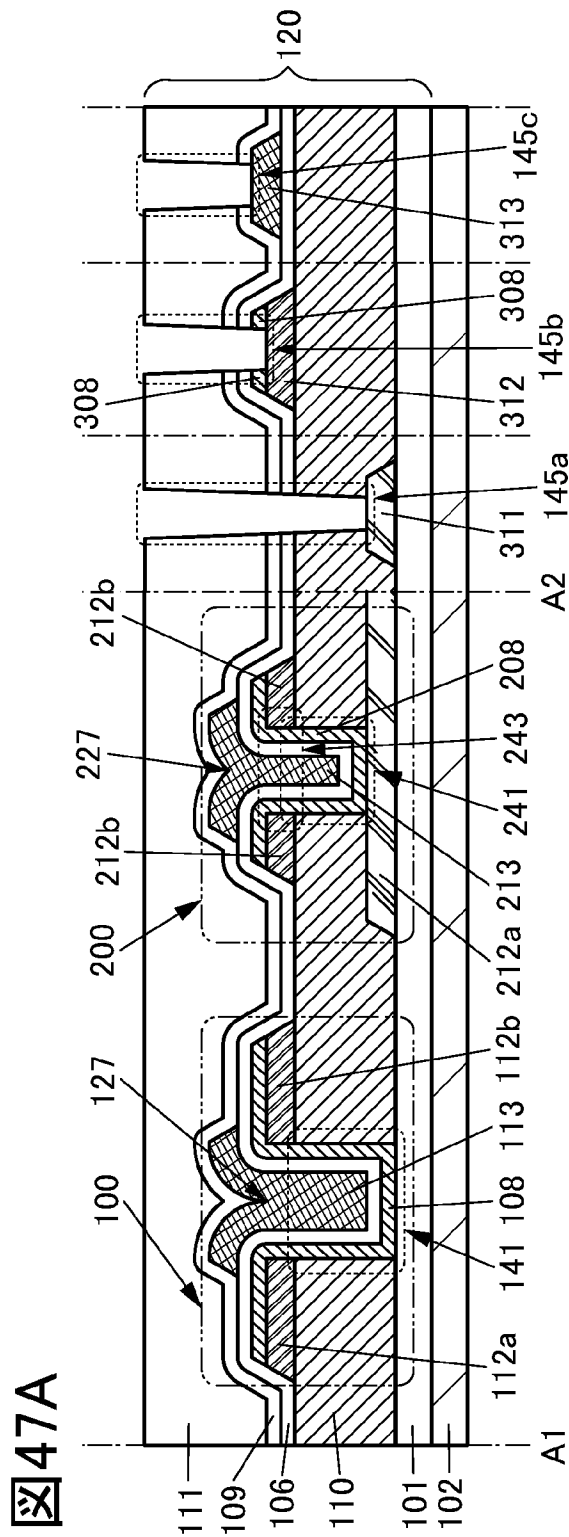


図48A

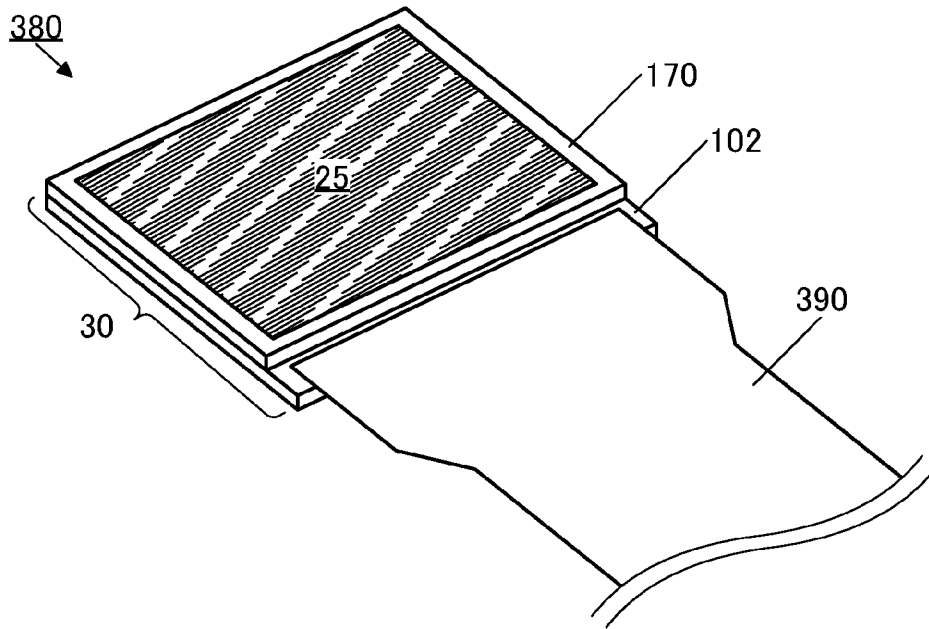


図48B

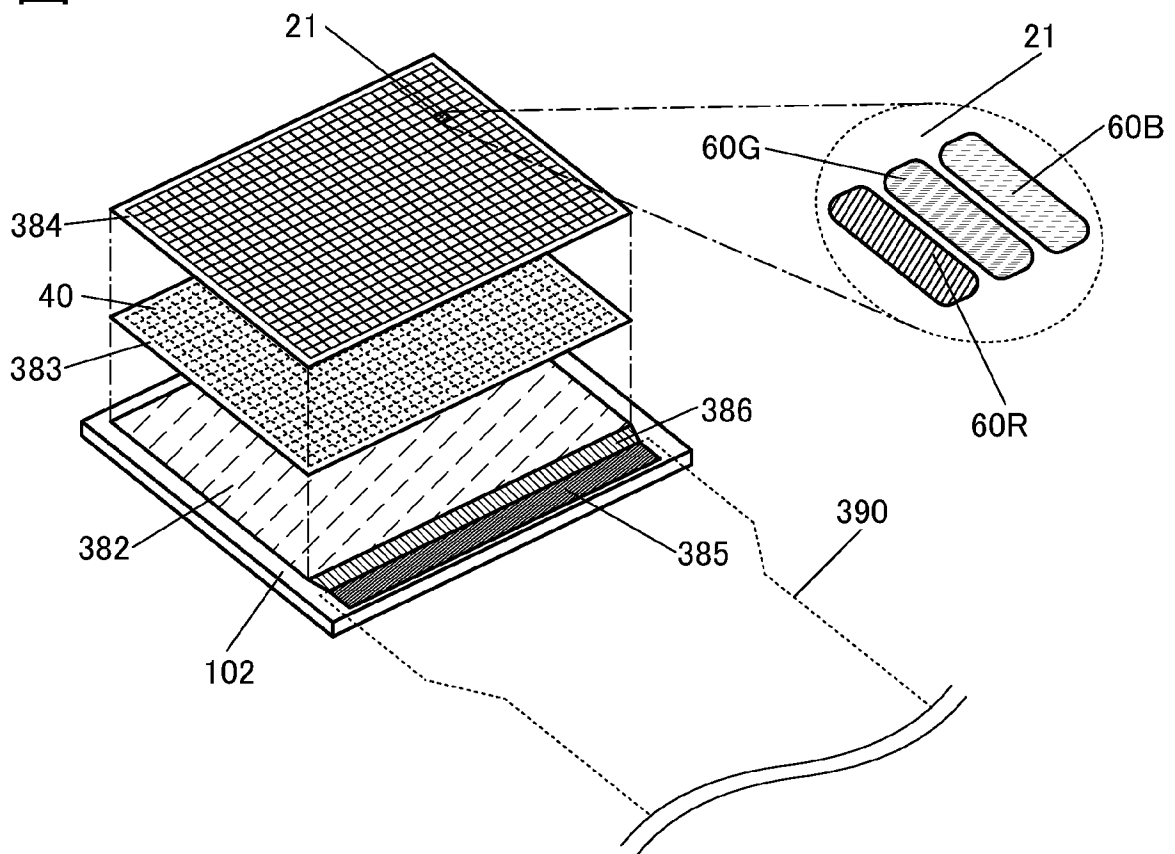


図49

30A

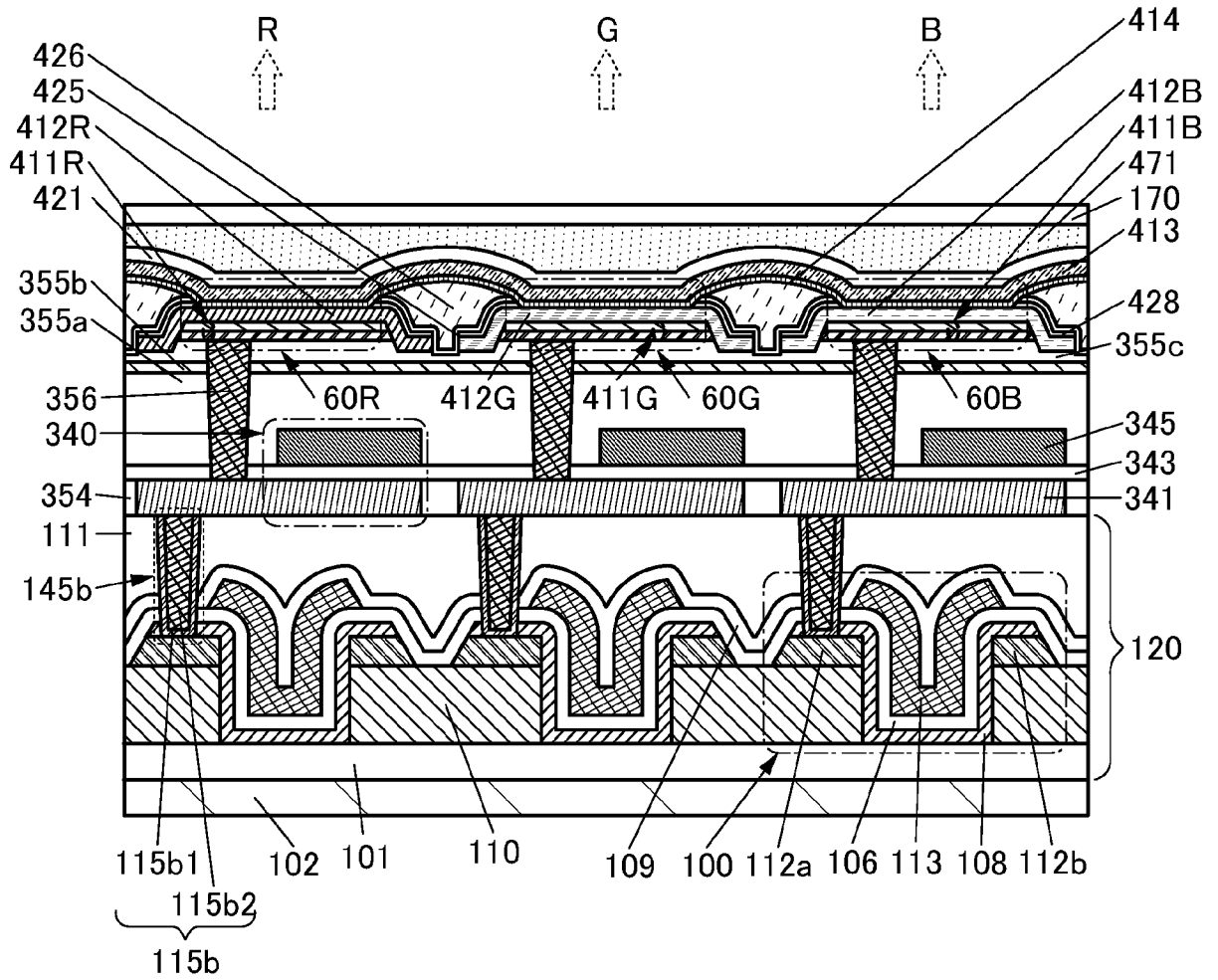


図50

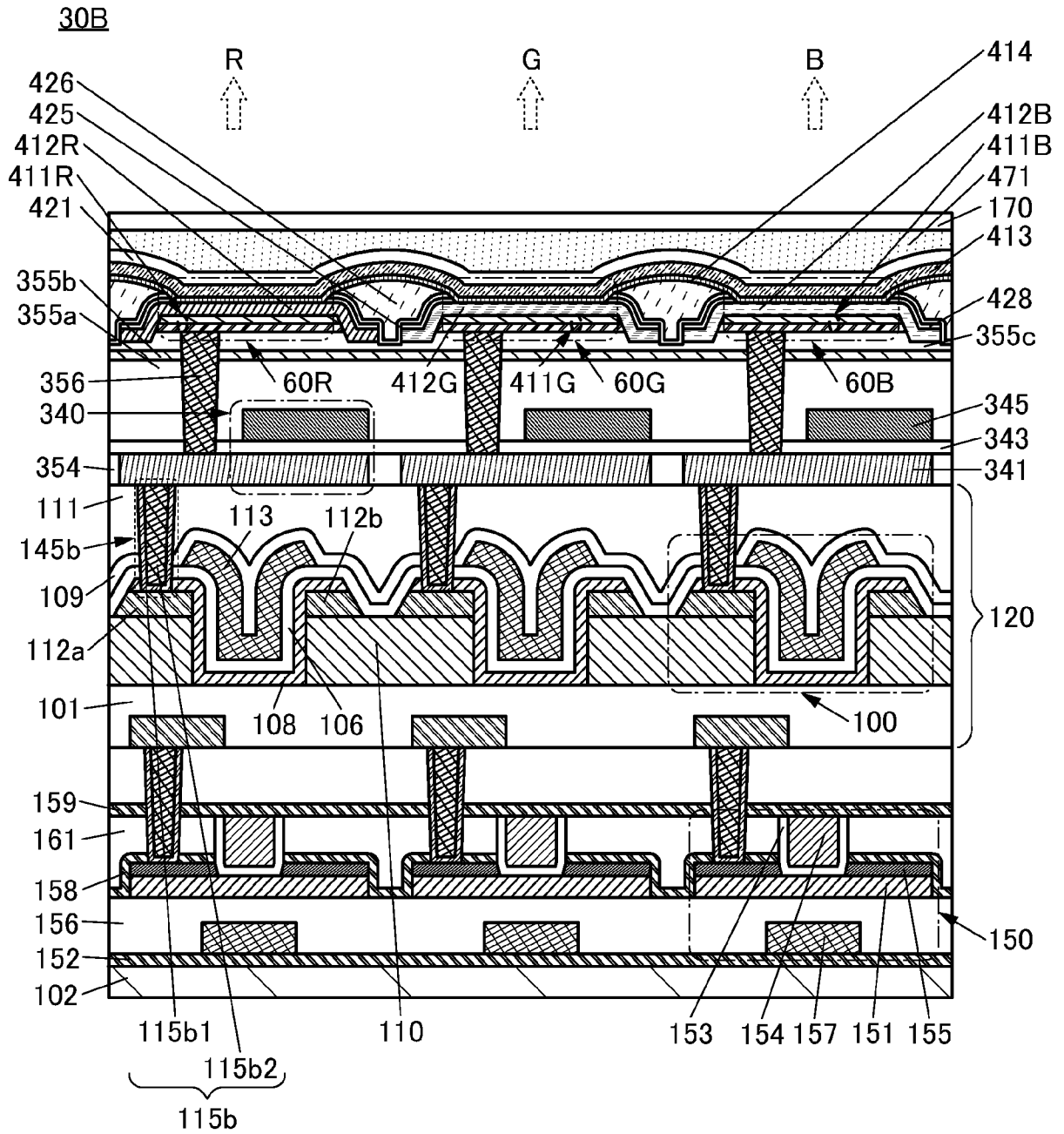


図51

30C

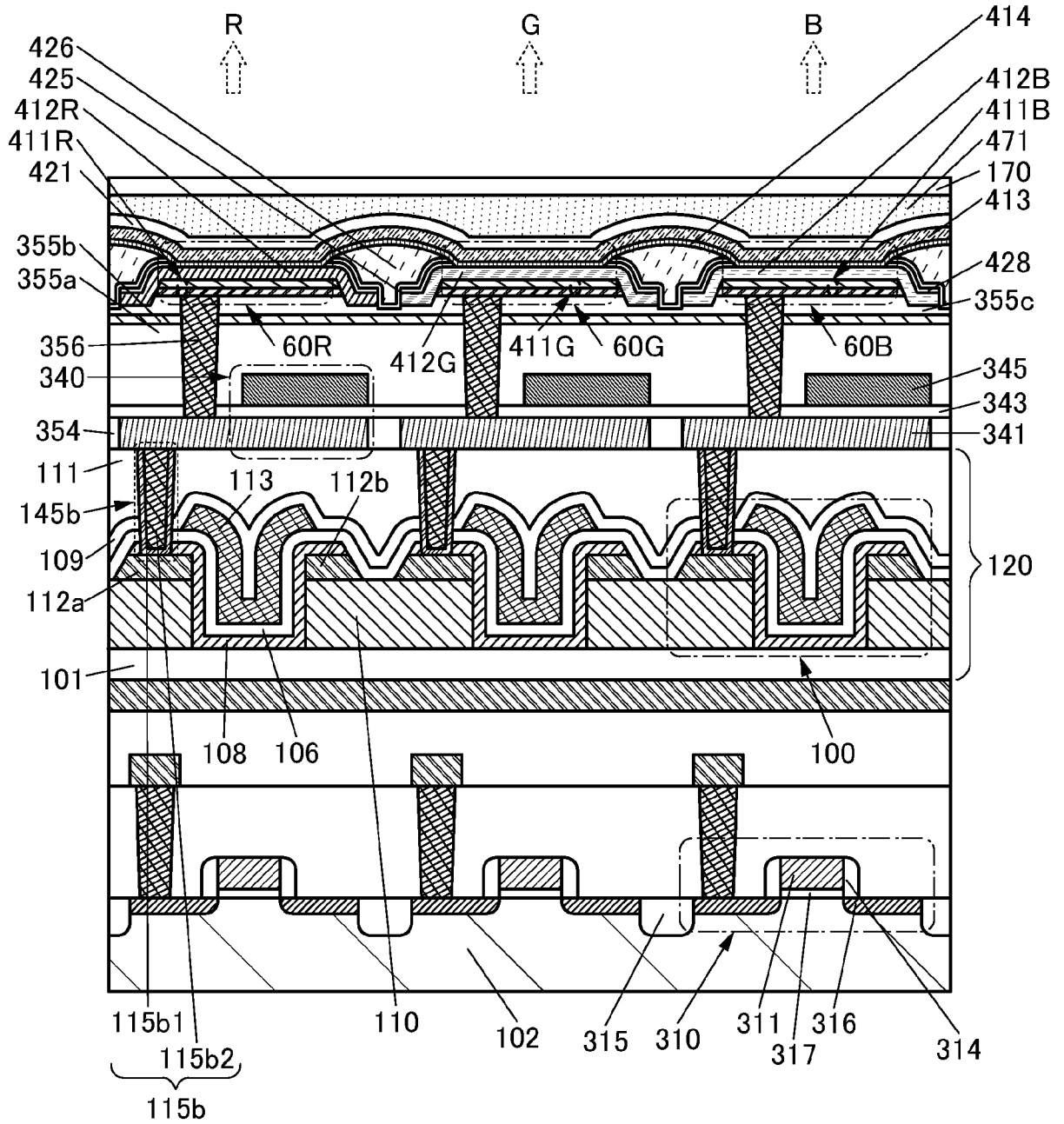


図52

30A

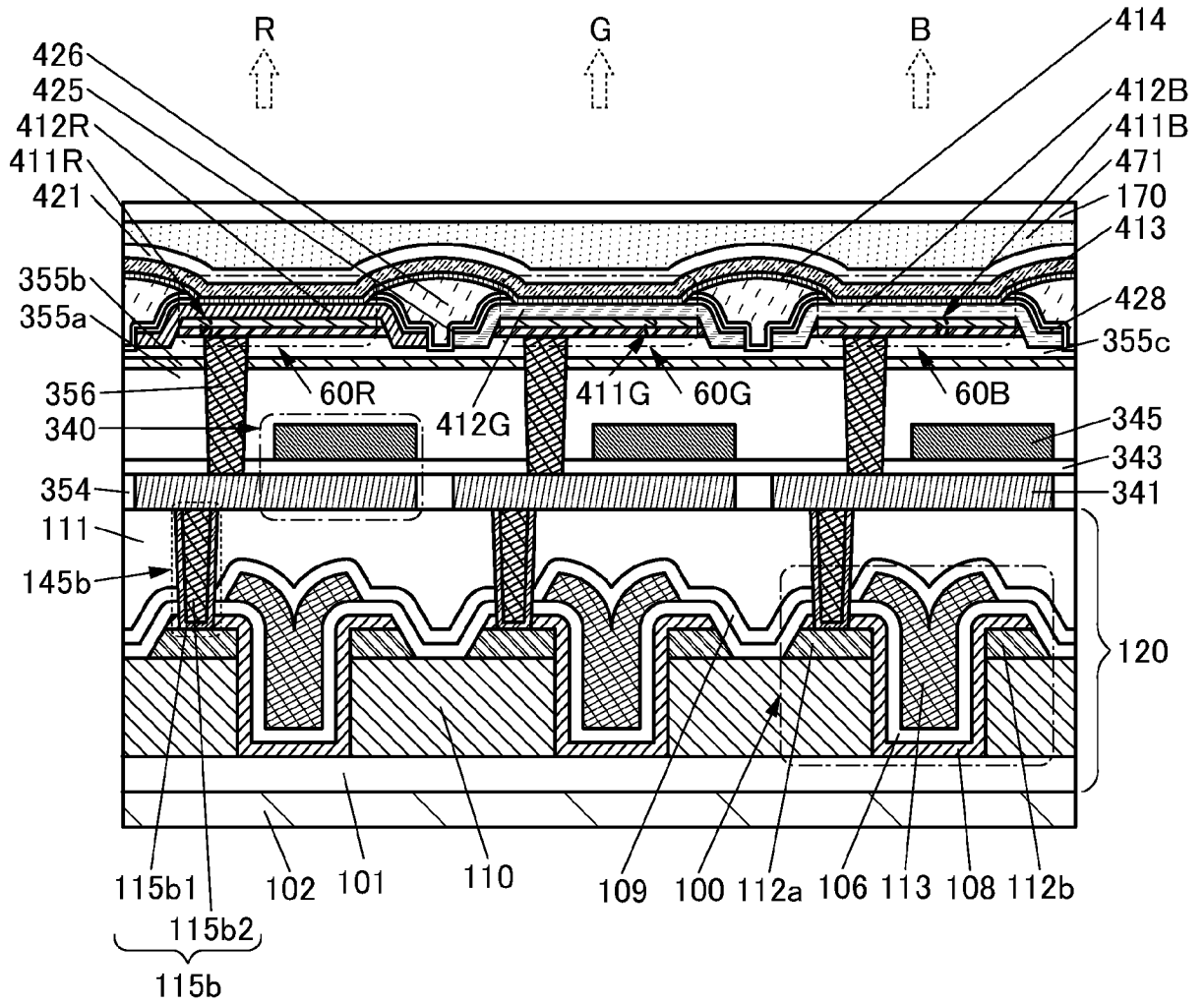


図53

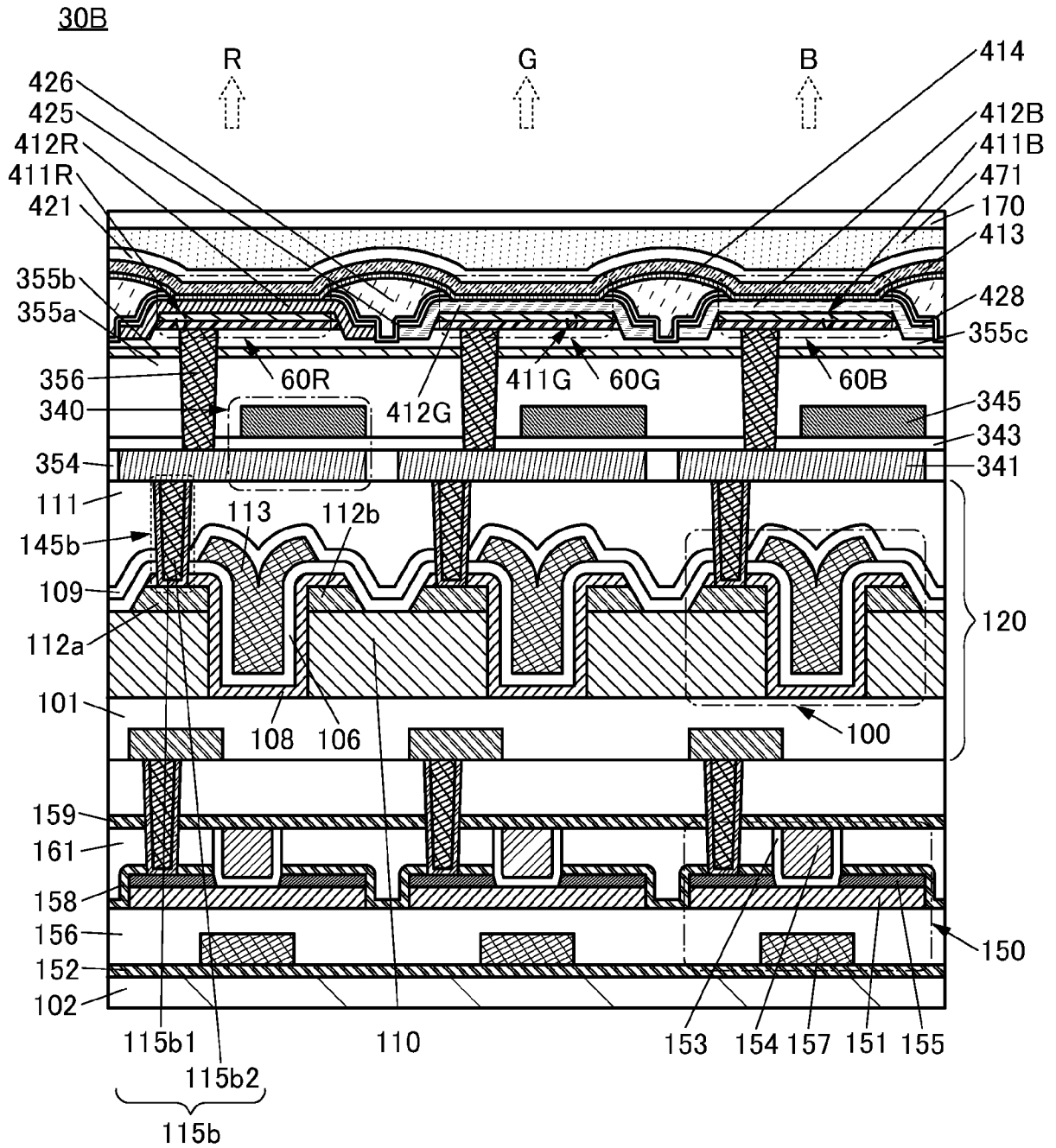


図54

30C

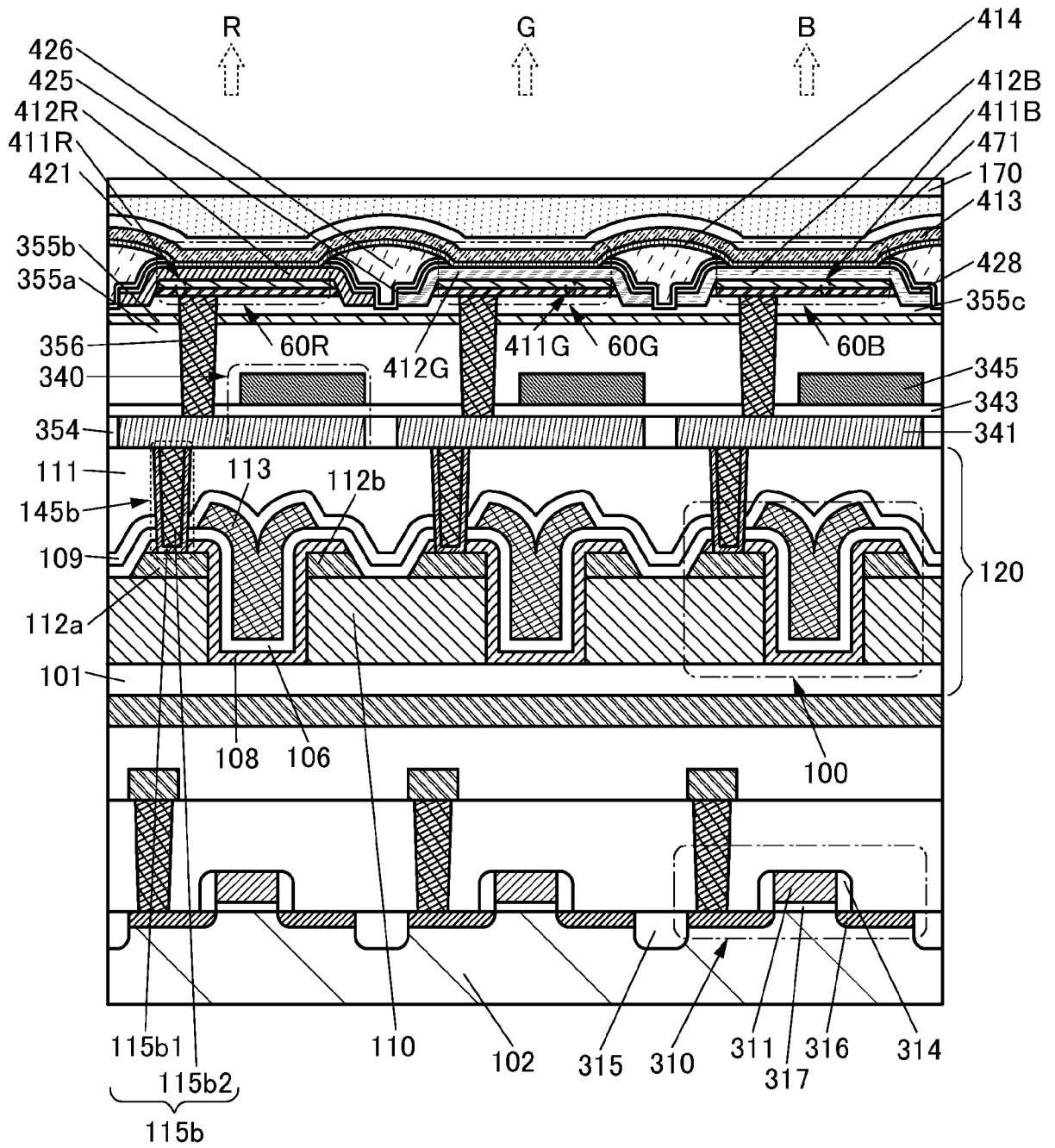


図55A

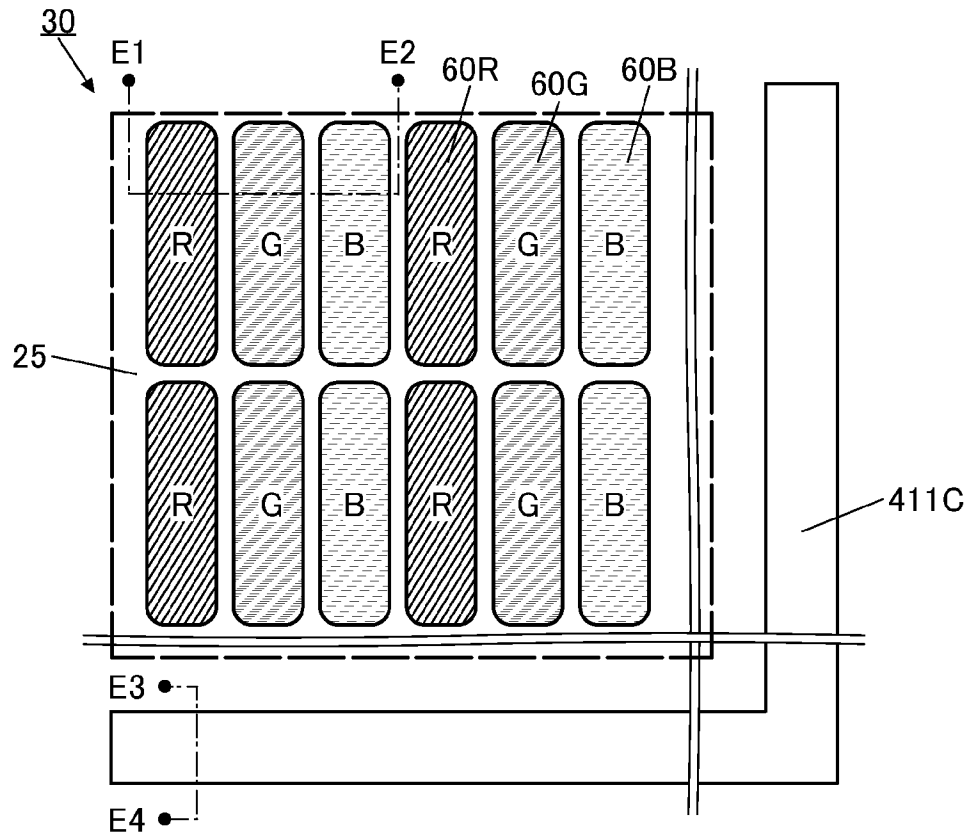


図55B

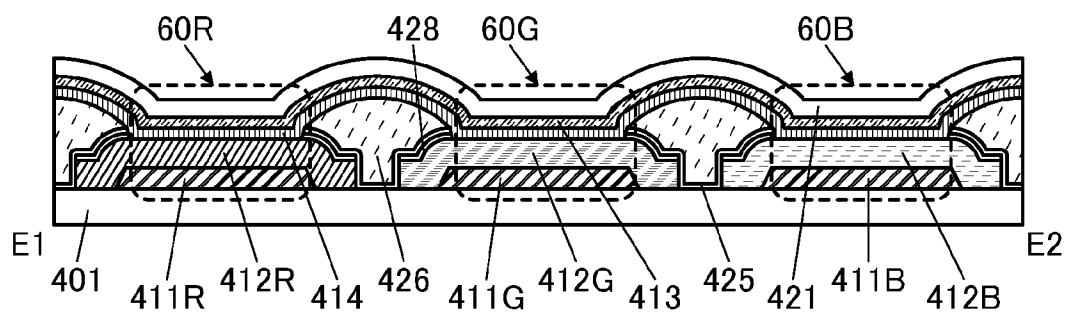


図55C

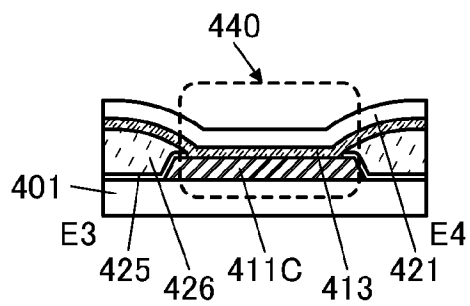


図56A

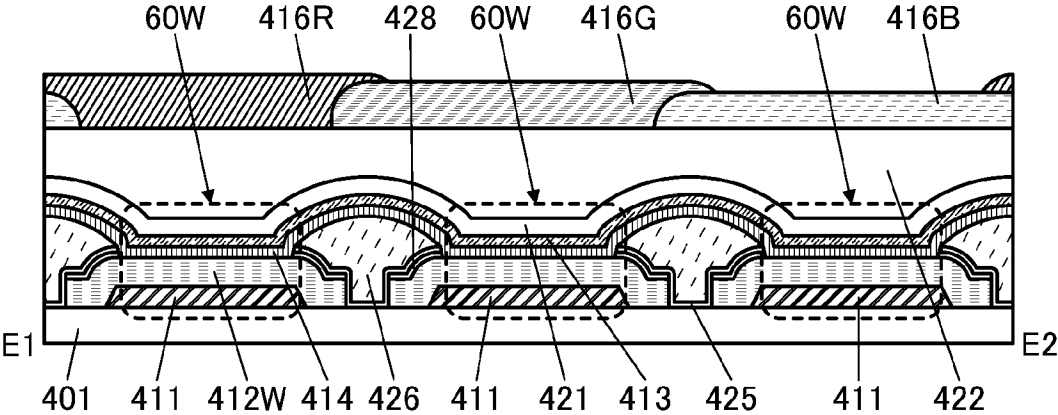


図56B

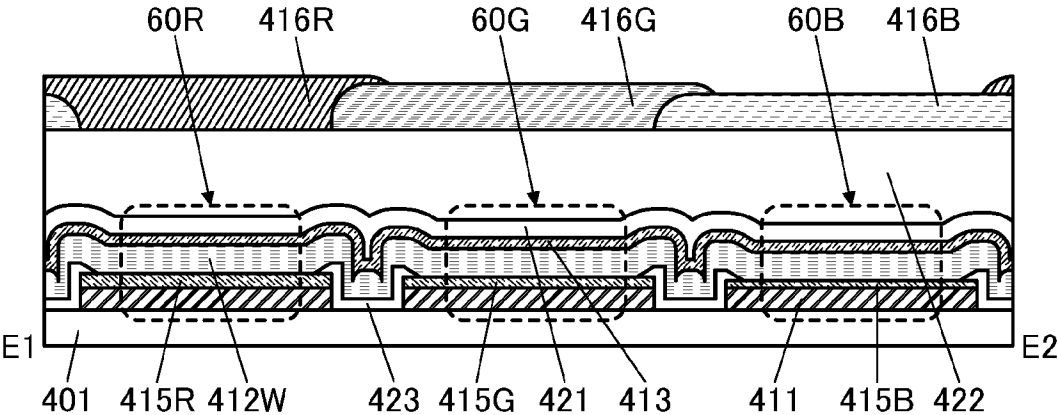


図57

70

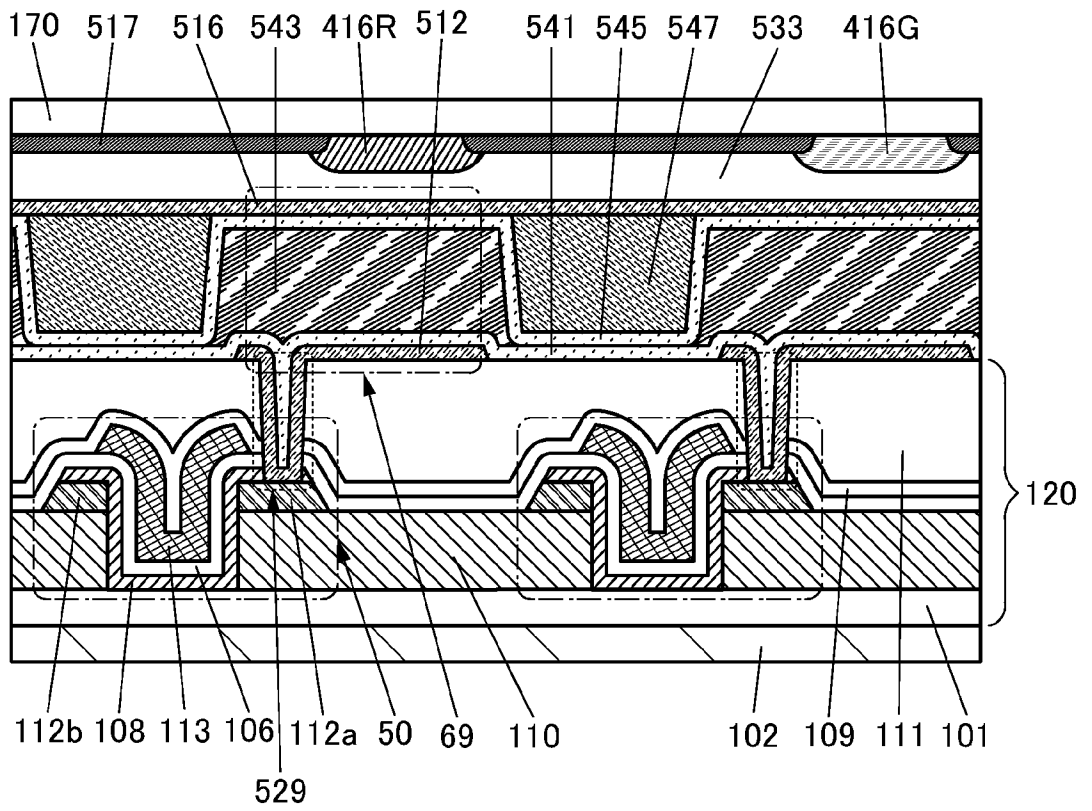


図58

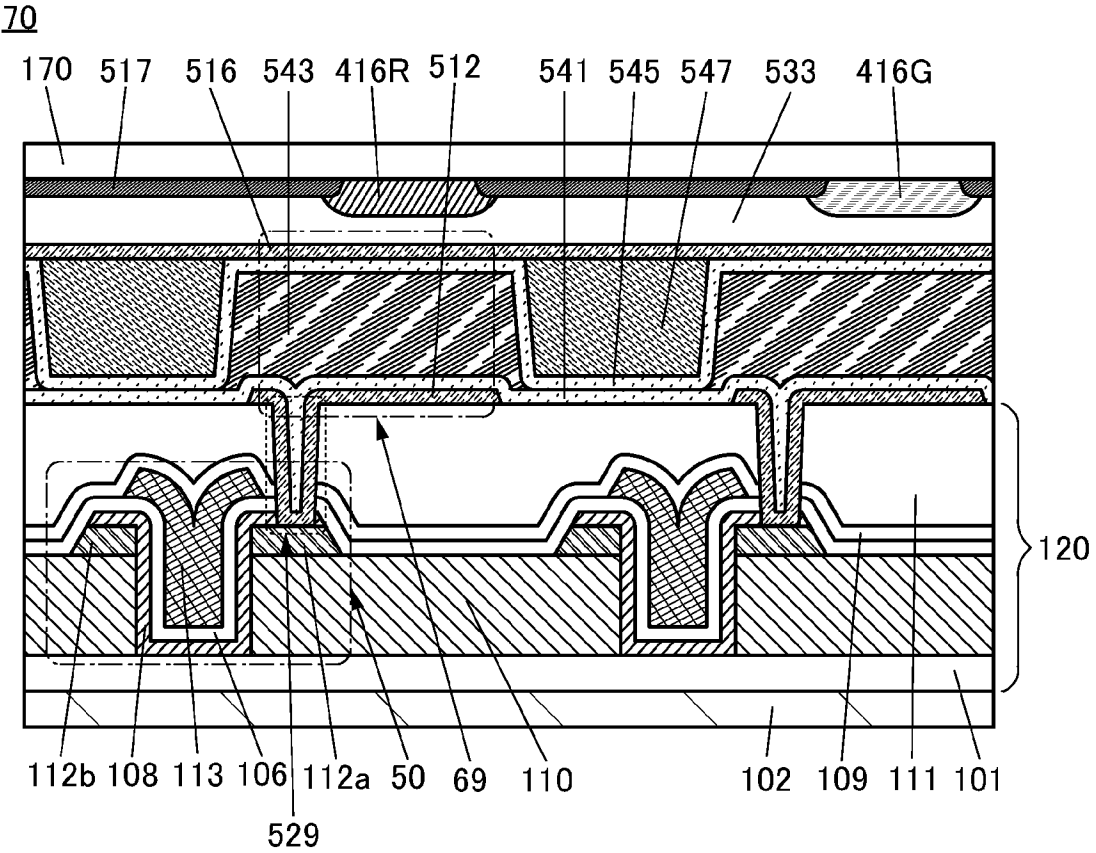


図59A

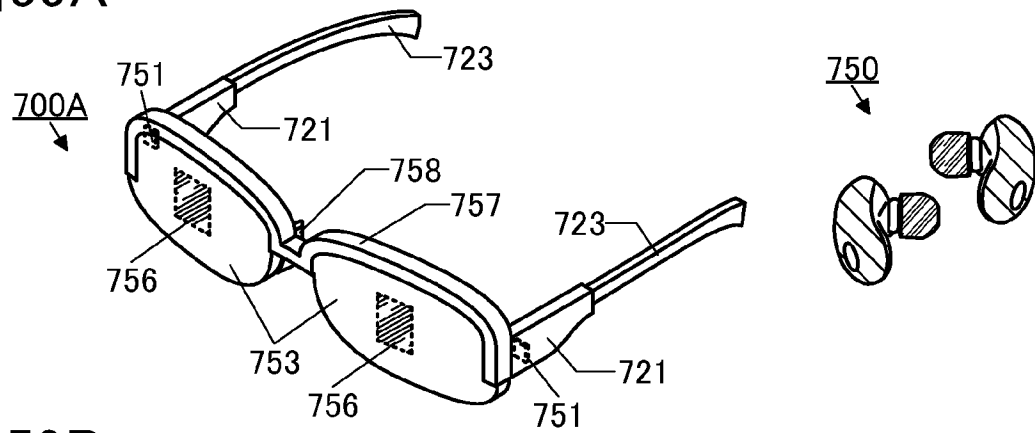


図59B

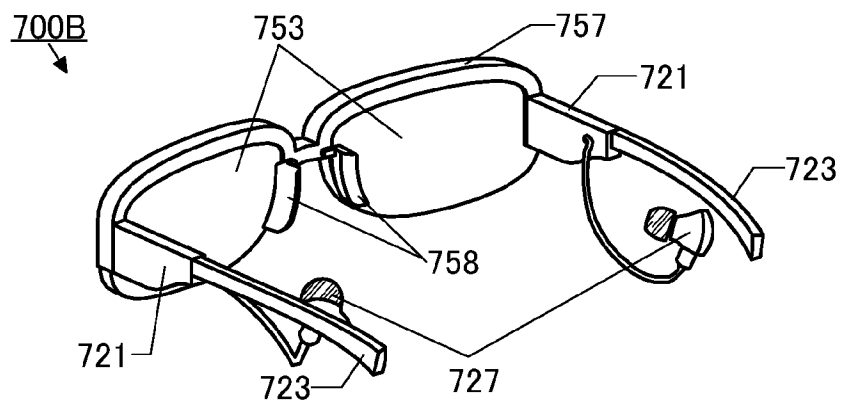


図59C

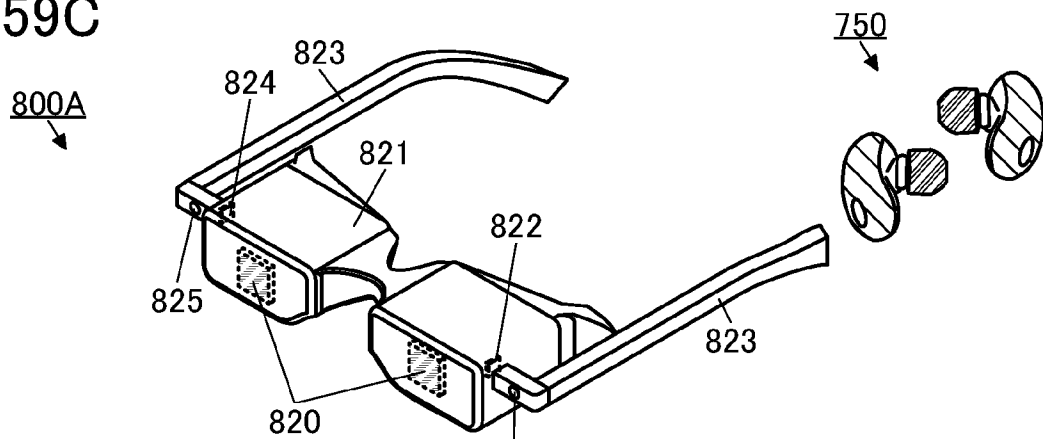


図59D

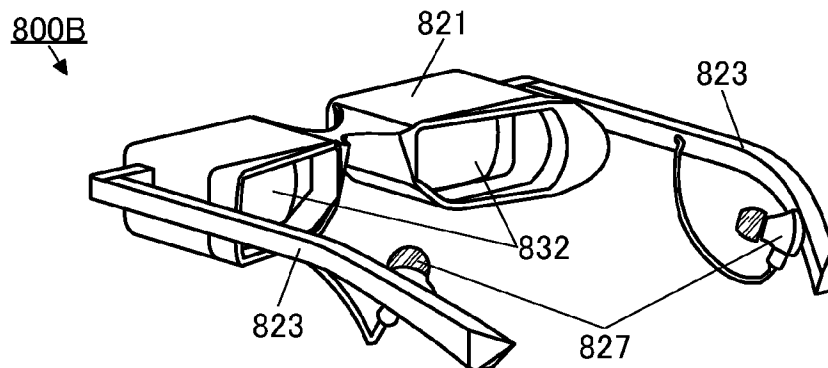


図60A

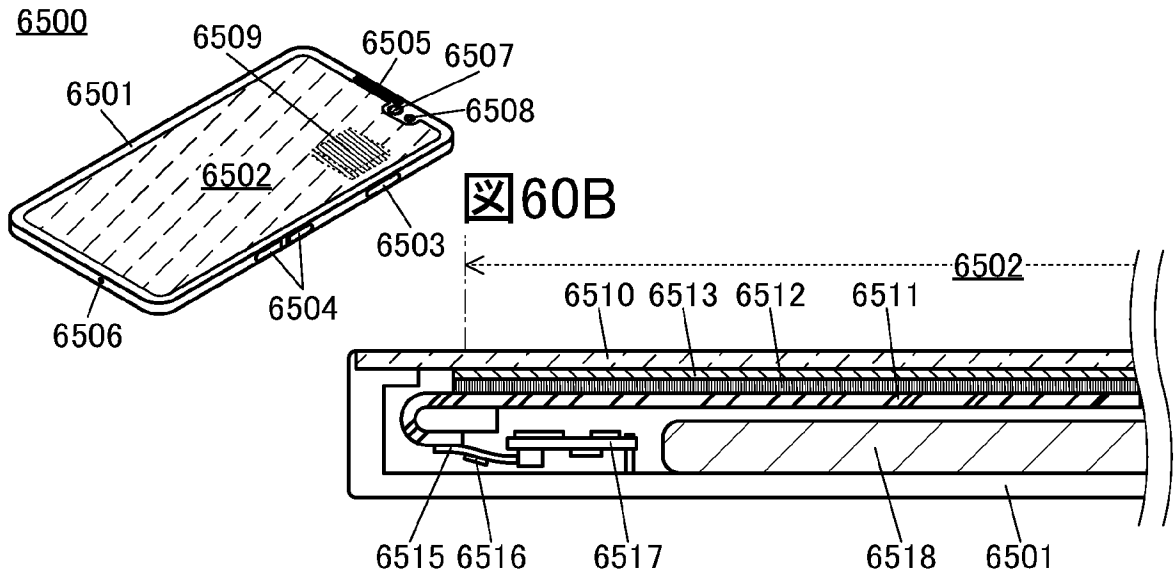


図60C

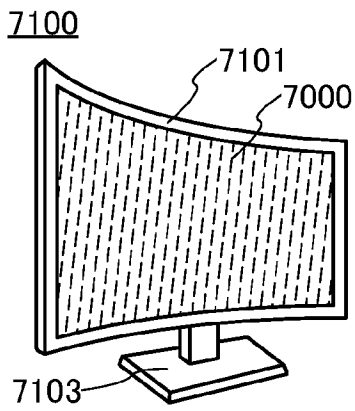


図60D

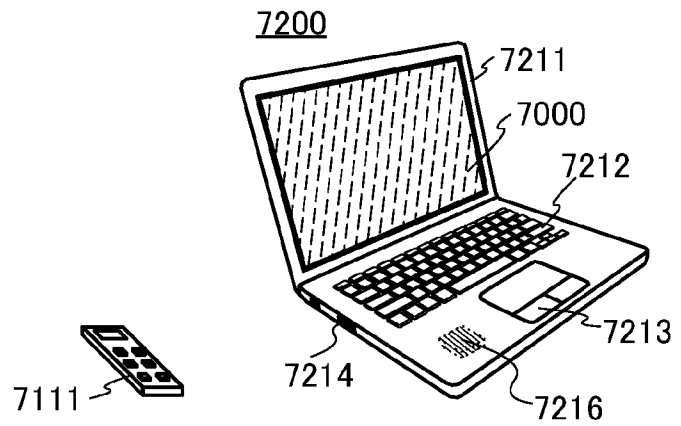


図60E

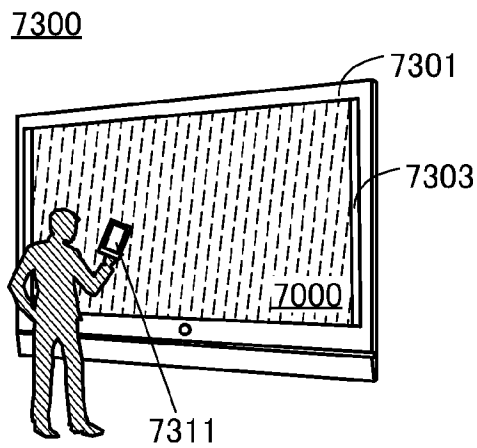


図60F

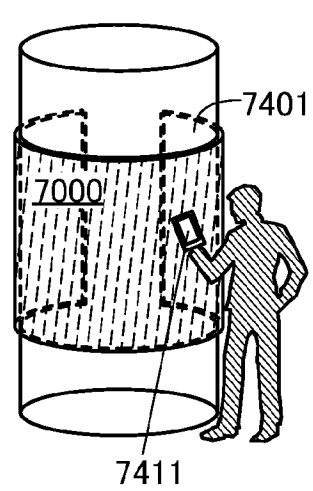


图61A

9101

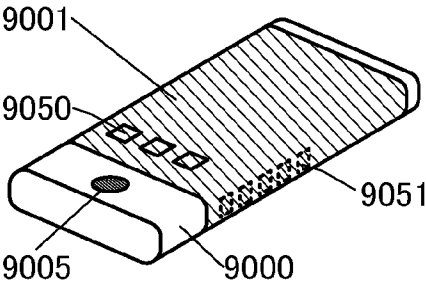


图61D

9200

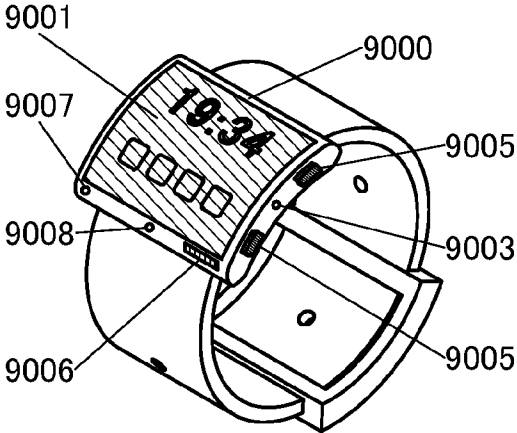


图61B

9102

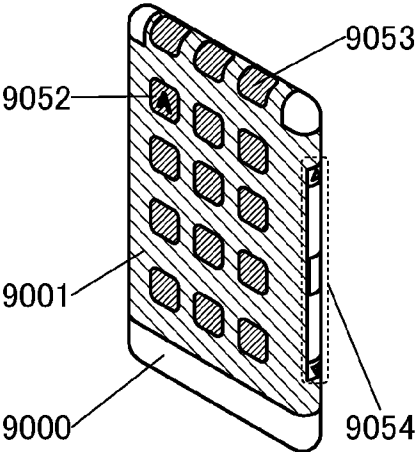


图61E

9201

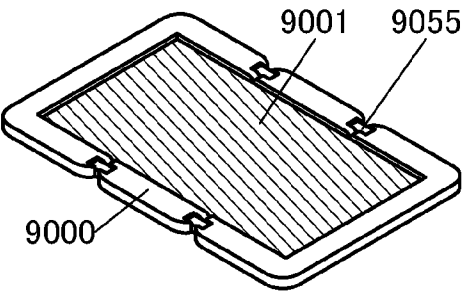


图61C

9103

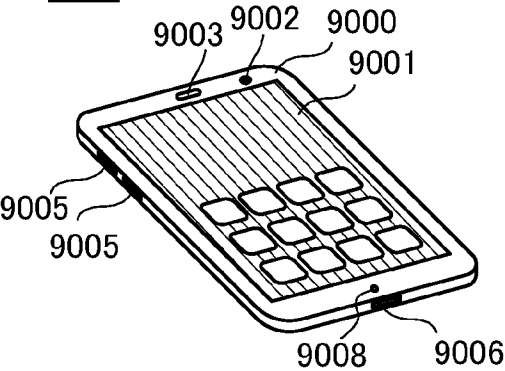


图61F

9201

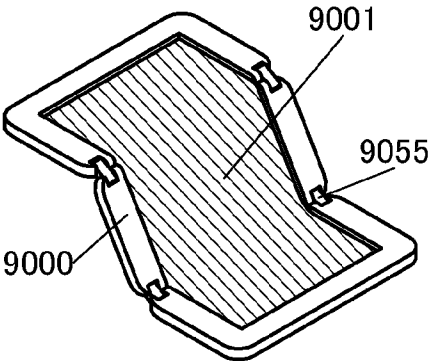
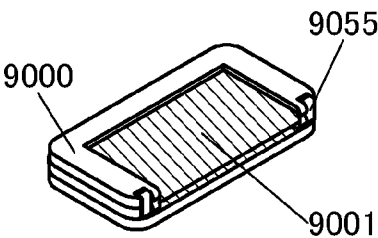


图61G

9201



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2024/051011

A. CLASSIFICATION OF SUBJECT MATTER <i>H01L 29/786</i> (2006.01)i; <i>G02F 1/1368</i> (2006.01)i; <i>G09F 9/00</i> (2006.01)i; <i>G09F 9/30</i> (2006.01)i; <i>H01L 21/8234</i> (2006.01)i; <i>H01L 27/06</i> (2006.01)i; <i>H01L 27/088</i> (2006.01)i; <i>H10K 50/10</i> (2023.01)i; <i>H10K 59/124</i> (2023.01)i; <i>H10K 59/131</i> (2023.01)i FI: H01L29/78 618C; H01L29/78 618B; H01L29/78 626A; H01L27/088 331E; H01L27/088 E; H01L27/06 102A; H10K59/131; H10K59/124; H10K50/10; G09F9/30 338; G09F9/00 338; G02F1/1368 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L29/786; G02F1/1368; G09F9/00; G09F9/30; H01L21/8234; H01L27/06; H01L27/088; H10K50/10; H10K59/124; H10K59/131 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2017-139276 A (JAPAN DISPLAY INC.) 10 August 2017 (2017-08-10) paragraphs [0043]-[0044], [0047], [0104], [0109], [0118], [0126], [0143], fig. 17-28, 32	1-5
Y		6-14
Y	JP 2017-167452 A (JAPAN DISPLAY INC.) 21 September 2017 (2017-09-21) fig. 1-2	6-14
Y	JP 2002-33331 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 31 January 2002 (2002-01-31) fig. 3	12-14
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 12 April 2024		Date of mailing of the international search report 23 April 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/IB2024/051011

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2017-139276	A	10 August 2017	(Family: none)	
JP	2017-167452	A	21 September 2017	US 2017/0271375 A1 fig. 1-2	
				CN 107204362 A	
JP	2002-33331	A	31 January 2002	US 2002/0020875 A1 fig. 3	
				KR 10-2001-0104278 A	

A. 発明の属する分野の分類（国際特許分類（IPC））

H01L 29/786(2006.01)i; G02F 1/1368(2006.01)i; G09F 9/00(2006.01)i; G09F 9/30(2006.01)i;
H01L 21/8234(2006.01)i; H01L 27/06(2006.01)i; H01L 27/088(2006.01)i; H10K 50/10(2023.01)i;
H10K 59/124(2023.01)i; H10K 59/131(2023.01)i
FI: H01L29/78 618C; H01L29/78 618B; H01L29/78 626A; H01L27/088 331E; H01L27/088 E; H01L27/06 102A;
H10K59/131; H10K59/124; H10K50/10; G09F9/30 338; G09F9/00 338; G02F1/1368

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H01L29/786; G02F1/1368; G09F9/00; G09F9/30; H01L21/8234; H01L27/06; H01L27/088; H10K50/10; H10K59/124;
H10K59/131

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報1922-1996年
日本国公開実用新案公報1971-2024年
日本国実用新案登録公報1996-2024年
日本国登録実用新案公報1994-2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2017-139276 A（株式会社ジャパンディスプレイ）10.08.2017（2017-08-10） 段落[0043]-[0044], [0047], [0104], [0109], [0118], [0126], [0143], 図17-28, 32	1-5
Y		6-14
Y	JP 2017-167452 A（株式会社ジャパンディスプレイ）21.09.2017（2017-09-21） 図1-2	6-14
Y	JP 2002-33331 A（株式会社半導体エネルギー研究所）31.01.2002（2002-01-31） 図3	12-14

☐ C欄の続きにも文献が列挙されている。☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“D” 国際出願で出願人が先行技術文献として記載した文献
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日
12. 04. 2024

国際調査報告の発送日
23. 04. 2024

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

西村 治郎 5F 2376

電話番号 03-3581-1101 内線 3514

様式 PCT/ISA/210（第2ページ）（2022年7月）

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/IB2024/051011

引用文献			公表日	パテントファミリー文献	公表日
JP	2017-139276	A	10.08.2017	(ファミリーなし)	
JP	2017-167452	A	21.09.2017	US 2017/0271375 A1	
				図1-2	
				CN 107204362 A	
JP	2002-33331	A	31.01.2002	US 2002/0020875 A1	
				図3	
				KR 10-2001-0104278 A	