

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2024 年 6 月 20 日 (20.06.2024)



(10) 国际公布号
WO 2024/125174 A1

- (51) 国际专利分类号:
H01L 25/065 (2023.01)
- (21) 国际申请号: PCT/CN2023/130829
- (22) 国际申请日: 2023 年 11 月 9 日 (09.11.2023)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
202211626334.0 2022年12月15日 (15.12.2022) CN
- (71) 申请人: 华为技术有限公司 (**HUAWEI TECHNOLOGIES CO., LTD.**) [CN/CN]; 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。
- (72) 发明人: 刘曙光 (**LIU, Shuguang**); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。张师伟 (**ZHANG, Shiwei**); 中国广东省深圳市龙岗区坂田华为总部办公楼,

Guangdong 518129 (CN)。景蔚亮 (**JING, Weiliang**); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。张春雨 (**ZHANG, Chunyu**); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。

(74) 代理人: 北京中博世达专利商标代理有限公司 (**BEIJING ZBSD PATENT & TRADEMARK AGENT LTD.**); 中国北京市海淀区交大东路 31 号 11 号楼 8 层, Beijing 100044 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD,

(54) **Title:** CHIP INTEGRATED STRUCTURE AND MANUFACTURING METHOD THEREFOR, AND ELECTRONIC DEVICE

(54) 发明名称: 芯片集成结构及其制备方法、电子设备

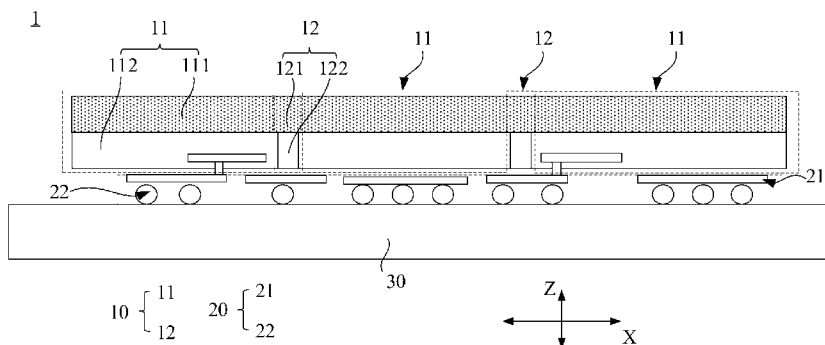


图 4

(57) **Abstract:** Embodiments of the present application provide a chip integrated structure and a manufacturing method therefor, and an electronic device, for use in mitigating the problem that the number of functional chips arranged in unit area is decreased due to the large distance between adjacent functional chips in the same stack layers of the current chips, thereby causing poor performance of the stack layers. The chip integrated structure comprises a packaging substrate and a first chip structure layer. The first chip structure layer is located on one side of the packaging substrate and is electrically connected to the packaging substrate. The first chip structure layer comprises cutting channel structures and a plurality of first bare chips. The cutting channel structures are connected to the plurality of first bare chips, and electrically separate the plurality of first bare chips. The first bare chips have an electrical function. By means of the arrangement, the decrease in the distance between the adjacent first bare chips in the first chip structure layer is facilitated, so that the number of the first bare chips arranged in unit area in the first chip structure layer is increased, thereby improving the integration of the chip integrated structure and the performance of the chip integrated structure.

SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚
(AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR,
HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO,
PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN,
TD, TG)。

本国际公布:
— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 本申请的实施例提供了一种芯片集成结构及其制备方法、电子设备, 用于改善目前芯片同一堆叠层中相邻功能芯片之间间距较大, 使得单位面积内, 设置的功能芯片的数量降低, 进而导致堆叠层的性能较差的问题。芯片集成结构包括: 封装基板和第一芯片结构层。第一芯片结构层位于封装基板的一侧, 且与封装基板电连接; 第一芯片结构层包括切割道结构和多个第一裸片; 切割道结构连接多个第一裸片, 且将多个第一裸片电性分隔, 第一裸片具有电性功能。通过上述设置, 有利于缩小第一芯片结构层中相邻第一裸片之间的间距, 进而提高第一芯片结构层中单位面积内第一裸片的数量, 从而提升芯片集成结构的集成性, 芯片集成结构的性能。

芯片集成结构及其制备方法、电子设备

本申请要求于 2022 年 12 月 15 日提交国家知识产权局、申请号为 202211626334.0、申请名称为“芯片集成结构及其制备方法、电子设备”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本申请涉及芯片技术领域，尤其涉及一种芯片集成结构及其制备方法、电子设备。

背景技术

随着半导体技术的快速发展，3D IC (three-dimensional integrated circuit, 三维集成电路) 已经得到广泛应用。3D IC 是指将多个芯片进行三维空间的垂直整合堆叠，从而可以缩小封装尺寸、提升芯片性能、提升芯片的集成度等。3D IC 技术已被许多半导体制造商成功应用于生产 CMOS (complementary metal oxide semiconductor, 互补金属氧化物半导体) 图像传感器、NAND flash (闪存)、高带宽存储器 (high bandwidth memory, HBM) 等产品，并大幅提升了产品性能。然而，芯片同一堆叠层的性能较差。

发明内容

本申请实施例提供一种芯片集成结构及其制备方法、电子设备，用于改善目前芯片同一堆叠层中相邻功能芯片之间间距较大，使得单位面积内，设置的功能芯片的数量降低，进而导致堆叠层的性能较差的问题。

为达到上述目的，本申请采用如下技术方案：

一方面，提供一种芯片集成结构，包括：封装基板和第一芯片结构层。第一芯片结构层位于封装基板的一侧，且与封装基板电连接；第一芯片结构层包括切割道结构和多个第一裸片；切割道结构连接多个第一裸片，且将多个第一裸片电性分隔；所述第一裸片具有电性功能。

上述实施例中的芯片集成结构，第一芯片结构层包括切割道结构和多个第一裸片，切割道结构连接多个第一裸片，且将多个第一裸片电性分隔，第一裸片具有电性功能。此处，“电性功能”是指第一裸片具有器件且能够上电工作。第一裸片可以包括数字芯片、模拟芯片以及光芯片等等。每个第一裸片均为一个裸芯片，也即，多个第一裸片为位于同一晶圆中的多个裸芯片，且相邻的裸芯片之间通过切割道结构连接，也即该多个第一裸片之间的切割道区域未被切割，故保留有切割道结构。通过上述设置，有利于缩小第一芯片结构层中相邻第一裸片之间的间距，进而提高第一芯片结构层中单位面积内第一裸片的数量，从而提升芯片集成结构的集成度，进而提升芯片集成结构的性能。例如，当第一裸片包括存储芯片时，第一芯片结构层中单位面积内第一裸片的数量增加，有利于提高第一芯片结构层的存储容量，进而有利于提高芯片集成结构的存储容量；当第一裸片包括逻辑芯片时，第一芯片结构层中单位面积内第一裸片的数量增加，有利于提高第一芯片结构层的计算处理速率，进而有利于提高芯片集成结构的计算处理速率。

同时，由于多个第一裸片为位于同一晶圆中的多个裸芯片，可以通过一次切割得到多个第一裸片，有利于提高芯片集成结构的加工效率，进而提高单位时间内芯片集成结构的产量。

在一些实施例中，第一裸片包括第一衬底；切割道结构包括第一连接衬底；第一连接衬底与第一衬底相连，且同层设置。示例性的，相邻的第一衬底之间可以通过第一连接衬底连接。此处，“同层设置”是指第一衬底和第一连接衬底采用同一成膜工艺形成用于形成特定图形的膜层，然后利用同一掩模板通过一次构图工艺形成的层结构，一次构图工艺可以包括多次曝光、显影或刻蚀工艺，而形成的层结构中的特定图形的材质相同。

在一些实施例中，第一裸片还包括密封圈，密封圈位于第一裸片的边缘区域，且密封圈与切割道结构相邻接。密封圈包括多个层叠设置的密封层以及多个密封插塞，一个密封插塞位于相邻的两个密封层之间，且密封插塞与相邻的两个密封层之间接触。可以理解的是，在对与第一裸片相邻接的切割道结构进行切割时，应力容易传递至第一裸片内，导致第一裸片内损伤，进而导致

第一裸片的性能降低。通过设置密封圈，有利于减小传递至第一裸片内的应力，进而降低第一裸片的出现损伤的现象，有利于提高第一裸片的性能。

5 在一些实施例中，第一裸片还包括多个第一绝缘层，多个第一绝缘层位于第一衬底上，且多个第一绝缘层层叠设置。切割道结构还包括多个第一绝缘连接层，多个第一绝缘连接层位于第一连接衬底上，且多个第一绝缘连接层层叠设置。其中，多个第一绝缘连接层与多个第一绝缘层一一对应连接，且对应连接的第一绝缘连接层与第一绝缘层同层设置。示例性的，相邻的第一裸片中的对应的两个第一绝缘层之间通过对应的第一绝缘连接层连接。此处，“同层设置”是指第一绝缘层和第一绝缘连接层采用同一成膜工艺形成用于形成特定图形的膜层，然后利用同一掩模板通过一次构图工艺形成的层结构，一次构图工艺可以包括多次曝光、显影或刻蚀工艺，而形成的层结构中的特定图形的材质相同。

10 在一些实施例中，第一裸片还包括多个第一导电层，多个第一导电层位于第一衬底上，且多个第一导电层层叠设置。切割道结构还包括多个第一绝缘连接层，多个第一绝缘连接层位于第一连接衬底上，且多个第一绝缘连接层层叠设置。其中，多个第一绝缘连接层与多个导电层数量相同。第一导电层包括多层金属线路，金属线路用于将多个电子元器件电连接在一起，以构成第一裸片的电路结构。电子元器件例如可以包括晶体管、电容电阻等等。层叠设置的第一导电层和第一绝缘层共同构成第一裸片的功能层，以便实现第一裸片的存储、逻辑或者其他功能。

15 在一些实施例中，切割道结构包括多个金属层，多个金属层位于第一连接衬底上，且多个金属层层叠设置。其中，多个金属层与部分多个第一导电层一一对应，对应的金属层和第一导电层同层设置且电性隔离。例如，第一连接衬底上可以设置有多个金属层，多个金属层可以层叠设置，且与第一绝缘连接层位于第一连接衬底的同一侧。其中，多个金属层与部分多个第一导电层一一对应且不接触，以使对应的金属层和第一导电层之间电性隔离。此处，“同层设置”是指金属层和第一导电层采用同一成膜工艺形成用于形成特定图形的膜层，然后利用同一掩模板通过一次构图工艺形成的层结构，一次构图工艺可以包括多次曝光、显影或刻蚀工艺，而形成的层结构中的特定图形的材质相同。

20 在一些实施例中，多个金属层的至少部分构成测试结构。此处，通过特定测试机台对测试结构(Testkey)进行测试，从而反应第一裸片的制作过程中的工艺波动以及侦测产线是否出现异常。

25 在一些实施例中，切割道结构包括定位标记。示例性的，第一连接衬底上设置有至少一个定位标记；和/或，至少一个第一绝缘连接层上设置有至少一个定位标记。在一些实施例中，定位标记的数量可以仅为一个。其中，定位标记可以设置在第一连接衬底上，且位于第一连接衬底和第一绝缘连接层之间；或者，定位标记可以与第一绝缘连接层层叠设置，且与第一绝缘连接层位于第一连接衬底的同一侧。在一些其他的实施例中，定位标记的数量可以为多个。其中，多个定位标记可以均位于第一连接衬底或者任一第一绝缘连接层上；或者，多个定位标记中，一部分定位标记位于第一连接衬底上，另一部分定位标记与第一绝缘连接层层叠设置（例如，一个定位标记可以位于一个第一绝缘连接层上，本实施例对此不进行具体限定）。

30 在一些实施例中，切割道结构包括第一子切割道结构，第一子切割道结构沿第一方向延伸，第一子切割道结构沿第二方向的长度的取值范围为80微米-120微米；其中，第一方向与第二方向垂直，且均平行于封装基板；和/或，切割道结构包括第二子切割道结构；其中，第一子切割道结构沿第一方向延伸，第二子切割道结构沿第二方向延伸，第二子切割道结构沿第一方向的长度的取值范围为80微米-120微米；其中，第一方向与第二方向垂直，且均平行于封装基板。通过上述设置，有利于进一步缩小第一芯片结构层中相邻第一裸片之间的间距，进一步提高第一芯片结构层的存储容量。

35 在一些实施例中，第一芯片结构层的数量为多个，多个第一芯片结构层沿第三方向层叠设置，第三方向垂直于封装基板。其中，相邻的两个第一芯片结构层之间电连接。以使每个第一芯片结构层均与封装基板电连接。通过设置多个第一芯片结构层，有利于进一步提高芯片集成结构的性能。例如，当第一裸片包括存储容量时，有利于提高芯片集成结构的存储容量；当第一裸片包括逻辑芯片时，有利于提高芯片集成结构的计算处理速率。

40 在一些实施例中，芯片集成结构还包括第一重布线层。第一重布线层位于相邻两个第一芯片

结构层之间。其中，第一重布线层包括层叠设置的第一部分和第二部分，第一部分与一个第一芯片结构层电连接，第二部分与另一个第一芯片结构层电连接。第一部分可以位于第一重布线层的上方，用于将相邻两第一芯片结构层中位于上方的第一芯片结构层的布线重新布局；相应的，第二部分可以位于第一重布线层的下方，用于将相邻两第一芯片结构层中位于下方的第一芯片结构层的布线重新布局。通过将第一重布线层的第一部分和第二部分电连接在一起，可以使相邻的两个第一芯片结构层之间通过第一重布线层电连接。其中，第一部分和第二部分的材质可以包括材料例如可以包括铜、铝、镍、金、银、钛、钴、钨等中的一种或多种导电材料，或者其他导电合金材料。

第一重布线层还包括第一键合部和第二键合部，第一键合部位于第一部分靠近第二部分的一侧，第二键合部位于第二部分靠近第一部分的一侧，第二部分与第一部分通过第一键合部和第二键合部键合。此处，键合（Bonding），是将两片表面清洁、原子级平整的同质或异质半导体材料经表面清洗和活化处理，在一定条件下直接结合，通过范德华力、分子力甚至原子力使晶片键合成为一体的技术。比如，键合方式例如可以为混合键合（Hybrid Bonding）。其中，第一键合部位于第一部分靠近第二部分的一侧，第二键合部位于第二部分靠近第一部分的一侧。示例性的，第一键合部的数量为多个，第二键合部的数量为多个，多个第一键合部和多个第二键合部一一对应设置。通过上述设置，由于第一键合部和第二键合部沿第三方向的长度较小，有利于减小相邻第一芯片结构层之间的间距，便于布置更多线路，实现相邻第一芯片结构层之间进行更多线路的信息传输以实现更多功能，同时，还有利于降低芯片集成结构的厚度。

在一些实施例中，第一键合部靠近第二部分的一端的截面面积大于靠近第一部分的一端的截面面积；和/或，第二键合部靠近第一部分的一端的截面面积大于靠近第二部分的一端的截面面积。此处，“截面面积”是指第一键合部和/或第二键合部沿第一方向上的截面面积。通过上述设置，便于第一键合部靠近第二部分的一端与第二键合部靠近第一部分的一端接触，有利于实现第一键合部和第二键合部之间的键合，保证第一重布线层的导电性能。

在一些实施例中，第一键合部包括层叠设置的第一连接垫和第二连接垫，第一连接垫相对于第二连接垫靠近第一部分，在平行于封装基板的方向上，第二连接垫的截面面积大于第一连接垫的截面面积。和/或，第二键合部包括层叠设置的第三连接垫和第四连接垫，第三连接垫相对于第四连接垫靠近第二部分，在平行于封装基板的方向上，第四连接垫的截面面积大于第三连接垫的截面面积。由于第二连接垫的截面面积大于第一连接垫的截面面积，便于第一键合部通过第二连接垫与第二键合部接触；相同的，由于第四连接垫的截面面积大于第三连接垫的截面面积，便于第二键合部通过第四连接垫与第一键合部接触。通过上述设置，有利于便于第二连接垫与第四连接垫接触，有利于实现第一键合部和第二键合部之间的键合，保证第一重布线层的导电性能。

在一些实施例中，多个层叠设置的第一芯片结构层中，与封装基板之间的距离最远的第一芯片结构层为顶层结构层，位于顶层结构层和封装基板之间的第一芯片结构层为中间结构层。其中，中间结构层包括沿第三方向贯穿第一裸片的第一导电通孔，顶层结构层还通过重布线层与中间结构层的第一导电通孔电连接。示例性的，位于顶层结构层和中间结构层之间的第一重布线层中，第一部分与顶层结构层中的第一导电层电连接，第二部分与中间结构层中的第一导电通孔电连接。可见，通过设置第一导电通孔，可以实现顶层结构层与中间结构层之间的电连接。

在一些实施例中，芯片集成结构还包括第二芯片结构层，第二芯片结构层与第一芯片结构层层叠设置，第二芯片结构层包括结构芯片、第二裸片以及位于结构芯片和第二裸片之间的隔离结构。其中，第二裸片包括第二衬底以及位于第二衬底上的功能层，第一芯片结构层与第二裸片的功能层之间电连接。在一些实施例中，第二芯片结构层可以位于第一芯片结构层和封装基板之间，当然，在一些其他实施例中，第二芯片结构层还可以位于第一芯片结构层远离封装基板的一侧，本申请实施例对此不进行限定。通过设置第二裸片，有利于进一步提高芯片集成结构的性能。通过设置结构芯片，可以起到支撑的作用，有利于提高芯片集成结构的稳定性。

在一些实施例中，隔离结构的材质包括氧化硅、氮化硅以及氮氧化硅中一种或者多种的组合。通过设置隔离结构，可以实现结构芯片和第二裸片之间的结构连接。第二芯片结构层中可以包括多个隔离结构，多个隔离结构可以同步制备形成。例如，将结构芯片和第二裸片间隔设置以后，

结构芯片和第二裸片之间具有间隙，可以在间隙内填充隔离材料，以形成隔离结构。

在一些实施例中，芯片集成结构还包括第二重布线层。第二芯片结构层位于第一芯片结构层和封装基板之间，第二重布线层位于第一芯片结构层和第二芯片结构层之间，第一芯片结构层和第二芯片结构层之间通过第二重布线层电连接，第二芯片结构层与封装基板电连接。第二芯片结构层可以位于第一芯片结构层和封装基板之间，此处，第一芯片结构层为多个第一芯片结构层中最靠近封装基板的一个第一芯片结构层。第二重布线层位于第一芯片结构层和第二芯片结构层之间，第一芯片结构层和第二芯片结构层之间通过第二重布线层电连接。其中，第二重布线层的结构可以与第一重布线层的结构相同，从而有利于提高芯片集成结构的规整性，提高芯片集成结构的制备效率。

在一些实施例中，第二裸片还包括贯穿第二衬底的第二导电通孔，功能层相对于第二衬底靠近封装基板，功能层与封装基板电连接。其中，第二导电通孔的一端与功能层电连接，第二导电通孔的另一端与第二重布线层电连接。通过上述设置，第一芯片结构层中的第一裸片可以通过第二导电通孔与第二裸片的功能层电连接，进一步地，第一裸片中的第一导电层可以通过第二导电通孔与功能层中的第二导电层电连接。如上述实施例中所述，由于第二裸片可以通过第二连接件与封装基板电连接，且功能层相对于第二衬底靠近封装基板，第二连接件中的中间重布线层可以用于将功能层中的布线重新布置，以使功能层通过第二连接件与封装基板电连接。综上所述，通过上述设置，可以实现第一芯片结构层、第二芯片结构层与封装基板三者中两两之间的电连接。

在一些实施例中，第二裸片还包括贯穿第二衬底的第二导电通孔，功能层相对于第二衬底远离封装基板，功能层与第二重布线层电连接。其中，第二导电通孔的一端与功能层电连接，第二导电通孔的另一端与封装基板电连接。通过上述设置，第一芯片结构层中的第一裸片可以与功能层电连接，进一步地，第一裸片的第一导电层可以与功能层的第二导电层电连接。如上述实施例中所述，由于第二裸片可以通过第二连接件与封装基板电连接，且第二导电通孔的一端与封装基板电连接，第二导电通孔的一端可以与第二连接件电连接。由于第二导电通孔的一端与功能层电连接，第二导电通孔的一端可以与功能层的第一导电层电连接。综上所述，通过上述设置，可以实现第一芯片结构层、第二芯片结构层与封装基板三者中两两之间的电连接。

在一些实施例中，还包括第三裸片，第三裸片与第一芯片结构层层叠设置，第三裸片与封装基板电连接。示例性的，第三裸片可以位于第一芯片结构层和第二芯片结构层之间，此处，该第一芯片结构层为多个第一芯片结构层中最靠近封装基板的一个第一芯片结构层。第三裸片还分别与第一芯片结构层和第二芯片结构层电连接，以使第三裸片与封装基板电连接。第三裸片包括第三衬底和位于第三衬底一侧的第三导电层。例如，第三裸片与第一芯片结构层之间的堆叠方式可以为第三衬底面对功能层（Back-to-Face, B2F）。通过设置第三裸片，有利于进一步提高芯片集成结构的性能。

另一方面，还提供一种芯片集成结构的制备方法，包括：提供封装基板。提供第一芯片结构层，第一芯片结构层包括切割道结构和多个第一裸片，切割道结构连接多个第一裸片，且将多个第一裸片分隔开。将第一芯片结构层设置在封装基板的一侧，并使第一芯片结构层与封装基板电连接。综上所述，通过上述设置，有利于缩小第一芯片结构层中相邻第一裸片之间的间距，进而提高第一芯片结构层中单位面积内第一裸片的数量，从而提升芯片集成结构的性能。例如，当第一裸片包括存储容量时，第一芯片结构层中单位面积内第一裸片的数量增加，有利于提高第一芯片结构层的存储容量，进而有利于提高芯片集成结构的存储容量；当第一裸片包括逻辑芯片时，第一芯片结构层中单位面积内第一裸片的数量增加，有利于提高第一芯片结构层的计算处理速率，进而有利于提高芯片集成结构的计算处理速率。

在一些实施例中，第一芯片结构层的数量为多个。将第一芯片结构层设置在封装基板的一侧，并使第一芯片结构层与封装基板电连接，包括：将多个第一芯片结构层依次层叠设置在封装基板上，其中，多个第一芯片结构层中，最靠近封装基板的第一芯片结构层与封装基板电连接，且任意相邻的两个第一芯片结构层之间电连接。如上述实施例中所述，相邻的第一芯片结构层可以通过第一重布线层进行电连接。在将多个第一芯片结构层依次层叠设置在封装基板的过程中，可以在设置一个第一芯片结构层以后，再改第一芯片结构层远离封装基板的一侧设置一个第一重布线

层, 然后在第一重布线层远离封装基板的一侧设置第二个第一芯片结构层.....依次类推, 通过上述设置可以实现任意相邻的两个第一芯片结构层之间电连接。

在一些实施例中, 将第一芯片结构层设置在封装基板的一侧, 并使第一芯片结构层与封装基板电连接之前, 还包括: 在载片上形成第二芯片结构层; 将第一芯片结构层设置在第二芯片结构层远离载片的一侧, 并使第一芯片结构层与第二芯片结构层电连接。将第一芯片结构层设置在封装基板的一侧, 并使第一芯片结构层与封装基板电连接, 包括: 去除载片; 将第二芯片结构层远离第一芯片结构层的一侧与封装基板电连接。通过上述步骤, 可以实现封装基板、第二芯片结构层以及第一芯片结构层之间的层叠设置及电连接, 从而形成芯片集成结构。

在一些实施例中, 在载片上形成第二芯片结构层, 包括: 从第一晶圆中挑选结构芯片, 并将挑选的结构芯片设置在载片上; 从第二晶圆中挑选第二裸片, 并将挑选的第二裸片设置在载片上; 在结构芯片和第二裸片之间形成隔离结构, 结构芯片、第二裸片和隔离结构共同构成第二芯片结构层。通过上述设置, 可以在载片上形成第二芯片结构层, 从而提高芯片集成结构的性能。

在一些实施例中, 将第一芯片结构层设置在封装基板的一侧, 并使第一芯片结构层与封装基板电连接之前, 还包括: 在第一芯片结构层上形成第二芯片结构层, 并使第一芯片结构层与第二芯片结构层电连接。将第一芯片结构层设置在封装基板的一侧, 并使第一芯片结构层与封装基板电连接, 还包括: 将第二芯片结构层远离第一芯片结构层的一侧与封装基板电连接。通过上述步骤, 可以实现封装基板、第二芯片结构层以及第一芯片结构层之间的层叠设置及电连接, 从而形成芯片集成结构。

在一些实施例中, 在第一芯片结构层上形成第二芯片结构层, 并使第一芯片结构层与第二芯片结构层电连接, 包括: 从第一晶圆中挑选结构芯片, 并将挑选的结构芯片设置在第一芯片结构层上, 使结构芯片与第一芯片结构层连接; 从第二晶圆中挑选第二裸片, 并将挑选的第二裸片设置在第一芯片结构层上, 使第二裸片与第一芯片结构层电连接; 在结构芯片和第二裸片之间形成隔离结构, 结构芯片、第二裸片和隔离结构共同构成第二芯片结构层。通过上述设置, 可以在第一芯片结构层上形成第二芯片结构层, 从而提高芯片集成结构的性能。

又一方面, 还提供一种电子设备, 包括印刷电路板和如上述实施例中的芯片集成结构, 所述芯片集成结构与所述印刷电路板电性连接。

本申请的实施例提供的电子设备包括如上述的芯片集成结构, 因此具有上述的全部有益效果, 在此不再赘述。

附图说明

- 图 1 为本申请实施例提供的一种电子设备的结构图;
图 2 为目前一些实施例提供的一种芯片堆叠结构的结构图;
图 3 为目前一些实施例提供的一种芯片晶圆的结构图;
图 4 为本申请实施例提供的一种芯片集成结构的结构图;
图 5 为本申请实施例提供的一种第一芯片结构层的俯视图;
图 6 为本申请实施例提供的一种晶圆的结构图;
图 7 为本申请实施例提供的一种第一芯片结构层的剖面图;
图 8 为图 7 中第一芯片结构层沿 S1-S2 剖面线的剖面图;
图 9 为本申请实施例提供的一种第一芯片结构层的剖面图;
图 10 为本申请实施例提供的另一种第一芯片结构层的俯视图;
图 11 为本申请实施例提供的另一种芯片集成结构的结构图;
图 12 为本申请实施例提供的另一种芯片集成结构的结构图;
图 13 为本申请实施例提供的又一种芯片集成结构的结构图;
图 14 为本申请实施例提供的再一种芯片集成结构的结构图;
图 15 为本申请实施例提供的一种芯片集成结构的制备方法的步骤流程图;
图 16 为本申请实施例提供的又一种芯片集成结构的制备方法的步骤流程图;
图 17 为图 16 中的芯片集成结构的制备方法中的制备过程的结构图;
图 18 为本申请实施例提供的又一种芯片集成结构的制备方法的步骤流程图;

图 19 为图 18 中的芯片集成结构的制备方法中的制备过程芯片集成结构的结构图。

具体实施方式

下面将结合本申请实施例中的附图，对本申请实施例中的技术方案进行描述，显然，所描述的实施例仅仅是本申请一部分实施例，而不是全部的实施例。

以下，术语“第一”、“第二”等仅用于描述方便，而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此，限定有“第一”、“第二”等的特征可以明示或者隐含地包括一个或者更多个该特征。在本申请的描述中，除非另有说明，“多个”的含义是两个或两个以上。

在本申请实施例中，除非另有明确的规定和限定，术语“电连接”可以是直接的电性连接，也可以通过中间媒介间接的电性连接。

在本申请实施例中，“示例性的”或者“例如”等词用于表示作例子、例证或说明。本申请实施例中描述为“示例性的”或者“例如”的任何实施例或设计方案不应被解释为比其它实施例或设计方案更优选或更具优势。确切而言，使用“示例性的”或“例如”等词旨在以具体方式呈现相关概念。

在本申请实施例中，“和/或”，描述关联对象的关联关系，表示可以存在三种关系，例如，A 和/或 B，可以表示：单独存在 A，同时存在 A 和 B，单独存在 B 的情况，其中 A，B 可以是单数或者复数。字符“/”一般表示前后关联对象是一种“或”的关系。

在本申请实施例中，例如上、下、左、右、前和后等用于解释本申请中不同部件的结构和运动的方向指示是相对的。当部件处于图中所示的位置时，这些指示是恰当的。但是，如果元件位置的说明发生变化，那么这些方向指示也将会相应地发生变化。

图 1 为本申请实施例提供的一种电子设备的结构图。该电子设备 1000 可以包括图像传感器、NAND 闪存、高带宽存储器、手机 (mobile phone)、平板电脑 (pad)、电视、智能穿戴产品 (例如，智能手表、智能手环)、虚拟现实 (virtual reality, VR) 终端设备、增强现实 (augmented reality, AR) 终端设备等电子产品。本申请实施例对上述电子设备 1000 的具体形式不做特殊限制。

上述电子设备 1000 可以包括印刷电路板 3 (printed circuit board, PCB)、芯片集成结构 1 以及设置在印刷电路板 3 和芯片集成结构 1 之间的第一连接件 2，芯片集成结构 1 通过第一连接件 2 与印刷电路板 3 电连接。第一连接件 2 例如可以为球栅阵列 (ball grid array, BGA)。

图 2 为目前一些实施例提供的一种芯片堆叠结构 91 的结构图。如图 2 所示，芯片堆叠结构 91 包括封装基板 911 (substrate) 和多个堆叠层 912，多个堆叠层 912 在封装基板 911 的一侧堆叠设置，且任一堆叠层 912 均与封装基板 911 电连接。其中，每一堆叠层 912 中可以包括多个芯片 921，每一芯片 921 靠近封装基板 911 的一侧均设置有一个导电柱 913，芯片 921 通过相应的导电柱 913 与封装基板 911 电连接。

图 3 为目前一些实施例提供的一种芯片晶圆 92 的结构图。如图 3 所示，在上述芯片堆叠结构 91 的制作过程中，需要在芯片晶圆 92 上进行挑选，并将挑选后的功能芯片 921 间隔设置，以形成堆叠层。可以理解的是，在晶圆 (wafer) 上生长外延层后，形成了所述的芯片晶圆 92。芯片晶圆 92 包括切割道结构 922 和芯片 921，切割道结构 922 将多个芯片 921 分隔开。在切割芯片晶圆 92 时，激光会照射切割道结构 922，对切割道结构 922 加热，以在切割道结构 922 上画出切割槽，便于实现功能芯片之间的分离。通过上述工艺步骤，可以得到所需的芯片 921，该芯片 921 即为裸芯片 (die)。

然而，通过挑选的方式形成堆叠层 912，同一堆叠层 912 中相邻芯片 921 之间的间隔较大，导致同一堆叠层 912 的单位面积内，设置的芯片 921 的数量降低，进而导致堆叠层 912 的性能较差。例如，当芯片 921 为存储容量时，同一堆叠层 912 的单位面积内存储容量较小；当芯片 921 为逻辑芯片 (logic) 时，同一堆叠层的单位面积内计算处理能力降低。同时，通过挑选的方式形成堆叠层 912，需要进行多次切割以得到多个芯片 921，制备工艺较为复杂，加工效率较低，进而导致产品产出效率也降低。

基于此，本申请实施例提供一种芯片集成结构 1。本申请实施例所提供的芯片集成结构 1 可以应用于大容量、高宽带需求下的中央处理器 (Central Processing Unit, CPU)、图形处理器 (graphics processing unit, GPU)、AI 芯片等。

图 4 为本申请实施例提供的一种芯片集成结构 1 的结构图。如图 4 所示，芯片集成结构 1 包

括封装基板 30 和第一芯片结构层 10。其中，第一芯片结构层 10 位于封装基板 30 的一侧，且与封装基板 30 电连接。

如上述实施例所示，芯片集成结构 1 可以通过第一连接件 2 与印刷电路板 3 电连接，即指芯片集成结构 1 中的封装基板 30 通过第一连接件 2 与印刷电路板 3 电连接。由于第一芯片结构层 10 通过第二连接件 20 与封装基板 30 电连接，封装基板 30 通过第一连接件 2 与印刷电路板 3 电连接，从而可以实现芯片集成结构 1 与电子设备 1000 的通信。

如图 4 所示，第一芯片结构层 10 和封装基板 30 之间可以设置有第二连接件 20，第一芯片结构层 10 可以通过第二连接件 20 与封装基板 30 电连接。第二连接件 20 例如可以包括中间重布线层 21 (Redistribution Layer, RDL)，中间重布线层 21 位于第一芯片结构层 10 和封装基板 30 之间，中间重布线层 21 用于将第一芯片结构层 10 的布线重新布局，方便在中间重布线层 21 上制备其他需要的结构。第二连接件 20 例如还可以包括凸块 22 (Micro Bump, uBump)，凸块 22 位于中间重布线层 21 和封装基板 30 之间，中间重布线层 21 通过凸块 22 与封装基板 30 电连接。凸块 22 的材质例如可以包括锡等金属。

继续参照图 4，第一芯片结构层 10 包括切割道结构 12 和多个第一裸片 11。其中，切割道结构 12 连接多个第一裸片 11，且将多个第一裸片 11 分隔开。本申请实施例中，第一芯片结构层 10 中第一裸片 11 的数量不进行限定，可以根据应用需要进行设置。进一步地，第一芯片结构中，多个第一裸片 11 的尺寸可以相同也可以不相同，本申请实施例对此不进行具体限定。

其中，第一裸片 11 具有电性功能。此处，“电性功能”是指第一裸片 11 具有器件且能够上电工作。第一裸片 11 可以包括数字芯片、模拟芯片以及光芯片等等。例如，可以为存储芯片、逻辑芯片或其它任何功能的芯片等，存储芯片例如可以动态随机存取存储 (dynamic random access memory, DRAM) 芯片。此外，第一芯片结构层 10 中的多个第一裸片 11 可以是同一类型芯片，例如均为存储芯片；也可以是不同类型芯，例如可以使用相应工艺在同一片晶圆上加工出不同类型的芯片。基于此，本申请实施例提供的第一裸片 11 可以实现同类或不同类芯片之间的集成。

图 5 为本申请实施例提供的一种第一芯片结构层 10 的俯视图。如图 5 所示，第一芯片结构层 10 可以包括三个第一裸片 11，三个第一裸片 11 并列排布，且相邻第一裸片 11 之间通过切割道结构 12 连接。图 6 为本申请实施例提供的一种晶圆的结构图。如图 5 和图 6 所示，晶圆 100 包括切割道结构 12 和多个裸芯片 (die)，切割道结构 12 将多个裸芯片分隔开。

结合图 5 和图 6 所示，图 5 中的第一裸片 11 可以从图 6 中的晶圆 100 中得到的。示意性的，以图中 A 处的切割道结构 12 为例进行说明，由于 A 处的切割道结构 12 中围设在相邻的三个裸芯片外围，沿 A 处的切割道结构 12 进行切割以后，相邻的三个裸芯片从晶圆 100 中分离出来，且三个裸芯片之间的切割道结构 12 (如图中 B 处的切割道结构 12) 得到保留，也即得到了图 5 中具有三个第一裸片 11 的第一芯片结构层 10。其中，三个裸芯片即为第一芯片结构层 10 中的三个第一裸片 11，三个裸芯片之间保留的切割道结构 12 即为第一芯片结构层 10 中的切割道结构 12。

综上所述，由于切割道结构 12 连接多个第一裸片 11，且将多个第一裸片 11 分隔开。每个第一裸片 11 均为一个裸芯片，也即，多个第一裸片 11 为位于同一晶圆 100 中的多个裸芯片，且相邻的裸芯片之间通过切割道结构 12 连接，也即该多个第一裸片之间的切割道区域未被切割，故保留有切割道结构。通过上述设置，有利于缩小第一芯片结构层 10 中相邻第一裸片 11 之间的间距，进而提高第一芯片结构层 10 中单位面积内第一裸片 11 的数量，从而提升芯片集成结构 1 的集成度，进而提升芯片集成结构 1 的性能。例如，当第一裸片 11 包括存储芯片时，第一芯片结构层 10 中单位面积内第一裸片 11 的数量增加，有利于提高第一芯片结构层 10 的存储容量，进而有利于提高芯片集成结构 1 的存储容量；当第一裸片 11 包括逻辑芯片时，第一芯片结构层 10 中单位面积内第一裸片 11 的数量增加，有利于提高第一芯片结构层 10 的计算处理速率，进而有利于提高芯片集成结构 1 的计算处理速率。

同时，由于多个第一裸片 11 为位于同一晶圆 100 中的多个裸芯片，可以通过一次切割得到多个第一裸片 11，有利于提高芯片集成结构 1 的加工效率，进而提高单位时间内芯片集成结构 1 的产量。

可以理解的是，目前的较为常见的另一种芯片堆叠结构中，通常将多个功能芯片堆叠设置，

也即每一堆叠层包括一个功能芯片。本申请实施例提供的芯片集成结构 1，通过切割道结构 12 连接多个第一裸片 11，且将多个第一裸片 11 分隔开，在堆叠层数相同的情况下，相比于目前的芯片堆叠结构，可以实现性能的成倍的提升。

图 7 为本申请实施例提供的一种第一芯片结构层 10 的剖面图。参照图 7，第一裸片 11 可以包括第一衬底 111，切割道结构 12 可以包括第一连接衬底 121；第一连接衬底 121 与第一衬底 111 相连，且同层设置。示例性的，相邻的第一衬底 111 之间可以通过第一连接衬底 121 连接。此处，“同层设置”是指第一衬底 111 和第一连接衬底 121 采用同一成膜工艺形成用于形成特定图形的膜层，然后利用同一掩模板通过一次构图工艺形成的层结构，一次构图工艺可以包括多次曝光、显影或刻蚀工艺，而形成的层结构中的特定图形的材质相同。

其中，第一衬底 111 和第一连接衬底 121 的材料可以相同，例如第一衬底 111 和第一连接衬底 121 可以是半导体材料构成，可以是硅衬底、砷化镓(GaAs)衬底、磷酸镓砷(GaAsP)衬底、碳化硅(SiC)衬底等。当然，第一衬底 111 和第一连接衬底 121 的材质也可以包括其他材质，本申请实施例对此不进行具体限定。

继续参照图 7，第一裸片 11 可以包括密封圈(seal ring)113，密封圈 113 位于第一裸片 11 的边缘区域，且密封圈 113 与切割道结构 12 相邻接。示例性的，第一裸片 11 的边缘区域可以为沿第一裸片 11 的周向方向设置一周的区域，也即，密封圈 113 沿第一裸片 11 的周向方向设置一周。图 8 为图 7 中第一芯片结构层 10 沿 S1-S2 剖面线的剖面图。如图 8 所示，密封圈 113 包括多个层叠设置的密封层 113A 以及多个密封插塞 113B，一个密封插塞 113B 位于相邻的两个密封层 113A 之间，且密封插塞 113B 与相邻的两个密封层 113A 之间接触。可以理解的是，在对与第一裸片 11 相邻接的切割道结构进行切割时，应力容易传递至第一裸片 11 内，导致第一裸片 11 内损伤，进而导致第一裸片 11 的性能降低。通过设置密封圈 113，有利于减小传递至第一裸片 11 内的应力，进而降低第一裸片 11 的出现损伤的现象，有利于提高第一裸片 11 的性能。

继续参照图 7，第一裸片 11 可以包括多个第一绝缘层 1121，多个第一绝缘层 1121 位于第一衬底 111 上，且多个第一绝缘层 1121 层叠设置；切割道结构 12 包括多个第一绝缘连接层 122，多个第一绝缘连接层 122 位于第一连接衬底 121 上，且多个第一绝缘连接层 122 层叠设置。其中，多个第一绝缘连接层 122 与多个第一绝缘层 1121 一一对应连接，且对应连接的第一绝缘连接层 122 与第一绝缘层 1121 同层设置。示例性的，相邻的第一裸片 11 中的对应的两个第一绝缘层 1121 之间通过对应的第一绝缘连接层 122 连接。此处，“同层设置”是指第一绝缘层 1121 和第一绝缘连接层 122 采用同一成膜工艺形成用于形成特定图形的膜层，然后利用同一掩模板通过一次构图工艺形成的层结构，一次构图工艺可以包括多次曝光、显影或刻蚀工艺，而形成的层结构中的特定图形的材质相同。

其中，第一绝缘层 1121 和第一绝缘连接层 122 的材质可以包括氧化硅、氮化硅以及氮氧化硅中一种或者多种的组合。当然，第一绝缘层 1121 和第一绝缘连接层 122 的材质也可以包括其他材质，本申请实施例对此不进行具体限定。

图 9 为本申请实施例提供的一种第一芯片结构层 10 的剖面图。参照图 9，第一裸片 11 还可以包括多个第一导电层 1122，多个第一导电层 1122 位于第一衬底 111 上，且多个第一导电层 1122 层叠设置。示例性的，第一导电层 1122 与第一绝缘层 1121 位于第一衬底 111 的同一侧。如上述实施例中所述，切割道结构 12 包括多个第一绝缘连接层 122，多个第一绝缘连接层 122 位于第一连接衬底 121 上，且多个第一绝缘连接层 122 层叠设置。其中，多个第一绝缘连接层 122 与多个第一导电层 1122 可以数量相同。示例性的，多个第一绝缘连接层 122 和多个第一导电层 1122 可以一一对应，以使多个第一绝缘连接层 122 与多个第一导电层 1122 数量相同。第一导电层 1122 包括多层金属线路，金属线路用于将多个电子元器件电连接在一起，以构成第一裸片 11 的电路结构。电子元器件例如可以包括晶体管、电容电阻等等。层叠设置的第一导电层 1122 和第一绝缘层 1121 共同构成第一裸片 11 的功能层 112，以便实现第一裸片 11 的存储、逻辑或者其他功能。当然，在一些其他的实施例中，多个第一绝缘连接层 122 的数量可以大于多个第一导电层 1122 的数量，且多个第一导电层 1122 可以与部分第一绝缘连接层 122 一一对应，本申请实施例对此不进行限定。

在一些实施例中，结合图 4 所示，第一绝缘层 1121 可以相对于第一衬底 111 靠近封装基板 30，相应的，第一绝缘连接层 122 相对于第一连接衬底 121 靠近封装基板 30。当然，在一些其他的实施例中，相应的，第一绝缘层 1121 可以相对于第一衬底 111 远离封装基板 30，第一绝缘连接层 122 相对于第一连接衬底 121 远离封装基板 30。

5 参照图 7，切割道结构 12 可以包括定位标记 123。示例性的，第一连接衬底 121 上可以设置有至少一个定位标记 123。在一些实施例中，定位标记 123 的数量可以仅为一个。其中，定位标记 123 可以设置在第一连接衬底 121 上，且位于第一连接衬底 121 和第一绝缘连接层 122 之间。在一些其他的实施例中，定位标记 123 的数量可以为多个。其中，多个定位标记 123 可以均位于第一连接衬底 121 上。通过在第一连接衬底 121 上设置有至少一个定位标记 123，定位标记 123 可以在制备第一绝缘层 1121 和第一绝缘连接层 122 的过程中起到定位的作用。

10 参照图 7，示例性的，至少一个第一绝缘连接层 122 上可以设置有至少一个定位标记 123。在一些实施例中，定位标记 123 的数量可以仅为一个。定位标记 123 位于第一绝缘连接层 122 上，且与第一绝缘连接层 122 位于第一连接衬底 121 的同一侧。在一些其他的实施例中，定位标记 123 的数量可以为多个。其中，多个定位标记 123 可以均位于第一连接衬底 121 或者任一第一绝缘连接层 122 上；此处，定位标记 123 可以在制备第一绝缘层 1121 和第一绝缘连接层 122 的过程中起到定位的作用。

15 在一些其他实施例中，多个定位标记 123 中，一部分定位标记 123 位于第一连接衬底 121 上，另一部分定位标记 123 位于第一绝缘连接层 122 上（例如，一个定位标记 123 可以位于一个第一绝缘连接层 122 上，本申请实施例对此不进行具体限定）。

20 继续参照图 9，切割道结构 12 包括多个金属层 124，多个金属层 124 位于第一连接衬底 121 上，且多个金属层 124 层叠设置。其中，多个金属层 124 与部分多个第一导电层 1122 一一对应，对应的金属层 124 和第一导电层 1122 同层设置且电性隔离。例如第一绝缘连接层 122 上可以设置多个金属层 124，多个金属层 124 可以层叠设置，且与第一绝缘连接层 122 位于第一连接衬底 121 的同一侧。其中，多个金属层 124 与部分多个第一导电层 1122 一一对应且不接触，以使对应的金属层 124 和第一导电层 1122 之间电性隔离。此处，“同层设置”是指金属层 124 和第一导电层 1122 采用同一成膜工艺形成用于形成特定图形的膜层，然后利用同一掩模板通过一次构图工艺形成的层结构，一次构图工艺可以包括多次曝光、显影或刻蚀工艺，而形成的层结构中的特定图形的材质相同。

25 在一些实施例中，多个金属层 124 的至少部分构成测试结构。此处，通过特定测试机台对测试结构（Testkey）进行测试，从而反应第一裸片 11 的制作过程中的工艺波动以及侦测产线是否出现异常。

30 图 10 为本申请实施例提供的另一种第一芯片结构层 10 的俯视图。如图 10 所示，切割道结构 12 可以包括第一子切割道结构 12A。其中，第一子切割道结构 12A 沿第一方向 X 延伸，且均平行于封装基板 30。在一些实施例中，第一子切割道结构 12A 沿第二方向 Y 的长度 H1 的取值范围可以为 80 微米-120 微米。例如，第一子切割道结构 12A 沿第二方向 Y 的长度 H1 可以为 80 微米、90 微米或者 120 微米。

35 如图 10 所示，切割道结构 12 可以包括第二子切割道结构 12B。第二子切割道结构 12B 沿第二方向 Y 延伸，第一方向 X 与第二方向 Y 垂直，且均平行于封装基板 30。第二子切割道结构 12B 沿第一方向 X 的长度 H2 的取值范围可以为 80 微米-120 微米。例如，第二子切割道结构 12B 沿第一方向 X 的长度 H2 可以为 80 微米、90 微米或者 120 微米。

40 当然，在一些其他的实施例中，第一子切割道结构 12A 沿第二方向 Y 的长度 H1 还可以大于 120 微米，第二子切割道结构 12B 沿第一方向 X 的长度 H2 还可以大于 120 微米，本申请实施例不进行具体限定。

45 示例性的，第一芯片结构层 10 可以包括六个第一裸片 11，且六个第一裸片 11 阵列排布。相应的，切割道结构 12 可以包括沿第一方向 X 延伸的一条第一子切割道结构 12A 和沿第二方向 Y 延伸的两条第二子切割道结构 12B。通过上述设置，有利于进一步缩小第一芯片结构层 10 中相邻第一裸片 11 之间的间距，进一步提高第一芯片结构层 10 的存储容量。

图 11 为本申请实施例提供的另一种芯片集成结构 1 的结构图。如图 11 所示，芯片集成结构 1 还可以包括第二芯片结构层 40，第二芯片结构层 40 与第一芯片结构层 10 层叠设置，第二芯片结构层 40 与封装基板 30 电连接。在一些实施例中，第二芯片结构层 40 可以位于第一芯片结构层 10 和封装基板 30 之间，当然，在一些其他实施例中，第二芯片结构层 40 还可以位于第一芯片结构层 10 远离封装基板 30 的一侧，本申请实施例对此不进行限定。通过设置第二芯片结构，有利于进一步提高芯片集成结构 1 的性能。下面仅以第二芯片结构层 40 位于第一芯片结构层 10 和封装基板 30 之间的实施例进行说明。

继续参照图 11，第二连接件 20 可以位于第二芯片结构层 40 和封装基板 30 之间，且第一芯片结构层 10 通过第二芯片结构层 40 与第二连接件 20 电连接，由于第二连接件 20 还与封装基板 30 电连接，第一芯片结构层 10 可以通过第二芯片结构层 40 和第二连接件 20 与封装基板 30 电连接。

继续参照图 11，第二芯片结构层 40 可以包括结构芯片 41、第二裸片 42 以及位于结构芯片 41 和第二裸片 42 之间的隔离结构 43。示例性的，第二芯片结构可以包括一个第二裸片 42 和两个结构芯片 41，两个结构芯片 41 分别位于第二裸片 42 图示位置的左侧和右侧，第二裸片 42 与结构芯片 41 之间通过隔离结构 43 连接。

其中，结构芯片 41 可以包括结构衬底 411，结构衬底 411 的材质可以与第一衬底 111 的材质相同，在此不再赘述。当然，结构衬底 411 的材质可以与第一衬底 111 的材质不相同，本申请实施例对此不进行限定。通过设置结构芯片 41，可以起到支撑的作用，有利于提高芯片集成结构 1 的稳定性。当然，在一些其他的实施例中，还可以根据实际需要设置结构芯片 41 的数量，或者省略结构芯片 41。

在一些实施例中，结构芯片 41 还可以包括贯穿结构衬底 411 的中间导电通孔 412，中间导电通孔 412 的一端与第一裸片 11 的第一导电层 1122 电连接，中间导电通孔 412 的另一端与第二连接件 20 电连接，以使第一裸片 11 的第一导电层 1122 可以通过结构芯片 41 与第二连接件 20 电连接，并进一步与封装基板 30 电连接。其中，中间导电通孔 412 可以是硅通孔 (TSV, Through Silicon Via)，也可以是其他材质的通孔，可以在通孔内填充导电材料以保证导电功能。

其中，通过设置隔离结构 43，可以实现结构芯片 41 和第二裸片 42 之间的结构连接。第二芯片结构层 40 中可以包括多个隔离结构 43，多个隔离结构 43 可以同步制备形成。例如，将结构芯片 41 和第二裸片 42 间隔设置以后，结构芯片 41 和第二裸片 42 之间具有间隙，可以在间隙内填充隔离材料，以形成隔离结构 43。隔离结构 43 的材质例如可以包括氧化硅、氮化硅以及氮氧化硅中一种或者多种的组合。当然，隔离结构 43 的材质还可以包括其他材料，以实现电性隔离的效果，本申请实施例对此不进行特殊限定。

在一些实施例中，隔离结构 43 沿第一方向 X 的长度 H3 可以大于 50 微米，例如，隔离结构 43 沿第一方向的长度 H3 可以为 50 微米、100 微米或者 150 微米。通过上述设置，有利于缩小第二裸片 42 与结构芯片 41 之间的间距，进而缩小第二芯片结构层 40 的尺寸，进一步提高芯片集成结构 1 的性能。

此处，对于第二裸片 42 的类型不进行限定，第二裸片 42 的类型可以与第一裸片 11 的类型相同，或者第二裸片 42 的类型也可以与第一裸片 11 不同。如上述实施例中所述，第二裸片 42 具有电性功能。此处，“电性功能”是指第二裸片 42 具有器件且能够上电工作。第二裸片 42 可以包括数字芯片、模拟芯片以及光芯片等等，例如可以为存储芯片、逻辑芯片或其它任何功能的芯片等，本申请实施例对此不进行具体限定。

其中，第二裸片 42 可以包括第二衬底 421 以及位于第二衬底 421 上的功能层 422，第一芯片结构层 10 与第二裸片 42 的功能层 422 之间电连接。第二衬底 421 的材质可以包括氧化硅、氮化硅以及氮氧化硅中一种或者多种的组合。功能层 422 可以包括第二导电层 4221，第二导电层 4221 包括多层金属线路，金属线路用于将多个电子元器件电连接在一起，以构成第二裸片 42 的电路结构。示例性的，第一芯片结构层 10 中的第一裸片 11 的第一导电层 1122 可以与第二裸片 42 的第二导电层 4221 之间电连接，且第二裸片 42 还与封装基板 30 电连接，以实现封装基板 30 分别与第一裸片 11 和第二裸片 42 之间的通信。如上述实施例中所述，由于第二芯片结构层 40 可以通过

第二连接件 20 与封装基板 30 电连接, 第二芯片结构层 40 中第二裸片 42 可以通过第二连接件 20 与封装基板 30 电连接。

继续参照图 11, 第二裸片 42 还可以包括贯穿第二衬底 421 的第二导电通孔 423。在一些实施方式中, 功能层 422 相对于第二衬底 421 靠近封装基板 30, 功能层 422 与封装基板 30 电连接。

5 示例性的, 第二导电通孔 423 可以沿第三方向 Z 贯穿第二衬底 421, 第三方向 Z 垂直于封装基板 30。其中, 第二导电通孔 423 的一端与功能层 422 电连接, 第二导电通孔 423 的另一端与第一芯片结构层 10 电连接。

通过上述设置, 第一芯片结构层 10 中的第一裸片 11 可以通过第二导电通孔 423 与第二裸片 42 的功能层 422 电连接, 进一步地, 第一裸片 11 中的第一导电层 1122 可以通过第二导电通孔 423 与功能层 422 中的第二导电层 4221 电连接。如上述实施例中所述, 由于第二裸片 42 可以通过第二连接件 20 与封装基板 30 电连接, 且功能层 422 相对于第二衬底 421 靠近封装基板 30, 第二连接件 20 中的中间重布线层 21 可以用于将功能层 422 中的布线重新布置, 以使功能层 422 通过第二连接件 20 与封装基板 30 电连接。综上所述, 通过上述设置, 可以实现第一芯片结构层 10、第二芯片结构层 40 与封装基板 30 三者中两两之间的电连接。

15 图 12 为本申请实施例提供的另一种芯片集成结构 1 的结构图。如图 12 所示, 在一些其他的实施方式中, 功能层 422 相对于第二衬底 421 远离封装基板 30, 功能层 422 与第一芯片结构层 10 电连接。其中, 第二导电通孔 423 的一端与功能层 422 电连接, 第二导电通孔 423 的另一端与封装基板 30 电连接。通过上述设置, 第一芯片结构层 10 中的第一裸片 11 可以与功能层 422 电连接, 进一步地, 第一裸片 11 的第一导电层 1122 可以与功能层 422 的第二导电层 4221 电连接。如上述实施例中所述, 由于第二裸片 42 可以通过第二连接件 20 与封装基板 30 电连接, 且第二导电通孔 423 的一端与封装基板 30 电连接, 第二导电通孔 423 的一端可以与第二连接件 20 电连接。由于第二导电通孔 423 的一端与功能层 422 电连接, 第二导电通孔 423 的一端可以与功能层 422 的第一导电层 1122 电连接。综上所述, 通过上述设置, 可以实现第一芯片结构层 10、第二芯片结构层 40 与封装基板 30 三者中两两之间的电连接。

25 此处, 第二导电通孔 423 可以是硅通孔 (TSV, Through Silicon Via), 也可以是其他材质的通孔, 可以在通孔内填充导电材料以保证导电功能。

图 13 为本申请实施例提供的又一种芯片集成结构 1 的结构图。如图 13 所示, 第一芯片结构层 10 的数量可以为多个, 多个第一芯片结构层 10 可以沿第三方向 Z 层叠设置, 第三方向 Z 垂直于封装基板 30。其中, 相邻的两个第一芯片结构层 10 电连接, 以使每个第一芯片结构层 10 均与封装基板 30 电连接。通过设置多个第一芯片结构层 10, 有利于进一步提高芯片集成结构 1 的性能。例如, 当第一裸片 11 包括存储容量时, 有利于提高芯片集成结构 1 的存储容量; 当第一裸片 11 包括逻辑芯片时, 有利于提高芯片集成结构 1 的计算处理速率。

30 在一些实施例中, 多个层叠设置的第一芯片结构层 10 中, 相邻的两个第一芯片结构层 10 之间的堆叠方式可以是功能层 112 面对功能层 112 (Face-to-Face, F2F), 其余相邻的两个第一芯片结构层 10 之间的堆叠方式可以是第一衬底 111 面对第一衬底 111 (Back-to-Back, B2B)。

35 在另外一些实施例中, 多个层叠设置的第一芯片结构层 10 中, 相邻的两个第一芯片结构层 10 之间的堆叠方式均是第一衬底 111 面对功能层 112 (Back-to-Face, B2F)。示例性的, 如图 13 所示, 任一第一芯片结构层 10 中功能层 112 可以均相对于第一衬底 111 靠近封装基板 30。当然, 在其他的示例中, 任一第一芯片结构层 10 中功能层 112 可以均相对于第一衬底 111 远离封装基板 30, 本申请实施例对此不进行具体限定。

40 多个层叠设置的第一芯片结构层 10 中, 多个第一芯片结构层 10 中的第一裸片 11 的数量可以相同也可以不同, 本申请实施例对此不进行特殊限定。进一步地, 多个第一芯片结构层 10 中的切割道结构 12 可以沿第三方向 Z 错开设置, 或者, 多个第一芯片结构层 10 中的切割道结构 12 也可以沿第三方向 Z 依次交叠, 本申请实施例对此不进行特殊限定。

45 继续参照图 13, 芯片集成结构 1 还可以包括第一重布线层 50, 第一重布线层 50 位于相邻两个第一芯片结构层 10 之间。其中, 第一重布线层 50 包括层叠设置的第一部分 51 和第二部分 52, 第一部分 51 与一个第一芯片结构层 10 电连接, 第二部分 52 与另一个第一芯片结构层 10 电连接。

示例性的，第一部分 51 可以位于图示位置中第一重布线层 50 的上方，用于将相邻两个第一芯片结构层 10 中位于图示位置中上方的第一芯片结构层 10 的布线重新布局；相应的，第二部分 52 可以位于图示位置中第一重布线层 50 的下方，用于将相邻两个第一芯片结构层 10 中位于图示位置中下方的第一芯片结构层 10 的布线重新布局。通过将第一重布线层 50 的第一部分 51 和第二部分 52 电连接在一起，可以使相邻的两个第一芯片结构层 10 之间通过第一重布线层 50 电连接。相比于目前使用对叠层 912 通过导电柱 913 直接连接在封装基板 911 上，通过设置第一重布线层 50 可以实现多个第一芯片结构层 10 之间的转接，从而实现多个第一芯片结构层 10 均与封装基板 30 电连接，有利于缩小第一芯片结构层 10 与封装基板 30 之间的连线距离，提升芯片集成结构的性能。

其中，第一部分 51 和第二部分 52 的材质可以包括材料例如可以包括铜、铝、镍、金、银、钛、钴、钨等中的一种或多种导电材料，或者其他导电合金材料。

继续参照图 13，第一重布线层 50 还包括第一键合部 53 和第二键合部 54，第二部分 52 与第一部分 51 可以通过第一键合部 53 和第二键合部 54 键合。此处，键合（Bonding），是将两片表面清洁、原子级平整的同质或异质半导体材料经表面清洗和活化处理，在一定条件下直接结合，通过范德华力、分子力甚至原子力使晶片键合成为一体的技术。比如，键合方式例如可以为混合键合（Hybrid Bonding）。其中，第一键合部 53 位于第一部分 51 靠近第二部分 52 的一侧，第二键合部 54 位于第二部分 52 靠近第一部分 51 的一侧。示例性的，第一键合部 53 的数量为多个，第二键合部 54 的数量为多个，多个第一键合部 53 和多个第二键合部 54 一一对应设置。通过上述设置，由于第一键合部 53 和第二键合部 54 沿第三方向 Z 的长度较小，有利于减小相邻第一芯片结构层 10 之间的间距，便于布置更多线路，实现相邻第一芯片结构层 10 之间进行更多线路的信息传输以实现更多功能，同时，还有利于降低芯片集成结构 1 的厚度。

继续参照图 13，第一键合部 53 靠近第二部分 52 的一端的截面面积可以大于靠近第一部分 51 的一端的截面面积。此处，“截面面积”是指第一键合部 53 沿第一方向 X 上的截面面积。第二键合部 54 靠近第一部分 51 的一端的截面面积可以大于靠近第二部分 52 的一端的截面面积。此处，“截面面积”是指第二键合部 54 沿第一方向 X 上的截面面积。通过上述设置，便于第一键合部 53 靠近第二部分 52 的一端与第二键合部 54 靠近第一部分 51 的一端接触，有利于实现第一键合部 53 和第二键合部 54 之间的键合，保证第一重布线层 50 的导电性能。

继续参照图 13，第一键合部 53 可以包括层叠设置的第一连接垫 531 和第二连接垫 532，第一连接垫 531 相对于第二连接垫 532 靠近第一部分 51，在平行于封装基板 30 的方向上，第二连接垫 532 的截面面积大于第一连接垫 531 的截面面积。示例性的，平行于封装基板 30 的方向即为图示的第一方向 X，由于第二连接垫 532 的截面面积大于第一连接垫 531 的截面面积，便于第一键合部 53 通过第二连接垫 532 与第二键合部 54 接触。

继续参照图 13，第二键合部 54 可以包括层叠设置的第三连接垫 541 和第四连接垫 542，第三连接垫 541 相对于第四连接垫 542 靠近第二部分 52，在平行于封装基板 30 的方向上，第四连接垫 542 的截面面积大于第三连接垫 541 的截面面积。示例性的，平行于封装基板 30 的方向即为图示的第一方向 X，由于第四连接垫 542 的截面面积大于第三连接垫 541 的截面面积，便于第二键合部 54 通过第四连接垫 542 与第一键合部 53 接触。通过上述设置，有利于便于第二连接垫 532 与第四连接垫 542 接触，有利于实现第一键合部 53 和第二键合部 54 之间的键合，保证第一重布线层 50 的导电性能。

当然，在一些其他的示例中，第一重布线层 50 还可以包括凸块 22，凸块 22 位于第一部分 51 和第二部分 52 之间，以使第一部分 51 和第二部分 52 通过凸块 22 电连接在一起。

继续参照图 13，多个第一芯片结构层 10 可以位于第二芯片结构层 40 远离封装基板 30 的一侧。多个层叠设置的第一芯片结构层 10 中，与封装基板 30 之间的距离最远的第一芯片结构层 10 可以为顶层结构层 10A，位于顶层结构层 10A 和封装基板 30 之间的第一芯片结构层 10 可以为中间结构层 10B。其中，中间结构层 10B 可以包括沿第三方向 Z 贯穿第一裸片 11 的第一导电通孔 13，顶层结构层 10A 还可以通过中间结构层 10B 的第一导电通孔 13 电连接。

示例性的，位于顶层结构层 10A 和中间结构层 10B 之间的第一重布线层 50 中，第一部分 51 与顶层结构层 10A 中的第一导电层 1122 电连接，第二部分 52 与中间结构层 10B 中的第一导电通

孔 13 电连接。可见，通过设置第一导电通孔 13，可以实现顶层结构层 10A 与中间结构层 10B 之间的电连接。

示例性的，位于相邻的中间结构层 10B 之间的第一重布线层 50 中，第一部分 51 与图示位置中上方的中间结构层 10B 的第一导电通孔 13 电连接，第一部分 51 还与图示位置中上方的中间结构层 10B 的第一导电层 1122 电连接，第二部分 52 与图示位置中下方的中间结构层 10B 的第一导电通孔 13 电连接。可见，通过设置第一导电通孔 13，还能够实现相邻的中间结构层 10B 之间的电连接，并且顶层结构层 10A 还能够通过多个第一导电通孔 13 与任一中间结构层 10B 电连接。

继续参照图 13，芯片集成结构 1 还可以包括第二重布线层 60。如上述实施例中所述，第二芯片结构层 40 可以位于第一芯片结构层 10 和封装基板 30 之间，此处，第一芯片结构层 10 为多个第一芯片结构层 10 中最靠近封装基板 30 的一个第一芯片结构层 10。第二重布线层 60 位于第一芯片结构层 10 和第二芯片结构层 40 之间，第一芯片结构层 10 和第二芯片结构层 40 之间通过第二重布线层 60 电连接。

在一些实施例中，第二重布线层 60 的结构可以与第一重布线层 50 的结构相同，从而有利于提高芯片集成结构 1 的规整性，提高芯片集成结构 1 的制备效率。

示例性的，第二重布线层 60 靠近第一芯片结构层 10 的一侧与第一导电通孔 13 电连接。结构层中的第二重布线层 60 靠近第二芯片结构层 40 的一侧与中间导电通孔 412 和第二裸片 42 电连接。在第二裸片 42 中的功能层 422 相对与第二衬底 421 靠近封装基板 30 的实施例中，功能层 422 与封装基板 30 电连接，第二导电通孔 423 的一端与功能层 422 电连接，第二导电通孔 423 的另一端与第二重布线层 60 电连接；在第二裸片 42 中的功能层 422 相对于第二衬底 421 远离封装基板 30 的实施例中，功能层 422 与第二重布线层 60 电连接，第二导电通孔 423 的一端与功能层 422 电连接，第二导电通孔 423 的另一端与封装基板 30 电连接。通过上述设置，第一芯片结构层 10 可以通过第二重布线层 60 与第二芯片结构层 40 实现电连接。

图 14 为本申请实施例提供的再一种芯片集成结构 1 的结构图。如图 14 所示，芯片集成结构 1 还可以包括第三裸片 70，第三裸片 70 可以与第一芯片结构层 10 层叠设置，第三裸片 70 与封装基板 30 电连接。示例性的，第三裸片 70 可以位于第一芯片结构层 10 和第二芯片结构层 40 之间，此处，该第一芯片结构层 10 为多个第一芯片结构层 10 中最靠近封装基板 30 的一个第一芯片结构层 10。第三裸片 70 还分别与第一芯片结构层 10 和第二芯片结构层 40 电连接，以使第三裸片 70 与封装基板 30 电连接。第三裸片 70 包括第三衬底 71 和位于第三衬底 71 一侧的第三导电层 72。例如，第三裸片 70 与第一芯片结构层 10 之间的堆叠方式可以为第三衬底 71 面对功能层 112(Back-to-Face, B2F)。通过设置第三裸片 70，有利于进一步提高芯片集成结构 1 的性能。

此处，对于第三裸片 70 的类型不进行限定，第三裸片 70 的类型可以与第一裸片 11 的类型相同，或者第三裸片 70 的类型也可以与第一裸片 11 不同。如上述实施例中所述，第三裸片 70 具有电性功能。此处，“电性功能”是指第三裸片 70 具有器件且能够上电工作。第三裸片 70 可以包括数字芯片、模拟芯片以及光芯片等等，例如可以为存储芯片、逻辑芯片或其它任何功能的芯片等，本申请实施例对此不进行具体限定。

其中，第一重布线层 50 还可以位于第三裸片 70 与第一芯片结构层 10 之间，第三裸片 70 与第一芯片结构层 10 可以通过第一重布线层 50 电连接；第二重布线层 60 还可以位于第三裸片 70 与第二芯片结构层 40 之间，第三裸片 70 与第二芯片结构层 40 可以通过第二重布线层 60 电连接。示例性的，第三裸片 70 还可以包括沿第三方向 Z 贯穿其的第三导电通孔 73，第三导电通孔 73 的一端与第一重布线层 50 电连接，第二导电通孔 423 的另一端与第二重布线层 60 电连接。其中，第三导电通孔 73 可以是硅通孔(TSV, Through Silicon Via)，也可以是其他材质的通孔，可以在通孔内填充导电材料以保证导电功能。

当然，在一些其他的实施例中，第三裸片 70 还可以位于相邻两个第一芯片结构层 10 之间，或者位于第一芯片结构层 10 远离封装基板 30 的一侧（此处，该第一芯片结构层 10 为多个第一芯片结构层 10 中距离封装基板 30 最远的一个第一芯片结构层 10）。本申请实施例对第三裸片 70 的位置不进行具体限定。

基于此，本申请实施例还提供一种芯片集成结构 1 的制备方法，上述实施例中的芯片集成结

构 1 可以采用芯片集成结构 1 的制备方法进行制备。图 15 为本申请实施例提供的一种芯片集成结构 1 的制备方法的步骤流程图。如图 15 所示, 并结合图 14, 芯片集成结构 1 的制备方法可以包括以下步骤 S101 至 S103。

S101、提供封装基板。

5 封装基板 30 可以是具有布线路的电路板, 也可以是包括硅(例如单晶硅)、陶瓷、玻璃或任何其他适当的材料所形成的衬底。在一些实施例中, 封装基板 30 上可设置有多个用于形成电连接的结构, 比如位于封装基板 30 上表面的焊垫结构、位于封装基板 30 下表面的触点结构以及位于封装基板 30 内部的线路结构等。

本实施例中, 在提供封装基板 30 以后, 还包括步骤 S102。

10 S102、提供第一芯片结构层, 第一芯片结构层包括切割道结构和多个第一裸片, 切割道结构连接多个第一裸片, 且将多个第一裸片电性分隔, 第一裸片具有电性功能。

15 由于切割道结构 12 连接多个第一裸片 11, 且将多个第一裸片 11 分隔开。每个第一裸片 11 均为一个裸芯片, 也即, 多个第一裸片 11 为位于同一晶圆 100 中的多个裸芯片, 且相邻的裸芯片之间通过切割道结构 12 连接。此处, 第一芯片结构层 10 的制备过程可以如上述实施例中所述, 在此不再赘述。

如上述实施例中所述, 第一芯片结构层 10 的数量可以为多个相邻的第一芯片结构层 10 可以通过第一重布线层 50 进行电连接。

20 在将多个第一芯片结构层 10 依次层叠设置的过程中, 可以在第一芯片结构层 10 的一侧设置一个第一重布线层 50, 然后在第一重布线层 50 的另一侧设置第二个第一芯片结构层 10.....依次类推, 通过上述设置可以实现任意相邻的两个第一芯片结构层 10 电连接。其中, 第一重布线层 50 的制备过程可以包括相关工艺中的重布线工艺制程和键合界面工艺制程, 本申请实施例在此不再赘述。

25 本实施例中, 在提供第一芯片结构层 10, 第一芯片结构层 10 包括切割道结构 12 和多个第一裸片 11, 切割道结构 12 连接多个第一裸片 11, 且将多个第一裸片 11 分隔开以后, 还包括步骤 S103。

S103、将第一芯片结构层设置在封装基板的一侧, 并使第一芯片结构层与封装基板电连接。

30 综上所述, 通过上述设置, 有利于缩小第一芯片结构层 10 中相邻第一裸片 11 之间的间距, 进而提高第一芯片结构层 10 中单位面积内第一裸片 11 的数量, 从而提升芯片集成结构 1 的性能。例如, 当第一裸片 11 包括存储容量时, 第一芯片结构层 10 中单位面积内第一裸片 11 的数量增加, 有利于提高第一芯片结构层 10 的存储容量, 进而有利于提高芯片集成结构 1 的存储容量; 当第一裸片 11 包括逻辑芯片时, 第一芯片结构层 10 中单位面积内第一裸片 11 的数量增加, 有利于提高第一芯片结构层 10 的计算处理速率, 进而有利于提高芯片集成结构 1 的计算处理速率。

35 图 16 为本申请实施例提供的又一种芯片集成结构 1 的制备方法的步骤流程图, 图 17 为图 16 中的芯片集成结构 1 的制备方法中的制备过程的结构图。如图 16 和图 17 所示, 在一些实施例中, 芯片集成结构 1 的制备方法可以包括以下步骤 S211 至 S214。

如图 17 所示, 提供第一芯片结构层 10 的步骤可以包括: 提供多个第一芯片结构层 10 其中, 多个第一芯片结构层 10 可以分别位于不同的晶圆内。

40 如上述实施例中所述, 多个第一芯片结构层 10 依次层叠设置, 且任意相邻的两个第一芯片结构层 10 电连接。在一些实施例中, 可以将多个第一芯片结构层 10 所在的晶圆依次层叠设置, 且任意相邻的两个晶圆电连接。例如, 晶圆 C 和晶圆 D 均可以包括多个第一芯片结构层 10, 将晶圆 C 和晶圆 D 层叠设置, 且晶圆 C 和晶圆 D 之间电连接, 以使晶圆 C 中的第一芯片结构层 10 与晶圆 D 中对应的第一芯片结构层 10 层叠设置, 且对应的两个第一芯片结构层 10 电连接。其中, 多个第一芯片结构层 10 所在的晶圆依次层叠设置的步骤可以如上述实施例中所述, 此处不再赘述。

45 本申请实施例中, 在提供第一芯片结构层 10 之后, 以及, 将第一芯片结构层 10 设置在封装基板 30 的一侧, 并使第一芯片结构层 10 与封装基板 30 电连接之前, 还包括步骤 S211。

S211、在载片上形成第二芯片结构层。

可以理解的是, 由于芯片的厚度较薄, 在第二芯片结构层 40 的制作过程中, 需要使用载片

40C (carrier) 作为临时键合结构, 方便芯片在载片 40C 上进行结构的制作, 该载片 40C 可以称为晶圆载体层, 晶圆载体层可以通过硅溶键合 (Fusion Bonding) 的方式与对应芯片键合连接, 最后该晶圆 100 载体层可以通过研磨去除; 或者, 晶圆载体层可以通过临时键合 (采用键合胶, 具有键合薄膜层) 的方式与对应芯片键合连接, 最后该晶圆载体层可以通过热熔的方式去除。

5 本实施例中, 在载片 40C 上形成第二芯片结构层 40 的步骤, 可以包括: 从第一晶圆 40A 中挑选结构芯片 41, 并将挑选的结构芯片 41 设置在载片 40C 上。

如上述实施例中所述, 结构芯片 41 可以是半导体材料构成, 可以是硅衬底、砷化镓 (GaAs) 衬底、磷酸镓砷 (GaAsP) 衬底、碳化硅 (SiC) 衬底等。通过设置结构芯片 41, 可以起到支撑的作用, 有利于提高芯片集成结构 1 的稳定性。当然, 在一些其他的实施例中, 还可以根据实际需要设置结构芯片 41 的数量, 或者省略结构芯片 41。

10 本实施例中, 在载片 40C 上形成第二芯片结构层 40 的步骤还可以包括: 从第二晶圆 40B 中挑选第二裸片 42, 并将挑选的第二裸片 42 设置在载片 40C 上。

其中, 在第二裸片 42 和结构芯片 41 的放置过程中, 可以使第二裸片 42 和结构芯片 41 间隔设置。此处, 第二裸片 42 和结构芯片 41 之间的排布可以根据实际的需要进行设置, 例如, 可以在第二芯片结构层 40 中设置一个第二裸片 42 和两个结构芯片 41, 且使两个结构芯片 41 分别设置在第二裸片 42 的两侧。

20 在一些示例中, 第一晶圆 40A 和第二晶圆 40B 可以为不同的晶圆结构, 可以通过挑选的方式, 在第一晶圆 40A 中将所需的结构芯片 41 切割下来, 然后将切割下来的结构芯片 41 设置在载片 40C 上; 相同的, 可以通过挑选的方式, 在第二晶圆 40B 中将所需的第二裸片 42 切割下来, 然后将切割下来的第二裸片 42 设置在载片 40C 上。此处, 挑选的结构芯片 41 与第二裸片 42 均为品质达标的芯片。

本实施例中, 在载片 40C 上形成第二芯片结构层 40 的步骤还可以包括: 在载片 40C 上设置第二裸片 42 和结构芯片 41 以后, 在结构芯片 41 和第二裸片 42 之间形成隔离结构 43, 结构芯片 41、第二裸片 42 和隔离结构 43 共同构成第二芯片结构层 40。

25 其中, 由于第二裸片 42 和结构芯片 41 间隔设置, 第二裸片 42 和结构芯片 41 之间具有一定间隙, 可以在间隙内填充隔离材料, 以形成隔离结构 43。在一些实施例中, 在形成多个隔离结构 43 以后, 还可以通过化学机械研磨 (chemical mechanical polishing, CMP) 工艺将第二芯片结构层 40 远离载片 40C 的一侧平坦化, 便于后续进行加工制备。

30 本实施例中, 将第一芯片结构层 10 设置在封装基板 30 的一侧, 并使第一芯片结构层 10 与封装基板 30 电连接之前, 且在载片 40C 上形成第二芯片结构层 40 之后, 还包括步骤 S212。

S212、将第一芯片结构层设置在第二芯片结构层远离载片的一侧, 并使第一芯片结构层与第二芯片结构层电连接。

35 其中, 如图 13 所示, 芯片集成结构 1 还可以包括第二重布线层 60, 可以在第二芯片结构层 40 远离载片 40C 的一侧设置第二重布线层 60, 然后在第二重布线层 60 远离所述载片 40C 的一侧设置第一芯片结构层 10。第二重布线层 60 的结构可以如上述实施例中所述, 在此不再赘述。

在第一芯片结构层 10 的数量为多个的实施例中, 将多个第一芯片结构层 10 所在的层叠设置的晶圆 (例如如图 17 中层叠设置的晶圆 C 与晶圆 D, 且晶圆 C 与晶圆 D 之间电连接) 与第二重布线层 60 电连接, 使得晶圆与晶圆之间堆叠, 以使任一第一芯片结构层 10 均与第二芯片结构层 40 电连接。

40 本实施例中, 将第一芯片结构层 10 设置在封装基板 30 的一侧, 并使第一芯片结构层 10 与封装基板 30 电连接的步骤, 还包括步骤 S213。

S213、去除载片。

其中, 去除载片 40C 的步骤可以如上述实施例中所述, 在此不再赘述。

45 本实施例中, 在去除载片 40C 以后, 将第一芯片结构层 10 设置在封装基板 30 的一侧, 并使第一芯片结构层 10 与封装基板 30 电连接的步骤, 还包括步骤 S214。

S214、将第二芯片结构层远离第一芯片结构层的一侧与封装基板电连接。

如图 13 所示, 芯片集成结构 1 还可以包括第二连接件 20。将第二芯片结构层 40 远离第一芯

片结构层 10 的一侧与封装基板 30 电连接的步骤还包括：将第二连接件 20 设置在第二芯片结构层 40 远离第一芯片结构层 10 的一侧，将封装基板 30 设置在第二连接件 20 远离第二芯片结构层 40 的一侧，以使第二芯片结构层 40 通过第二连接件 20 与封装基板 30 电连接。第二连接件 20 的结构可以如上述实施例中所述，本申请实施例对此不进行具体限定。

5 本实施例中，在将第二芯片结构层 40 远离第一芯片结构层 10 的一侧与封装基板 30 电连接之后，能够形成晶圆 M。其中，通过上述步骤，可以实现封装基板 30、第二芯片结构层 40 以及第一芯片结构层 10 之间的层叠设置及电连接，从而形成芯片集成结构 1。晶圆 M 包括多个芯片集成结构 1，可以对晶圆 M 进行切割，从而得到多个独立的芯片集成结构 1。

10 图 18 为本申请实施例提供的又一种芯片集成结构 1 的制备方法的步骤流程图，图 19 为图 18 中的芯片集成结构 1 的制备方法中的制备过程芯片集成结构 1 的结构图。如图 18 和图 19 所示，在另一些实施例中，芯片集成结构 1 的制备方法可以包括以下步骤 S221 至 S222。

如图 19 所示，提供第一芯片结构层 10 的步骤可以包括：提供多个第一芯片结构层 10 其中，多个第一芯片结构层 10 可以分别位于不同的晶圆内。

15 如上述实施例中所述，多个第一芯片结构层 10 依次层叠设置，且任意相邻的两个第一芯片结构层 10 电连接。在一些实施例中，可以将多个第一芯片结构层 10 所在的晶圆依次层叠设置，且任意相邻的两个晶圆电连接。例如，晶圆 C 和晶圆 D 均可以包括多个第一芯片结构层 10，将晶圆 C 和晶圆 D 层叠设置，且晶圆 C 和晶圆 D 之间电连接，以使晶圆 C 中的第一芯片结构层 10 与晶圆 D 中对应的第一芯片结构层 10 层叠设置，且对应的两个第一芯片结构层 10 电连接。其中，多个第一芯片结构层 10 所在的晶圆依次层叠设置的步骤可以如上述实施例中所述，此处不再赘述。

20 本实施例中，提供第一芯片结构层 10 之后，以及，将第一芯片结构层 10 设置在封装基板 30 的一侧，并使第一芯片结构层 10 与封装基板 30 电连接之前，还包括步骤 S221。

S221、在第一芯片结构层上形成第二芯片结构层，并使第一芯片结构层与第二芯片结构层电连接。

25 本实施例中，在第一芯片结构层 10 上形成第二芯片结构层 40，并使第一芯片结构层 10 与第二芯片结构层 40 电连接的步骤，可以包括：从第一晶圆 40A 中挑选结构芯片 41，并将挑选的结构芯片 41 设置在第一芯片结构层 10 上，使结构芯片 41 与第一芯片结构层 10 连接。

其中，如图 13 所示，在将结构芯片 41 设置在第一芯片结构层 10 之前，可以在第一芯片结构层 10 上形成第二重布线层 60，然后在第二重布线层 60 远离第一芯片结构层 10 的一侧设置结构芯片 41，从而实现结构芯片 41 通过第二重布线层 60 与第一芯片结构层 10 连接。

30 本实施例中，在第一芯片结构层 10 上形成第二芯片结构层 40，并使第一芯片结构层 10 与第二芯片结构层 40 电连接的步骤，还可以包括：从第二晶圆 40B 中挑选第二裸片 42，并将挑选的第二裸片 42 设置在第一芯片结构层 10 上，使第二裸片 42 与第一芯片结构层 10 电连接。

其中，第二裸片 42 可以设置在第二重布线层 60 远离第一芯片结构层 10 的一侧，从而实现第二裸片 42 通过第二重布线层 60 与第一芯片结构层 10 电连接。

35 在第一芯片结构层 10 的数量为多个的实施例中，在多个第一芯片结构层 10 所在的层叠设置的晶圆（例如图 19 中层叠设置的晶圆 C 与晶圆 D，且晶圆 C 与晶圆 D 之间电连接）上形成第二重布线层 60，然后在第二重布线层 60 远离第一芯片结构层 10 的一侧设置结构芯片 41 和第二裸片 42，从而实现晶圆与芯片之间堆叠。

40 本实施例中，在第二重布线层 60 远离第一芯片结构层 10 的一侧设置结构芯片 41 和第二裸片 42 以后，还包括：在结构芯片 41 和第二裸片 42 之间形成隔离结构 43，结构芯片 41、第二裸片 42 和隔离结构 43 共同构成第二芯片结构层 40。

其中，由于第二裸片 42 和结构芯片 41 间隔设置，第二裸片 42 和结构芯片 41 之间具有一定间隙，可以在间隙内填充隔离材料，以形成隔离结构 43。本实施例中，将第一芯片结构层 10 设置在封装基板 30 的一侧，并使第一芯片结构层 10 与封装基板 30 电连接的步骤，还包括步骤 S222。

45 S222、将第二芯片结构层远离第一芯片结构层的一侧与封装基板电连接。

如上述实施例中所述，如图 13 所示，芯片集成结构 1 还可以包括第二连接件 20。可以在第二芯片结构层 40 远离第一芯片结构层 10 的一侧设置第二连接件 20，将封装基板 30 设置在第二

连接件 20 远离第二芯片结构层 40 的一侧，以使第二芯片结构层 40 通过第二连接件 20 与封装基板 30 电连接。第二连接件 20 的结构可以如上述实施例中所述，本申请实施例对此不进行具体限定。

5 本实施例中，在将第二芯片结构层 40 远离第一芯片结构层 10 的一侧与封装基板 30 电连接之后，能够形成晶圆 M。其中，通过上述步骤，可以实现封装基板 30、第二芯片结构层 40 以及第一芯片结构层 10 之间的层叠设置及电连接，从而形成芯片集成结构 1。晶圆 M 包括多个芯片集成结构 1，可以对晶圆 M 进行切割，从而得到多个独立的芯片集成结构 1。

本申请实施例中封装基板 30、第二芯片结构层 40 以及第一芯片结构层 10 之间的堆叠步骤也可以不限于上述两种实施方式，本申请实施例对此不进行具体的限定。

10 以上所述，仅为本申请的具体实施方式，但本申请的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本申请揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本申请的保护范围之内。因此，本申请的保护范围应以所述权利要求的保护范围为准。

权 利 要 求 书

1. 一种芯片集成结构, 其特征在于, 包括: 封装基板和第一芯片结构层; 所述第一芯片结构层位于所述封装基板的一侧, 且与所述封装基板电连接;

所述第一芯片结构层包括切割道结构和多个第一裸片; 所述切割道结构连接所述多个第一裸片, 且将所述多个第一裸片电性分隔; 所述第一裸片具有电性功能。

2. 根据权利要求 1 所述的芯片集成结构, 其特征在于,

所述第一裸片包括第一衬底; 所述切割道结构包括第一连接衬底; 所述第一连接衬底与所述第一衬底相连, 且同层设置。

3. 根据权利要求 1 或 2 所述的芯片集成结构, 其特征在于, 所述第一裸片还包括密封圈, 所述密封圈位于所述第一裸片的边缘区域, 且所述密封圈与所述切割道结构相邻接。

4. 根据权利要求 2 或 3 所述的芯片集成结构, 其特征在于,

所述第一裸片还包括多个第一绝缘层, 所述多个第一绝缘层位于所述第一衬底上, 且所述多个第一绝缘层层叠设置;

所述切割道结构还包括多个第一绝缘连接层, 所述多个第一绝缘连接层位于所述第一连接衬底上, 且所述多个第一绝缘连接层层叠设置;

其中, 所述多个第一绝缘连接层与所述多个第一绝缘层一一对应连接, 且对应连接的第一绝缘连接层与第一绝缘层同层设置。

5. 根据权利要求 2-4 中任一项所述的芯片集成结构, 其特征在于,

所述第一裸片还包括多个第一导电层, 所述多个第一导电层位于所述第一衬底上, 且所述多个第一导电层层叠设置;

所述切割道结构还包括多个第一绝缘连接层, 所述多个第一绝缘连接层位于所述第一连接衬底上, 且所述多个第一绝缘连接层层叠设置;

其中, 所述多个第一绝缘连接层与所述多个第一导电层的数量相同。

6. 根据权利要求 5 所述的芯片集成结构, 其特征在于, 所述切割道结构包括多个金属层, 所述多个金属层位于所述第一连接衬底上, 且所述多个金属层层叠设置;

其中, 所述多个金属层与部分所述多个第一导电层一一对应, 对应的金属层和第一导电层同层设置且电性隔离。

7. 根据权利要求 6 所述的芯片集成结构, 其特征在于, 所述多个金属层的至少部分构成测试结构。

8. 根据权利要求 1-7 中任一项所述的芯片集成结构, 其特征在于, 所述切割道结构包括定位标记。

9. 根据权利要求 1-8 中任一项所述的芯片集成结构, 其特征在于,

所述切割道结构包括第一子切割道结构, 所述第一子切割道结构沿第一方向延伸, 所述第一子切割道结构沿第二方向的长度的取值范围为 80 微米-120 微米; 其中, 所述第一方向与所述第二方向垂直, 且均平行于所述封装基板;

和/或,

所述切割道结构包括第二子切割道结构, 所述第二子切割道结构沿第二方向延伸, 所述第二子切割道结构沿第一方向的长度的取值范围为 80 微米-120 微米; 其中, 所述第一方向与所述第二方向垂直, 且均平行于所述封装基板。

10. 根据权利要求 1-9 中任一项所述的芯片集成结构, 其特征在于,

所述第一芯片结构层的数量为多个, 多个所述第一芯片结构层沿第三方向层叠设置, 所述第三方向垂直于所述封装基板;

其中, 相邻的两个所述第一芯片结构层电连接。

11. 根据权利要求 10 所述的芯片集成结构, 其特征在于, 还包括第一重布线层, 所述第一重布线层位于相邻两个所述第一芯片结构层之间;

其中, 所述第一重布线层包括层叠设置的第一部分和第二部分, 所述第一部分与一个所述第一芯片结构层电连接, 所述第二部分与另一个所述第一芯片结构层电连接;

所述第一重布线层还包括第一键合部和第二键合部，所述第一键合部位于所述第一部分靠近所述第二部分的一侧，所述第二键合部位于所述第二部分靠近所述第一部分的一侧，所述第二部分与所述第一部分通过所述第一键合部和所述第二键合部键合。

12. 根据权利要求 11 所述的芯片集成结构，其特征在于，所述第一键合部靠近所述第二部分的一端的截面面积大于靠近所述第一部分的一端的截面面积；和/或，

所述第二键合部靠近所述第一部分的一端的截面面积大于靠近所述第二部分的一端的截面面积。

13. 根据权利要求 11 所述的芯片集成结构，其特征在于，第一键合部包括层叠设置的第一连接垫和第二连接垫，所述第一连接垫相对于所述第二连接垫靠近所述第一部分，在平行于所述封装基板的方向上，所述第二连接垫的截面面积大于所述第一连接垫的截面面积；和/或，

第二键合部包括层叠设置的第三连接垫和第四连接垫，所述第三连接垫相对于所述第四连接垫靠近所述第二部分，在平行于所述封装基板的方向上，所述第四连接垫的截面面积大于所述第三连接垫的截面面积。

14. 根据权利要求 11-13 中任一项所述的芯片集成结构，其特征在于，多个层叠设置的所述第一芯片结构层中，与所述封装基板之间的距离最远的所述第一芯片结构层为顶层结构层，位于所述顶层结构层和所述封装基板之间的所述第一芯片结构层为中间结构层；

其中，所述中间结构层包括沿所述第三方向贯穿所述第一裸片的第一导电通孔，所述顶层结构层还通过所述重布线层与所述中间结构层的所述第一导电通孔电连接。

15. 根据权利要求 1-14 中任一项所述的芯片集成结构，其特征在于，还包括第二芯片结构层，所述第二芯片结构层与所述第一芯片结构层层叠设置，所述第二芯片结构层包括结构芯片、第二裸片以及位于所述结构芯片和所述第二裸片之间的隔离结构；

其中，所述第二裸片包括第二衬底以及位于所述第二衬底上的功能层；第一芯片结构层与所述第二裸片的所述功能层之间电连接。

16. 根据权利要求 15 所述的芯片集成结构，其特征在于，所述隔离结构的材质包括氧化硅、氮化硅以及氮氧化硅中一种或者多种的组合。

17. 根据权利要求 15 所述的芯片集成结构，其特征在于，还包括第二重布线层，所述第二芯片结构层位于所述第一芯片结构层和所述封装基板之间，所述第二重布线层位于所述第一芯片结构层和所述第二芯片结构层之间，所述第一芯片结构层和所述第二芯片结构层之间通过所述第二重布线层电连接，所述第二芯片结构层与所述封装基板电连接。

18. 根据权利要求 17 所述的芯片集成结构，其特征在于，所述第二裸片还包括贯穿所述第二衬底的第二导电通孔，所述功能层相对于所述第二衬底靠近所述封装基板，所述功能层与所述封装基板电连接；

其中，所述第二导电通孔的一端与所述功能层电连接，所述第二导电通孔的另一端与所述第二重布线层电连接。

19. 根据权利要求 17 所述的芯片集成结构，其特征在于，所述第二裸片还包括贯穿所述第二衬底的第二导电通孔，所述功能层相对于所述第二衬底远离所述封装基板，所述功能层与所述第二重布线层电连接；

其中，所述第二导电通孔的一端与所述功能层电连接，所述第二导电通孔的另一端与所述封装基板电连接。

20. 根据权利要求 1-19 中任一项所述的芯片集成结构，其特征在于，还包括第三裸片，所述第三裸片与所述第一芯片结构层层叠设置，所述第三裸片与所述封装基板电连接。

21. 一种芯片集成结构的制备方法，其特征在于，包括：

提供封装基板；

提供第一芯片结构层，所述第一芯片结构层包括切割道结构和多个第一裸片；所述切割道结构连接所述多个第一裸片，且将所述多个第一裸片分隔开；

将所述第一芯片结构层设置在所述封装基板的一侧，并使所述第一芯片结构层与所述封装基板电连接。

22. 根据权利要求 21 所述的芯片集成结构的制备方法, 其特征在于, 所述第一芯片结构层的数量为多个;

所述将所述第一芯片结构层设置在所述封装基板的一侧, 并使所述第一芯片结构层与所述封装基板电连接, 包括:

5 将多个所述第一芯片结构层依次层叠设置在所述封装基板上, 其中, 多个所述第一芯片结构层中, 最靠近所述封装基板的所述第一芯片结构层与所述封装基板电连接, 且任意相邻的两个所述第一芯片结构层电连接。

10 23. 根据权利要求 21 或 22 所述的芯片集成结构的制备方法, 其特征在于, 所述将所述第一芯片结构层设置在所述封装基板的一侧, 并使所述第一芯片结构层与所述封装基板电连接之前, 还包括:

在载片上形成第二芯片结构层;

将所述第一芯片结构层设置在所述第二芯片结构层远离所述载片的一侧, 并使所述第一芯片结构层与所述第二芯片结构层电连接;

15 所述将所述第一芯片结构层设置在所述封装基板的一侧, 并使所述第一芯片结构层与所述封装基板电连接, 包括:

去除所述载片;

将所述第二芯片结构层远离所述第一芯片结构层的一侧与所述封装基板电连接。

20 24. 根据权利要求 22 所述的芯片集成结构的制备方法, 其特征在于, 所述在载片上形成第二芯片结构层, 包括:

从第一晶圆中挑选结构芯片, 并将挑选的所述结构芯片设置在所述载片上;

从第二晶圆中挑选第二裸片, 并将挑选的所述第二裸片设置在所述载片上;

在所述结构芯片和所述第二裸片之间形成隔离结构, 所述结构芯片、所述第二裸片和所述隔离结构共同构成所述第二芯片结构层。

25 25. 根据权利要求 21 或 22 所述的芯片集成结构的制备方法, 其特征在于, 所述将所述第一芯片结构层设置在所述封装基板的一侧, 并使所述第一芯片结构层与所述封装基板电连接之前, 还包括:

在所述第一芯片结构层上形成第二芯片结构层, 并使所述第一芯片结构层与所述第二芯片结构层电连接;

30 所述将所述第一芯片结构层设置在所述封装基板的一侧, 并使所述第一芯片结构层与所述封装基板电连接, 还包括:

将所述第二芯片结构层远离所述第一芯片结构层的一侧与所述封装基板电连接。

26. 根据权利要求 25 所述的芯片集成结构的制备方法, 其特征在于, 所述在所述第一芯片结构层上形成第二芯片结构层, 并使所述第一芯片结构层与所述第二芯片结构层电连接, 包括:

35 从第一晶圆中挑选结构芯片, 并将挑选的所述结构芯片设置在所述第一芯片结构层上, 使所述结构芯片与所述第一芯片结构层连接;

从第二晶圆中挑选第二裸片, 并将挑选的所述第二裸片设置在所述第一芯片结构层上, 使所述第二裸片与所述第一芯片结构层电连接;

在所述结构芯片和所述第二裸片之间形成隔离结构, 所述结构芯片、所述第二裸片和所述隔离结构共同构成所述第二芯片结构层。

40 27. 一种电子设备, 其特征在于, 包括印刷电路板和如权利要求 1-20 中任一项所述的芯片集成结构, 所述芯片集成结构与所述印刷电路板电性连接。

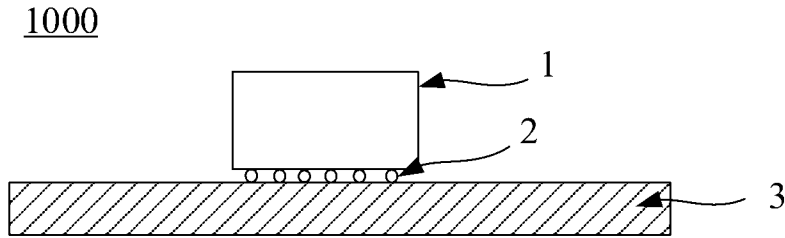


图 1

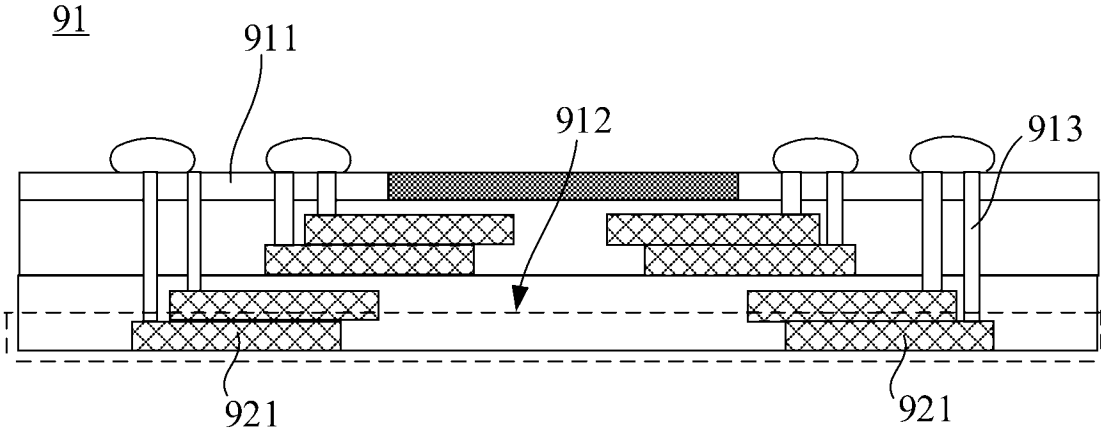


图 2

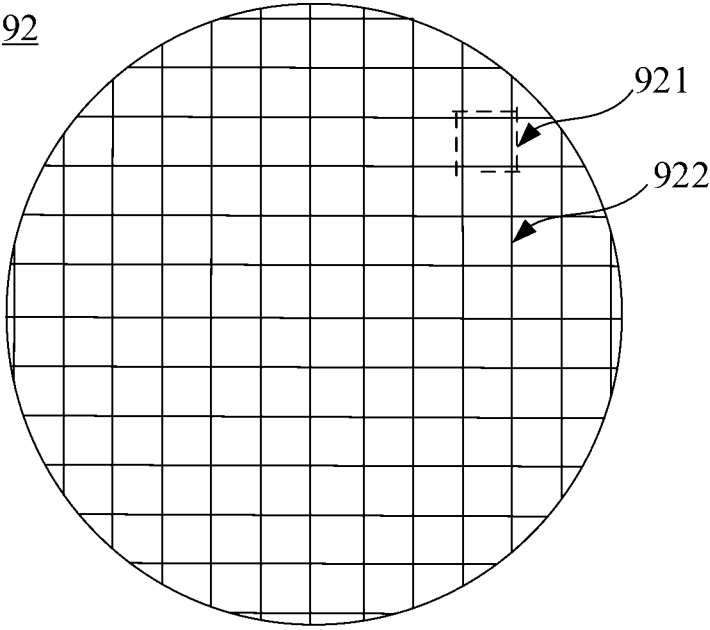


图 3

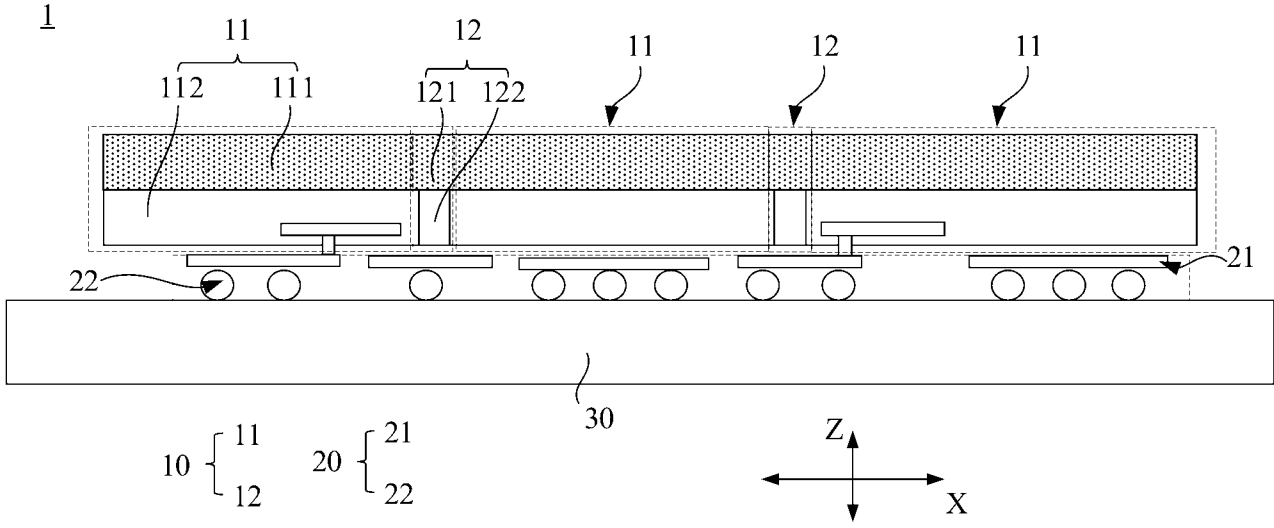


图 4

10

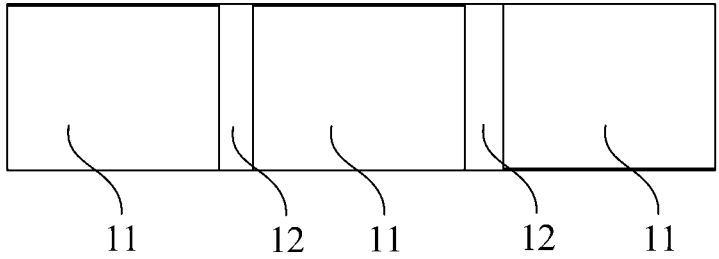


图 5

100

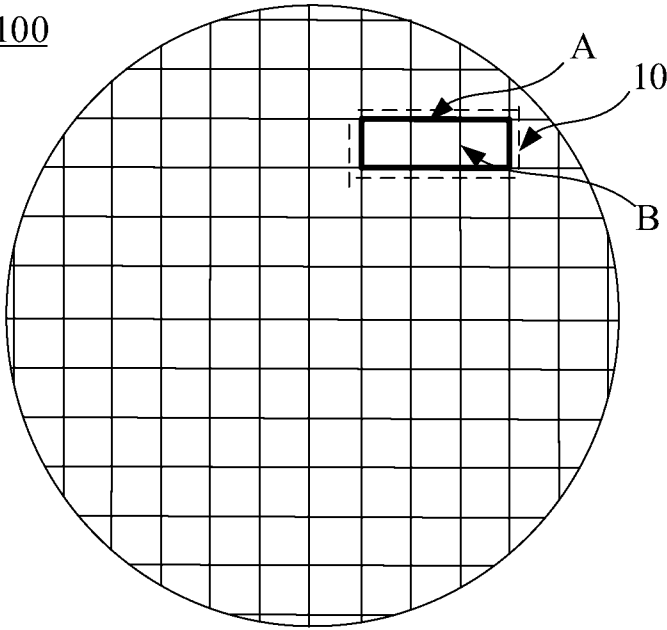


图 6

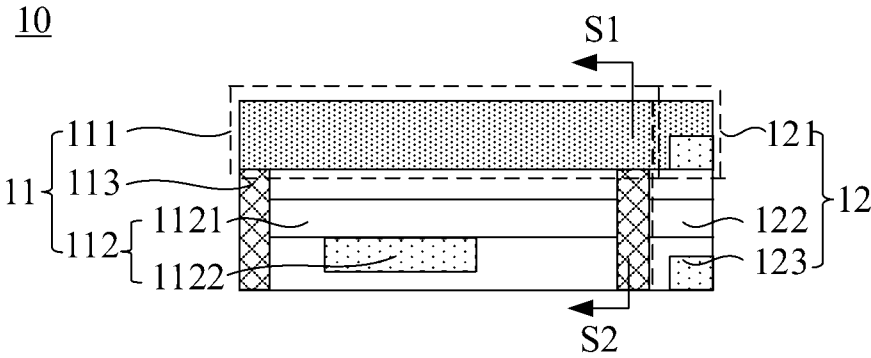


图 7

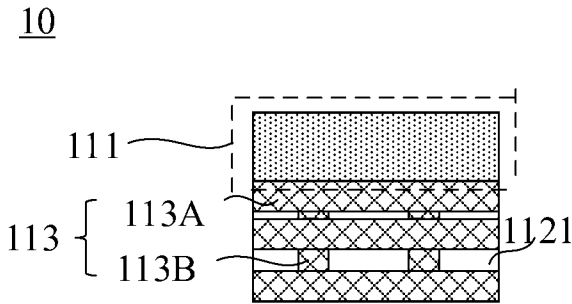


图 8

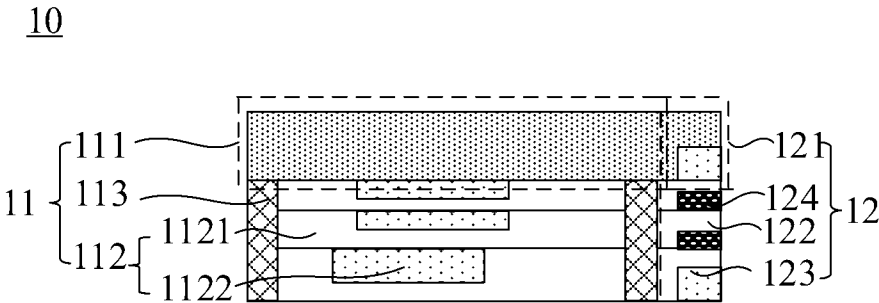


图 9

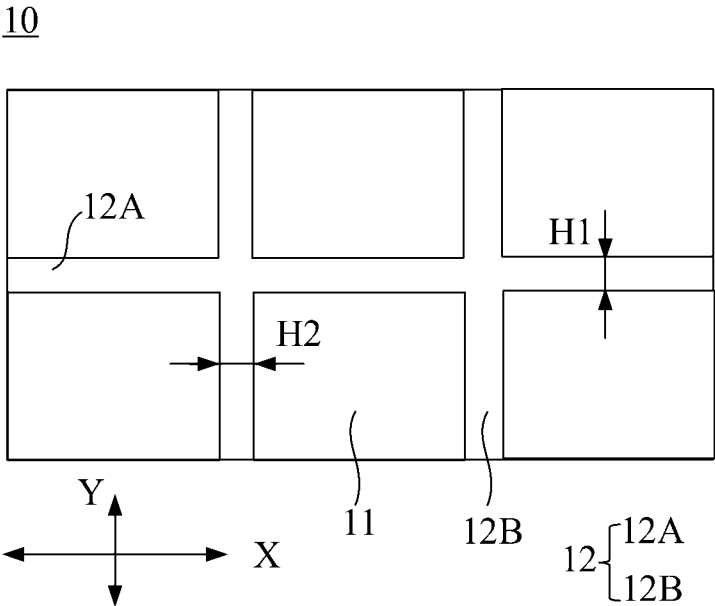


图 10

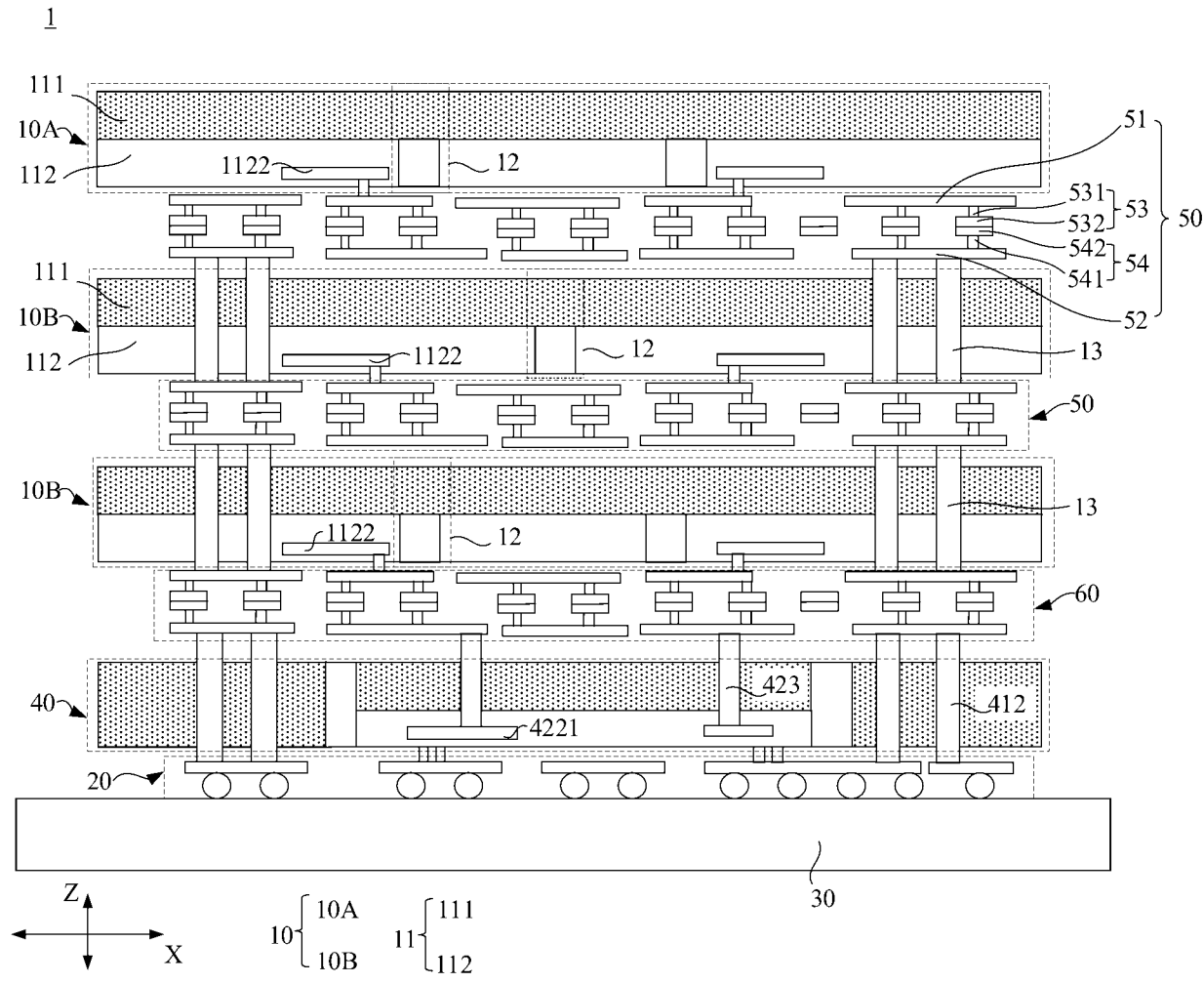


图 13

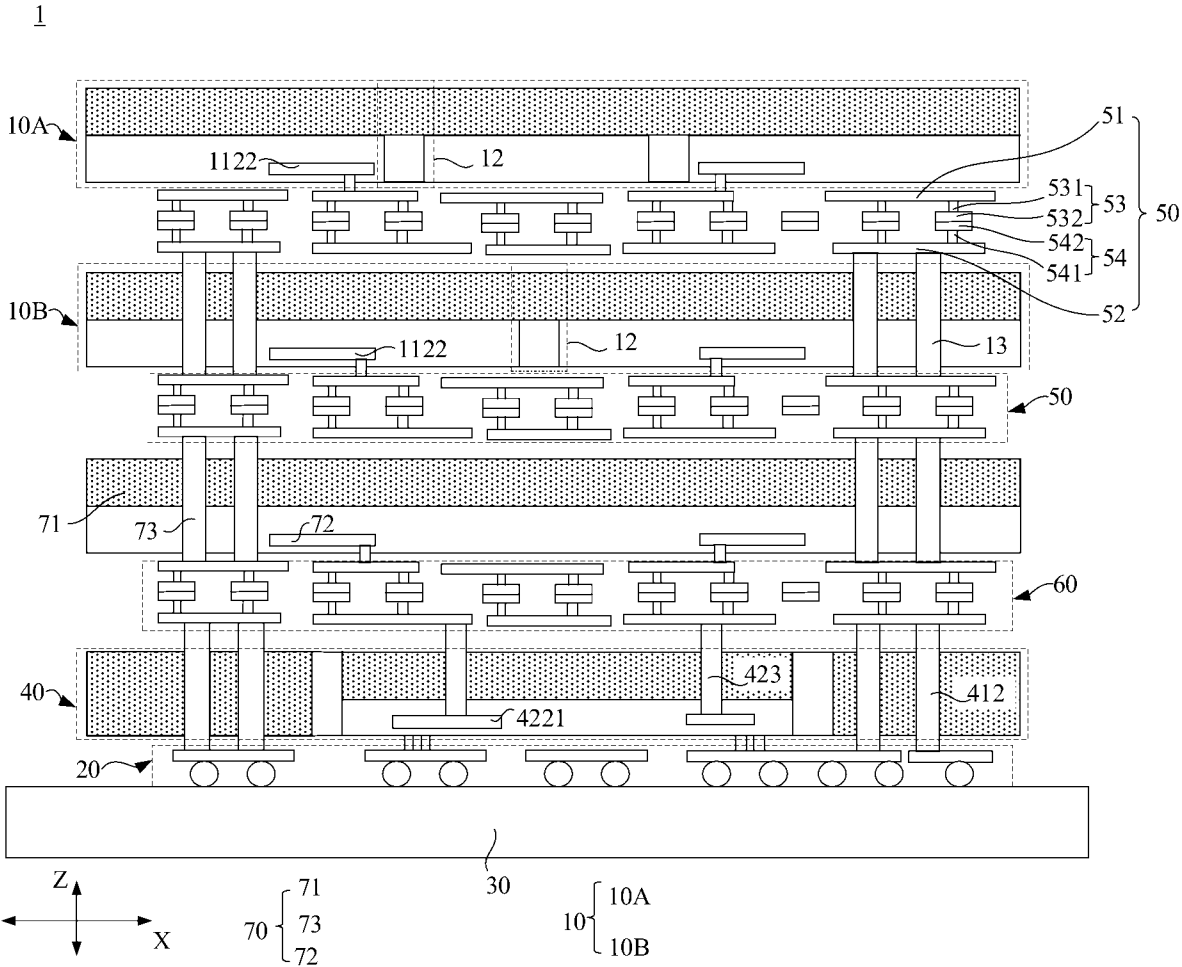


图 14

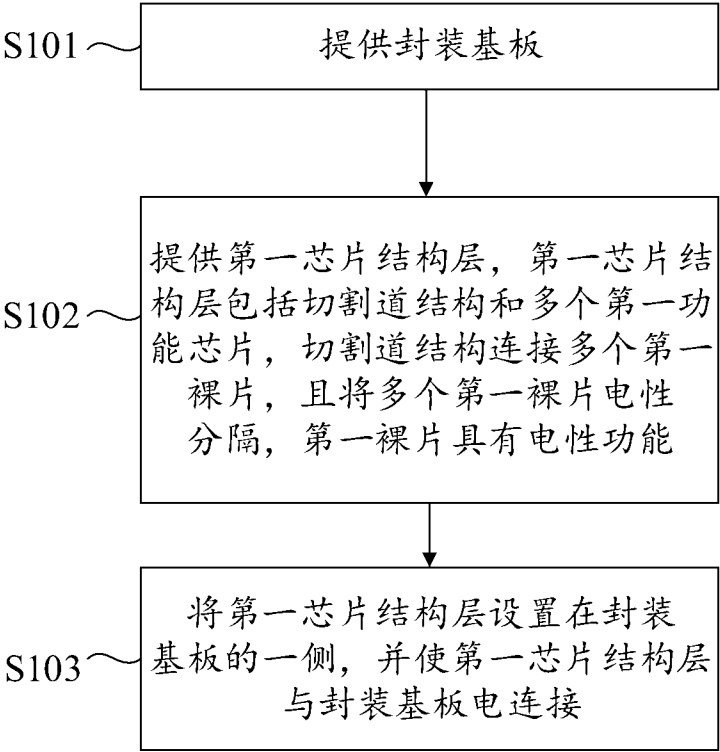


图 15

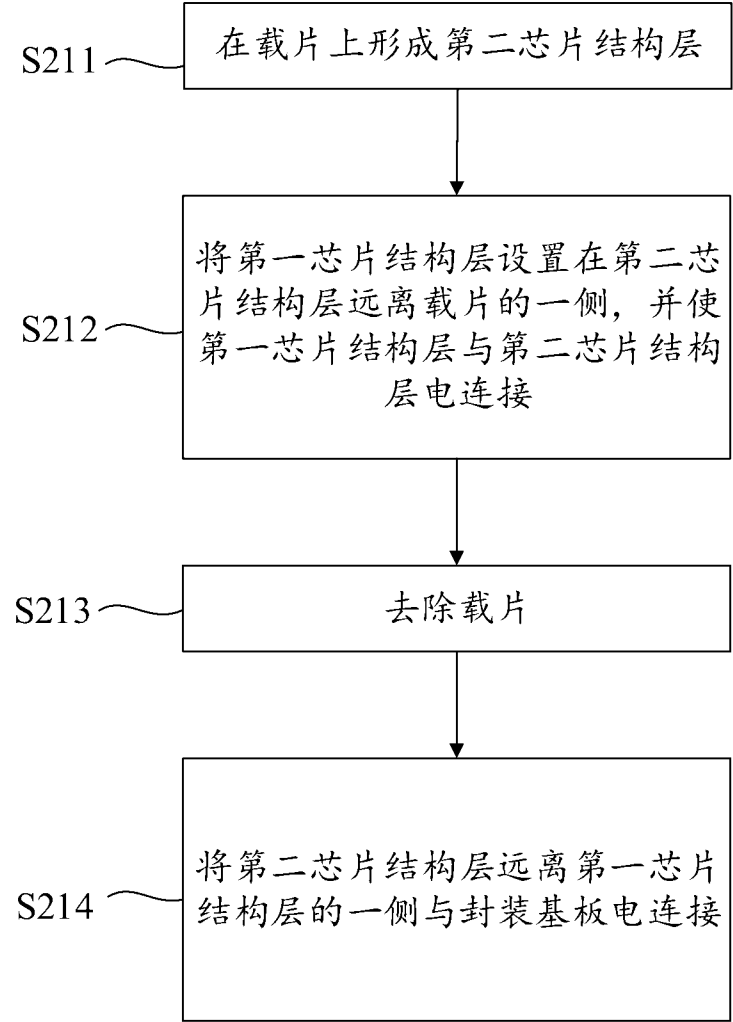


图 16

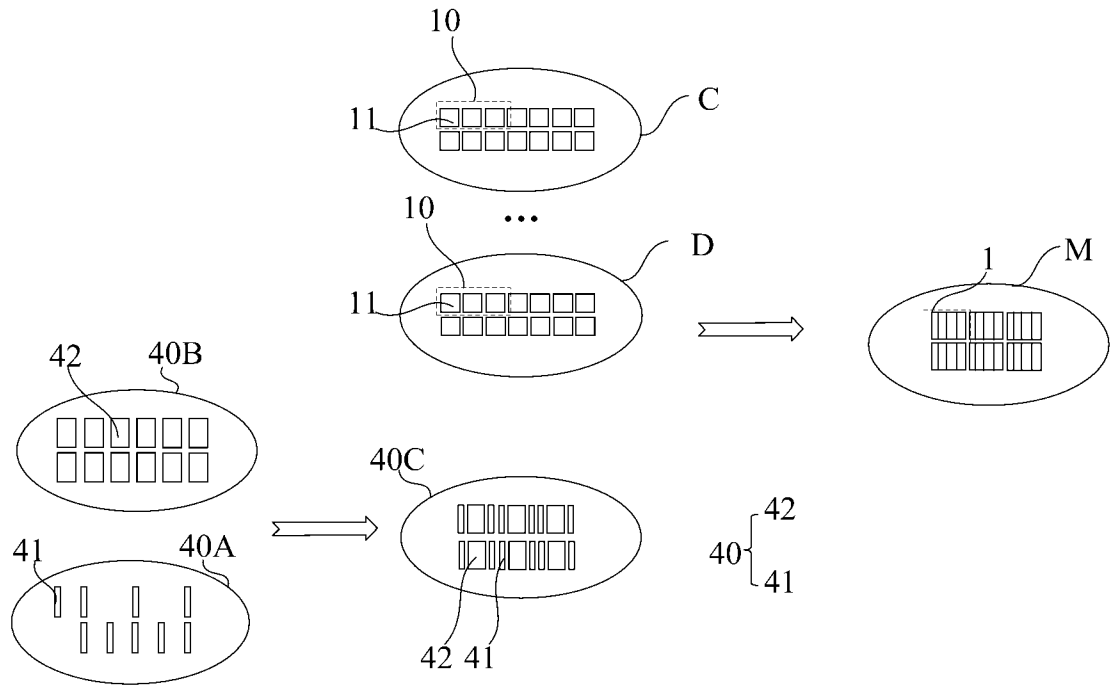


图 17

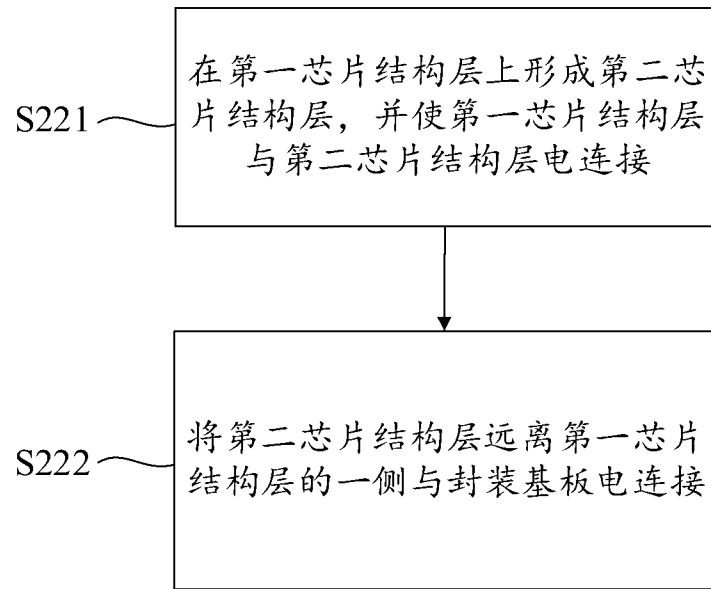
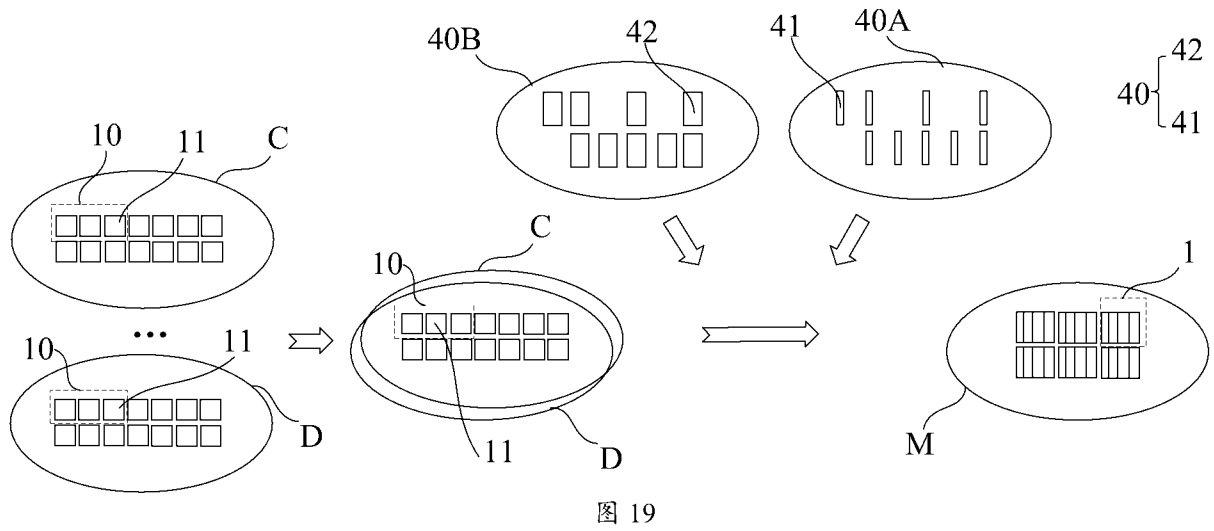


图 18



INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/130829

A. CLASSIFICATION OF SUBJECT MATTER H01L25/065(2023.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC: H01L Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) VEN, CNABS, CNTXT, WOTXT, EPTXT, USTXT, CNKI, IEEE: 芯片, 裸片, 封装, 切割, 划片, 基板, 衬底, 布线, chip, die, wafer, packaging, package?, cutting, substrate, wiring		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 112490186 A (TONGFU MICROELECTRONICS CO., LTD.) 12 March 2021 (2021-03-12) description, paragraphs [0035]-[0077], and figures 1-11	1-27
A	CN 115440663 A (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 06 December 2022 (2022-12-06) entire document	1-27
A	CN 114899155 A (HUATIAN TECHNOLOGY (KUNSHAN) ELECTRONICS CO., LTD.) 12 August 2022 (2022-08-12) entire document	1-27
A	US 2022028834 A1 (SAMSUNG ELECTRONICS CO., LTD.) 27 January 2022 (2022-01-27) entire document	1-27
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 17 January 2024		Date of mailing of the international search report 23 January 2024
Name and mailing address of the ISA/CN China National Intellectual Property Administration (ISA/CN) China No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2023/130829

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	112490186	A	12 March 2021	None			
CN	115440663	A	06 December 2022	US	2023026676	A1	26 January 2023
				TW	202306091	A	01 February 2023
				KR	20230015830	A	31 January 2023
				DE	102022100879	A1	26 January 2023
CN	114899155	A	12 August 2022	CN	217955843 U	U	02 December 2022
US	2022028834	A1	27 January 2022	US	11694996	B2	04 July 2023
				KR	20220014364	A	07 February 2022
				TW	202205600	A	01 February 2022

A. 主题的分类

H01L25/065(2023.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

VEN, CNABS, CNTXT, WOTXT, EPTXT, USTXT, CNKI, IEEE: 芯片, 裸片, 封装, 切割, 划片, 基板, 衬底, 布线, chip, die, wafer, packaging, package?, cutting, substrate, wiring

C. 相关文件

类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 112490186 A (通富微电子股份有限公司) 2021年3月12日 (2021 - 03 - 12) 说明书第[0035]-[0077]段, 附图1-11	1-27
A	CN 115440663 A (台湾积体电路制造股份有限公司) 2022年12月6日 (2022 - 12 - 06) 全文	1-27
A	CN 114899155 A (华天科技(昆山)电子有限公司) 2022年8月12日 (2022 - 08 - 12) 全文	1-27
A	US 2022028834 A1 (SAMSUNG ELECTRONICS CO., LTD.) 2022年1月27日 (2022 - 01 - 27) 全文	1-27

☐ 其余文件在C栏的续页中列出。

☒ 见同族专利附件。

★ 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“D” 申请人在国际申请中引证的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2024年1月17日

国际检索报告邮寄日期

2024年1月23日

ISA/CN的名称和邮寄地址

中国国家知识产权局
中国北京市海淀区蓟门桥西土城路6号 100088

授权官员

张跃

电话号码 (+86) 010-53961468

PCT/ISA/210 表(第2页) (2022年7月)

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2023/130829

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	112490186	A	2021年3月12日	无			
CN	115440663	A	2022年12月6日	US	2023026676	A1	2023年1月26日
				TW	202306091	A	2023年2月1日
				KR	20230015830	A	2023年1月31日
				DE	102022100879	A1	2023年1月26日
CN	114899155	A	2022年8月12日	CN	217955843U	U	2022年12月2日
US	2022028834	A1	2022年1月27日	US	11694996	B2	2023年7月4日
				KR	20220014364	A	2022年2月7日
				TW	202205600	A	2022年2月1日