



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I564937 B

(45)公告日：中華民國 106 (2017) 年 01 月 01 日

(21)申請案號：104114711

(22)申請日：中華民國 104 (2015) 年 05 月 08 日

(51)Int. Cl. : H01L21/18 (2006.01)

H01L21/02 (2006.01)

(30)優先權：2014/05/08 日本

2014-097241

(71)申請人：F L O S F I A 股份有限公司 (日本) FLOSFIA INC. (JP)

日本

(72)發明人：人羅俊實 HITORA, TOSHIMI (JP)；織田真也 ODA, MASAYA (JP)；高塚章夫 TAKATSUKA, AKIO (JP)

(74)代理人：葉信金

(56)參考文獻：

TW 201249752

CN 101931009A

JP 2012-256850A

審查人員：翁佑菱

申請專利範圍項數：14 項 圖式數：29 共 59 頁

(54)名稱

結晶性層疊結構體以及半導體裝置

(57)摘要

提供一種半導體特性好，特別地，導電性的易控制好，能夠在縱方向導通，具有良好的電學特性的結晶性層疊結構體。所述層疊結構體在所含主要成分為單軸取向的金屬之金屬層上，直接或藉由其他層具備半導體層，並且所述半導體層所含主要成分為結晶性氧化物半導體，所述結晶性氧化物半導體是含有從鎵、銦以及鋁中選擇的一種或兩種以上的金屬的氧化物半導體，並且是單軸取向的。

指定代表圖：

符號簡單說明：

1 . . . 半導體層

2 . . . 金屬層

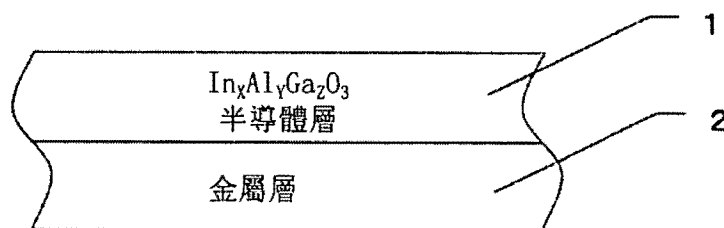


圖1

發明摘要

公告本

※ 申請案號：104114711

※ 申請日：104.5.8

※IPC 分類：H01L 21/18
21/02

【發明名稱】（中文/英文）結晶性層疊結構體以及半導體裝置

【中文】

提供一種半導體特性好，特別地，導電性的易控制性好，能夠在縱方向導通，具有良好的電學特性的結晶性層疊結構體。所述層疊結構體在所含主要成分為單軸取向的金屬之金屬層上，直接或藉由其他層具備半導體層，並且所述半導體層所含主要成分為結晶性氧化物半導體，所述結晶性氧化物半導體是含有從鎵、銦以及鋁中選擇的一種或兩種以上的金屬的氧化物半導體，並且是單軸取向的。

【英文】

【代表圖】

【本案指定代表圖】：第（ 1 ）圖。

【本代表圖之符號簡單說明】：

- 1 半導體層
- 2 金屬層

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文) 結晶性層疊結構體以及半導體裝置

【技術領域】

【0001】

本發明涉及半導體裝置，特別地，涉及對於電力用或光接收/發送用半導體裝置而言有用的結晶性層疊結構體以及由所述結晶性層疊結構體構成的半導體裝置。

【先前技術】

【0002】

作為可以實現高耐壓、低損耗以及高耐熱的第二代的轉換元件 (switching devices)，使用能帶隙大的氧化鎵 (Ga_2O_3) 的半導體裝置受到關注，被期待適用於逆變器等電力用半導體裝置。並且，由於具有寬的能帶隙還被期待應用於 LED 或感測器等光接收/發送裝置。根據非專利文獻 1 (金子健太郎、“剛玉結構氧化鎵類混晶薄膜的生長與物理性質”，京都大學博士論文，平成 25 年 3 月)，該氧化鎵可以分別與銦或鋁混合，或與兩者混合成為混晶從而控制能帶隙，並且作為 InAlGaO 類半導體，該氧化鎵構成極具魅力的材料系統。在此所謂 InAlGaO 類半導體是指 $\text{In}_x\text{Al}_y\text{Ga}_z\text{O}_3$ ($0 \leq x \leq 2$ 、 $0 \leq y \leq 2$ 、 $0 \leq z \leq 2$ 、 $x+y+z=1.5 \sim 2.5$)，並且能夠看作含有氧化鎵的同一材料系統。

【發明內容】**【0003】**

作為用於實現使用這些 InAlGaO 類半導體的半導體裝置的底層材料，研究了 β 氧化鎵基板或藍寶石基板。

根據專利文獻 1（國際公開第 2013/035842 號），當使用 β 氧化鎵基板時，可以容許氧化鎵的同質外延生長，可以提高氧化鋁鎵薄膜的品質。然而，適用的基板尺寸存在限制，與矽或藍寶石等已經進行大量生產的材料相比較，難以增大其直徑。

根據專利文獻 2（國際公開第 2013/035844 號）以及專利文獻 3（日本特開 2013-058636 號公報），當使用藍寶石基板時，可以提高具有剛玉結構的 $\text{Al}_x\text{Ga}_y\text{O}_3$ （ $0 \leq X \leq 2$ 、 $0 \leq Y \leq 2$ 、 $X+Y=2$ ）薄膜的品質，但難以提高 β -gallia 結構膜的品質。另外，由於藍寶石是絕緣體，因此還存在電流不能在底層材料中流通的問題。此時，在底層材料上不能形成源極、漏電極的任一電極，限制半導體裝置的每單位面積的輸出電流。當直徑增大 6 英寸、8 英寸時，這些直徑增大後的藍寶石的工業應用沒有取得這麼大的發展，因此存在能否安定地獲取這樣的不安，以及獲取成本上升等問題。

【0004】

另外，氧化鎵或藍寶石的低導熱率也妨礙提高半導體裝置的耐熱性。

另外，底層材料的特性也引起涉及用於實現低損耗的半導體裝置的電學特性的問題。例如，為了實現高耐壓、低損耗的半導體裝置，除了降低通道層的損耗之外，還需要降低通道層以外的損耗。例如，要求降低構成半導體裝置的接觸區域的損耗，另外，還要求在垂直式半導體裝置中降低

層材料或底層材料與通道層之間的層的損耗。

【0005】

此外，隨著移動電話等的發展，在提高資訊處理終端的每單位體積的處理能力的背景下，要求實現半導體裝置的小型化，還存在使具有不同的功能的半導體裝置複合化而減少半導體裝置的個數的市場要求。在此，將使用有 InAlGaO 類半導體的半導體裝置，與工業應用上不可抵擋地發展中的使用有 Si 的半導體裝置或基板複合化，這一點被強烈地需求。即使使用其晶體成長技術目前被證實的氧化鎵、藍寶石基板的任意一個，這樣的結合也需要更換底層材料等，難以實現。

【0006】

另外，作為 InAlGaO 類半導體的重要的應用領域，GaN、AlN、InN、AlGaIn、InGaIn、InAlGaIn 等氮化物半導體的底層材料應用也重要。氮化物半導體被應用於 LED、激光等光接收/發送領域，當將最一般的藍寶石基板作為底層材料來使用時，在作為導電層的 n 層中發生電壓降低、發熱損耗、電流分布不均勻等問題，同時由於藍寶石基板是絕緣的，因此存在由於必須使兩極性的電極形成在相同的 InAlGaIn 半導體上而造成的電流密度的界限等問題。還存在難以將 LED 元件和 Si 半導體裝置結合的問題。Si {111} 面上的氮化物半導體的成膜技術由於緩衝層等的處理而受到矚目，但被批量生產的 Si {100} 面上的氮化物半導體的成膜技術還未取得進展，工業應用也很困難。

【0007】

根據專利文獻 3，可以將 β 氧化鎵基板作為底層材料來使用使氮化鎵的

晶體生長，但適用的基板尺寸存在限制，與矽或藍寶石等已經進行大量生產的材料相比較，難以增大其直徑。

【0008】

根據非專利文獻 2 (IEEE EDL 30 1015 2009 年) MIT 的 Tomas Palacios 等將在 Si {111} 上生長的 AlGa_N/Ga_N 膜從 Si {111} 基板分離，將 AlGa_N/Ga_N 薄膜粘貼於 Si {100} 基板，謀求 Si 裝置與 Ga_N 裝置的集成。然而，存在工時多且難以從基板全面整齊地剝離等問題。

【0009】

另外，在非專利文獻 3 (WILSON K et al 'Electronic, Structural, and Reactive Properties of Ultrathin Aluminum Oxide Films on Pt(111)', The Journal of Physical Chemistry B, 1998 年, Vol.102, P.1736-1744) 中記載了在 Pt {111} 上形成氧化鋁薄膜的層疊結構體。

【0010】

在專利文獻 4 (日本特開 2011-192975 號公報) 中記載了在 Pt {111} 層上形成氧化鈦層 (TiO_x) 的層疊結構體。

【0011】

另外，在專利文獻 5 (日本特開 2011-029399 號公報)、專利文獻 6 (日本特開 2012-256850 號公報)、專利文獻 7 (日本特開 2012-256851 號公報) 中，記載了在由 Pt {111} 構成的底層膜或下部電極上，形成鐵電體膜的層疊結構體。然而，非專利文獻 3 記載的氧化鋁、專利文獻 4 記載的氧化鈦、專利文獻 5~7 記載的鐵電體膜 (PZT 膜等) 均不作為半導體而發揮作用，還包含利用導電性作為導電性底層材料或電極材料而利用，難

以將其本身作為半導體裝置的半導體來使用。

【0012】

由此，在半導體裝置所使用的層疊結構體中還存在很多問題，例如，在金屬層與半導體層的介面中產生鎖連接（pinning），或是在成膜後不能維持肖特基接觸，或不能在縱方向導通，或半導體裝置的照度不均勻，或亮度等也不足，對半導體裝置的大電流化限制多等，特別地，在半導體的電學特性中存在大量的問題。

【0013】

本發明鑒於所述問題，目的在於提供一種半導體特性好的結晶性層疊結構體。

【0014】

本發明人為了實現所述目的認真研究後發現一種層疊結構體，其中，直接或藉由其他層在所含主要成分為單軸取向的金屬之金屬層上具備半導體層，且該半導體層的所含主要成分為結晶性氧化物半導體，所述結晶性氧化物半導體是含有從鎵、銦以及鋁中選擇的一種或兩種以上的金屬的氧化物半導體，另外，發現單軸取向的結晶性層疊結構體的導電性的易控制好，可以在縱方向導通，具有良好的電學特性，可以一舉解決所述的現有技術中的問題。

【0015】

另外，本發明人還發現具備所述結晶性層疊結構體的二半導體裝置被應用於面向 InAlGaO 類半導體的應用領域，可以減少通道層以外的損耗，可以在廉價且能夠擴大直徑的底層材料上形成半導體層，可以在導熱率優於

β 氧化鎵基板或藍寶石基板的底層材料上形成半導體層，另外，還發現作為面向氮化物半導體的應用領域，通過將 InAlGaO 類半導體作為底層材料來使用，可以減少光接收/發送層以外的損耗，減少浪費的發熱，可以在廉價且可以擴大直徑的底層材料上形成半導體層，可以實現與 Si 半導體裝置的複合化。

另外，本發明人得到前述認識之後，進一步研究完成了本發明。

【0016】

即，本發明涉及一種結晶性層疊結構體，其中，直接或藉由其他層在所含主要成分為單軸取向的金屬之金屬層上具備半導體層，且所述半導體層的所含主要成分為結晶性氧化物半導體，所述結晶性氧化物半導體是含有從鎵、銦以及鋁中選擇的一種或兩種以上的金屬的氧化物半導體，另外，所述結晶性層疊結構體是單軸取向的。

【0017】

本發明的結晶性層疊結構體的半導體特性好，特別地，導電性的易控制性好，可以在縱方向導通，具有良好的電學特性。

【圖式簡單說明】

【0018】

圖 1 是表示本發明的實施方式的事例的結晶性層疊結構體的剖面圖。

圖 2 是表示本發明的實施方式的另一個例子的結晶性層疊結構體的剖面圖。

圖 3 是表示本發明的實施方式的另一個例子的結晶性層疊結構體的

剖面圖。

圖 4 是表示本發明的實施方式的另一個例子的結晶性層疊結構體的剖面圖。

圖 5 是表示本發明的實施方式的另一個例子的結晶性層疊結構體的剖面圖。

圖 6 是表示本發明的實施方式的另一個例子的結晶性層疊結構體的剖面圖。

圖 7 是表示本發明的肖特基勢壘二極體 (SBD) 的一個適當的例子的示意圖。

圖 8 是表示本發明的肖特基勢壘二極體 (SBD) 的一個適當的例子的示意圖。

圖 9 是表示本發明的金屬半導體場效應電晶體 (MESFET) 的一個適當的例子的示意圖。

圖 10 是表示本發明的高電子遷移率電晶體 (HEMT) 的一個適當的例子的示意圖。

圖 11 是表示本發明的金屬氧化物半導體場效應電晶體 (MOSFET) 的一個適當的例子的示意圖。

圖 12 是用於說明圖 11 的金屬氧化物半導體場效應電晶體 (MOSFET) 的製造步驟的一部分的示意圖。

圖 13 是表示本發明的金屬氧化物半導體場效應電晶體 (MOSFET) 的一個例子的示意圖。

圖 14 是表示本發明的靜電感應電晶體 (SIT) 的一個適當的例子的示意

圖。

圖 15 是用於說明圖 8 的 SIT 的製造步驟的一部分的示意圖。

圖 16 是表示本發明的肖特基勢壘二極體（SBD）的一個適當的例子的示意圖。

圖 17 是表示本發明的高電子遷移率電晶體（HEMT）的一個適當的例子的圖。

圖 18 是表示本發明的金屬氧化物半導體場效應電晶體（MOSFET）的一個適當的例子的示意圖。

圖 19 是表示本發明的結型場效應電晶體（JFET）的一個適當的例子的示意圖。

圖 20 是表示本發明的絕緣柵雙極型電晶體（IGBT）的一個適當的例子的示意圖。

圖 21 是表示本發明的發光元件（LED）的一個適當的例子的示意圖。

圖 22 是表示本發明的發光元件（LED）的一個適當的例子的示意圖。

圖 23 是表示本發明的實施方式的成膜裝置的結構圖。

圖 24 是表示本發明的實施例的 X 射線衍射線形的一個例子的圖。

圖 25 是表示本發明的實施例的 X 射線衍射線形的一個例子的圖。

圖 26 是表示本發明的實施例的 X 射線衍射線形的一個例子的圖。

圖 27 是表示本發明的實施例的 X 射線衍射線形的一個例子的圖。

圖 28 是表示本發明的肖特基勢壘二極體（SBD）的一個適當的例子的示意圖。

圖 29 是表示本發明的實施例中的 IV 特性的評估結果的圖。

【實施方式】**【0019】**

本發明的結晶性層疊結構體在所含主要成分為單軸取向的金屬之金屬層上，直接或藉由其他層具備所含主要成分為結晶性氧化物半導體的半導體層。

【0020】

如果是單軸取向的金屬，所述金屬就沒有特別地限定。“單軸取向的金屬”可以是在膜厚方向以及膜面內方向、或膜厚方向等一定的方向具有單一的晶體取向的金屬，還包含優先單軸取向的金屬。在本發明中優選在膜厚方向單軸取向。金屬是單晶或多晶的，當金屬為多晶時，構成多晶的多個晶粒分別具有晶體取向，這些晶粒通過朝向同一方向來對多晶的金屬進行單軸取向。可以通過 X 射線衍射法來確認取向是否是單軸取向。例如，如以下那樣。首先，準備檢查物件的薄膜樣品 FS 和隨機取向的同一晶體的粉末樣品 PS。接著，針對薄膜樣品 FS，求得來自特定的晶體面 CP1 的峰的積分強度 F1 與來自其他的晶體面 CP2 的峰的積分強度 F2 的比(F1/F2)。接著，針對粉末樣品 PS，求得來自特定的晶體面 CP1 的峰的積分強度(P1)與來自其他的晶體面 CP2 的峰的積分強度(P2)的比(P1/P2)。當比(F1/F2)大於比(P1/P2)時（優選為 2 倍以上，更優選為一個數量級以上）時，可以判定為是單軸取向。作為所述金屬的種類，例如有鉑（Pt）、金（Au）、鈀（Pd）、銀（Ag）、鉻（Cr）、銅（Cu）、鐵（Fe）、鎢（W）、鈦（Ti）、鉭（Ta）、鈮（Nb）、錳（Mn）、鉬（Mo）、鋁（Al）或鈪（Hf）等，也可以是所述

金屬的合金。在本發明中，所述金屬優選為單軸取向的鉑、金或鈀，還優選為取向於 {111} 面的金屬，更優選為取向於 {111} 面的鉑、金或鈀。

【0021】

只要是所含主要成分為所述單軸取向的金屬，所述金屬層就沒有特別地限定，通常，是含有 50 摩爾%以上所述金屬之金屬層，優選是含有 80 摩爾%以上的金屬層，更優選是含有 90 摩爾%以上的金屬層。所述金屬層可以由金屬基板構成，也可以由設置在底層基板上的金屬膜構成。所述金屬層可以由連續的金屬膜構成，也可以由不連續的金屬膜組成。也可以由不連續的金屬膜構成。作為所述金屬基板，例如含有主要成分為所述金屬種類中例舉的金屬之金屬基板等，更具體而言，例如有含有 50 質量%以上（優選為 80 質量%以上，更優選為 90 質量%以上）的由鉑(Pt)、金(Au)、鈀(Pd)、銀(Ag)、鉻(Cr)、銅(Cu)、鐵(Fe)、鎢(W)、鈦(Ti)、鉭(Ta)、鈮(Nb)、錳(Mn)以及鉬(Mo)構成的一種或兩種以上的金屬之金屬基板等。作為所述金屬膜，例如有所含主要成分為在所述金屬種類中例舉的金屬的金屬膜等，更具體而言，例如有含有 50%以上（優選為 80%以上，更優先為 90%以上）的由鉑(Pt)、金(Au)、鈀(Pd)、銀(Ag)、鉻(Cr)、銅(Cu)、鐵(Fe)、鎢(W)、鈦(Ti)、鉭(Ta)、鈮(Nb)、錳(Mn)以及鉬(Mo)構成的一種或兩種以上的金屬之金屬膜等。在本發明中，所述金屬層優選由設置於底層基板上的金屬膜構成。只要不妨礙本發明的目的，所述底層基板就沒有特別地限定。作為所述底層基板，例如有藍寶石基板、Si 基板、石英基板、氮化鋁基板、氮化硼基板、SiC 基板、玻璃基板（還包含硼矽玻璃基板或晶體化玻璃基板）、SiGe 基板

或塑膠基板等。在本發明中，所述底層基板優選是 c 面藍寶石基板或 Si 基板 {100}。通過使用這樣的優選的基板，可以進一步提高半導體特性。另外，在本發明中，還可以將所述金屬層作為電極用於半導體裝置。

【0022】

所述結晶性氧化物半導體是含有從鎵、銦以及鋁中選擇的一種或兩種以上的金屬的氧化物半導體，另外，只要是單軸取向，就沒有特別地限定。如果是在膜厚方向以及膜面內方向、或膜厚方向等一定的方向具有單一的晶體取向的氧化物半導體，“單軸取向的氧化物半導體”就沒有特別地限定，還包含優先單軸取向的氧化物半導體。在本發明中，優選在膜厚方向單軸取向。取向與所述金屬層的情況相同，可以通過 X 射線衍射法判定是否是單軸取向。例如，如以下所述。首選，準備檢查對象的薄膜樣品 FS 和隨機地取向的同一晶體的粉末樣品 PS。接著，針對薄膜樣品 FS，求得來自特定的晶體面 CP1 的峰的積分強度 F1 與來自其他晶體面 CP2 的峰的積分強度 F2 的比(F1/F2)。接著，針對粉末樣品 PS，求得來自特定的晶體面 CP1 的峰的積分強度(P1)與來自其他晶體面 CP2 的峰的積分強度(P2)的比(P1/P2)。當比(F1/F2)大於比(P1/P2)時（優選為 2 倍以上，更優選為一個數量級以上），可以判定為是單軸取向。在本發明中，所述單軸取向的結晶性氧化物半導體優選是單晶。作為氧化物半導體的種類，例如有 $\text{In}_x\text{Al}_y\text{Ga}_z\text{O}_3$ ($0 \leq x \leq 2$ 、 $0 \leq y \leq 2$ 、 $0 \leq z \leq 2$ 、 $x+y+z=1.5 \sim 2.5$) 等。在本發明中，所述氧化物半導體優選是含有鎵的氧化物半導體，更優選是具有剛玉結構或 β -gallia 結構的氧化物半導體，還優選是 α - Ga_2O_3 或 β - Ga_2O_3 。通過將這樣優選的氧化物半導體與所述的優選的金屬一起使用，可以得到電學特性

更好的結晶性層疊結構體。

另外，只要所含主要成分為結晶性氧化物半導體，所述半導體層就沒有特別地限定，通常是含有 50 摩爾％以上的所述結晶性氧化物半導體的半導體層，優選是含有 80 摩爾％以上的半導體層，更優選是含有 90 摩爾％以上的半導體層。

【0023】

以下參照附圖說明與氧化物半導體薄膜的成膜相關的合適的方式。具體而言，說明一個優選的實施方式，即：與作為金屬層的鉑、金或鈀的薄膜或基板形成相關的方式，在氧化物半導體薄膜的成膜中使用 MistCVD 法的方式。另外，在各圖中記載有同一符號的構成要素是相同之物。

【0024】

1. 鉑、金或鈀的薄膜或基板形成

當使用鉑、金或鈀的基板時，購買市售的材料即可。優選具有在成膜、裝置步驟等步驟中不會損傷，易於處理的 100 μ m 以上的厚度，成膜面優選通過化學研磨等方法加工成平坦的。鉑或金的薄膜可以利用濺射、蒸鍍、鍍膜等各種成膜方法。為了製作表面定向 {111} 的樣品，可以在成膜中進行加熱處理，也可以在成膜後進行加熱處理。也可以通過由銦、鋁、鎵的至少任意一個或它們的組合使結晶性氧化物半導體薄膜成膜時的熱能來對鉑、金、或鈀進行取向。

【0025】

在對鉑、金或鈀的薄膜進行成膜前，在與被成膜材料之間還可以將氧化矽、鈦或鎳等層作為阻擋層（blocking layer）、或粘附度（adherence）強

化層而加入。阻擋層被導入的目的是為了防止各層的底層材料由於熱處理等過程擴散、混入到上層。還具有改善在阻擋層之上的層上形成的半導體裝置的頻率特性的效果。通過對阻擋層或粘附度強化層使用鈦、鎳等金屬或氧化鋅、氧化錫、ITO、InGaZnO、InO、GaO、InAlGaO 等低電阻金屬氧化膜，從而可以將鉑、金或鈮和底層材料低電阻地連接，或對該連接賦予歐姆特性。此時的金屬氧化膜不一定需要是單軸取向，可以是非晶（Amorphous）或多晶。為了提高粘附強度，除了材料特性之外，根據與各層的底層材料的相容度來選擇，優選使用鈦或鎳。還存在如鈦那樣可以兼具阻擋層和粘附度強化層的層。

【0026】

作為優選的實施方式的一個例子，存在在 c 面藍寶石上通過蒸鍍或濺射法形成鉑、金或鈮的薄膜的方法。薄膜的厚度沒有特別地限定，優選為 500nm 以下，更優選為 50nm 以下。

作為優選的實施方式的一個例子，在通過熱氧化在 Si {100} 面形成了氧化矽膜之後，一邊施加加熱處理，一邊通過濺射法使鉑、金或鈮成膜的方法。通過在成膜後進行加熱處理，可以進一步提高鉑、金或鈮的結晶性。

【0027】

2.氧化物半導體薄膜的成膜

<原料>

對於結晶性氧化物的原料沒有特別地限定，材料可以使用鎵化合物、銦化合物、鋁化合物的任意一個、或它們進行組合的金屬化合物。也可以以鎵金屬或銦金屬為原始材料在即將成膜之前形成鎵化合物或銦化合物。

在鎵化合物和銦化合物中，存在有機絡合物或鹵化物等非常多的種類，在一個例子中，作為鎵化合物，銦化合物可以使用乙醯丙酮鎵（Gallium acetylacetonate）、乙醯丙酮銦（indium acetylacetonate），作為鋁化合物可以使用乙醯丙酮鋁（aluminum acetylacetonate）。

【0028】

原料溶液的溶劑首選是水、過氧化氫溶液、有機溶劑。在原料溶液中可以添加摻雜物化合物，由此可以對形成的薄膜賦予導電性，因此可以作為半導體層來使用。

【0029】

如在 $\text{In}_x\text{Al}_y\text{Ga}_z\text{O}_3$ ($0 \leq X \leq 2$ 、 $0 \leq Y \leq 2$ 、 $0 \leq Z \leq 2$ 、 $X+Y+Z=1.5 \sim 2.5$) 中 X ， Y ， Z 中的至少 2 個大於 0 的情況那樣，當形成含有 2 種以上的金屬元素的薄膜（混晶膜）時，可以使 1 種原料溶液中溶解 2 種以上的金屬化合物，也可以準備每個金屬化合物的原料溶液，將各個原料溶液分別進行微粒化。

【0030】

另外，本說明書中的 $\text{In}_x\text{Al}_y\text{Ga}_z\text{O}_3$ 等標記只不過用於表現金屬離子與氧離子的比例，因為沒有標記為“ $X+Y+Z=2$ ”，因此顯然，還包含非化學計量的氧化物，除了金屬不足氧化物（metal-deficient oxide）、金屬過剩氧化物（metal-excess oxide）之外，其還包含氧氣不足氧化物（oxygen-deficient oxide）、氧氣過剩氧化物（oxygen-excess oxide）。

【0031】

<微粒化>

使原料溶液進行微粒化生成原料微粒的方法沒有特別地限定，一般採用對原料溶液施加超聲波振動進行微粒化的方法。另外，在其他方法中，例如，通過對原料溶液進行噴霧將原料溶液進行微粒化也可以生產原料微粒。

【0032】

<載氣>

載氣例如是氮氣，但也可以使用氬氣、氧氣、臭氧、空氣等氣體。另外，載氣的流量沒有特別地限定，例如為 0.1～50L/min。當在原料溶液中使用有機溶劑時優選使用包含氧元素的氧氣、臭氧等氣體。

【0033】

<成膜室・被成膜樣品・成膜>

原料微粒通超載氣向成膜室供給，在成膜室內發生反應，而在載置於成膜室內的被成膜樣品上形成薄膜。在被成膜樣品上形成的薄膜是氧化物晶體（優選為氧化物單晶）的薄膜。

【0034】

成膜室是進行薄膜形成的空間，其結構或材料沒有特別地限定。在一個例子中，成膜室是如實施例那樣，從石英管的一端供給含有原料微粒的載氣，從石英管的另一端排出廢氣的結構。在該結構的情況下，被成膜樣品可以配置成成膜面為水準，例如也可以朝向載氣的供給側傾斜 45 度來配置。另外，例如，也可以利用將數 mm 以下的通道作為反應區域來使用的微通道法、在基板上設置直線狀的噴嘴（nozzle），由此向基板在垂直方向噴射原料微粒（以及載氣），另外使噴嘴向垂直於直線狀的出口的方向移

動的線源法 (linear source method)，或基於多種方式的混合、或派生之成膜法。在微通道法中，可以製作均質的薄膜並提高原料的利用效率，線上源法中，可以實現將來的大面積基板以及卷對卷 (roll-to-roll) 方式的連續成膜。成膜室例如成為可以通過使成膜室的周圍被加熱器包圍從而將內部空間加熱到所希望的溫度的結構。另外，成膜室也可以不是大氣壓而進行加壓或減壓。

【0035】

如果是可以使原料溶液所包含的原料溶質 (鎵化合物、銦化合物等) 進行化學反應的溫度，成膜時的成膜室的加熱溫度就沒有特別地限定，例如是 300~1500°C，優選 400~700°C，更優選 450~550°C。這是由於如果加熱溫度過低則原料溶質的反應速度慢，成膜速度變慢，如果加熱溫度過高則所形成的薄膜的蝕刻 (etching) 速度會變大，成膜速度會變慢。具體而言，加熱溫度例如是 300、350、400、450、500、550、600、650、700、750、800、900、1000、1500°C，也可以是在此示例的數值的任意兩個間的範圍內。其中，當氧化物半導體薄膜是剛玉結構 (α 層) 時，在成膜溫度為高溫的情況下 β 相易於生長，因此，當想要得到 α 相單相時，對每個溫度需要優化溶液的濃度以及組成、成膜時的流量等條件。氧化物半導體薄膜均可以是單一金屬氧化物晶體膜也可以是混晶膜。混晶膜的情況下，由混合 2 種以上的溶質的溶液 30a 發生 Mist (霧) 或將分別發生的 2 種以上的 Mist 同時導入成膜室 16 即可。

【0036】

只要可以形成鉑、金或鈮的薄膜或基板、優選取向於表面定向的薄膜

或基板、例如取向於 {111} 的薄膜或基板，被成膜樣品就沒有特別地限定。作為形成鉑、金或鈮的薄膜時的合適的例子，作為底層材料可以使用 Si 基板、玻璃基板、藍寶石基板的任意一個。作為 Si 基板特別優選 {100}，但也可以是 {111} 基板。作為被成膜樣品的、其他合適的底層材料的例子，例如有具有剛玉結構的薄膜或基板、GaN 或 ZnO 所代表的具有六方晶的晶體結構的薄膜或基板、YSZ 所代表的具有立方晶的晶體結構的薄膜或基板、或 β 型氧化鋯薄膜或基板、 γ 型氧化鋯薄膜或基板等。優選在鉑、金或鈮的薄膜與底層材料之間形成非晶（Amorphous）氧化物。如果該非晶（Amorphous）氧化物是導電性氧化物，則可以在底層材料上形成電極，可以縮小半導體裝置的面積的情況也是存在的。

【0037】

也可以在鉑、金或鈮的薄膜或基板與含有銮、鋁、鎵的至少一種的氧化物半導體薄膜之間加入緩衝層。緩衝層可以是與所述氧化物半導體薄膜不同的組成的氧化物。緩衝層形成於鉑、金或鈮的薄膜與氧化物半導體薄膜之間。例如，可以在以低的成膜溫度形成，保持鉑、金或鈮的表面狀態的狀態下形成氧化物半導體薄膜。在其他的例子中，也可以是為了減少與鉑或金的接觸電阻而在鉑、金或鈮與上層的氧化物半導體薄膜之間形成的、功函數（work function）低的鈦等金屬或氧化鋅、氧化銮、ITO、InGaZnO 等金屬氧化物的薄膜。可以具有剛玉結構、 β -gallia 結構、方鐵鎂礦（bixbyite）結構，優選具有與氧化物半導體薄膜層相同的晶體結構。

【0038】

圖 1~6 表示可以通過本實施方式的方法製造的半導體裝置或晶體體的

例子。

在圖 1 的例子中，在由鉑、金或鈀的薄膜或基板構成的金屬層 2 上按照該順序形成由 $\text{In}_x\text{Al}_y\text{Ga}_z\text{O}_3$ ($0 \leq X \leq 2$ 、 $0 \leq Y \leq 2$ 、 $0 \leq Z \leq 2$ 、 $X+Y+Z=1.5 \sim 2.5$) 構成的半導體層 1。半導體層 1 例如是單晶膜。

在圖 2 的例子中，在底層材料 5 上成膜有由鉑、金或鈀的薄膜或基板構成的金屬層 4，在之上按照該順序形成由 $\text{In}_x\text{Al}_y\text{Ga}_z\text{O}_3$ ($0 \leq X \leq 2$ 、 $0 \leq Y \leq 2$ 、 $0 \leq Z \leq 2$ 、 $X+Y+Z=1.5 \sim 2.5$) 構成的半導體層 3。優選對金屬層 4 的鉑、金或鈀進行取向，特別地，優選取向於 $\{111\}$ 面。半導體層 3 例如是單晶膜。作為底層材料 5 優選為 Si 基板、藍寶石基板、玻璃基板，也可以是 Cu 等金屬基板。

【0039】

在圖 3 的例子中，在由鉑、金或鈀的薄膜或基板構成的金屬層 7 與底層材料 9 之間成膜有阻擋層 8。阻擋層 8 為了防止底層材料 9 從金屬層 7 突出而形成，優選鈦或氧化矽。由此，可以形成防止來自底層材料的雜質的由 $\text{In}_x\text{Al}_y\text{Ga}_z\text{O}_3$ ($0 \leq X \leq 2$ 、 $0 \leq Y \leq 2$ 、 $0 \leq Z \leq 2$ 、 $X+Y+Z=1.5 \sim 2.5$) 構成的半導體層 6。

在圖 4 的例子中，在由鉑、金或鈀的薄膜或基板構成的金屬層 11 與底層材料 13 之間使粘附度強化層 12 成膜。粘附度強化層 12 為了強化底層材料 13 與金屬層 11 的粘附度而形成，優選為鈦或鎳。

在圖 5 的例子中，在由鉑、金或鈀的薄膜或基板構成的金屬層 15 與底層材料 18 之間使阻擋層 16 和粘附度強化層 17 成膜。

【0040】

阻擋層 16 和粘附度強化層 17 可以以上下顛倒的結構形成。當使粘附度強化層 17 在阻擋層 16 上層進行成膜時，優選粘附度強化層 17 與金屬層 15 通過成膜步驟或成膜後步驟不發生反應。這是由於當發生該反應時，會在金屬層 15 中混合粘附度強化層 17，妨礙形成由優質的 $\text{In}_x\text{Al}_y\text{Ga}_z\text{O}_3$ ($0 \leq X \leq 2$ 、 $0 \leq Y \leq 2$ 、 $0 \leq Z \leq 2$ 、 $X+Y+Z=1.5 \sim 2.5$) 構成的半導體層 14。並且，優選阻擋層 16 與底層材料 18 的粘附是堅固的。

在圖 6 的例子中，在由氧化物半導體薄膜構成的半導體層 19 與由鉑、金或鈮的薄膜或基板構成的金屬層 21 之間形成緩衝層 20。

【0041】

<取出>

當氧化物半導體薄膜的成膜結束的話，將帶有氧化物半導體薄膜的底層材料從成膜室取出。

當將氧化物半導體薄膜作為 GaN、AlN、InN、AlGaIn、InGaIn、InAlGaIn 半導體等氮化物半導體的底層材料來使用時，通過 MOCVD 等成膜過程使氮化物半導體成膜。通過在氮化物半導體成膜前實施氮化處理使氧化物半導體薄膜的最表面進行氮氣化處理，從而可以提高 InAlGaIn 等氮化物半導體的晶體品質。在氮化處理中可以使用氮氣等離子處理或一邊使氮氣 (ammonia gas) 流通一邊進行高溫退火的方法。

【0042】

特別地，當形成剛玉結構的氧化物半導體薄膜時，可以低溫生長，即使在使用 Si {100} 等進行複合化的情況下也可以較低地抑制成膜溫度等，因此，可以降低在剛玉結構以外的同一基板上形成的材料、薄膜、半導體

裝置的熱損害。其中，當在形成氮化物半導體層時需要熱能時，為了維持剛玉結構，可以導入防止相變的方法。例如有氮化物半導體的低溫緩衝層導入等方法。

【0043】

以下介紹用於防止或控制相變的方法的一個例子。

例如，作為氧化物半導體薄膜之上的層通過形成 Al 濃度更大的氧化物半導體薄膜，從而可以防止或控制剛玉結構氧化物半導體薄膜（優選的是 InAlGaO 類半導體）的相變。

例如，優選將氮化物半導體層的成膜溫度抑制在作為底層材料的剛玉結構氧化物半導體薄膜不會發生相變的低的溫度，具體而言，雖然依存於 Al 濃度，但在 InAlGaO 類半導體的情況下優選抑制在 800°C 以下，特別地，在氧化鎵半導體的情況下優選抑制在 500°C 以下。

【0044】

例如，在 InAlGaN 半導體等氮化物半導體層與 InAlGaO 半導體層之間加入氮化物半導體的低溫緩衝層，將介面形成時的成膜溫度抑制在剛玉結構氧化物半導體薄膜不會發生相變的溫度，從而可以良好地保持 InAlGaO 類半導體等氧化物半導體薄膜與 InAlGaN 等氮化物半導體的介面。此時，低溫緩衝層形成後的氮化物半導體層的形成溫度優選抑制在低於剛玉結構氧化物半導體薄膜相變的溫度。

【0045】

另外，在本發明中，可以如所述那樣防止或控制相變，或者也可以不使用所述的相變的防止方法或控制方法等而發生相變。當發生相變時，例

如，認為使剛玉結構變更為 β -gallia 結構。

【0046】

另外，在所述實施方式中，通過 Mist CVD 法成膜有氧化物半導體薄膜，也可以以其他方法來成膜。通過使用 Mist CVD 法，可以以比較低的溫度形成氧化物半導體薄膜。其結果是具有如下優點：難以發生鉑或金的移動，以及基於材料種類的熱膨脹係數的不同難以成為問題。作為可以使氧化物半導體薄膜成膜的其他方法，存在有機金屬汽相外延法、分子束外延法、濺射法、蒸鍍法等，適當地與成膜後的加熱處理組合實施。成膜後的加熱處理也可以被之後的製造步驟中的、直接目的不在於氧化物半導體薄膜的成膜、結晶性提高等的步驟中的加熱處理代替。

【0047】

另外，在本發明中，也可以對氧化物半導體薄膜、緩衝層、阻擋層、氮化物半導體層摻雜銦、鋁、鎵以外的元素，也可以為混晶。例如，在摻雜中可以使用 Ge、Sn、Si、Zn、Mg 等元素，在阻擋層或氧化物半導體薄膜層中也可以使用 InGaZnO 等混晶。由此，可以調整導電性和絕緣性。

【0048】

另外，在本發明中，也可以對氧化物半導體層、緩衝層、阻擋層、金屬層的一部分導入膜組成以及元素摻雜濃度方面的一定的重複結構（a predetermined repeated structure with respect to the film composition and the concentration of the doping element）。由此，可以促進應力鬆弛、或增減載流子，調整載流子遷移率的大小、粘附度、其他層的混入防止程度（阻擋度）。

【0049】

在成膜步驟後，也可以進行離子注入、蝕刻、光刻法、加熱處理、電極形成，等半導體裝置製造用的裝置步驟（device process）。

之後，金屬層等各層還可以用於底層材料的剝離技術。例如，在由鉑或金構成的金屬層上形成的上層被固定在支持基板上，通過使金屬層被化學製品等溶解從而可以從底層材料分離。此時，使金屬層溶解的化學製品必須合適地選擇，以使得不會將固定在支持基板上的所述上層溶解掉。

【0050】

本發明的結晶性層疊結構體對於各種半導體裝置而言有用，特別地，對功率裝置（power device）有用。另外，半導體裝置可以分類為電極形成於半導體層的一側的橫置的元件（橫置裝置）和分別在半導體層的正反兩面側具有電極的垂直式的元件（垂直式裝置），在本發明中，可以將所述結晶性層疊結構體適用於橫置裝置以及垂直式裝置，其中優先用於垂直式裝置。作為所述半導體裝置，例如有肖特基勢壘二極體（SBD）、金屬半導體場效應電晶體（MESFET）、高電子遷移率電晶體（HEMT）、金屬氧化物半導體場效應電晶體（MOSFET）、靜電感應電晶體（SIT）、結型場效應電晶體（JFET）、絕緣柵雙極型電晶體（IGBT）或發光二極體等。在本發明中，所述半導體裝置優選為 SBD、MOSFET 或 SIT。另外，在本發明中，所述半導體裝置優選不含有 p 型半導體層。

另外，當將本發明的結晶性層疊結構體用於半導體裝置時，可以按照原樣或根據希望將本發明的結晶性層疊結構體進行基板的分離等，用於半導體裝置。

【0051】

以下，使用附圖，說明將本發明的結晶性層疊結構體的結晶性氧化物半導體薄膜適用於 n 型半導體層（n+型半導體或 n-型半導體等）時的合適的例子，但本發明並不限定於這些例子。另外，在以下所示例的半導體裝置中，只要不妨礙本發明的目的，可以含有其他層（例如，絕緣體層、半絕緣體層、導體層、半導體層、緩衝層或其他的中間層等）等，另外，也可以適當地省略緩衝層（Buffer layer）等。

【0052】

（SBD）

圖 7 表示本發明所涉及的肖特基勢壘二極體（SBD）的一個例子。圖 7 的 SBD 具備 n-型半導體層 101a、n+型半導體層 101b、肖特基電極 105a 以及歐姆電極 105b。

【0053】

肖特基電極以及歐姆電極的材料可以是公知的電極材料，作為所述電極材料，例如有 Al、Mo、Co、Zr、Sn、Nb、Fe、Cr、Ta、Ti、Au、Pt、V、Mn、Ni、Cu、Hf、W、Ir、Zn、In、Pd、Nd 或 Ag 等金屬或它們的合金、氧化錫、氧化鋅、氧化銦、氧化銦錫（ITO）、氧化鋅銦（IZO）等金屬氧化物導電膜、聚苯胺、聚噻吩或聚吡咯等有機導電性化合物、或它們的混合物等。

【0054】

肖特基電極以及歐姆電極的形成例如可以通過真空蒸鍍法或濺射法等公知的方法進行。更具體而言。當形成肖特基電極時，可以使由 Mo 構成的層和由 Al 構成的層層疊，相對於由 Mo 構成的層以及由 Al 構成的層，實施

利用光刻法的圖案化（Patterning）來進行。

【0055】

當對圖 7 的 SBD 施加反向偏壓時，耗盡層（未圖示）擴大到 n-型半導體層 101a 中，因此，成為高耐壓的 SBD。另外，當施加正向偏壓時，電子從歐姆電極 105b 流向肖特基電極 105a。這樣，使用有所述結晶性層疊結構體的 SBD 對於高耐壓、大電流用而言好，轉換速度也快，耐壓性、可靠性也好。

【0056】

圖 8 表示本發明所涉及的肖特基勢壘二極體（SBD）的一個例子。圖 8 的 SBD 除了圖 7 的 SBD 的結構之外，還具備絕緣體層 104。更具體而言，具備 n-型半導體層 101a、n+型半導體層 101b、肖特基電極 105a、歐姆電極 105b 以及絕緣體層 104。

【0057】

作為絕緣體層 104 的材料，例如有 GaO、AlGaO、InAlGaO、AlInZnGaO₄、AlN、Hf₂O₃、SiN、SiON、Al₂O₃、MgO、GdO、SiO₂ 或 Si₃N₄ 等，但在本發明中，首選是具有剛玉結構的材料。通過將具有剛玉結構的絕緣體用於絕緣體層，從而可以良好地發現介面中的半導體特性的功能。絕緣體層 104 被設置於 n-型半導體層 101a 與肖特基電極 105a 之間。絕緣體層的形成例如可以通過濺射法、真空蒸鍍法或 CVD 法等公知的方法進行。

【0058】

針對肖特基電極或歐姆電極的形成或材料等，與所述圖 7 的 SBD 的情況相同。

【0059】

圖 8 的 SBD 與圖 7 的 SBD 相比較，絕緣特性更好，具有更高的電流控制性。

【0060】

圖 28 表示本發明所涉及的肖特基勢壘二極體（SBD）的一個例子。圖 28 的 SBD 具備 n 型半導體層 101、金屬層 103、肖特基電、105a、歐姆電極 105b 以及底層基板 109。通過圖 28 的結構，不需要如以往那樣為了接觸電阻而增大歐姆電極，可以使歐姆電極小型化。

【0061】

（MESFET）

圖 9 表示本發明所涉及的金屬半導體場效應電晶體（MESFET）的一個例子。圖 9 的 MESFET 具備 n-型半導體層 111a、n+型半導體層 111b、緩衝層（buffer layer）118、半絕緣體層 114、閘電極 115a、源電極 115b 以及漏電極 115c。

【0062】

閘電極、漏電極以及源電極的材料可以是公知的電極材料，作為所述電極材料，例如有 Al、Mo、Co、Zr、Sn、Nb、Fe、Cr、Ta、Ti、Au、Pt、V、Mn、Ni、Cu、Hf、W、Ir、Zn、In、Pd、Nd 或 Ag 等金屬或它們的合金、氧化錫、氧化鋅、氧化銦、氧化銦錫（ITO）、氧化鋅銦（IZO）等金屬氧化物導電膜、聚苯胺、聚噻吩或聚吡咯等有機導電性化合物、或它們的混合物等。閘電極、漏電極以及源電極的形成例如可以通過真空蒸鍍法或濺射法等公知的方法進行。

【0063】

半絕緣體層 114 可以由半絕緣體構成，作為所述半絕緣體，例如有含有鈳 (Ru) 或鐵 (Fe) 等半絕緣體摻雜物的材料或沒有被摻雜處理的材料等。

【0064】

在圖 9 的 MESFET 中，在閘電極下形成良好的耗盡層，因此，可以有效地控制從漏電極流向源電極的電流。

【0065】

(HEMT)

圖 10 表示本發明所涉及的高電子遷移率電晶體 (HEMT) 的一個例子。圖 10 的 HEMT 具備能帶隙寬的 n 型半導體層 121a、能帶隙狹窄的 n 型半導體層 121b、n⁺型半導體層 121c、緩衝層 (Buffer layer) 128、半絕緣體層 124、閘電極 125a、源電極 125b 以及漏電極 125c。

【0066】

閘電極、漏電極以及源電極的材料分別可以是公知的電極材料，作為所述電極材料，例如有 Al、Mo、Co、Zr、Sn、Nb、Fe、Cr、Ta、Ti、Au、Pt、V、Mn、Ni、Cu、Hf、W、Ir、Zn、In、Pd、Nd 或 Ag 等金屬或它們的合金、氧化錫、氧化鋅、氧化銦、氧化銦錫 (ITO)、氧化鋅銦 (IZO) 等金屬氧化物導電膜、聚苯胺、聚噻吩或聚吡咯等有機導電性化合物、或它們的混合物等。閘電極、漏電極以及源電極的形成例如可以通過真空蒸鍍法或濺射法等公知的方法進行。

【0067】

另外，閘電極下的 n 型半導體層至少由能帶隙寬的層 121a 和狹窄的層 121b 構成，半絕緣體層 124 可以由半絕緣體構成，作為所述半絕緣體，例如有含有鈦（Ru）或鐵（Fe）等半絕緣體摻雜物的材料或沒有進行摻雜處理的材料等。

在圖 10 的 HEMT 中，在閘電極下形成良好的耗盡層，因此，可以有效地控制從漏電極流向源電極的電流。另外，在本發明中，通過進一步設為凹槽結構（recess structure），可以實現常關（normally-off）特性。

【0068】

（MOSFET）

圖 11 表示本發明的半導體裝置為 MOSFET 時的一個例子。圖 11 的 MOSFET 是溝槽型的 MOSFET，具備 n-型半導體層 131a、n+型半導體層 131b 以及 131c、柵絕緣膜 134、閘電極 135a、源電極 135b 以及漏電極 135c。

【0069】

在漏電極 135c 上，例如，形成了厚度 $100\text{nm} \sim 100\mu\text{m}$ 的 n+型半導體層 131b，在所述 n+型半導體層 131b 上，例如，形成了厚度 $100\text{nm} \sim 100\mu\text{m}$ 的 n-型半導體層 131a。並且，另外，在所述 n-型半導體層 131a 上形成了 n+型半導體層 131c，在所述 n+型半導體層 131c 上形成了源電極 135b。

【0070】

另外，在所述 n-型半導體層 131a 以及所述 n+型半導體層 131c 內，貫穿所述 n+半導體層 131c，形成有到達所述 n-型半導體層 131a 的中間的深度之多個溝槽。在所述溝槽內，例如，藉由 $10\text{nm} \sim 1\mu\text{m}$ 的厚度的柵絕緣膜 134 埋設閘電極 135a。

【0071】

在圖 11 的 MOSFET 的導通 (turned on) 狀態下，當對所述源電極 135b 與所述漏電極 135c 之間施加電壓，對所述閘電極 135a 與所述源電極 135b 之間施加正的電壓時，在所述 n-型半導體層 131a 的側面形成通道層，電子被注入到所述 n-型半導體層，並導通。在閉合狀態下，通過使所述閘電極的電壓為 0V，從而成為可以不存在通道層 (channel layer)，n-型半導體層 131a 被耗盡層充滿的狀態，並閉合。

【0072】

圖 12 表示圖 11 的 MOSFET 的製造步驟的一部分。例如，使用圖 12(a) 所示的層疊體，對 n-型半導體層 131a 以及 n+型半導體層 131c 的規定區域設置刻蝕遮罩 (Etching mask)，遮蔽所述刻蝕遮罩，另外，通過反應性離子蝕刻法等進行各向異性刻蝕，如圖 12(b) 所示，形成從所述 n+型半導體層 131c 表面到達所述 n-型半導體層 131a 的中間的深度的溝槽。接著，使用熱氧化法、真空蒸鍍法、濺射法、CVD 法等公知的方法，例如，在所述溝槽的側面以及底面形成 50nm~1 μ m 厚的柵絕緣膜 134。接著，例如，使用 CVD 法、真空蒸鍍法、濺射法等公知的方法，在所述溝槽中以 n-型半導體層 131a 的厚度以下的厚度形成多晶矽等閘電極材料。

【0073】

並且，通過使用真空蒸鍍法、濺射法、CVD 法等公知的方法，分別在 n+型半導體層 131c 上形成源電極 135b，在 n+型半導體層 131b 上形成漏電極 135c，從而可以製造功率 MOSFET。另外，源電極以及漏電極的電極材料分別可以是公知的電極材料，作為所述電極材料，例如有 Al、Mo、Co、

Zr、Sn、Nb、Fe、Cr、Ta、Ti、Au、Pt、V、Mn、Ni、Cu、Hf、W、Ir、Zn、In、Pd、Nd 或 Ag 等金屬或它們的合金、氧化錫、氧化鋅、氧化銦、氧化銦錫（ITO）、氧化鋅銦（IZO）等金屬氧化物導電膜、聚苯胺、聚噻吩或聚吡咯等有機導電性化合物、或它們的混合物等。

【0074】

這樣得到的 MOSFET 與以往的溝槽型 MOSFET 相比較，耐壓性更好。另外，在圖 11 中，示例出溝槽型的垂直式 MOSFET 的例子，但在本發明中，並不限定於此，可以適用於各種 MOSFET 的形態。例如，也可以將圖 11 的溝槽的深度挖掘到到達 n-型半導體層 131a 的底面的深度，減低串聯電阻（series resistance）。另外，圖 13 表示橫置的 MOSFET 時的一個例子。圖 13 的 MOSFET 具備 n-型半導體層 131a、第 1 n+型半導體層 131b、第 2 n+型半導體層 131c、柵絕緣膜 134、閘電極 135a、源電極 135b、漏電極 135c、緩衝層 138 以及半絕緣體層 139。如圖 13 所示，通過將 n+型半導體層 131b，131c 埋設於 n-型半導體層 131a，可以使電流更好地流動。

【0075】

（SIT）

圖 14 表示本發明的半導體裝置為 SIT 時的一個例子。圖 14 的 SIT 具備 n-型半導體層 141a、n+型半導體層 141b 以及 141c、閘電極 145a、源電極 145b 以及漏電極 145c。

【0076】

在漏電極 145c 上，例如，形成有厚度 100nm~100μ m 的 n+型半導體層 141b，在所述 n+型半導體層 141b 上，例如，形成有厚度 100nm~100μ m 的

n-型半導體層 141a。並且，另外，在所述 n-型半導體層 141a 上，形成有 n+型半導體層 141c，在所述 n+型半導體層 141c 上形成有源電極 145b。

【0077】

另外，在所述 n-型半導體層 141a 內，貫穿所述 n+半導體層 141c，形成有到達所述 n-半導體層 141a 的中間的深度的多個溝槽。在所述溝槽內的 n-型半導體層 141a 上，形成有閘電極 145a。

在圖 14 的 SIT 的導通狀態下，當對所述源電極 145b 與所述漏電極 145c 之間施加電壓，對所述閘電極 145a 與所述源電極 145b 之間施加正的電壓時，在所述 n-型半導體層 141a 內形成通道層，電子被注入到所述 n-型半導體層 141a，並導通。閉合狀態通過使所述閘電極的電壓為 0V，從而成為可以不存在通道層，而 n-型半導體層 141a 被耗盡層充滿的狀態，並閉合。

【0078】

圖 15 表示圖 14 的 SIT 的製造步驟的一部分。例如，使用圖 15 (a) 所示的層疊體，對 n-型半導體層 141a 以及 n+型半導體層 141c 的規定區域設置刻蝕遮罩，遮蔽所述刻蝕遮罩，例如，通過反應性離子蝕刻法等進行各向異性刻蝕 (anisotropic etching)，如圖 15 (b) 所示，形成從所述 n+型半導體層 141c 表面到達所述 n-型半導體層 141a 的中間的深度的溝槽。接著，通過 CVD 法、真空蒸鍍法、濺射法等，在所述溝槽中，例如，以 n-型半導體層 141a 的厚度以下的厚度形成多晶矽等閘電極材料。另外，通過使用真空蒸鍍法、濺射法、CVD 法等公知的方法，分別在 n+型半導體層 141c 上形成源電極 145b，在 n+型半導體層 141b 上形成漏電極 145c，從而可以製造 SIT。另外，源電極以及漏電極的電極材料分別可以是公知的電極材料，作

為所述電極材料，例如有 Al、Mo、Co、Zr、Sn、Nb、Fe、Cr、Ta、Ti、Au、Pt、V、Mn、Ni、Cu、Hf、W、Ir、Zn、In、Pd、Nd 或 Ag 等金屬或它們的合金、氧化錫、氧化鋅、氧化銦、氧化銦錫（ITO）、氧化鋅銦（IZO）等金屬氧化物導電膜、聚苯胺、聚噻吩或聚吡咯等有機導電性化合物、或它們的混合物等。

【0079】

在所述例子中，示例出不使用 p 型半導體的例子，但在本發明中，並不限定於此，也可以使用 p 型半導體。圖 16~22 表示使用 p 型半導體的例子。這些半導體裝置可以與所述例子相同地製造。另外，p 型半導體是與 n 型半導體相同的材料，可以含有 p 型摻雜物，也可以含有不同的 p 型半導體。

【0080】

圖 16 表示具備 n-型半導體層 101a、n+型半導體層 101b、p 型半導體層 102、金屬層 103、絕緣體層 104、肖特基電極 105a 以及歐姆電極 105b 的肖特基勢壘二極體（SBD）的一個適當的例子。另外，金屬層 103 例如由 Al 等金屬構成，覆蓋肖特基電極 105a。圖 17 表示具備能帶隙寬的 n 型半導體層 121a、能帶隙狹窄的 n 型半導體層 121b、n+型半導體層 121c、p 型半導體層 123、閘電極 125a、源電極 125b、漏電極 125c 以及基板 129 的高電子遷移率電晶體（HEMT）的一個適當的例子。

【0081】

圖 18 表示具備 n-型半導體層 131a、第 1 n+型半導體層 131b、第 2 n+型半導體層 131c、p 型半導體層 132、p+型半導體層 132a、柵絕緣膜 134、

閘電極 135a、源電極 135b 以及漏電極 135c 的金屬氧化物半導體場效應電晶體（MOSFET）的一個適當的例子。另外，p+型半導體層 132a 可以是 p 型半導體層，也可以與 p 型半導體層 132 相同。圖 19 表示具備 n-型半導體層 141a、第 1 n+型半導體層 141b、第 2 n+型半導體層 141c、p 型半導體層 142、閘電極 145a、源電極 145b 以及漏電極 145c 的結型場效應電晶體（JFET）的一個適當的例子。圖 20 表示具備 n 型半導體層 151、n-型半導體層 151a、n+型半導體層 151b、p 型半導體層 152、柵絕緣膜 154、閘電極 155a、發射電極 155b 以及集電極 155c 的絕緣柵雙極型電晶體（IGBT）的一個適當的例子。

【0082】

（LED）

圖 21 表示本發明的半導體裝置為發光二極體（LED）時的一個例子。圖 21 的半導體發光元件在第 2 電極 165b 上具備 n 型半導體層 161，在 n 型半導體層 161 上層疊有發光層 163。並且，在發光層 163 上，層疊有 p 型半導體層 162。在 p 型半導體層 162 上，具備透過發光層 163 所產生的光的透光性電極 167，在透光性電極 167 上層疊有第 1 電極 165a。另外，圖 21 的半導體發光元件也可以除了電極部分被保護層覆蓋。

【0083】

作為透光性電極的材料，例如有含有銦（In）或鈦（Ti）的氧化物的導電性材料。更具體而言，例如有 In_2O_3 、 ZnO 、 SnO_2 、 Ga_2O_3 、 TiO_2 、 CeO_2 或這些的兩種以上的混晶或在其中進行摻雜的材料。通過由噴濺塗覆法等公知的方法設置這些材料，從而可以形成透光性電極。另外，在形成了透光性

電極之後，也可以實施以透光性電極的透明化為目的的熱退火。

【0084】

根據圖 21 的半導體發光元件，設定第 1 電極 165a 為正極，設第 2 電極 165b 為負極，藉由兩者使電流流入 p 型半導體層 162、發光層 163 以及 n 型半導體層 161，從而發光層 163 發光。

【0085】

作為第 1 電極 165a 以及第 2 電極 165b 的材料，例如有 Al、Mo、Co、Zr、Sn、Nb、Fe、Cr、Ta、Ti、Au、Pt、V、Mn、Ni、Cu、Hf、W、Ir、Zn、In、Pd、Nd 或 Ag 等金屬或它們的合金、氧化錫、氧化鋅、氧化銦、氧化銦錫（ITO）、氧化鋅銦（IZO）等金屬氧化物導電膜、聚苯胺、聚噻吩或聚吡咯等有機導電性化合物、或它們的混合物等。電極的成膜法沒有特別地限定，可以按照從印刷方式、塗布方式等濕式方式、真空蒸鍍法、濺射法、離子電鍍法等物理方式、CVD、等離子 CVD 法等化學方式等中考慮與所述材料的妥當性而適當地選擇的方法形成。

【0086】

另外，圖 22 表示發光元件的其他方式。在圖 22 的發光元件中，在基板 169 上層疊有 n 型半導體層 161，在通過切斷 p 型半導體層 162、發光層 163 以及 n 型半導體層 161 的一部分而露出的 n 型半導體層 161 的半導體層露出面上的一部分上層疊有第 2 電極 165b。

【0087】

這樣，通過將本發明的結晶性層疊結構體用於發光元件，除了可以作為高耐壓・大電流的 LED 之外，也能夠作為在內部難以吸收光，光的取出

性（light extraction properties）好的裝置，亮度也可以變高。另外，圖 21 所示的發光元件通過圖 22 的發光元件進行小型化・輕型化，發光效率更好。

【實施例】

【0088】

以下，說明本發明的實施例。

1.實驗 1

1-1.被成膜樣品的製成

在藍寶石基板（並木精密寶石股份有限公司制、C 面、0.55mm 厚）上利用蒸鍍裝置使鉑薄膜成膜製成被成膜樣品。

另外，在另一個例子中，在 Si {100} 基板（熱氧化膜 100nm、N 型、0.525mm 厚）上使用濺射裝置（CANON ANELVA 公司制 EB1100）使鈦在 600℃ 下進行 10nm 成膜，之後使用濺射裝置（同上）以膜厚 35nm 使鉑薄膜成膜製成被成膜樣品。

另外，將上述的藍寶石基板或 Si {100} 基板作為被成膜樣品來使用，利用蒸鍍裝置使金薄膜進行 35nm 成膜。

【0089】

1-2.Mist CVD 裝置

首先以圖 23 說明在本實施例中使用的 Mist CVD 裝置 25。在被成膜樣品 26 中使用由上述 1-1 所記載的方法製作的被成膜樣品。Mist CVD 裝置 25 具備載置底層材料等被成膜樣品 26 的樣品台 27、供給載氣的載氣源 28、用於調節從載氣源 28 送出的載氣的流量的流量調節閥 29、收容原料溶液 30a 的 Mist 發生源 30、加入水 31a 的容器 31、安裝於容器 31 的底面的超聲波

振子 (ultrasonic transducer) 32、由內徑 40mm 的石英管構成的成膜室 33、設置於成膜室的周邊部的加熱器 34。樣品台 27 由石英構成，載置被成膜樣品 26 的面傾斜。通過成膜室 33 和樣品台 27 均由石英製作，從而抑制在形成於被成膜樣品 26 上的薄膜內混入來自裝置的雜質。

【0090】

1-3.原料溶液的調製

通過使表 1 所示的原料溶質溶解於超純水中來調製所希望濃度的原料溶液 30a。

【0091】

【表 1】

表 1 膜的種類	溶劑	溶質	載氣 (Carrier gas)
氧化鎵	水	乙醯丙酮鎵 (gallium acetylacetonate) 0.05 mol/l HCL 1.5%	氮氣

【0092】

1-4.成膜準備

接著，作為被成膜樣品 26，將邊長為 10mm 的正方形且厚度為 600 μm 的底層材料設置在樣品台 27 上，使加熱器 34 工作使成膜室 33 內升溫到 500℃。接著，開啟流量調節閥 29 從載氣源 29 向成膜室 33 內供給載氣，由載氣將成膜室 33 的環境氣體充分置換之後，將載氣的流量調節為 5ml／分鐘。載氣使用氮氣。

【0093】

1-5. 薄膜形成

接著，超聲波振子以 2.4MHz 進行振動，使該振動通過水 31a 向原料溶液 30a 傳播，從而對原料溶液 30a 進行微粒化生成原料微粒。

該原料微粒通超載氣導入成膜室 33 內，在成膜室 33 內進行反應，通過被成膜樣品 26 的成膜面上的 CVD 反應在被成膜樣品 26 上形成薄膜。

【0094】

1-6. 評估

圖 24～圖 27 表示針對表 1 的實驗的 X 射線衍射結果。按照所述方法，在作為形成在藍寶石基板上的樣品的圖 24 中，確認鉑取向於 {111} 面。在圖 25 中確認金取向於 {111} 面。並且，確認在各個薄膜上形成有單軸取向的剛玉結構的氧化鎵 (α -Ga₂O₃) 單晶。鉑薄膜・金薄膜進行單軸取向，就其結果而言可以認為：在鉑薄膜・金薄膜上形成了結晶性的氧化鎵單晶薄膜。另外，使氧化鎵的成膜溫度為 600°C 在鉑或金的薄膜上使氧化鎵薄膜成膜的結果，可以形成 β 型的氧化鎵單晶薄膜。此時，也確認了鉑薄膜・金薄膜在氧化鎵薄膜成膜後進行單軸取向。

【0095】

在圖 26 所示的 Si {100} 基板（熱氧化膜 100nm、N 型、0.525mm 厚）上，在使鈦以 10nm、使鉑薄膜以 35nm 成膜的樣品中，在使用 Mist CVD 法形成氧化鎵後，確認 β -gallia 結構的氧化鎵 (β -Ga₂O₃) 單晶。該鉑薄膜在氧化鎵成膜前已經進行單軸取向，可以在單軸取向的鉑薄膜上形成 β 型氧化鎵單晶薄膜。

在圖 27 所示的 Si {100} 基板（熱氧化膜 100nm、N 型、0.525mm 厚）

上，在通過蒸鍍法使金以 35nm 成膜的樣品中，在使用 MistCVD 法形成氧化鎵之後確認 β -gallia 結構的氧化鎵 (β -Ga₂O₃) 單晶。該金薄膜在氧化鎵成膜前已經為單軸取向，可以在單軸取向的金薄膜上形成 β 型氧化鎵單晶薄膜。

【0096】

針對各實驗的檢查如下。

當在 Si 基板上，具體而言，在表面定向 {100}、{111}、{110} 上直接使氧化鎵成膜時，氧化鎵會成為非晶 (Amorphous)，不能形成結晶性氧化鎵。另外，在 Si 基板上直接形成鉑薄膜，在之上進行氧化鎵的成膜的結果，氧化鎵會成為非晶 (Amorphous)，不能形成結晶性氧化鎵。另外，鉑薄膜在氧化鎵成膜後也沒有進行單軸取向。

【0097】

在藍寶石基板上，使用所述的濺射裝置形成沒有單軸取向的鋁膜，當在之上使氧化鎵成膜時，氧化鎵會變為非晶 (Amorphous)，不能形成結晶性氧化鎵。

如上所述，當直到氧化物半導體薄膜的成膜時，對鉑或金的薄膜進行單軸取向時，成功使具有良好的結晶性的氧化物半導體薄膜成膜。

【0098】

另外，在藍寶石基板上，使用所述的濺射裝置形成單軸取向的鈮薄膜，在之上使氧化鎵成膜。其結果，當對鈮薄膜單軸取向時，可以分別得到具有良好的結晶性的 α -Ga₂O₃ 單晶膜以及 β -Ga₂O₃ 單晶膜。

【0099】

除了使鉑薄膜的膜厚為 300nm，使用溴化鎵以代替乙醯丙酮鎵，使用氧氣以代替氮氣之外，與實驗 1 相同，製得結晶性層疊結構體。將該鉑薄膜作為肖特基電極，將 In 壓接（pressure-bonding）而在氧化物半導體薄膜上形成歐姆電極，從而製得 SBD。

針對所得到的 SBD 評估 IV 特性。圖 29 表示結果。

【工業上的可利用性】

【0100】

本發明的結晶性層疊結構體可以適用於半導體（例如，化合物半導體電子裝置等）、電子零件・電氣裝置零件，光學・電子照片相關裝置、工業部件等所有的領域，半導體特性好，因此，對於半導體裝置而言特別有用。

【符號說明】

- 1 半導體層
- 11 金屬層
- 12 粘附度強化層
- 13 底層材料
- 14 半導體層
- 15 金屬層
- 16 阻擋層
- 17 粘附度強化層
- 18 底層材料

- .
 - 19 半導體層
 - 2 金屬層
 - 20 緩衝層
 - 21 金屬層
- .
 - 3 半導體層
 - 4 金屬層
 - 5 底層材料
- - 6 半導體層
 - 7 金屬層
 - 8 阻擋層
 - 9 底層材料
- 101a n-型半導體層
 - 101b n+型半導體層
 - 102 p 型半導體層
- - 103 金屬層
 - 104 絕緣體層
 - 105a 肖特基電極
 - 105b 歐姆電極
- .
 - 111a n-型半導體層
 - 111b n+型半導體層
 - 114 半絕緣體層
 - 115a 閘電極

115b	源電極
115c	漏電極
118	緩衝層（緩衝層）
121a	能帶隙寬的 n 型半導體層
121b	能帶隙狹窄的層
121c	n+型半導體層
123	p 型半導體層
124	半絕緣體層
125a	閘電極
125b	源電極
125c	漏電極
128	緩衝層（Buffer layer）
129	基板
131a	n-型半導體層
131b	第 1 n+型半導體層
131c	第 2 n+型半導體層
132	p 型半導體層
132a	p+型半導體層
134	柵絕緣膜
135a	閘電極
135b	源電極
135c	漏電極

138	緩衝層
139	半絕緣體層
141a	n-型半導體層
141b	第 1n+型半導體層
141c	第 2 n+型半導體層
142	p 型半導體層
145a	閘電極
145b	源電極
145c	漏電極
151	n 型半導體層
151a	n-型半導體層
151b	n+型半導體層
152	p 型半導體層
154	柵絕緣膜
155a	閘電極
155b	發射電極
155c	集電極
161	n 型半導體層
162	p 型半導體層
163	發光層
165a	第 1 電極
165b	第 2 電極

167	透光性電極
169	基板
21	樣品台
22	載氣源
23	流量調節閥
24	Mist 發生源
24a	原料溶液
25	容器
25a	水
26	超聲波振子
27	成膜室
28	加熱器

【生物材料寄存】

國內寄存資訊【請依寄存機構、日期、號碼順序註記】

國外寄存資訊【請依寄存國家、機構、日期、號碼順序註記】

申請專利範圍

1.一種結晶性層疊結構體，其中，在含有單軸取向的金屬作為主要成分之金屬層上，直接或藉由其他層具備半導體層，並且該半導體層所含主要成分為結晶性氧化物半導體，

就所述結晶性氧化物半導體而言，是含有從銻、銾以及鋁中選擇的一種或兩種以上的金屬之氧化物半導體，並且是單軸取向。

2.根據請求項 1 所述的結晶性層疊結構體，其中，

所述結晶性氧化物半導體是含有銻的氧化物半導體。

3.根據請求項 1 所述的結晶性層疊結構體，其中，

所述結晶性氧化物半導體是具有剛玉結構或 β -gallia 結構的氧化物半導體。

4.根據請求項 1 的任意一項中所述的結晶性層疊結構體，其中，

所述金屬層的所述金屬是鉑、金或鈮。

5.根據請求項 1~4 的任意一項中所述的結晶性層疊結構體，其中，

所述金屬層由設置在底層基板上的金屬膜構成。

6.根據請求項 5 所述的結晶性層疊結構體，其中，

所述底層基板是藍寶石基板、Si 基板、石英基板、氮化鋁基板、氮化硼基板、SiC 基板、玻璃基板、SiGe 基板或塑膠基板。

7.一種半導體裝置，其特徵在於，

所述半導體裝置由請求項 1~6 的任意一項中所述的結晶性層疊結構體構成。

8.一種半導體裝置，其特徵在於，

所述半導體裝置在請求項 1~6 的任意一項中所述的結晶性層疊結構體上，直接或藉由其他層具備電極。

9.一種半導體裝置，其中，具備所含主要成分為單軸取向的金屬之金屬層，並且在所述金屬層上，直接或藉由其他層，具備所含主要成分為結晶性氧化物半導體的半導體層，其特徵在於，

所述結晶性氧化物半導體是含有從鎵、銦以及鋁中選擇的一種或兩種以上的金屬的氧化物半導體，並且是單軸取向的。

10.根據 7~9 的任意一項中所述的半導體裝置，其中，
所述半導體裝置是垂直式裝置。

11.根據 7~9 的任意一項中所述的半導體裝置，其中，
所述半導體裝置是功率裝置。

12.根據 7~9 的任意一項中所述的半導體裝置，其中，
所述半導體裝置是肖特基勢壘二極體（SBD）、金屬半導體場效應電晶體（MESFET）、高電子遷移率電晶體（HEMT）、金屬氧化物半導體場效應電晶體（MOSFET）、靜電感應電晶體（SIT）、結型場效應電晶體（JFET），絕緣柵雙極型電晶體（IGBT）或發光二極體（LED）。

13.根據請求項 7~9 的任意一項中所述的半導體裝置，其中，
所述半導體裝置是肖特基勢壘二極體（SBD）、金屬氧化物半導體場效應電晶體（MOSFET）或靜電感應電晶體（SIT）。

14.根據請求項 7~9 的任意一項中所述的半導體裝置，其中，
所述半導體裝置是在所述結晶性層疊結構體的上面或下面，直接或藉由其他層具備發光層的發光二極體。

圖式

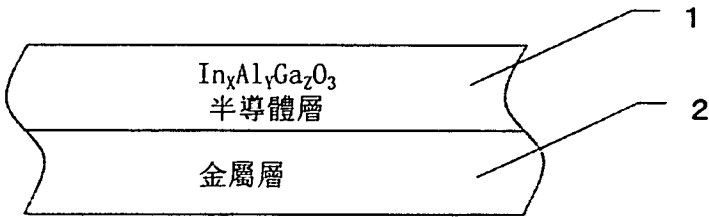


圖1

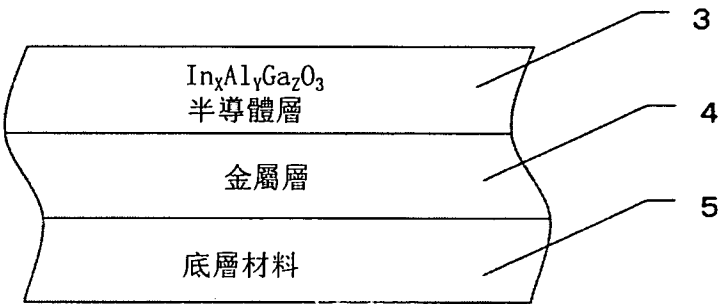


圖2

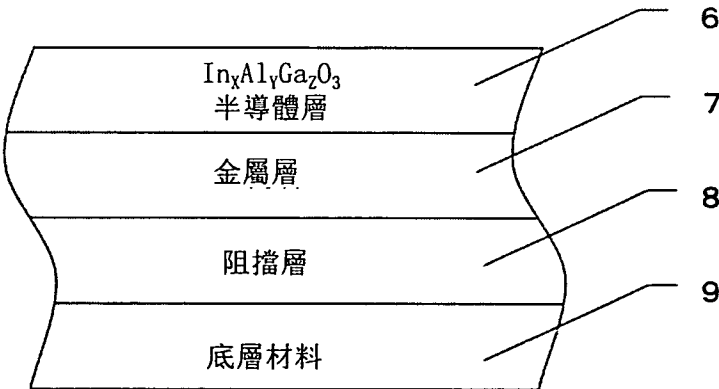


圖3

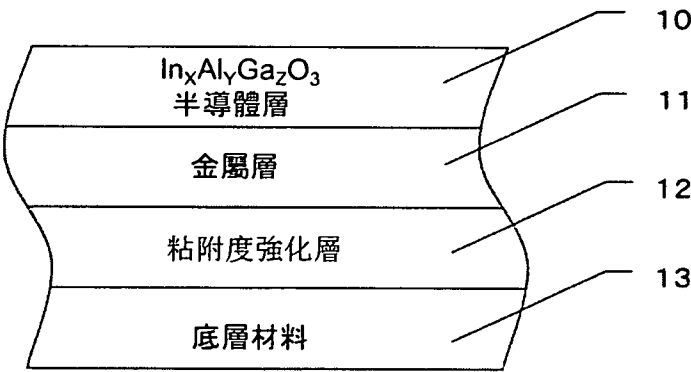


圖 4

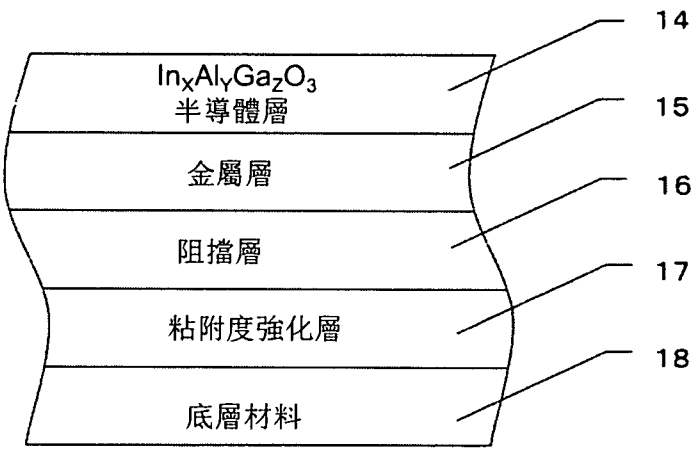


圖 5

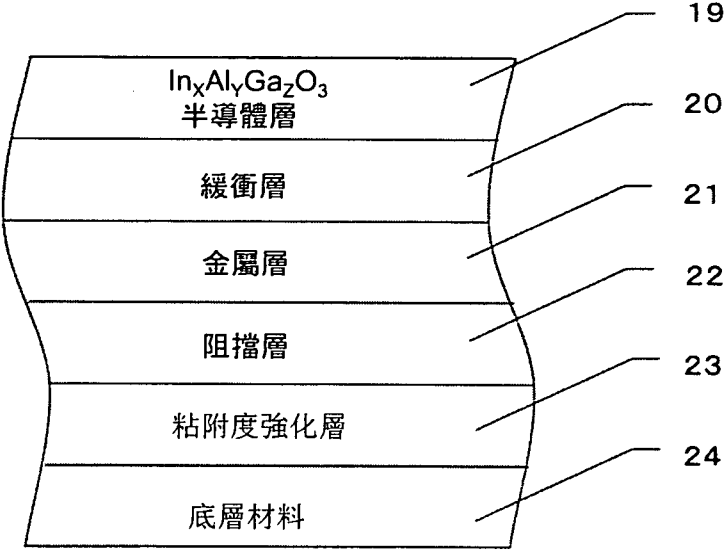


圖 6

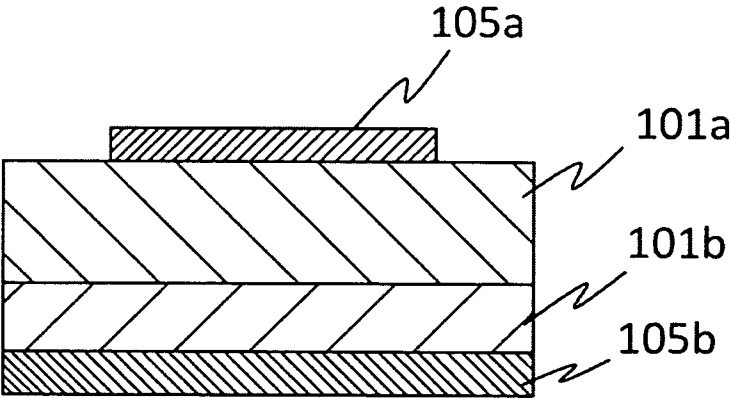


圖 7

圖 8

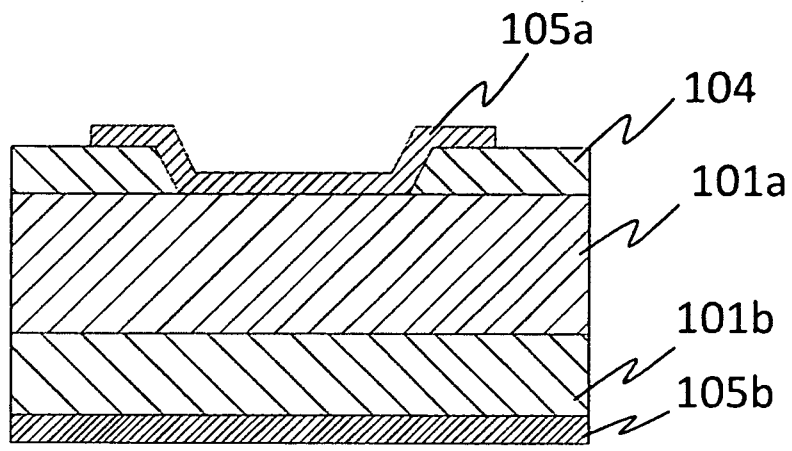


圖 9

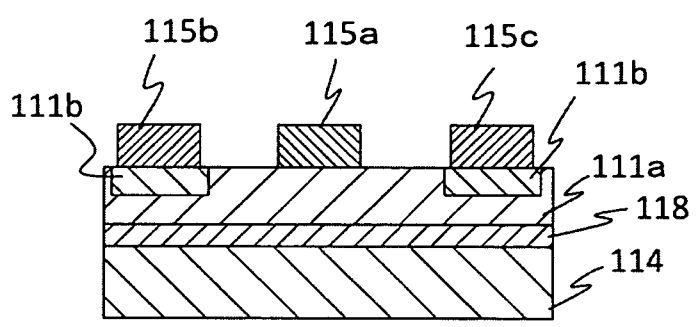


圖 10

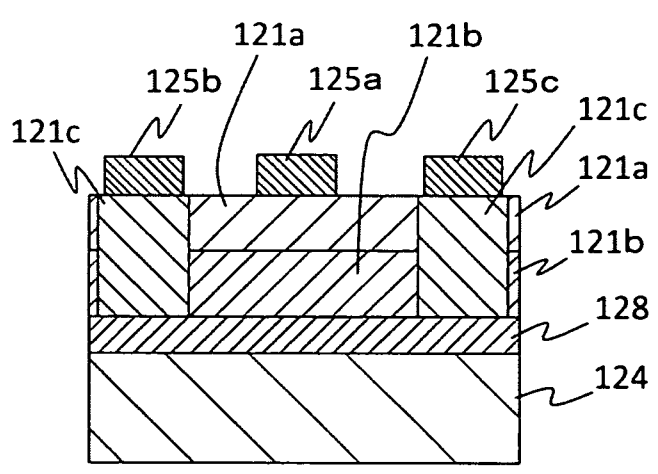


圖 11

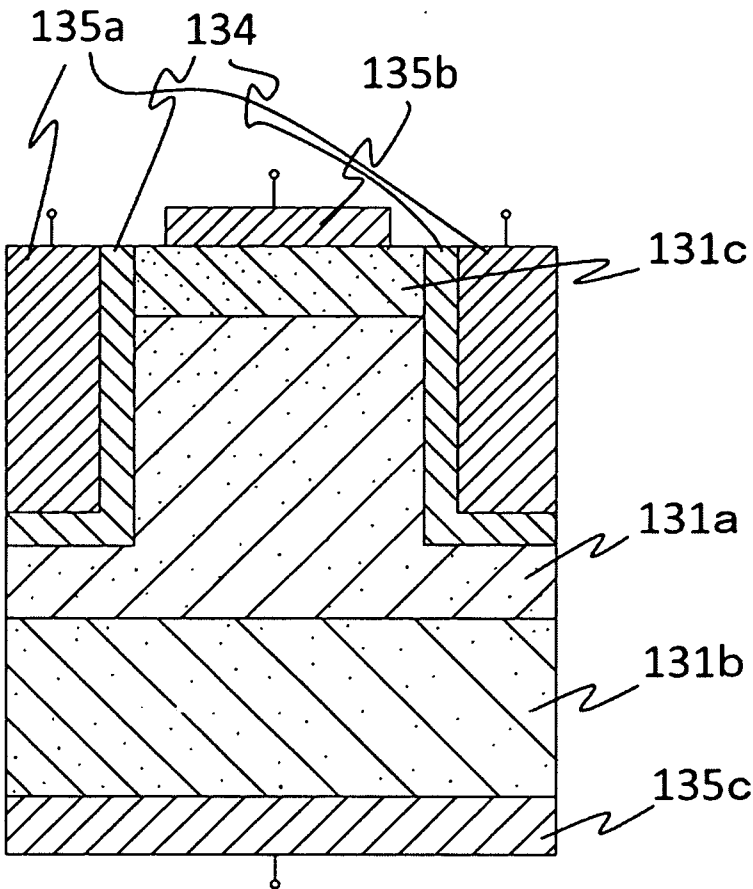


圖 12A

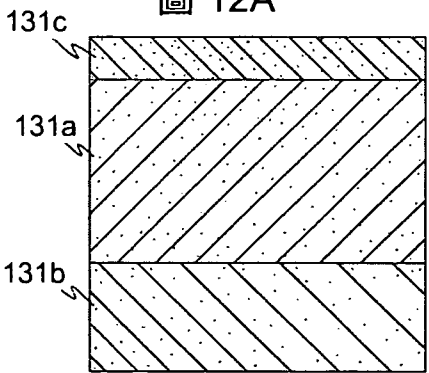


圖 12B(b)

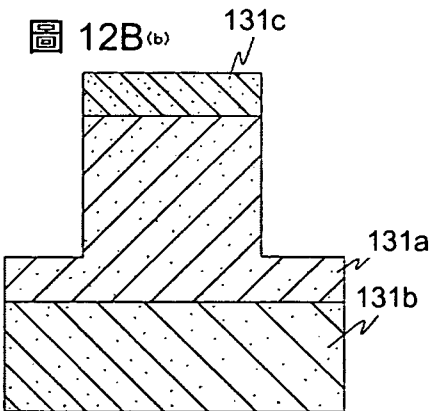


圖 13

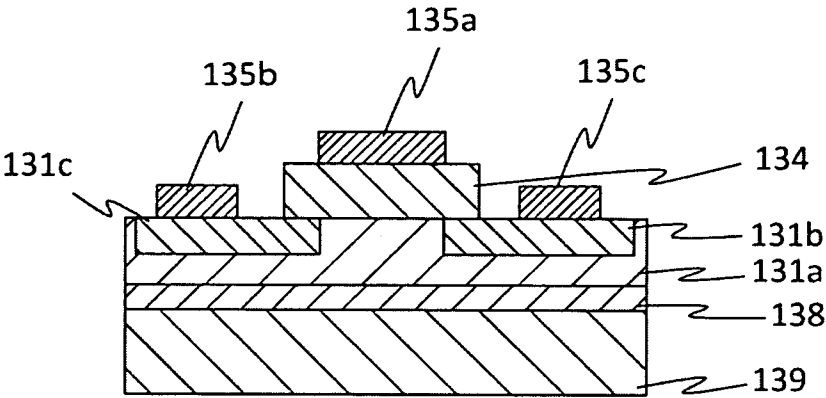
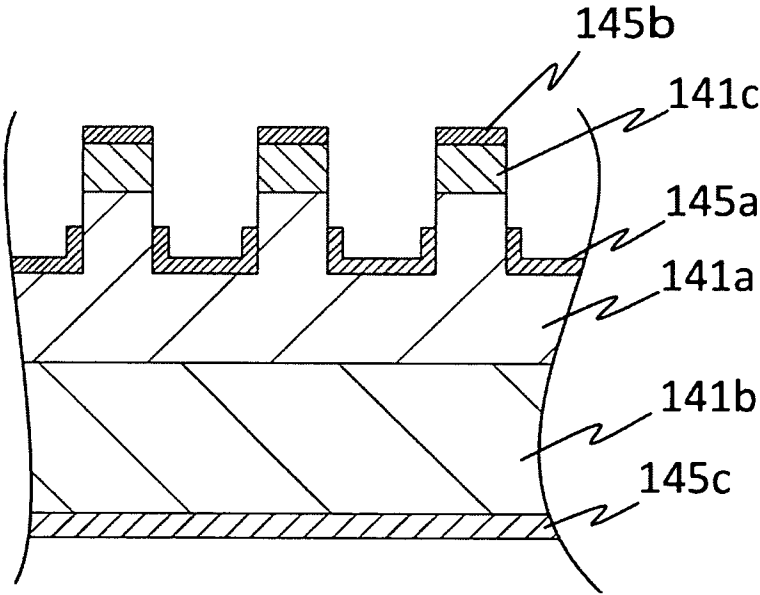


圖 14



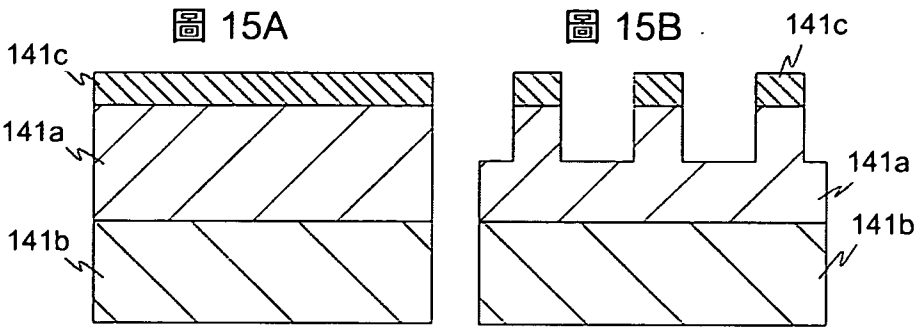


圖 16

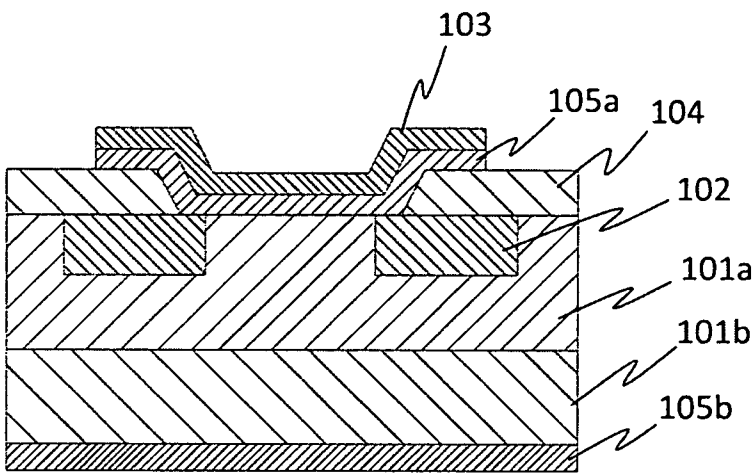


圖 17

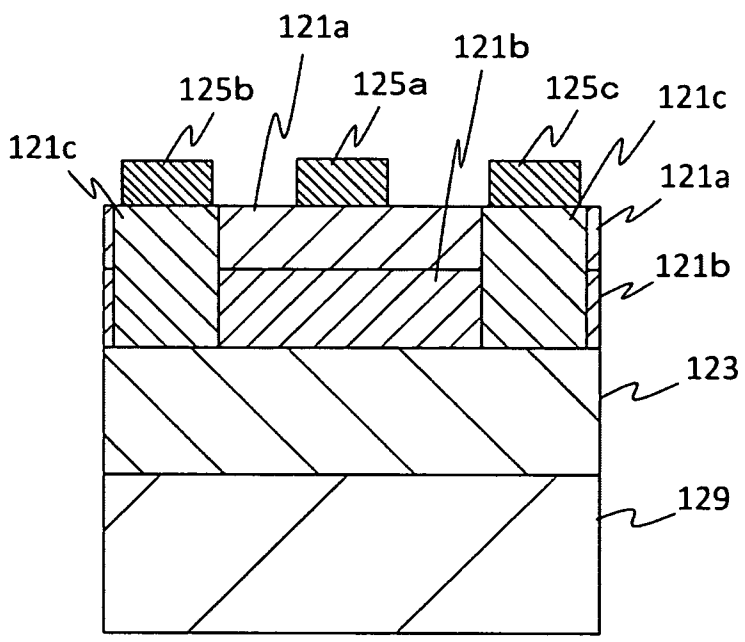


圖 18

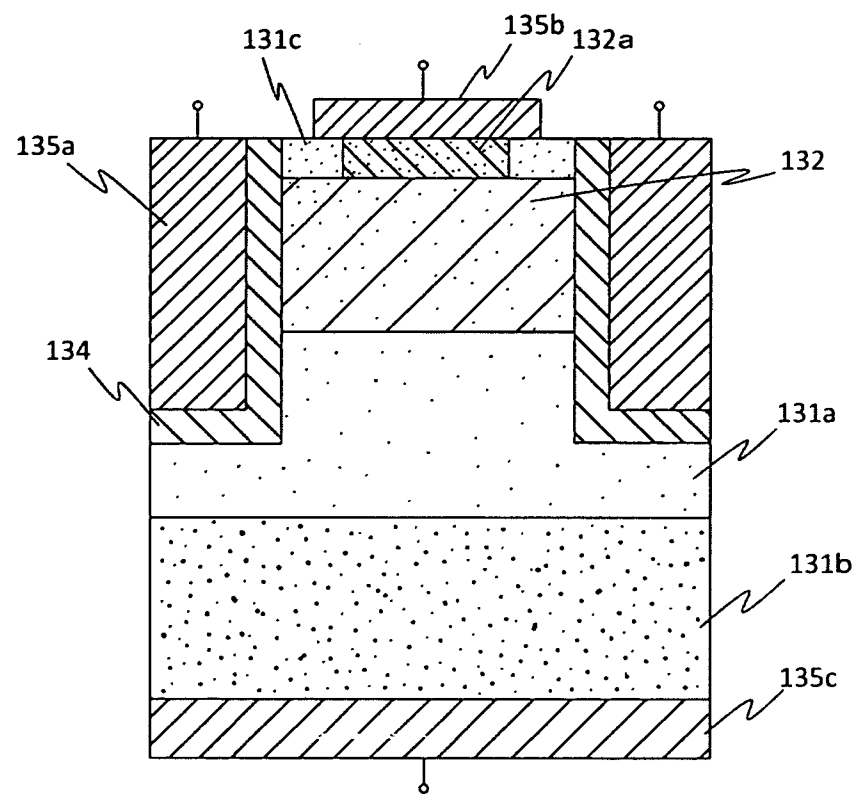


圖 19

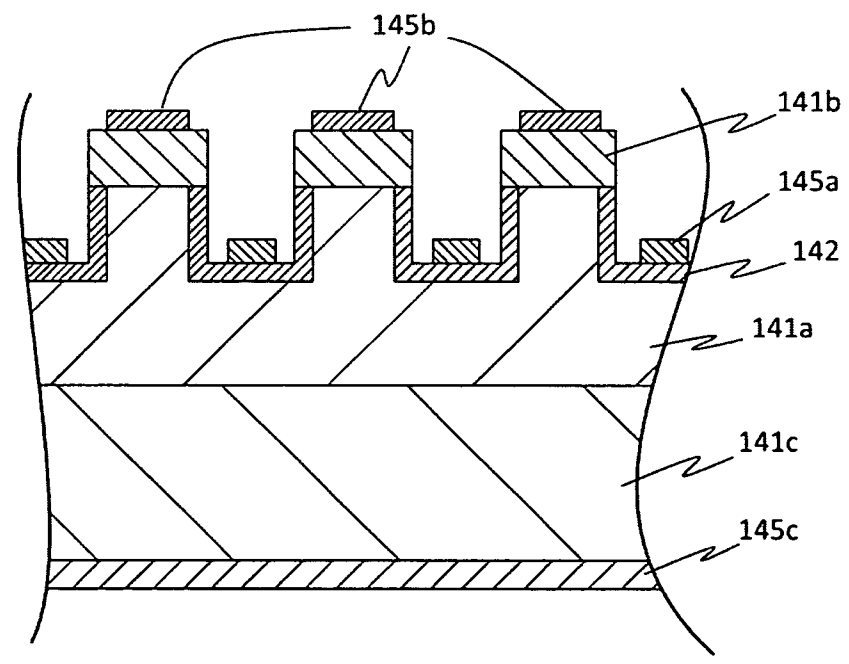


圖 20

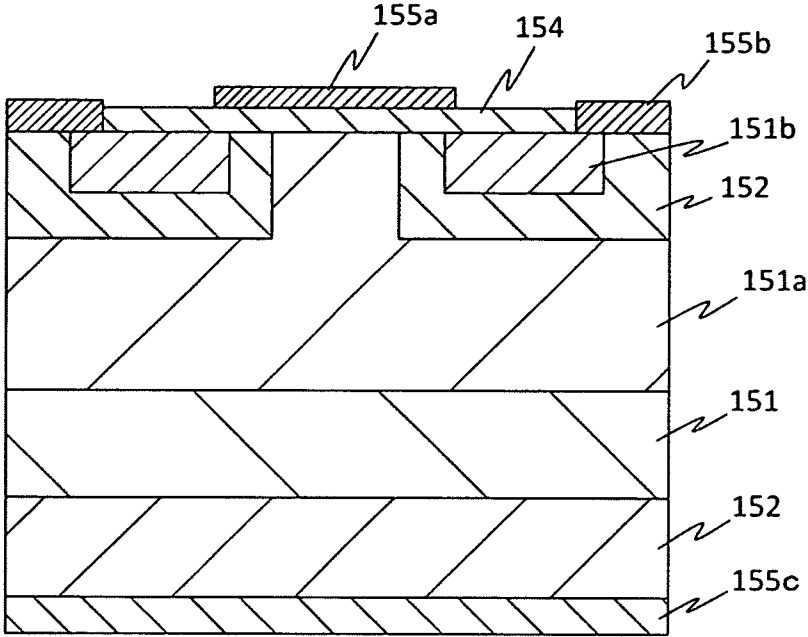


圖 21

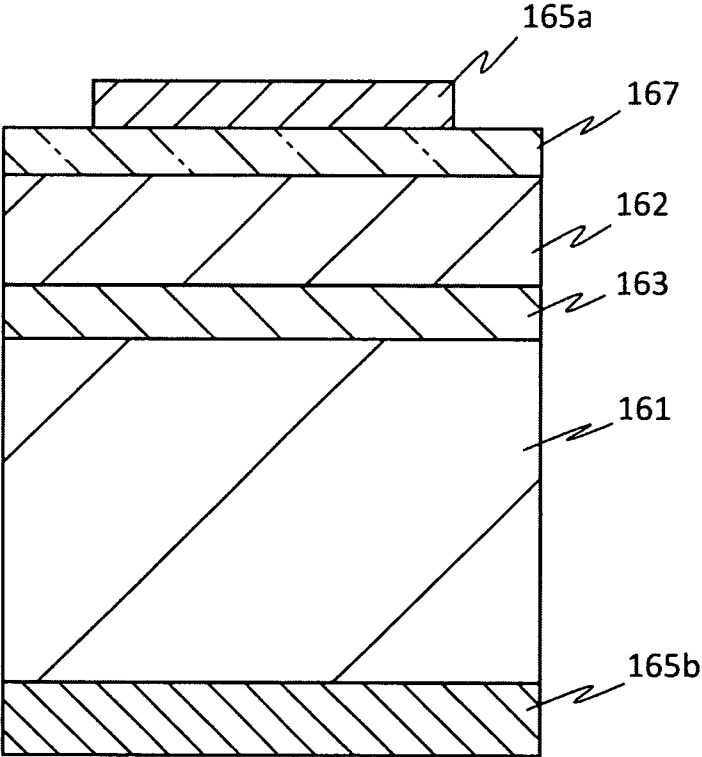


圖 22

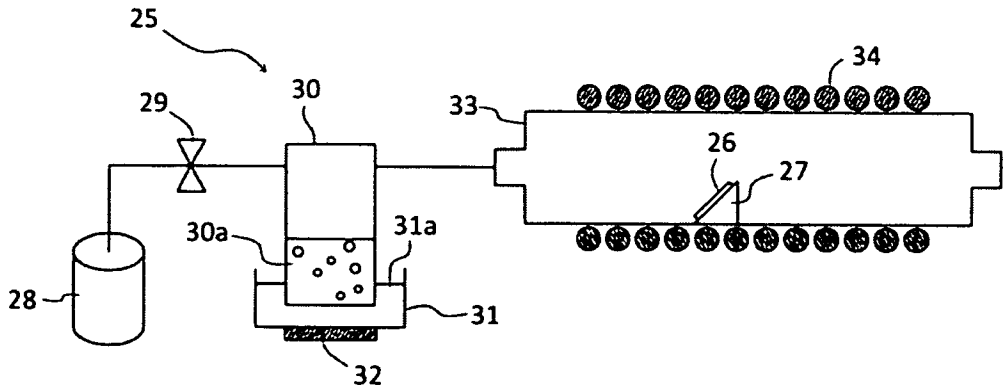
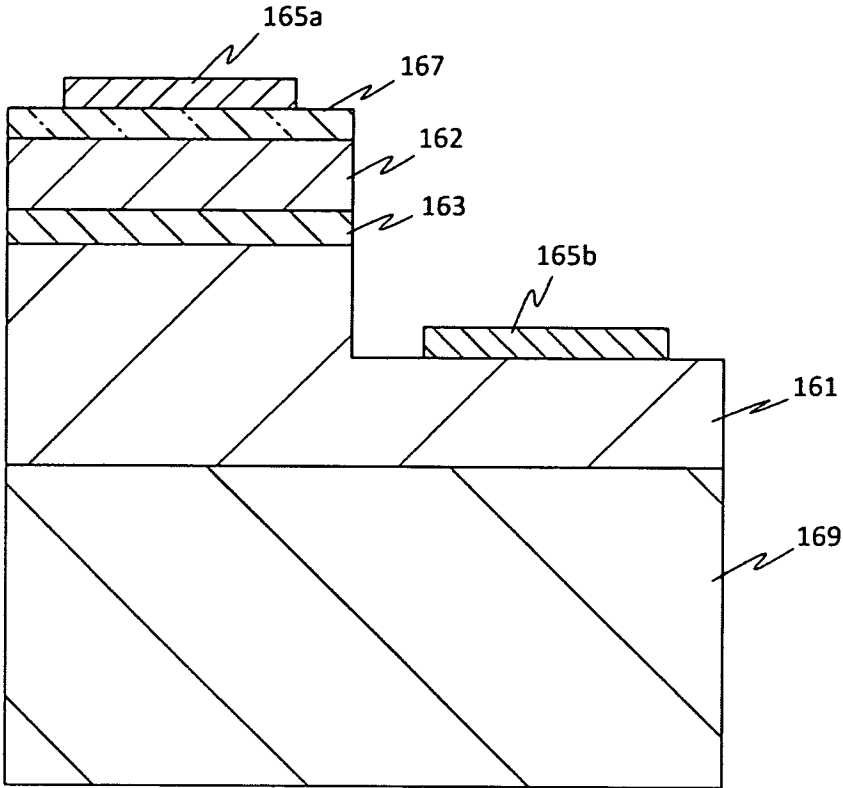


圖 23

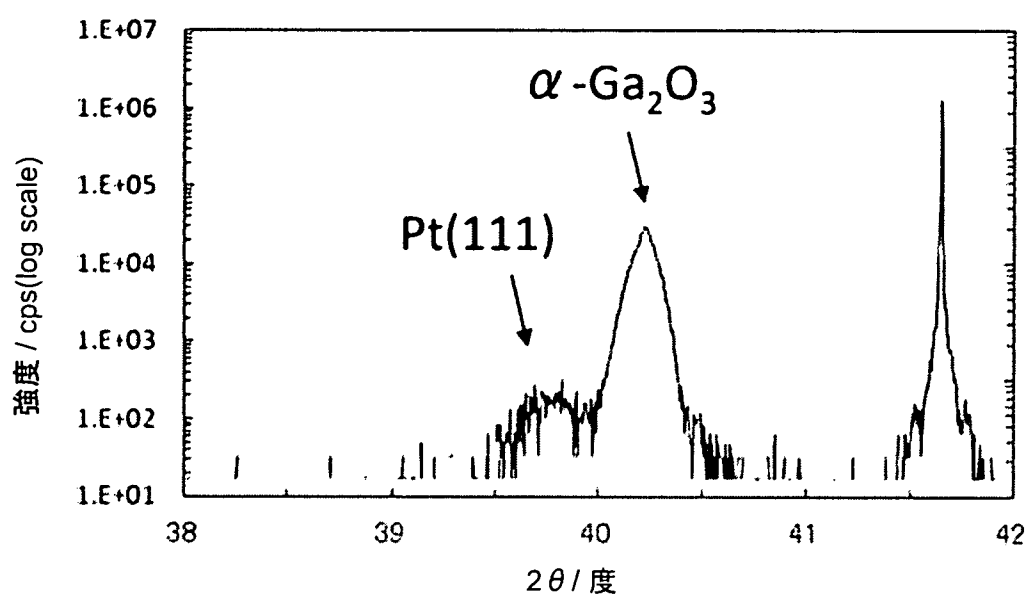


圖 24

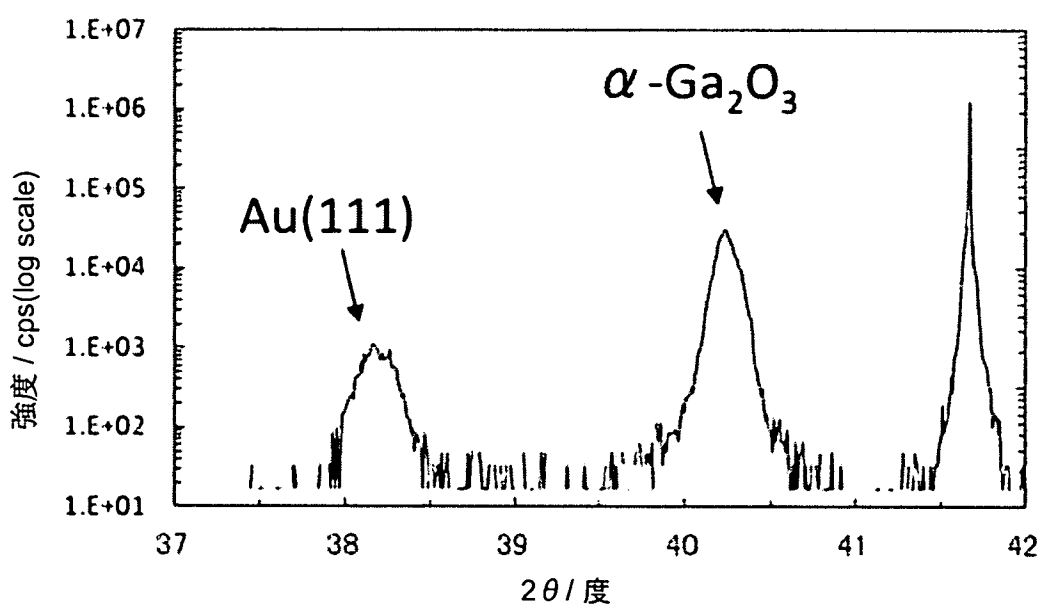


圖 25

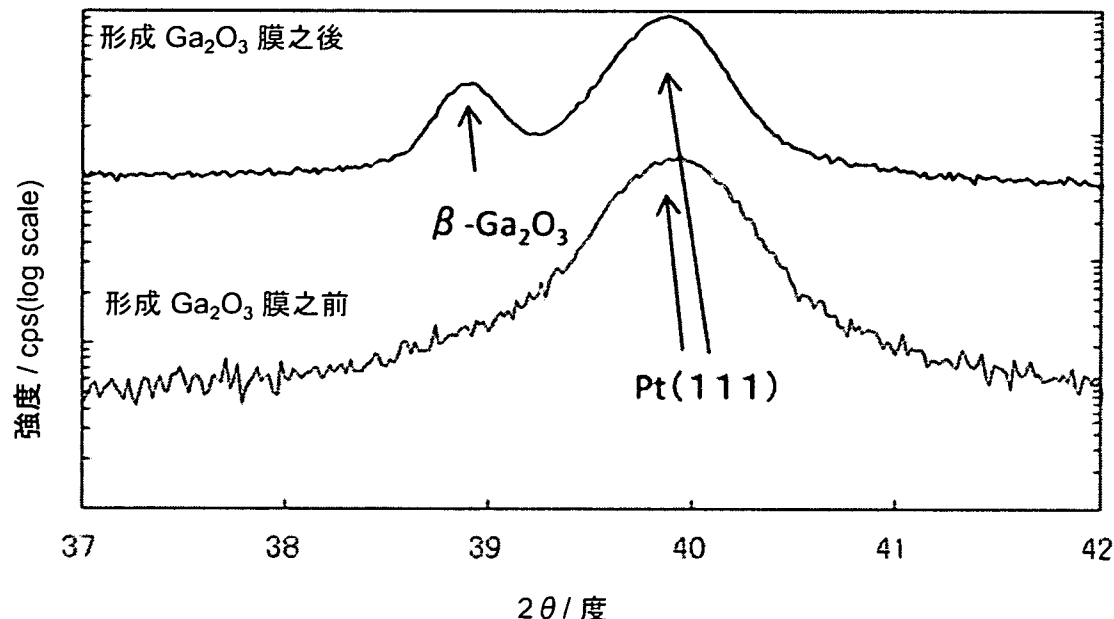


圖 26

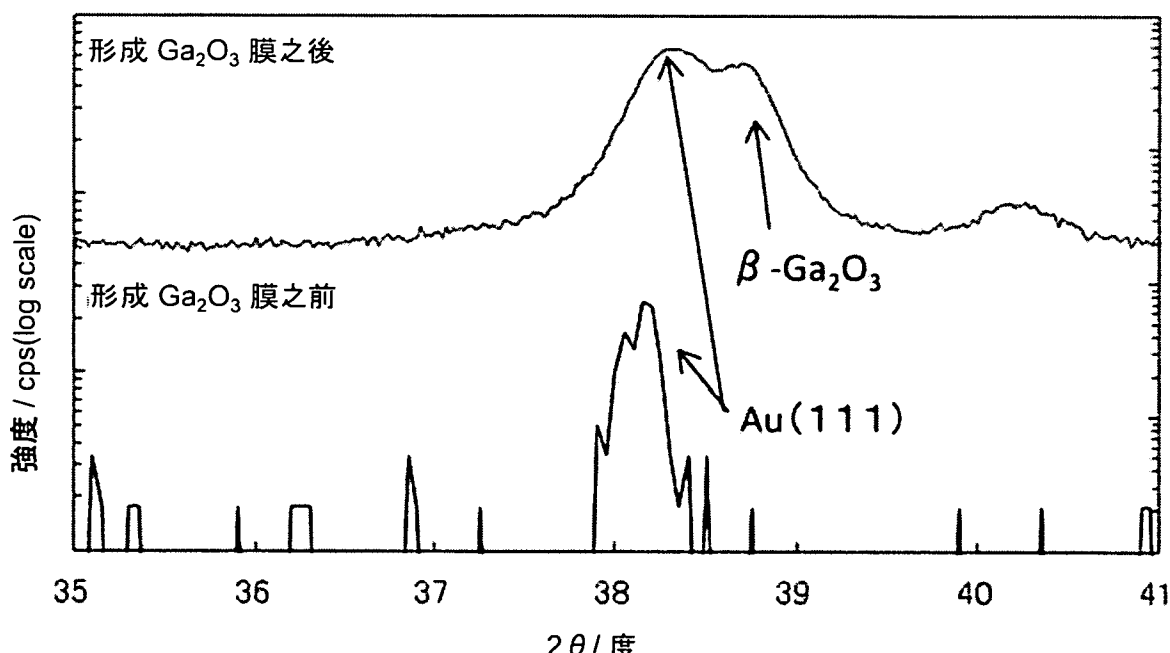


圖 27

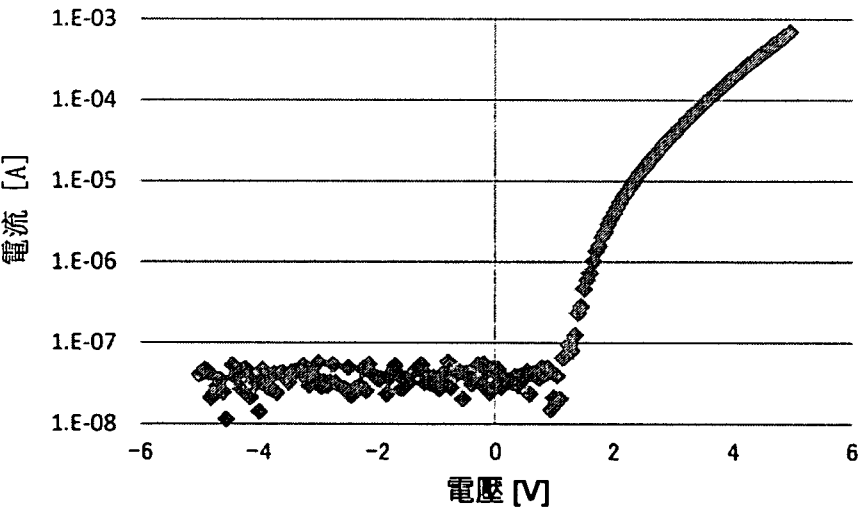
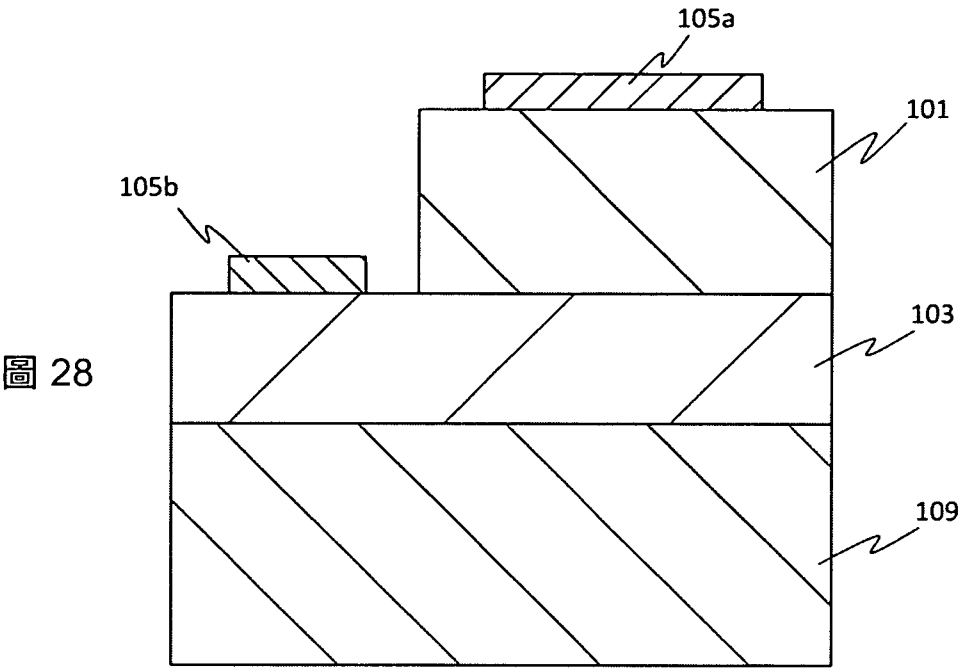


圖 29