



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0107566
(43) 공개일자 2016년09월19일

(51) 국제특허분류(Int. Cl.)
G11C 13/00 (2006.01) G11C 7/12 (2006.01)
G11C 8/08 (2006.01)

(52) CPC특허분류
G11C 13/004 (2013.01)
G11C 13/0002 (2013.01)

(21) 출원번호 10-2015-0030473

(22) 출원일자 2015년03월04일

심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091

(72) 발명자
경기명
대전광역시 유성구 배울1로 119 대덕테크노밸리1
2단지아파트 1211동 1202호

(74) 대리인
김성남

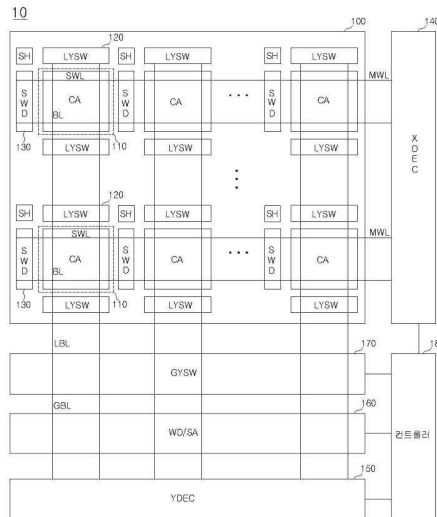
전체 청구항 수 : 총 19 항

(54) 발명의 명칭 저항변화 메모리 장치 및 그 동작 방법

(57) 요약

본 기술의 일 실시예에 의한 저항변화 메모리 장치는 워드라인과 비트라인 간에 접속되는 복수의 저항변화 메모리 셀을 포함하는 메모리 영역 및 리드 명령에 응답하여 워드라인 구동동작을 수행하며, 비트라인을 통해 셀 데이터를 출력하는 비트라인 구동동작을 워드라인 구동동작과 실질적으로 동시에 수행하는 컨트롤러를 포함할 수 있다.

대표도 - 도1



(52) CPC특허분류

G11C 13/0026 (2013.01)

G11C 13/0028 (2013.01)

G11C 13/0038 (2013.01)

G11C 7/12 (2013.01)

G11C 8/08 (2013.01)

명세서

청구범위

청구항 1

워드라인과 비트라인 간에 접속되는 복수의 저항변화 메모리 셀을 포함하는 메모리 영역; 및
 리드 명령에 응답하여 상기 워드라인 구동동작을 수행하며, 상기 비트라인을 통해 셀 데이터를 출력하는 비트라인 구동동작을 상기 워드라인 구동동작과 실질적으로 동시에 수행하는 컨트롤러;
 를 포함하는 저항변화 메모리 장치.

청구항 2

제 1 항에 있어서,
 상기 비트라인 구동동작은 상기 비트라인 프리차지 동작, 상기 비트라인 안정화 동작, 셀 데이터의 센싱 및 출력 동작을 포함하는 저항변화 메모리 장치.

청구항 3

제 1 항에 있어서,
 상기 컨트롤러는 상기 워드라인 구동동작 및 상기 비트라인 구동동작이 실질적으로 동일한 시간 동안 수행되도록 제어하는 저항변화 메모리 장치.

청구항 4

제 1 항에 있어서,
 상기 컨트롤러는 상기 비트라인 구동동작을 수행하기 전, 상기 워드라인 구동동작과 동시에 지정된 시간 동안 상기 비트라인이 디스차지되도록 제어하는 저항변화 메모리 장치.

청구항 5

제 4 항에 있어서,
 상기 컨트롤러는 상기 워드라인 구동동작 내에, 상기 디스차지 동작 및 상기 비트라인 구동동작이 이루어지도록 제어하는 저항변화 메모리 장치.

청구항 6

제 1 항에 있어서,
 상기 비트라인에 접속되며 릴리즈 신호에 응답하여 상기 비트라인으로 릴리즈 전압을 공급하는 릴리즈 회로를 더 포함하는 저항변화 메모리 장치.

청구항 7

제 6 항에 있어서,
 상기 릴리즈 회로는 상기 비트라인 구동동작을 수행하기 전, 상기 워드라인 구동동작과 동시에 지정된 시간 동안 인에이블되는 저항변화 메모리 장치.

청구항 8

제 6 항에 있어서,
 상기 릴리즈 회로는 상기 워드라인 구동동작 내에, 상기 릴리즈 전압 공급 동작 및 상기 비트라인 구동동작이 이루어지도록 인에이블되는 저항변화 메모리 장치.

청구항 9

제 6 항에 있어서,
상기 릴리즈 전압은 접지전압 또는 리드전압인 저항변화 메모리 장치.

청구항 10

제 1 항에 있어서,
상기 컨트롤러는 상기 워드라인 구동동작 및 상기 비트라인 구동동작이 완료된 후, 상기 워드라인 및 상기 비트라인을 실질적으로 동시에 디스에이블시키는 저항변화 메모리 장치.

청구항 11

워드라인과 비트라인 간에 접속되는 복수의 저항변화 메모리 셀을 포함하는 메모리 영역 및 상기 메모리 영역을 제어하는 컨트롤러를 포함하는 저항변화 메모리 장치의 동작 방법으로서,

리드 명령에 응답하여, 상기 컨트롤러가 상기 워드라인 구동동작을 수행하며, 상기 비트라인을 통해 셀 데이터를 출력하는 비트라인 구동동작을 상기 워드라인 구동동작과 실질적으로 동시에 수행하는 저항변화 메모리 장치의 동작 방법.

청구항 12

제 11 항에 있어서,
상기 비트라인 구동동작은 상기 비트라인 프리차지 동작, 상기 비트라인 안정화 동작, 셀 데이터의 센싱 및 출력 동작을 포함하는 저항변화 메모리 장치의 동작 방법.

청구항 13

제 11 항에 있어서,
상기 컨트롤러는 상기 워드라인 구동동작 및 상기 비트라인 구동동작이 실질적으로 동일한 시간 동안 수행되도록 제어하는 저항변화 메모리 장치의 동작 방법.

청구항 14

제 11 항에 있어서,
상기 비트라인 구동동작을 수행하기 전, 상기 컨트롤러가 상기 워드라인 구동동작과 동시에 지정된 시간 동안 상기 비트라인이 디스차지되도록 제어하는 저항변화 메모리 장치의 동작 방법.

청구항 15

제 14 항에 있어서,
상기 워드라인 구동동작 내에, 상기 컨트롤러가 상기 디스차지 동작 및 상기 비트라인 구동동작이 이루어지도록 제어하는 저항변화 메모리 장치의 동작 방법.

청구항 16

제 11 항에 있어서,
상기 비트라인 구동동작을 수행하기 전, 상기 컨트롤러가 상기 워드라인 구동동작과 동시에 지정된 시간 동안 상기 비트라인으로 릴리즈 전압이 공급되도록 제어하는 저항변화 메모리 장치의 동작 방법.

청구항 17

제 16 항에 있어서,
상기 워드라인 구동동작 내에, 상기 컨트롤러가 상기 릴리즈 전압 공급 동작 및 상기 비트라인 구동동작이 이루어지도록 제어하는 저항변화 메모리 장치의 동작 방법.

청구항 18

제 16 항에 있어서,

상기 릴리즈 전압은 접지전압 또는 리드전압인 저항변화 메모리 장치의 동작 방법.

청구항 19

제 11 항에 있어서,

상기 워드라인 구동동작 및 상기 비트라인 구동동작이 완료된 후, 상기 컨트롤러가 상기 워드라인 및 상기 비트라인을 실질적으로 동시에 디스에이블시키는 저항변화 메모리 장치의 동작 방법.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 장치에 관한 것으로, 보다 구체적으로는 저항변화 메모리 장치 및 그 동작 방법에 관한 것이다.

배경 기술

[0002] 반도체 메모리 장치는 더 많은 양의 데이터를 저장할 수 있으면서도 낮은 소비 전력으로 고속 동작할 수 있는 형태로 발전하고 있다.

[0003] 반도체 메모리 장치는 휘발성 메모리 장치 또는 비휘발성 메모리 장치로 구분될 수 있다. 플래시 메모리 장치는 비휘발성 메모리 장치로서 오랜 시간 동안 사용되어 왔으며, 최근에는 정보 저장 물질의 저항 값에 따라 데이터의 논리 레벨이 구분되는 저항변화 메모리 장치가 비휘발성 메모리 장치로 각광받고 있다.

[0004] 반도체 메모리 장치의 동작 속도를 결정하는 요소는 다양하며, 그 하나로 리드 사이클 타임(Read Cycle Time; tRC)를 들 수 있다. 리드 사이클 타임(tRC)은 리드 명령에 응답하여 메모리 셀에 저장된 데이터가 출력될 때까지의 시간을 의미한다.

[0005] 반도체 메모리 장치의 고집적화에 따라 메모리 영역 내에 포함되는 셀의 개수는 점점 증가하고 있으며, 리드 사이클 타임(tRC)은 비트라인 로딩 및 워드라인 로딩에 의해 결정될 수 있다.

발명의 내용

해결하려는 과제

[0006] 본 기술의 실시예는 고속 동작이 가능한 저항변화 메모리 장치 및 그 동작 방법을 제공한다.

과제의 해결 수단

[0007] 본 기술의 일 실시예에 의한 저항변화 메모리 장치는 워드라인과 비트라인 간에 접속되는 복수의 저항변화 메모리 셀을 포함하는 메모리 영역; 및 리드 명령에 응답하여 상기 워드라인 구동동작을 수행하며, 상기 비트라인을 통해 셀 데이터를 출력하는 비트라인 구동동작을 상기 워드라인 구동동작과 실질적으로 동시에 수행하는 컨트롤러;를 포함할 수 있다.

[0008] 본 기술의 일 실시예에 의한 저항변화 메모리 장치의 동작 방법은 워드라인과 비트라인 간에 접속되는 복수의 저항변화 메모리 셀을 포함하는 메모리 영역 및 상기 메모리 영역을 제어하는 컨트롤러를 포함하는 저항변화 메모리 장치의 동작 방법으로서, 리드 명령에 응답하여, 상기 컨트롤러가 상기 워드라인 구동동작을 수행하며, 상기 비트라인을 통해 셀 데이터를 출력하는 비트라인 구동동작을 상기 워드라인 구동동작과 실질적으로 동시에 수행할 수 있다.

발명의 효과

[0009] 본 기술에 의하면 리드 명령에 응답하여 워드라인을 구동함과 동시에 비트라인을 구동할 수 있어 저항변화 메모리 장치의 고속 동작이 가능하다. 따라서 저항변화 메모리 장치의 용량이 증가하여도 요구되는 리드 사이클 타

임을 만족시킬 수 있다.

도면의 간단한 설명

- [0010] 도 1은 일 실시예에 의한 저항변화 메모리 장치의 구성도,
- 도 2는 일 실시예에 의한 저항변화 메모리 장치의 동작 방법을 설명하기 위한 회로도,
- 도 3은 일 실시예에 의한 저항변화 메모리 장치의 동작 방법을 설명하기 위한 타이밍도,
- 도 4는 다른 실시예에 의한 저항변화 메모리 장치의 동작 방법을 설명하기 위한 타이밍도,
- 도 5는 다른 실시예에 의한 저항변화 메모리 장치의 구성도,
- 도 6은 일 실시예에 의한 전자 시스템의 구성도이다.

발명을 실시하기 위한 구체적인 내용

- [0011] 이하, 첨부된 도면을 참조하여 본 기술의 실시예를 보다 구체적으로 설명한다.
- [0012] 도 1은 일 실시예에 의한 저항변화 메모리 장치의 구성도이다.
- [0013] 본 실시예에 의한 저항변화 메모리 장치(10)는 메모리 영역(100), 로우 디코더(XDEC, 140), 컬럼 디코더(YDEC, 150), 읽기쓰기 회로부(WD/SA, 160), 글로벌 비트라인 스위치 블럭(GYSW, 170) 및 컨트롤러(180)를 포함할 수 있다.
- [0014] 메모리 영역(100)은 복수의 셀 블럭(110)과, 셀 블럭의 일 측에 구비되는 로컬 비트라인 스위치 블럭(LYSW, 120)과, 셀 블럭(110)의 타측에 로컬 비트라인 스위치 블럭(120)과 교차하는 방향으로 구비되어 서브 워드라인(SWL)을 구동하는 서브 워드라인 구동블럭(SWD, 130)을 포함할 수 있다.
- [0015] 각각의 셀 블럭(110)은 워드라인(MWL, SWL)과 비트라인(BL) 간에 접속되는 복수의 메모리 셀로 이루어지는 셀 어레이(CA)를 포함할 수 있다.
- [0016] 도 1에는 도시하지 않았지만, 도 2에 도시한 것과 같이 각각의 메모리 셀 측, 단위 메모리 셀(112)은 가변저항 물질(VR) 및 스위칭 소자(SW)를 포함할 수 있다.
- [0017] 로컬 비트라인 스위치 블럭(LYSW, 120)과 서브 워드라인 구동블럭(SWD, 130)의 교차 지점에는 서브홀(SH)이 마련될 수 있다. 서브홀(SH)에는 서브 워드라인 구동블럭(SWD, 130)을 구동하기 위한 드라이버, 입출력 스위치 등이 마련될 수 있다.
- [0018] 설명의 편의를 위해, 셀 블럭(110) 내부에서 로컬 비트라인 스위치 블럭(120)으로 연장되는 비트라인은 단순히 비트라인(BL)으로, 로컬 비트라인 스위치 블럭(120)으로부터 글로벌 비트라인 스위치 블럭(170)으로 이어지는 비트라인은 예를 들어 로컬 비트라인(LBL)이라 칭할 수 있다. 또한, 글로벌 비트라인 스위치 블럭(170)으로부터 읽기/쓰기 회로부(160)로 이어지는 비트라인은 예를 들어 글로벌 비트라인(GBL)이라 칭할 수 있다. 또한, 로우 디코더(140)로부터 서브 워드라인 구동블럭(130)으로 연장되는 워드라인은 메인 워드라인(MWL)으로, 서브 워드라인 구동블럭(130)으로부터 메모리 셀 블럭(110) 내부로 연장되는 워드라인은 서브 워드라인(SWL)으로 칭할 수 있다.
- [0019] 한편, 이하의 설명에서, "워드라인은 구동동작"이라 함은 액세스할 메모리 셀이 접속된 메인 워드라인(MWL)을 통하여, 궁극적으로는 서브 워드라인(SWL)을 구동한다는 것으로 이해해야 한다.
- [0020] 이러한 저항변화 메모리 장치에서 리드 동작은 워드라인 구동동작, 궁극적으로는 서브 워드라인을 구동하기 위한 동작 및 비트라인(BL) 구동동작으로 이루어질 수 있으며, 컨트롤러(180)는 워드라인 구동동작과 동시에 비트라인(BL) 구동동작이 이루어지도록 제어할 수 있다.
- [0021] 도 2를 참조하여 일 실시예에 의한 저항변화 메모리 장치의 동작 방법을 설명하면 다음과 같다.
- [0022] 리드 명령에 응답하여, 워드라인 구동동작을 위해 컨트롤러(180)로부터 제공되는 로우 어드레스에 대응하는 단위 메모리 셀(112)과 연결된 메인 워드라인(MWL)이 활성화된다. 그리고, 서브 워드라인 구동블럭(130)에 의해 해당 메모리 셀(112)과 연결된 서브 워드라인(SWL)이 구동되어 해당 메모리 셀의 서브 워드라인(SWL)을 지정된 레벨의 전위로 구동할 수 있다.

- [0023] 한편, 비트라인 구동동작은 비트라인을 통해 셀 데이터를 출력하는 동작으로서, 비트라인 프리차지 동작, 비트라인 안정화 동작, 센싱 및 센싱 데이터 출력 동작으로 구분될 수 있다.
- [0024] 리드 명령에 응답하여, 비트라인 프리차지 동작을 위해 컨트롤러(180)로부터 제공되는 컬럼 어드레스에 대응하는 단위 셀과 연결된 글로벌 비트라인 스위치(172) 및 로컬 비트라인 스위치(122)를 턴온시킨다. 이에 따라, 글로벌 비트라인(GBL) 및 로컬 비트라인(LBL)을 통해 해당 비트라인(BL)에 기 설정된 레벨의 프리차지 전위가 인가될 수 있다.
- [0025] 비트라인 안정화 동작은 비트라인에 프리차지 전위를 인가한 후 비트라인의 전위 레벨을 안정화시켜 정확한 셀 데이터를 판정할 수 있도록 기 설정된 시간 대기하는 동작일 수 있다.
- [0026] 센싱 및 센싱 데이터 출력 동작에서는 셀 데이터를 비트라인(BL), 로컬 비트라인(LBL) 및 글로벌 비트라인(GBL)을 통해 읽기/쓰기 회로부(160)로 전달할 수 있다.
- [0027] 본 실시예에서는 서브 워드라인(SWL)을 구동하는 워드라인 구동동작과 비트라인 구동동작을 실질적으로 동시에 수행한다. 워드라인 구동동작을 위해서는 (a)ns의 시간이 소요될 수 있다. 그리고, 비트라인 구동동작을 위해서는 비트라인 프리차지 동작을 위한 시간((b)ns), 비트라인 안정화 동작을 위한 시간((c)ns), 센싱 및 센싱 데이터 출력 동작을 위한 시간((d)ns)이 소요될 수 있다.
- [0028] 그러므로, 워드라인 구동동작을 수행하는 동안 비트라인 구동동작을 동시에 수행하게 되면, (b+c+d)ns의 시간 내에 서브 워드라인(SWL) 및 비트라인(BL)을 동시에 구동할 수 있게 된다.
- [0029] 메모리 영역에 포함되는 셀의 개수가 두 배로 증가되는 경우 워드라인(WL) 및 비트라인(BL) 로딩 증가에 따라 RC 지연시간이 증가한다. 즉, 워드라인(또는 비트라인)의 길이가 증가하면 워드라인(또는 비트라인)에 기생하는 저항 성분(R) 및 캐패시턴스 성분(C)은 각각 두 배씩 증가하여, 각 워드라인(또는 비트라인)에서 RC 지연시간은 4배로 증가하는 결과를 가져온다.
- [0030] 즉, 반도체 메모리 장치가 고집적화될수록 리드 사이클 타임을 줄여야 할 필요성은 커질 수 밖에 없다.
- [0031] 본 실시예에서와 같이, 리드 동작시 워드라인 구동동작과 비트라인 구동동작을 중첩시켜 실질적으로 동시에 수행하게 되면, 리드 사이클 타임을 현저히 감소시킬 수 있고, 고집적 반도체 메모리 장치의 경우에도 고속 동작을 보장할 수 있다.
- [0032] 도 2에서, 디스차지 스위치(192)는 디스차지 신호(LBLDIS)에 의해 구동되며, 로컬 비트라인(LBL) 및 비트라인(BL)의 전위를 안정화시키기 위한 스위치일 수 있다.
- [0033] 도 3은 일 실시예에 의한 저항변화 메모리 장치의 동작 방법을 설명하기 위한 타이밍도로서, 도 1 및 도 2를 참조하여 설명한다.
- [0034] 리드 명령에 응답하며, 컨트롤러(180)의 제어에 따라 컬럼 디코더(150)를 구동하고, 디스차지 신호(LBLDIS)에 의해 액세스할 셀에 연결된 디스차지 스위치(192)를 구동하고, 로컬 비트라인 선택 신호(LY)에 의해 로컬 비트라인 스위치(122)를 구동하여 로컬 비트라인(LBL) 및 비트라인(BL)을 디스차지시킨다.
- [0035] 이후, 서브 워드라인(SWL)을 구동함과 동시에 비트라인(BL)을 구동한다.
- [0036] 보다 구체적으로, 컨트롤러(180)의 제어에 따라 로우 디코더(140) 및 서브 워드라인 구동블럭(130)을 통해 액세스할 셀에 연결된 서브 워드라인(SWL) 구동동작을 수행하며, 이 때에는 (a)ns의 시간이 소요될 수 있다.
- [0037] 한편, 로컬 비트라인 스위치(122)가 구동되어 있는 상태에서 컨트롤러(180)의 제어에 따라 액세스할 셀에 연결된 글로벌 비트라인 스위치(172)를 구동하여, 셀 데이터를 센싱하는 비트라인 구동동작이 수행될 수 있다. 이때, 글로벌 비트라인 스위치(172)는 글로벌 비트라인 선택 신호(GY)에 의해 구동될 수 있다.
- [0038] 비트라인 구동동작은 비트라인 프리차지 동작((b)ns), 안정화 동작((c)ns), 셀 데이터 리드 및 출력 동작((d)ns)을 포함할 수 있으며, (b+c+d)ns의 시간이 소요될 수 있다.
- [0039] 도 3에 도시한 것과 같이, 서브 워드라인(SWL)을 구동하는 워드라인 구동동작과, 비트라인 구동동작이 실질적으로 동시에 수행됨을 알 수 있다.
- [0040] 워드라인(WL), 궁극적으로는 서브 워드라인(SWL)과 비트라인(BL)을 구동하는 동작 전에 비트라인(BL)을 디스차지하는 데 소요되는 시간((t)ns)을 고려할 때, 리드 레이턴시(read latency)는 (t+b+c+d)ns 로 결정될 수 있다.

- [0041] 그리고, 워드라인 구동동작 및 비트라인 구동동작이 완료된 후 서브 워드라인(SWL)과 비트라인(BL)은 실질적으로 동시에 디스에이블될 수 있다. 따라서 서브 워드라인(SWL)과 비트라인(BL)이 완전히 디스에이블되는 데 소요되는 시간을 $(e)_{ns}$ 라 할 때, 리드 사이클 타임(tRC)은 $(t+b+c+d+e)_{ns}$ 가 될 수 있다.
- [0042] 서브 워드라인(SWL)과 비트라인(BL)을 동시에 구동함에 따라, 전류는 글로벌 비트라인(GBL), 로컬 비트라인(LBL) 및 비트라인(BL)을 통해 흐르고, 비트라인(BL)의 전하가 스위칭 소자(SW)를 통해 가변저항 물질(VR)로 유입되게 된다.
- [0043] 이 때, 비트라인(BL)에 쌓여 있던 전하가 갑작스럽게 가변저항 물질(VR)로 유입되게 되면 가변저항 물질(VR)에 갑작스럽게 고전압이 인가될 수 있다. 이로 인해 메모리 셀에 저장된 데이터가 손실될 수 있다.
- [0044] 이를 방지하기 위해 도 4에 도시한 것과 같이, 서브 워드라인(SWL) 구동 후 미소한 시간($(f)_{ns}$)을 대기한 후 비트라인 구동동작을 수행할 수 있다. 대기시간($(f)_{ns}$)은 서브 워드라인(SWL) 구동동작에 소요되는 시간보다 현저히 작은 시간일 수 있다. 이러한 대기시간($(f)_{ns}$) 후에 비트라인 구동동작을 수행하면 메모리 셀에 갑작스러운 고전압이 인가되는 것을 방지할 수 있다.
- [0045] 바람직한 실시예에서, 대기시간($(f)_{ns}$)과 비트라인 구동 시간 $(b+c+d)_{ns}$ 과의 합($(f+b+c+d)_{ns}$)이 워드라인 구동 시간($(a)_{ns}$)과 실질적으로 동일하게 되도록 제어할 수 있다. 또한 대기시간($(f)_{ns}$)은 기 설정된 명령어 또는 퓨즈 옵션에 의해 로컬 비트라인 스위치(122) 및 글로벌 비트라인 스위치(172)의 턴온 시점을 조절 가능하게 구성할 수 있다.
- [0046] 가변저항 물질(VR)에 갑작스럽게 고전압이 인가되는 현상을 방지하기 위한 다른 실시예에 대하여 도 5를 참조하여 설명한다.
- [0047] 도 5에는 릴리즈 회로(200)를 포함하는 저항변화 메모리 장치의 일 예가 개시되어 있다.
- [0048] 릴리즈 회로(200)는 릴리즈 신호(LBLDIS2)에 의해 구동되며, 로컬 비트라인(LBL)과 릴리즈 전압(Vrelease) 공급 단 간에 접속되는 스위칭 소자를 포함하도록 구성될 수 있다.
- [0049] 릴리즈 전압(Vrelease)은 예를 들어 접지전압 또는 리드전압일 수 있다.
- [0050] 워드라인 구동동작과 동시에 릴리즈 신호(LBLDIS2)를 인에이블시켜 릴리즈 회로(200)를 구동하여 일정 시간 동안, 예를 들어 기 설정된 대기시간($(f)_{ns}$) 동안 비트라인(BL)의 전류를 낮추어 줄 수 있다. 그리고, 대기시간($(f)_{ns}$) 이후 릴리즈 신호(LBLDIS2)를 디스에이블시키고 비트라인 구동동작을 수행할 수 있다.
- [0051] 앞서 설명한 것과 마찬가지로, 대기시간($(f)_{ns}$)은 서브 워드라인(SWL) 구동동작에 소요되는 시간보다 현저히 작은 시간일 수 있으며, 바람직하게는 대기시간($(f)_{ns}$)과 비트라인 구동 시간 $(b+c+d)_{ns}$ 과의 합($(f+b+c+d)_{ns}$)이 워드라인 구동시간($(a)_{ns}$)과 실질적으로 동일한 시간이 되도록 제어될 수 있다.
- [0052] 아울러, 릴리즈 회로(200)에 포함되는 스위칭 소자는 MOS 트랜지스터일 수 있다. 그리고 MOS 트랜지스터는 로컬 비트라인 스위치(122) 및 글로벌 비트라인 스위치(172)를 구성하는 스위칭 소자보다 긴 채널 길이를 가질 수 있다.
- [0053] 한편, 릴리즈 전압(Vrelease)으로 리드 전압을 이용하는 경우에는 대기시간($(f)_{ns}$)에 대한 정교한 제어가 불필요하다는 이점을 갖는다.
- [0054] 릴리즈 회로(200)는 서브 홀(SH) 영역, 또는 로컬 비트라인 스위치 블럭(120) 영역, 또는 메모리 영역(100)의 일측 상부 또는 하부 영역에 배치될 수 있으나
- [0055] 릴리즈 회로(200)가 로컬 비트라인 스위치 블럭(120) 내에 배치되는 경우에는 각각의 비트라인(BL) 마다 릴리즈 회로(200)를 연결할 수 있다.
- [0056] 다른 예로, 릴리즈 회로(200)가 메모리 영역(100)의 일측 상부 또는 하부 영역에 배치되는 경우에는 각각의 글로벌 비트라인(GBL)마다 릴리즈 회로(200)를 연결할 수 있다.
- [0057] 도 6은 일 실시예에 의한 전자 시스템의 구성도이다.
- [0058] 일 실시예에 의한 전자 시스템(30)은 프로세서(310), 메모리 컨트롤러(320), 메모리 장치(321), IO 컨트롤러(330), IO 장치(331), 디스크 컨트롤러(340) 및 디스크 드라이버(341)를 포함할 수 있다.

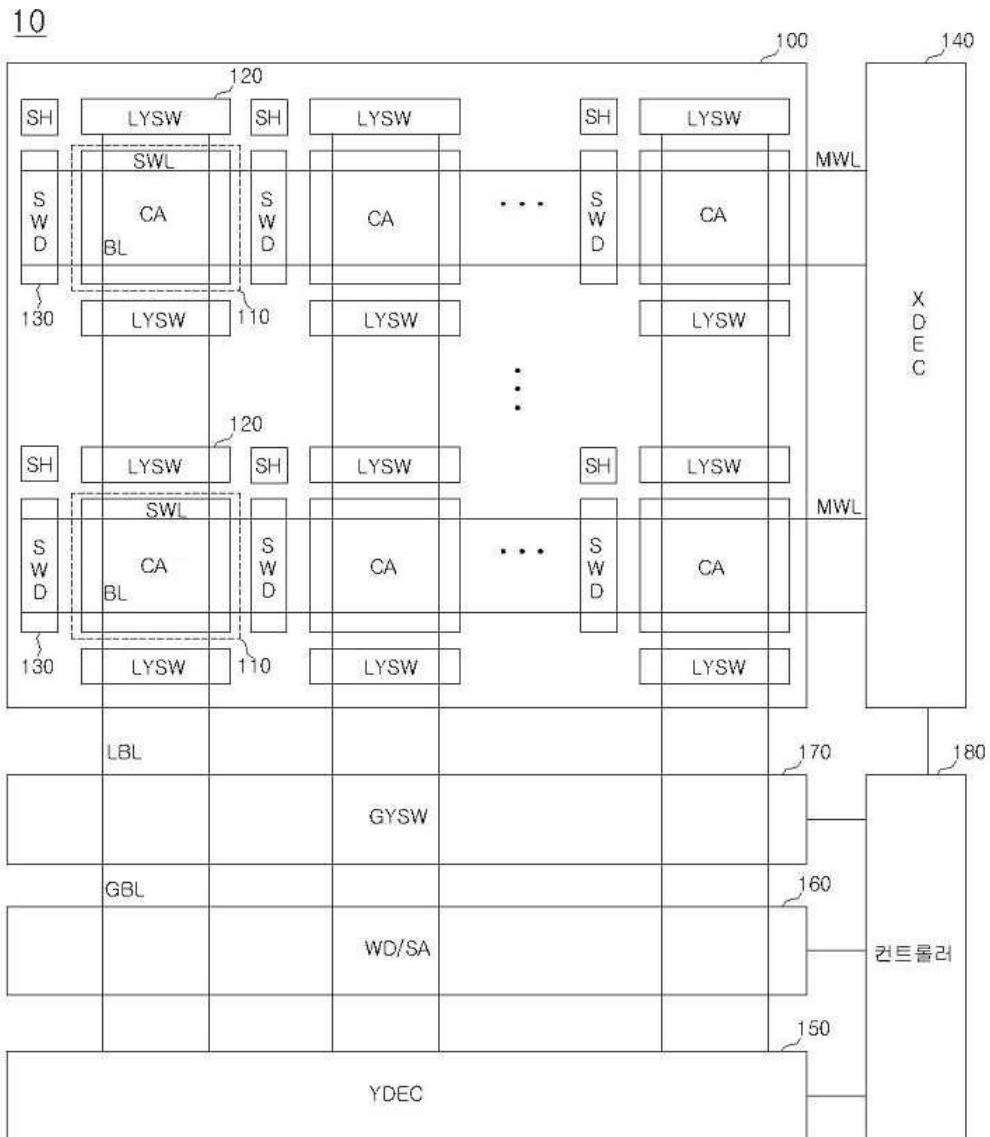
- [0059] 프로세서(310)는 적어도 하나 구비될 수 있으며, 독립적으로 또는 다른 프로세서와 연동하여 동작할 수 있다. 프로세서(310)는 버스(제어 버스, 어드레스 버스, 데이터 버스)를 통해 다른 요소들, 예를 들어 메모리 컨트롤러(320), IO 컨트롤러(330) 및 디스크 컨트롤러(340)와 통신할 수 있는 환경을 갖추고 있다.
- [0060] 메모리 컨트롤러(320)는 적어도 하나의 메모리 장치(321)와 접속된다. 메모리 컨트롤러(320)는 프로세서(310)로부터 제공되는 요청을 수신하고, 이에 기초하여 적어도 하나의 메모리 장치(321)를 제어한다.
- [0061] 메모리 장치(321)는 예를 들어 도 1 내지 도 5를 참조하여 상술한 반도체 메모리 장치일 수 있다.
- [0062] IO 컨트롤러(330)는 프로세서(310)와 IO 장치(331) 간에 접속되어 IO 장치(331)로부터의 입력을 프로세서(310)로 전달하거나, 프로세서(310)의 처리 결과를 IO 장치(331)로 제공할 수 있다. IO 장치(331)는 키보드, 마우스, 터치 스크린, 마이크 등과 같은 입력 장치 및, 디스플레이, 스피커 등과 같은 출력 장치를 포함할 수 있다.
- [0063] 디스크 컨트롤러(340)는 프로세서(310)의 제어에 따라 적어도 하나의 디스크 드라이버(341)를 제어할 수 있다.
- [0064] 이러한 전자 시스템(30)에서, 프로세서(310)의 제어 하에 메모리 장치(321)로 리드명령이 제공되는 경우, 반도체 메모리 장치(321)는 워드라인 구동동작과 비트라인 구동동작을 실질적으로 동시에 수행하여 최소한의 리드 사이클 타임으로 고속의 리드 동작을 수행할 수 있다.
- [0065] 이와 같이, 본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

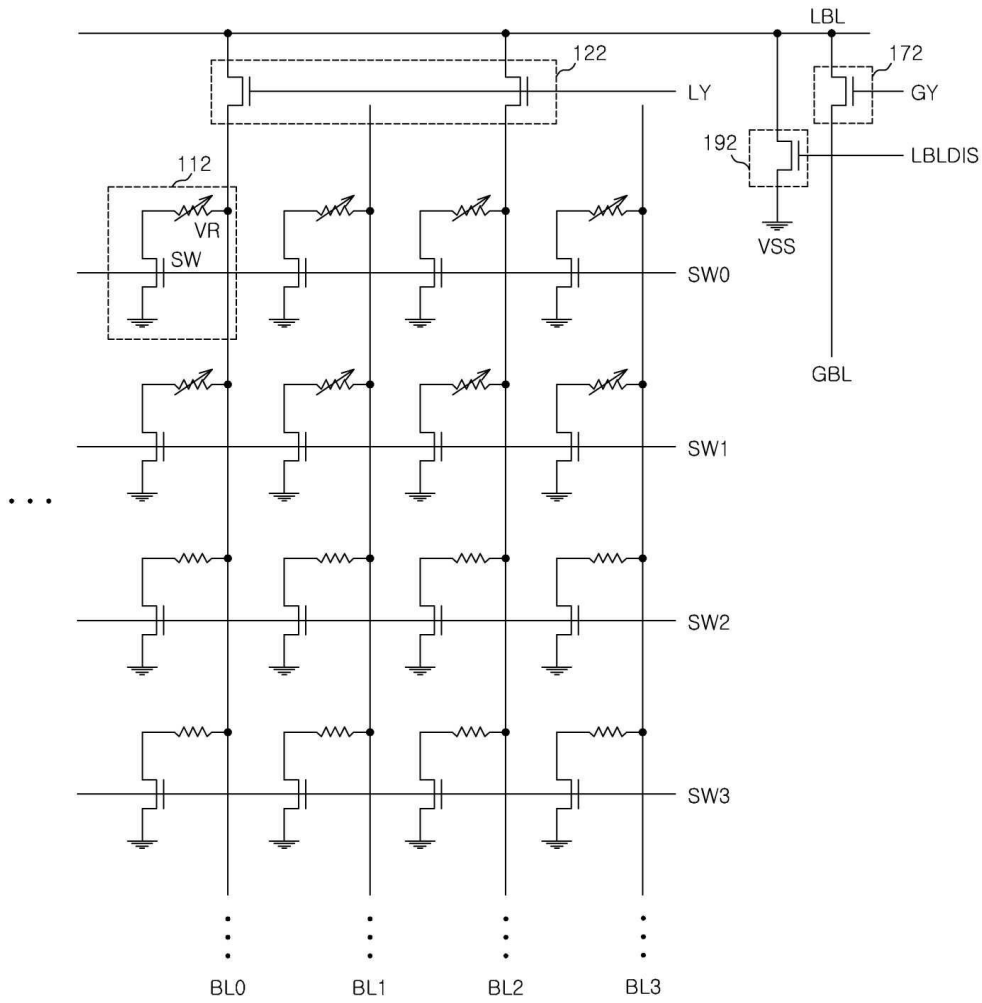
- [0066] 10 : 저항변화 메모리 장치
- 100 : 메모리 영역
- 110 : 메모리 셀 블럭

도면

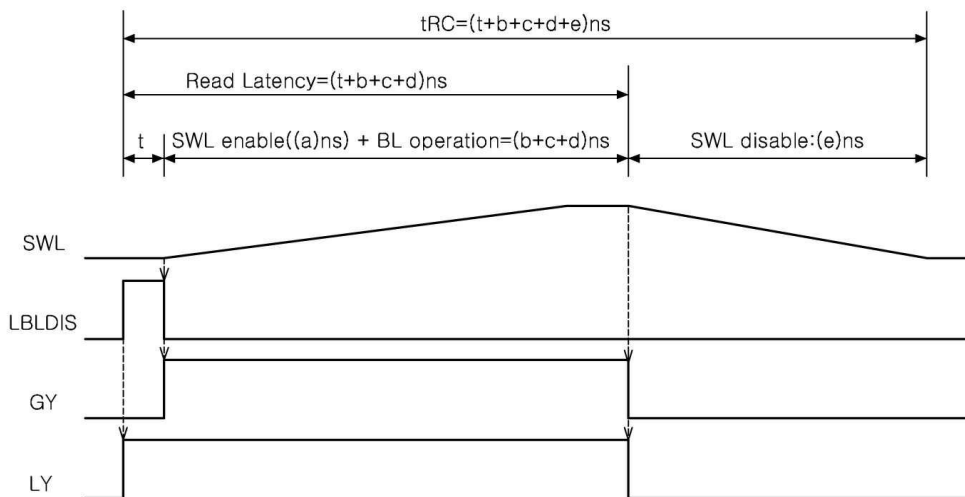
도면1



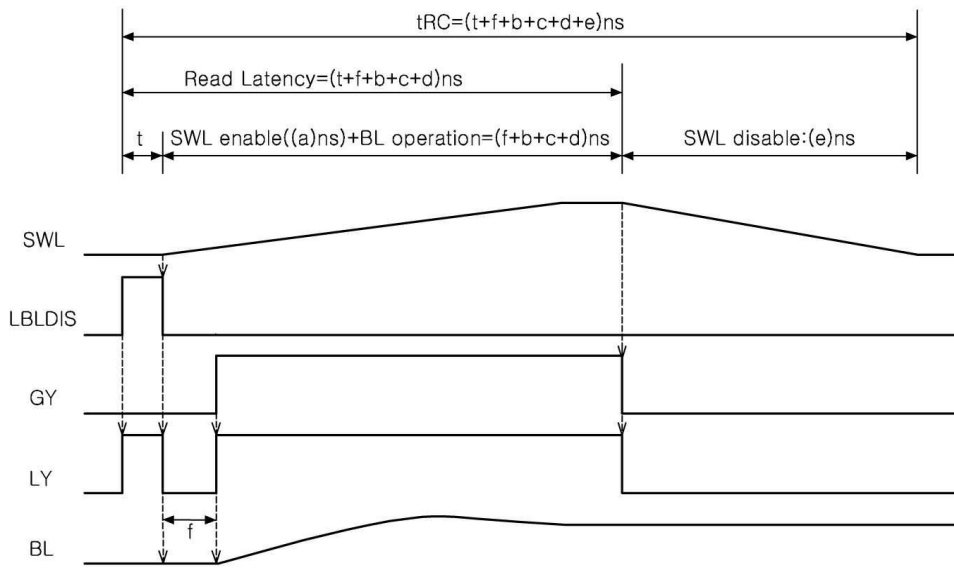
도면2



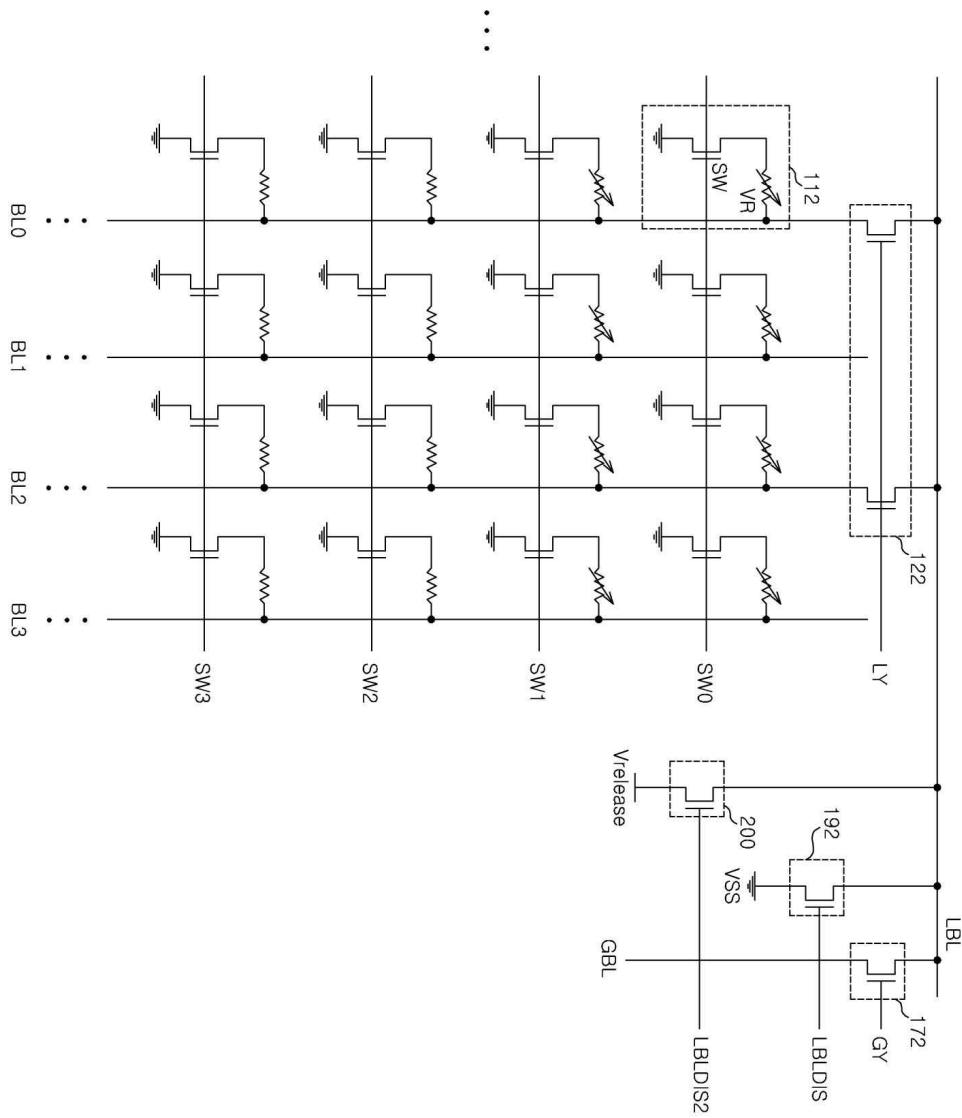
도면3



도면4



도면5



도면6

