

(12) 发明专利申请

(10) 申请公布号 CN 102163464 A

(43) 申请公布日 2011.08.24

(21) 申请号 201010547470.1

(22) 申请日 2010.11.17

(30) 优先权数据

12/712,136 2010.02.24 US

(71) 申请人 LSI 公司

地址 美国加利福尼亚

(72) 发明人 G·马修 杨少华 夏海涛

N·米拉德诺维奇

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 刘倜

(51) Int. Cl.

G11C 29/44 (2006.01)

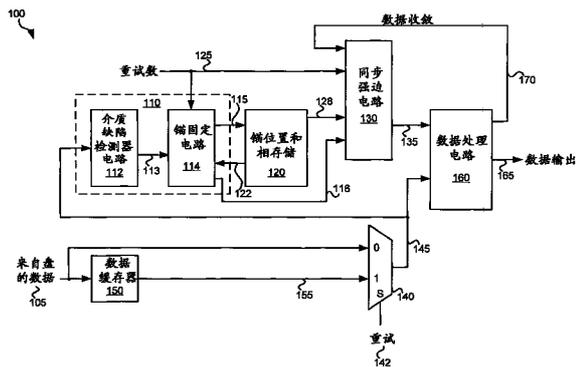
权利要求书 2 页 说明书 9 页 附图 7 页

(54) 发明名称

用于数据恢复的系统和方法

(57) 摘要

本发明涉及用于数据恢复的系统和方法。本发明的多种实施例提供了用于识别存储介质上的可重现位置的系统和方法。作为示例，描述了这样的电路，该电路包括介质缺陷检测器和锚固定电路。所述介质缺陷检测器操作用于识别介质缺陷，而所述锚固定电路操作用于识别与所述介质缺陷有关的位置。所述位置是可重现的。



1. 用于识别存储介质上的可重现位置的电路,该电路包括:
介质缺陷检测器,其中该介质缺陷检测器操作用于识别介质缺陷;以及
锚固定电路,其中该锚固定电路操作用于识别与所述介质缺陷有关的位置,并且其中
该位置是可重现的。
2. 如权利要求 1 所述的电路,其中所述介质缺陷检测器包括离散傅里叶变换电路。
3. 如权利要求 2 所述的电路,其中所述离散傅里叶变换电路被调谐用于 2T 码型。
4. 如权利要求 1 所述的电路,其中所述介质缺陷检测器操作用于利用由存储介质获得
的一系列的数据采样来识别介质缺陷,并且其中所述电路进一步包括:
数据处理电路,其中所述数据处理电路操作用于利用距所述位置固定距离的强迫数据
同步标记来处理所述系列的数据采样的子集。
5. 如权利要求 4 所述的电路,其中所述电路进一步包括:
同步强迫电路,其中所述同步强迫电路操作用于每当所述数据处理电路不收敛时重复
地识别强迫数据同步标记,以及用于在所述数据处理电路收敛时存储所述强迫数据同步标
记。
6. 如权利要求 5 所述的电路,其中所述电路进一步包括:
数据缓存器,其中所述数据缓存器存储能够用在后续的从所述存储介质的读取上的、
用于指示所述存储介质上的可解码的数据集的开始的所述强迫数据同步标记。
7. 如权利要求 1 所述的电路,其中所述介质缺陷检测器包括前同步码结束检测器电
路。
8. 用于识别存储介质上的可重现位置的方法,所述方法包括:
接收由存储介质获得的一系列的数据采样;
利用所述系列的数据采样识别所述存储介质上的介质缺陷;以及
固定所述存储介质上的与所述介质缺陷有关的位置,其中所述位置是可重现的。
9. 如权利要求 8 所述的方法,其中所述方法进一步包括:
利用所述位置作为用于可解码数据集的开始的基准,对所述系列的数据采样的子集应
用解码算法。
10. 如权利要求 9 所述的方法,其中所述解码算法收敛,并且其中所述方法进一步包
括:
将强迫数据同步标记存储在存储器中,其中所述强迫数据同步标记指示所述位置,并
且所述强迫数据同步标记能够用在后续的从所述存储介质的读取上以指示所述存储介质
上的可解码数据集的开始。
11. 如权利要求 8 所述的方法,其中所述位置是第一位置,并且其中所述方法进一步包
括:
利用所述第一位置作为用于可解码数据集的开始的基准对所述系列的数据采样的第
一子集应用解码算法,其中所述解码算法不收敛;
固定所述存储介质上的与所述介质缺陷有关的第二位置,其中所述第二位置是可重现
的;以及
利用所述第二位置作为用于所述可解码数据集的开始的基准对所述系列的数据采样
的第二子集应用所述解码算法。

12. 如权利要求 11 所述的方法,其中利用所述第二位置的所述解码算法的应用收敛,并且其中所述方法进一步包括:

将强迫数据同步标记存储在存储器中,其中所述强迫数据同步标记指示所述第二位置,并且所述强迫数据同步标记能够用在后续的从所述存储介质的读取上以指示所述存储介质上的所述可解码数据集的开始。

13. 如权利要求 11 所述的方法,其中所述第二位置比所述第一位置远离所述介质缺陷。

14. 如权利要求 11 所述的方法,其中所述解码算法是低密度奇偶校验算法。

15. 如权利要求 8 所述的方法,其中接收由存储介质获得的一系列的数据采样包括从数据缓存器获得所述系列的数据采样。

16. 如权利要求 8 所述的方法,其中所述方法进一步包括:

从所述存储介质获得信息;以及

基于所述信息产生所述系列的数据采样。

17. 一种硬盘驱动器系统,所述硬盘驱动器系统包括:

存储介质;

介质缺陷检测器,其中所述介质缺陷检测器操作于利用由所述存储介质获得的一系列的数据采样来识别所述存储介质上的介质缺陷;以及

锚固定电路,其中该锚固定电路操作于识别与所述介质缺陷有关的位置,并且其中该位置是可重现的。

18. 如权利要求 17 所述的系统,其中所述介质缺陷检测器包括从以下中选择的电路:离散傅里叶变换电路、以及前同步码结束检测器电路。

19. 如权利要求 17 所述的系统,其中所述系统进一步包括:

数据处理电路,其中所述数据处理电路操作于利用距所述位置固定距离的强迫数据同步标记来处理所述系列的数据采样的子集。

20. 如权利要求 19 所述的系统,其中所述系统进一步包括:

同步强迫电路,其中所述同步强迫电路操作于每当所述数据处理电路不收敛时重复地识别强迫数据同步标记,以及用于在所述数据处理电路收敛时存储所述强迫数据同步标记。

21. 如权利要求 20 所述的系统,其中所述系统进一步包括:

数据缓存器,其中所述数据缓存器存储能够用在后续的从所述存储介质的读取上的用于指示所述存储介质上的可解码的数据集的开始所述强迫数据同步标记。

用于数据恢复的系统和方法

技术领域

[0001] 本发明涉及用于识别存储介质上的可重现的 (reproducible) 位置的系统和方
法, 并且更具体的, 涉及用于基于检测到的介质缺陷识别存储介质上的可重现的位置的系
统和方法。

背景技术

[0002] 硬盘典型地包括一定数目的用户数据区, 在它们之前是同步信息, 所述同步信息
包括前同步码 (preamble) 和数据同步码型 (data sync pattern)。前同步码被用于在异步
读取期间使相位和频率同步, 而数据同步码型被用于限定一系列用户数据的起始点。在操
作中, 电路搜索数据同步码型, 并处理在与该数据同步码型相关的位置处获得的一系列顺
序接收的数据采样。有时, 数据同步码型丢失, 导致重试 (retry), 其中使用一种或更多种搜
索方法来识别数据同步码型。这些搜索方法就电路和时间而言常常是成本较高的。此外,
在有些情况下, 所述搜索方法并不能够识别数据同步标记, 导致数据损失。

[0003] 因此, 至少出于上述理由, 在本领域中存在对更先进的从存储介质恢复数据的系
统和方法的需求。

发明内容

[0004] 本发明涉及用于识别存储介质上的可重现的位置的系统和方
法, 并且更具体的, 涉及用于基于检测到的介质缺陷识别存储介质上的可重现的位置的系
统和方法。

[0005] 本发明的多种实施例提供了用于识别存储介质上的可重现的位置的电路。这些电
路包括介质缺陷检测器和锚固定 (anchor fixing) 电路。介质缺陷检测器可操作用于识别
介质缺陷, 而锚固定电路可操作用于识别与介质缺陷有关的可重现的位置。在有些情况
下, 介质缺陷检测器包括被调谐用于 2T 码型的离散傅里叶变换电路。在其它情况下, 介
质缺陷检测器包括前同步码结束检测器电路。

[0006] 在上述实施例的某些实例中, 介质缺陷检测器可操作用于利用由存储介质获得
的一系列的数据采样来识别介质缺陷。在这些实例中, 所述电路进一步包括数据处理电
路, 其可操作用于利用强迫数据同步标记处理所述系列的数据采样的子集, 所述强迫数
据同步标记距离所述介质缺陷的位置一固定的距离。在某些这样的实例中, 所述电路
进一步包括同步强迫电路, 其可操作用于反复地每当所述数据处理电路不收敛时识
别强迫数据同步标记, 以及用于在所述数据处理电路收敛时存储所述强迫数据同步
标记。在特定的实例中, 所述电路进一步包括数据缓存器, 其存储所述强迫数据同步
标记, 所述强迫数据同步标记可用在随后的从所述存储介质的读取上以指示所述存
储介质上的可解码数据集的开始。

[0007] 本发明的其它实施例提供了用于识别存储介质上的可重现的位置的方法。所述
方法包括: 接收由所述存储介质获得的一系列的数据采样; 利用所述系列的数据采样
识别所述存储介质上的介质缺陷; 以及固定或识别所述存储介质上的与所述介质缺
陷有关的可重现的位置。在有些情况下, 所述方法进一步包括: 利用所述位置作为
用于可解码数据集的开

始的基准,对所述系列的数据采样的子集应用解码算法。在某些其中解码算法收敛的这样的实例中,所述方法进一步包括:在存储器中存储强迫数据同步标记。所述强迫数据同步标记指示所述位置,并且可用在随后的从所述存储介质的读取上以指示所述存储介质上的可解码数据集的开始。

[0008] 在上述实施例的多种实例中,所述位置是第一位置,并且所述方法进一步包括:利用所述第一位置作为用于可解码数据集的开始的基准,对所述系列的数据采样的第一子集应用解码算法。在解码算法不收敛的情况下,所述方法进一步包括:固定所述存储介质上的与所述介质缺陷有关的第二位置,所述第二位置是可重现的;以及利用所述第二位置作为用于所述可解码数据集的开始的基准,对所述系列的数据采样的第二子集应用所述解码算法。在某些这样的情况中,利用所述第二位置的所述解码算法的应用收敛。在这些情况中,所述方法可以进一步包括:将强迫数据同步标记存储在存储器中。所述强迫数据同步标记指示所述第二位置,并且可用在随后的从所述存储介质的读取上以指示所述存储介质上的可解码数据集的开始。在一个特定情况中,与所述第一位置相比,所述第二位置远离所述介质缺陷。

[0009] 在上述实施例的多种实例中,所述解码算法是低密度奇偶校验算法。在上述实施例的一个或更多个实例中,接收由存储介质获得的一系列的数据采样包括从数据缓存器获得所述系列的数据采样。在有些情况下,所述方法进一步包括:从所述存储介质获得信息;以及基于所述信息产生所述系列的数据采样。

[0010] 本发明的其它实施例还提供了硬盘驱动系统,其包括存储介质、介质缺陷检测器、以及锚固定电路。所述介质缺陷检测器可操作用于利用由所述存储介质获得的一系列的数据采样识别所述存储介质上的介质缺陷,而所述锚固定电路可操作用于识别与所述介质缺陷有关的位置。在此情况下,所述位置是可重现的。

[0011] 发明内容仅提供了本发明某些实施例的总体概要。从下面的详细说明、所附权利要求以及附图,本发明的许多其它的目的、特征、优点以及其它实施例将变得更加全面清楚。

附图说明

[0012] 可以参考在说明书的剩余部分中描述的附图实现对本发明多种实施例的进一步理解。在附图中,贯穿若干张图使用相同的参考数字来表示类似的组件。在某些实例中,将由小写字母构成的下标与参考数字关联,以表示多个类似组件中的一个。在提及参考数字而没有对存在的下标的详细说明时,意图是表示所有这些多个类似组件。

[0013] 图 1a 示出了根据本发明多种实施例的读通道电路,其包括锚点(anchor point)电路以及数据同步标记强迫电路;

[0014] 图 1b 是示出了根据本发明某些实施例的图 1a 的读通道电路的示例操作的时序图;

[0015] 图 2 示出了根据本发明多种实施例的基于离散傅里叶变换的锚定位电路;

[0016] 图 3 示出了根据本发明其它实施例的基于前同步码的锚定位电路;

[0017] 图 4a 和 4b 是示出了根据本发明某些实施例的方法的流程图,所述方法用于根据本发明的一个或更多个实施例固定锚点以及强迫与锚点有关的数据同步标记;以及

[0018] 图 5 示出了根据本发明某些实施例的存储系统,其包括具有锚点电路和同步标记强迫电路的读通道。

具体实施方式

[0019] 本发明涉及用于识别存储介质上的可重现的位置的系统和方法,并且更具体的,涉及用于基于检测到的介质缺陷识别存储介质上的可重现的位置的系统和方法。

[0020] 本发明的多种实施例提供了强迫数据同步标记,其可以代替由于存储介质上的介质缺陷或某些其它异常而导致不能被检测的原始数据同步标记而使用。在一个特定情况中,所述强迫数据同步标记位置距存储介质上的介质缺陷一规定的距离。由于介质缺陷不移动,因此介质缺陷的位置是可重现的。由于介质缺陷的位置是可重现的并且强迫数据同步标记被与介质缺陷相关地定位,因此强迫数据同步标记也是可重现的。强迫数据同步标记的可重现性允许测试强迫数据同步标记以确定其实用性,并且一旦证实是有用的,则可以在将来利用强迫数据同步标记来从存储介质读出数据。

[0021] 本发明的某些实施例提供了用于识别存储介质上的可重现的位置的电路。这些电路包括介质缺陷检测器和锚固定电路。如在此所使用的,在其最宽泛的意义上使用术语“介质缺陷检测器”,以表示能够指示存储介质上的介质缺陷的位置的任何电路、装置或系统。如在此所使用的,在其最宽泛的意义上使用术语“锚固定电路”,以表示能够识别与所识别的介质缺陷有关的可重现位置的任何电路、装置或系统。

[0022] 在上述实施例的某些实例中,所述电路可以进一步包括数据处理电路。如在此所使用的,在其最宽泛的意义上使用术语“数据处理电路”,以表示能够对数据输入应用规定的处理以产生数据输出的任何电路。在某些情况下,所述规定的处理是数据检测器算法和/或数据解码器算法。在一特定情况中,使用低密度奇偶校验解码器算法,当数据输入从已知的位置开始并且不具有过多错误比特时其收敛在适当结果上。基于在此提供的本公开,本领域的普通技术人员将认识到可以与本发明不同实施例相关使用的多种数据解码器电路和/或数据检测器电路。

[0023] 所述数据处理电路可以接收如下的数据,所述数据以代替未被检测的原始数据同步标记的强迫数据同步标记开始。在所述强迫数据同步标记是在与原始数据同步标记相同的位置中的情况下,在不存在过多数据错误时所述数据处理电路应当收敛。相反,在所述强迫数据同步标记并非在与原始数据同步标记相同的位置中的情况下,数据处理电路将很可能不收敛。因此,在识别与介质缺陷对应的锚位置之后,本发明的某些实施例重复地将强迫数据同步标记定位在相对于所述锚位置的不同位置处直至数据处理电路收敛。在数据处理电路收敛的情况下,假定强迫数据同步标记已经被定位在适当位置处。一旦强迫数据同步标记被识别,这导致所述数据处理电路的数据收敛,则将强迫数据同步标记的位置存储到缓存器,在这里,它可以代替不可检测的原始数据同步标记用在存储介质的下一读取上。

[0024] 转到图 1a,示出了根据本发明多种实施例的读通道电路 100,其包括锚点电路和数据同步标记强迫电路。读通道电路 100 包括锚定位电路 110。锚定位电路 110 具有介质缺陷检测器电路 112,其经由多路复用器 140 接收作为输出 145 的由盘或其它存储介质获得的数据 105。在某些情况下,数据 105 是一系列数字采样,其可以例如从模拟处理电路(未示出)接收,所述模拟处理电路负责感测来自存储介质的信息、对该信息滤波、以及将该信

息转换为一系列相应的数字采样。基于在此提供的本公开,本领域的普通技术人员将认识到数据 105 的多种源以及预处理电路。

[0025] 介质缺陷检测器电路 112 可操作于接收多路复用器输出 145 以及用于提供介质缺陷输出 113 到锚固定电路 114。在与从其得到数据 105 的介质上的所检测的缺陷对应的时段上,介质缺陷输出 113 被断言(assert)。介质缺陷检测器电路 112 可以是本领域中已知的任何能够提供如下的输出的介质缺陷检测器电路,所述输出指示从其得到数据 105 的介质上缺陷的出现。锚固定电路 114 对介质缺陷输出 113 应用滤波算法以确定当前识别的介质缺陷是否足够可靠,以及所识别的介质缺陷的位置和相。在介质缺陷输出 113 所指示的当前识别的介质缺陷并不足够可靠的情况下,将其忽略并等待下一个介质缺陷。替代地,在介质缺陷输出 113 所指示的当前识别的介质缺陷足够可靠的情况下,锚固定电路 114 提供缺陷和相位置输出 115 到锚位置和相存储电路 120。锚位置和相存储电路 120 存储所接收的相和位置,其将要作用于重复的强迫数据同步标记的锚点。

[0026] 锚位置和相存储装置 120 提供相输出 122 到锚固定电路 114。每次在如重试数 125 所指示地处理第二或后来的重试的时候,锚固定电路 114 只是利用被作为相输出 122 提供的先前确定的相来查找先前确定的锚点。锚位置和相存储装置 120 提供锚和相输出 128 到同步强迫电路 130,所述同步强迫电路 130 提供与所接收的锚和相输出 128 有关的强迫数据同步输出 135。

[0027] 数据 105 也被提供到数据缓存器 150,所述数据缓存器 150 具有足够的大小以存储用于数据处理电路 160 的解码的至少一个完整的编码的数据集。在初始接收数据 105 时,重试输入 142 被设置为逻辑“0”以使得数据 105 经由多路复用器 140 作为多路复用的输出 145 提供到数据处理电路 160,并提供到介质缺陷检测器电路 112。在其中检测到原始数据同步标记的初始处理轮次(pass)上,数据处理电路 160 处理数据 105 以产生数据输出 165。替代地,在未检测到原始数据同步标记的情况下,随后的轮次(pass)将缓存的数据 155 从数据缓存器 150 经由多路复用器 140 提供到数据处理电路 160 和介质缺陷检测器电路 112。

[0028] 在如重试数 125 所指示的全部重试轮次上,同步强迫电路 130 将强迫数据同步标记 135 提供到数据处理电路 160。在重试轮次上利用强迫数据同步标记 135 来指示数据缓存器 150 中的要由数据处理电路 160 处理的数据的可重现的开始。在数据处理电路 160 收敛的情况下,该结果被提供作为数据输出 165,并且数据收敛输出 170 被断言,这表示先前强迫数据同步标记起作用。在这样的情况中,同步强迫电路 130 存储先前强迫数据同步标记作为与锚点有关的位置。该位置信息可以用于随后的对存储介质的相应区域的访问上。在这点上,由于发现了数据,重试处理完成。

[0029] 替代地,在数据处理电路 160 不收敛的情况下,数据收敛信号 170 向同步强迫电路 130 指示收敛失败。在响应中,同步强迫电路 130 迫使随后的强迫数据同步标记比先前强迫数据同步标记距所述锚点更大的距离。如先前描述的,来自数据缓存器 150 的数据被数据处理电路 160 再处理。重复地将强迫数据同步标记放置在接连的距被接收作为输出 128 的一部分的先前识别的锚位置不同的距离处以及重试数据处理电路 160 的处理的该处理过程持续,直至超时条件满足或者直至识别出有效的数据同步标记位置(即,直至数据处理电路 160 收敛)。

[0030] 转到图 1b,时序图 180 示出了根据本发明某些实施例的读通道电路 100 的示例操

作。根据时序图 180, 来自盘的数据 (即, 来自多路复用器 140 的输出 145) 包括如本领域中已知的 2T 前同步码 192。2T 前同步码 192 是可以用来使随后的原始数据同步标记 194 和用户数据 188 的相及频率同步的重复性信号。用户数据是在同步标记 194 之后开始的已知数目的比特 198。在一些实施例中, 所述已知数目的比特 198 是 4K 比特。如所示的, 在其中在介质上存储 2T 前同步码 192 的位置处出现介质缺陷 186。应当注意, 在介质缺陷 186 出现在 2T 前同步码 192 和 / 或原始数据同步标记 194 中的任何地方的情况下读通道电路都将工作。

[0031] 在与介质缺陷 186 对应的时段 184 期间, 介质缺陷输出 113 被断言。一旦确定所识别的介质缺陷足够可靠, 则将锚点 128 存储以供与强迫数据同步标记有关的使用。如所示的, 强迫同步标记 135 最终被放置在与原始数据同步标记 194 对应的位置处。强迫同步标记 135 的该位置距锚点 128 可重现的距离 190。如此, 强迫数据同步标记 135 被存储并且可以在随后的用户数据 188 的访问上重现。并未示出尝试了的强迫同步标记的数量。由于这些早些时候尝试的强迫同步标记并不正确, 因此数据处理电路 160 未收敛, 导致随后的强迫数据同步标记的放置和尝试。重复该处理过程直至定位了与距锚点 128 可重现的距离 190 对应的强迫同步标记 135。

[0032] 转到图 2, 示出了根据本发明多种实施例的基于离散傅里叶变换的锚定位电路 200。可以使用锚定位电路 200 取代图 1 的锚定位电路 110。锚定位电路 200 包括被调谐到 2T 频率的离散傅里叶变换电路 210。离散傅里叶变换电路 210 可以是本领域中已知的任何离散傅里叶变换电路。如本领域中已知的, 2T 频率是具有周期 4T 的前同步码码型 (即, ‘110011001100...’) 的基频, 其中 T 表示一个比特的持续时间。离散傅里叶变换电路 210 接收数据输入 205 ($x[n]$), 并将数据输入 205 转换为频域输出 215 ($X[n]$)。在一个特定实施例中, 数据输入 205 可以是来自图 1a 中所示的多路复用器 140 的数据输出 145。通过下式描述频域输出 215:

$$[0033] \quad X[n] = x[n-4] - x[n-2] + x[n] - x[n+2] + |x[n-3] - x[n-1] + x[n+1] - x[n+3]|。$$

[0034] 移动平均滤波器电路 220 接收频域输出 215, 并执行移动平均, 其被提供作为平均输出 225 ($X_m[n]$)。移动平均滤波器电路 220 可以是本领域中已知的任何移动平均滤波器电路。在本发明的一个特定实施例中, 移动平均滤波器电路 220 可以对频域输出 215 的四个或八个实例进行平均以产生平均输出 225。基于在此提供的本公开, 本领域的普通技术人员将认识到可以在计算平均输出 225 中使用的频域输出 215 的不同的实例数量。作为一个示例, 移动平均滤波器电路 220 可以包括维持频域输出 215 的限定数量的最新 (most recent) 实例的存储器。下式描述了平均输出 225:

$$[0035] \quad X_m[n] = \frac{1}{\beta} \sum_{i=0}^{N-1} X[n-i],$$

[0036] 其中 β 在 N 等于 ‘4’ 时等于 ‘1’, 并且 β 在 N 等于 ‘8’ 时等于 ‘2’。

[0037] 通过均值电路 240 产生均值输出 245, 即, $X_{m,d}[n]$, 其中均值输出 245 是平均输出 225 的均值, 如下式描述的:

$$[0038] \quad \text{在对于前面的实例缺陷输出 255 未被断言 (即, } D[n-1] = '0') \text{ 的情况下, } X_{m,d}[n] = X_{m,d}[n-1] + \gamma (X_m[n] - X_{m,d}[n-1]);$$

[0039] 并且

[0040] 在对于前面的实例缺陷输出 255 被断言 (即, $D[n-1] = '1'$) 的情况下, $X_{m,d}[n] = X_{m,d}[n-1]$ 。

[0041] 阈值测试电路 230 基于平均输出 225 与阈值 227 乘以均值输出 245 的比较断言缺陷输出 255。特别是, 下式描述了阈值测试电路 230 对缺陷输出 255 的断言:

[0042] 如果 $X_m[n] \leq \text{阈值} * X_{m,d}[n]$, 则 $D[n] = '1'$;

[0043] 否则 $D[n] = '0'$ 。

[0044] 缺陷输出 255 和平均输出 225 被提供到单调 (monotonic) 测试电路 260, 单调测试电路 260 测试所检测的输出以确定它是否可靠到足以建立锚点。单调测试电路 260 有效地测试随后的数据点以确定所检测的缺陷条件是否持续。在特定实例中, 在满足下面的条件的情况下认为所检测的介质缺陷足够可靠:

[0045] $X_m[n_0-4+i] > X_m[n_0-2+i] > X_m[n_0+i] > X_m[n_0+2+i]$,

[0046] 其中 n_0 是其中最先满足前述的单调条件 (即, 可靠性条件) 的位置, i 是正整数, 且 $i \in \{0, 1, 2, 3, 4, \dots\}$ 。令 i_0 是上述条件成立的 i 的最小值。在单调测试电路 260 确定已经满足了可靠性条件的情况下, 由 $n_1 = n_0 + i_0$ 给出的所确定的单调条件的位置被提供作为锚点 270, 并且提供锚点 270 处的阈值 280。阈值 280 被确定为:

[0047]
$$\theta = \frac{X_m[n_1] + X_m[n_1 - 4]}{2}$$
。

[0048] 还注意到 n_1 所依赖的四分之一率的相 (quarter rate phase) 282, $\varphi \in \{0, 1, 2, 3\}$ 。在某些情况下, 阈值 227 是可编程的。

[0049] 在后续的重试上 (即, 在重试数 125 指示第二个或更后的重试的情况下), 由于建立锚点的处理是可重复的, 因此使用相同的建立锚点的处理。然而, 在前述实施例的某些情况下, 对于后续的重试, 识别满足上述单调条件的第一缺陷 215。在此, 该缺陷的起始位置被称作 k_0 。随着该条件被满足, 在第一轮次上建立了锚点 270 的情况下在相同的相 282 处出现的采样实例 k_1 被确定为使得 $k_1 \geq k_0$ 。由此确定所识别的点是否满足在初始轮次上建立的阈值 280。具体的, 通过下式来描述锚点:

[0050] 锚点 = $k_1 + 4 * i_1$,

[0051] 其中 i_1 是满足该阈值测试的 $i \in \{-1, 0, 1\}$ 的最小值。具体的, 通过下式来描述该阈值测试:

[0052] $X_m[k_1 + 4 * i] \leq \Theta$ 。

[0053] 在与用于初始建立锚点的方法相比, 这种方法可以要求基本较少的处理, 并且, 在许多情况下, 将进一步保证再次找到初始锚点。

[0054] 图 3 示出了根据本发明其它实施例的基于前同步码的锚定位电路 300。基于前同步码的锚定位电路 300 再使用被包括在许多的数据检测电路中的欧几里得 (Euclidean) 度量电路 310。如本领域中已知的, 欧几里得度量电路 310 计算数据输入 305 和基线 (baseline) 303 之间的欧几里得距离。在特定实施例中, 数据输入 305 是来自图 1 的多路复用器 140 的数据输出 145。在基线 303 与前同步码码型对应的情况下, 在数据输入 305 与基线 303 一致时欧几里得输出 325 ($Y_m[n]$) 被断言在相对低的值; 而在数据输入 305 偏离基线 303 时, 欧几里得输出 325 被断言在相对高的值。在欧几里得输出 325 被断言在相对低的级别上基本上长的时段 (例如, 在十四到二十个比特周期之间), 接着欧几里得值 325 增加的

情况下,指示出前同步码的结束。在正常条件下,前同步码的结束指示原始数据同步标记的开始。然而,在介质缺陷出现在前同步码被原始写入的位置处的情况下,欧几里得值 325 中出现同样的增加。因此,在欧几里得值 325 中的下降并不跟着原始数据同步标记的检测的情况下,可以认为发生了可重现介质缺陷检测。与上面关于图 2 讨论的类似,该可重现介质缺陷检测可以用来固定可以用作强迫数据同步标记的基础的锚点。

[0055] 欧几里得值 325 被提供到阈值测试电路 330。阈值测试电路 330 将欧几里得值 325 与阈值 327 相比较。在欧几里得值 325 大于阈值 327 的情况下,前同步码的结束被声明(即,缺陷输出 355(D[n])被断言)。锚点产生电路 360 提供指示该位置的锚点 370,并且锚点 370 处的阈值 380 被提供。还注意到该锚点所依赖的四分之一率的相 382, $\varphi \in \{0,1,2,3\}$ 。在某些情况下,阈值 327 是可编程的。可以通过将最先超过阈值 327 的欧几里得值 325 和在检测到前同步码的结束前的欧几里得值 325 的最大值进行平均来计算阈值 380。

[0056] 在后续的轮次上(即,在重试数 125 指示第二或更后的重试的情况下),由于建立锚点的处理是可重复的,因此可以使用相同的建立锚点的处理。然而,在上述实施例的有些情况下,对于后续的重试,可以将阈值 327 编程为与阈值 380 相同的值,以使得每当再次识别阈值 380 时都指示该锚点。在每一重试轮次中,在第一轮次中识别的相同的四分之一率的相 382 中完成对锚点的搜索。

[0057] 阈值 327 最初可以通过编程默认值来设置,但是然后可以利用每一重试轮次将其动态更新。在第一轮次中,在前同步码的结束的检测点之前的欧几里得值 325 的最大值被记录到寄存器 MAX_VALUE 中。在每一后续的重试轮次中,利用在前同步码的结束的检测点之前的新的最大欧几里得值 325 更新该寄存器,如果用于该轮次的新的最大值比寄存器 MAX_VALUE 的内容大的话。在当前的轮次中,如果欧几里得值 325 大于阈值 380,则将用于下一重试的阈值 380 设置为:

[0058] 阈值 380 = (欧几里得值 325+ 最大值)/2。

[0059] 基于对如图 2 和图 3 中所示的本发明多种实施例的讨论,本领域的普通技术人员将认识到,图 2 和图 3 中所示的锚点检测电路即使在输入数据中没有介质缺陷的情况下也可以成功地检测锚点。实际的数据同步标记将使阈值测试电路(图 2 中的 230 和图 3 中的 330)将前同步码的结束的检测断言作为有效锚点。尽管这通过图 2 中使用的欧几里得度量电路发生,但是由于实际的同步标记上的 2T DFT 值 215 将比 2T 前同步码码型上的小得多,因此它在图 3 中也发生。因此,本发明可以用于锚点的定位而不管是否出现介质缺陷。

[0060] 转到图 4a 和图 4b,流程图 400 和流程图 460 示出了根据本发明某些实施例的方法,其用于根据本发明的一个或更多个实施例固定锚点和强迫与该锚点有关的数据同步标记。根据流程图 400,读取数据采样(框 403)。所述数据采样可以从存储介质感测的信息的数字表示。所述数据采样可以作为实况(live)数据流读取或者在先前缓存了实况数据流的情况下从缓存器读取。所述数据采样被包括在更大系列的数据采样中,并被比较以确定是否已经识别了原始同步标记(框 406)。在识别了原始数据同步标记(框 406)的情况下,利用原始数据同步标记作为其中要处理的码字开始的指示来对原始数据同步标记之后的用户数据执行标准的处理(框 409)。

[0061] 替代地,在未发现原始数据同步标记(框 406)的情况下,确定对同步标记的搜索是否已经延伸超出已经预期要发现同步标记的地方(框 412)。在其中预期同步标记的区域

尚未通过（框 412）的情况下，所述搜索原始数据同步标记的处理继续。另一方面，在确定其中预期原始数据同步标记的区域已经通过（框 412）的情况下，开始重试处理（框 415）。重试处理包括：在原始处理期间存储了数据采样的情况下，从缓存器读取数据采样。这些采样被提供到缺陷检测器电路，该缺陷检测器电路处理所接收的数据以确定是否指示了介质缺陷（框 421）。在并未发现缺陷（框 421）的情况下，所述读取数据采样并搜索缺陷的处理继续。替代地，在发现了缺陷（框 421）的情况下，测试该缺陷来看它是否足够可靠（即，是否呈现单调性或是是否通过阈值测试）（框 424）。在并未发现缺陷足够可靠（框 421）的情况下，读取数据采样并重新测试缺陷和可靠性的处理继续。否则，在发现缺陷足够可靠（框 424）的情况下，锚点（即，缺陷的位置）被与其中发现该缺陷的采样的相一起存储（框 427），并且计算和存储阈值以供后续的重试轮次中使用。

[0062] 根据流程图 460，在与先前确定的锚点有关的初始位置处强迫同步标记（即，强迫同步标记）（框 463）。在某些情况下，该初始同步标记被强迫在与锚点相同的位置处。在其它情况下，初始同步标记可以被强迫距锚点可重现的距离。然后，利用强迫同步标记，就好像它是指用户数据的开始的原始数据同步标记一样，来处理强迫同步标记的位置之后的数据（框 466）。这样的数据处理可以包括（但是不限于）如本领域中已知的低密度奇偶校验解码和 / 或最大后验数据检测。基于在此提供的本公开，本领域的普通技术人员将认识到可以应用于所读取的数据的多种数据处理方法。

[0063] 确定数据处理是否收敛（即，是否提供了期待的结果）（框 469）。在数据处理收敛（框 469）的情况下，认为该强迫同步标记是在原始数据同步标记的位置处，并将该强迫同步标记存储以再用于在后来的对介质的相应区域的访问上（框 472）。否则，在数据处理不收敛（框 469）的情况下，使与所识别的锚点有关的位置增加（框 475），并将同步标记强迫在新增加的位置（框 478）。该强迫同步标记的处理继续，直至满足超时条件或者数据处理收敛（框 469）。

[0064] 转到图 5，示出了根据本发明多种实施例的存储系统 500，其包括具有锚点电路和同步标记强迫的读通道 510。存储系统 500 可以是例如硬盘驱动器。存储系统 500 还包括前置放大器 (preamplifier) 570、接口控制器 520、硬盘控制器 566、马达控制器 568、主轴马达 (spindle motor) 572、盘片 (disk platter) 578、以及读 / 写头 576。接口控制器 520 控制到盘片 578 / 来自盘片 578 的数据的寻址和时序。盘片 578 上的数据由磁信号的群组构成，所述磁信号可以由读 / 写头组件 576 在该组件被正确地放置在盘片 578 之上时检测。在一个实施例中，盘片 578 包括根据垂直记录方案 (perpendicular recording scheme) 记录的磁信号。

[0065] 在典型的读操作中，通过马达控制器 568 将读 / 写头组件 576 正确地放置在盘片 578 上的期望的数据轨道之上。马达控制器 568 通过在硬盘控制器 566 的指引下将读 / 写头组件移动到盘片 578 上的适当数据轨道来将读 / 写头组件 576 相对于盘片 578 放置并驱动主轴马达 572。主轴马达 572 使盘片 578 以确定的旋转 (spin) 速率 (RPM) 旋转。一旦读 / 写头组件 576 与适当数据轨道相邻地放置，则在通过主轴马达 572 使盘片 578 旋转时通过读 / 写头组件 576 感测表示盘片 578 上的数据的磁信号。所感测的磁信号被作为表示盘片 578 上的磁数据的连续的、微小的模拟信号提供。该微小的模拟信号从读 / 写头组件 576 经由前置放大器 570 传送到读通道模块 510。前置放大器 570 可操作用于将从盘片 578 存取

的该微小的模拟信号放大。反过来,读通道模块 510 对接收的模拟信号解码并将其数字化,以重新创建原始写入到盘片 578 的信息。该数据被作为读取数据 503 提供到接收电路。写入操作基本上与前面的读操作相反,其中写入数据 501 被提供到读通道模块 510。然后该数据被编码并写入到盘片 578。

[0066] 锚点电路和同步标记强迫电路可以与上面就图 1-3 所讨论的类似,和 / 或可以与上面就图 4a-4b 所讨论的类似地操作。如在此所述的,这样的锚点电路和同步标记强迫电路能够识别介质上的可重现位置,以及将同步标记强迫在与该可重现位置有关的位置处。

[0067] 总而言之,本发明提供了用于识别存储介质上的可重现位置的新颖的系统、设备、方法和布置。尽管上面已经给出了对本发明的一个或更多个实施例的详细说明,但是各种各样的替代、修改和等效物对于本领域技术人员将是显而易见的,而没有偏离本发明的精神。因此,上面的描述不应作为对由所附权利要求所限定的本发明范围的限制。

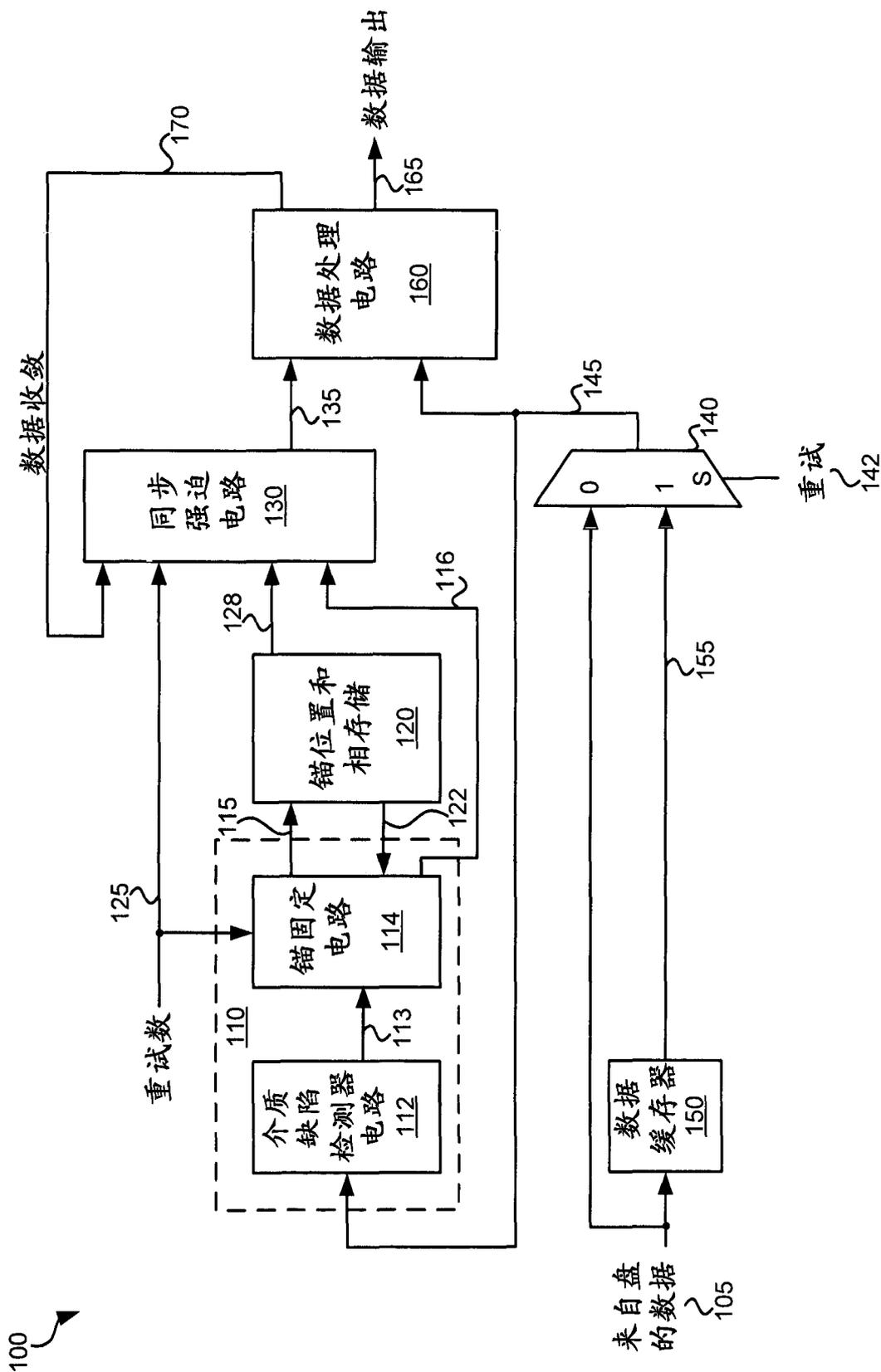


图 1a

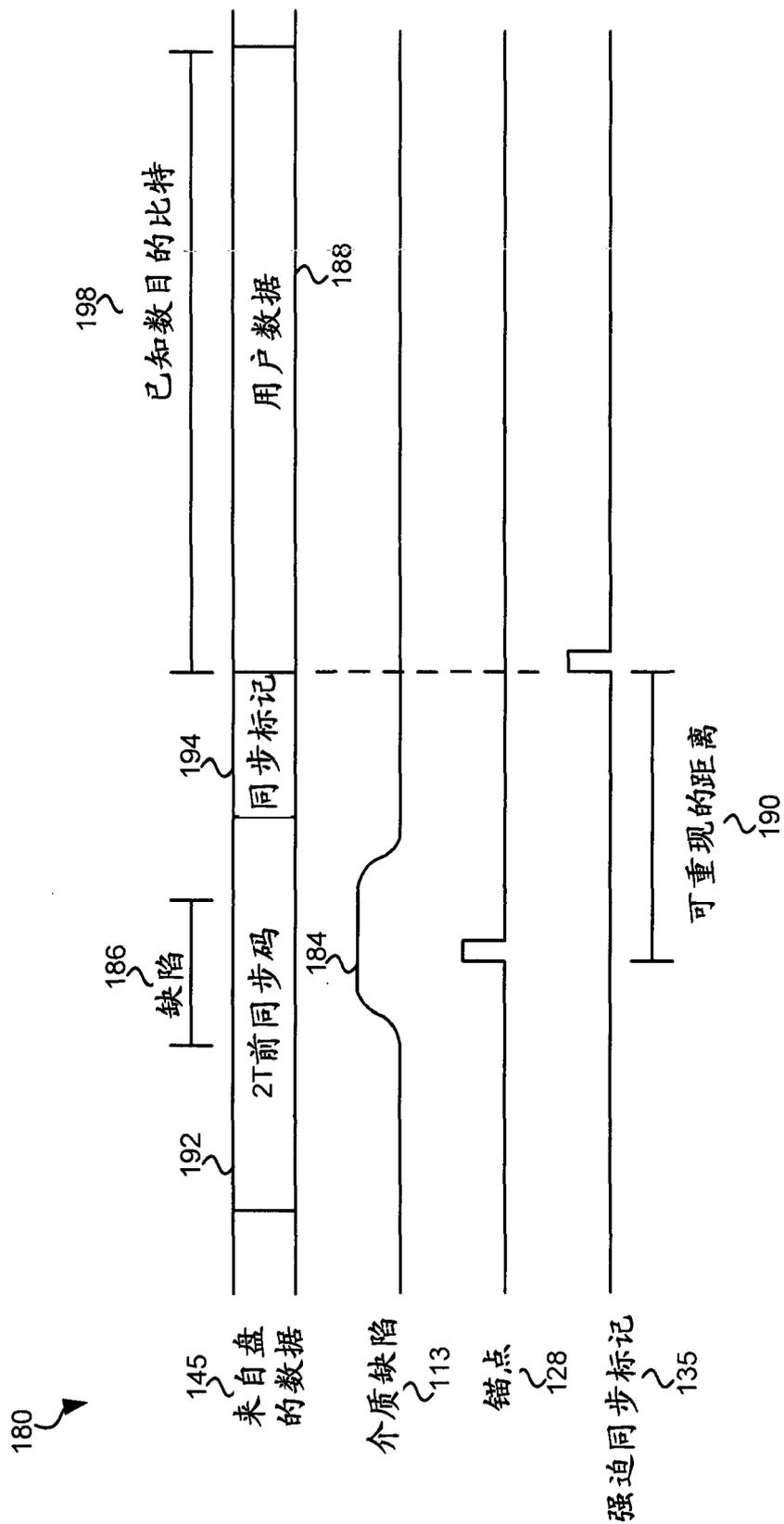


图 1b

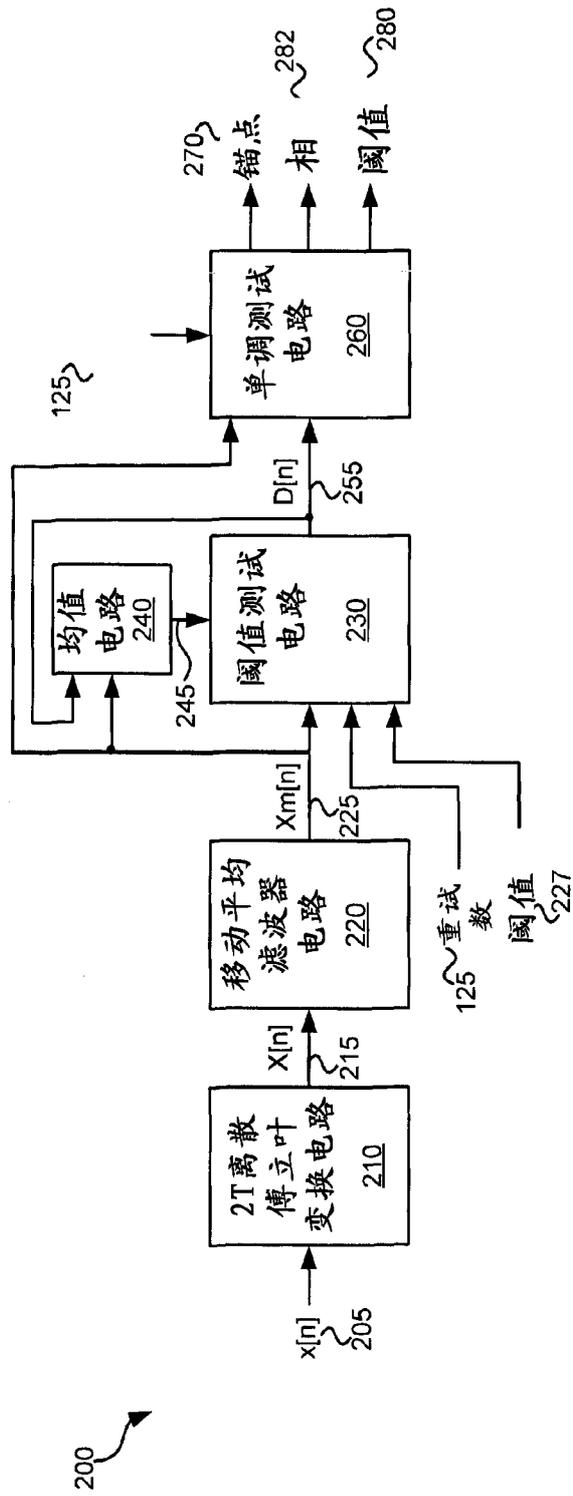


图 2

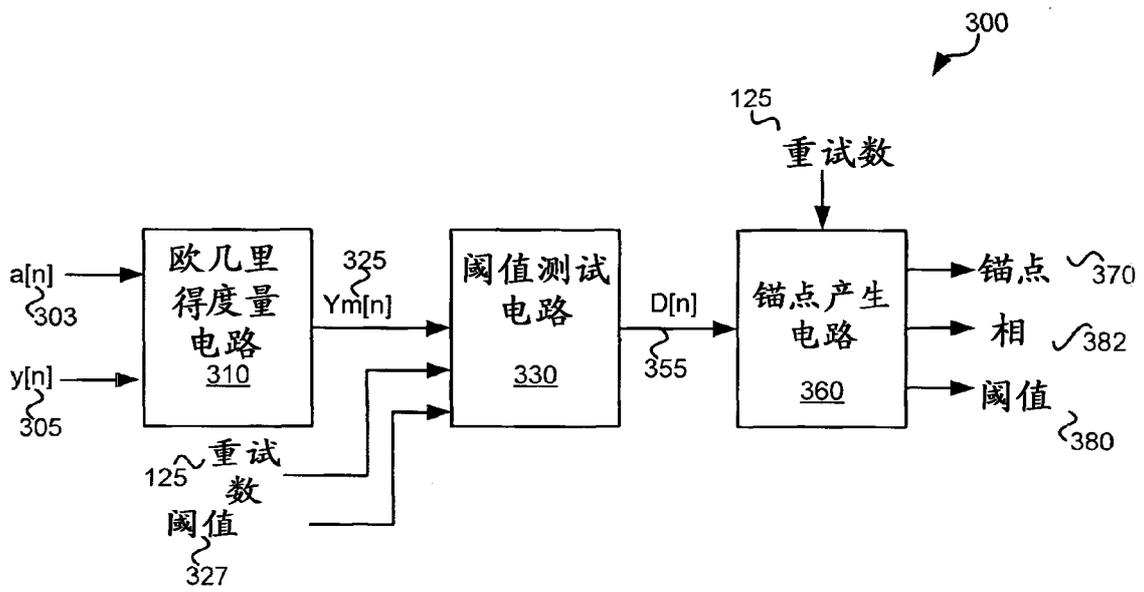


图 3

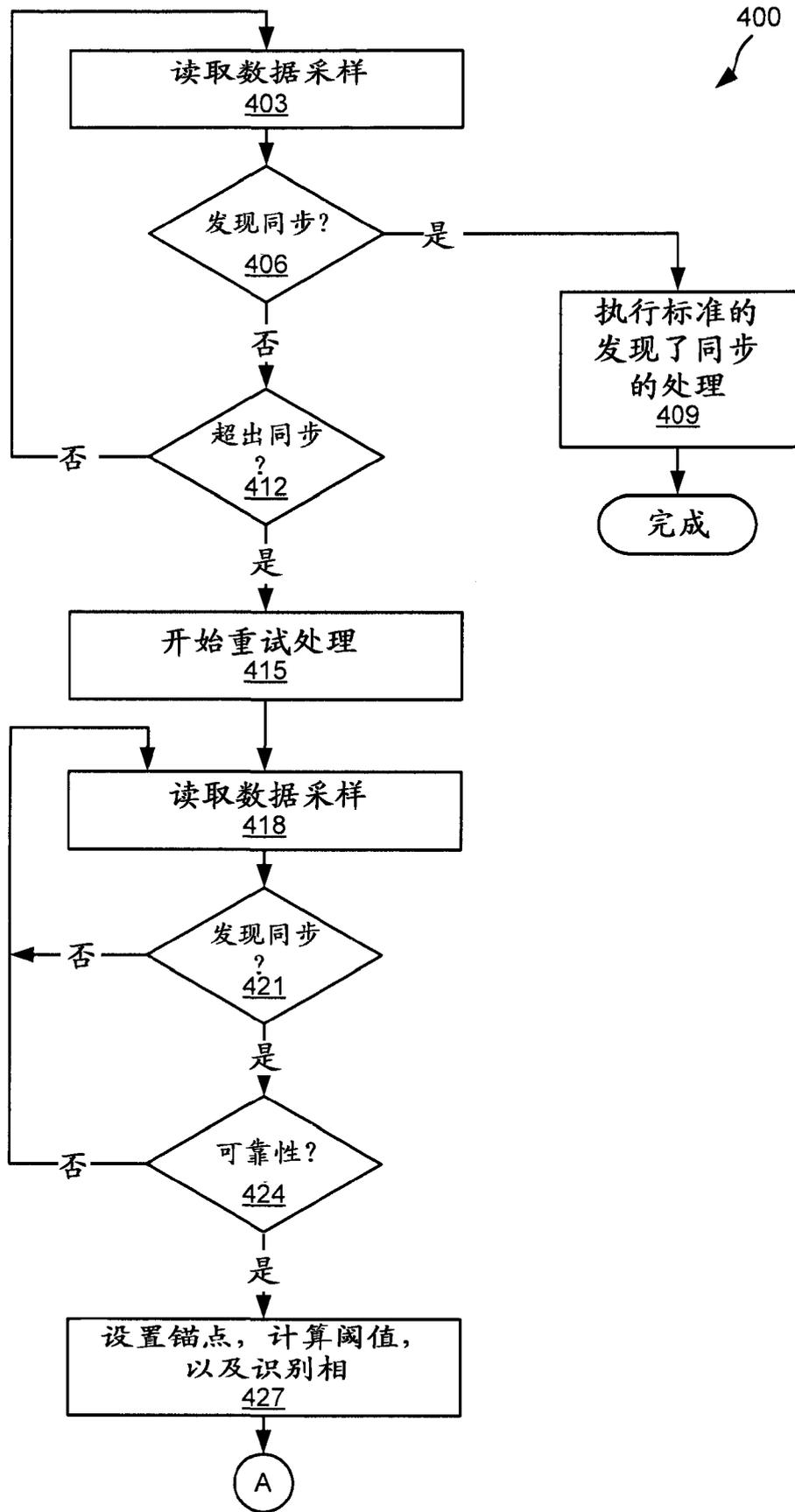


图 4a

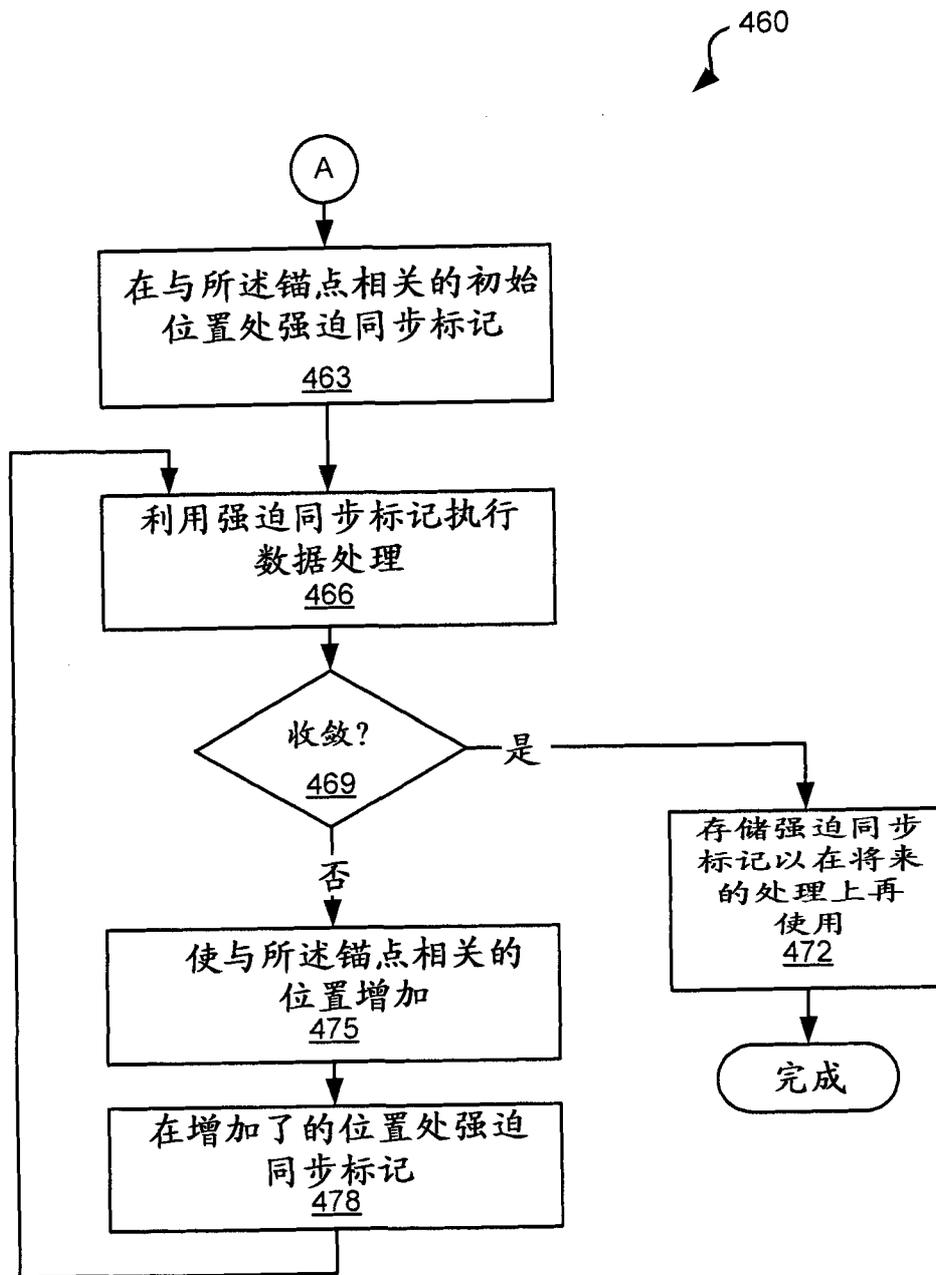


图 4b

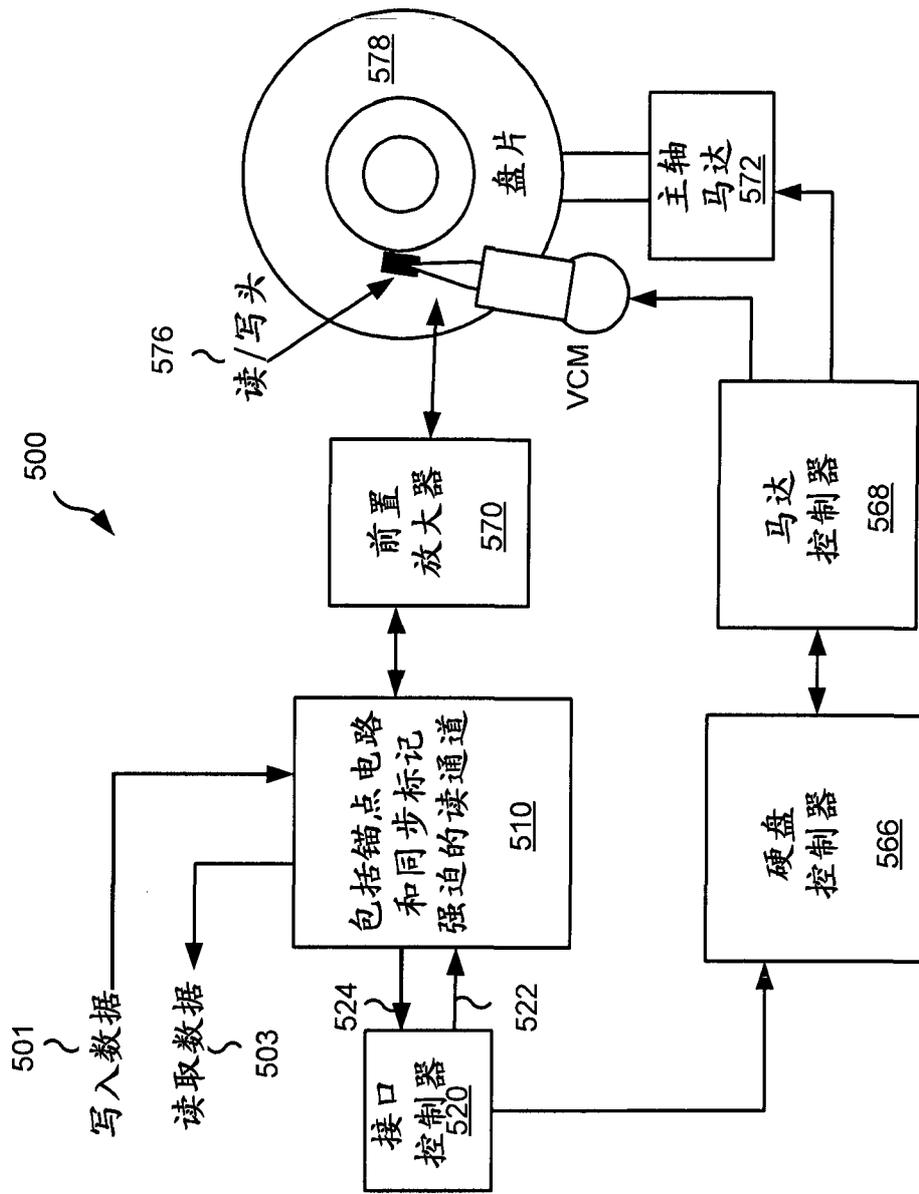


图 5