



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I558210 B

(45)公告日：中華民國 105 (2016) 年 11 月 11 日

(21)申請案號：101137337 (22)申請日：中華民國 101 (2012) 年 10 月 09 日

(51)Int. Cl. : H04N5/335 (2011.01) H01L27/14 (2006.01)

(30)優先權：2011/10/21 日本 2011-232282

(71)申請人：新力股份有限公司 (日本) SONY CORPORATION (JP)
日本

(72)發明人：長井利明 NAGAI, TOSHIAKI (JP)；小關賢 KOSEKI, KEN (JP)；植野洋介 UENO, YOSUKE (JP)；鈴木敦史 SUZUKI, ATSUSHI (JP)

(74)代理人：陳長文

(56)參考文獻：

WO 2011/083722A1

3D System Integration, 2009. 3DIC 2009. IEEE International Conference on 28-30 Sept. 2009

審查人員：劉人維

申請專利範圍項數：9 項 圖式數：38 共 97 頁

(54)名稱

半導體裝置、固體攝像裝置及照相機系統

(57)摘要

本發明之目的係提供一種半導體裝置、固體攝像裝置及照相機系統，其可降低於鄰接穿孔中傳送之信號間之干擾，進而可抑制穿孔數之增加，而可減少搭載感測器之晶片之面積及安裝步驟，結果可謀求降低成本。本發明中具有第 1 晶片 110 及第 2 晶片 120；第 1 晶片 110 與第 2 晶片 120 具有貼合之積層機構；第 1 晶片與第 2 晶片間之配線通過穿孔 114 而連接；第 1 晶片 110 將使各感測器 111 所產生之類比信號經時間離散化後之信號經由對應之穿孔傳送至第 2 晶片；第 2 晶片 120 具有以與第 1 晶片取樣之時序不同之時序取樣通過穿孔自第 1 晶片傳來之信號之功能，及進行量子化而獲得數位信號之功能。

指定代表圖：

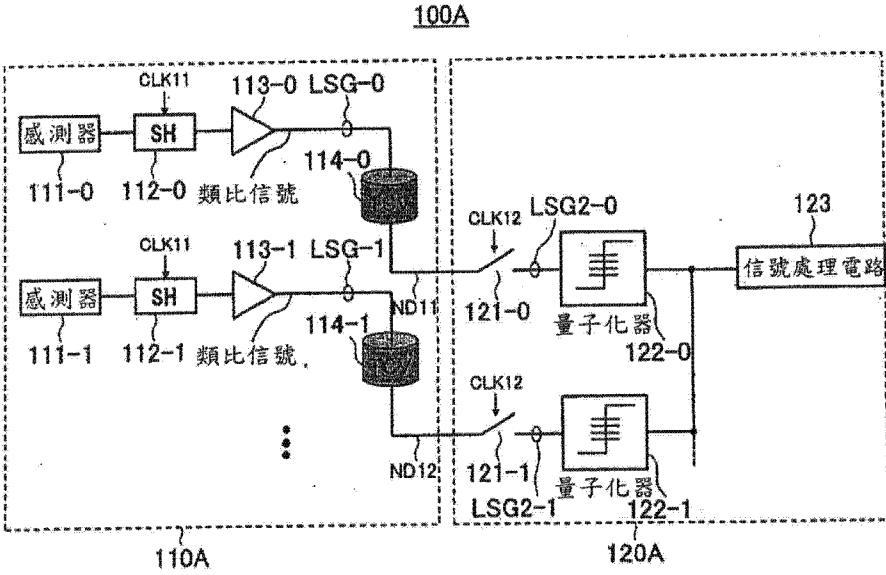


圖 10

符號簡單說明：

- 100A . . . 半導體裝置
- 110A . . . 類比晶片
- 111-0 . . . 感測器
- 111-1 . . . 感測器
- 112-0 . . . 取樣保持 (SH) 電路
- 112-1 . . . 取樣保持 (SH) 電路
- 113-0 . . . 放大器
- 113-1 . . . 放大器
- 114-0 . . . TCV
- 114-1 . . . TCV
- 120A . . . 數位晶片
- 121-0 . . . 取樣開關
- 121-1 . . . 取樣開關
- 122-0 . . . 量子化器
- 122-1 . . . 量子化器
- 123 . . . 信號處理電路
- CLK11 . . . 第 1 時脈
- CLK12 . . . 第 2 時脈
- LSG-0 . . . 第 1 信號線
- LSG-1 . . . 第 1 信號線
- LSG2-0 . . . 第 2 信號線
- LSG2-1 . . . 第 2 信號線
- ND11 . . . 節點
- ND12 . . . 節點

公告本

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：| 0 1 1 3 7 3 3 7

※申請日：

101.10.09

※IPC 分類：H04N5/335; H01L27/14

(2006.01)

(2006.01)

一、發明名稱：(中文/英文)

半導體裝置、固體攝像裝置及照相機系統

二、中文發明摘要：

本發明之目的係提供一種半導體裝置、固體攝像裝置及照相機系統，其可降低於鄰接穿孔中傳送之信號間之干擾，進而可抑制穿孔數之增加，而可減少搭載感測器之晶片之面積及安裝步驟，結果可謀求降低成本。本發明中具有第1晶片110及第2晶片120；第1晶片110與第2晶片120具有貼合之積層機構；第1晶片與第2晶片間之配線通過穿孔114而連接；第1晶片110將使各感測器111所產生之類比信號經時間離散化後之信號經由對應之穿孔傳送至第2晶片；第2晶片120具有以與第1晶片取樣之時序不同之時序取樣通過穿孔自第1晶片傳來之信號之功能，及進行量子化而獲得數位信號之功能。

三、英文發明摘要：

四、指定代表圖：

(一)本案指定代表圖為：第(10)圖。

(二)本代表圖之元件符號簡單說明：

100A	半導體裝置
110A	類比晶片
111-0	感測器
111-1	感測器
112-0	取樣保持(SH)電路
112-1	取樣保持(SH)電路
113-0	放大器
113-1	放大器
114-0	TCV
114-1	TCV
120A	數位晶片
121-0	取樣開關
121-1	取樣開關
122-0	量子化器
122-1	量子化器
123	信號處理電路
CLK11	第1時脈
CLK12	第2時脈
LSG-0	第1信號線
LSG-1	第1信號線
LSG2-0	第2信號線
LSG2-1	第2信號線
ND11	節點
ND12	節點

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：
(無)

六、發明說明：

【發明所屬之技術領域】

本技術係關於具有陣列狀配置複數個感測器之結構之半導體裝置、固體攝像裝置及照相機系統。

【先前技術】

如CMOS圖像感測器等般具有陣列狀配置複數個感測器之結構之半導體裝置，對其信號處理之高度化及小型化之要求日益增高。

為實現如上要求，例如專利文獻1中提出有一種藉由使晶片成為積層結構，而以與目前相同之晶片尺寸集積更大之信號處理電路之技術。

如此之半導體裝置係具有搭載有產生類比信號之感測器陣列之晶片(以下，記作類比晶片)與搭載有信號處理用之邏輯電路之晶片(以下，記作數位晶片)之積層結構。

又，半導體裝置藉由由形成於類比晶片上之TC(S)V(Through Contact(Silicon)VIA)連接之結構，上下積層該等晶片而實現小型化。

利用如此之技術實現小型化時，將用於通過自感測器陣列所輸出之資料之信號路徑之電路區塊如何分配給上下晶片係成為問題。

如上述般之系統中，用於自感測器陣列獲得信號之配線例如於圖像感測器中，因與縱向或橫向之像素數為相同等級，故為數千條以上。

因此，將TCV插入該等路徑時須密集配置TCV。因此，

於鄰接於某TCV之TCV之信號以較大之振幅進行轉變時，所注意之TCV之信號受到干擾而產生誤差。

對於該干擾，先前係藉由將經由TCV傳輸之信號限制在於電壓方向經量子化之信號(使用1條至複數條二值信號線)地實施對策。

以下對該等對策敘述其詳細內容。

以下，第1：對使通過TCV之傳輸信號成為經時間離散並量子化之信號即數位信號之對策進行敘述；第2：對使通過TCV之傳輸信號成為經時間連續並量子化之信號之情形進行敘述。

首先，對使通過TCV之傳輸信號成為經時間離散並量子化之信號即數位信號之對策進行敘述。

圖1係顯示使用積層晶片之半導體裝置中，使通過TCV之傳輸信號成為經時間離散並量子化之信號之第1構成例的圖。

半導體裝置1具有類比晶片2與數位晶片3之積層結構。

該半導體裝置1具有複數個感測器4(-0, -1, ...)，其陣列狀配置於積層結構之晶片中以類比製程製造之類比晶片2上。

該感測器4之各輸出經由放大器5(-0, -1, ...)連接於將信號時間離散化之取樣開關6(-0, -1, ...)。

此處，對自感測器4輸出之先前之信號之電力足夠大之情形時，亦可不經由放大器而直接將感測器之輸出連接於取樣開關。

經取樣開關6時間離散化之信號由量子化器7(-0, -1, ...)沿電壓方向量子化。

量子化器7由複數個比較器構成；各比較器藉由比較某信號位準與輸入信號之位準而進行信號之量子化。

此處，量子化器7亦可為非一次完成量子化者，而係由複數個階段構成之電路。

經由如此之過程而數位化之信號經由TCV8(-0, -1, ...)傳輸至數位晶片3，並由數位信號處理電路9進行處理。

該情形中，通過TCV8之信號被二值化為電源位準或接地(GND)位準，於信號尚未變化至電源電壓之二分之一左右之大小之範圍內，誤差並未產生。且，即使因TCV8之寄生電容而產生信號延遲，但若在信號處理電路9之裝置容限內，則並不構成問題。

接著，對使經由TCV而傳輸之信號成為數位信號之情形時之另一構成例進行說明。

圖2係顯示使用積層晶片之半導體裝置中，使通過TCV之傳輸信號成為經時間離散並量子化之信號之第2構成例的圖。

該情形下之半導體裝置1A中，感測器4之輸出信號並非直接由取樣開關6予以時間離散化，而係由位於感測器4附近之SH(取樣保持)電路10(-0, -1, ...)予以時間離散化。

該取樣保持電路10在最簡單之情況下僅由開關與電容實現。

接著，對將使經由TCV而傳輸之信號成為數位信號之圖

2之構成例適用於圖像感測器之情形進行說明。

圖3係顯示使用積層晶片之半導體裝置中，使通過TCV之傳輸信號成為經時間離散並量子化之信號之第3構成例的圖，係將圖2之構成例適用於CMOS圖像感測器之一例的圖。

另，為易於理解，圖3中對與圖1及圖2相同之構成部分由相同之符號予以表示。

CMOS圖像感測器係每像素附帶FD放大器，其輸出係選擇像素陣列中之某一行、同時朝行方向讀出其等之行平行輸出型成為主流。

其原因在於，配置於像素內之FD放大器難以獲得足夠之驅動能力，因此，須降低資料傳輸率以有利於進行並行處理。

如此之CMOS圖像感測器20以包含作為感測器陣列之像素陣列部21及用於驅動像素之列選擇電路(V掃描器)22而構成。

像素陣列部21係以M列×N行之矩陣狀配置有像素電路30。

列選擇電路22係控制配置於像素陣列部21中之任意列之像素之動作。列選擇電路22通過控制線LSEL、LRST、LTRG控制像素。

圖3顯示作為一例之由4個電晶體構成像素電路30之情形。

該像素電路30具有例如包含光電二極體(PD)之光電轉換

元件(以下，亦存在單獨稱作PD之情形)31。像素電路30相對該一個光電轉換元件31具有作為主動元件之傳送電晶體32、重置電晶體33、放大電晶體34及選擇電晶體35之4個電晶體。

CMOS圖像感測器20中，相對作為感測器之光電轉換元件(光電二極體)31由浮動擴散區(電容)FD與傳送電晶體(傳送開關)32實現圖2之方塊圖中之取樣保持電路之功能。

第2，對使通過TCV之傳輸信號成為經時間連續並量子化之信號之情形進行說明。

圖4係顯示使用積層晶片之半導體裝置中，使通過TCV之傳輸信號成為經時間連續並量子化之信號之第1構成例的圖。

圖4之半導體裝置IC係與圖2之半導體裝置1A同樣地，藉由比較器23(-0， -1， ...)比較經SH電路10離散化之信號與由未圖示之斜坡信號產生器生成之斜坡波，將自感測器4輸出之類比信號轉換為時間軸之信號。

經由TCV8如此轉換後之經量子化之感測器信號傳輸至數位晶片2C，藉由計數器(TDC)24量子化時間軸之資訊，而獲得數位信號。

若以時間軸之波形表示以上動作，則係如圖5所示。藉由自比較器23輸出作為信號S23之類比信號與斜坡波RAMP之比較結果，計數器24之計數動作停止，由此確定信號。此處，因斜坡波RAMP之開始時點與計數器24之計數動作之開始時間同步，故藉由該動作將電壓資訊轉換為時間資

訊。

利用如此之傳輸方法之情形中，經由TCV而傳輸之信號係與傳輸數位信號之情形同樣地，通過TCV8之信號被量子化為電源位準/GND位準。

圖6係顯示使用積層晶片之半導體裝置中，將圖4之構成適用於CMOS圖像感測器之一例的圖。

另，為易於理解，圖6中，對與圖3及圖4相同之構成部分以相同之符號予以表示。

與圖4之情形相同，藉由比較器23(-0, -1, ...)比較斜坡信號產生器25生成之斜坡波，將自像素30輸出之類比信號轉換為時間軸之信號。

經由TCV8如此轉換後之經量子化之感測器信號傳輸至數位晶片3D，由計數器(TDC)24量子化時間軸之資訊，將由此所得之數位信號保存於閘鎖器(記憶體)26。

保存於閘鎖器26中之數位信號由信號處理電路9水平傳送於傳送線。

另，由配置於各行之比較器23、計數器24、及閘鎖器26形成所謂單斜率型AD轉換器(ADC)。

圖7係顯示普通之單斜率型AD轉換器之構成的圖。

圖7之單斜率型AD轉換器40以包含比較器41、計數器42、及斜坡信號產生器43而構成。

如上述，單斜率型AD轉換器40中，比較器41比較來自DAC等之斜坡信號產生器43之斜坡波(斜率信號)與AD轉換器輸入信號IN，藉由控制後段之計數器42進行AD轉換。

作為AD轉換器40之重要性能指標有雜訊特性，比較器41之雜訊特性常左右AD轉換器40之雜訊特性。雜訊有寬頻帶之雜訊即熱雜訊、或低頻雜訊即閃變雜訊、及RTS(Random-Telegraph-Signal：隨機電報信號)雜訊等，該等分別使雜訊特性劣化。

通常，作為降低該等雜訊之技術，已知有增大電晶體尺寸或於比較器之初段輸出插入米勒電容之方法(參照專利文獻2)。

[先行技術文獻]

[專利文獻]

[專利文獻1]日本特開2011-159958號公報

[專利文獻2]日本特開2010-93641號公報

【發明內容】

[發明所欲解決之問題]

然而，上述之如圖1~圖3般使通過TCV之信號成為數位信號之情形，存在如下之問題。

其一係若欲提高量子化器之解析度，則TCV之條數變多。

如上述，一般而言，圖像感測器中同時讀出之感測器之數(像素)為數千個左右。實施該對策之情形時，須有於該數千條乘上解析度(位元數)程度之數之TCV，其結果，招致增加多餘之面積/成本。

其二係通過TCV之信號之振幅變大。由此需以大信號振幅對具有較通常之穿孔(VIA)大之寄生電容之TCV進行充

電，從而招致電力增加與電源雜訊增加。

其三係量子化器自身需較大之面積。類比晶片為實現感測器而一般經由具有比數位晶片更特殊之步驟之製程予以製造，故平均面積之成本較高。因此，若類比晶片之面積變大則對成本之影響較大。

再者，如圖4及圖6般使通過TCV之信號成為經時間連續並量子化之信號之情形時，出現如下問題。

其一係來自鄰接之TCV之信號之干擾。因通過TCV之信號為電源位準/GND位準之二值，故易對鄰接之信號產生干擾。

該系統中，對比較器之輸出足夠靜定、接近電源位準/GND位準之任一個之情形之中，雖來自鄰接TCV之干擾較強，但其對比較器之輸出之轉變中絕不造成強烈干擾。

其原因在於，比較器之輸出具有有限之上升時間，若雜訊重疊於該信號，則於超越某位準之時間內產生誤差。

圖8係顯示來自該鄰接TCV之干擾對誤差之影響的圖。

若無來自鄰接TCV之干擾，則比較器之輸出CMPOUT係如虛線所示般，但若存在干擾時則成為如實線所示般，於兩者超越計數器之閾值VTH之時間內產生誤差ER。

該系統中，即使使比較器之信號之上升時點與驅動SH電路之CLK1之時點相同，因其對應感測器輸出之位準而變化，故難以控制在同一時點。

再者，自上述理由來看，因誤差之產生大致係與鄰接之比較器輸出同時轉變，故即使一開始就同步化時點，原理

上仍無法避免干擾。

雖藉由對TCV間施加屏蔽可緩和該問題，但若TCV間之距離增大，其結果將導致面積增加。

其二係比較器之輸出信號變大而使電力與電源之雜訊增加。該電力與電源之雜訊增加與傳輸數位信號之情形出自同一理由。

其三係與傳輸數位信號之情形同樣地，比較器自身之面積引起成本增加。較傳輸數位信號之情形，進行1次比較即可，因電路較簡單，故雖如此程度之成本增加較高解析之量子化器小，但因比較器之數與TCV之數同為數千個，故決不可忽視其。

如上，處理自具有積層結構之感測器輸出之信號之半導體裝置中，先前採用電壓位準之量子化作為抑制鄰接TCV間之信號干擾之對策。

又，即使採用上述任一種安裝方法，因使步驟數較多之類比晶片之面積增加而招致成本增加、及通過TCV而傳輸之信號之振幅變大，故仍有伴隨電力與電源之雜訊之增加之問題。

進而，考慮使用單斜率型AD轉換器之半導體裝置之情形中，因作為降低雜訊之技術之使電晶體尺寸增大之方法中，副作用是寄生電容亦增大，故使電路面積變大或動作速度下降。因此，產生每一比較器之面積增加或動作速度受限之問題。此外，自該等制約來看，雜訊之降低效果亦難獲得一定以上之效果。

即使為於比較器之初段輸出插入米勒電容之方法，基本上既然為降低雜訊之頻帶即動作頻帶之方法，則因動作速度下降而難以獲得一定以上之雜訊降低效果。

進而，該方法之情形中，自其藉由限制頻帶而降低雜訊之原理而言，亦有對閃變雜訊或RTS雜訊等低頻雜訊而言效果較小之問題。

因存在該等事項，業界一直期待進一步降低比較器之雜訊、特別係進一步降低低頻雜訊。

本技術在於提供一種可降低傳輸於鄰接穿孔之信號間之干擾，進而可抑制穿孔數之增加，可減少搭載有感測器之晶片之面積及安裝步驟，結果可謀求成本降低之半導體裝置、固體攝像裝置、及照相機系統。

[解決問題之技術手段]

本技術之第1觀點之半導體裝置包含：具有以陣列狀配置之複數個感測器之第1晶片及第2晶片；上述第1晶片與上述第2晶片具有貼合之積層結構；上述第1晶片與上述第2晶片間之配線經由穿孔而連接；上述第1晶片將使各感測器所產生之類比信號經時間離散化後之信號經由對應之上述穿孔傳輸至第2晶片；上述第2晶片包含以與上述第1晶片取樣之時序不同之時序，取樣經由上述穿孔之自上述第1晶片傳輸來之信號之功能，及量子化而獲得數位信號之功能。

本技術之第2觀點之固體攝像裝置包含：像素陣列部，其以矩陣狀排列有進行光電轉換之複數個像素；及像素信

號讀出部，其進行自上述像素陣列部讀出以複數個像素為單位經時間離散化之像素信號；上述像素信號讀出部包含：複數個比較器，其與像素之行排列對應配置，比較判定讀出信號電位與斜坡信號，並輸出該判定信號；複數個計數器，其藉由上述比較器之輸出控制動作，藉由計數對應之上述比較器之比較時間而進行量子化；第1晶片；及第2晶片；上述第1晶片與上述第2晶片具有貼合之積層結構；上述第1晶片配置有上述像素陣列部及傳輸經時間離散化之類比像素信號之信號線；上述第2晶片配置有上述像素信號讀出部；上述第1晶片與上述第2晶片間之配線經由穿孔而連接。

本技術之第3觀點之照相機系統包含固體攝像裝置，及將被攝體像成像於上述固體攝像裝置之光學系統；上述固體攝像裝置包含：像素陣列部，其矩陣狀排列有進行光電轉換之複數個像素；及像素信號讀出部，其進行自上述像素陣列部讀出以複數個像素為單位經時間離散化之像素信號；上述像素信號讀出部包含：複數個比較器，其與像素之行排列對應配置，比較判定讀出信號電位與斜坡信號，並輸出該判定信號；複數個計數器，其根據上述比較器之輸出控制動作，藉由計數對應之上述比較器之比較時間而進行量子化；第1晶片；及第2晶片；上述第1晶片與上述第2晶片具有貼合之積層結構；上述第1晶片具有上述像素陣列部及傳輸經時間離散化之類比像素信號之信號線；上述第2晶片配置有上述像素信號讀出部；上述第1晶片與上

述第2晶片間之配線經由上述穿孔而連接。

【實施方式】

以下，結合圖式說明本技術之實施形態。

另，說明按照以下順序進行。

1. 半導體裝置之概要

1.1 半導體裝置之第1配置構成例

1.2 半導體裝置之第2配置構成例

1.3 半導體裝置之第3配置構成例

2. 固體攝像裝置之概要

2.1 固體攝像裝置之基本構成例

2.2 行平行ADC搭載固體攝像裝置之構成例

2.3 固體攝像裝置之第1配置構成例

2.4 固體攝像裝置之第2配置構成例

2.5 固體攝像裝置之第3配置構成例

3. 比較器之構成例

3.1 比較器之基本構成例

3.2 可降低低頻雜訊之比較器之基本構成例

3.3 可降低低頻雜訊之比較器之具體之電路構成例

4. 照相機系統之構成例

< 1. 半導體裝置之概要 >

圖9係顯示本實施形態之半導體裝置之積層結構之一例的圖。

本實施形態之半導體裝置100具有陣列狀配置之包含光電轉換元件等之複數個感測器。

以下，於說明具有如此之構成之半導體裝置之構成例之後，對作為半導體裝置之一例之固體攝像裝置之CMOS圖像感測器之構成例進行說明。又，對雜訊降低效果高且可應用於固體攝像裝置之單斜率型AD轉換器之具體構成例進行說明。

如圖9所示，半導體裝置100具有第1晶片(上晶片)110與第2晶片(下晶片)120之積層結構。

積層之第1晶片110與第2晶片120由形成於第1晶片110上之穿孔(TCV)電性連接。

該半導體裝置100形成作為在晶圓級貼合後由切割切出之積層結構之半導體裝置。

上下2晶片之積層結構中，第1晶片110由以陣列狀配置有複數個感測器之類比晶片(感測器晶片)構成。

第2晶片120由包含將自第1晶片110經由TCV傳送之類比信號量子化之電路及信號處理電路之邏輯晶片(數位晶片)構成。

焊接墊BPD及輸入輸出電路形成於第2晶片120上；於第1晶片110上形成有用於對第2晶片120進行打線接合之開口部OPN。

又，本實施形態之具有2晶片積層結構之半導體裝置100具有以下特徵之構成。

第1晶片110與第2晶片120間之電性連接例如通過穿孔(TCV)而進行。

TCV(穿孔)之配置位置設在晶片端或焊墊(PAD)與電路區

域之間。

例如，控制信號及電力供給用TCV主要集中於晶片角部之4處，由此可縮小第1晶片110之信號配線區域。

對於因第1晶片110之配線層數減少，使得電源線電阻增大、IR-Drop增大之問題，藉由有效配置TCV，可利用第2晶片120之配線進行用於第1晶片110之電源雜訊對策或穩定供給等之強化。

< 1.1 半導體裝置之第1配置構成例 >

圖10係顯示本實施形態之半導體裝置中之電路等之第1配置構成例的圖。

為易於理解具有積層結構之第1晶片110A與第2晶片120A之電路等之配置，圖10之半導體裝置100A以2維展開顯示第1晶片110A與第2晶片120A。

第1晶片110A上形成有陣列狀配置之複數個感測器111(-0, -1, ...), 及傳輸各感測器111(-0, -1, ...)之輸出類比信號(感測器信號)之第1信號線LSG1(-0, -1, ...)。

第1晶片110A中，第1信號線LSG1(-0, -1, ...)上配置有取樣保持(SH)電路112(-0, -1, ...)，其於第1時脈CLK11取樣各感測器111(-0, -1, ...)之感測器信號。

第1信號線LSG1(-0, -1, ...)上配置有放大器(放大器)113(-0, -1, ...)，其分別放大取樣保持(SH)電路112(-0, -1, ...)之輸出感測器信號。

又，第1晶片110A上形成有將第1信號線LSG1(-0, -1, ...)與第2晶片120A側電性連接，用於傳輸感測器信號之

TCV114(-0, -1, ...)。

另，雖未圖示，但第1晶片110A上亦形成有電源或控制信號用之TCV。

第2晶片120A上形成有連接於形成於第1晶片110A上之各TCV114之第2信號線LSG2(-0, -1, ...)。

各第2信號線LSG2(-0, -1, ...)上配置有於第2時脈CLK12取樣於TCV114傳輸之感測器信號之取樣開關121(-0, -1, ...)。

各第2信號線LSG2(-0, -1, ...)上配置有將於取樣開關121(-0, -1, ...)取樣之信號量子化之量子化器122(-0, -1, ...)。

第2晶片120A上配置有將經各量子化器122(-1, -2, ...)量子化之信號進行數位運算處理之信號處理電路123。

半導體裝置100A中，自各感測器111輸出之信號由SH電路112取樣保持並經由放大器113傳輸至TCV114。

此處，對自感測器111自SH電路112輸出之信號之電力足夠大之情形，亦可無需放大器。

通過TCV114而傳輸之信號由邏輯晶片(數位晶片)之第2晶片120A上之取樣開關121取樣，並由量子化器122沿電壓方向量子化。如此數位化之資料由信號處理電路123進行運算處理。

圖2所示之技術係使經由TCV而傳輸之信號成為沿電壓方向量子化之信號。

與此相對，本技術中，傳輸TCV114之信號沿時間方向

離散化，而電壓方向則成為連續信號即離散時間類比信號。

即使為該情形，仍產生來自鄰接之TCV114之信號干擾。

但，藉由適當控制控制於SH電路112取樣保持之時序之第1時脈CLK11與於第2晶片120A上取樣離散時間類比信號之第2時脈CLK12之時序，可避免TCV間之干擾。

圖11(A)~(C)係顯示本實施形態之半導體裝置之信號之時間關係的圖。

圖11(A)顯示供給於TCV傳輸之信號之節點ND11之信號波形；圖11(B)顯示第1時脈CLK11；圖11(C)顯示第2時脈CLK12。

現在，著眼於經由TCV114而傳輸之離散時間類比信號之節點ND11。

因第1時脈CLK11係於連接於全部感測器之SH電路112使用共用之時序，故與節點ND11鄰接之節點ND12之信號轉變時間理想中被同步化。

但，對例如因信號之配線延遲等，節點ND11與節點ND12中來自感測器之信號輸出時序產生偏差之情形，如圖11(A)所示般節點ND11之信號中產生因干擾引起之倒鉤。

然而，於1資料傳輸之區間中，因信號已於SH電路112中被時間離散化，故於該區間中為一定值，若經過相當之時間，則靜定於所需之值。

藉由以於值足夠靜定之時點，以第2時脈CLK12進行取樣地進行驅動，可將因TCV114之干擾而產生之誤差降低至可忽視之程度。

< 1.2 半導體裝置之第2配置構成例 >

圖12係顯示本實施形態之半導體裝置中之電路等之第2配置構成例的圖。

圖12之半導體裝置100B與圖10之半導體裝置100A之不同點係如下述。

即，第2晶片120B中，配置於各第2信號線LSG2(-0，-1、...)上之取樣開關121(-0，-1、...)與量子化器122(-0，-1、...)之配置位置(連接位置)相反。

本技術之第2時脈CLK12之時序之取樣與量子化亦可以如連續時間之量子化與連接於量子化器122之取樣開關121般地變更順序。

該情形下，取樣開關121之動作藉由相對各信號設置正反器而實現。

採用如圖10般之構成之情形中，取樣開關121斷開時(切斷時)會產生 kT/C 雜訊，其有成為問題之虞，但若為圖12之構成，則不會產生 kT/C 雜訊。

< 1.3 半導體裝置之第3配置構成例 >

圖13係顯示本實施形態之半導體裝置中之電路等之第3配置構成例的圖。

圖13之半導體裝置100C與圖10及圖12之半導體裝置100A、100B之不同點係如下述。

即，第2晶片120C中，代替取樣開關與量子化器而設置有比較器124(-0, -1, ...)及計數器125(-0, -1, ...)。

該第2晶片120C中，藉由由比較器124比較斜坡信號RAMP與於TCV114傳輸之感測器信號而進行自電壓軸朝時間軸之轉換，並以計數器125量子化時間資訊。

圖14顯示該情形可以與圖11相同之原理降低來自鄰接行之干擾。圖13之構成中，AD轉換動作藉由比較斜坡波RAMP與信號，由計數器124將該時間轉換為數位值而進行。因此，對斜坡波及計數器124未實施動作之時間，AD轉換器中信號之輸入並未進行。

此處，如圖14所示，藉由於信號輸出LSGO-N充分靜定後開始斜坡波之轉變及計數動作，可與圖11同樣地降低來自鄰接TCV之干擾引起之誤差。

< 2. 固體攝像裝置之概要 >

對作為本實施形態之半導體裝置之一例之固體攝像裝置之CMOS圖像感測器之構成例進行說明。

< 2.1 固體攝像裝置之基本構成 >

圖15係顯示本實施形態之CMOS圖像感測器(固體攝像裝置)之基本構成例的圖。

圖15之CMOS圖像感測器200具有像素陣列部210、列選擇電路(Vdec)220、及行讀出電路(AFE)230。

又，由列選擇電路220及行讀出電路230形成像素信號讀出部。

作為該半導體裝置之CMOS圖像感測器200採用圖9之積

層結構。

本實施形態中，該積層結構中，基本上，第1晶片110上配置有像素陣列部210，第2晶片120上配置有形成像素信號讀出部之列選擇電路220及行讀出電路230。

又，像素之驅動信號或像素(感測器)之類比讀出信號、電源電壓等係通過第1晶片110所形成之TCV於第1晶片110與第2晶片120間進行傳輸接收。

像素陣列部210係以M列×N行之2維狀(矩陣狀)排列有複數個像素電路210A。

圖16係顯示本實施形態之由4個電晶體構成之CMOS圖像感測器之像素之一例的圖。

該像素電路210A具有例如包含光電二極體(PD)之光電轉換元件(以下，亦存在單獨稱作PD之情形)211。

又，像素電路210A相對該1個光電轉換元件211具有作為主動元件之傳送電晶體212、重置電晶體213、放大電晶體214、及選擇電晶體215之4個電晶體。

光電換轉元件211將入射光光電轉換為與其光量相應之量之電荷(此處為電子)。

作為傳送元件之傳送電晶體212連接於光電轉換元件211與作為輸入節點之浮動擴散區FD之間，通過傳送控制線LTRG對其閘極(傳送閘極)賦予控制信號之傳送信號TRG。

藉此，傳送電晶體212將經光電轉換元件211光電轉換之電子轉送給浮動擴散區FD。

重置電晶體213連接於供給電源電壓VDD之電源線LVDD

與浮動擴散區FD之間，通過重置控制線LRST對其閘極賦予控制信號之重置信號RST。

藉此，作為重置元件之重置電晶體213將浮動擴散區FD之電位重置為電源線LVDD之電位。

浮動擴散區FD連接有作為放大元件之放大電晶體214之閘極。即，浮動擴散區FD係作為放大元件之放大電晶體214之輸入節點而發揮功能。

放大電晶體214與選擇電晶體215串聯連接於供給電源電壓VDD之電源線LVDD與信號線LSGN之間。

如此，放大電晶體214經由選擇電晶體215連接於信號線LSGN，並與像素部外之恒定電流源IS構成源極隨耦器。

又，通過選擇控制線LSEL將與位址信號對應之控制信號之選擇信號SEL賦予選擇電晶體215之閘極，由此選擇電晶體215導通。

若選擇電晶體215導通，則放大電晶體214放大浮動擴散區FD之電位並將與該電位對應之電壓輸出至信號線LSGN。通過信號線LSGN，自各像素輸出之電壓向行讀取電路230輸出。

該等動作由於例如以列為單位連接傳送電晶體212、重置電晶體213、及選擇電晶體215之各閘極，故對一系列之各像素同時進行。

配線於像素陣列部210上之重置控制線LRST、傳送控制線LTRG、及選擇控制線LSEL作為一組，以像素排列之各列為單位進行配線。

LRST、LTRG、LSEL之各控制線分別以各M條地進行設置。

該等重置控制線LRST、傳送控制線LTRG、及選擇控制線LSEL由列選擇電路220驅動。

具有如此之構成之像素陣列部210係如上述般以包含信號配線及控制配線地形成於第1晶片110上。

又，本實施形態中，配置於第1晶片110上之放大電晶體214與形成源極隨耦器之恒定電流源IS配置於第2晶片120側。

列選擇電路220控制配置於像素陣列部210中之任意列上之像素之動作。列選擇電路220通過控制線LSET、LRST、LTRG而控制像素。

列選擇電路220例如根據快門模式切換信號而將曝光方式切換為逐行進行曝光之捲簾快門方式或於前像素動作時進行曝光之全局快門方式，進行像素驅動控制。

行讀取電路230經由信號輸出線LSGN接收由列選擇電路220讀出並控制之像素列之資料，並轉送至後段之信號處理電路。

行讀取電路230包含CDS電路或ADS(Analog digital converter：類比數位轉換器)。

< 2.2 行平行ADC搭載固體攝像裝置之構成例 >

另，本實施形態之CMOS圖像感測器並無特別限定，例如亦可構成為搭載有行平行型之類比數位轉換裝置(以下，略稱作ADC)之CMOS圖像感測器。

圖 17 係顯示本實施形態之行平行 ADC 搭載 CMOS 圖像感測器(固體攝像裝置)之構成例的方塊圖。

如圖 17 所示，該固體攝像元件 300 具有作為攝像部之像素陣列部 310、作為像素驅動部之列選擇電路 320、水平傳送掃描電路 330、及時序控制電路 340。

進而，固體攝像元件 300 具有 ADC 群 350、作為斜坡信號產生器之數位-類比轉換裝置(以下，略稱作 DAC(Digital Analog converter：數位類比轉換器))360、放大器電路(S/A)370、信號處理電路 380、及水平傳送線 390。

像素陣列部 310 以矩陣狀(矩陣狀)配置包含光電轉換元件(光電二極體)與像素內放大器之例如如圖 16 所示般之像素地構成。

再者，固體攝像元件 300 中，配置有另一電路作為用於依序讀出像素陣列部 310 之信號之控制電路。

即，固體攝像元件 300 中，配置有作為控制電路之生成內部時鐘之時序控制電路 340、控制列位址或列掃描之列選擇電路 320、及控制行位址或行掃描之水平傳送掃描電路 330。

ADC 群 350 排列有複數行的具有比較器 351、計數器 352、及門鎖器 353 之單斜率型 ADC。

比較器 351 比較使 DAC360 所生成之參考電壓進行階段性變化之斜坡波形(RAMP)之參考電壓 V_{slop} 與逐列線自像素經由垂直信號線 LSGN 所得之類比信號。

計數器 352 計數比較器 351 之比較時間。

ADC群350具有 n 位元數位信號轉換功能，配置於每條垂直信號線(行線)，由此構成行平行ADC區塊。

各門鎖器353之輸出例如連接於 $2n$ 位元寬度之水平傳送線390。

又，配置有與水平傳送線390對應之 $2n$ 個放大器電路370及信號處理電路380。

ADC群350中，讀出至垂直信號線LSGN之類比信號(電位VSL)係藉由逐行配置之比較器351與參考電壓Vslop(以具有一定斜率之線形變化之斜率波形)進行比較。

此時，與比較器351同樣地逐行配置之計數器352進行動作，藉由一面使斜坡波形RAMP之某電位Vslop與計數值一對一對應一面進行變化，將垂直信號線之電位(類比信號)VSL轉換為數位信號。

參考電壓Vslop之變化係將電壓之變化轉換為時間之變化，藉由以某一週期(時鐘)計算其時間而轉換為數位值者。

又，類比電性信號VSL與參考電壓Vslop相交時，比較器315之輸出反相，停止計數器352之輸入時鐘，結束AD轉換。

於結束以上之AD轉換期間後，由水平傳送掃描電路330將保持於門鎖器353內之資料經由水平傳送線390、放大器電路370輸入至信號處理電路380，從而生成2維圖像。

如此地，進行行平行輸出處理。

另，於後對此處所採用之比較器351之具體構成進行詳

細敘述。

即使作為該半導體裝置之CMOS圖像感測器300仍採用圖9之積層結構。

本實施形態中，該積層結構中，基本上，第1晶片110上配置有像素陣列部310。

第2晶片120上配置有列選擇電路320、水平傳送掃描電路330、時序控制電路340、ADC群350、DAC(斜坡信號產生器)360、放大器電路(S/A)370、信號處理電路380、及水平傳送線390。

又，像素之驅動信號或像素(感測器)之類比讀出信號、電源電壓等通過第1晶片110所形成之TCV於第1晶片110與第2晶片120間進行傳送接收。

< 2.3 固體攝像裝置之第1配置構成例 >

此處，對將圖17之行平行ADC搭載CMOS圖像感測器之各構成要件配置於積層結構之第1晶片及第2晶片之構成例進行說明。

圖18係顯示本實施形態之行平行ADC搭載CMOS圖像感測器中之電路等之第1配置構成例的圖。

圖18中，為易於理解具有積層結構之第1晶片110D與第2晶片120D之電路等之配置，仍2維展開顯示第1晶片110D與第2晶片120D。

再者，圖18中，時序控制電路340及放大器電路370、信號處理電路380予以省略。該等電路亦配置於第2晶片120D上。

如上述，該積層結構中，基本上，第1晶片110D上配置有像素陣列部310。

第2晶片120D上配置有列選擇電路320、水平傳送掃描電路330、時序控制電路340、ADC群350之比較器351、計數器352、門鎖器353、及DAC(斜坡信號產生器)360。

又，像素之驅動信號或像素(感測器)之類比讀出信號、電源電壓等通過第1晶片110D所形成之TCV於第1晶片110D與第2晶片120D間進行傳送接收。

另，本實施形態中，配置於第1晶片110D上之像素之放大電晶體等與形成源極隨耦器之電流源IS配置於第2晶片120D上。

該圖18之配置構成例與圖13之配置構成例同樣地進行。

圖18之CMOS圖像感測器300A中，自列選擇電路320輸出之導通斷開控制傳送電晶體(傳送開關)之傳送控制信號TRG與圖13之第1時鐘CLK11之功能相同。

相對於此，藉由以使斜坡波之生成時序具有讓VSL[m]足份靜定之時間地予以控制，可以如圖14所示般以抑制來自鄰接TCV之干擾引起之誤差地傳輸信號。

圖19係顯示集中配置傳輸離散時間類比信號之TCV，並與傳輸數位信號之TCV分離配置之例的圖。

藉由採用如上述般之構成，可抑制來自鄰接TCV之干擾。

然而，例如圖18之系統中，列選擇電路320之輸出係用於使開關導通或斷開之一般數位信號，故不易降低該等信

號對信號線LSGN[n]之干擾。

因此，本技術中，如圖19所示，有效之對策為集中配置傳輸離散時間類比信號之TCV，並將其與傳輸數位信號之TCV分離配置。

圖19之例中，第1晶片110E中，像素陣列部310之圖19中之左右兩側部上形成有數位信號用TCV之配置區域410、420。

又，像素陣列部310之圖19中之下側之側部形成有類比信號用TCV之配置區域430。

< 2.4 固體攝像裝置之第2配置構成例 >

圖20係顯示本實施形態之行平行ADC搭載CMOS圖像感測器中之電路等之第2配置構成例的圖。

圖20之CMOS圖像感測器300B係像素陣列部310B以複數個像素共用一個浮動擴散區FD之情形之例。

圖20之例中，以2個像素共用浮動擴散區FD、重置電晶體213、放大電晶體214、選擇電晶體215。

各像素以包含光電轉換元件(光電二極體)211及傳送電晶體212而構成。

即使於該情形中，基本上，第1晶片110F上亦配置有像素陣列部310B，其他構成與圖18相同。

< 2.5 固體攝像裝置之第3配置構成例 >

圖21係顯示本實施形態之行平行ADC搭載CMOS圖像感測器中之電路等之第3配置構成例的圖。

圖21之CMOS圖像感測器300C係與圖20同樣地，係像素

陣列部310C以複數個像素共用一個浮動擴散區FD之情形之例。

即使於該情形中，基本上，第1晶片110G上亦配置有像素陣列部310C。

該例中，共用區域之附近形成有TCV114G。

TCV114G係以金屬連接形成於第1晶片110G與第2晶片120G上之金屬(例如Cu)之連接電極彼此而形成，其將對信號線LSGN輸出之像素信號經由TCV114G供給至第2晶片120G側之比較器351。

< 3. 比較器之構成例 >

接著，對適用於ADC群之形成行ADC之比較器351之具體之構成例進行說明。

作為如上述般之實施本技術之情形之問題點，可舉出有為於數位晶片之第2晶片上實現量子化器、比較器，該等之電路雜訊較實現於類比晶片上之情形變大。

以下，對圖17~圖21之CMOS圖像感測器，顯示對該雜訊有效之比較器之構成例。

< 3.1 比較器之基本構成例 >

圖22係顯示本實施形態之比較器之第1構成例的電路圖。

以下之比較器附加符號500而說明。

圖22係顯示以利用米勒電容極大限制頻帶而降低雜訊之比較器之構成例。藉由如此構成比較器，因比較器輸出之雜訊電力變小，故可彌補於數位晶片之第2晶片上實現比

較器之缺點。

如圖 22 所示，逐行配置之比較器 500 具有串聯連接之第 1 放大器 510、第 2 放大器 520、及用於發揮米勒效應之電容之電容器 C530。

又，於第 2 段之第 2 放大器 520 之源極接地型放大器之輸入輸出間連接有電容。該電容發揮米勒效應而等價於對源極接地輸入連接增益倍之電容。

藉此，各比較器 500 之頻帶為電容小且大幅窄化。

各比較器 500 係為於列動作開始時逐行決定動作點而具有初始化(自動歸零：AZ)後進行取樣之構成。

另，本實施形態中，第 1 導電型係 p 通道或 n 通道；第 2 導電型係 n 通道或 p 通道。

第 1 放大器 510 具有絕緣閘極型場效電晶體即 p 通道 MOS(PMOS)電晶體 PT511~PT514、及 n 通道 MOS(NMOS)電晶體 NT511~NT513。

第 1 放大器 510 具有作為 AZ 位準之取樣電容(輸入電容)之第 1 及第 2 電容器 C511、C512。

PMOS 電晶體 PT511 之源極及 PMOS 電晶體 PT512 之源極連接於電源電位源 VDD。

PMOS 電晶體 PT511 之汲極連接於 NMOS 電晶體 NT511 之汲極，藉由其連接點形成節點 ND511。且，PMOS 電晶體 PT511 之汲極與閘極連接，其連接點連接於 PMOS 電晶體 512 之閘極。

PMOS 電晶體 PT512 之汲極連接於 NMOS 電晶體 NT512 之

汲極，藉由其連接點形成第1放大器510之輸出節點ND512。

NMOS電晶體NT511與NMOS電晶體NT512之源極彼此連接，其連接點連接於NMOS電晶體NT513之汲極。NMOS電晶體NT513之源極連接於基準電位源(例如接地電位)GND。

NMOS電晶體NT511之閘極連接於電容器C511之第1電極，藉由其連接點形成節點ND513。又，電容器C511之第2電極連接於斜坡信號RAMP之輸入端子TRAMP。

NMOS電晶體NT512之閘極連接於電容器C512之第1電極，藉由其連接點形成節點ND514。又，電容器C512之第2電極連接於類比信號VSL之輸入端子TVSL。

再者，NMOS電晶體NT513之閘極連接於偏壓信號BIAS之輸入端子TBIAS。

PMOS電晶體PT513之源極連接於節點ND511，汲極連接於節點ND513。PMOS電晶體PT514之源極連接於節點ND512，汲極連接於節點ND514。

又，PMOS電晶體PT513及PT514之閘極以低位準共通連接於主動之第1AZ信號PSEL之輸入端子TPSEL。

具有如此之構成之第1放大器510中，由PMOS電晶體PT511、PT512構成電流鏡電路。

又，由NMOS電晶體NT511、NT512構成以NMOS電晶體NT513為電流源之差動比較部(跨導放大器(Gm放大器))511。

再者，PMOS電晶體PT513、PT514作為AZ(自動歸零：初始化)開關發揮功能，電容器C511、C512作為AZ位準之取樣電容發揮功能。

又，第1放大器510之輸出信號1stcomp係自輸出節點ND512對第2放大器520輸出。

第2放大器520具有作為PMOS電晶體PT521、NMOS電晶體NT521、NT522、及AZ位準之取樣電容之第3電容器C521。

PMOS電晶體PT521之源極連接於電源電位源VDD，閘極連接於第1放大器510之輸出節點ND512。

PMOS電晶體PT521之汲極連接於NMOS電晶體NT521之汲極，藉由其連接點形成輸出節點ND521。

NMOS電晶體NT521之源極連接於接地電位GND，閘極連接於電容器C521之第1電極，藉由其連接點形成節點ND522。電容器C521之第2電極連接於接地電位GND。

NMOS電晶體NT522之汲極連接於節點ND521，源極連接於節點ND522。

又，NMOS電晶體NT522之閘極以高位準連接於主動之第2AZ信號NSEL之輸入端子TNSEL。

該第2AZ信號NSEL具有與供給第1放大器510之第1AZ信號PSEL互補之位準。

具有如此之構成之第2放大器520中，由PMOS電晶體PT521構成輸入及放大電路。

再者，NMOS電晶體PT522作為AZ開關發揮功能，電容

器 C521 作為 AZ 位準之取樣電容發揮功能。

又，第 2 放大器 520 之輸出節點 ND521 連接於比較器 500 之輸出端子 TOUT。

電容器 C530 係第 1 電極作為源極接地型放大器連接於 PMOS 電晶體 PT521 之閘極(輸入)，第 2 電極連接於 PMOS 電晶體 PT521 之汲極(輸出)。

該電容器 C530 發揮米勒效應，等價於對源極接地輸入連接增益倍之電容。

第 1 放大器 510 之輸出所呈現之電容係若設 PMOS 電晶體 PT521 之增益為 A_{v2} 、電容器 C530 之電容為 C ，則如 $\{C \cdot (1 + A_{v2})\}$ 般進行增益倍，故可縮小電容器 C530 之電容值。

藉此，比較器 500 之頻帶電容小且大為窄化。

於該比較器 500 之初段之第 1 放大器 510 之輸出插入米勒電容之構成中，基本上既然係降低雜訊之頻帶即動作頻帶之技術，則因動作速度下降，一定以上之雜訊降低效果較小。

進而，該構成之情形中，自其限制頻帶以降低雜訊之原理而言，對閃變雜訊或 RTS 雜訊等低頻雜訊效果較小。

以下，對可謀求比較器 500 之雜訊之進一步降低、特別係低頻雜訊之進一步降低之構成進行說明。

以下說明之比較器之特徵在於第 1 放大器之構成。

另，以下說明中，為易於理解，基本上，對與圖 22 大致相同之構成以相同之符號予以表示。

< 3.2 可降低低頻雜訊之比較器之基本點之構成例 >

[構成之基本概念]

圖 23 係顯示本實施形態之可降低低頻雜訊之具有隔離器之比較器之基本概念的圖。

圖 24 係顯示圖 23 之比較器之比較例之不具有隔離器之比較器之基本概念的圖。

本實施形態之比較器 500A 具有包含自動歸零位準之取樣電容 C511、C512、自動歸零開關 AZS511、初段跨導 (Gm) 放大器 511 之第 1 放大器 510A、及接續其後之第 2 放大器 520A。

又，本實施形態之比較器 500A 與作為比較例所示之圖 24 之比較器 500B 不同，包含配置於第 1 放大器 510A 之至少輸出節點側、用於抑制電壓變動之隔離器 530 而構成。

另，圖 23 及圖 24 中，雖第 1 放大器 510A 之後段僅顯示有第 2 段之第 2 放大器，但亦可有任意段。

再者，說明中，設第 1 放大器 510A 之一輸入側節點 ND513 為節點 a、另一輸入側節點 ND514 為節點 b、第 1 放大器 510A 之 Gm 放大器 511 之輸出部為節點 c、第 1 放大器 510A 之輸出節點 ND512 為節點 d。

第 1 放大器 510A 之差動比較部 (Gm 放大器) 511 之輸出部之節點 c 相當於圖 22 之比較器 500 之第 1 放大器 510 之 NMOS 電晶體 NT512 之汲極端子側。

隔離器 530 係將初段 Gm 放大器 511 之輸出節點 c 之電壓自大振幅電壓節點 d 分離，並盡可能保持為固定。

自動歸零開關 AZS511 連接於隔離器 530 之輸出側之節點 d 與高阻抗節點 b 間。

[輸入斜率信號時之波形]

此處，探討對比較器之一輸入 (IN2) 輸入固定之輸入信號而對另一輸入 (IN1) 輸入斜率信號之情形。此處，所謂斜率信號係指如 RAMP 波形般信號位準以具有某種斜率地減少或增加之信號。

圖 25 係顯示於圖 23 之本實施形態之比較器之 Gm 放大器之輸入側節點與輸出側節點間存在寄生電容之例的圖。

圖 26(A)~(D) 係顯示圖 25 之構成例之寄生電容與輸入斜率信號時各節點之波形的圖。

圖 27 係顯示作為圖 24 之比較例之 Gm 放大器之輸入側節點與輸出側節點間存在寄生電容之例的圖。

圖 28(A)~(D) 係顯示圖 27 之構成例之寄生電容與輸入斜率信號時之各節點之波形的圖。

對本實施形態之比較器 500A 之一輸入 (IN2) 輸入固定輸入信號而對另一輸入 (IN1) 輸入斜率信號時，節點 d 係如圖 26(B) 所示般成為比輸入斜率信號更大陡度之斜率波形。

但，藉由隔離器 530，初段 Gm 放大器 511 之輸出節點 c 之電壓被保持在一定。

因此，即使節點 b、節點 c 間存在寄生電容 C_p ，節點 b 仍如圖 26(C) 所示般不受外界干擾地保持在一定電壓。

因此，如圖 26(D) 所示，比較器 500A 之初段 Gm 放大器 511 之差動輸入信號 (a-b)，輸入斜率 (IN1) 直接予以傳播。

另一方面，如圖 28(B)所示，比較例之比較器 500B 之構成中，節點 c 成為陡度非常大之斜率波形。

因此，該斜率通過節點 b、節點 c 間之寄生電容 C_p 而注入節點 b (圖 7)。

其結果，如圖 28(D)所示，比較器 500B 之初段 Gm 放大器之差動輸入信號 (a-b) 之斜率較輸入斜率 (IN1)，陡度成為大幅降低者。

[降低雜訊]

接著，對降低雜訊進行探討。

圖 29 係用於對比較器之初段 Gm 放大器之雜訊源進行說明的圖。

圖 30(A) 及 (B) 係顯示電壓雜訊之時間雜訊之轉換例的圖。

比較器 500A、500B 之初段 Gm 放大器 511 中存在經輸入換算之一定雜訊源，如圖 29 所示，該雜訊源可記述為經輸入換算之雜訊源 NOS。

對比較器 500A、500B 之一輸入 (IN2) 輸入固定輸入信號而對另一輸入 (IN1) 輸入斜率信號 (波形) 時，上述電壓雜訊如圖 30(A)、(B) 所示般進行轉換。

即，將初段 Gm 放大器 511 之差動輸入信號 (a-b) 之斜率梯度作為轉換增益轉換為時間軸之雜訊 (所謂抖動)。

因此，若差動輸入信號 (a-b) 之斜率梯度衰減，則比較器 500A、500B 之輸出雜訊增加。

如上述，本構成之比較器 500A 中，如圖 30(A) 所示，降

低該斜率梯度之衰減。其結果，比較器500A之輸出雜訊降低。

另，若差動輸入信號(a-b)之斜率梯度變大，則比較器500A之初段Gm放大器511之動作變快。

即，因比較器500A之頻帶亦增加，關於如熱雜訊般及於高頻之雜訊，差動輸入信號(a-b)之斜率梯度之增大之貢獻較正比例變小。

另一方面，關於如閃變雜訊或RTS般之低頻雜訊，差動輸入信號(a-b)之斜率梯度之增加之貢獻接近於正比例即，關於如此之低頻雜訊之降低，本技術效果顯著。

< 3.3 可降低低頻雜訊之比較器之具體之電路構成例 >

[第1電路構成例]

圖31係顯示本實施形態之可降低低頻雜訊之比較器之第1電路構成例的圖。

圖31之比較器500C係圖22之比較器500之第1放大器510中，於輸出節點ND512與形成NMOS差動對(Gm放大器)之NMOS電晶體NT512之汲極端子(輸出端子)側之間配置有隔離器530C。

另，圖31中，作為圖22之自動歸零開關，顯示作為自動歸零開關AZS511、AZS512之PMOS電晶體PT513、PT514，及作為電流源I511之NMOS電晶體NT513。

該圖31之比較器500C之情形中，圖25所示之寄生電容Cp主要由NMOS差動對之NMOS電晶體NT512之閘極、汲極間電容Cgd及產生於各金屬配線間之寄生電容形成。

[第2電路構成例]

圖32係顯示本實施形態之可降低低頻雜訊之比較器之第2電路構成例的圖。

圖32之比較器500D係圖31之比較器500C之隔離器530C由NMOS電晶體NT514形成。

NMOS電晶體NT514之汲極連接於第1放大器510D之輸出節點ND512(d)，源極連接於形成Gm放大器之NMOS電晶體NT512之汲極(節點c)。

又，圖32之比較器500D中，形成隔離器530C之NMOS電晶體NT514之閘極連接於偏壓VBIAS之供給線。

藉此，藉由通過NMOS電晶體NT514流動一定電流，即使於NMOS電晶體NT512之閘極(輸入節點b)與汲極(輸出節點c)之間存在寄生電容，仍可抑制電壓變動，從而降低低頻雜訊。

另，用於隔離之電晶體並非一定與差動對之電晶體之種類相同。

[第3電路構成例]

圖33係顯示本實施形態之可降低低頻雜訊之比較器之第3電路構成例的圖。

圖33之比較器500E與圖32之比較器500D之不同點係隔離器530C之NMOS電晶體NT514之閘極連接於電源電壓源VDD，取代偏壓VBIAS之供給線。

圖32之比較器500D中，為使NMOS電晶體NT514進行動作而需要其他偏壓VBIAS。

例如，對於CMOS圖像感測器等之用途，用作行平行單斜率AD轉換器時，該偏壓VBIAS之必要性存在以下(1)~(3)等所示之問題點。

(1)行間之干擾，(2)VBIAS配線區域之增大，(3)VBIAS生成電路之必要性等。

與此相對，使NMOS電晶體NT514之閘極連接於電源電壓源VDD之圖33之比較器500E中則不存在如此之問題，其特別適於行平行單斜率AD轉換器之實現。

[第4電路構成例]

圖34係顯示本實施形態之可降低低頻雜訊之比較器之第4電路構成例的圖。

圖34之比較器500F與圖31之比較器500C之不同點係如下述。

比較器500F係進而於負載側節點ND511(節點f)與形成NMOS差動對(Gm放大器)之NMOS電晶體NT511之汲極端子(節點e)側之間配置有第2隔離器540。

節點e係因PMOS負載成為二極體連接而使阻抗變小，即因節點e大致保持在一定電壓而對隔離之貢獻較小。

因此，關於節點e可實施或不實施隔離。

但，圖34之比較器500F中，因電路之對稱性較高，故具有自動歸零功能之比較器500F可實現精度更高之比較動作。

[第5電路構成例]

圖35係顯示本實施形態之可降低低頻雜訊之比較器之第

5 電路構成例的圖。

圖 35 之比較器 500G 係圖 34 之比較器 500F 之隔離器 540 由 NMOS 電晶體 NT515 形成。

NMOS 電晶體 NT515 之汲極連接於第 1 放大器 510G 之負載側節點 ND511 (節點 f)，源極連接於形成 Gm 放大器之 NMOS 電晶體 NT511 之汲極 (節點 e)。

又，圖 35 之比較器 500G 中，形成隔離器 530C 之 NMOS 電晶體 NT514 之閘極及形成隔離器 540 之 NMOS 電晶體 NT515 之閘極連接於偏壓 VBIAS 之供給線。

藉此，藉由通過 NMOS 電晶體 NT514 流動一定電流，即使 NMOS 電晶體 NT512 之閘極 (輸入節點 b) 與汲極 (輸出節點 c) 間存在寄生電容仍可抑制電壓電動，從而降低低頻雜訊。

同樣地，藉由通過 NMOS 電晶體 NT515 流動一定電流，即使 NMOS 電晶體 NT511 之閘極 (輸入節點 a) 與汲極 (輸出節點 e) 間存在寄生電容仍可抑制電壓變動，從而降低低頻雜訊。

即使為該情形，用於隔離之電晶體亦並非一定與差動對之電晶體之種類相同。

[第 6 電路構成例]

圖 36 係顯示本實施形態之可降低低頻雜訊之比較器之第 6 電路構成例的圖。

圖 36 之比較器 500H 與圖 35 之比較器 500G 之不同點係如下述。

比較器 500H 中，形成隔離器 530C 之 NMOS 電晶體 NT514 之閘極及形成隔離器 540 之 NMOS 電晶體 NT515 之閘極連接於電源電壓源 VDD，取代偏壓 VBIAS 之供給線。

圖 35 之比較器 500G 中，為使 NMOS 電晶體 NT514、NT515 進行動作，需要其他的偏壓 VBIAS。

例如，與第 3 電路構成例之情形同樣地，對於 CMOS 圖像感測器等用途，用作行平行單斜率 AD 轉換器之情形時，該偏壓 VBIAS 之必要性存在以下 (1)~(3) 所示之問題點。

(1) 行間之干擾，(2) VBIAS 配線區域之增大，(3) VBIAS 生成電路之必要性等。

與此相對，使 NMOS 電晶體 NT514、NT515 之閘極連接於電源電壓源 VDD 之圖 36 之比較器 500H 之中並不存在如此之問題，故特別適於行平行單斜率 AD 轉換器之實現。

[有效之安裝例]

此處，對本實施形態之可降低低頻雜訊之比較器之有效之安裝例進行說明。

圖 37(A) 及 (B) 係用於對本實施形態之可降低低頻雜訊之比較器之有效之安裝例進行說明的圖。

如圖 37(A) 所示，該安裝例係關於對稱性較高之圖 36 之比較器 500H 之例。

圖 37 中，以 M1、M2 表示 NMOS 差動對電晶體 NT511、NT512；以 M5、M6 表示隔離用電晶體 NT514、NT515。

使差動對電晶體 M1、M2 之通道寬度 W 與隔離用電晶體 M5、M6 之通道寬度 W 一致。且，藉由分別使差動對電晶

體 M1、M2 之指 (finger) 數為奇數，隔離用電晶體 M5、M6 與差動對電晶體 M1、M2 可共用通道區域。

其結果，差動對電晶體 M1、M2 之兩端之通道區域自然擴張。已知以如此之安裝方法改善閃變雜訊或 RTS 雜訊等低頻雜訊 (非專利文獻 1)。

因此，藉由如此地安裝本技術，則低頻雜訊可經由上述 2 種機制 (電路動作與製程特性) 予以改善。

[非專利文獻 1]

「Impact of STA Effect on Flicker Noise in 0.13um RF nMOSFETs」IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 54, NO. 12, DECEMBER 2007, pp. 3383-3392。

如以上之說明，根據本實施形態，可獲得以下效果。

根據本技術，在傳輸之信號不產生誤差之情形下，較既有之積層結構可減少 TCV 之條數。且，類比晶片上無需量子化器 (比較器) 等電路。因此，可使類比晶片之面積縮小至僅由感測器決定之面積。

例如，因圖像感測器中之感測器 (像素) 之面積由系統之光學尺寸決定，故其意味著一般而言可大致縮小至最小化類比晶片所得之極限。

因類比晶片如上述般較邏輯晶片 (數位晶片) 步驟數較多，故即使晶片之面積相同，其成本亦變高。

再者，因根據本技術可將配置於類比晶片上之電路限定於與感測器相關之部分，故可省去與配線或電晶體製造相關之步驟。一般而言，用於製作比較器等電路之電晶體與

用於構成感測器之電晶體係以包含非共用之步驟的步驟予以製造。因此，藉由無需比較器等之電路，可削減該等步驟。

同樣地，因無需在類比晶片上配置複雜之配線，故可減少配線之總數。

自上述2個理由可知，根據本技術，可在不劣化自感測器輸出之信號之情形下大幅降低半導體裝置之成本。

再者，如上述，本實施形態之比較器500C~500H具有利用串聯電晶體降低雜訊之構成。

該等構成係於與斜率信號例如斜坡信號進行比較時，藉由利用輸出節點與輸入節點之耦合避免實效之輸入信號振幅之衰減，可實現比較器之輸入換算雜訊之降低。

如此，於附自動歸零功能之比較器及使用其之單斜率AD轉換器或固體攝像裝置中，可降低雜音、特別係如閃變雜訊或RTS雜訊般之低頻雜音。

另，具有如此特徵之比較器於適用於圖9之積層結構之數位晶片即第2晶片上時，降低雜訊之效果較好。

且，將比較器搭載於類比晶片即第1晶片側時，即使於非積層結構之電路構成之情形中，降低雜訊之效果仍高。

又，如上述，使用附自動歸零功能之比較器之單斜率AD轉換器或固體攝像裝置中，可降低雜音、特別係如閃變雜訊或RTS雜訊般之低頻雜音。

另，本實施形態中，雖已對作為半導體裝置之一例之CMOS圖像感測器之構成予以說明，但上述構成亦可適用

於例如背面照射型 CMOS 圖像感測器，可發揮上述各效果。且，即使為表面照射型仍可充分發揮上述各效果。

具有如此之構成之固體攝像裝置可用作數位照相機或攝像機之攝像元件。

< 4. 照相機系統之構成例 >

圖 38 係顯示適用本實施形態之固體攝像裝置之照相機系統之構成之一例的圖。

如圖 38 所示，本照相機系統 600 具有可應用本實施形態之 CMOS 圖像感測器 (固體攝像裝置) 200、300、300A~300C 之攝像元件 610。

進而，照相機系統 600 具有對該攝像元件 610 之像素區域導入入射光 (成像被攝體像) 之光學系統，例如使入射光 (像光) 成像於攝像面上之透鏡 620。

照相機系統 600 具有驅動攝像元件 610 之驅動電路 (DRV) 630 與處理攝像元件 610 之輸出信號之信號處理電路 (PRC) 640。

驅動電路 630 具有時序產生器 (未圖示)，其生成包含驅動攝像元件 610 內之電路之啟動脈衝或時鐘脈衝之各種時序信號，並以特定之時序信號驅動攝像元件 610。

再者，信號處理電路 640 對攝像元件 610 之輸出信號實施特定之信號處理。

經信號處理電路 640 處理之圖像信號例如記錄於記憶體等記錄媒體。記錄於記錄媒體之圖像資訊由印表機等進行硬拷貝。且，將經信號處理電路 640 處理之圖像信號以動

畫形式顯示於包含液晶顯示器等之顯示器上。

如上述，數位靜態照相機等攝像裝置中，藉由搭載作為攝像元件 610 之上述固體攝像裝置 200、300、300A~300C，可實現高精度之照相機。

另，本技術可採取如下之構成。

(1) 一種半導體裝置，其包含：

具有以陣列狀配置之複數個感測器之第1晶片；及
第2晶片；

上述第1晶片與上述第2晶片具有貼合之積層結構；

上述第1晶片與上述第2晶片間之配線通過穿孔而連接；

上述第1晶片將使各感測器所產生之類比信號經時間離散化後之信號經由對應之上述穿孔傳輸至第2晶片；

上述第2晶片具有以與上述第1晶片取樣之時序不同之時序，取樣通過上述穿孔之自上述第1晶片傳輸來的信號之功能；及

進行量子化而獲得數位信號之功能。

(2) 如上述(1)之半導體裝置，其中

上述第2晶片以與上述第1晶片取樣之時序不同之時序，取樣通過上述穿孔之來自上述第1晶片之信號，並將該取樣之信號量子化而獲得數位信號。

(3) 如上述(1)之半導體裝置，其中

上述第2晶片包含時間連續之量子化器；且

以與上述第1晶片取樣之時序不同之時序，取樣將通過上述穿孔之來自上述第1晶片之信號經由上述量子化器量

子化後之信號。

(4) 如上述(1)之半導體裝置，其中

上述第2晶片包含：

比較器，其比較判定通過上述穿孔之來自上述第1晶片之信號與斜坡信號，並輸出其判定信號；及

計數器，其利用上述比較器之輸出控制動作，藉由計數上述比較器之比較時間而進行量子化。

(5) 如上述(1)至(4)中任一項之半導體裝置，其中

於上述第1晶片與上述第2晶片間，分別集中配置有傳輸類比信號之穿孔與傳輸數位信號之穿孔，且將傳輸類比信號之穿孔與傳輸數位信號之穿孔分離配置。

(6) 一種固體攝像裝置，其包含：

像素陣列部，其以矩陣狀配置有進行光電轉換之複數個像素；

像素信號讀出部，其進行自上述像素陣列部讀出以複數個像素單位經時間離散化之像素信號；

上述像素信號讀出部包含：

複數個比較器，其與像素之行排列對應配置，比較判定讀出信號電位與斜坡信號，並輸出其判定信號；

複數個計數器，其利用上述比較器之輸出控制動作，藉由計數對應之上述比較器之比較時間而進行量子化；
且該固體攝像裝置包含：

第1晶片；及

第2晶片；

上述第1晶片與上述第2晶片具有貼合之積層結構；

上述第1晶片配置有上述像素陣列部及傳輸經時間離散化之類比像素信號之信號線；

上述第2晶片配置有上述像素信號讀出部；且

上述第1晶片與上述第2晶片間之配線通過穿孔而連接。

(7) 如上述(6)之固體攝像裝置，其中

於上述第1晶片與上述第2晶片間，分別集中配置有傳輸類比信號之穿孔與傳輸數位信號之穿孔，且將傳輸類比信號之穿孔與傳輸數位信號之穿孔分離配置。

(8) 一種照相機系統，其包含：

固體攝像裝置；

將被攝體像成像於上述固體攝像裝置之光學系統；

上述固體攝像裝置包含：

像素陣列部，其矩陣狀配置有進行光電轉換之複數個像素；及

像素信號讀出部，其進行自上述像素陣列部讀出以複數個像素為單位經時間離散化之像素信號；

上述像素信號讀出部包含：

複數個比較器，其與像素之行排列對應配置，比較判定讀出信號電位與斜坡信號，並輸出該判定信號；

複數個計數器，其利用上述比較器之輸出控制動作，藉由計數對應之上述比較器之比較時間而進行量子化；且該固體攝像裝置包含：

第1晶片；及

第2晶片；

上述第1晶片與上述第2晶片具有貼合之積層結構；

上述第1晶片配置有上述像素陣列部及傳輸經時間離散化之類比像素信號之信號線；

上述第2晶片配置有上述像素信號讀出部；且

上述第1晶片與上述第2晶片間之配線通過上述穿孔而連接。

(9) 如上述(8)之照相機系統：

在上述第1晶片與上述第2晶片間分別集中配置有傳輸類比信號之穿孔與傳輸數位信號之穿孔，且將傳輸類比信號之穿孔與傳輸數位信號之穿孔分離配置。

【圖式簡單說明】

圖1係顯示使用積層晶片之半導體裝置中，使通過TCV之傳輸信號成為經時間離散並量子化之信號之第1構成例的圖。

圖2係顯示使用積層晶片之半導體裝置中，使通過TCV之傳輸信號成為經時間離散並量子化之信號之第2構成例的圖。

圖3係顯示使用積層晶片之半導體裝置中，使通過TCV之傳輸信號成為經時間離散並量子化之信號之第3構成例的圖；係將圖2之構成例適用於CMOS圖像感測器之一例的圖。

圖4係顯示使用積層晶片之半導體裝置中，使通過TCV之傳輸信號成為經時間連續並量子化之信號之第1構成例

的圖。

圖5係以時間軸之波形表示圖4之半導體裝置之動作的圖。

圖6係顯示使用積層晶片之半導體裝置中，使通過TCV之傳輸信號為經時間離散並量子化之信號之第2構成例的圖；係顯示適用於CMOS圖像感測器之一例的圖。

圖7係顯示普通之單斜率型AD轉換器之構成的圖。

圖8係顯示來自鄰接TCV之干擾對誤差之影響的圖。

圖9係顯示本技術之實施形態之半導體裝置之積層結構之一例的圖。

圖10係顯示本實施形態之半導體裝置中之電路等之第1配置構成例的圖。

圖11係顯示本實施形態之半導體裝置之信號之時間關係的圖。

圖12係顯示本實施形態之半導體裝置中之電路等之第2配置構成例的圖。

圖13係顯示本實施形態之半導體裝置中之電路等之第3配置構成例的圖。

圖14係以時間軸之波形表示圖13之半導體裝置之動作的圖，其顯示可降低來自鄰接行之干擾。

圖15係顯示本實施形態之CMOS圖像感測器(固體攝像裝置)之基本構成例的圖。

圖16係顯示本實施形態之由4個電晶體構成之CMOS圖像感測器之像素之一例的圖。

圖 17 係顯示本實施形態之行行平行 ADC 搭載 CMOS 圖像感測器(固體攝像裝置)之構成例的方塊圖。

圖 18 係顯示本實施形態之行行平行 ADC 搭載 CMOS 圖像感測器中之電路等之第 1 配置構成例的圖。

圖 19 係顯示集中配置傳輸離散時間類比信號之 TCV，並與傳輸數位信號之 TCV 分離配置之例的圖。

圖 20 係顯示本實施形態之行行平行 ADC 搭載 CMOS 圖像感測器中之電路等之第 2 配置構成例的圖。

圖 21 係顯示本實施形態之行行平行 ADC 搭載 CMOS 圖像感測器中之電路等之第 3 配置構成例的圖。

圖 22 係顯示本實施形態之比較器之第 1 構成例的電路圖。

圖 23 係顯示本實施形態之可降低低頻雜訊之具有隔離器之比較器之基本概念的圖。

圖 24 係顯示圖 23 之比較器之比較例之未具有隔離器之比較器之基本概念的圖。

圖 25 係顯示圖 23 之本實施形態之比較器之 Gm 放大器之輸入側節點與輸出側節點間存在寄生電容之例的圖。

圖 26(A)-(D)係顯示圖 25 之構成例之寄生電容與輸入斜率信號時之各節點之波形的圖。

圖 27 係作為圖 24 之比較例之在 Gm 放大器之輸入側節點與輸出側節點間存在寄生電容之例的圖。

圖 28(A)-(D)係顯示圖 27 之構成例之寄生電容與輸入斜率信號時之各節點之波形的圖。

圖 29 係用於對比較器之初段 Gm 放大器之雜訊源進行說明的圖。

圖 30(A)、(B) 係顯示電壓雜訊之時間雜訊之轉換例的圖。

圖 31 係顯示本實施形態之可降低低頻雜訊之比較器之第 1 電路構成例的圖。

圖 32 係顯示本實施形態之可降低低頻雜訊之比較器之第 2 電路構成例的圖。

圖 33 係顯示本實施形態之可降低低頻雜訊之比較器之第 3 電路構成例的圖。

圖 34 係顯示本實施形態之可降低低頻雜訊之比較器之第 4 電路構成例的圖。

圖 35 係顯示本實施形態之可降低低頻雜訊之比較器之第 5 電路構成例的圖。

圖 36 係顯示本實施形態之可降低低頻雜訊之比較器之第 6 電路構成例的圖。

圖 37(A)、(B) 係用於對本實施形態之可降低低頻雜訊之比較器之有效之安裝例進行說明的圖。

圖 38 係顯示適用本實施形態之固體攝像裝置之照相機系統之構成之一例的圖。

【主要元件符號說明】

100	半導體裝置
100A	半導體裝置
100B	半導體裝置

100C	半導體裝置
100D	半導體裝置
100E	半導體裝置
100F	半導體裝置
100G	半導體裝置
110	第1晶片(類比晶片)
110A	第1晶片(類比晶片)
110B	第1晶片(類比晶片)
110C	第1晶片(類比晶片)
110D	第1晶片(類比晶片)
110E	第1晶片(類比晶片)
110F	第1晶片(類比晶片)
110G	第1晶片(類比晶片)
111(-0, -1, ...)	感測器
112(-0, -1, ...)	取樣保持(SH)電路
113(-0, -1, ...)	放大器
114(-0, -1, ...)	TCV(穿孔)
115(-0, -1, ...)	取樣開關
120	第2晶片(邏輯晶片、數位晶片)
120A	第2晶片(邏輯晶片、數位晶片)
120B	第2晶片(邏輯晶片、數位晶片)
120C	第2晶片(邏輯晶片、數位晶片)
120D	第2晶片(邏輯晶片、數位晶片)
120E	第2晶片(邏輯晶片、數位晶片)

120F	第2晶片(邏輯晶片、數位晶片)
120G	第2晶片(邏輯晶片、數位晶片)
121(-0, -1, ...)	取樣開關
122(-0, -1, ...)	量子化器
123	信號處理電路
124(-0, -1, ...)	比較器
125(-0, -1, ...)	計數器
200	固體攝像裝置
210	像素陣列部
220	列選擇電路
230	行讀取電路
300	固體攝像裝置
300A	固體攝像裝置
300B	固體攝像裝置
300C	固體攝像裝置
310	像素陣列部
320	列選擇電路
330	水平傳送掃描電路
340	時序控制電路
350	ADC群
360	DAC(斜坡信號產生器)
370	放大器電路(S/A)
380	信號處理電路
390	水平傳送線

410	數位信號TCV配置區域
420	數位信號TCV配置區域
430	類比信號TCV配置區域
500	比較器
500A	比較器
500B	比較器
500C	比較器
500D	比較器
500E	比較器
500F	比較器
500G	比較器
500H	比較器
510	第1放大器
510A	第1放大器
510B	第1放大器
510C	第1放大器
511	Gm放大器
520	第2放大器
530	隔離器(第1隔離器)
530C	隔離器(第1隔離器)
540	隔離器(第2隔離器)
600	照相機系統
610	攝像元件
620	透鏡

630	驅動電路
640	信號處理電路
CLK11	第1時脈
CLK12	第2時脈
LSG-0	第1信號線
LSG-1	第1信號線
LSG2-0	第2信號線
LSG2-1	第2信號線
ND11	節點
ND12	節點

七、申請專利範圍：

1. 一種半導體裝置，其包含：

具有以陣列狀配置之複數個感測器之第1晶片；及
第2晶片；

上述第1晶片與上述第2晶片具有貼合之積層結構；

上述第1晶片與上述第2晶片間之配線通過穿孔而連接；

上述第1晶片將使各感測器所產生之類比信號經時間
離散化後之信號經由對應之上述穿孔傳輸至第2晶片；

上述第2晶片具有：

以與上述第1晶片取樣之時序不同之時序，取樣通
過上述穿孔之自上述第1晶片傳輸來之信號之功能；及

進行量子化而獲得數位信號之功能；其中

在上述第1晶片與上述第2晶片間，分別集中配置有
傳輸類比信號之穿孔與傳輸數位信號之穿孔，且將傳
輸類比信號之穿孔與傳輸數位信號之穿孔分離配置。

2. 如請求項1之半導體裝置，其中：

上述第2晶片以與上述第1晶片取樣之時序不同之時
序，取樣通過上述穿孔之來自上述第1晶片之信號，並
將該取樣之信號量子化而獲得數位信號。

3. 如請求項1之半導體裝置，其中：

上述第2晶片包含時間連續之量子化器；且

以與上述第1晶片取樣之時序不同之時序，取樣將通
過上述穿孔之來自上述第1晶片之信號經由上述量子化

器量子化後之信號。

4. 一種半導體裝置，其包含：

具有以陣列狀配置之複數個感測器之第1晶片；及
第2晶片；

上述第1晶片與上述第2晶片具有貼合之積層結構；

上述第1晶片與上述第2晶片間之配線通過穿孔而連接；

上述第1晶片將使各感測器所產生之類比信號經時間
離散化後之信號經由對應之上述穿孔傳輸至第2晶片；

上述第2晶片具有：

以與上述第1晶片取樣之時序不同之時序，取樣通
過上述穿孔之自上述第1晶片傳輸來之信號之功能；及

進行量子化而獲得數位信號之功能；其中

上述第2晶片包含：

比較器，其比較判定通過上述穿孔之來自上述第1
晶片之信號與斜坡信號，並輸出其判定信號；及

計數器，其利用上述比較器之輸出控制動作，藉由
計數上述比較器之比較時間而進行量子化。

5. 如請求項4之半導體裝置，其中：

在上述第1晶片與上述第2晶片間，分別集中配置有傳
輸類比信號之穿孔與傳輸數位信號之穿孔，且將傳輸類
比信號之穿孔與傳輸數位信號之穿孔分離配置。

6. 一種固體攝像裝置，其包含：

像素陣列部，其以矩陣狀配置有進行光電轉換之複數

個像素；及

像素信號讀出部，其進行自上述像素陣列部讀出以複數個像素單位經時間離散化之像素信號；

上述像素信號讀出部包含：

複數個比較器，其與像素之行排列對應配置，比較判定讀出信號電位與斜坡信號，並輸出其判定信號；

複數個計數器，其利用上述比較器之輸出控制動作，藉由計數對應之上述比較器之比較時間而進行量子化；

第1晶片；及

第2晶片；

上述第1晶片與上述第2晶片具有貼合之積層結構；

上述第1晶片配置有上述像素陣列部及傳輸經時間離散化之類比像素信號之信號線；

上述第2晶片配置有上述像素信號讀出部；且

上述第1晶片與上述第2晶片間之配線通過穿孔而連接。

7. 如請求項6之固體攝像裝置，其中：

於上述第1晶片與上述第2晶片間，分別集中配置有傳輸類比信號之穿孔與傳輸數位信號之穿孔，且將傳輸類比信號之穿孔與傳輸數位信號之穿孔分離配置。

8. 一種照相機系統，其包含：

固體攝像裝置；及

將被攝體像成像於上述固體攝像裝置之光學系統；

上述固體攝像裝置包含：

像素陣列部，其矩陣狀配置有進行光電轉換之複數個像素；及

像素信號讀出部，其進行自上述像素陣列部讀出以複數個像素為單位經時間離散化之像素信號；

上述像素信號讀出部包含：

複數個比較器，其與像素之行排列對應配置，比較判定讀出信號電位與斜坡信號，並輸出該判定信號；

複數個計數器，其利用上述比較器之輸出控制動作，藉由計數對應之上述比較器之比較時間而進行量子化；

第1晶片；及

第2晶片；

上述第1晶片與上述第2晶片具有貼合之積層結構；

上述第1晶片配置有上述像素陣列部及傳輸經時間離散化之類比像素信號之信號線；

上述第2晶片配置有上述像素信號讀出部；且

上述第1晶片與上述第2晶片間之配線通過上述穿孔而連接。

9. 如請求項8之照相機系統，其中：

在上述第1晶片與上述第2晶片間分別集中配置有傳輸類比信號之穿孔與傳輸數位信號之穿孔，且將傳輸類比信號之穿孔與傳輸數位信號之穿孔分離配置。

八、圖式：

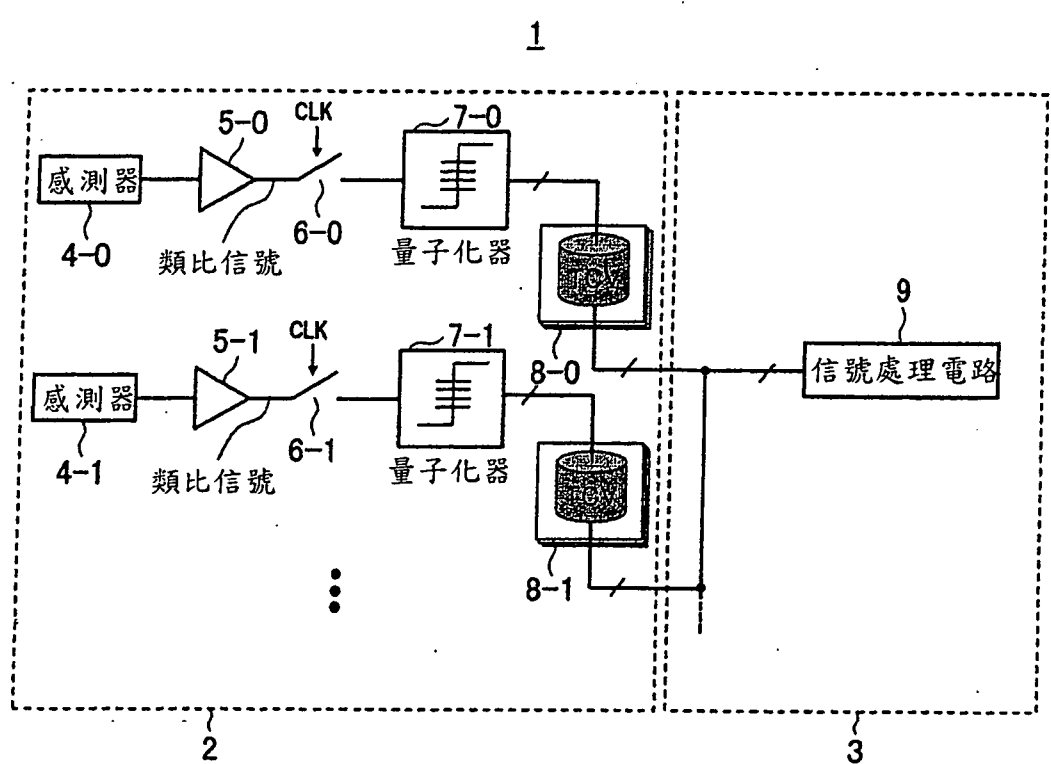


圖 1

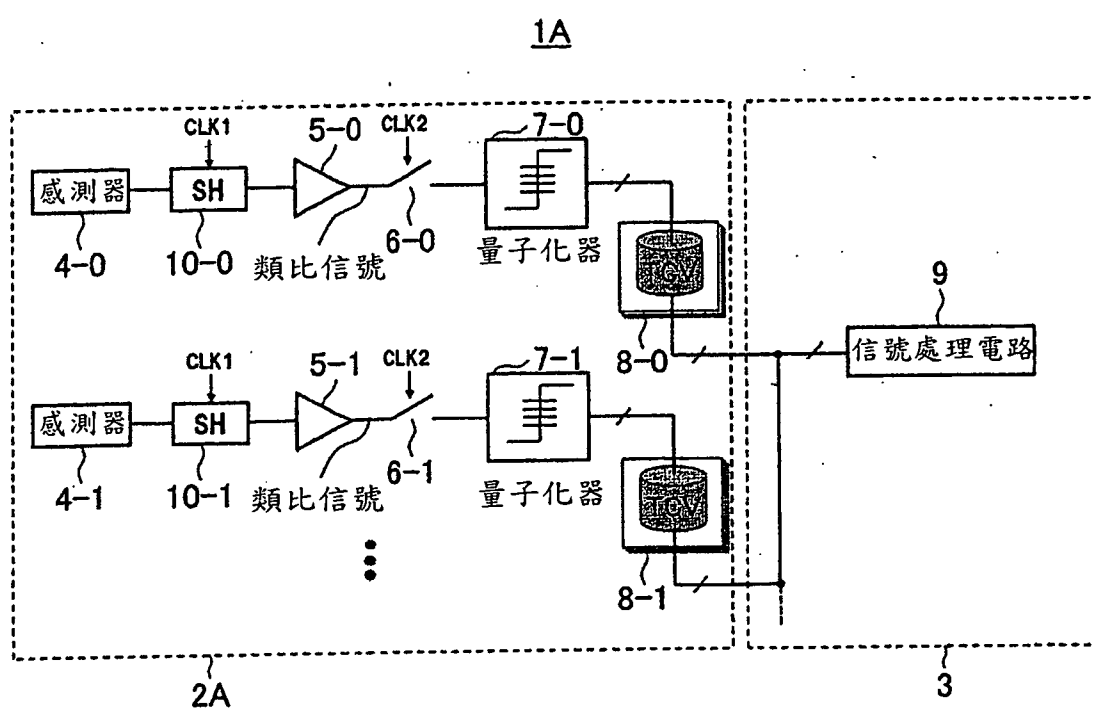


圖 2

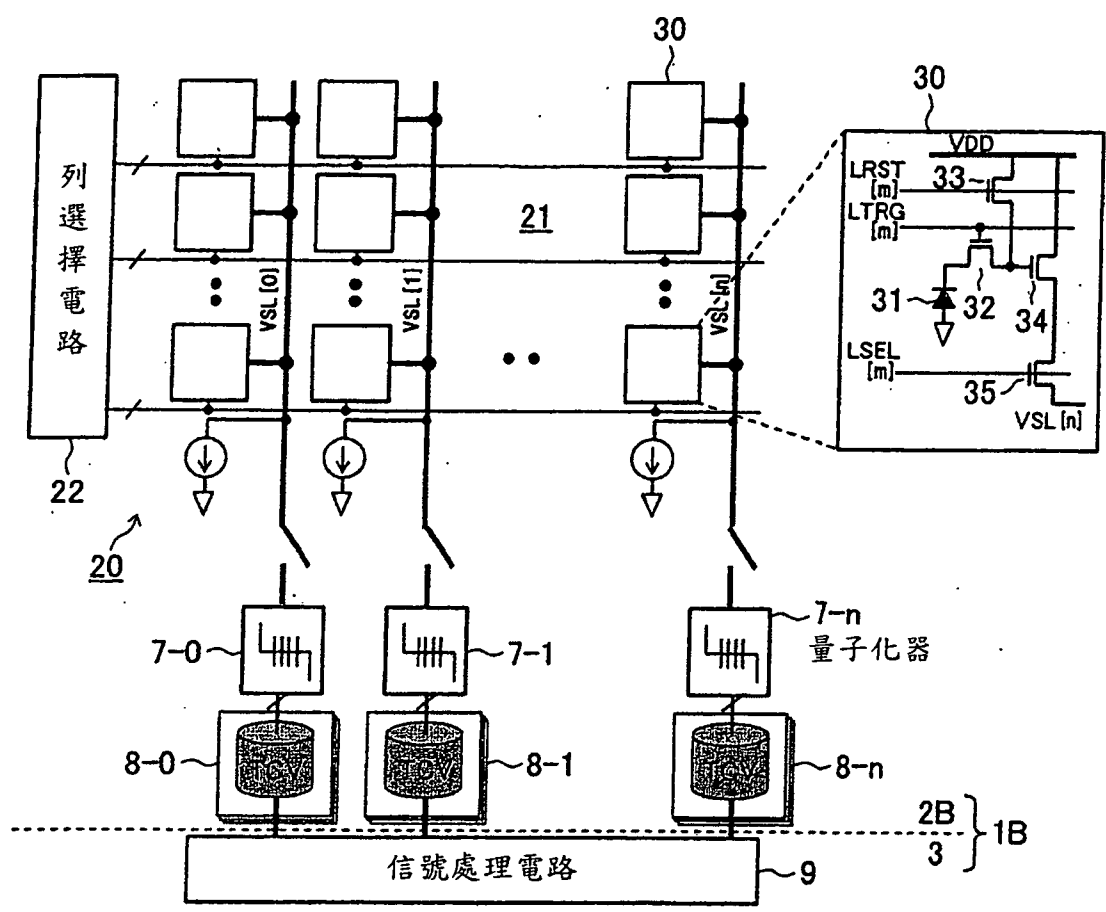


圖 3

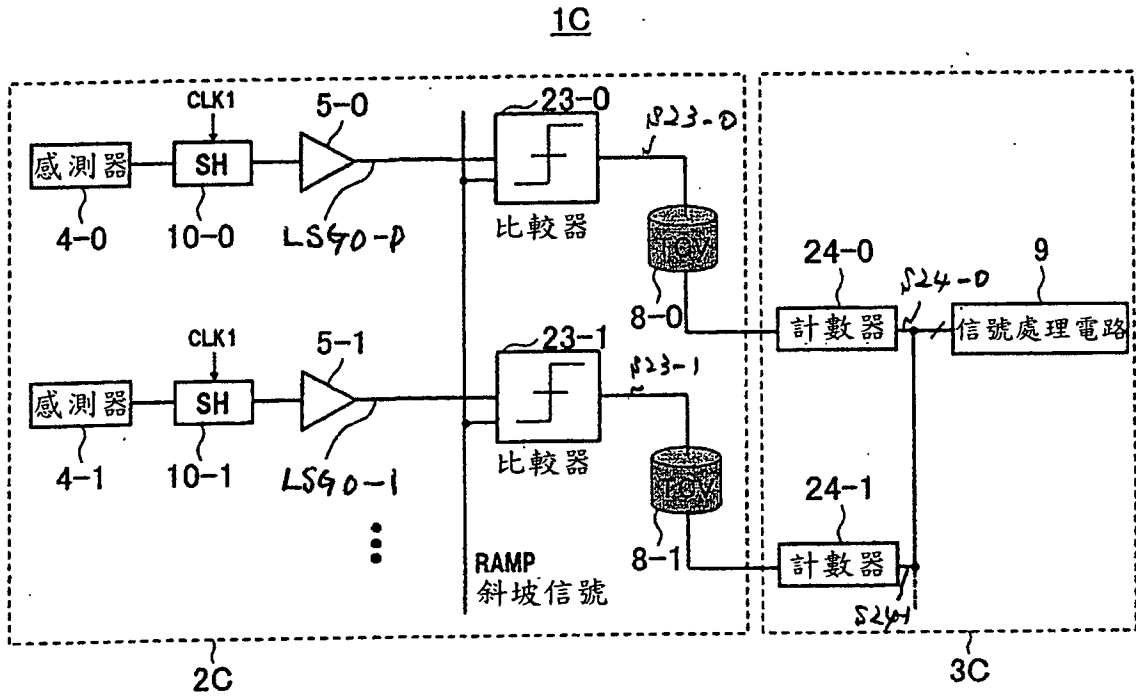


圖 4



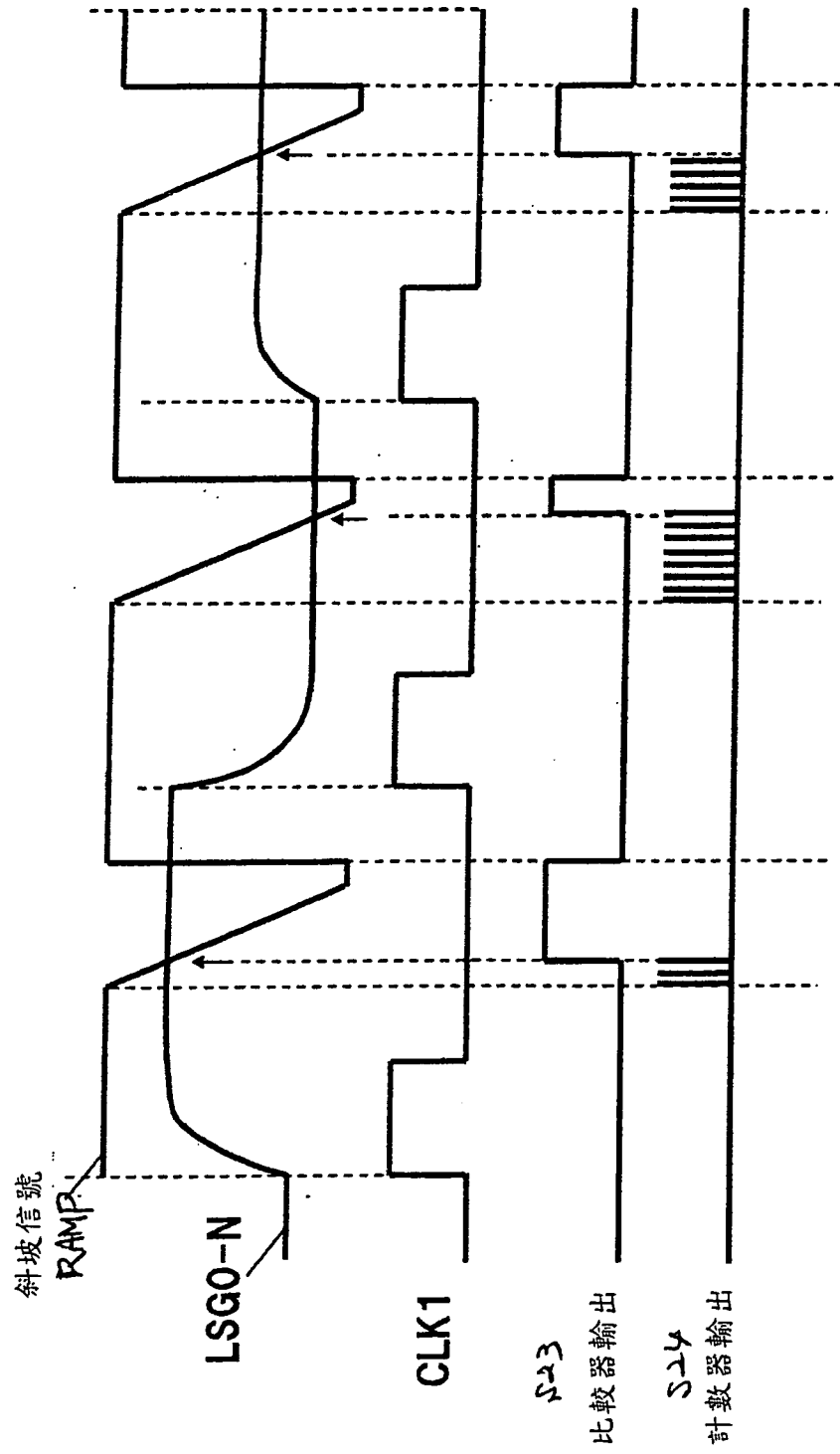


圖 5

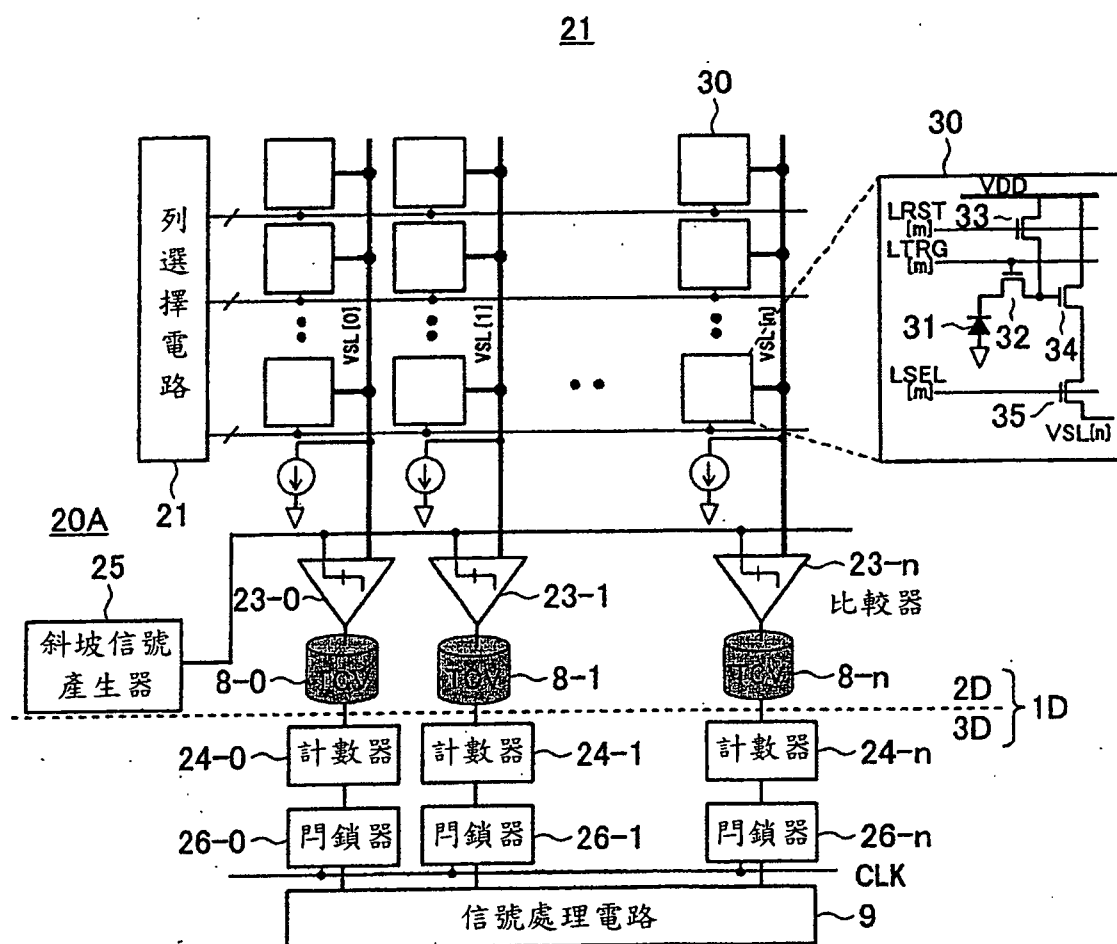


圖 6

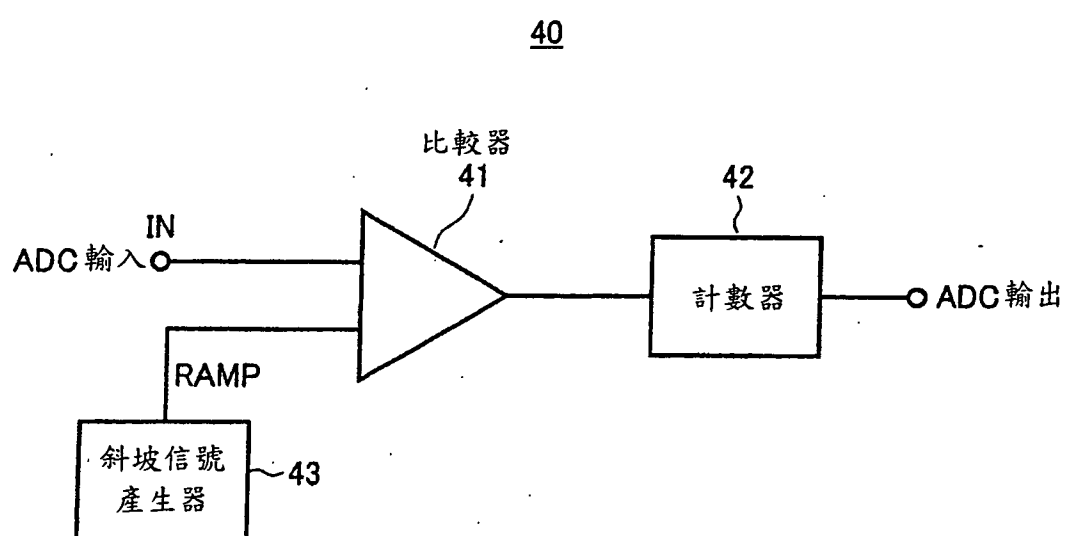


圖 7

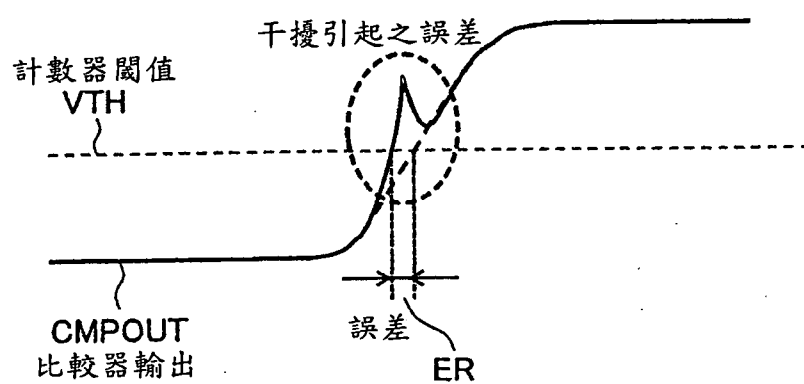


圖 8

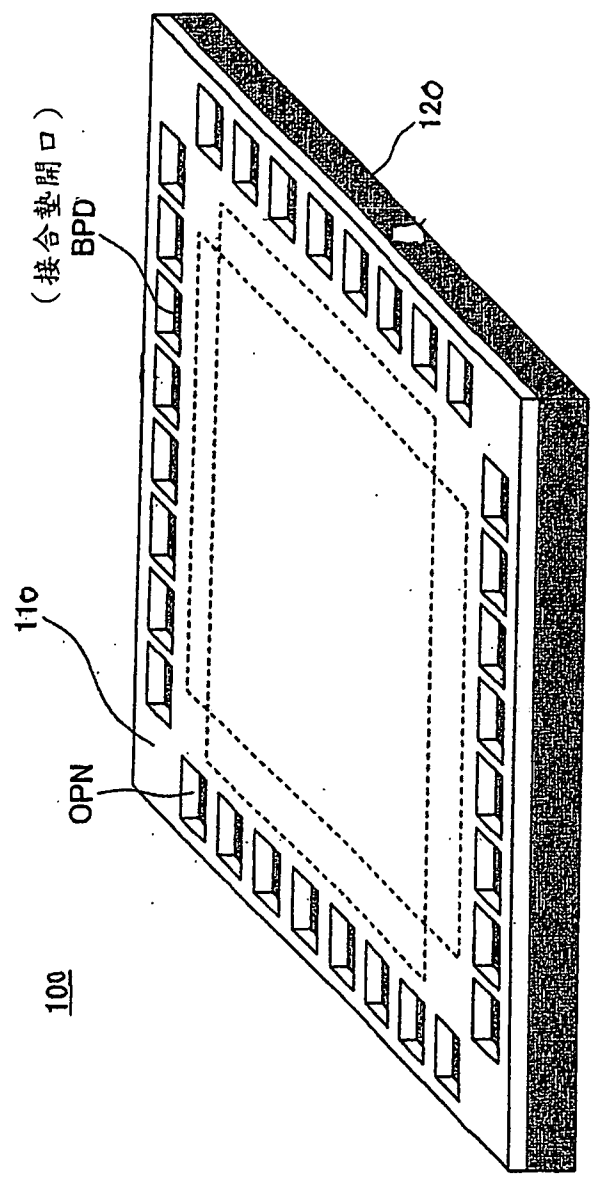


圖 9

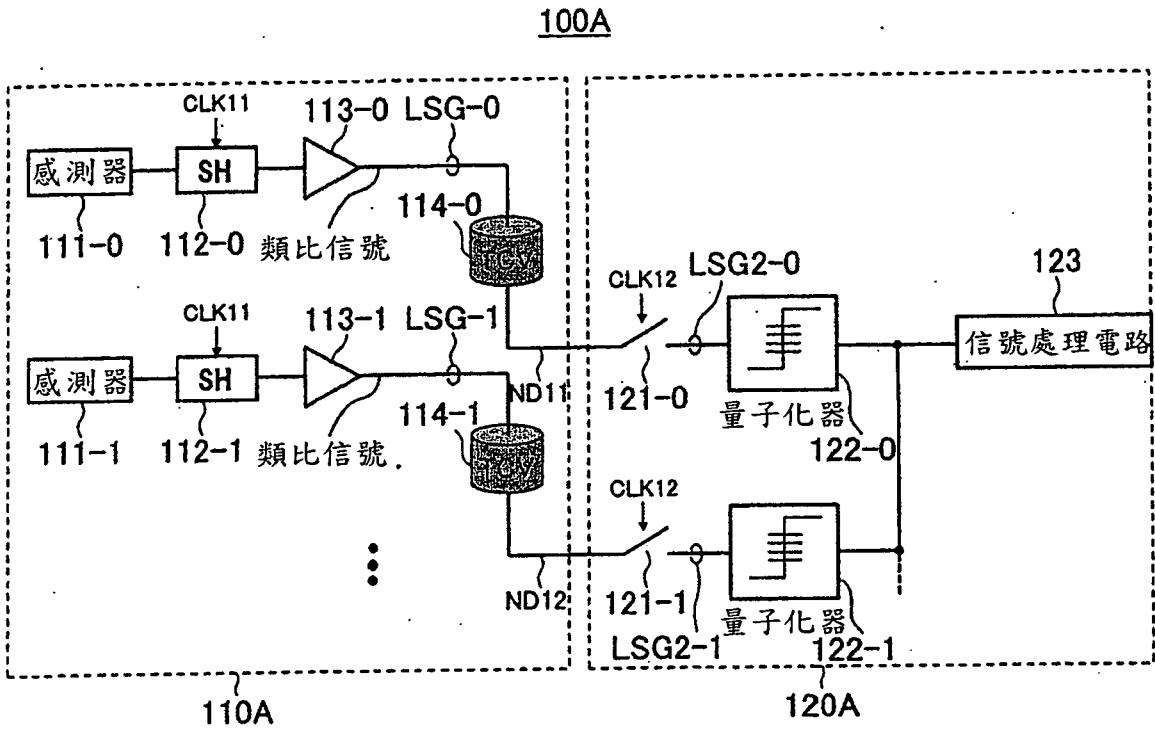


圖 10



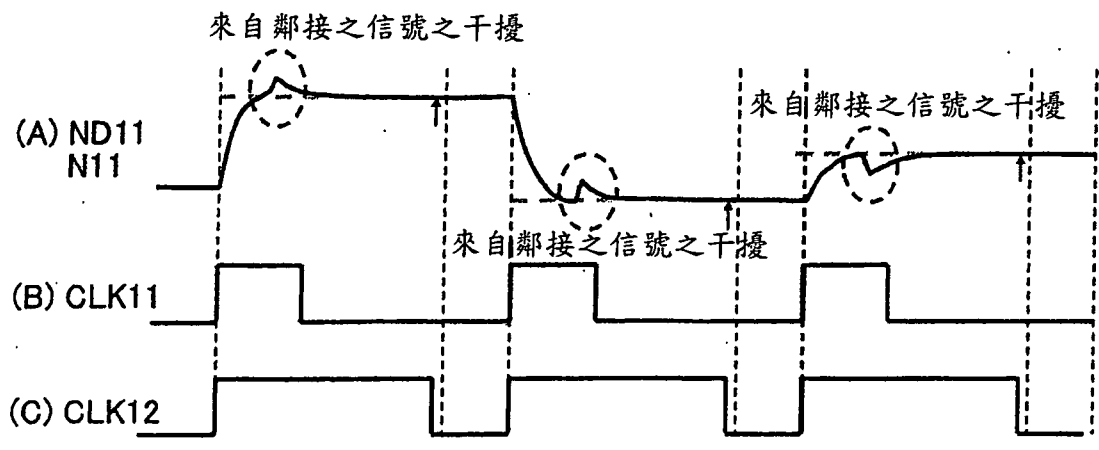


圖 11

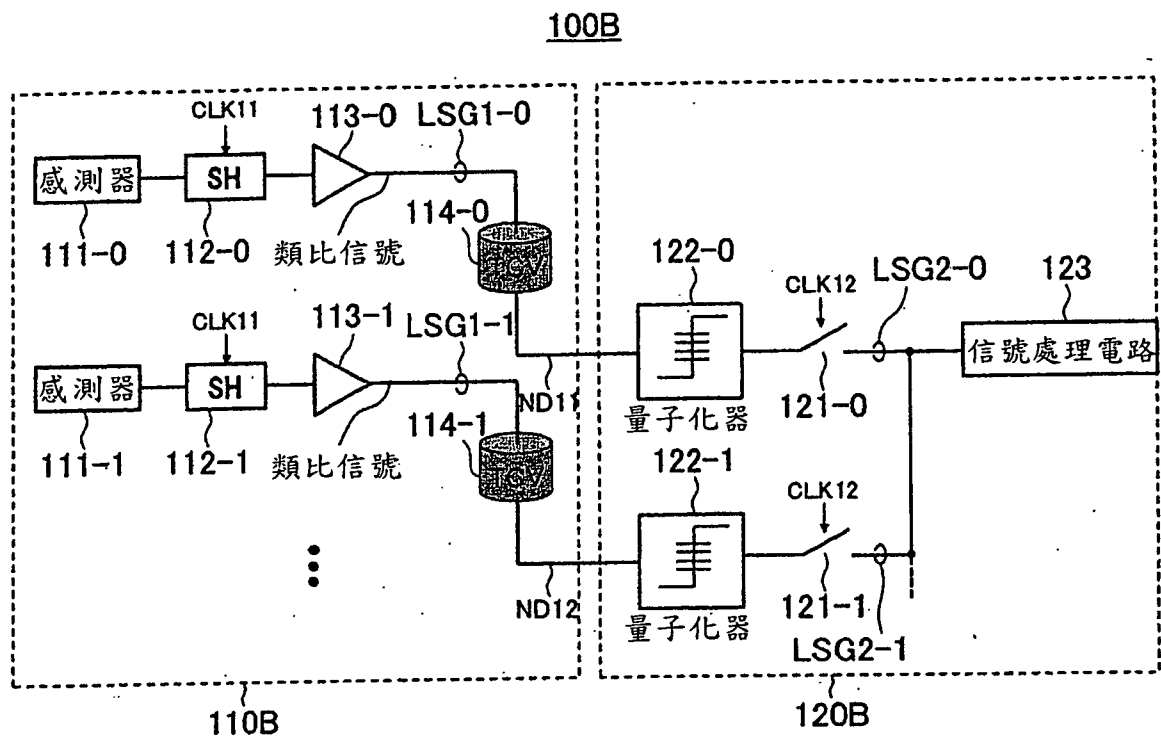


圖 12



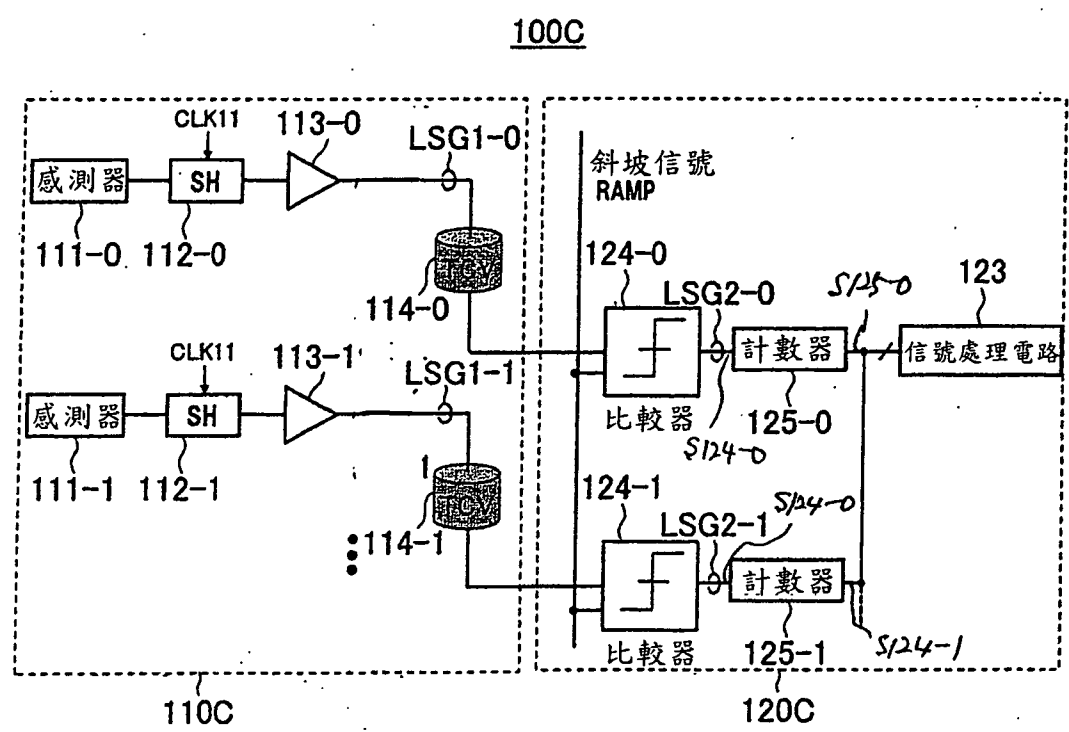


圖 13

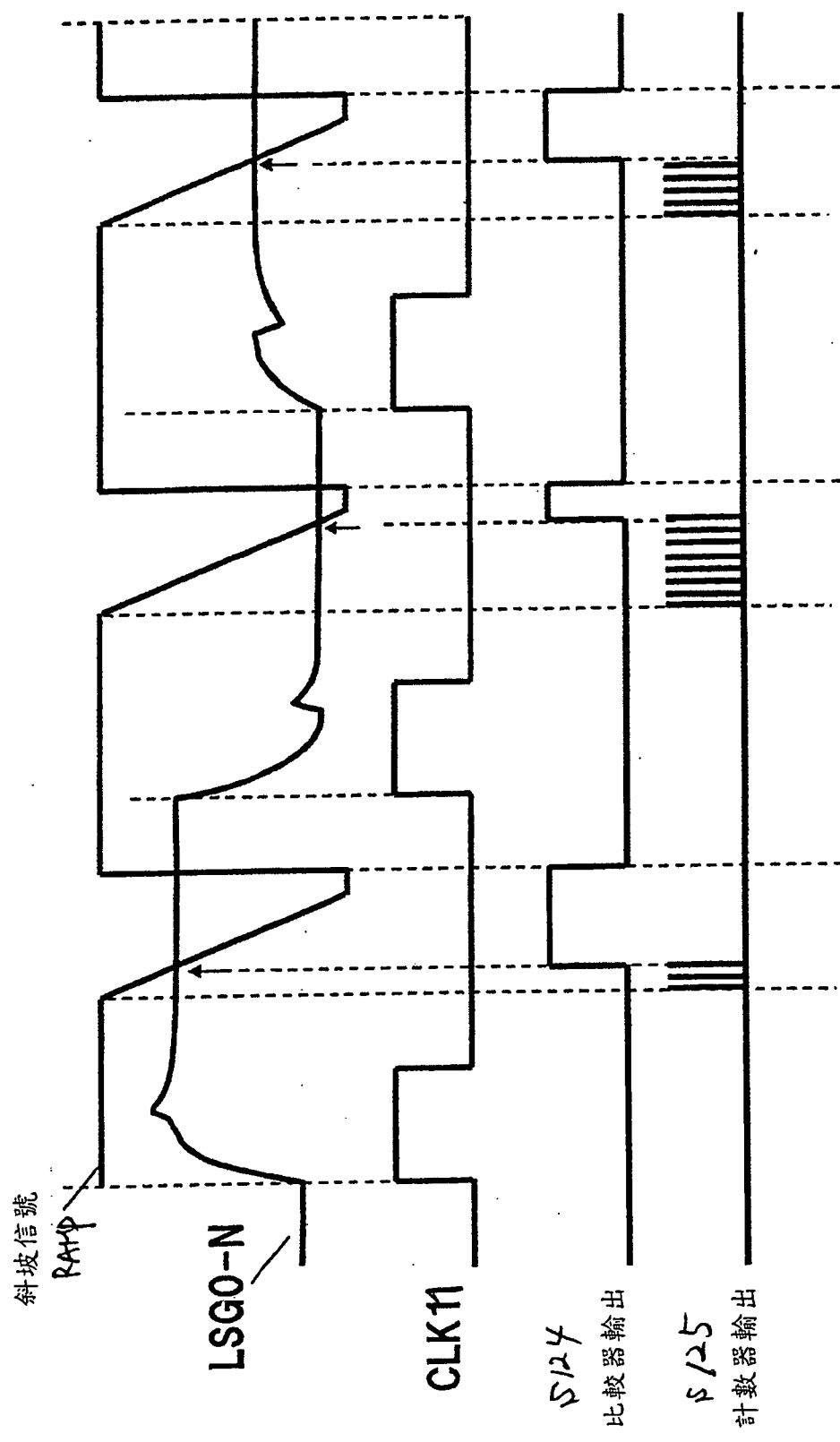


圖 14



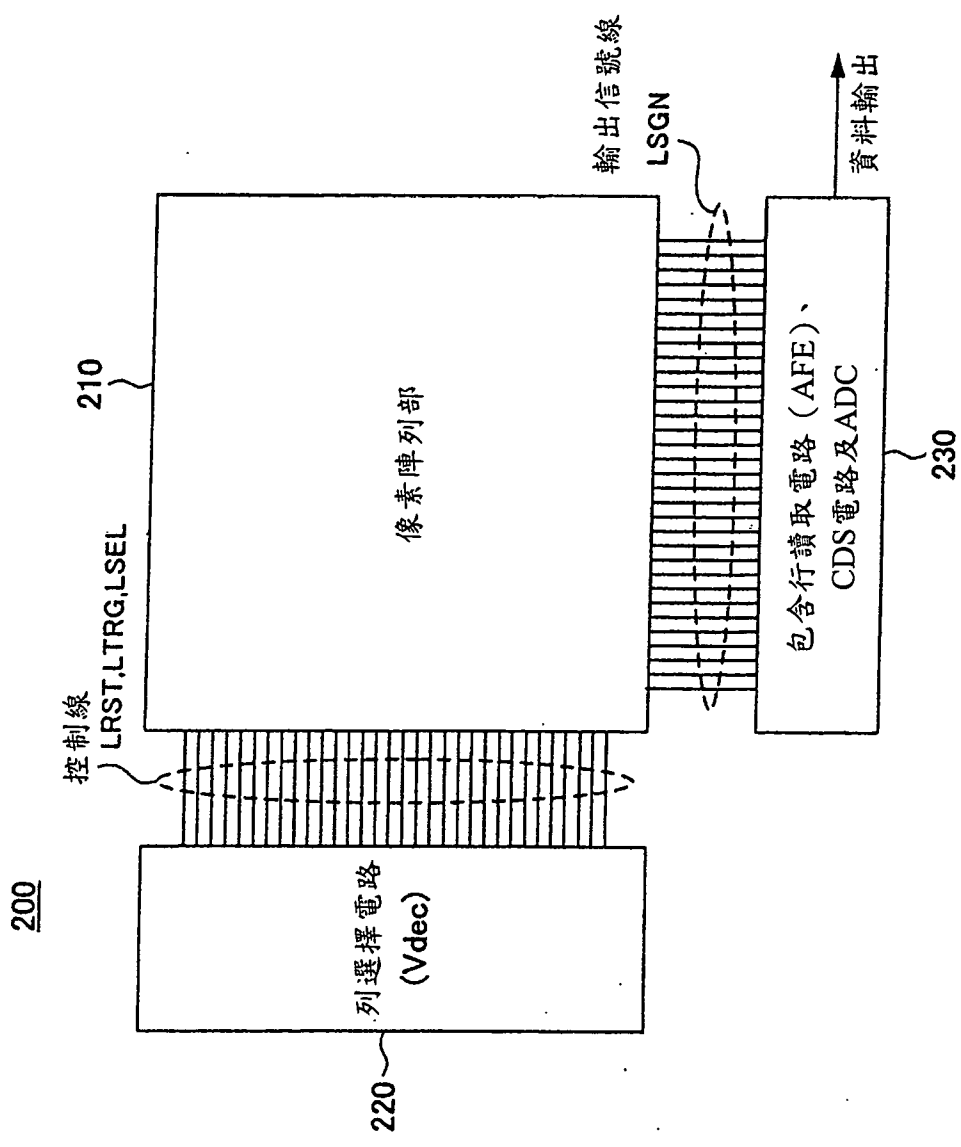


圖 15

110A

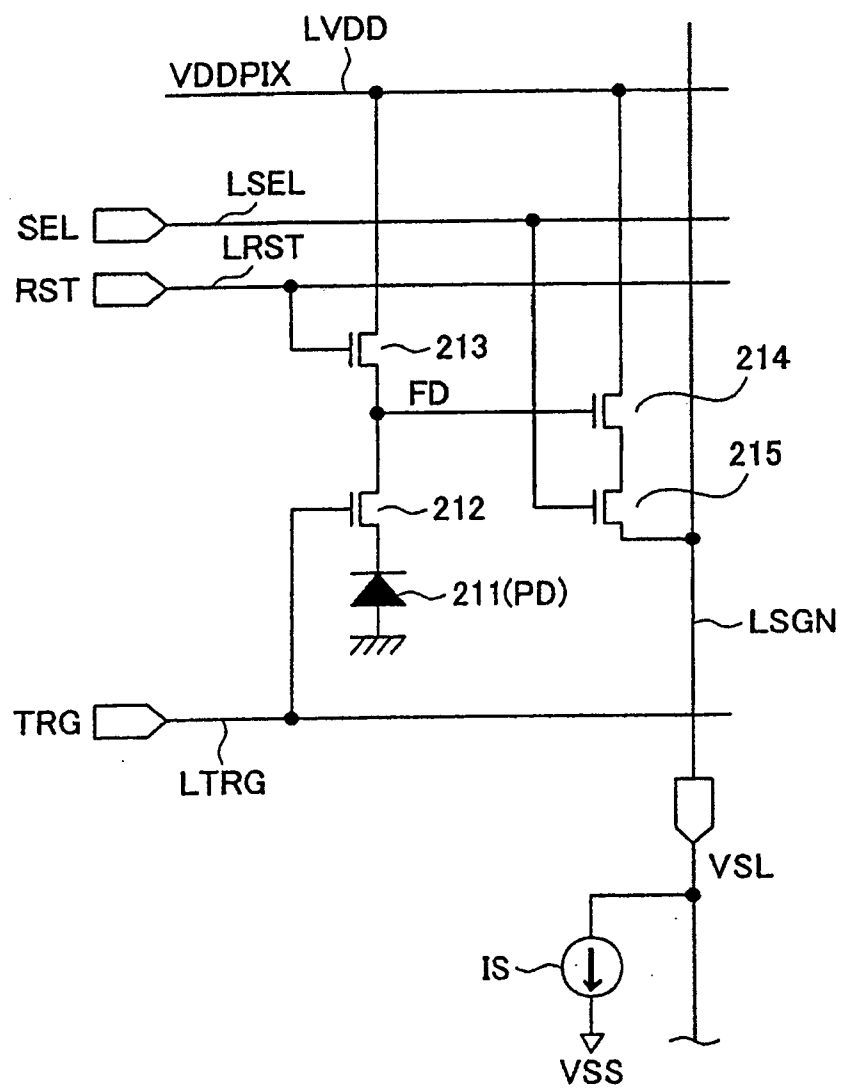


圖 16

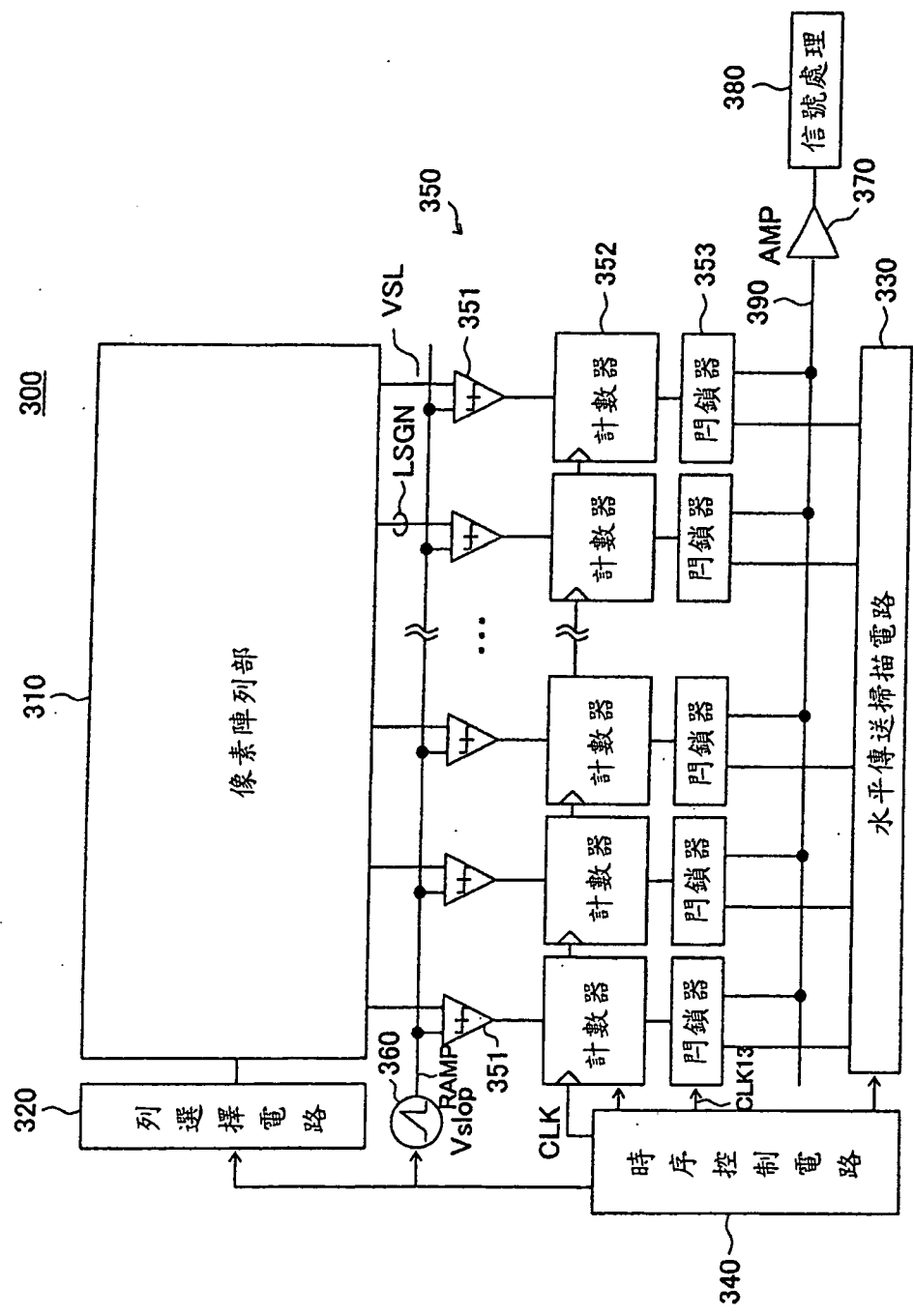


圖 17

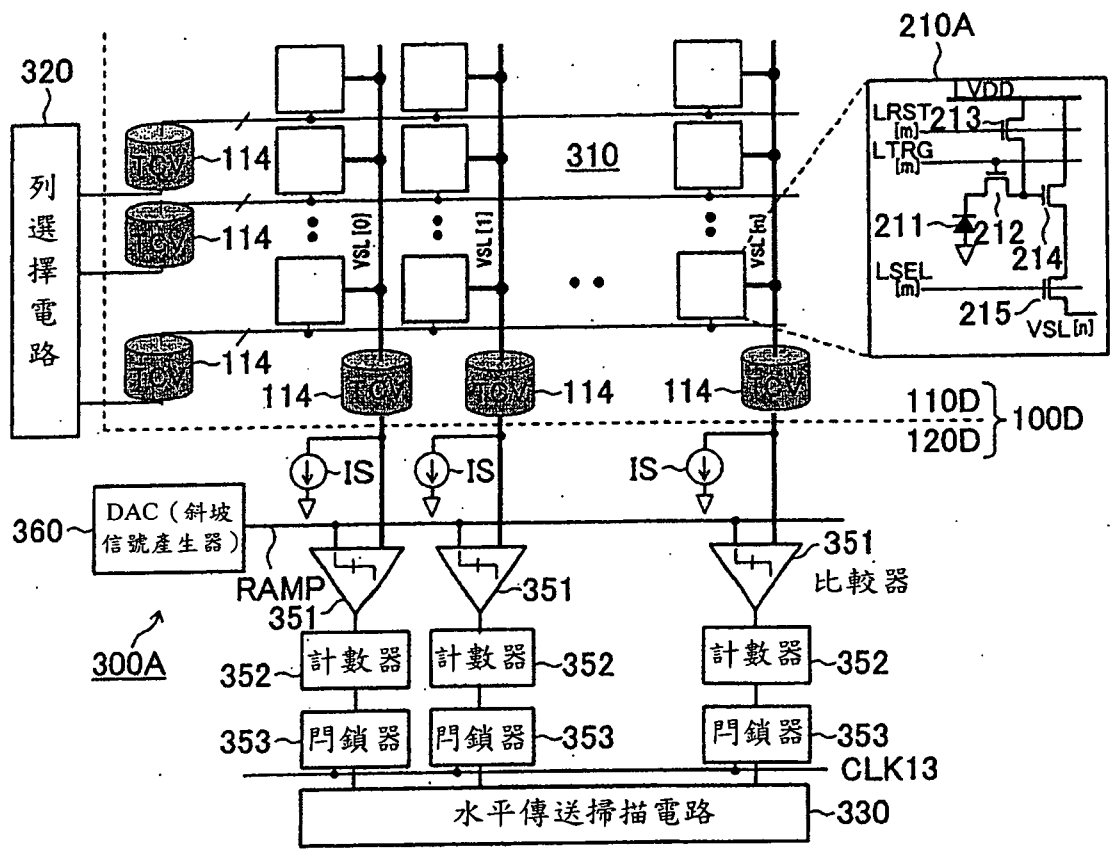


圖 18

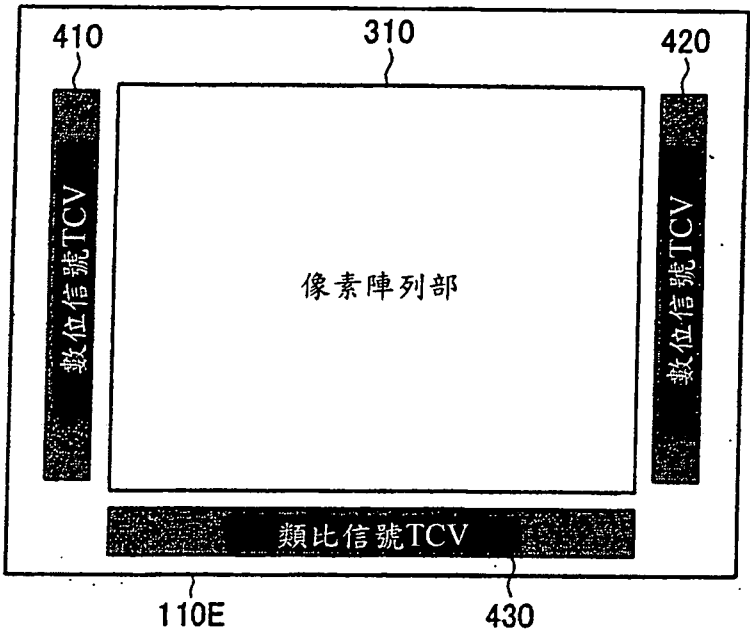
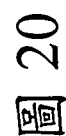


圖 19



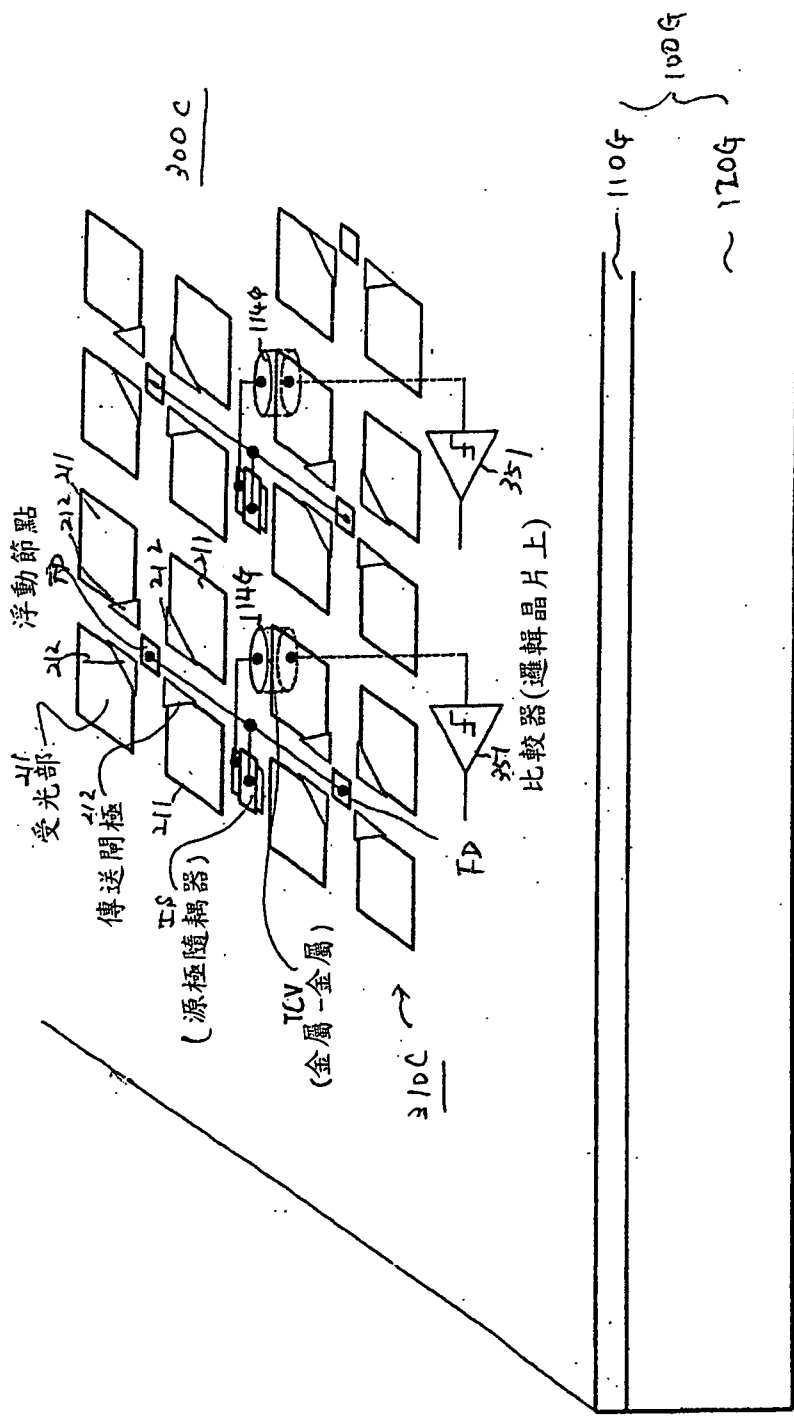


圖 21

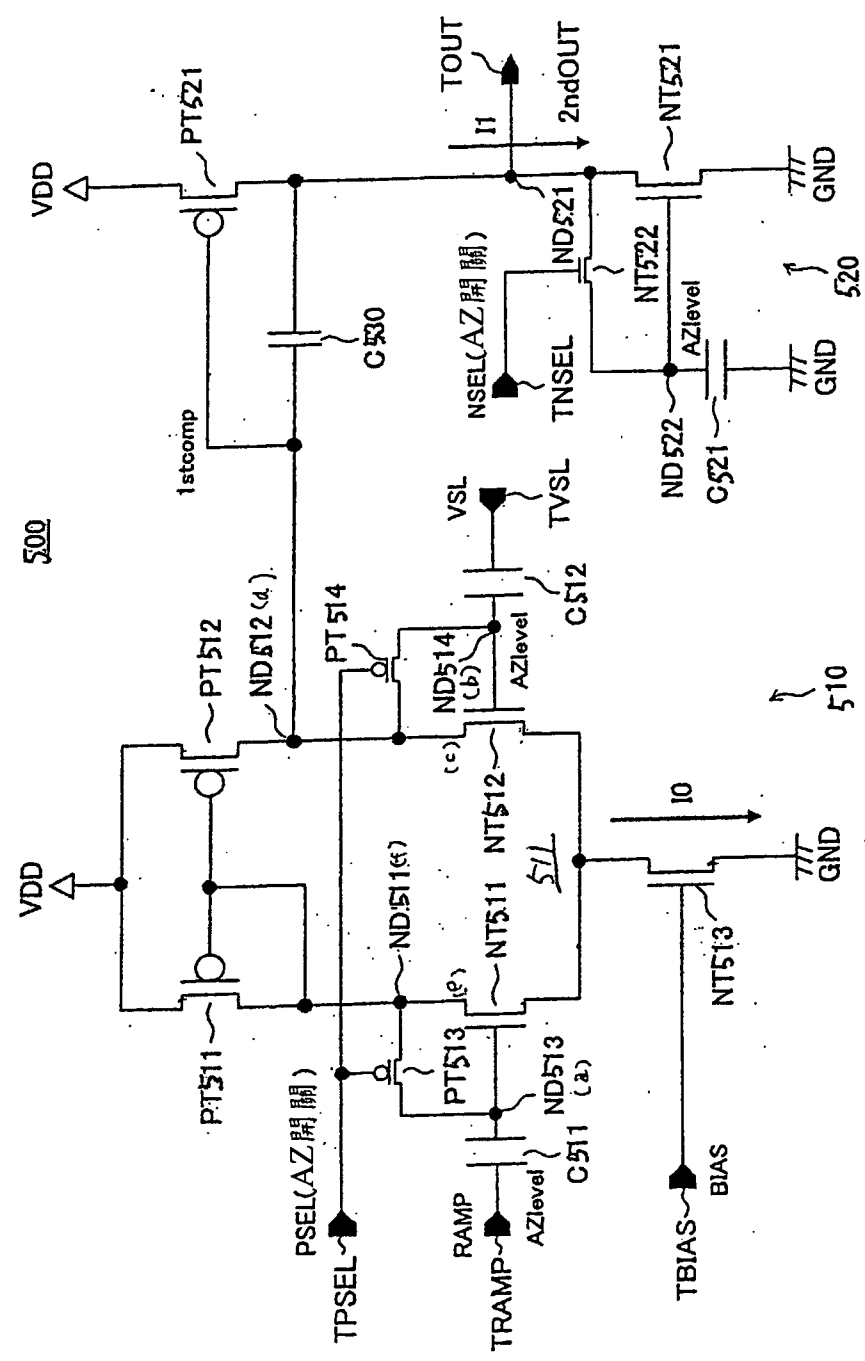


圖 22



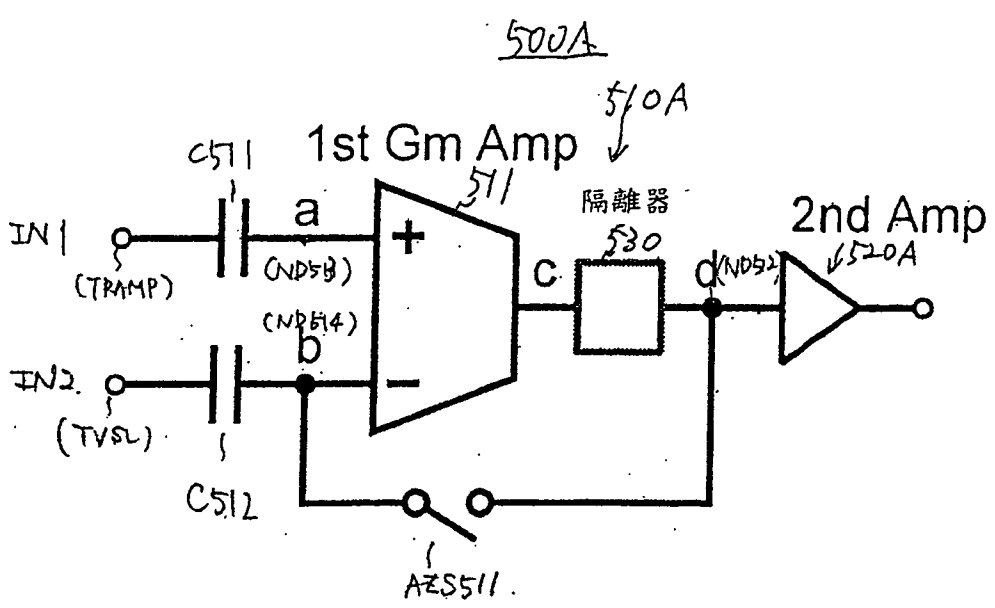


圖 23

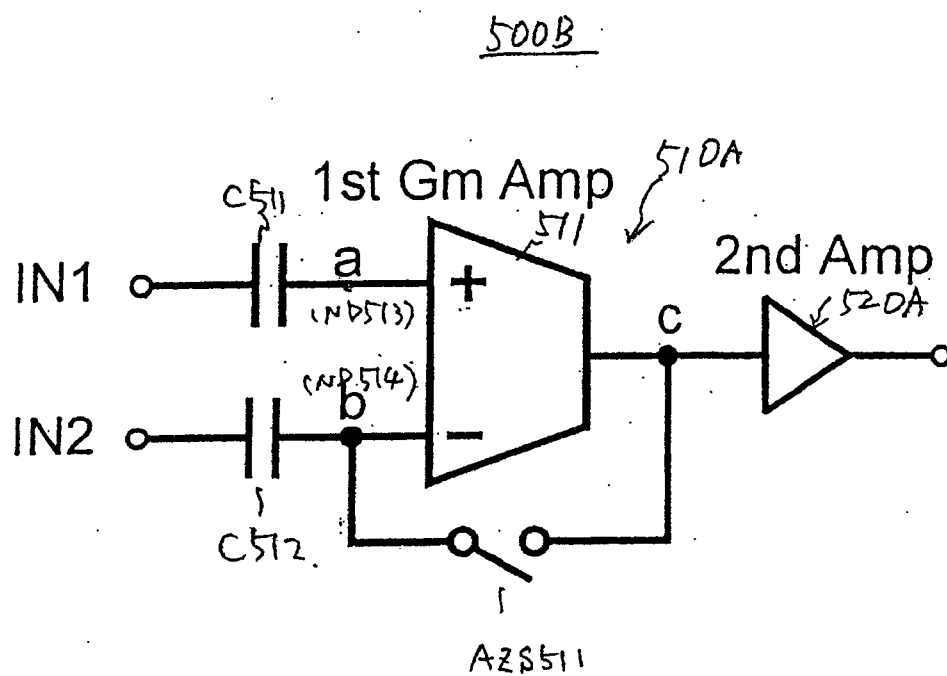


圖 24

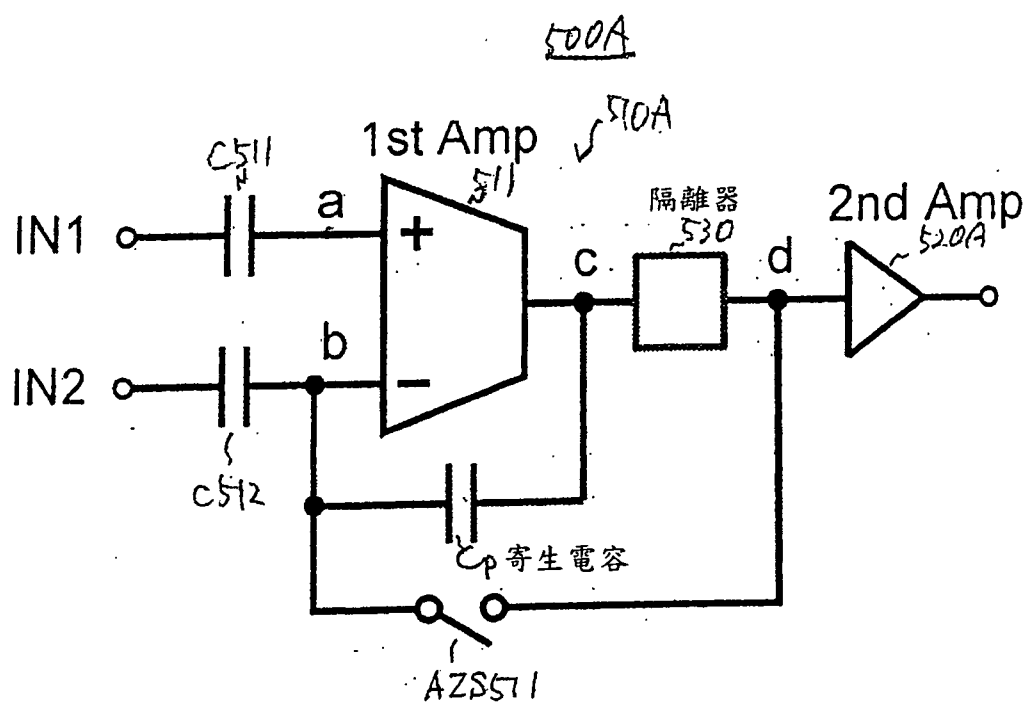


圖 25

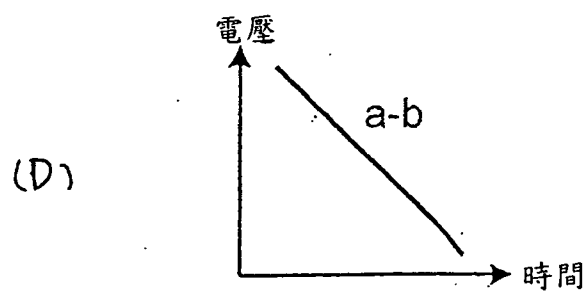
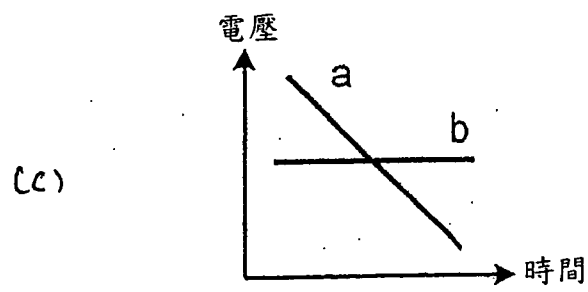
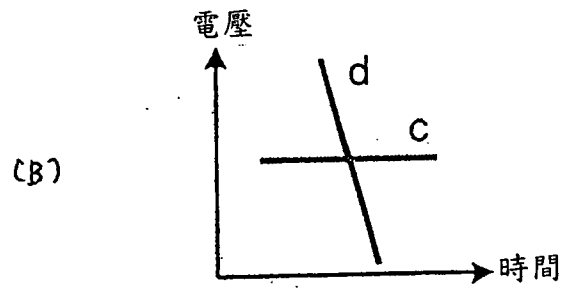
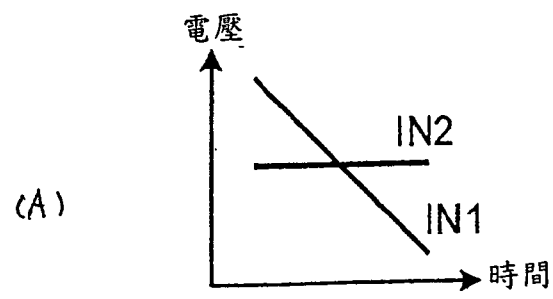


圖 26

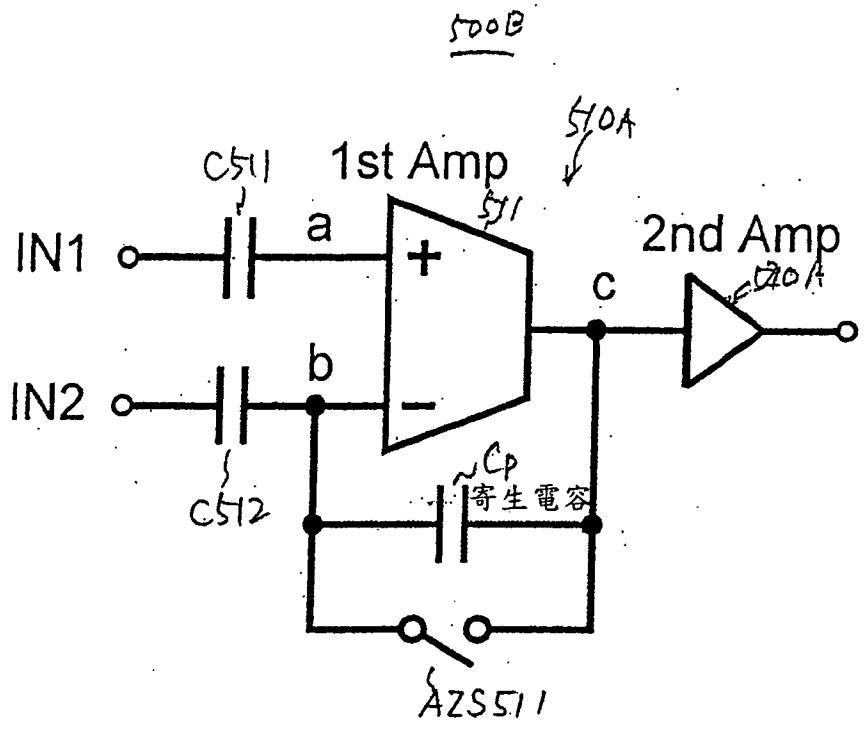


圖 27

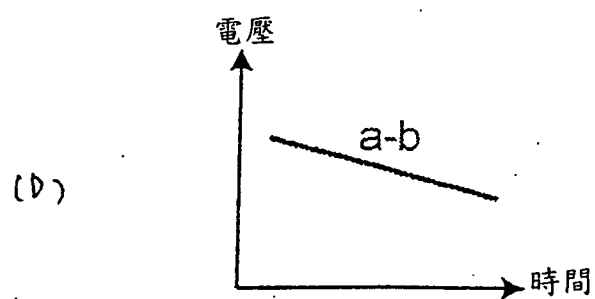
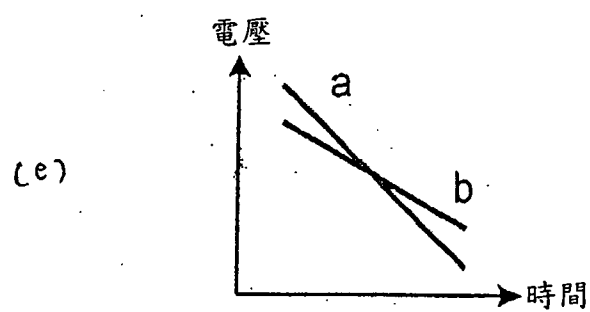
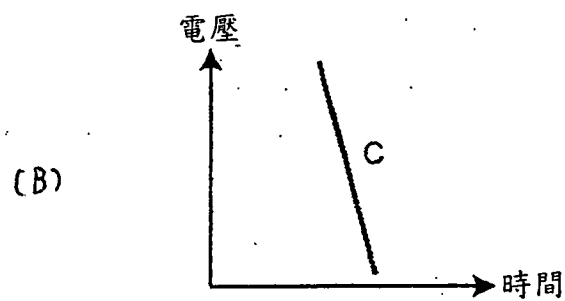
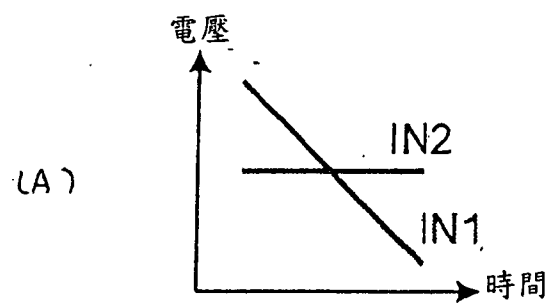


圖 28

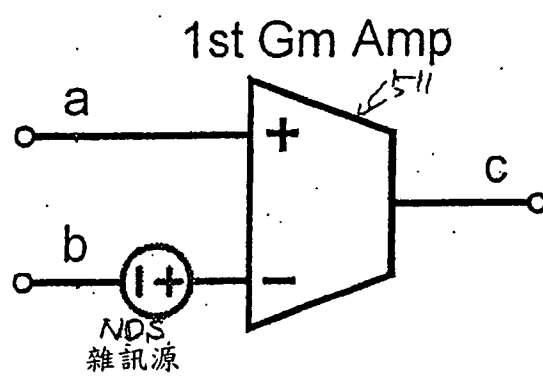


圖 29

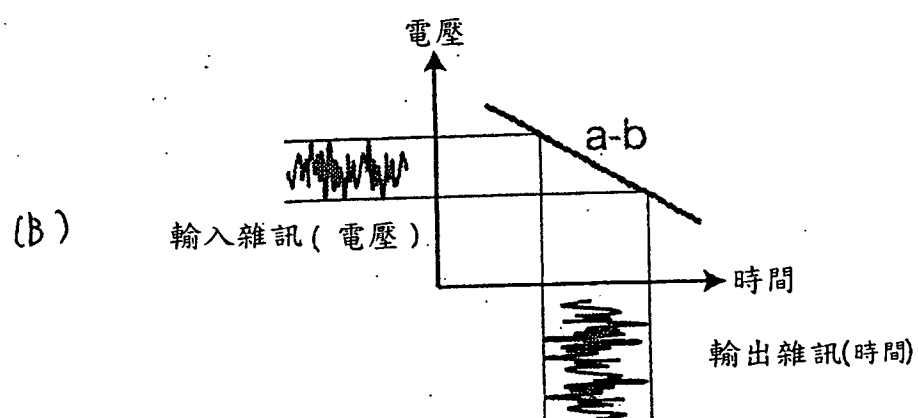
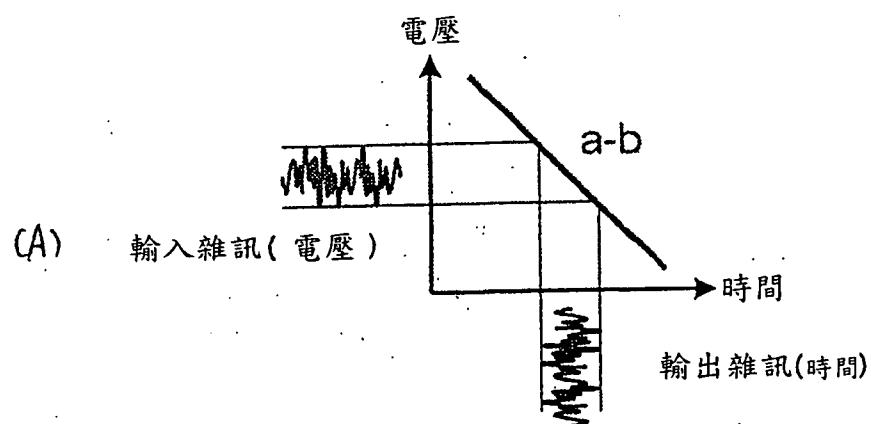


圖 30

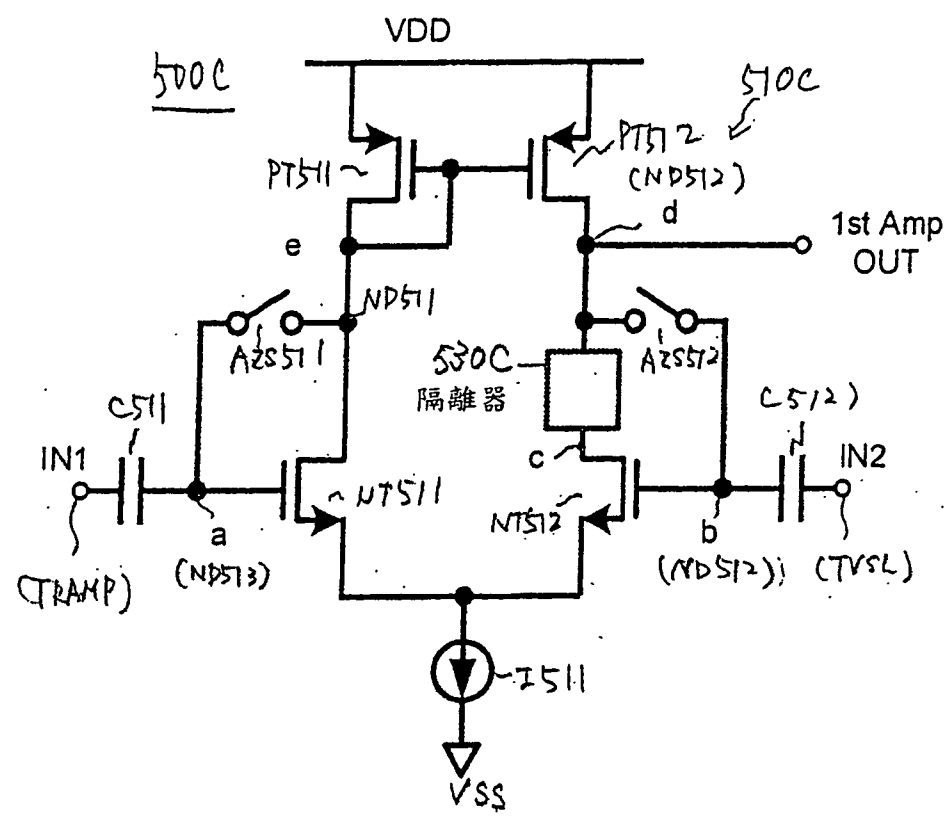


圖 31

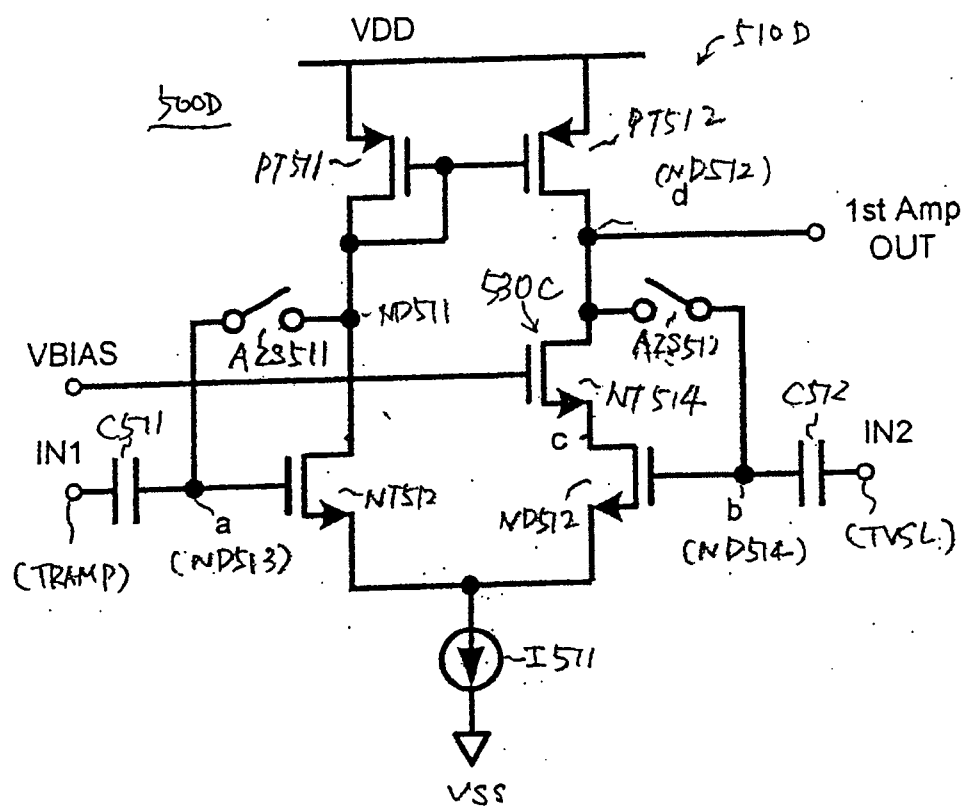


圖 32

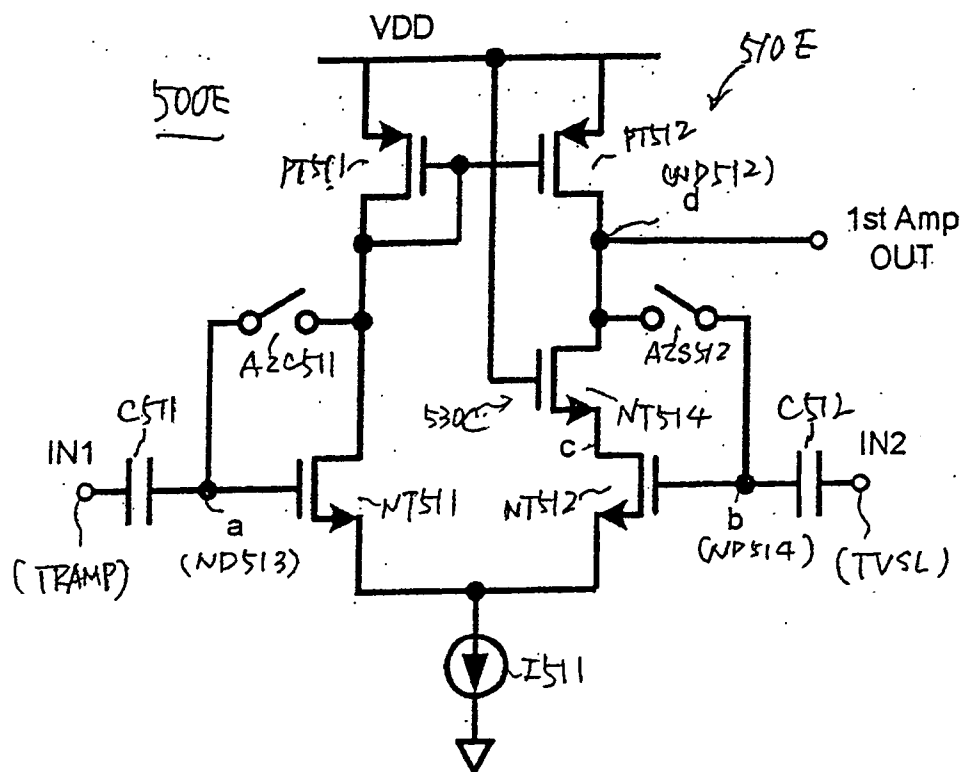


圖 33

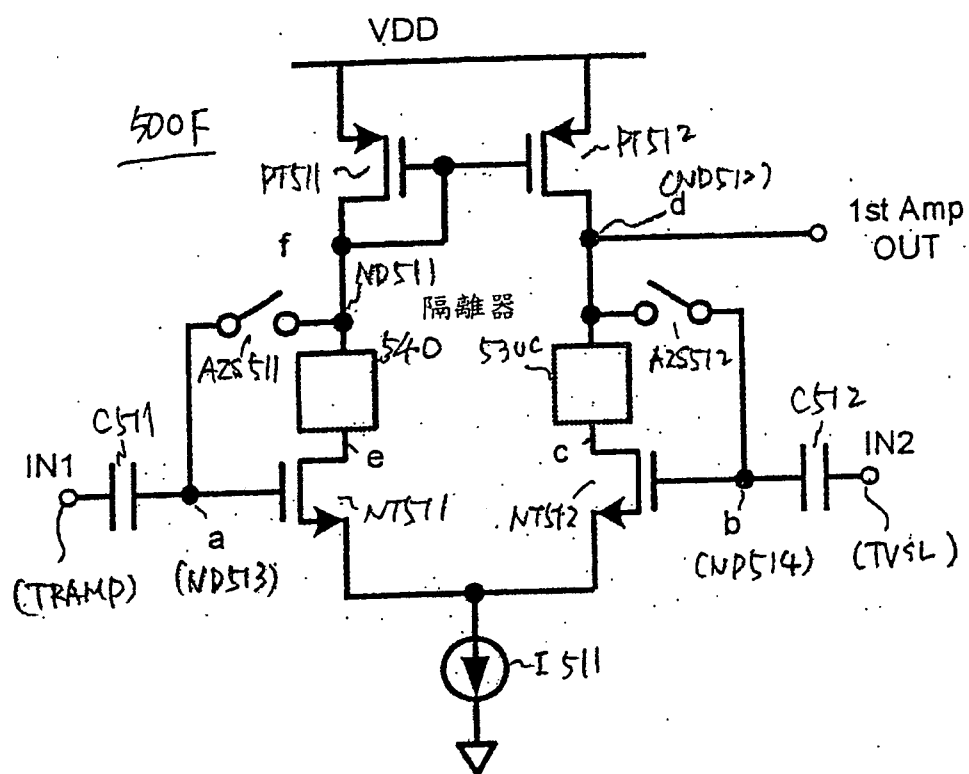


圖 34

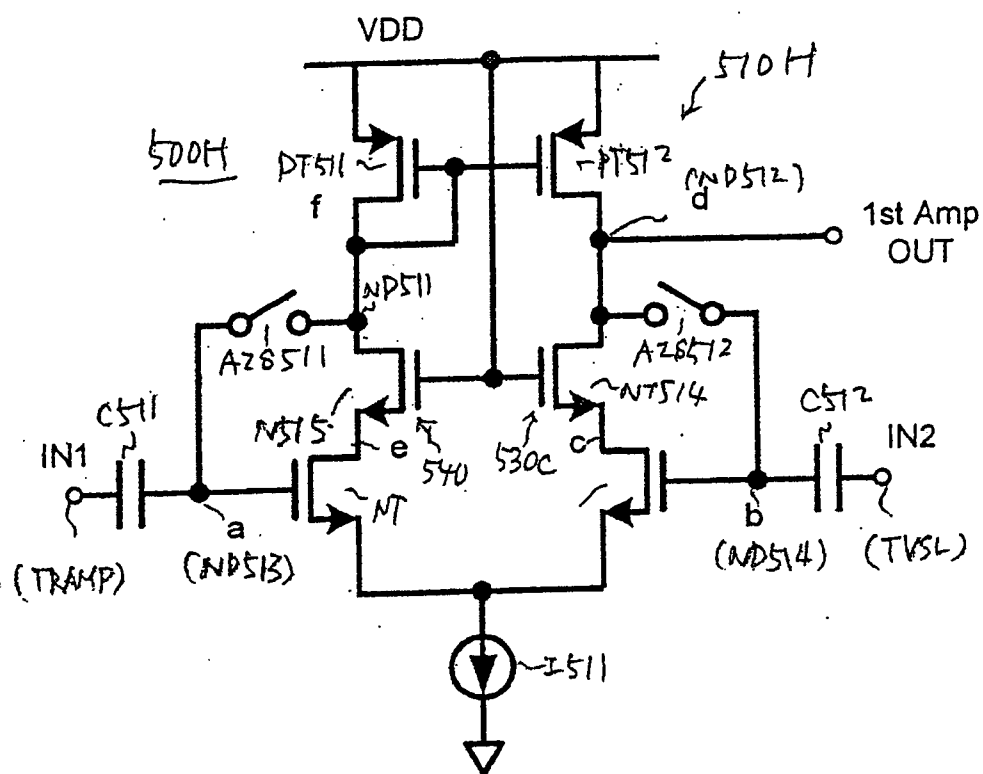


圖 36

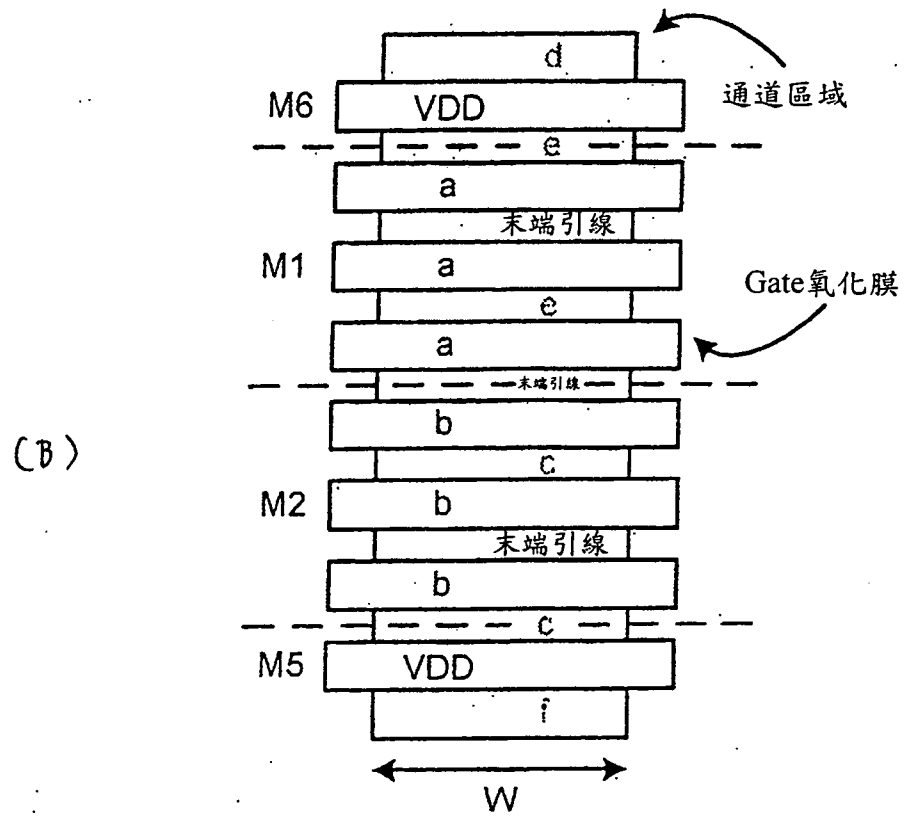
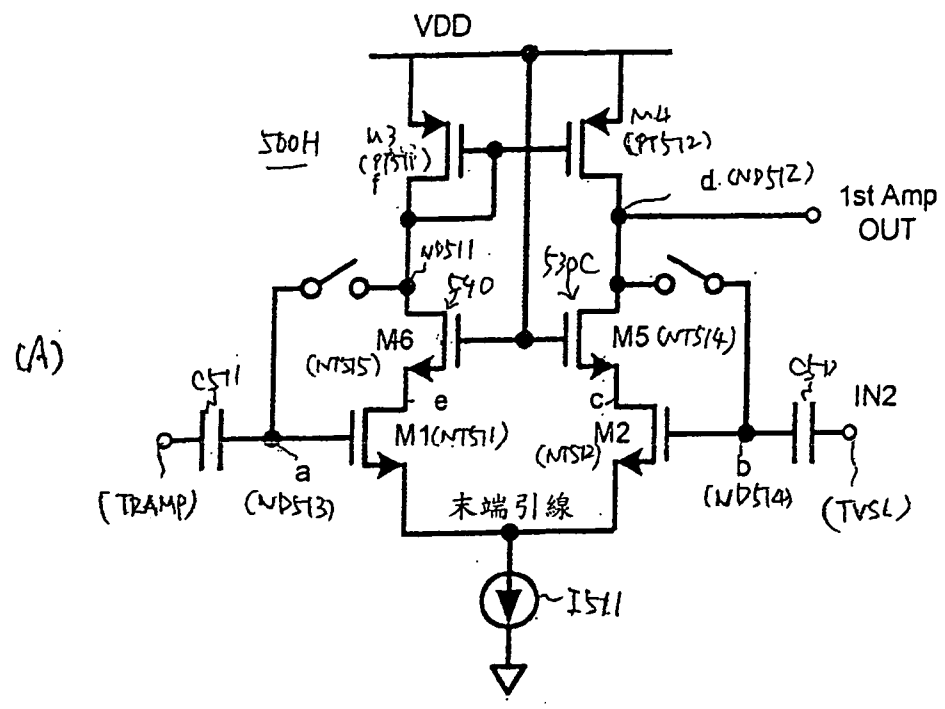


圖 37

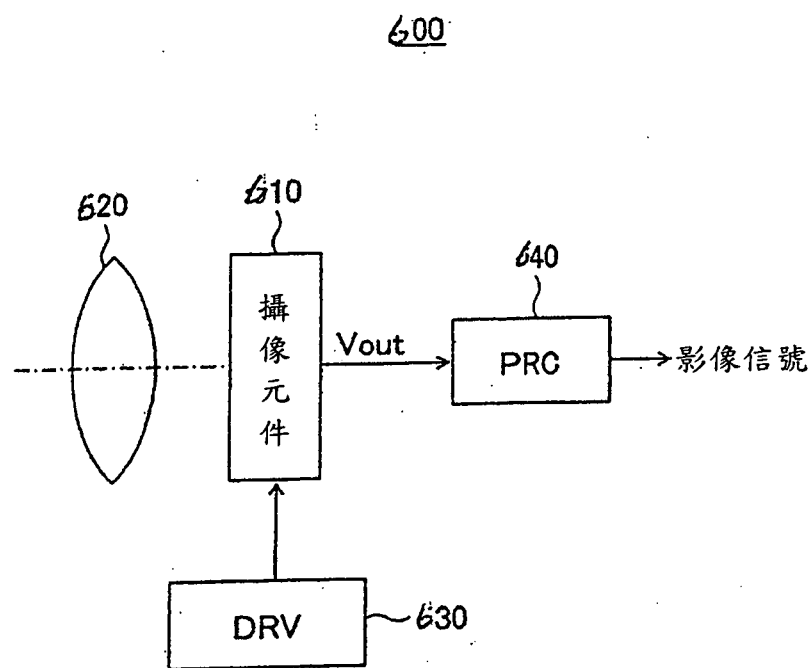


圖 38