

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 95149936

※ 申請日期： 95.12.29 ※IPC 分類： H01L 29/386

一、發明名稱：(中文/英文)

薄膜電晶體之製備方法

A Method For Manufacturing A Thin Film Transistor

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

友達光電股份有限公司 / AU Optronics Corp.

代表人：(中文/英文) 李焜耀 / LEE, KUEN-YAO

住居所或營業所地址：(中文/英文)

新竹科學工業園區新竹市力行二路 1 號

No.1, Li-Hsin Road II, Science-Based Industrial Park, Hsin-Chu, Taiwan,
R.O.C.

國 籍：(中文/英文) 中華民國 / R.O.C.

三、發明人：(共 1 人)

姓 名：(中文/英文)

劉昌瑋 / LIU, CHANG-WEI

國 籍：(中文/英文) 中華民國 / R.O.C.

四、聲明事項：

主張專利法第二十二條第二項第一款或第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種薄膜電晶體之製造方法，尤指一種適用於大尺寸顯示器之薄膜電晶體之製造方法。

5

【先前技術】

薄膜電晶體液晶顯示器（TFT-LCD）主要由薄膜電晶體陣列（TFT array）基板、彩色濾光片（C.F.）陣列基板和液晶（L.C.）層所構成，其中薄膜電晶體陣列基板是由複數個以陣列排列之薄膜電晶體以及與每一薄膜電晶體對應配置之一畫素電極（Pixel Electrode）而構成複數個畫素結構。而上述之薄膜電晶體主要包括閘極、半導體層、源極、汲極與通道，其係用來作為液晶顯示畫素單元的開關元件。

目前液晶顯示器的發展目標皆朝向大尺寸、高輝度、高對比、廣視角、以及高色彩飽和度來發展。隨者面板尺寸的增大，每一個薄膜電晶體所產生之 I_{on} 電流（開啟狀態下的電流）亦需要隨著提高，才能符合大尺寸液晶顯示面板之需要。而提昇薄膜電晶體 I_{on} 電流最直接的方法，就是設法提高薄膜電晶體的通道寬度(W)對通道長度(L)之比值(W/L)。

但由於現行曝光設備之解析度為 $4\mu m$ 左右，若加上後續蝕刻製程，則使得薄膜電晶體的通道長度(L)極限只能到在 $4.5\mu m \sim 5\mu m$ 左右。因此，現行提昇薄膜電晶體 I_{on} 電流

的方法僅能藉由變更通道寬度(W)達成，例如U型或雙U型之源極/汲極(S/D)設計，以提高通道寬度(W)。

然而，不論是U型還是雙U型之源極/汲極(S/D)設計都會使薄膜電晶體元件的面積變大，而造成顯示器的開口率降低以及穿透率下降，進而影響到顯示器的畫面品質。此外，通常大尺寸面板無法以一個光罩即可曝出所須之圖案，依製程世代之不同，通常需要三或數十次曝光方可完成，因此曝光設備之對位精度要求極高，以避免畫面不均產生，此亦為現行曝光製程所亟待克服之缺點。

10

【發明內容】

本發明係以兩道光罩製程來定義源極、汲極以及兩者間的通道。如此，可以降低薄膜電晶體通道長度(L)，進而可以增加 I_{on} 電流，並相對的降低薄膜電晶體通道寬度(W)，故可以縮小薄膜電晶體元件面積，而提高開口率。

本發明提供一種薄膜電晶體之製造方法，包括以下步驟：(A)提供一基板；(B)於該基板上連續形成一圖案化之第一金屬層、一圖案化之半導體層以及一第二金屬層，其中第一金屬層為閘極；(C)於第二金屬層上分別形成圖案化之第一光阻層與第二光阻層，其中部分第一光阻層是位於第一金屬層一側邊之上方，且部分第二光阻層是位於第一金屬層相對該側邊之另一側邊之上方；(D)移除未被第一光阻層、與第二光阻層覆蓋之第二金屬層；以及(E)移除第一光

阻層、與第二光阻層以曝露出第二金屬層，而形成一源極以及一汲極。

另外，本發明薄膜電晶體之製造方法，還可視製程需求選擇性的包括下列步驟，以提供一表現更佳的薄膜電晶體。本發明所述之薄膜電晶體製造方法，可選擇性的更包含步驟(F)於第二金屬層上形成一保護層；以及，步驟(G)移除第二金屬層上之部分保護層，以形成一接觸窗；其中，此保護層之材料不限制，較佳為氧化矽、氮化矽、或氮氧化矽。本發明所述之薄膜電晶體製造方法，於步驟(B)中可選擇性的更包含形成一絕緣層介於該圖案化之第一金屬層與該圖案化之半導體層之間。又，本發明所述之薄膜電晶體製造方法，其中於步驟(B)中可選擇性的更包含形成一圖案化之歐姆接觸層於該第二金屬層與該圖案化之半導體層之間；並且於步驟(D)中移除未被該第一光阻層和該第二光阻層覆蓋之該圖案化之歐姆接觸層。

本發明所述之薄膜電晶體製造方法中，該第一光阻層與該第二光阻層可採用任何習知之方法圖案化，較佳可透過黃光微影製程予以圖案化。

本發明所述之薄膜電晶體製造方法中，源極與汲極之間的通道長度不限制，較佳可介於1.5至 $4.0\mu\text{m}$ 之間，更佳可介於1.5至 $2.5\mu\text{m}$ 之間。

本發明所述之薄膜電晶體製造方法中，該基板之材料可為任何習知之材料，較佳為玻璃基板、石英基板或塑膠基板。

本發明所述之薄膜電晶體製造方法中，第一金屬之材料可為任何習知之材料，較佳為鋁（Al）、鎢（W）、鉻（Cr）、銅（Cu）、鈦（Ti）、氮化鈦（TiNx）、鋁合金、鉻合金、鉬（Mo）金屬、或其組合。

5 本發明所述之薄膜電晶體製造方法中，半導體層之材料可為任何習知之材料，較佳為非晶矽（amorphous silicon）。

● 10 本發明所述之薄膜電晶體製造方法中，第二金屬層之材料可為任何習知之材料，較佳為鋁、鎢、鉻、銅、鈦、氮化鈦、鋁合金、鉻合金、鉬金屬、或其組合。

本發明所述之薄膜電晶體製造方法中，該第一光阻層可為正型光阻，該第二光阻層可為負型光阻。

本發明所述之薄膜電晶體製造方法中，該第一光阻層可為負型光阻，該第二光阻層可為正型光阻。

15 本發明所述之薄膜電晶體製造方法中，該第一光阻層可為負型光阻，該第二光阻層可為負型光阻。

● 20 另外，本發明亦提供一種薄膜電晶體之製造方法，包括以下步驟：(A) 提供一基板；(B) 於基板上連續形成一圖案化第一金屬層、一半導體層以及一第二金屬層，其中第一金屬層係為閘極；(C) 於第二金屬層上形成圖案化之第一光阻層，其中部分第一光阻層位於第一金屬層一側邊之上方；(D) 於該第二金屬層上形成圖案化之第二光阻層，其中部分第二光阻層位於第一金屬層之一側邊對邊上方並覆蓋住位於第一金屬層一側邊之上方的第一光阻層；

(E) 移除未被第一光阻層、與第二光阻層覆蓋之第二金屬層、與半導體層；(F) 連續移除部分第一光阻層、與部分第二光阻層，以曝露出部分第二金屬層；以及(G) 連續移除曝露出之部分第二金屬層以及剩餘之第一光阻層與剩餘之第二光阻層，以曝露出第二金屬層，而形成一源極以及一汲極。

同樣的，本發明薄膜電晶體之製造方法，可視製程需求選擇性的包括下列步驟，以提供一表現更佳的薄膜電晶體。本發明所述之薄膜電晶體製造方法中，可選擇性的包含下列步驟：(H) 於第二金屬層上形成一保護層；以及，(I) 移除第二金屬層上之部分保護層，以形成一接觸窗；其中，此保護層之材料不限制，較佳為氧化矽、氮化矽、或氫氧化矽。

本發明所述之薄膜電晶體製造方法，於步驟(A)中，可選擇性的包含形成一絕緣層介於第一金屬層與半導體層之間。此絕緣層之材料不限制，較佳為氧化矽、氮化矽、或氫氧化矽。

本發明所述之薄膜電晶體製造方法，於步驟(A)中還可以選擇性的包含形成一歐姆接觸層於第二金屬層與半導體層之間。並且，於步驟(E)及步驟(G)中更包括移除未被第一光阻層和第二光阻層覆蓋之歐姆接觸層。

本發明所述之薄膜電晶體製造方法，於步驟(C)中，第一光阻層可採用任何習知之方法予以圖案化，較佳可透過黃光微影製程予以圖案化。第二光阻層可採用任何習知之

方法予以圖案化，較佳可透過黃光微影製程搭配半透光(Half-tone)光罩予以圖案化。

本發明所述之薄膜電晶體製造方法，其中源極與汲極之間的通道長度不限制，較佳可介於1.5至4.0 μm 之間，更佳可介於1.5至2.5 μm 之間。
5

本發明所述之薄膜電晶體製造方法，其中基板之材料可為任何習知之材料，較佳為玻璃基板、石英基板或塑膠基板。

本發明所述之薄膜電晶體製造方法，第一金屬之材料可為任何習知之材料，較佳為鋁(Al)、鎢(W)、鉻(Cr)、銅(Cu)、鈦(Ti)、氮化鈦(TiNx)、鋁合金、鉻合金、鉬(Mo)金屬、或其組合。
10

本發明所述之薄膜電晶體製造方法，半導體層可為任何習知之材料，較佳為非晶矽(amorphous silicon)。

本發明所述之薄膜電晶體製造方法，第二金屬層之材料可為任何習知之材料，較佳為鋁、鎢、鉻、銅、鈦、氮化鈦、鋁合金、鉻合金、鉬金屬、或其組合。
15

本發明所述之薄膜電晶體製造方法中，該第一光阻層可為正型光阻，該第二光阻層可為負型光阻。

本發明所述之薄膜電晶體製造方法中，該第一光阻層可為負型光阻，該第二光阻層可為正型光阻。
20

本發明所述之薄膜電晶體製造方法中，該第一光阻層可為負型光阻，該第二光阻層可為負型光阻。

此外，本發明還提供另一種薄膜電晶體之製造方法，包括以下步驟：(A)提供一基板；(B)於該基板上連續形成一圖案化第一金屬層、一圖案化半導體層、以及一第二金屬層，該圖案化第一金屬層係包含閘極；(C)於該第二金屬層上形成一圖案化之第一光阻層，其中部分該第一光阻層位於該第一金屬層一側邊之上方；(D)移除未被該第一光阻層覆蓋之該第二金屬層；(E)於該基板上、該第二金屬層上、與該第一光阻層上形成一透明導電層；(F)於該透明導電層上形成一圖案化之第二光阻層，其中，部分該第二光阻層位於該第一金屬層相對該側邊之另一側邊的上方；(G)移除未被該第二光阻層覆蓋之該透明導電層；以及(H)移除該第一光阻層與該第二光阻層以曝露出圖案化之該第二金屬層與該透明導電層，而形成一源極、一汲極與一畫素電極。

本發明所述之薄膜電晶體製造方法中，可選擇性包含一步驟：(I)於該圖案化第二金屬層上形成一保護層。

本發明所述之薄膜電晶體製造方法中，可選擇性包含形成一絕緣層介於該圖案化第一金屬層與該圖案化半導體層之間。

本發明所述之薄膜電晶體製造方法，其中源極與汲極之間的通道長度不限制，較佳可介於 1.5 至 $4.0\mu\text{m}$ 之間，更佳可介於 1.5 至 $2.5\mu\text{m}$ 之間。

本發明所述之薄膜電晶體製造方法，其中該第一光阻層為正型光阻，該第二光阻層為正型光阻。

上述三種方法均使用兩次曝光方式，定義出源極/汲極(S/D)。因為曝光設備的對位精準度佳，因此，S/D的通道長度(L)可以從原來的 $4\mu m$ 降到 $2\mu m$ ，甚至 $1.5\mu m$ ，如此一來薄膜電晶體的元件大小亦可縮小，而提高開口率，並且縮小後依然可以達到相同的 I_{on} 電流。

換句話說，使用兩次曝光定義出源極和汲極可以達到降低薄膜電晶體通道長度(L)。因為通道長度(L)降低，則 I_{on} 電流就可以增加。相對的，通道寬度(W)就可降低，而縮小薄膜電晶體元件面積，進而提高開口率。

另外，本發明之薄膜電晶體製造方法亦可適用於U型或雙U型之源極/汲極(S/D)設計之薄膜電晶體元件。

再者，本發明更提供一種液晶顯示器用下基板，其包含有一基板；以及複數個位於基板表面之薄膜電晶體。其中，每一薄膜電晶體包括有一閘極層、一源極/汲極層、以及一夾置於閘極層與源極/汲極層間之半導體層。此外，本發明液晶顯示器用下基板中，每一薄膜電晶體之源極與汲極彼此不連接，且源極與汲極保持有一 $1.5\mu m$ 至 $4.0\mu m$ 之距離。

為了提供完整液晶顯示器用下基板，本發明基板可更包括有複數個信號線、以及複數個掃瞄線。其中，每一信號線可與一掃瞄線相交錯但不電性連接。於本發明每一薄膜電晶體中，閘極層可與一掃瞄線電性連接，且源極可與一信號線電性連接。

相對於傳統薄膜電晶體結構，於本發明基板中，薄膜電晶體的源極與汲極間的通道縮小，故減少了薄膜電晶體之通道長度(L)。因此，本發明液晶顯示器用下基板不僅可增加 I_{on} 電流，還可縮小薄膜電晶體元件的面積，進而提高
5 開口率。

【實施方式】

在本實施例中，薄膜電晶體係利用兩次曝光方式，分別定義出源極以及汲極。由於曝光設備的對位精準度極限可以到 $1\mu m$ 左右，較曝光解析度(約為 $3\sim 4\mu m$)佳，因此，薄膜電晶體的通道長度(L)可以從 $4\mu m$ 降到 $2\mu m$ ，甚至 $1.5\mu m$ 。
10

實施例一

請參閱圖 2a至 2h，為本發明實施例一之方法流程示意圖。

如圖 2a所示，首先提供一基板 30，其中基板 30 可為玻璃基板、石英基板或塑膠基板。接著，進行第一圖案化步驟，在基板 30 上形成一圖案化之第一金屬層 32 作為薄膜電晶體(TFT)的閘極。此第一金屬之材料可為鋁(A1)、鎢(W)、鉻(Cr)、銅(Cu)、鈦(Ti)、氮化鈦(TiNx)、
15 鋁合金、鉻合金或鉬(Mo)金屬所構成，其結構可為單層、亦可為多層(Multiple-layered)結構。
20

如圖 2b所示，進行第二圖案化步驟。於圖案化第一金屬層 32 上形成一圖案化之半導體層 34，此半導體層 34 可由非晶矽(α -Si, amorphous silicon)構成。

如圖2c所示，於圖案化半導體層34上形成一第二金屬層36。此第二金屬層36之材料可為鋁、鎢、鉻、銅、鈦、氮化鈦、鋁合金、鉻合金或鉬金屬所構成，其結構亦可為單層或多層結構。第二金屬層36的形成方法可使用化學或物理氣相沈積製程。

接著，進行第三圖案化步驟。如圖2d所示，於第二金屬層36上，以第一光罩(圖中未示)利用黃光微影定義並形成一圖案化之第一光阻層22。

為了避免後續黃光微影製程會破壞上述已圖案化之第一光阻層22之鍵結結構，因此，於本實施例中第三圖案化步驟完成後且實施第四圖案化步驟之前，先進行烘烤製程以固定第一光阻層22之鍵結結構。其中，本例所使用的烘烤製程為硬烤製程，當然本發明可適用之烘烤製程不限於本例所述之方法。

然後，進行第四圖案化步驟。如圖2e所示，於第二金屬層上36與第一圖案化之第一光阻層22上沉積一第二光阻層。並且，以一第二光罩(圖中未示)利用黃光微影定義並形成一圖案化之第二光阻層24，並曝露出位於圖案化第一金屬層32上之部分第二金屬層36。其中，部分第一光阻層22位於第一金屬層32之上方，部分第二光阻層24位於第一金屬層32之上方。因此，第一光阻層22與第二光阻層24間形成有一通道26，且此通道26位於第一金屬層32之上方。由於現行曝光設備之對位精準度可以到 $1\mu\text{m}$ 左右，因此，藉由

兩次曝光方式可以使第一光阻層22和第二光阻層24之間的通道26(L_{PR})達到 $1.5\sim2.5\mu m$ 之間。

接著，對此薄膜電晶體進行蝕刻，用以移除未被第一光阻層22以及第二光阻層24覆蓋之第二金屬層36。然後，
5 再將第一光阻層22以及第二光阻層24移除。如圖2f所示，
第一光阻層22以及第二光阻層24覆蓋之第二金屬層36被保
留下來，而形成源極52、汲極54以及其他構件，例如資料
線、汲極接觸區等等。並且，源極52與汲極54之間的第二
金屬層36被移除後會形成一通道58。此通道58會和光阻層
10 間的通道26一樣，可達到 $1.5\sim2.5\mu m$ 之間。具體而言，於本
實施例中，第一光阻層22和第二光阻層24之間的通道26係
為 $1.5\mu m$ 。並且源極52位置會對應部分第一光阻層22，汲極
54位置會對應部分第二光阻層24。

然後，進行第五圖案化步驟。如圖2g所示，於基板30
15 上形成一圖案化之保護層62。並且，移除位於接觸區上之
保護層，使接觸區之第二金屬層36露出而形成一接觸窗64。

最後，再進行第六圖案化步驟。如圖2h所示，於保護
層62上形成圖案化之透明導電層72。此透明導電層72為液
晶顯示器之畫素電極，透明導電層72經由接觸窗64電性連
20 接薄膜電晶體。

本實施例係分別藉由第一光罩以及第二光罩來定義第
二金屬上方之第一光阻層、以及第二光阻層，也就是藉由
兩道光罩製程的方式來定義源極及汲極之光阻圖案。由於
曝光設備的對位精準度較曝光精準度佳，因此，可以降低

第一光阻層和第二光阻層間的通道，而達到降低薄膜電晶體通道長度(L)之功效。並且，因為通道長度(L)降低，則 I_{on} 電流就可以增加。相對的，通道寬度(W)亦可降低，而縮小薄膜電晶體元件面積，進而提高開口率。

因此，本發明利用兩道光罩製程的方式來定義源極與汲極如此，可以降低薄膜電晶體通道長度(L)，甚至縮小至曝光設備的曝光精度極限以下，進而可以增加 I_{on} 電流，並相對的降低薄膜電晶體通道寬度(W)，故可以縮小薄膜電晶體元件面積，而提高開口率。

10

實施例二

請參閱圖3a至3h，為本發明實施例二之方法流程示意圖。需特別說明者，係本實施例基本上與前述之實施例一之製程相似，其差異處將詳細說明如後。

如圖3a所示，首先提供一基板30，其中基板30可為玻璃基板、石英基板或塑膠基板。接著，進行第一圖案化步驟，在基板30上形成一圖案化之第一金屬層32作為薄膜電晶體(TFT)的閘極。此第一金屬之材料可為鋁(A1)、鎢(W)、鉻(Cr)、銅(Cu)、鈦(Ti)、氮化鈦(TiN_x)、鋁合金、鎔合金或鉬(Mo)金屬所構成，其結構可為單層、亦可為多層(Multiple-layered)結構。

如圖3b所示，於圖案化第一金屬層32上連續形成一絕緣層31、一半導體層34、一歐姆接觸層33以及一第二金屬層36。絕緣層31可由氧化矽(SiO_x)、氮化矽(SiN_y)或氮氧化矽(Silicon oxynitride)所構成。半導體層34可由非晶

矽 (α -Si, amorphous silicon) 構成。歐姆接觸層 33 可由摻雜半導體例如 n^+ -Si (n-type doped silicon) 所構成。此第二金屬層 36 之材料，可為鋁、鎢、鉻、銅、鈦、氮化鈦、鋁合金、鉻合金或鉬金屬所構成。上述連續形成各層的方法可使用化學或物理氣相沈積製程。

如圖 3c 所示，藉由一第三光罩(圖中未示)進行第二圖案化步驟，形成一圖案化之第一光阻層 22 於第二金屬層 36 上。

如圖 3d 所示，藉由一第四半透光(half-tone)光罩 74 進行第三圖案化步驟，形成一圖案化之第二光阻層 24 於第二金屬層 36 上，並且使第二光阻層 24 具有兩種不同的厚度。部分第一光阻層 22 位於第一金屬層 32 之上方，部分第二光阻層 24 位於第一金屬層 32 之上方，且厚度較薄之第二光阻層 24 係部分覆蓋於第一光阻層 22 上方，並形成一凹槽 56 於第一金屬層 32 上方。

由於現行曝光設備之對位精準度可以到 $1\mu m$ 左右，因此，藉由兩次曝光方式可以使凹槽 56 長度達到 $1.5\mu m \sim 2.5\mu m$ 之間。

如圖 3e 所示，先移除未被第一光阻層 22、第二光阻層 24 覆蓋之第二金屬層 36、歐姆接觸層 33、半導體層 34，再移除部分第一光阻層 22、部分第二光阻層 24，以曝露出部分第二金屬層 36。

如圖 3f 所示，連續移除曝露出之部分第二金屬層 36、部分歐姆接觸層 33 以及部分半導體層 34。再將剩餘之第一

光阻層22與剩餘之第二光阻層24移除，以曝露出第二金屬層36，而形成一源極52以及一汲極54。藉此兩次曝光定義源極及汲極的方式，薄膜電晶體的通道長度(L)可達到1.5~2.5μm之間。

5 然後，進行第四圖案化步驟。如圖3g所示，於第二金屬層36上形成一圖案化之保護層62。其中部分保護層62被移除，使部分第二金屬層36露出而形成一接觸窗64。

● 10 最後，再進行第五圖案化步驟。如圖3h所示，於保護層62上形成圖案化之透明導電層72。此透明導電層72為液晶顯示器之畫素電極，透明導電層72經由接觸窗64電性連接薄膜電晶體。

● 15 本實施例是分別藉由一第三光罩以及一半透光第四光罩來定義第二金屬上方之第一光阻層、以及第二光阻層，也就是藉由兩道光罩製程的方式來定義源極及汲極。由於曝光設備的對位精準度較曝光精準度佳，因此，可以降低第一光阻層和第二光阻層間的凹槽寬度，而達到降低薄膜電晶體通道長度(L)之功效，甚至縮小至曝光設備的曝光精度極限以下，進而使 I_{on} 電流增加。相對的，通道寬度(W)亦可降低，而縮小薄膜電晶體元件面積，進而提高開口率。

20 實施例三

請參閱圖4a至4f，為本發明實施例三之方法流程示意圖。需特別說明者，係本實施例基本上與前述之實施例一之製程相似，其差異處將詳細說明如後。

25 如圖4a所示，首先提供一基板30，其中基板30可為玻

玻璃基板、石英基板或塑膠基板。接著，進行第一圖案化步驟，在基板30上形成一圖案化之第一金屬層32作為薄膜電晶體(TFT)的閘極。此第一金屬之材料可為鋁(Al)、鎢(W)、鉻(Cr)、銅(Cu)、鈦(Ti)、氮化鈦(TiNx)、鋁合金、鉻合金或鉬(Mo)金屬所構成，其結構可為單層、亦可為多層(Multiple-layered)結構。

如圖4b所示，進行第二圖案化步驟。於圖案化第一金屬層32上形成一圖案化之半導體層34，此半導體層34可由非晶矽(α -Si, amorphous silicon)構成。

如圖4c所示，於圖案化半導體層34上形成一第二金屬層36。此第二金屬層36之材料可為鋁、鎢、鉻、銅、鈦、氮化鈦、鋁合金、鉻合金或鉬金屬所構成，其結構亦可為單層或多層結構。第二金屬層36的形成方法可使用化學或物理氣相沈積製程。

接著，進行第三圖案化步驟。如圖4d所示，先於第二金屬層36上全面性的形成一負型光阻層75，再以一第一光罩76對該負型光阻層75進行曝光，使部分負型光阻層75被硬化。此被硬化之負型光阻層75視為第一光阻層22。

然後，進行第四圖案化步驟。如圖4e所示，以一與第一光罩76不同圖案之第二光罩77對該負型光阻層75再次進行曝光，使圖4d中部分未被硬化之負型光阻層75被曝光硬化。此以第二光罩77曝光硬化之部分負型光阻層75視為第二光阻層24。隨之，對該負型光阻層75進行顯影，以移除未被硬化之負型光阻層75，而得到如圖4f所示之結構，其

中，部分第一光阻層22位於第一金屬層32之上方，部分第二光阻層24位於第一金屬層32之上方。因此，第一光阻層24與第二光阻層26間形成有一通道26，且此通道26位於第一金屬層32之上方。由於現行曝光設備之對位精準度可以到 $1\mu\text{m}$ 左右，因此，藉由兩次曝光方式可以使第一光阻層22和第二光阻層24之間的通道26(L_{PR})達到 $1.5\sim2.5\mu\text{m}$ 之間。

另外，由於第一光阻22、以及第二光阻24皆使用負型光阻，因此，本實施例只需要一道上光阻步驟，然後對同一負型光阻層75使用不同光罩先後曝光，即可形成第一光阻層22、以及第二光阻層24。而且，第一光阻層22、以及第二光阻層24的先後形成順序不限定。因此，本實施例相較於實施例一具有節省光阻及生產製程之優點。

接著，後續的製程與實施例一之圖2g至2i所示之製程步驟相同，故在此不再贅述。

由於本實施例係分別藉由第一光罩以及第二光罩來定義第二金屬上方之第一光阻層、以及第二光阻層，也就是藉由兩道光罩製程的方式來定義源極及汲極。由於曝光設備的對位精準度較曝光精準度佳，因此，本發明利用兩道光罩製程的方式來定義源極與汲極，可以降低薄膜電晶體通道長度(L)，甚至縮小至曝光設備的曝光精度極限以下，進而可以增加 I_{on} 電流，並相對的降低薄膜電晶體通道寬度(W)，故可以縮小薄膜電晶體元件面積，而提高開口率。

實施例四

請參閱圖 5e 至 5j，為本發明實施例四之方法流程示意圖。需特別說明者，係本實施例基本上與前述之實施例一之製程相似，其差異處將詳細說明如後。

首先，起始的製程與實施例一之圖 2a 至 2d 所示之製程步驟相同，故在此不再贅述。

完成上述步驟之後，如圖 5e 所示，移除未被第一光阻層 22 覆蓋之第二金屬層 36，使部分基板 30 和第二金屬層 36 露出。接著，如圖 5f 所示，基板 30 上方全面性塗覆一透明導電層 72。隨之，如圖 5g 所示，於透明導電層 72 上形成一第二光阻層 24，再利用黃光微影定義使之圖案化(第四圖案化步驟)。如圖 5h 所示，第二光阻層 24 圖案化之後，部分的第二光阻層 24 位於第一金屬層 32 之一側邊的上方。在本實施例中，第一光阻層 22 及第二光阻層 24 均使用正型光阻。

然後，如圖 5i 所示，移除未被第二光阻層 24 覆蓋之透明導電層 78。此時，第一光阻層 22 與第二光阻層 24 間形成有一通道 26，且此通道 26 位於第一金屬層 32 之上方。由於現行曝光設備之對位精準度可以到 $1\mu\text{m}$ 左右，因此，藉由兩次曝光方式可以使第一光阻層 22 和第二光阻層 24 之間的通道 26(L_{PR})達到 $1.5\sim2.5\mu\text{m}$ 之間。

最後，如圖 5j 所示，移除第一光阻層 22 與第二光阻層 24，使第一光阻層 22 以及第二光阻層 24 覆蓋之第二金屬層 36、與透明導電層 72 被保留下來，而形成源極 52、汲極 54、畫素電極(圖中未示)以及其他構件。同樣的，源極 52 與汲極 54 之間之通道 58 會和光阻層間的通道 26 一樣，可達到

1.5~2.5 μm之間。具體而言，於本實施例中，第一光阻層 22 和第二光阻層 24 之間的通道 26 為 1.5 μm。並且源極 52 位置 會對應部分第一光阻層 22，汲極 54 與畫素電極位置 會對應部分 第二光阻層 24，而形成一源極、一汲極與一畫素電極。

之後，可再於基板 30 上方形成一保護層 62(如圖 5j 所示)並對此保護層 62 進行曝光顯影蝕刻(第五圖案化步驟)，以形成電極位置的電性接觸孔(圖中未示)。

比較例

請參閱圖 1a 至 1g，為本發明比較例之方法流程示意圖。由於曝光設備的曝光精度極限為 4 μm 左右，再配合蝕刻製程後，故傳統薄膜電晶體的通道長度(L)最小只能到 4.5 μm ~ 5 μm。本比較例之步驟詳述如下：

如圖 1a 所示，首先提供一基板 30。接著，進行第一圖案化步驟，在基板 30 上形成一圖案化之第一金屬層 32 作為 TFT 的閘極。接著，如圖 1b 所示，進行第二圖案化步驟。於第一金屬層 32 上形成一圖案化之半導體層 34，例如非晶矽。接著，如圖 1c 所示，於半導體層 34 上形成一第二金屬層 36。

如圖 1d 所示，使用一道光罩進行第三圖案化步驟，形成一圖案化之第一光阻層 22 和第二光阻層 24 於第二金屬層 36 上，並且第一光阻層 22 與第二光阻層 24 之間形成一通道 26。由於現行曝光設備之光罩 40 曝光精準度可控制到 4 μm 左右(目前曝光設備的曝光精準度極限)，因此，本比較例的通道 26 最小只能到 4.5 μm ~ 5 μm 之間。

接著，如圖1e所示，進行蝕刻以移除曝露出之第二金屬層36。然後，再將第一光阻層22以及第二光阻層24移除，而形成源極以及汲極。

然後，進行第四圖案化步驟。如圖1f所示，於第二金屬層36上形成一圖案化之保護層62。部分保護層62被移除，使部分第二金屬層36露出而形成一接觸窗64。

最後，再進行第五圖案化步驟。如圖1g所示，於保護層62上形成具有圖案之透明導電層72。此透明導電層72為液晶顯示器之畫素電極，透明導電層72經由接觸窗64與薄膜電晶體電性連接。

圖6與圖7分別為圖1g和圖2h之俯視圖。比較兩圖可以看出，圖6的開口率比圖5為小，開口率明顯可以隨著通道26長度(L)縮小而增加。因此，在維持相同 I_{on} 電流情況下，本實施例可以藉由縮小通道長度(L)使薄膜電晶體所佔的面積降低，則顯示器的開口率和穿透率提高，進而提升顯示器的畫面品質。另一方面，本發明亦可以藉由縮小通道長度(L)來提升薄膜電晶體的 I_{on} 電流，並且不會對開口造成影響。所以，本發明可在不需要變動曝光光源或光罩的情況下，縮小線寬或通道寬度，甚至縮小至曝光設備的曝光精度極限以下，進而提昇顯示裝置之開口率。

上述實施例僅係為了方便說明而舉例而已，本發明所主張之權利範圍自應以申請專利範圍所述為準，而非僅限於上述實施例。

五、中文發明摘要：

本發明係有關於一種薄膜電晶體之製備方法，其係藉由兩道光罩製程來定義出源極和汲極，而使薄膜電晶體通道長度(L)能夠降低至 1.5 至 $4.0 \mu m$ 之間。由於薄膜電晶體的通道長度(L)降低，所以 I_{on} 電流就可以增加。相對的，通道寬度(W)亦可降低，而縮小薄膜電晶體元件面積，進而提高開口率。

六、英文發明摘要：

A method for manufacturing a thin film transistor (TFT) is disclosed. The method is achieved by forming and defining a source and a drain of a thin film transistor through two lithography processes cycles so that the channel length (L) of the thin film transistor can be reduced to 1.5 to $4.0 \mu m$. Besides, the I_{on} current of the thin film transistor is increased as the channel length (L) is decreased. Therefore, the area of the thin film transistor is decreased as the channel width (W) is decreased. Thus, the aperture ratio of the TFT-LCD can be increased due to the decreased area of the thin film transistor.

十、申請專利範圍：

1. 一種薄膜電晶體之製造方法，包括以下步驟：

(A) 提供一基板；

5 (B) 於該基板上連續形成一圖案化第一金屬層、一圖案化半導體層、以及一第二金屬層，該圖案化第一金屬層係包含閘極；

(C) 於該第二金屬層上形成一圖案化之第一光阻層，其中部分該第一光阻層位於該第一金屬層一側邊之上方；

10 (D) 於該第二金屬層上形成一圖案化之第二光阻層，其中，部分該第二光阻層位於該第一金屬層相對該側邊之另一側邊的上方；

(E) 移除未被該第一光阻層與該第二光阻層覆蓋之該第二金屬層；以及

15 (F) 移除該第一光阻層與該第二光阻層以曝露出圖案化之該第二金屬層，而形成一源極以及一汲極。

2. 如申請專利範圍第1項所述之方法，更包含：(G) 於該圖案化第二金屬層上形成一保護層。

3. 如申請專利範圍第2項所述之方法，更包含：(H) 移除該圖案化第二金屬層上之部分該保護層，以形成一接觸窗。

20 4. 如申請專利範圍第1項所述之方法，更包含形成一絕緣層介於該圖案化第一金屬層與該圖案化半導體層之間。

5. 如申請專利範圍第1項所述之方法，更包含形成一
圖案化歐姆接觸層於該第二金屬層與該圖案化半導體層之
間。

6. 如申請專利範圍第5項所述之方法，其中於步驟(E)
5 中更包括移除未被該第一光阻層和該第二光阻層覆蓋之該
圖案化歐姆接觸層。

7. 申請專利範圍第1項所述之方法，其中該源極與該
汲極之間的通道長度介於 $1.5\mu m$ 至 $4.0\mu m$ 之間。

8. 申請專利範圍第1項所述之方法，其中該源極與
10 該汲極之間的通道長度介於 $1.5\mu m$ 至 $2.5\mu m$ 之間。

9. 如申請專利範圍第1項所述之方法，其中該第一光
阻層為正型光阻，該第二光阻層為正型光阻。

10. 如申請專利範圍第1項所述之方法，其中該第一光
阻層為負型光阻，該第二光阻層為負型光阻。

15 11. 一種薄膜電晶體之製造方法，包括以下步驟：

(A) 提供一基板；

(B) 於該基板上連續形成一圖案化第一金屬層、一半
導體層、以及一第二金屬層，該圖案化第一金屬層係包含
閘極；

20 (C) 於該第二金屬層上形成圖案化之第一光阻層，其
中部分該第一光阻層位於該圖案化第一金屬層一側邊之上
方；

(D) 利用一半透光光罩於該第二金屬層上形成一圖案
化之第二光阻層，該第二光阻層具有兩種不同厚度，其中

18. 如申請專利範圍第11項所述之方法，其中該源極與該汲極之間的通道長度介於 $1.5\mu m$ 至 $4.0\mu m$ 之間。

19. 如申請專利範圍第11項所述之方法，其中該源極與該汲極之間的通道長度介於 $1.5\mu m$ 至 $2.5\mu m$ 之間。

5 20. 如申請專利範圍第11項所述之方法，其中該第一光阻層為正型光阻，該第二光阻層為正型光阻。

21. 一種薄膜電晶體之製造方法，包括以下步驟：

(A)提供一基板；

10 (B)於該基板上連續形成一圖案化第一金屬層、一圖案化半導體層、以及一第二金屬層，該圖案化第一金屬層係包含開極；

(C)於該第二金屬層上形成一圖案化之第一光阻層，其中部分該第一光阻層位於該第一金屬層一側邊之上方；

(D)移除未被該第一光阻層覆蓋之該第二金屬層；

15 (E)於該基板上、該第二金屬層上、與該第一光阻層上形成一透明導電層；

(F)於該透明導電層上形成一圖案化之第二光阻層，其中，部分該第二光阻層位於該第一金屬層相對該側邊之另一側邊的上方；

20 (G)移除未被該第二光阻層覆蓋之該透明導電層；以及

(H)移除該第一光阻層與該第二光阻層以曝露出圖案化之該第二金屬層與該透明導電層，而形成一源極、一汲極與一畫素電極。

22. 如申請專利範圍第21項所述之方法，更包含：(I) 於該圖案化第二金屬層上形成一保護層。

23. 如申請專利範圍第21項所述之方法，更包含形成一絕緣層介於該圖案化第一金屬層與該圖案化半導體層之間。
5

24. 申請專利範圍第21項所述之方法，其中該源極與該汲極之間的通道長度介於 $1.5\mu m$ 至 $4.0\mu m$ 之間。

25. 如申請專利範圍第21項所述之方法，其中該源極與該汲極之間的通道長度介於 $1.5\mu m$ 至 $2.5\mu m$ 之間。

10 26. 如申請專利範圍第21項所述之方法，其中該第一光阻層為正型光阻，該第二光阻層為正型光阻。

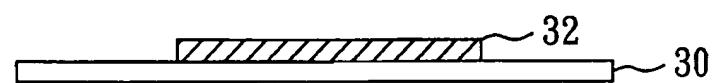


圖 1a

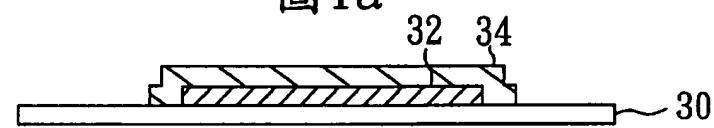


圖 1b

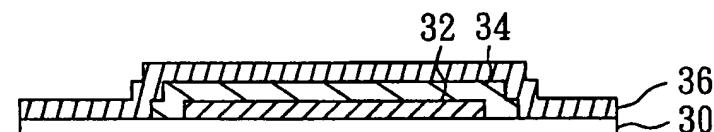


圖 1c

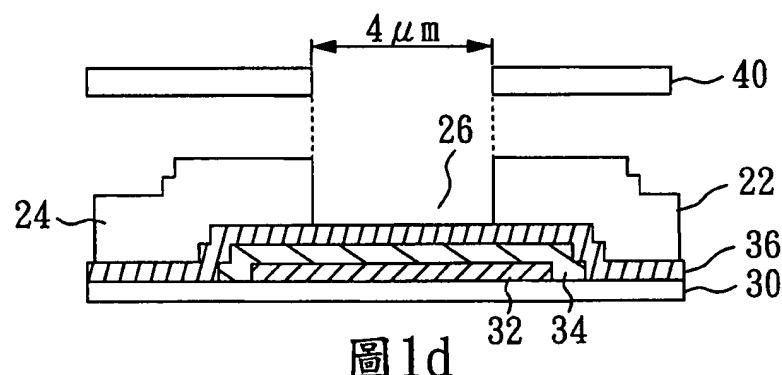


圖 1d

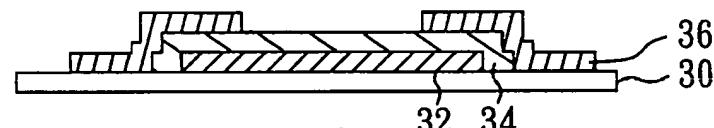


圖 1e

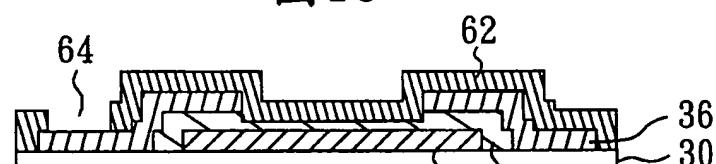


圖 1f

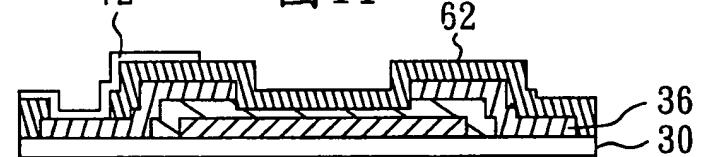


圖 1g

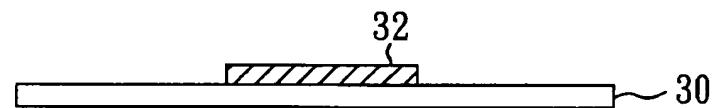


圖 2a

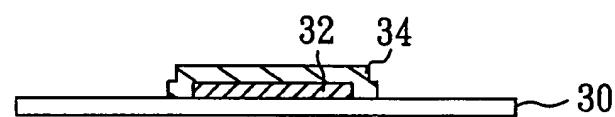


圖 2b

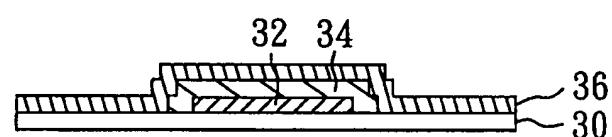


圖 2c

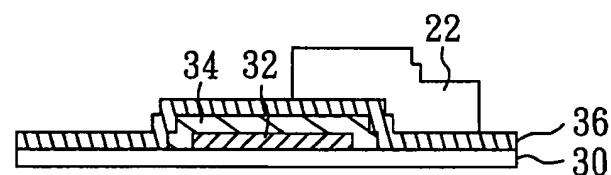


圖 2d

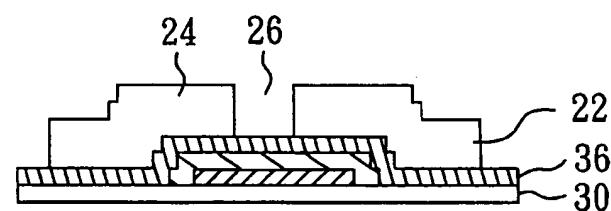


圖 2e

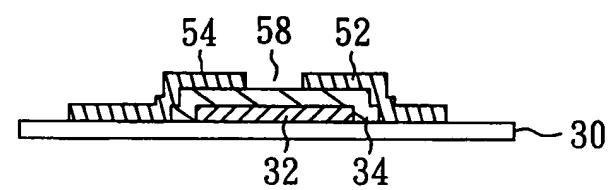


圖 2f

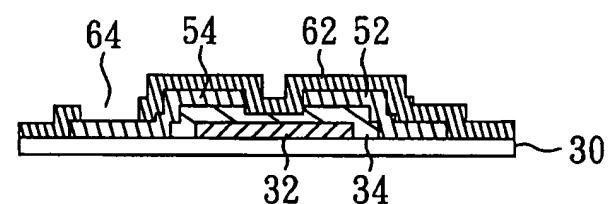


圖 2g

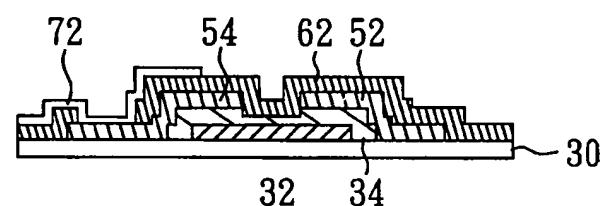


圖 2h

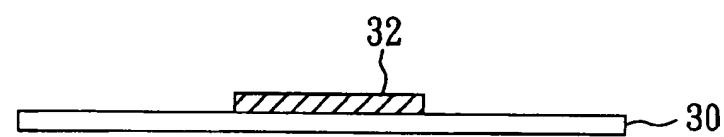


圖 3a

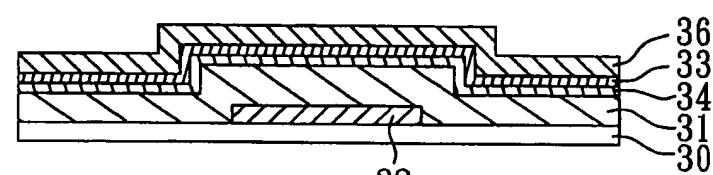


圖 3b

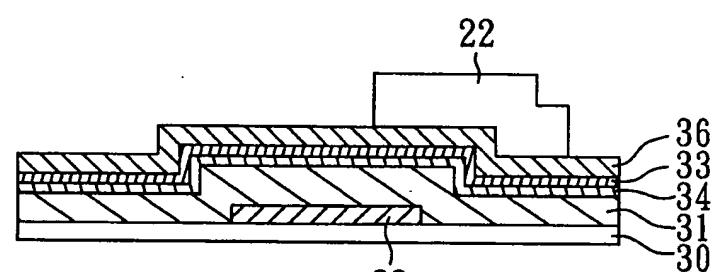


圖 3c

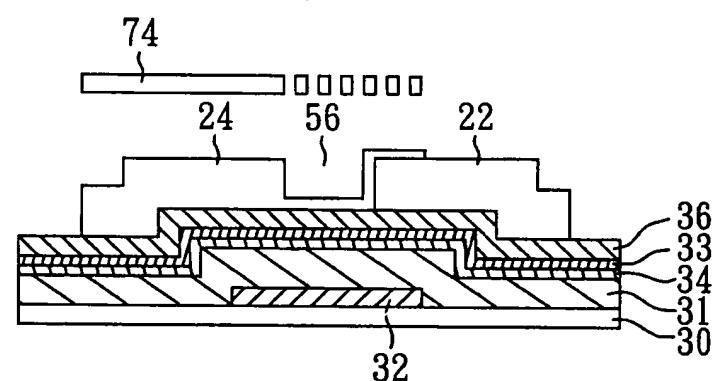


圖 3d

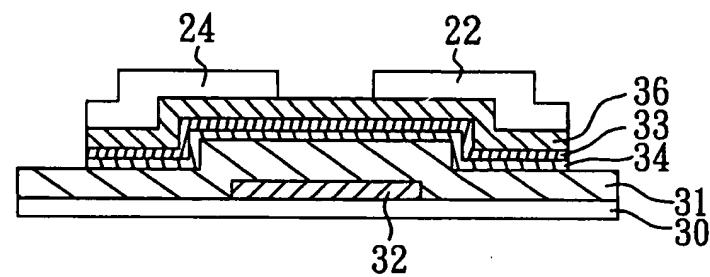


圖 3e

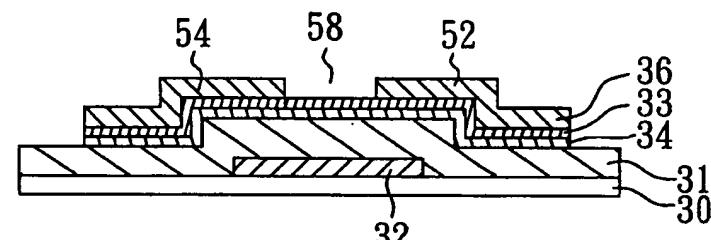


圖 3f

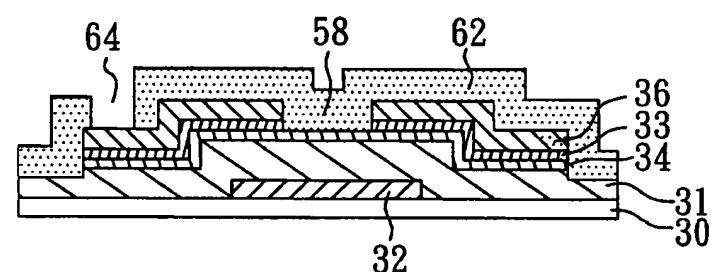


圖 3g

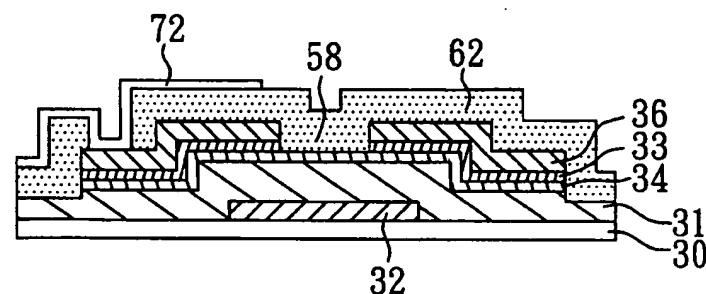


圖 3h

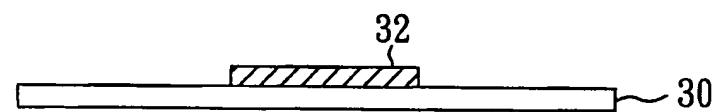


圖 4a

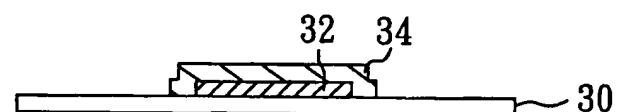


圖 4b

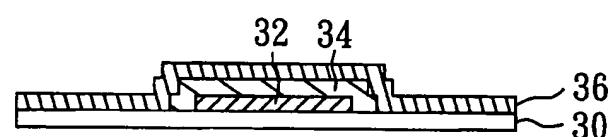


圖 4c

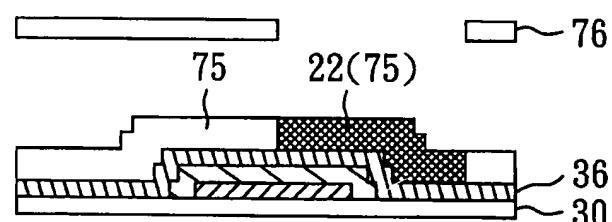


圖 4d

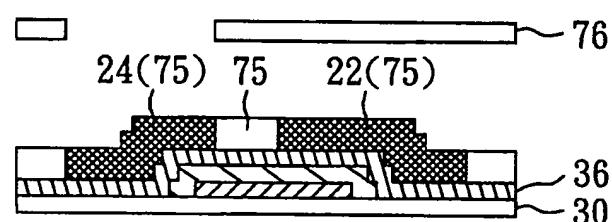


圖 4e

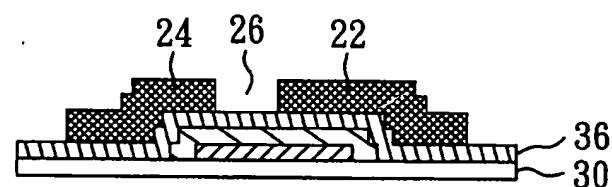


圖 4f

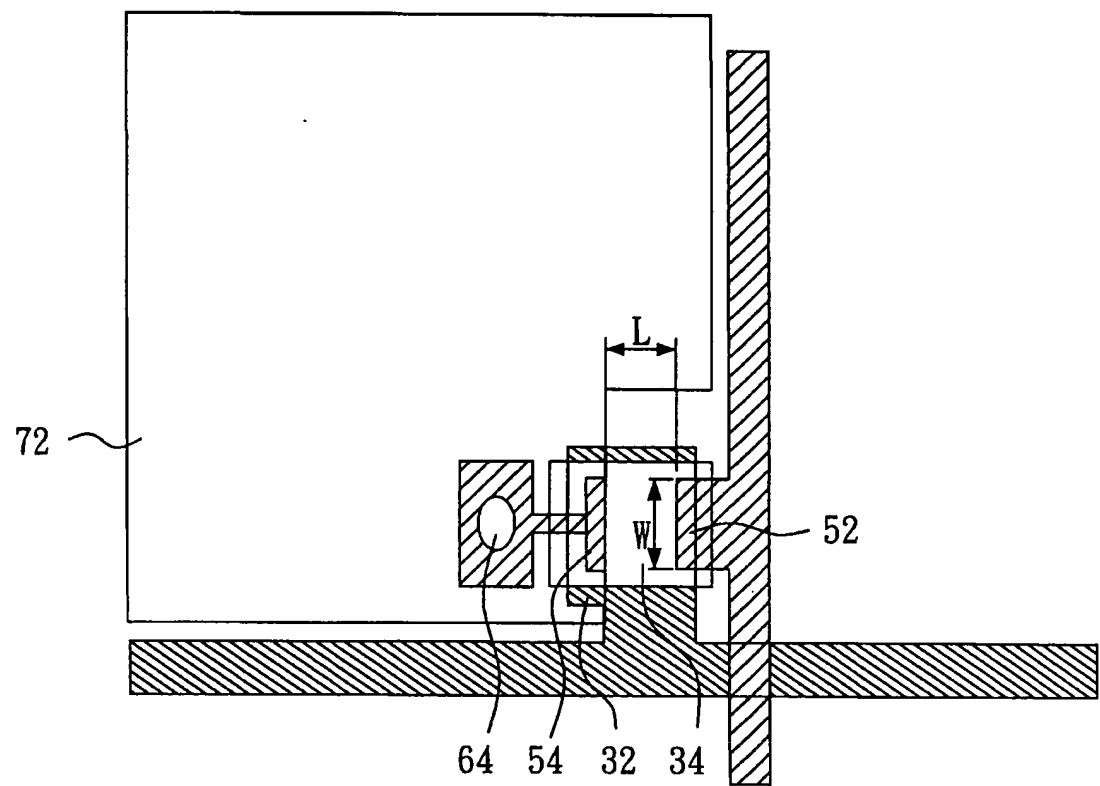


圖 6

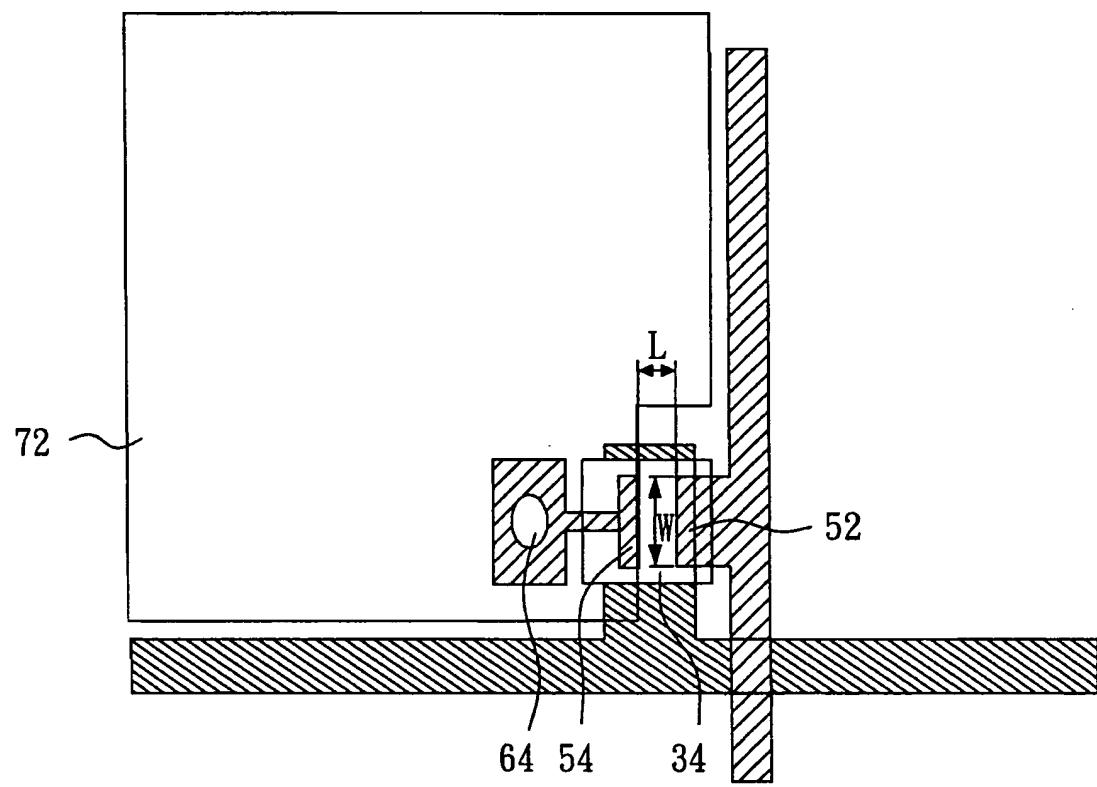


圖 7

七、指定代表圖：

(一)本案指定代表圖為：圖 (2h)。

(二)本代表圖之元件符號簡單說明：

30	基板	32	第一金屬層
34	半導體層	36	第二金屬層
22	第一光阻層	24	第二光阻層
26	通道	52	源極
54	汲極	58	通道
62	保護層	64	接觸窗
72	透明導電層		

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

「無」

98年11月6日修(更)正替換頁

【圖式簡單說明】

圖 1a 到 1g 種本發明一比較例之方法流程示意圖。

圖 2a 至 2h 種本發明一實施例之方法流程示意圖。

圖 3a 至 3h 種本發明另一實施例之方法流程示意圖。

5 圖 4a 至 4f 種本發明又一實施例之方法流程示意圖。

圖 5e 至 5j 種本發明又一實施例之方法流程示意圖。

圖 6 種圖 1g 之俯視圖。

圖 7 種圖 2h 之俯視圖。

10 【主要元件符號說明】

22	第一光阻層	24	第二光阻層
26	通道	30	基板
31	絕緣層	33	歐姆接觸層
32	第一金屬層	34	半導體層
36	第二金屬層	52	源極
54	汲極	56	凹槽
58	通道	62	保護層
64	接觸窗	72	透明導電層
74	第四半透光光罩	75	負型光阻層 75
76	第一光罩	77	第二光罩

厚度較大之部分該第二光阻層位於該第一金屬層之一側邊對邊上方，厚度較小之部分該第二光阻層連接該第一光阻層與厚度較大之部分該第二光阻層；

5 (E) 移除未被該第一光阻層與該第二光阻層覆蓋之該第二金屬層與該半導體層；

(F) 連續移除部分該第一光阻層與部分該第二光阻層以曝露出部分該第二金屬層；以及

10 (G) 連續移除曝露出之部分該第二金屬層以及剩餘之該第一光阻層與剩餘之該第二光阻層，以曝露出圖案化之該第二金屬層，而形成一源極以及一汲極。

12. 如申請專利範圍第11項所述之方法，復包含：(H)於該圖案化第二金屬層上形成一保護層。

13. 如申請專利範圍第12項所述之方法，復包含：(I)移除該圖案化第二金屬層上之部分該保護層，以形成一接觸窗。

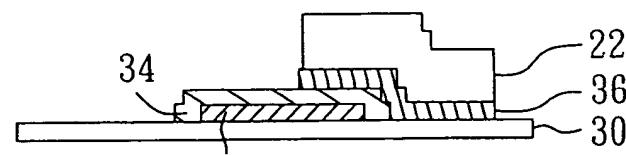
14. 如申請專利範圍第11項所述之方法，更包含形成一絕緣層介於該圖案化第一金屬層與該半導體層之間。

15. 如申請專利範圍第11項所述之方法，更包含形成一歐姆接觸層於該第二金屬層與該半導體層之間。

20 16. 如申請專利範圍第15項所述之方法，其中於步驟(E)及步驟(G)中更包括移除未被該第一光阻層和該第二光阻層覆蓋之該歐姆接觸層。

17. 如申請專利範圍第11項所述之方法，其中於步驟(D)中之該第二光阻層係部分覆蓋於該第一光阻層上方。

99年7月2日修(更)正替換頁



32 圖 5e

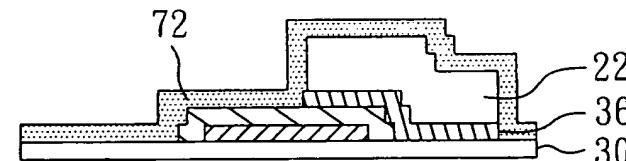


圖 5f

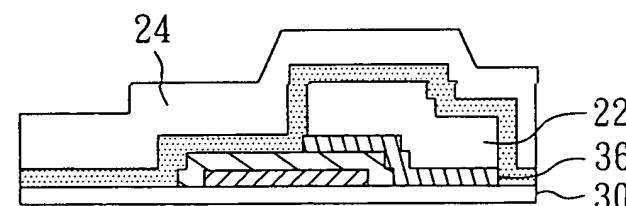


圖 5g

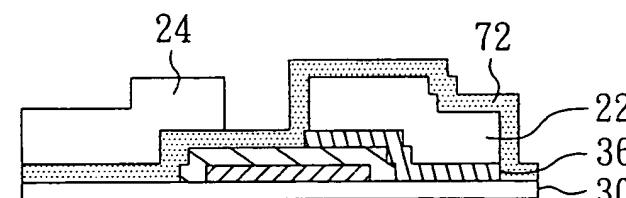


圖 5h

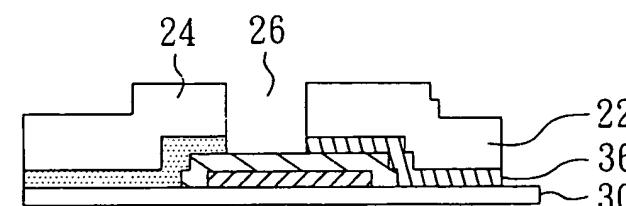


圖 5i

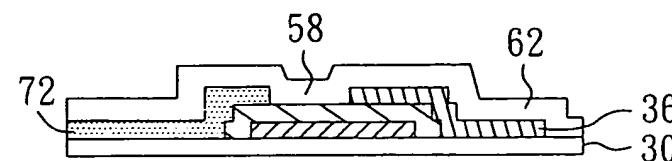


圖 5j