



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2014년12월15일

(11) 등록번호 10-1472769

(24) 등록일자 2014년12월09일

(51) 국제특허분류(Int. Cl.)

G11C 17/00 (2006.01) G11C 16/34 (2006.01)

(21) 출원번호 10-2009-7025412

(22) 출원일자(국제) 2008년05월19일

심사청구일자 2013년05월16일

(85) 번역문제출일자 2009년12월04일

(65) 공개번호 10-2010-0028030

(43) 공개일자 2010년03월11일

(86) 국제출원번호 PCT/US2008/064111

(87) 국제공개번호 WO 2008/154127

국제공개일자 2008년12월18일

(30) 우선권주장

11/759,028 2007년06월06일 미국(US)

(56) 선행기술조사문헌

US5745011 A

US7286000 B1

US20060083095 A1

US20080065929 A1

전체 청구항 수 : 총 21 항

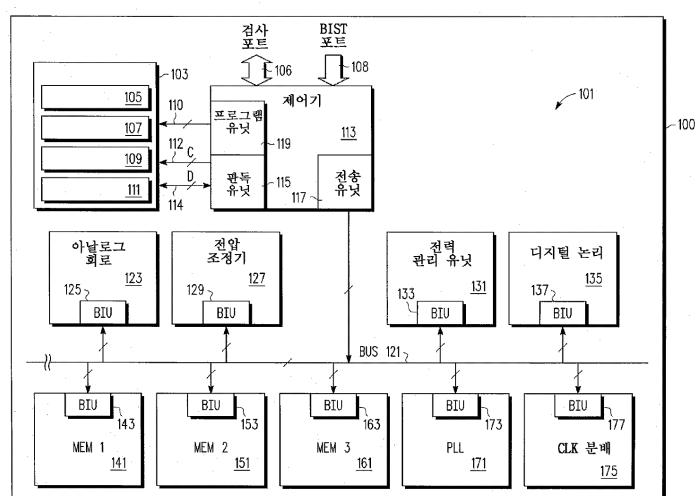
심사관 : 한선경

(54) 발명의 명칭 집적 회로의 1회 프로그램 가능 엘리먼트 시스템

(57) 요 약

수리할 수 있는 메모리 어레이(301)를 가진 시스템은 제조 후 검출된 하나 또는 그 이상의 결함 메모리 셀들을 대체하기 위한 리던던트 메모리 셀들을 가진다. 시스템은 또한 동작 전류, 동작 전압, 저항, 캐패시턴스, 타이밍 특성들 및 동작 모드 같은 하나 또는 그 이상의 동작 파라미터들을 조절할 수 있는 회로를 가진 비메모리 어레이 회로들을 포함한다. 한 세트의 1회 프로그램 가능 엘리먼트들(105)은 동작 파라미터들을 변형하고 리던던트 메모리 셀들로 결함 메모리 셀들을 대체하기 위한 정보를 선택적으로 저장하기 위해 사용될 수 있다.

대 표 도



특허청구의 범위

청구항 1

시스템에 있어서,

제조 후 검출된 결합 메모리 셀들을 대체하기 위한 리던던트 메모리 셀들을 포함하는 메모리 어레이 회로;

비메모리 어레이 회로로서, 제조 후 동작 전류, 동작 전압, 레지스턴스, 캐패시턴스, 컨덕턴스, 인덕턴스, 주파수, 타이밍 특성, 투닝 특성, 한 세트의 회로들로부터 하나의 회로의 선택, 및 동작 모드로 이루어진 그룹의 동작 파라미터를 조절하기 위한 회로를 포함하는, 상기 비메모리 어레이 회로;

1회 프로그램 가능 엘리먼트로서, 제조 후 상기 시스템을 변형하기 위한 정보를 저장하기 위해 프로그램 가능하고, 상기 1회 프로그램 가능 엘리먼트는 제조 후 상기 메모리 어레이 회로 및 상기 비메모리 어레이 회로를 포함하는 회로들의 그룹 중 임의의 하나에 프로그램 가능하게 할당할 수 있고, 상기 1회 프로그램 가능 엘리먼트는 제조 후 검출된 상기 메모리 어레이 회로의 결합 메모리 셀을 대체하는 것과 제조 후 상기 비메모리 어레이 회로의 상기 동작 파라미터를 조절하는 것을 포함하는 그룹 중 임의의 하나에 대한 정보를 저장하기 위하여 프로그램 가능한, 상기 1회 프로그램 가능 엘리먼트; 및

상기 1회 프로그램 가능 엘리먼트에 저장된 프로그래밍된 정보를 수신하기 위하여 상기 1회 프로그램 가능 엘리먼트에 결합된 제어 회로로서, 상기 1회 프로그램 가능 엘리먼트가 프로그램 가능하게 할당된 회로들의 상기 그룹 중 상기 하나에 상기 1회 프로그램 가능 엘리먼트에 저장된 프로그래밍된 정보를 제공하기 위하여 상기 메모리 어레이 회로 및 상기 비메모리 어레이 회로에 결합되는, 상기 제어 회로를 포함하는, 시스템.

청구항 2

제 1 항에 있어서,

버스를 더 포함하고,

상기 제어 회로는 상기 1회 프로그램 가능 엘리먼트에 저장된 정보를 제공하기 위해 상기 버스를 통해 상기 메모리 어레이 회로 및 상기 비메모리 어레이 회로에 결합되는, 시스템.

청구항 3

제 1 항에 있어서,

회로들의 상기 그룹 중 상기 임의의 하나에 상기 1회 프로그램 가능 엘리먼트를 프로그램 가능하게 할당하기 위한 정보를 저장하기 위한 제 2의 1회 프로그램 가능 엘리먼트를 더 포함하는, 시스템.

청구항 4

제 1 항에 있어서,

상기 1회 프로그램 가능 엘리먼트는 퍼즈인, 시스템.

청구항 5

집적 회로에서의 시스템에 있어서,

하나 이상의 결합 메모리 셀들을 대체하기 위해 제조 후 리던던트 메모리 셀들로 수리될 수 있는 하나 이상의 수리 가능한 메모리 어레이 회로들;

하나 이상의 비메모리 어레이 회로들로서, 상기 하나 이상의 비메모리 어레이 회로들의 하나 이상의 동작 파라미터들을 변형함으로써 제조 후 조절될 수 있는, 상기 하나 이상의 비메모리 어레이 회로들; 및

상기 리던던트 메모리 셀들로 상기 하나 이상의 결합 메모리 셀들을 수리하기 위해 상기 하나 이상의 수리 가능한 메모리 어레이 회로들 중 임의의 것에 할당되거나 상기 하나 이상의 동작 파라미터들을 변형하기 위하여 상기 하나 이상의 비메모리 회로들 중 임의의 것에 할당되도록 프로그램 가능한 다수의 1회 프로그램 가능 엘리먼트들을 포함하는, 시스템.

청구항 6

제 5 항에 있어서,

상기 하나 이상의 수리 가능한 메모리 어레이 회로들 및 상기 하나 이상의 비메모리 어레이 회로들에 결합된 버스; 및

상기 다수의 1회 프로그램 가능 엘리먼트들에 결합된 제어 회로를 더 포함하고,

상기 제어 회로는 상기 다수의 1회 프로그램 가능 엘리먼트들에 프로그래밍된 정보를 제공하기 위하여 상기 버스에 결합되는, 시스템.

청구항 7

제 6 항에 있어서,

제어 회로는 데이터 유닛들로 상기 다수의 1회 프로그램 가능 엘리먼트로부터의 상기 정보를 제공하고, 상기 버스상에 제공된 상기 데이터 유닛들은 데이터 유닛이 변형을 위한 정보를 포함하는 상기 하나 이상의 비메모리 어레이 회로들 또는 상기 하나 이상의 수리 가능한 메모리 어레이 회로들 중 지정된 하나를 식별하기 위한 식별자를 각각 포함하는, 시스템.

청구항 8

제 7 항에 있어서,

각각의 데이터 유닛을 위한 상기 식별자는 상기 다수의 1회 프로그램 가능 엘리먼트들에 프로그래밍되는, 시스템.

청구항 9

제 5 항에 있어서,

상기 다수의 1회 프로그램 가능 엘리먼트들 각각은 퍼즐인, 시스템.

청구항 10

제 5 항에 있어서,

상기 하나 이상의 비메모리 어레이 회로들은 클럭 회로를 포함하고, 상기 하나 이상의 동작 파라미터들은 상기 클럭 회로의 클럭 라인의 다수의 지연들 중 지정된 지연을 포함하는, 시스템.

청구항 11

제 5 항에 있어서,

상기 하나 이상의 비메모리 어레이 회로들은 전압 조정기(regulator) 회로를 포함하고,

상기 하나 이상의 동작 파라미터들은 상기 전압 조정기 회로의 전압 조정기에 의해 제공된 조정된(regulated) 전압 레벨을 포함하는, 시스템.

청구항 12

제 5 항에 있어서,

상기 하나 이상의 비메모리 어레이 회로들은 위상 로킹 루프 회로(phase lock loop circuit)를 포함하고, 상기 하나 이상의 동작 파라미터들은 상기 위상 로킹 루프 회로의 위상 로킹 루프의 튜닝 파라미터 또는 타이밍 파라미터를 포함하는, 시스템.

청구항 13

제 5 항에 있어서,

상기 하나 이상의 비메모리 어레이 회로들은 전력(power) 관리 유닛을 포함하고,

상기 하나 이상의 동작 파라미터들은 상기 전력 관리 유닛의 동작 모드, 시스템 동작 전압, 및 시스템 주파수로 이루어진 그룹 중 적어도 하나를 포함하는, 시스템.

청구항 14

제 5 항에 있어서,

상기 하나 이상의 동작 파라미터들은 동작 전류, 동작 전압, 레지스턴스, 캐패시턴스, 컨덕턴스, 인덕턴스, 및 타이밍 특성으로 이루어진 그룹 중 적어도 하나를 포함하는, 시스템.

청구항 15

제 5 항에 있어서,

상기 하나 이상의 비메모리 어레이 회로들은 아날로그 회로 및 디지털 논리 회로로 이루어진 그룹 중 적어도 하나를 포함하고,

상기 그룹의 하나 이상의 동작 파라미터들은 상기 디지털 논리 회로의 디지털 논리의 동작 파라미터 및 상기 아날로그 회로의 아날로그 회로의 동작 파라미터로 이루어진 그룹 중 적어도 하나를 포함하는, 시스템.

청구항 16

제 5 항에 있어서,

상기 다수의 1회 프로그램 가능한 엘리먼트들은 상기 하나 이상의 수리 가능한 메모리 어레이 회로들의 하나 이상의 동작 파라미터들을 변형하기 위해 상기 하나 이상의 수리 가능한 메모리 어레이 회로들 중 임의의 것에 할당되도록 프로그램 가능한, 시스템.

청구항 17

시스템에 있어서,

제조 후 프로그래밍된 리던던시 수리 정보에 따라 결합 회로를 대체하기 위하여 리던던트 회로로 수리할 수 있는 제 1 회로;

제 2 회로로서, 제조 후 프로그래밍된 조절 정보에 따라 상기 제 2 회로의 동작 파라미터를 변형함으로써 조절할 수 있는, 상기 제 2 회로;

다수의 프로그램 가능한 퓨즈들의 세트들로서, 상기 다수의 세트 각각은 상기 제 1 회로 및 상기 제 2 회로를 포함하는 회로들의 그룹 중 임의의 하나에 할당되도록 프로그램 가능한, 상기 다수의 프로그램 가능한 퓨즈들의 세트들; 및

상기 다수의 프로그램 가능한 퓨즈들의 세트들로부터 정보를 수신하기 위하여 상기 다수의 프로그램 가능한 퓨즈들의 세트들에 결합된 제어 회로로서, 상기 제 1 회로에 할당된 상기 다수의 세트들의 프로그램 가능한 퓨즈들로부터 상기 제 1 회로로 프로그래밍된 리던던시 수리 정보를 제공하기 위하여 상기 제 1 회로에 결합되고 상기 제 2 회로에 할당된 상기 다수의 세트들의 프로그램 가능한 퓨즈들로부터 상기 제 2 회로로 프로그래밍된 조절 정보를 제공하기 위하여 상기 제 2 회로에 결합되는, 상기 제어 회로를 포함하는, 시스템.

청구항 18

제 17 항에 있어서,

상기 제 1 회로는 제 1 수리 가능한 메모리 어레이 회로를 더 포함하고 상기 제 2 회로는 제 2 수리 가능한 메모리 어레이 회로를 더 포함하는, 시스템.

청구항 19

제 17 항에 있어서,

상기 제 1 회로는 제 1 수리 가능한 메모리 어레이 회로를 더 포함하고 상기 제 2 회로는 비메모리 어레이 회로를 더 포함하는, 시스템.

청구항 20

제 17 항에 있어서,

상기 다수의 프로그램 가능한 퓨즈들의 세트들 각각은 상기 다수의 프로그램 가능한 퓨즈들의 세트들 각각이 할당된 상기 제 1 회로 및 상기 제 2 회로를 포함하는 회로들의 상기 그룹 중 하나를 식별하는 식별자를 저장하기 위해 프로그램 가능한, 시스템.

청구항 21

제 17 항에 있어서,

버스를 더 포함하고,

상기 제어 회로는 상기 프로그래밍된 리던던시 수리 정보 및 상기 프로그래밍된 조절 정보를 통신하기 위해 상기 버스를 통하여 상기 제 1 회로 및 상기 제 2 회로에 결합되는, 시스템.

명세서

기술 분야

[0001]

본 발명은 일반적으로 집적 회로들 및 특히 1회 프로그램 가능 엘리먼트들을 가진 집적 회로들에 관한 것이다.

배경기술

[0002]

퓨즈들 및 PROM 셀들 같은 1회 프로그램 가능(OTP) 엘리먼트들은 집적 회로의 제조 후 회로를 조절하기 위하여 집적 회로들에 사용된다. 예를 들어, 프로그램 가능 퓨즈는 특정 조건들 동안 집적 회로의 회로를 조절하거나 제조 결함들을 수정하기 위해 사용될 수 있다.

[0003]

OTP 엘리먼트들의 하나의 특정 용도는 메모리 어레이의 결함 셀들을 대체할 때 리던던트 셀들의 사용을 제어하는 수리 정보를 제공하는 것이다. 다른 용도는 아날로그 회로의 캐怯시티브(capacitive) 또는 레지스티브(resistive) 값을 트리밍(trimming)하거나 시스템 부분들을 인에이블링하고 디스에이블링함으로써 아날로그 회로를 동조시키는 것이다. 최근 경향은 동일한 제품이 공통 처리 기술을 통해 다른 제조 설비들에서 제조되는 것이다. 최선의 엔지니어링 노력들에도 불구하고, 각각의 설비가 약간 다른 프로세스를 가질 가능성이 있다. OTP 엘리먼트들의 사용은 각각의 제조 설비에 대한 생산 기능의 독립적인 최적화를 허용한다.

[0004]

집적 회로 기술이 발전함에 따라, 집적 회로 피쳐들(예를 들어, 트랜지스터 게이트 길이)은 감소하였고, 집적 회로에 보다 많은 회로가 구현되게 한다. 집적 회로에 퓨즈 같은 OTP 엘리먼트들을 구현하는 것에 관한 하나의 도전은 트랜지스터 피쳐들 크기의 감소와 거의 동일한 속도로 퓨즈 크기 감소가 진행되지 않는다는 것이다. 따라서, 퓨즈들은 집적 회로 기술이 진보할 때 집적 회로의 보다 큰 상대적 부분을 요구할 수 있다.

[0005]

OTP 엘리먼트들을 사용하는 몇몇 집적 회로들에서, 다른 회로들 각각은 메모리 어레이에 리던던시 수리 정보를 제공하고 예를 들어 트리밍, 동조, 및/또는 타이밍 조절들을 위한 비메모리 어레이 회로들을 위한 비리던던시 정보를 제공하는 전용 OTP 엘리먼트들을 포함한다. 예를 들어, 아날로그 회로의 각각의 구성 가능한 회로는 그 피쳐를 프로그래밍하기 위한 능력을 제공하기 위한 그 자신의 OTP 엘리먼트들을 포함한다. 상기 시스템은 필요할 수 있는 보다 큰 수의 OTP 엘리먼트들을 포함한다.

발명의 상세한 설명

[0006]

필요한 것은 메모리 어레이 회로들 및 비메모리 어레이 회로들 모두를 포함하는 OTP 엘리먼트들을 집적 회로내에 구현하기 위한 개선된 기술이다. 게다가, 단일화된 방법이 메모리 어레이 회로들 및 비메모리 어레이 회로들을 포함하는 회로들의 다중 등급들에 대한 OTP 엘리먼트 솔루션들을 구현하기 위해 사용되는 것은 바람직하다.

[0007]

본 발명은 첨부 도면들을 참조하여 당업자에게 명백한 다수의 목적들, 피쳐들, 및 장점들이 잘 이해될 수 있다.

실시예

[0015]

다른 도면들에서 동일한 참조 부호들의 사용은 만약 주의되지 않으면 동일한 아이템들을 가리킨다. 도면들은

필수적으로 축적적으로 도시되지 않는다.

[0016] 다음은 본 발명을 수행하기 위한 모드의 상세한 설명을 나타낸다. 상기 설명은 본 발명을 예시하는 것이고 제한하는 것이 아니어야 한다.

[0017] 도 1은 집적 회로(100)의 퓨즈 시스템의 블록도이다. 퓨즈 시스템(101)은 다수의 장치들 중 임의의 하나 사이에서 프로그램 가능한 퓨즈를 사용하기 위한 능력을 허용하여, 집적 회로에 퓨즈 시스템의 융통성을 제공한다. 집적 회로(100)는 퓨즈 시스템(101)과 유사한 다른 퓨즈 시스템들을 포함할 수 있다. 이를 시스템들 각각은 메모리 어레이 회로들 또는 비메모리 어레이 회로들 어느 하나, 또는 메모리 어레이 및 비메모리 어레이 회로들의 결합과 연관될 수 있다.

[0018] 시스템(101)은 도 1에 도시된 퓨즈 뱅크들(105, 107, 109, 111)을 가진 다수의 퓨즈 뱅크들을 포함하는 퓨즈 어레이 회로(103)를 포함한다. 시스템(101)은 퓨즈 제어기(113)를 포함한다. 퓨즈 제어기(113)는 라인들(110)을 통해 퓨즈 어레이 회로(103)의 퓨즈들을 프로그래밍하기 위한 프로그램 유닛(119)을 포함한다. 제어기(113)는 어레이 회로(103)의 프로그래밍된 퓨즈들에 저장된 정보를 판독하기 위한 퓨즈 판독 유닛(115)을 포함한다. 제어기(113)는 또한 버스(121)상 장치들에 어레이 회로(103)의 퓨즈들에 저장된 정보를 제공하기 위한 전송 유닛(117)을 포함한다. 일 실시예에서, 프로그램 유닛(119)은 레이저 프로그램 가능 퓨즈들 같은 비전기적으로 프로그램 가능한 OTP 엘리먼트들과 반대로 전기적으로 프로그램 가능한 OTP 엘리먼트들에 사용된다.

[0019] 제어기(113)는 퓨즈 시스템(101)에 액세스하기 위한 검사 포트(106) 및 BIST(Built in Self Test) 포트(108)를 포함한다. 검사 포트(106)는 스캔을 포함하는 다중 방법들을 사용하여 외부적으로 액세스될 수 있다. BIST 포트(108)는 메모리 어레이 회로들 또는 비메모리 어레이 회로들 어느 하나를 검사하기 위해 사용된 온칩 BIST 엔진들에 의해 제어될 수 있다. 비전기 OTP 구현들에 대해, 양쪽 포트들은 레이저 프로그래밍 같은 비전기 수단을 사용하여 실제 프로그래밍 전에 수리 솔루션의 유효화를 위해 사용될 수 있다. 전기 OTP 구현들에 대해, 검사 포트(106)는 시스템 외부 제어를 요구하는 비자동 방법에 사용될 수 있다. BIST 포트(108)는 외부 간섭없이 자동화 방식으로 프로그래밍 정보를 제공하기 위해 사용될 수 있다. 상기 BIST 포트(108)의 사용은 또한 자체-프로그래밍이라 불릴 수 있다.

[0020] 시스템(101)은 퓨즈 어레이 회로(103)(퓨즈 정보)의 프로그래밍된 퓨즈들에 저장된 정보를 사용하는 집적 회로(100)의 다수의 회로들을 포함한다. 예를 들어, 시스템(101)은 집적 회로(100)의 동작을 위한 정보를 저장하기 위해 사용된 3개의 메모리 어레이 회로들(141, 151, 161)을 포함한다. 메모리 어레이 회로들의 예들은 SRAM 메모리들, DRAM 메모리들, 및 비휘발성 메모리들(예를 들어, 플래시, MRAM)을 포함할 수 있다. 상기 메모리 어레이 회로들은 집적 회로(100) 또는 시스템 구현 회로(100)를 위한 메인 메모리, 캐시 메모리, 또는 부트 업 메모리로서 사용될 수 있다. 메모리 어레이 회로들(141, 151, 161)은 메모리 어레이의 결함 위치들에 대한 대체 위치들로서 리던던트 메모리 위치들(예를 들어, 행들, 열들, 블록들, 또는 비트들)을 구현하기 위한 퓨즈 정보를 사용한다. 결함 메모리 어레이를 수리하기 위한 퓨즈 정보는 통상적으로 결함 열들 또는 행들을 식별하기 위한 인코딩된 어ドレス들, 및 결함 열 또는 행이 리던던트 열 또는 행에 의해 대체되는 것을 가리키는 인에이블 신호를 포함한다.

[0021] 메모리 어레이 회로들은 메모리 셀들을 판독 또는 기입하기 위하여 요구된 다양한 타이밍 신호들을 제어하는 하나 또는 그 이상의 메모리 어레이들 및 제어 회로 내에 포함된 메모리 셀들을 포함한다. 예로서, 이를 타이밍 신호들은 비트 라인 사전 충전, 워드 라인 지속기간, 감지 증폭기 인에이블, 감지 증폭기 사전 충전, 및 기입 지속기간의 타이밍 작용을 제어할 수 있다. 이를 동작 파라미터들 각각은 처리에 의해 이루어지고 퓨즈들을 사용하여 제조 후 잠재적으로 제어될 수 있다. 메모리 어레이 회로들의 후제조 동작 파라미터 최적화를 위한 퓨즈들의 다른 가능한 사용들은 메모리 구성의 조절, 전력 절약 모드들, 기준 전압들, 감지 차동 전압들, 비트 라인 유지 세기들, 및 입력 또는 출력 래칭 구조들의 타이밍 제어를 포함한다. 몇몇 실시예들에서, 메모리 어레이 회로들의 단지 작은 부분만이 제어 회로의 후 제조 리던던시 기반 수리 또는 최적화를 요구하리라 생각된다. 따라서, 타이밍 신호들 및 전압 레벨들의 리던던시 기반 수리 및 최적화를 위한 용도에 속하기 때문에 특히 메모리 어레이 회로들에 걸쳐 퓨즈들의 융통성 있는 용도를 가지는 것은 매우 바람직하다.

[0022] 각각의 메모리 어레이 회로(141, 151, 161)는 버스(121)로부터 퓨즈 정보를 수신하기 위하여 버스 인터페이스 유닛(BIU, 각각 143, 153, 163)을 포함한다.

[0023] 시스템(101)은 버스(121)로부터 퓨즈 정보를 수신하기 위한 BIU(173)를 가진 위상 로킹 루프 회로(171)를 포함한다. 회로(171)는 타이밍을 조절하고 위상 로킹 루프의 동작 파라미터들을 튜닝하기 위하여 수신된 퓨즈 정보

를 사용하는 위상 로킹 루프(도시되지 않음)를 포함한다. 상기 동작 파라미터들의 예들은 전압 제어 발진기 회로의 선택, 클럭 펠스 에지들 조절, 내부 용량들 조절, 필터 파라미터들 변형, 장치 컨덕턴스들 변화, 및 클럭 분할기 값들 정의를 포함한다.

[0024] 시스템(101)은 버스(121)로부터 퓨즈 정보를 수신하기 위한 BIU(177)를 가진 클럭 분배 회로(715)를 포함한다. 클럭 분배 회로(175)는 목표된 양의 지연을 가진 접적 회로(100)를 통해 분배된 클럭 생성기들을 프로그래밍하는 것과 같이 타이밍을 조절하고 파라미터들의 동작을 튜닝하기 위해 퓨즈 정보를 사용한다. 몇몇 실시예들에서, 클럭 생성기는 미리 결정된 지연 값들을 선택하게 하는 멀티플렉서를 포함한다. 적당한 지연 값은 멀티플렉서에 대한 선택 신호들을 선택함으로써 결정된다. 이들 선택 값들은 퓨즈 정보를 사용하여 제조 후 제어될 수 있다. 이러한 회로에 대한 퓨즈 정보의 다른 용도들은 기생 부하들의 변형 또는 장치 컨덕턴스들의 변형에 의한 클럭 트리들의 밸런싱을 포함한다.

[0025] 시스템(101)은 버스(121)로부터 퓨즈 정보를 수신하기 위한 BIU(125)를 가지는 아날로그 회로(123)를 포함한다. 아날로그 회로(123)는 퓨즈 정보로 프로그램할 수 있는 회로(예를 들어, 트림 가능한 캐패시터 및 레지스터들)를 가진 접적 회로(100)를 통해 분산된 아날로그 회로를 포함한다. 상기 정보는 전압 레벨들 추적, 전압 레벨들 및 전류들의 크기, 저항 값들, 캐패시턴스 값들, 인덕턴스 값들, 및 아날로그 회로의 성능 또는 정밀도를 개선하기 위한 타이밍 지연들 같은 동작 파라미터들의 후제조 조절에 사용될 수 있다.

[0026] 전압 조정기 회로(127)는 버스(121)로부터 퓨즈 정보를 수신하기 위하여 BIU(129)를 포함한다. 전압 조정기 회로(127)는 하나 또는 그 이상의 전압 조정기들(도시되지 않음)을 포함할 수 있다. 전압 조정기 회로(127)는 이들 조절기들에 의해 제공된 조절된 전압을 조절하기 위하여 퓨즈 정보를 사용한다. 일 실시예에서, 전압 조정기 회로(127)는 전압 조정기들에 제공된 기준 전압들을 조절하기 위하여 퓨즈 정보를 사용한다. 다른 실시예들에서, 전압 조정기 회로(127)는 안정성, 노이즈 면역, 및 정밀도의 개선을 위해 퓨즈 정보를 사용할 수 있다.

[0027] 전력 관리 회로(131)는 버스(121)로부터 퓨즈 정보를 수신하기 위한 BIU(133)를 포함한다. 전력 관리 회로(131)는 시스템 전력 소비를 제어하는 전력 관리 회로를 포함한다. 통상적으로, 이것은 시스템 동작 전압, 시스템 주파수, 및 시스템 전력이 최소화되도록 동작 모드들을 변경하기 위한 능력의 제어를 포함한다. 이들 동작 파라미터들은 퓨즈 정보에 의한 제조 후 잠재적으로 변형될 수 있다.

[0028] 디지털 논리 회로(135)는 버스(121)로부터 퓨즈 정보를 수신하기 위하여 BIU(137)를 포함한다. 디지털 논리 회로(135)는 퓨즈 정보로 프로그래밍할 수 있는 접적 회로(100)에 배치된 디지털 회로를 포함한다. 상기 퓨즈 정보는 제조 후 회로의 동작 파라미터들을 변형하기 위해 사용될 수 있다. 예를 들어, 퓨즈 정보는 제조 다음 동적 논리 블록들에서 키퍼 크기들의 선택적 조절 및 리던던트 논리로 결합 회로들의 후 제조 대체에 사용될 수 있다.

[0029] 일 실시예에서, 퓨즈 정보는 제어기(113)의 프로그래밍 유닛(119)을 통해 제조 후 퓨즈 어레이 회로(103)에서 프로그래밍된다. 일 실시예에서, 프로그래밍 유닛(119)은 검사 포트(106)를 통해 BIST 포트(108)를 사용하여 내부 BIST(Built-in Self-Test) 엔진들 또는 외부 제어 유닛에 결합된다. 결과적으로, 퓨즈 어레이 회로(103)의 프로그램 가능성 및 프로그래밍 유닛(119)을 제어하기 위한 다수의 가능한 방법들이 있다.

[0030] 몇몇 실시예들에서, 시작(예를 들어, 리셋 전력 온) 동안, 퓨즈 어레이 회로(103)의 정보는 데이터 유닛 크기 증加分들(예를 들어, 2, 4, 8, 12, 14, 16, 24, 32, 64 비트들)의 유닛(117)을 전송함으로써 버스(121) 상에 제공된다. 각각의 BIU는 식별 번호를 포함한다. 만약 식별 번호가 데이터 유닛 크기 증加分의 특정 식별자 분야와 매칭하면, BIU는 회로들의 구성들을 위해 그의 각각의 회로에 데이터 유닛의 나머지 부분의 퓨즈 정보를 제공한다.

[0031] 다른 하나의 시간 프로그램 가능 장치 시스템들은 다른 구성들을 가질 수 있다. 예를 들어, 다른 퓨즈 시스템들은 다수의 퓨즈들을 포함할 수 있고 메모리 어레이 회로들은 하나의 버스이고 다른 회로들은 다른 버스들일 수 있다. 상기 실시예에서, 제어기(113)는 부가적인 전송 유닛들(117)을 가질 수 있다. 또한 다른 실시예들에서, 다른 타입들의 회로들 또는 다른 수의 회로 타입들은 퓨즈 시스템의 퓨즈 정보를 수신할 수 있다. 예를 들면, 다른 퓨즈 시스템들은 20개 메모리 어레이 회로들을 포함할 수 있다. 또한 다른 실시예들에서, 도 1에 도시된 다른 회로들은 BIU를 공유할 수 있다. 예를 들어, 몇몇 실시예들에서, 전력 관리 회로(131) 및 전압 조정기 회로(127)는 동일한 BIU로부터 퓨즈 정보를 수신할 수 있다. 또한 다른 실시예들에서, 제어기(113)는 퓨즈 어레이 회로(103)와 유사한 부가적인 퓨즈 어레이들에 결합될 수 있다. 또한, 다른 실시예들에서, 접적 회로(100)는 퓨즈 시스템(101)과 유사한 다중 퓨즈 시스템들을 포함할 수 있다.

[0032] 도 2는 위상 로킹 루프 회로(171)의 블록도이다. 도 2에 도시된 바와 같이, 회로(171)는 위상 로킹 루프(227)

및 구성 유닛(225)을 포함한다. 유닛(225)은 전압 제어 발진기 회로의 선택, 클럭 펄스 에지들의 조절, 내부 캐패시턴스들 조절, 필터 파라미터들 변형, 장치 컨덕턴스들 변경, 및 클럭 분할기 값들의 정의를 위한 위상 로킹 루프(227), 또는 튜닝 또는 타이밍을 조절하는 것과 관련된 임의의 다른 동작 파라미터를 구성한다. 일 실시예에서, 유닛(225)은 라인들(223)을 통해 BIU(173)의 레지스터들(213, 215, 217, 219)의 출력들에 의해 제어되는 하나 또는 그 이상의 통과 게이트들 또는 다른 스위치들을 포함할 수 있다.

[0033] 도시된 실시예에서, 버스(121)는 14 비트 폭 버스이다. 버스의 4개의 비트 라인들(201)은 BIU(173)의 ID 매칭 회로(207)에 접속된다. 두 개의 라인들(203)은 BIU(173)의 레지스터 제어 회로(211)에 접속된다. 8개의 나머지 라인들(205)은 8 비트 데이터 레지스터들(213, 215, 217, 219) 각각에 접속된다. 도시된 실시예에서, 버스(121)는 병렬 디지털 버스이다. 그러나, 다른 실시예들에서, 버스(121)는 다른 구성들, 예를 들어, 직렬, 차동 구성들을 가질 수 있다.

[0034] ID 매칭 회로(207)는 버스 유일 ID 번호를 포함한다. 도시된 실시예에서, ID 번호는 4 비트 폭이다. 리셋 전력 온 동안, 제어기(113)의 전송 유닛(117)은 버스(121)상에 퓨즈 정보를 제공할 때, 만약 ID 매칭 회로(207)가 라인들(201)이 유일한 ID 번호와 매칭한다는 것을 검출하면, ID 매칭 회로(207)는 레지스터 제어 회로(211)에 의해 라인(203)상에 수신된 두 개의 비트들 마다 4개의 레지스터들(213, 215, 217, 219) 중 하나에 8 비트의 정보를 로딩하기 위하여 레지스터 제어 회로(211)를 제어한다. 예를 들어, 만약 라인들(203)이 "01"을 제공하면, 레지스터 제어 회로(211)는 그 레지스터와 연관된 기입 인에이블 라인들(221)의 기입 인에이블 라인을 활성화함으로써 레지스터(215)에 라인들(205)의 정보를 로딩한다.

[0035] 도시된 실시예에서, 레지스터들(213, 215, 217, 219)의 각각의 레지스터 위치는 32 비트 구성 유닛(225)을 제어하기 위한 구성 가능한 정보 비트를 나타낸다.

[0036] 일 실시예에서, 레지스터들(213, 215, 217, 219)의 각각의 비트는 디폴트 값으로 포함된다. 만약 퓨즈 정보가 레지스터에 대하여 BIU(173)에 의해 수신되지 않으면, 레지스터들(213, 215, 217, 219)은 디폴트 값들을 유닛(225)에 제공한다. 레지스터(213, 215, 217, 219)가 퓨즈 정보로 프로그래밍될 때, 퓨즈 정보는 디폴트 값들 대신 유닛(225)에 제공된다.

[0037] 따라서, 몇몇 실시예들에서, 단지 하나 또는 두 개의 비트들의 레지스터들(213)은 프로그래밍될 필요가 있다. 상기 경우, 하나 또는 두 개의 비트들을 포함하는 이를 레지스터들(213, 215, 217, 219)은 퓨즈 정보로 기입된다. 레지스터들(213, 215, 217, 219) 중 다른 비기입된 레지스터들은 디폴트 값들을 제공한다.

[0038] 종래 기술 시스템들에서, PLL 회로(171)는 32 퓨즈들을 요구하고, 상기 퓨즈들은 레지스터들(213, 215, 217, 219)의 비트 각각에 대한 것이다. 상기 시스템들에서, 만약 단지 하나의 비트가 조절될 필요가 있으면, 다른 31 퓨즈들은 사용되지 않는다. 그러나, 여기에 기술된 실시예들에서, 조절될 비트를 가진 레지스터(213, 215, 217, 219)가 기입된다. 따라서, 퓨즈 어레이 회로(103)의 단지 14 퓨즈들(데이터에 대해 8 퓨즈들, ID 매칭 식별기에 대해 4개의 퓨즈들, 및 레지스터 제어 회로(211)에 대한 라인들(203)에 제공된 정보를 위한 두 개의 퓨즈들)은 위상 로킹 루프(227)를 프로그래밍하기 위해 필요하다.

[0039] 상기 실시예에 의해 도시된 바와 같이, 도 1의 퓨즈 시스템은 제어기(113)에 결합된 회로들에 의해 공유될 퓨즈 어레이 회로(103)의 퓨즈들을 인에이블한다. 도 1의 시스템에서, 퓨즈는 필요할 때 임의의 회로에 할당될 수 있다. 따라서, 접속 회로(100)를 프로그래밍하기 위해 필요한 퓨즈들의 수는 종래 기술 퓨즈 구현 방법들에 비해 감소될 수 있다.

[0040] 다른 실시예들은 다른 수의 버스(121) 라인들을 포함할 수 있다. 또한, 다른 실시예들은 라인들(201, 203, 및/ 또는 205)에 대한 다른 수의 라인들을 포함할 수 있다. 게다가, 다른 실시예들은 퓨즈 정보를 사용하여 회로를 프로그래밍하기 위한 다른 회로를 구현할 수 있다.

[0041] 도 3은 수리 가능한 메모리 어레이 회로(141)의 블록도이다. 메모리 어레이 회로(141)는 정보를 저장하기 위한 메모리 셀들(301)의 어레이를 포함한다. 어레이(301)의 정보는 제어 논리(309) 및 감지 증폭기(307)에 어드레스들을 제공함으로써 메모리 어레이(301)에 기입 및 그로부터 판독된다. 메모리 어레이 회로(141)는 리던던트 셀들을 포함하고, 도시된 실시예에서 리던던트 컬럼(305) 및 리던던트 로우(303)로서 구현되지만, 다른 실시예들에서 다른 구성들로 구현될 수 있기 때문에 수리할 수 있다. 예를 들어, 리던던트 셀들은 제 2 어레이로 구현될 수 있다. 회로(141)는 어레이(301)의 컬럼이 리던던트 컬럼(305)으로 대체되고 어레이(301)의 로우가 리던던트 로우(303)로 대체되는 것을 결정하기 위한 리던던시 논리(311)를 포함한다.

[0042] 일 실시예에서, 리던던시 논리(311)는 로우 수리 데이터 레지스터(321) 및 컬럼 수리 데이터 레지스터(323)의

정보에 의해 제어되는 통과 게이트들 또는 다른 타입의 스위치들을 포함한다. 이를 스위치들은 어레이(301)의 결합 로우 또는 컬럼에 대한 어드레스들이 리던던트 로우 또는 컬럼에 액세스하도록 제어된다. 일 실시예에서, 리던던트 로우(303)는 레지스터(321)에 기입된 퓨즈 정보에 의해 식별된 어레이(301)의 로우를 대체한다. 리던던트 컬럼(305)은 레지스터(323)에 기입된 퓨즈 정보에 의해 식별된 어레이(301)의 컬럼을 대체한다. 만약 퓨즈 정보가 레지스터들(321, 323)에 기입되지 않으면, 그의 레지스터들은 대체가 필요하지 않다는 것을 가리키는 디폴트 값들을 제공할 것이다. 메모리 어레이 회로에서 리던던트 셀들의 사용을 프로그래밍하기 위해 사용된 퓨즈 정보는 리던던시 정보 타입이다.

[0043] 메모리 어레이 회로(141)의 동작 파라미터들은 또한 버스(121) 상에 수신된 퓨즈 정보에 의해 조절될 수 있다. 예로서, 타이밍 신호들은 비트 라인 사전 충전, 워드 라인 지속 기간, 감지 증폭기 인에이블, 감지 증폭기 사전 충전, 및 기입 지속기간의 타이밍 작용을 제어하기 위해 조절될 수 있다. 이를 작용들 각각은 처리에 의해 영향을 받고 퓨즈들을 사용하여 제조 후 잠재적으로 제어될 수 있다. 메모리 회로(141)의 후 제조 동작 파라미터 최적화를 위한 퓨즈들의 다른 가능한 용도들은 메모리 구성, 전력 절약 모드들, 기준 전압들, 감지 차동 전압들, 비트 라인 키퍼 세기들, 및 입력 또는 출력 래칭 구조들의 타이밍 제어의 조절을 포함한다. 이를 파라미터들은 목표된 메모리 동작 성능이 달성되도록 예기되지 않은 설계 마진들 또는 예상되지 않은 처리 변수를 수정하기 위해 조절될 수 있다. 이를 조절들은 레지스터(325 또는 327) 중 하나에 퓨즈 정보를 기입함으로써 이루어진다. 튜닝 레지스터들(325, 327)의 정보는 파라미터들이 조절되는 것을 제어한다. 레지스터들(325, 327) 각각은 퓨즈 정보가 이를 레지스터들에 기입되지 않으면 디폴트 값들을 제공한다.

[0044] BIU(143)는 라인들(331)을 통해 4개의 라인들의 퓨즈 정보를 수신하는 ID 매칭 회로(317)를 포함한다. 레지스터 제어 회로(319)는 라인들(333)을 통해 2 비트의 퓨즈 정보를 수신한다. 레지스터들(321, 323, 325, 327) 각각은 버스(121)로부터 8 비트의 정보를 수신하기 위해 라인들(335)에 접속된다.

[0045] ID 매칭 회로(317) 및 레지스터 제어 회로(319)는 ID 매칭 회로(207) 및 레지스터 제어 회로(211)가 레지스터들(213, 215, 217, 219)에 정보를 기입하기 위해 동작할 때 라인들(335)로부터 레지스터들(321, 323, 325, 327) 중 하나로 퓨즈 정보를 기입하기 위하여 유사한 방식으로 동작한다.

[0046] 도시된 실시예에서, 퓨즈 어레이 회로(103)의 퓨즈 정보는 메모리 어레이(301)의 로우 및 컬럼 둘 다를 수리하기 위해 사용될 수 있다. 일 실시예에서, 제 1 퓨즈 데이터 유닛은 레지스터(321)에 결합 로우의 표시를 기입하기 위하여 유닛(117)에 의해 버스(121) 상에 제공한다. 상기 데이터 유닛은 퓨즈 정보가 메모리 어레이 회로(141)를 위한 것을 가리키는 ID 식별자를 라인들(331)에 포함한다. 버스(121)상 정보는 레지스터(321)가 라인들(335)로부터 퓨즈 정보로 기입되는 것을 가리키는 값들을 라인들(333) 상에 포함한다. 퓨즈 정보의 다른 데이터 유닛은 퓨즈 정보가 메모리 어레이 회로(141) 및 컬럼 수리 레지스터(323)를 위한 것인 것을 가리키는 버스(121)상에 추후 배치된다. 메모리 동작 파라미터들이 튜닝될 필요가 있을 때, 튜닝 레지스터들(325, 327)은 레지스터들(321, 323)과 유사한 방식으로 기입될 수 있다.

[0047] 만약 프로그래밍이 시작 동안 메모리 어레이 회로(141)에 필요하지 않으면, 레지스터들(321, 323, 324, 또는 327) 중 어느 것도 퓨즈 정보로 기입되지 않는다. 따라서, 이를 레지스터들은 디폴트 값들을 제공한다.

[0048] 종래 기술 집적 회로들과 반대로, 도 3의 실시예에서, 리던던시 수리 및 비 리던던시 수리 퓨즈 정보 둘 모두는 메모리 어레이 회로(141)에 제공될 수 있다. 이것은 퓨즈들이 특정 메모리 회로의 리던던시 수리 및 비리던던시 수리 정보(예를 들어, 타이밍 및 튜닝 정보)를 위하여 공유되도록 하는 것뿐 아니라, 퓨즈 어레이가 집적 회로의 메모리 어레이 회로들 및 다른 비메모리 어레이 회로들(회로들 123, 127, 131, 135, 175, 171) 사이에 사용되게 한다. 메모리 어레이 및 비메모리 어레이 회로들 사이에서 퓨즈들(또는 다른 타입의 OTP 엘리먼트들)을 "공유"하기 위한 이런 능력은 퓨즈 구현시 용통성을 제공할 수 있다. 상기 용통성은 퓨즈 용도가 공유될 수 없는 종래 기술 시스템들에 비해 필요한 퓨즈들의 수를 궁극적으로 감소킬 수 있다. 이것은 집적 회로들의 트랜지스터 피쳐 크기의 크기 감소와 거의 동일한 비율로 퓨즈 크기 감소가 진척되지 않기 때문에 퓨즈들을 사용하는 시스템들에 특히 중요하다.

[0049] 다른 실시예들에서, 각각의 메모리 회로는 다중 BIU들을 포함할 수 있다. 예를 들어, 하나의 BIU는 리던던시 퓨즈 정보를 수신하기 위해 사용될 수 있고, 다른 BIU는 비 리던던시(예를 들어, 타이밍, 튜닝) 정보를 수신하기 위해 사용될 수 있다.

[0050] 도 4는 클럭 분배 회로(175)의 일 실시예의 블록도를 도시한다. 클럭 분배 회로(175)는 집적 회로(100) 도처에 배치된 다수의 클럭 재생 회로들(409, 421, 423, 425, 427)을 포함한다. 클럭 재생 회로(175)는 집적 회로

(100)의 다양한 위치들에서 클럭 신호를 프로그램 가능하게 지연하기 위한 능력을 집적 회로(100)에 제공한다.

[0051] 클럭 재생 회로(409)는 멀티플렉서(419) 및 상기 멀티플렉서(419)의 입력에 각각 결합된 4개의 다른 지연 엘리먼트들(D1, D2, D3, D4)을 포함한다. 각각의 지연 엘리먼트는 클럭 입력에 결합된다. 4개의 지연 엘리먼트들 각각은 다른 지연 길이를 가진다. 어느 멀티플렉서(419)의 입력이 선택되느냐에 따라, 클럭 아웃(1)은 다른 지연을 가진 클럭 신호를 제공한다. 회로들(421, 423, 425, 427)은 회로(409)와 유사한 방식으로 구성된다.

[0052] 각각의 재생 회로(409, 421, 423, 425, 427)의 멀티플렉서 선택 입력은 10 비트 투닝 레지스터(403) 중 두 개의 비트들에 결합된다. 따라서, 각각의 클럭 생성 회로에 의해 제공된 지연은 BIU(177)의 레지스터(403)에 퓨즈 정보를 기입하여 프로그래밍할 수 있다. 일 실시예에서, 만약 퓨즈 정보가 레지스터(403)에 기입되지 않으면, 레지스터(403)는 디폴트 값을 제공할 것이다.

[0053] BIU(177)는 레지스터 제어 회로(211, 319)를 포함하지 않는 BIU들(143, 173)과 다르다. 따라서, 도시된 실시예에서, BIU들(143, 173)을 가진 레지스터 제어 회로들(211, 319)에 제공된 2 비트의 퓨즈 정보는 구성 회로들을 위한 프로그래밍 데이터로서 사용될 수 있다. 따라서, 레지스터(403)는 10 비트인 반면 BIU(143) 및 BIU(173)의 레지스터들은 8 비트이다. 레지스터(403)에 대한 기입은 ID 매칭 회로(401)에 의해 제어된다.

[0054] 따라서, 도시된 실시예에서, 시스템은 BIU가 어떻게 구현되는가에 따라 제어기(113)에 의해 제공된 동일한 길이 데이터 유닛들이 다른 크기들의 프로그래밍 정보를 포함할 수 있는 경우 구현될 수 있다.

[0055] 도 5는 퓨즈 어레이 회로(103)의 블록도를 도시한다. 퓨즈 어레이 회로(103)는 퓨즈 뱅크들(105, 107, 111)을 가진 다수의 퓨즈 뱅크들을 포함한다. 도시된 실시예에서, 각각의 퓨즈 뱅크는 14 퓨즈들(F0-F13)의 퓨즈 어레이(510)를 포함한다. 각각의 퓨즈 뱅크는 각각의 어레이의 퓨즈 상태를 결정하기 위하여 퓨즈 검출 회로(512)를 포함한다. 각각의 뱅크의 퓨즈 검출 회로(512)는 퓨즈 뱅크 선택기(507)에 결합된다. 퓨즈 뱅크 선택기(507)는 각각의 뱅크로부터 퓨즈 정보를 판독하기 위해 사용된다. 일 실시예에서, 선택기(507)는 제어 라인들(112)상 퓨즈 뱅크 어드레스를 수신한 것에 응답하여 데이터 라인들(114)상 뱅크로부터 14 비트들을 제공한다.

[0056] 퓨즈 어레이 회로(103)는 또한 퓨즈 뱅크들의 퓨즈들을 프로그래밍하기 위한 프로그래밍 제어기(501)를 포함한다. 퓨즈 어레이 회로(103)는 또한 퓨즈 뱅크들의 퓨즈들 상태를 검출하는 퓨즈 검출 회로들(512)을 제어하는 검출 회로 제어기(503)를 포함한다.

[0057] 다른 실시예들에서, 퓨즈 어레이 회로는 다른 구성들을 가질 수 있다. 또한, 여기서 다른 타입들의 OTP 엘리먼트들(예를 들어, PROM 셀들)이 사용되는 경우, 이를 엘리먼트들을 구현하는 회로들은 다른 구성들을 가질 수 있다.

[0058] 일 실시예에서, 리셋 전력 온 중에, 제어기(113)는 제어 라인들(112)상 퓨즈 뱅크의 어드레스를 제공함으로써 각각의 퓨즈 뱅크로부터 정보를 판독하고, 여기서 퓨즈 뱅크에 저장된 퓨즈 정보는 데이터 라인들(114) 상에 제공된다. 그 다음 제어기(113)의 유닛(117)은 14 비트 데이터 유닛으로서 버스(121)상 퓨즈 정보를 제공한다. 버스(121)상 회로의 BIU의 각각의 ID 매칭 회로는 그의 버스 유일한 ID와 매칭하는 데이터 유닛의 ID 필드를 찾는다. 만약 BIU가 매칭을 발견하면, 버스상 퓨즈 정보는 BIU의 레지스터들에 로딩된다. 제어기(113)는 퓨즈 정보 모두가 버스(121) 상에 제공될 때까지 정보를 제공하는 것을 유지한다. 다른 실시예들에서, 다른 제어기들은 다른 방법들에 의해 버스상 회로들에 퓨즈 정보를 제공할 수 있다.

[0059] 도 6은 어레이 회로(103)의 다른 퓨즈 뱅크들에 저장될 수 있는 정보의 다른 필드들을 도시한다. 도 6에 도시된 바와 같이, 시스템은 다른 회로들을 프로그래밍하기 위한 다른 길이들의 데이터 프로그래밍 필드들을 가지는데 유통성을 제공한다.

[0060] 각각의 필드들(601, 603, 605, 607, 608)은 정보가 기입될 버스(121)상 회로를 식별하기 위해 사용된 식별자를 가진 ID 서브 필드를 포함한다. 따라서, 어레이(103)의 임의의 뱅크는 ID 필드의 버스 유일 ID(또는 다중 버스 시스템들에서 시스템 유일 ID 데이터)를 프로그래밍함으로써 시스템(101)의 임의의 회로에 사용될 수 있다. 다수의 다른 회로들에 의해 뱅크를 사용하기 위한 이런 능력은 사용되는 퓨즈들의 총수를 감소시키기 위한 유통성을 회로에 제공한다.

[0061] 필드(601)는 비교적 큰 수의 컬럼들 및 로우들을 가진 큰 메모리 어레이 회로를 프로그래밍하기 위하여 사용될 수 있다. 예를 들어, 큰 메모리 어레이 회로는 도 3에 도시된 메모리 어레이 회로(141)와 유사할 수 있다. 상기 메모리 어레이 회로에서, 리던던시 수리 정보는 큰 어드레스로 인해 비교적 큰 필드일 필요가 있다. 필드(601)는 리던던시 수리 정보가 로우를 위한 것인지 컬럼을 위한 것인지 설계하기 위하여 선택 서브필드를 포함

한다. 대조하여, 필드(603)는 보다 작은 수의 로우들 및 컬럼들을 가진 비교적 작은 메모리 어레이 회로에 사용된다. 이런 메모리 어레이 회로에서, 두 개의 다른 데이터 필드들(예를 들어, 리던던트 로우 및 리던던트 컬럼)은 하나의 퓨즈 데이터 유닛으로 전송될 수 있다. 필드(603)는 선택 필드를 포함하지 않는다. 선택적으로, 필드(603)는 두 개의 별개의 메모리 어레이 회로들에 대한 수리 정보를 포함할 수 있다.

[0062] 풀드(605)는 클럭 분배 회로(예를 들어, 회로 175)에 대한 퓨즈 정보를 도시한다. 이 실시예에서, 각각의 클럭 재생 필드는 특정 서브필드(예를 들어, CR1, CR2)로 프로그래밍된다. 필드(607)는 PLL 회로(171)에 대한 레지스터 선택 및 타이밍 정보를 포함한다.

[0063] 필드(608)는 메모리 어레이 회로를 프로그래밍하기 위해 사용된다. 필드(608)는 리던던시 수리 정보를 위한 서브 필드 및 정보를 튜닝하기 위한 서브필드를 포함한다. 필드(608)는 리던던시 및 비리던던시 정보가 버스(121)상에서 하나의 데이터 유닛씩 제공될 수 있는 예를 나타낸다.

[0064] 도 7은 집적 회로의 퓨즈들을 설계, 제조, 검사, 및 프로그래밍하는 동작들을 기술하는 흐름도이다.

[0065] 동작(701)에서, 설계 동안, 구성 회로를 가진 각각의 회로는 버스(121)에 결합되도록 설계되고 버스 유일 또는 버스 유일 식별 필드가 할당된다. 이후, 각각의 회로의 매칭 ID 회로들(예를 들어, 207,317 및 401)은 버스(121)상에서 전송된 유일한 ID 회로를 인식하도록 설계된다.

[0066] 동작(703)에서, 집적 회로는 설계에 따라 제조된다. 일 실시예에서, 집적 회로는 반도체 처리들을 사용하여 제조된다. 집적 회로는 프로그래밍되지 않은 상태의 퓨즈들로 제조된다.

[0067] 동작(705)시, 집적 회로는 임의의 구성 가능한 회로들의 구성이 필요한지 또는 요구되는지를 결정하기 위해 검사된다. 일 실시예에서, 메모리 어레이들은 결합 셀들, 결합 컬럼들, 결합 어레이들, 또는 결합 블록들에 대해 검사된다. 또한, 다양한 검사들은 집적 회로상 다른 블록들의 기능 및 강건성을 결정하기 위하여 수행된다. 이들은 전압 조정기 출력, 전력 소비, PLL 지터, PLL 주파수, 클럭 스케일 특성, 아날로그 출력 레벨들, 및 기능 패턴 성능에 따른 주파수/전압을 측정하는 것을 포함할 수 있다(하지만 이것으로 제한되지 않는다).

[0068] 동작(707)시, 리던던시 및 비리던던시 정보를 가진 퓨즈들을 프로그래밍하기 위한 솔루션은 개발된다. 이 솔루션은 동작(705)시 검사 결과들에 기초한다. 일 실시예에서, 프로그래밍을 요구하는 비트들을 가진 BIU들의 각각의 레지스터들이 식별된다. 정보는 ID 서브필드를 개발하기 위하여 각각의 퓨즈 뱅크에 프로그래밍하기 위하여 공식화되고, 비트 또는 비트들에 대한 선택 서브필드(만약 필요하면) 및 모든 프로그래밍 정보뿐 아니라, 동일한 레지스터의 다른 비트들에 대한 선택 서브필드 및 모든 프로그래밍 정보는 변형된다. 예를 들어, 만약 BIU의 레지스터(예를 들어, 213, 403)의 하나의 비트가 변형되면, 레지스터의 다른 비트들의 디폴트 값들은 다른 퓨즈들에 기입된다. 이런 방식으로, 변형된 BIU의 레지스터들은 변형이 요구되지 않는 그의 비트들에 대하여 디폴트 값들을 제공할 것이다.

[0069] 동작(709)시, 퓨즈 뱅크들은 솔루션으로 프로그래밍된다. 일 실시예에서, 퓨즈는 퓨즈가 제 1 데이터 상태를 나타내도록 본래 상태로 유지되게 하거나 퓨즈가 제 2 데이터 상태를 나타내기 위하여 개방 또는 높은 임피던스를 생성하게 "블로잉(blowing)"함으로써 프로그래밍된다. 그러나, OTP 엘리먼트들은 다른 실시예들에서 다른 방식들로 프로그래밍될 수 있다. 동작(711) 시, 집적 회로는 수리 또는 조절이 성공한 것을 보장하기 위해 다시 검사된다.

[0070] 상기 도시된 바와 같이, 집적 회로에 사용된 퓨즈들의 수는 퓨즈들이 다른 회로들 사이에서 사용되는 경우 감소될 수 있다. 일 실시예에서, 필요한 퓨즈들의 수는 집적 회로에 필요한 모든 가능한 퓨즈를 결정하고 이를 용도들을 서브그룹들로 그룹화함으로써 결정될 수 있고, 바람직하게 서브그룹의 퓨즈들은 기능적으로 관련된다. 하나의 용도가 변경될 필요가 있다면, 그룹의 다른 용도들이 또한 변경될 비교적 높은 기회가 있는 경우 용도들을 그룹화하는 것은 바람직할 수 있다. 일 실시예에서, 퓨즈들의 수는 리던던시 수리 및 비리던던시 튜닝, 최적화 또는 모드 선택에 속하는 최대 가능한 용도들의 작은(<25%) 부분일 것이다. 일 실시예에서, 퓨즈 뱅크들의 수는 미완성 제조 프로세스에서 제품의 초기 방출을 위하여 보다 클 것이라 생각된다. 제안된 솔루션의 장점은 퓨즈 뱅크들의 수가 시스템의 다른 구현을 상세히 변경하지 않고 제품 수정들 사이에서 변형될 수 있다.

[0071] 퓨즈들의 집적 회로를 설계, 제조, 검사 및 프로그래밍하기 위한 다른 프로세스들은 다른 실시예들에 사용될 수 있다.

[0072] 시스템(101)에 사용될 수 있는 퓨즈들의 예들은 폴리사이드 퓨즈들, 금속 퓨즈들, 또는 레이저 프로그램 가능한 퓨즈들을 포함한다. 그러나, 다른 실시예들에서, 다른 타입들의 1회 프로그램 가능한 엘리먼트들은 프로그램 가

능 ROM(판독 전용 메모리) 셀들, 예를 들어 전기적으로 프로그램할 수 있는 ROM들 같은 퓨즈들 대신 사용될 수 있다.

[0073] 일 실시예에서, 시스템은 제조 후 검출된 결합 메모리 셀들을 대체하기 위하여 리던던트 메모리 셀들을 포함하는 메모리 어레이 회로를 포함한다. 시스템은 또한 비 메모리 어레이 회로를 포함한다. 비 메모리 어레이 회로는 동작 전압, 저항, 캐패시턴스, 컨덕턴스, 인덕턴스, 주파수, 타이밍 특성, 동조 특성, 한 세트의 회로들로부터 하나의 회로의 선택 및 동작 모드로 이루어진 그룹의 동작 파라미터의 제조 후 조절을 위한 회로를 포함한다. 시스템은 1회 프로그램 가능 엘리먼트를 포함한다. 1회 프로그램 가능 엘리먼트는 제조 후 시스템을 변형하기 위한 정보를 저장하기 위해 프로그램 가능하다. 1회 프로그램 가능 엘리먼트는 메모리 어레이 회로 및 비메모리 어레이 회로를 포함하는 회로들 그룹 중 임의의 하나로 제조 후 프로그램 가능하게 할당할 수 있다. 1회 프로그램 가능 엘리먼트는 제조 후 검출된 메모리 어레이 회로의 결합 메모리 셀을 대체하고 그리고 비 메모리 어레이 회로의 동작 파라미터의 제조 후 조절하는 것을 포함하는 그룹 중 임의의 하나에 대한 정보를 저장하기 위하여 프로그램 가능하다. 시스템은 1회 프로그램 가능 엘리먼트에 저장된 프로그래밍된 정보를 수신하기 위하여 1회 프로그램 가능 엘리먼트에 결합된 제어 회로를 포함하고, 상기 제어 회로는 메모리 어레이 회로 및 비 메모리 어레이 회로에 결합되어 1회 프로그램 가능 엘리먼트가 프로그램 가능하게 할당된 회로들의 그룹 중 하나에 1회 프로그램 가능 엘리먼트에 저장된 프로그래밍된 정보를 제공한다.

[0074] 다른 실시예에서, 집적 회로에서, 시스템은 하나 또는 그 이상의 결합 메모리 셀들을 대체하기 위하여 제조 후 리던던트 메모리 셀들로 수리될 수 있는 하나 또는 그 이상의 수리 가능한 메모리 어레이 회로들을 포함한다. 시스템은 또한 비 메모리 어레이 회로들의 하나 또는 그 이상의 동작 파라미터들을 변형함으로써 제조 후 조절될 수 있는 하나 또는 그 이상의 메모리 어레이 회로들을 포함한다. 시스템은 하나 또는 그 이상의 동작 파라미터들을 변형하기 위하여 하나 또는 그 이상의 비 메모리 회로들에 할당되거나 리던던트 메모리 셀들로 하나 또는 그 이상의 결합 메모리 셀들을 대체하기 위하여 하나 또는 그 이상의 수리 가능한 메모리 어레이 회로들 중 임의의 것에 할당된 프로그래밍 할 수 있는 다수의 1회 프로그램 가능 엘리먼트들을 더 포함한다.

[0075] 다른 실시예에서, 시스템은 프로그래밍된 리던던시 수리 정보에 따라 결합 회로를 대체하기 위하여 리던던트 회로로 제조 후 수리할 수 있는 제 1 회로를 포함한다. 시스템은 프로그래밍된 조절 정보에 따라 제 2 회로의 동작 파라미터를 변형함으로써 제조 후 조절할 수 있는 제 2 회로를 포함한다. 시스템은 프로그램 가능한 퓨즈들의 다수의 세트들을 더 포함한다. 다수의 각각의 세트는 제 1 회로 및 제 2 회로를 포함하는 회로들 그룹의 임의의 하나에 할당되도록 프로그램할 수 있다. 시스템은 프로그램 가능한 퓨즈들의 다수의 세트들로부터 정보를 수신하기 위하여 프로그램 가능한 퓨즈들의 다수의 세트들에 결합된 제어 회로를 더 포함한다. 제어 회로는 제 2 회로에 할당된 다수의 세트들의 프로그램 가능 퓨즈들로부터 제 2 회로 프로그래밍된 조절 정보에 제공하기 위하여 제 1 회로에 할당되고 제 2 회로에 결합된 다수의 세트들의 프로그램 가능 퓨즈들로부터 제 1 회로 프로그래밍된 리던던시 수리 정보를 제공하기 위한 제 1 회로에 결합된다.

[0076] 본 발명의 특정 실시예들이 도시 및 기술되었지만, 당업자는 여기에서의 지침을 바탕으로, 추가 변화들 및 변형들이 보다 넓은 측면들 및 본 발명으로부터 벗어나지 않고 이루어지고, 따라서 첨부된 청구항들은 본 발명의 사상 및 범위 내에 있는 모든 상기 변화들 및 변형들을 그 범위내에 포함한다.

도면의 간단한 설명

[0008] 도 1은 본 발명의 일 실시예에 따른 집적 회로의 OTP 엘리먼트 시스템의 블록도.

[0009] 도 2는 본 발명의 일 실시예에 따른 도 1의 회로의 일 실시예의 블록도.

[0010] 도 3은 본 발명의 일 실시예에 따른 도 1의 회로의 일 실시예의 블록도.

[0011] 도 4는 본 발명의 일 실시예에 따른 도 1의 회로의 일 실시예의 블록도.

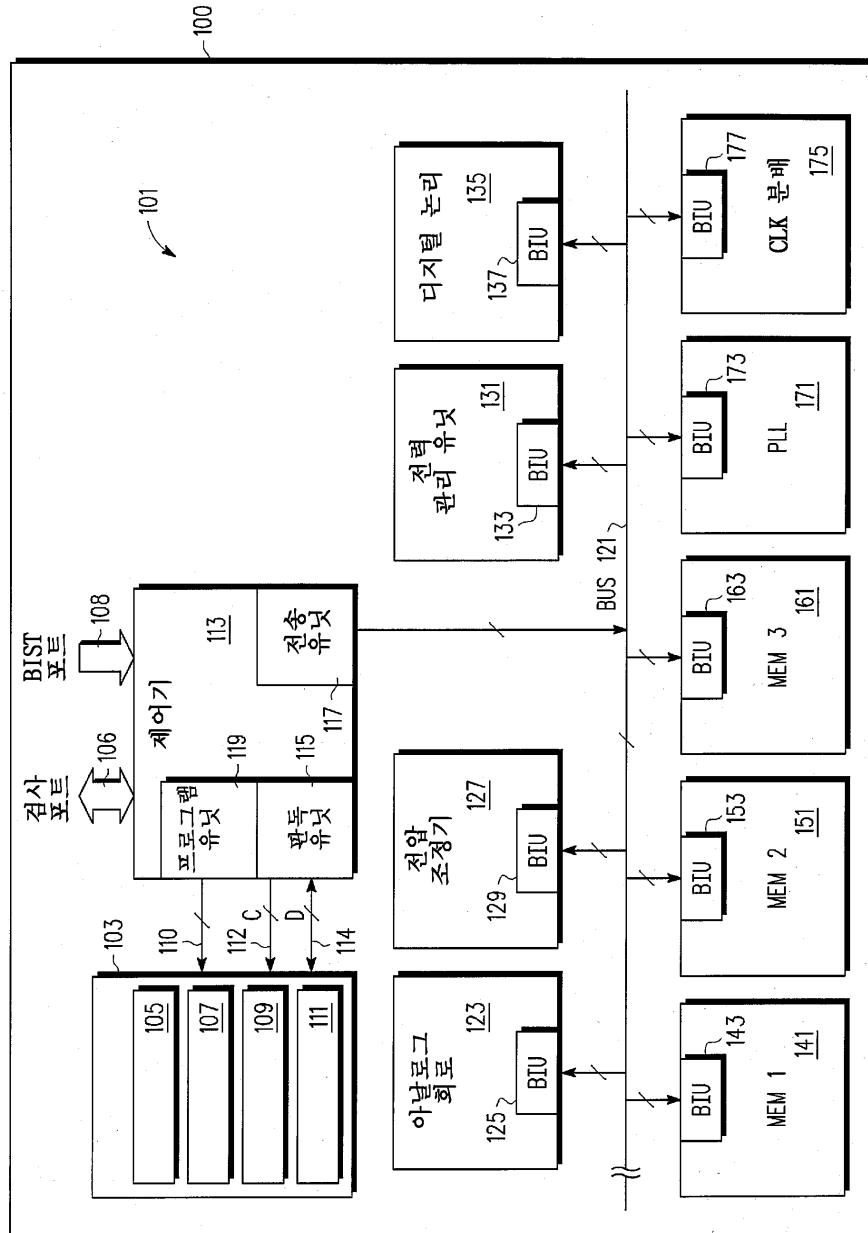
[0012] 도 5는 본 발명의 일 실시예에 따른 퓨즈 뱅크의 블록도.

[0013] 도 6은 본 발명의 일 실시예에 따른 퓨즈 시스템의 퓨즈 필드들을 나타내는 도면.

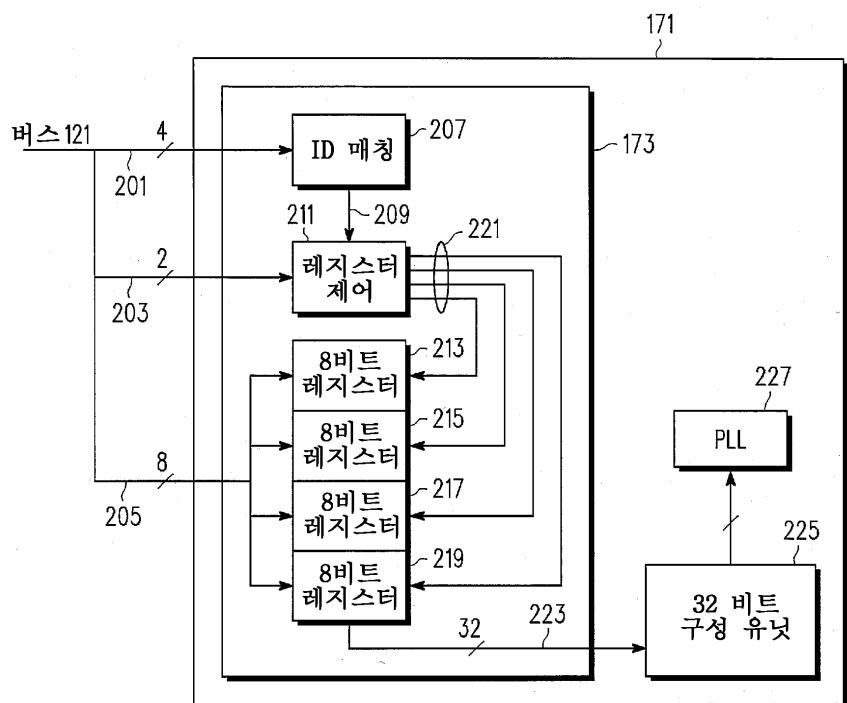
[0014] 도 7은 본 발명의 일 실시예에 따른 집적 회로의 퓨즈 시스템의 설계 및 프로그래밍 동작들을 도시하는 흐름도.

도면

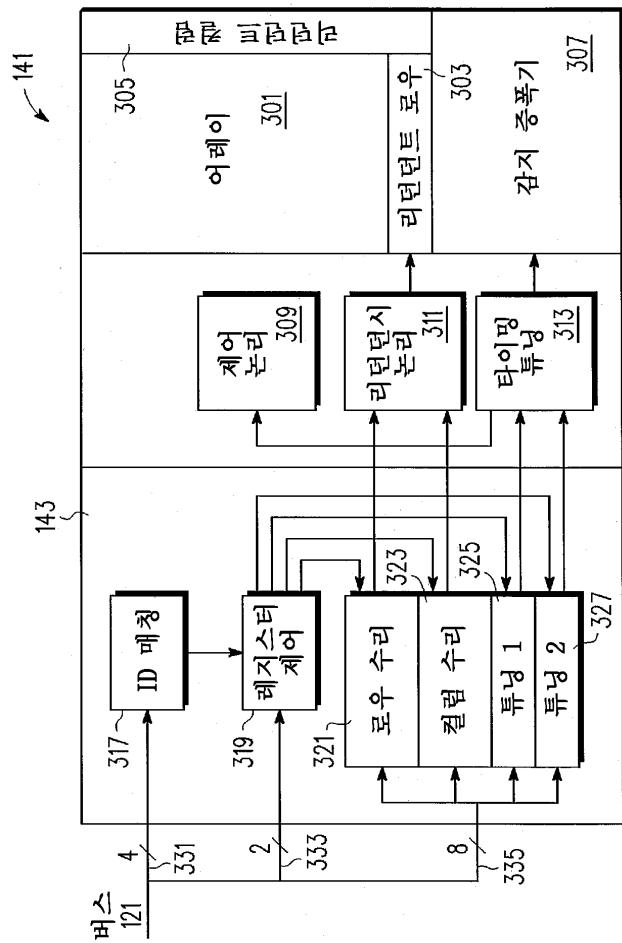
도면1



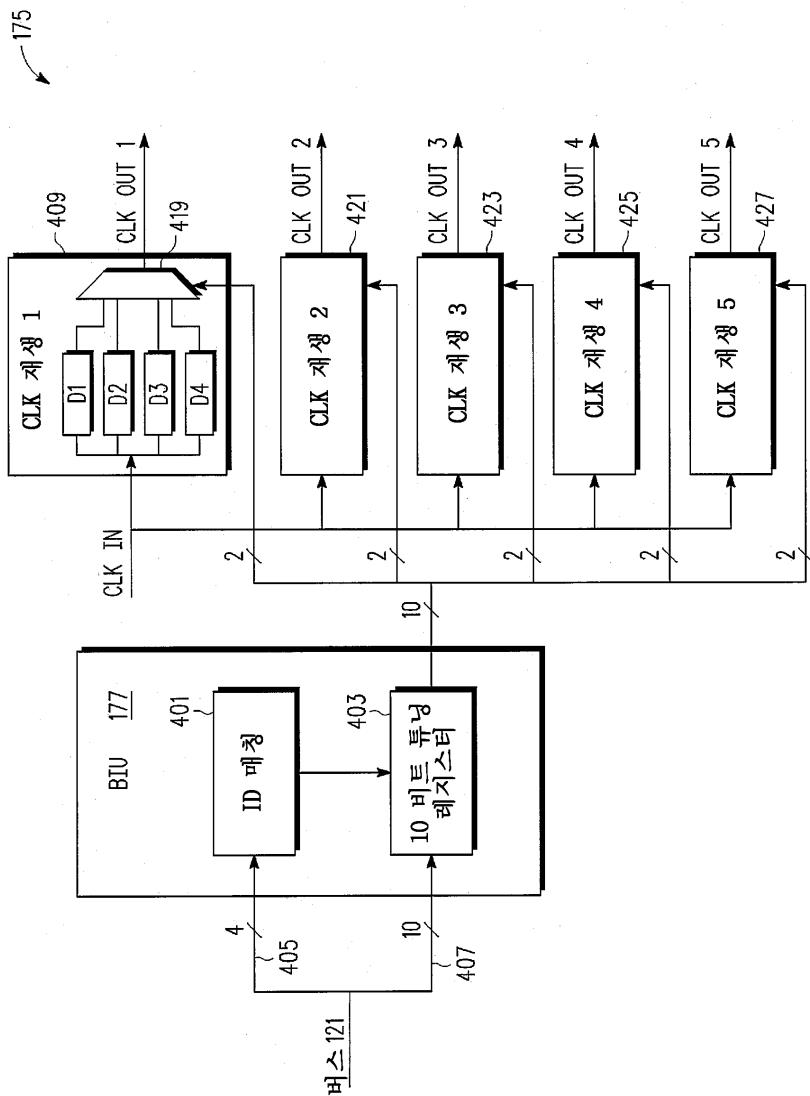
도면2



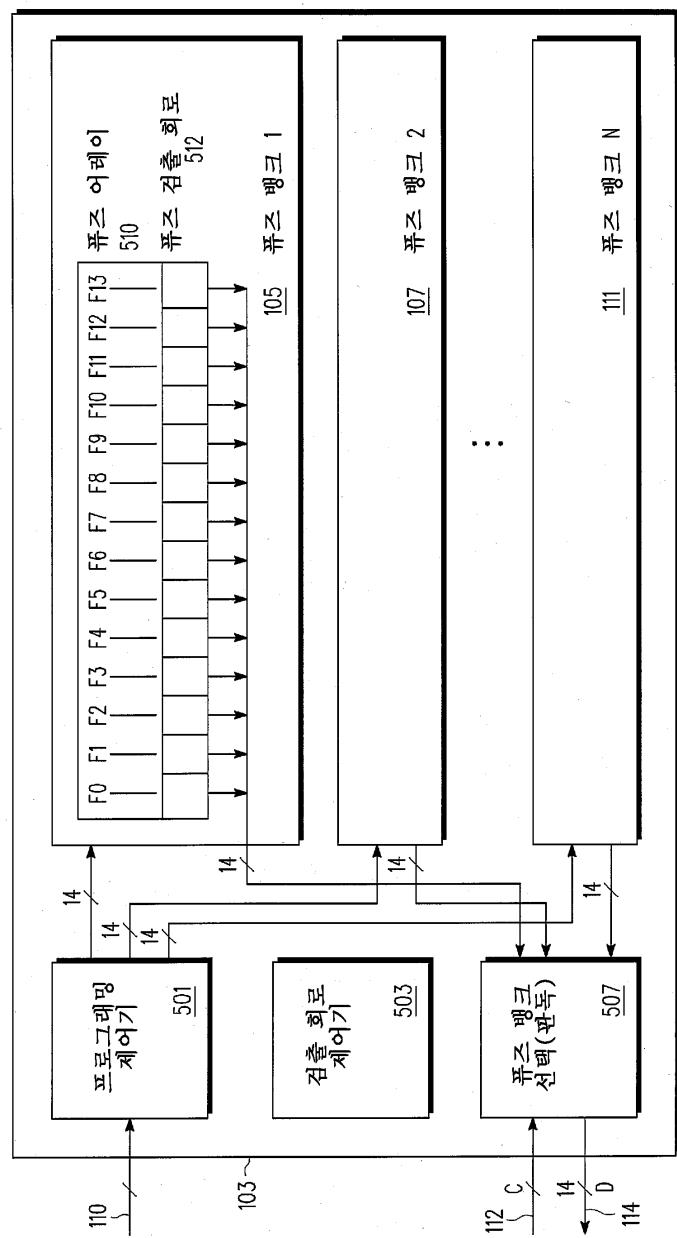
도면3



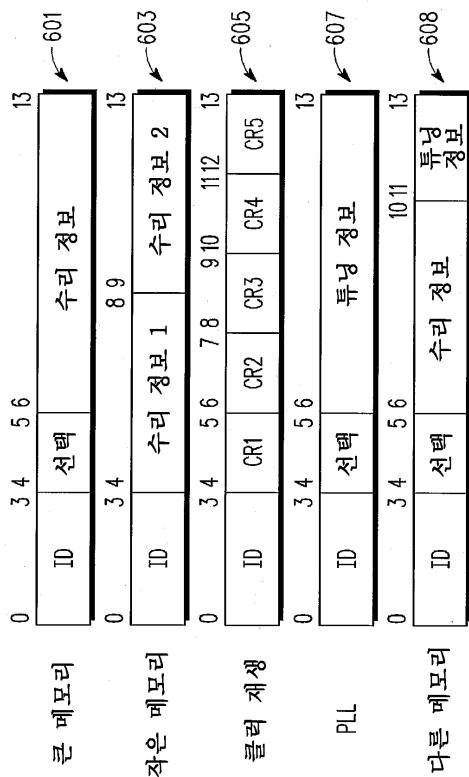
도면4



도면5



도면6



도면7

