



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0057563
(43) 공개일자 2017년05월25일

(51) 국제특허분류(Int. Cl.)

H01L 21/66 (2006.01) G01R 31/26 (2014.01)
H01L 23/498 (2006.01) H01L 23/538 (2006.01)

(52) CPC특허분류

H01L 22/30 (2013.01)
G01R 31/26 (2013.01)

(21) 출원번호 10-2015-0160837

(22) 출원일자 2015년11월17일

심사청구일자 없음

(71) 출원인

세메스 주식회사

충청남도 천안시 서북구 직산읍 4산단5길 77 ()

(72) 발명자

장용석

충청남도 천안시 서북구 3공단6로 33 한화꿈에그린스마일시티 103동 1601호

류정호

충청남도 천안시 서북구 3공단6로 85-27 e편한세상스마일시티 103동 1201호

이윤석

경기도 화성시 동탄반석로 70 솔빛마을신도브레뉴아파트 435동 1302호

(74) 대리인

이동건

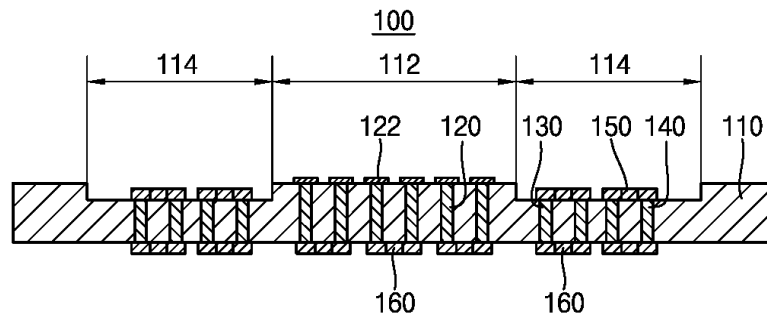
전체 청구항 수 : 총 4 항

(54) 발명의 명칭 인터페이스 보드

(57) 요약

인터페이스 보드는 반도체 패키지와 직접 접촉하기 위한 소켓 기관과 테스트 헤드 사이에 구비되며, 상부면에 평탄한 제1 영역과 오목한 제2 영역을 갖는 보드 몸체와, 상기 제1 영역에서 상기 보드 몸체의 상하를 관통하며, 복수의 테스트 신호들, 전원 전압, 접지 전압을 전달하기 위한 제1 비아들과, 상기 제2 영역에서 상기 보드 몸체의 상하를 관통하며, 상기 전원 전압을 전달하기 위한 제2 비아들과, 상기 제2 영역에서 상기 보드 몸체의 상하를 관통하며, 상기 접지 전압을 전달하기 위한 제3 비아들 및 상기 보드 몸체의 상부면 중 상기 제2 영역에서 상기 제2 비아들과 상기 제3 비아들 사이에 접속되며, 상기 전원 전압의 임피던스를 감소시키기 위한 제1 커패시터들을 포함할 수 있다. 따라서, 상기 인터페이스 보드의 전원 무결성을 향상시킬 수 있다.

대표도 - 도1



(52) CPC특허분류

H01L 23/49827 (2013.01)

H01L 23/538 (2013.01)

H01L 23/5384 (2013.01)

명세서

청구범위

청구항 1

반도체 패키지와 직접 접촉하기 위한 소켓 기관과 테스트 헤드 사이에 구비되며, 상부면에 평탄한 제1 영역과 오목한 제2 영역을 갖는 보드 몸체;

상기 제1 영역에서 상기 보드 몸체의 상하를 관통하며, 복수의 테스트 신호들, 전원 전압, 접지 전압을 전달하기 위한 제1비아들;

상기 제2 영역에서 상기 보드 몸체의 상하를 관통하며, 상기 전원 전압을 전달하기 위한 제2비아들;

상기 제2 영역에서 상기 보드 몸체의 상하를 관통하며, 상기 접지 전압을 전달하기 위한 제3비아들; 및

상기 보드 몸체의 상부면 중 상기 제2 영역에서 상기 제2비아들과 상기 제3비아들 사이에 접속되며, 상기 전원 전압의 임피던스를 감소시키기 위한 제1 커패시터들을 포함하는 것을 특징으로 하는 인터페이스 보드.

청구항 2

제1항에 있어서, 상기 보드 몸체의 하부면에 상기 제1비아들 중 상기 전원 전압 및 상기 접지 전압을 전달하는 비아들 사이와 상기 제2비아들과 상기 제3비아들 사이를 각각 접속하는 제2 커패시터들을 더 포함하는 것을 특징으로 하는 인터페이스 보드.

청구항 3

제1항에 있어서, 상기 보드 몸체의 내부에 구비되며, 상기 제1비아들 중 상기 전원 전압을 전달하는 비아들 및 상기 제2비아들과 전기적으로 접속하는 전원 배선층;

상기 보드 몸체의 내부에 구비되며, 상기 제1비아들 중 상기 접지 전압을 전달하는 비아들 및 상기 제3비아들과 전기적으로 접속하는 접지 배선층; 및

상기 전원 배선층과 상기 접지 배선층 사이에 배치되는 유전층으로 이루어지는 제3 커패시터를 더 포함하는 것을 특징으로 하는 인터페이스 보드.

청구항 4

제3항에 있어서, 상기 유전층의 두께는 10 내지 25 μm 인 것을 특징으로 하는 인터페이스 보드.

발명의 설명

기술 분야

[0001] 본 발명은 인터페이스 보드에 관한 것으로, 보다 상세하게는 반도체 패키지를 테스트하기 위한 테스트 장치에 구비되는 인터페이스 보드에 관한 것이다.

배경 기술

[0002] 반도체 패키지 제조 공정은 실리콘 소재의 반도체 웨이퍼(semiconductor wafer)에 회로를 형성하는 펌(FAB; fabrication) 공정과, 회로가 형성된 각각의 반도체 칩과 외부장치가 상호간에 전기적 신호 연결이 가능하도록 외부접속단자를 형성하고, 반도체 칩을 외부환경으로부터 보호하기 위해서 패키징(packaging)하는 어셈블리(assembly) 공정 및 어셈블리 공정에서 제조된 반도체 패키지가 올바르게 동작을 하는지를 검사하고, 그에 따라서 양품과 불량품으로 분류하는 테스트 공정을 포함한다.

[0003] 상기 어셈블리 공정이 완료된 반도체 패키지에 대한 테스트 공정은 반도체 패키지 테스트 장치에 의해 이루어진다.

[0004] 상기 테스트 장치는 반도체 패키지와 직접 접촉하기 위한 소켓 보드, 테스트 헤드 및 상기 소켓 보드와 상기 테

스트 헤드 사이에 구비되는 인터페이스 보드를 포함한다.

- [0005] 핸들러에 의해 이송되는 상기 반도체 패키지와 안정적으로 접촉하기 위해서 상기 테스트 장치는 일정한 두께를 가져야 한다. 따라서, 상기 인터페이스 보드도 일정한 두께를 가져야 하며, 상기 인터페이스 보드의 두께를 줄이기 어렵다.
- [0006] 상기 인터페이스 보드가 일정한 두께를 가짐에 따라 상기 인터페이스 보드의 상하를 연결하는 비아의 길이를 줄이기 어렵다. 또한, 상기 비아의 길이로 인해 전원 무결성(power integrity)이 저하될 수 있고, 고주파 대역의 대응이 어렵다.
- [0007] 또한, 상기 전원 무결성을 개선하기 위해 상기 인터페이스 보드의 상부면에 커패시터를 추가적으로 배치할 필요가 있다. 그러나, 상기 인터페이스 보드의 상부면은 반도체 패키지와의 접촉을 위해 평탄한 상태를 유지해야 하므로, 상기 커패시터를 상기 인터페이스 보드의 상부면에 배치하기 어렵다.
- [0008] 그리고, 상기 인터페이스 보드의 내부에는 상기 비아들과 연결되는 다층의 배선들이 구비된다. 예를 들면, 상기 비아들 중 전원 전압을 전달하기 위한 비아와 연결되는 전원 배선층과 접지 전압을 전달하기 위한 비아와 연결되는 접지 배선층이 배치된다. 상기 전원 배선층과 상기 접지 배선층 사이에 배치되는 유전층의 재질로 저유전율을 갖는 소재가 적용된다. 따라서, 상기 배선층 사이의 이격 거리가 멀어 상기 전원 무결성(power integrity)을 개선하기 어렵다.

발명의 내용

해결하려는 과제

- [0009] 본 발명은 전원 무결성을 향상시킬 수 있는 인터페이스 보드를 제공한다.

과제의 해결 수단

- [0010] 본 발명에 따른 인터페이스 보드는 반도체 패키지와 직접 접촉하기 위한 소켓 기판과 테스트 헤드 사이에 구비되며, 상부면에 평탄한 제1 영역과 오목한 제2 영역을 갖는 보드 몸체와, 상기 제1 영역에서 상기 보드 몸체의 상하를 관통하며, 복수의 테스트 신호들, 전원 전압, 접지 전압을 전달하기 위한 제1 비아들과, 상기 제2 영역에서 상기 보드 몸체의 상하를 관통하며, 상기 전원 전압을 전달하기 위한 제2 비아들과, 상기 제2 영역에서 상기 보드 몸체의 상하를 관통하며, 상기 접지 전압을 전달하기 위한 제3 비아들 및 상기 보드 몸체의 상부면 중 상기 제2 영역에서 상기 제2 비아들과 상기 제3 비아들 사이에 접속되며, 상기 전원 전압의 임피던스를 감소시키기 위한 제1 커패시터들을 포함할 수 있다.
- [0011] 본 발명의 일 실시예들에 따르면, 상기 인터페이스 보드는 상기 보드 몸체의 하부면에 상기 제1 비아들 중 상기 전원 전압 및 상기 접지 전압을 전달하는 비아들 사이와 상기 제2 비아들과 상기 제3 비아들 사이를 각각 접속하는 제2 커패시터들을 더 포함할 수 있다.
- [0012] 본 발명의 일 실시예들에 따르면, 상기 인터페이스 보드는, 상기 보드 몸체의 내부에 구비되며, 상기 제1 비아들 중 상기 전원 전압을 전달하는 비아들 및 상기 제2 비아들과 전기적으로 접속하는 전원 배선층과, 상기 보드 몸체의 내부에 구비되며, 상기 제1 비아들 중 상기 접지 전압을 전달하는 비아들 및 상기 제3 비아들과 전기적으로 접속하는 접지 배선층 및 상기 전원 배선층과 상기 접지 배선층 사이에 배치되는 유전층으로 이루어지는 제3 커패시터를 더 포함할 수 있다.
- [0013] 본 발명의 일 실시예들에 따르면, 상기 유전층의 두께는 10 내지 25 μm 일 수 있다.

발명의 효과

- [0014] 본 발명에 따른 인터페이스 보드는 보드 몸체의 상부면에서 오목한 영역에 제1 커패시터들을 구비한다. 따라서, 제1 커패시터들은 상기 보드 몸체의 상부면에 배치되는 소켓 보드의 장착을 방해하지 않으면서 반도체 패키지와 전기적으로 연결되는 패드들과 인접하므로, 전원 무결성이 개선될 수 있다.
- [0015] 또한, 상기 인터페이스 보드는 상기 보드 몸체 내부에 전원 전압을 전달하는 비아들과 전기적으로 접속하는 전원 배선층과, 접지 전압을 전달하는 비아들과 전기적으로 접속하는 접지 배선층 및 상기 전원 배선층과 상기 접지 배선층 사이에 배치되는 유전층으로 이루어지는 제3 커패시터를 더 포함할 수 있다. 따라서, 상기 제3 커패시터를 이용하여 상기 전원 무결성을 더욱 향상시킬 수 있다.

도면의 간단한 설명

- [0016] 도 1은 본 발명의 일 실시예에 따른 인터페이스 보드를 설명하기 위한 단면도이다.
 도 2는 도 1에 도시된 인터페이스 보드를 확대한 확대 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0017] 이하, 첨부한 도면을 참조하여 본 발명의 실시예에 따른 인터페이스 보드에 대해 상세히 설명한다. 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시 예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다. 첨부된 도면에 있어서, 구조물들의 치수는 본 발명의 명확성을 기하기 위하여 실제보다 확대하여 도시한 것이다.
- [0018] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.
- [0019] 본 출원에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0020] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0021] 도 1은 본 발명의 일 실시예에 따른 인터페이스 보드를 설명하기 위한 단면도이고, 도 2는 도 1에 도시된 인터페이스 보드를 확대한 확대 단면도이다.
- [0022] 도 1 및 도 2를 참조하면, 인터페이스 보드(100)는 반도체 패키지를 테스트하기 위한 테스트 장치(미도시)의 구성 요소로서, 상기 반도체 패키지와 직접 접촉하기 위한 소켓 기관(미도시)과 테스트 헤드(미도시) 사이에 배치되어 상기 소켓 기관과 상기 테스트 헤드를 전기적으로 연결한다.
- [0023] 인터페이스 보드(100)는 보드 몸체(110), 제1 비아들(120), 제2 비아들(130), 제3 비아들(140), 제1 커패시터(150), 제2 커패시터(160) 및 제3 커패시터(170)를 포함한다.
- [0024] 보드 몸체(110)는 상기 소켓 기관과 상기 테스트 헤드 사이에 구비된다. 보드 몸체(110)는 대략 평판 형태를 가지며, 테스트 핸들러에 의해 이송되는 상기 반도체 패키지와 안정적인 접촉을 위해 일정한 두께를 갖는다.
- [0025] 보드 몸체(110)는 상부면에 평탄한 제1 영역(112)과 오목한 제2 영역(114)을 갖는다. 예를 들면, 제1 영역(112)은 보드 몸체(110)의 상부면 중앙에 배치되고, 상기 제2 영역(114)은 제2 영역(112)의 둘레를 따라 배치될 수 있다. 제2 영역(114)은 보드 몸체(110)를 선택적으로 밀링하거나 선택적으로 식각하여 형성될 수 있다.
- [0026] 제2 영역(114)이 오목한 형태를 가지므로, 보드 몸체(110)에서 제2 영역(114)의 두께가 제1 영역(112)의 두께보다 얇다.
- [0027] 제1 비아들(120)은 제1 영역(112)에서 보드 몸체(110)의 상하를 관통하도록 구비된다. 제1 비아들(120)은 복수의 테스트 신호들을 전달하기 위한 비아들, 전원 전압을 전달하기 위한 비아들 및 접지 전압을 전달하기 위한 비아들을 포함할 수 있다. 따라서, 제1 비아들(120)은 상기 테스트 신호들, 상기 전원 전압 및 상기 접지 전압을 각각 전달할 수 있다.
- [0028] 제1 비아들(120)은 패드들(122)과 연결될 수 있다. 패드들(122)은 보드 몸체(110)의 상부면 중 제1 영역(112)에 구비되며, 제1 비아들(122)과 각각 전기적으로 연결된다. 패드들(122)은 상기 소켓 보드와의 전기적 연결을 위

해 사용될 수 있다. 상기 패드들(122)은 상기 소켓 보드를 통해 상기 반도체 패키지와 전기적으로 연결된다.

- [0029] 제2 비아들(130)은 제2 영역(114)에서 보드 몸체(110)의 상하를 관통하도록 구비된다. 제2 비아들(130)은 상기 전원 전압을 전달한다.
- [0030] 제3 비아들(140)은 제2 영역(114)에서 보드 몸체(110)의 상하를 관통하도록 구비된다. 제3 비아들(140)은 상기 접지 전압을 전달한다.
- [0031] 보드 몸체(110)에서 제2 영역(114)의 두께가 제1 영역(112)의 두께보다 얇으므로, 제2 비아들(130) 및 제3 비아들(140)의 길이가 제1 비아들(110)의 길이보다 짧을 수 있다. 제2 비아들(130) 및 제3 비아들(140)의 길이가 짧은 경우, 제2 비아들(130) 및 제3 비아들(140)의 형성시 비아 스텝(via stub)을 줄일 수 있으므로, 신호 무결성(signal integrity)을 향상시킬 수 있다. 또한, 제2 비아들(130) 및 제3 비아들(140)의 길이가 짧으므로, 전원 무결성(power integrity) 역시 향상시킬 수 있다.
- [0032] 제1 커패시터들(150)은 보드 몸체(110)의 상부면 중 제2 영역(114)에서 제2 비아들(130)과 제3 비아들(140) 사이에 접속된다. 구체적으로, 제1 커패시터들(150)의 양 단자들은 제2 비아들(130)과 제3 비아들(140)의 상단과 각각 전기적으로 접속한다.
- [0033] 제1 커패시터들(150)은 오목한 제2 영역(114)에 구비되므로, 제1 커패시터들(150)이 제1 영역(112)의 높이보다 돌출되지 않는다. 따라서, 제1 커패시터들(150)의 방해 없이 상기 소켓 기판이 보드 몸체(110) 상에 장착될 수 있다.
- [0034] 또한, 제1 커패시터들(150)은 보드 몸체(110)의 상부면 중 제2 영역(114)에 배치되므로, 제1 커패시터들(150)은 제1 비아들(120)의 패드들(122)과 인접하게 위치한다. 패드들(122)들이 상기 소켓 보드를 통해 상기 반도체 패키지와 전기적으로 접속될 때, 상기 반도체 패키지로부터 상기 패드들(122)을 통해 출력된 전력 잡음(power noise)은 제1 커패시터들(150)을 통해 상기 반도체 패키지로 피드백될 수 있다. 제1 커패시터들(150)과 상기 패드들(122)이 서로 인접하므로, 상기 전력 잡음의 리턴 패스는 짧아질 수 있다. 그러므로, 중간 주파수 영역과 고주파수 영역에서 전원 무결성(power integrity)이 개선될 수 있다.
- [0035] 제2 커패시터들(160)은 보드 몸체(110)의 하부면에 구비된다.
- [0036] 구체적으로, 제2 커패시터들(160)은 제1 비아들(120) 중 상기 전원 전압을 전달하는 비아들과 상기 접지 전압을 전달하는 비아들 사이에 접속된다. 또한, 제2 커패시터들(160)은 제2 비아들(130)과 제3 비아들(140) 사이에 접속된다.
- [0037] 제1 커패시터(160)와 마찬가지로 2 커패시터들(160)도 상기 전력 잡음(power noise)을 피드백하여 전원 무결성(power integrity)을 향상시킬 수 있다.
- [0038] 한편, 보드 몸체(110)는 내부에 다수의 배선층을 갖는다. 상기 배선층은 제1 비아들(120) 중 상기 신호들을 전달하기 위한 비아들과 전기적으로 접속하는 신호 배선층(미도시), 제1 비아들(120) 중 상기 전원 전압을 전달하는 비아들 및 제2 비아들(130)과 전기적으로 접속하는 전원 배선층(172), 제1 비아들(120) 중 상기 접지 전압을 전달하는 비아들 및 제3 비아들(140)과 전기적으로 접속하는 접지 배선층(174)을 포함한다.
- [0039] 전원 배선층(172)과 접지 배선층(174) 사이에는 유전층(176)이 배치된다. 유전층(176)은 초박막이면서 고유전율을 갖는 물질로 이루어질 수 있다. 전원 배선층(172), 접지 배선층(174) 및 유전층(176)이 제3 커패시터(170)를 형성한다.
- [0040] 이때, 유전층(176)의 두께가 약 10 μm 미만인 경우, 전원 배선층(172)과 접지 배선층(174) 사이의 간격이 좁아 전원 배선층(172)과 접지 배선층(174)이 전기적으로 연결되는 쇼트가 발생할 수 있다.
- [0041] 유전층(176)의 두께가 약 25 μm 를 초과하는 경우, 전원 배선층(172)과 접지 배선층(174) 사이의 간격이 넓어 제3 커패시터(170)에서 전하가 축적되는 효과가 미미하여 제3 커패시터(170)가 커패시터로 작용하기 어렵다.
- [0042] 따라서, 유전층(170)의 두께는 약 10 μm 내지 25 μm 인 것이 바람직하다. 유전층(170)의 두께가 약 10 μm 내지 25 μm 인 경우에 제3 커패시터(170)가 커패시터로 작용할 수 있으며, 상기 전력 잡음(power noise)을 피드백하여 전원 무결성(power integrity)을 향상시킬 수 있다.
- [0043] 인터페이스 보드(100)는 제1 커패시터들(150), 제2 커패시터들(160) 및 제3 커패시터들(170)을 구비할 수 있으므로, 제1 커패시터들(150), 제2 커패시터들(160) 및 제3 커패시터들(170)을 이용하여 전원 무결성(power

integrity)을 효과적으로 향상시킬 수 있다.

[0044] 한편, 보드 몸체(110)의 하부면에는 커넥터가 구비될 수 있으며, 상기 커넥터는 보드 몸체(110)와 상기 테스트 헤드와의 체결에 이용될 수 있다.

산업상 이용가능성

[0045] 상술한 바와 같이, 본 발명에 따른 인터페이스 보드는 보드 몸체의 상부면에서 오목한 영역, 상기 보드 몸체의 하부면 및 상기 보드 몸체의 내부면에 각각 커패시터들을 구비할 수 있다. 상기 커패시터들을 이용하여 상기 인터페이스 보드의 전원 무결성을 향상시킬 수 있다.

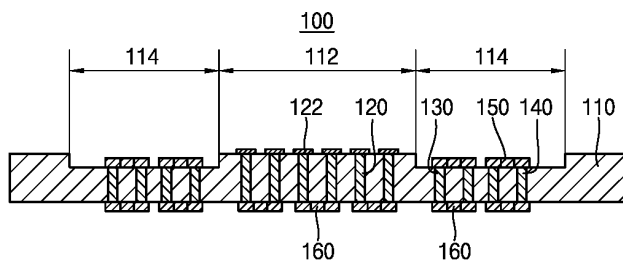
[0046] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

부호의 설명

[0047] 100 : 인터페이스 보드 110 : 보드 몸체
120 : 제1 비아 130 : 제2 비아
140 : 제3 비아 150 : 제1 커패시터
160 : 제2 커패시터 170 : 제3 커패시터

도면

도면1



도면2

