

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年6月16日(16.06.2022)



(10) 国際公開番号

WO 2022/124139 A1

(51) 国際特許分類:

H01L 31/10 (2006.01) H01L 27/06 (2006.01)
H01L 21/82 (2006.01) H01L 27/088 (2006.01)
H01L 21/822 (2006.01) H01L 27/146 (2006.01)
H01L 27/04 (2006.01) H04N 5/359 (2011.01)
H01L 21/8234 (2006.01) H04N 5/369 (2011.01)

神奈川県厚木市旭町四丁目14番
1号 Kanagawa (JP).

(72) 発明者: 中村 良助 (NAKAMURA, RYOSUKE);
〒2430014 神奈川県厚木市旭町四丁目14
番1号 ソニーセミコンダクタソリューシ
ョンズ株式会社内 Kanagawa (JP).

(21) 国際出願番号: PCT/JP2021/043863

(22) 国際出願日: 2021年11月30日(30.11.2021)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2020-203565 2020年12月8日(08.12.2020) JP

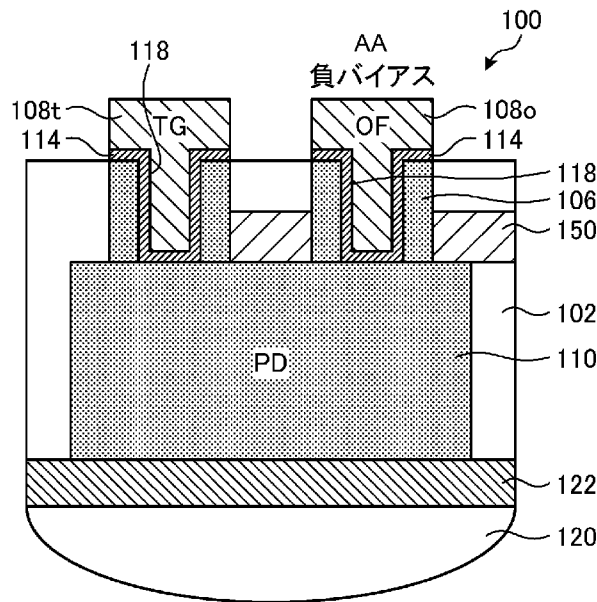
(74) 代理人: 特許業務法人酒井国際特許
事務所 (SAKAI INTERNATIONAL PATENT
OFFICE); 〒1000013 東京都千代田区霞が
関3丁目8番1号 虎の門三井ビル
ディング Tokyo (JP).

(71) 出願人: ソニーセミコンダクタソリューシ
ョンズ株式会社 (SONY SEMICONDUCTOR SO-
LUTIONS CORPORATION) [JP/JP]; 〒2430014

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,

(54) Title: SOLID-STATE IMAGING APPARATUS, ADJUSTING METHOD, AND ELECTRONIC DEVICE

(54) 発明の名称: 固体撮像装置、調整方法及び電子機器



AA Negative bias

(57) Abstract: Provided is a solid-state imaging apparatus (100) comprising: a photoelectric converter (110) provided in a semiconductor substrate (102) to convert light into an electrical charge; a charge accumulator (FD) to which the electrical charge is transferred from the photoelectric converter; an overflow path for draining the excess electrical charge; and an adjusting circuit for adjusting a potential barrier of the overflow path.

[続葉有]

HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告 (条約第21条(3))

(57) 要約：半導体基板（102）に設けられた、光を電荷に変換する光電変換部（110）と、前記光電変換部から前記電荷が転送される電荷蓄積部（FD）と、余剰の前記電荷を排出するオーバーフローパスと、前記オーバーフローパスの電位障壁を調整する調整回路と、を備える、固体撮像装置（100）を提供する。

明 細 書

発明の名称： 固体撮像装置、調整方法及び電子機器

技術分野

[0001] 本開示は、固体撮像装置、調整方法及び電子機器に関する。

背景技術

[0002] 被写体の撮影を行う撮像装置には、画素として、MOS (Metal-Oxide-Semiconductor) 集積回路と同様のプロセスで製造することができるCMOS (Complementary MOS) 型固体撮像素子を適用することができる。固体撮像素子は、CMOSプロセスに付随した微細化技術により、画素毎に増幅機能を持つアクティブ型の構造を容易に作ることができるという特徴を有する。さらに、固体撮像素子は、画素の集合体である画素アレイ部を駆動する駆動回路や画素アレイ部の各画素から出力される信号を処理する信号処理回路などの周辺回路部を、画素アレイ部と同一の半導体基板（チップ）上に集積できるという特徴を有する。このような特徴から、CMOS型固体撮像素子の開発が盛んになされている。

先行技術文献

特許文献

[0003] 特許文献1：特開2004-223634号公報

発明の概要

発明が解決しようとする課題

[0004] 従来から、上述の固体撮像素子に対して多量の光が照射された際に、固体撮像素子の有するフォトダイオードから溢れ出た余剰の電荷をどのように取り扱うかについて検討がなされており、余剰の電荷を排出するための様々な構造が提案されている。例えば、余剰の電荷をフォトダイオードからオーバーフローさせることができる様々な構造が提案されているが、飽和信号量（閾値）を超えた場合にオーバーフローさせるとした場合に、飽和信号量を定めるオーバーフロー電位障壁のポテンシャルを精度よく制御することは難し

い。従って、いずれの構造においても、オーバーフロー電位障壁のポテンシャルのばらつきが発生することを避けることが難しく、飽和信号量の低下や、歩留まりの低下を招くこととなる。

[0005] そこで、本開示では、飽和信号量の低下や、歩留まりの低下を避けることができる、固体撮像装置、調整方法及び電子機器を提案する。

課題を解決するための手段

[0006] 本開示によれば、半導体基板に設けられた、光を電荷に変換する光電変換部と、前記光電変換部から前記電荷が転送される電荷蓄積部と、余剰の前記電荷を排出するオーバーフローパスと、前記オーバーフローパスの電位障壁を調整する調整回路と、を備える、固体撮像装置が提供される。

[0007] また、本開示によれば、半導体基板に設けられた、光を電荷に変換する光電変換部と、前記光電変換部から前記電荷が転送される電荷蓄積部と、余剰の前記電荷を排出するオーバーフローパスと、前記オーバーフローパスの電位障壁を調整する調整回路と、を有する固体撮像装置の前記電位障壁の調整方法であって、前記調整回路は、光電変換部の飽和信号量の測定結果に基づき、前記電位障壁を調整する、ことを含む、調整方法が提供される。

[0008] さらに、本開示によれば、半導体基板に設けられた、光を電荷に変換する光電変換部と、前記光電変換部から前記電荷が転送される電荷蓄積部と、余剰の前記電荷を排出するオーバーフローパスと、前記オーバーフローパスの電位障壁を調整する調整回路と、を有する固体撮像装置を、搭載する電子機器が提供される。

図面の簡単な説明

[0009] [図1]本開示の実施形態に係る撮像装置 1 の平面構成例を示す説明図である。

[図2]本開示の第 1 の実施形態に係る画素 100 の等価回路図である。

[図3]本開示の第 1 の実施形態に係る画素 100 の詳細構成の一例を表す平面模式図である。

[図4]本開示の第 1 の実施形態に係る画素 100 の詳細構成の一例を表す断面模式図である。

[図5]本開示の第2の実施形態に係る画素100の詳細構成の一例を表す断面模式図である。

[図6]本開示の第3の実施形態に係る画素100の詳細構成の一例を表す断面模式図である。

[図7]本開示の第4の実施形態に係る画素100の詳細構成の一例を表す断面模式図である。

[図8]本開示の第5の実施形態に係る画素100の詳細構成の一例を表す平面模式図である。

[図9]本開示の第5の実施形態に係る画素100の詳細構成の一例を表す断面模式図である。

[図10]本開示の第6の実施形態に係る画素100の詳細構成の一例を表す断面模式図である。

[図11]本開示の第7の実施形態に係る画素100の詳細構成の一例を表す平面模式図である。

[図12]本開示の第7の実施形態に係る画素100の詳細構成の一例を表す断面模式図である。

[図13]本開示の第7の実施形態に係る画素アレイ部30の詳細構成の一例を表す平面模式図（その1）である。

[図14]本開示の第7の実施形態に係る画素アレイ部30の詳細構成の一例を表す平面模式図（その2）である。

[図15]本開示の第8の実施形態に係る画素100の等価回路図である。

[図16]本開示の第8の実施形態に係る画素100の詳細構成の一例を表す平面模式図である。

[図17]本開示の第9の実施形態に係る画素100の詳細構成の一例を表す平面模式図である。

[図18]本開示の第9の実施形態に係る画素100の詳細構成の一例を表す断面模式図である。

[図19]本開示の第10の実施形態に係る画素100の製造方法を説明するた

めの模式図である。

[図20]本開示の第11の実施形態に係る撮像装置1の出荷工程を説明するための模式図である。

[図21]本開示の第11の実施形態に係る回路ブロックの一例を示すブロック図（その1）である。

[図22]本開示の第11の実施形態に係るヒューズカット回路52の一例を示す等価回路図である。

[図23]本開示の第11の実施形態に係る回路ブロックの一例を示すブロック図（その2）である。

[図24]本開示に係る技術（本技術）が適用され得るカメラ700の概略的な機能構成の一例を示す説明図である。

[図25]本開示に係る技術（本技術）が適用され得るスマートフォン900の概略的な機能構成の一例を示すブロック図である。

発明を実施するための形態

[0010] 以下に、本開示の実施形態について図面に基づいて詳細に説明する。なお、以下の各実施形態において、同一の部位には同一の符号を付することにより重複する説明を省略する。

[0011] また、本明細書および図面において、実質的に同一または類似の機能構成を有する複数の構成要素を、同一の符号の後に異なる数字を付して区別する場合がある。ただし、実質的に同一または類似の機能構成を有する複数の構成要素の各々を特に区別する必要がある場合、同一符号のみを付する。また、異なる実施形態の類似する構成要素については、同一の符号の後に異なるアルファベットを付して区別する場合がある。ただし、類似する構成要素の各々を特に区別する必要がある場合、同一符号のみを付する。

[0012] また、以下の説明で参照される図面は、本開示の一実施形態の説明とその理解を促すための図面であり、わかりやすくするために、図中に示される形状や寸法、比などは実際と異なる場合がある。さらに、図中に示される撮像装置は、以下の説明と公知の技術を参酌して適宜、設計変更することができ

る。また、撮像装置の断面図を用いた説明においては、撮像装置の積層構造の上下方向は、撮像装置に対して入射する光が入ってくる受光面を下とした場合の相対方向に対応し、実際の重力加速度に従った上下方向とは異なる場合がある。

[0013] さらに、以下の説明においては、本開示の実施形態を裏面照射型撮像装置に適用した場合を例に説明し、従って、当該撮像装置においては、基板の裏面側から光が入射されることとなる。従って、以下の説明においては、基板の表面とは、光が入射される側を裏面とした場合に、裏面と対向する表面となる。

[0014] また、以下の回路（電氣的な接続）の説明においては、特段の断りがない限りは、「電氣的に接続」とは、複数の要素の間を電気（信号）が導通するように接続することを意味する。加えて、以下の説明における「電氣的に接続」には、複数の要素を直接的に、且つ、電氣的に接続する場合だけでなく、他の要素を介して間接的に、且つ、電氣的に接続する場合も含むものとする。

[0015] 以下、本開示を実施するための形態について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

1. 撮像装置の概略構成
2. 本発明者が本開示に係る実施形態を創作するに至った背景
3. 第1の実施形態
 3. 1 等価回路
 3. 2 平面構造
 3. 3 断面構造
4. 第2の実施形態
5. 第3の実施形態
6. 第4の実施形態
7. 第5の実施形態
 7. 1 平面構造

- 7. 2 断面構造
- 8. 第6の実施形態
- 9. 第7の実施形態
 - 9. 1 平面構造
 - 9. 2 断面構造
 - 9. 3 画素アレイ部30の平面構造
- 10. 第8の実施形態
 - 10. 1 等価回路
 - 10. 2 平面構造
- 11. 第9の実施形態
 - 11. 1 平面構造
 - 11. 2 断面構造
- 12. 第10の実施形態
- 13. 第11の実施形態
- 14. まとめ
- 15. カメラへの応用例
- 16. スマートフォンへの応用例
- 17. 補足

[0016] <<1. 撮像装置の概略構成>>

まずは、図1を参照して、本開示の実施形態に係る撮像装置1の概略構成について説明する。図1は、本開示の実施形態に係る撮像装置1の平面構成例を示す説明図である。図1に示すように、本開示の実施形態に係る撮像装置1は、例えば、シリコンからなる半導体基板10上に、複数の画素100がマトリック状に配置されている画素アレイ部30と、当該画素アレイ部30を取り囲むように設けられた周辺回路部とを有する。さらに、上記撮像装置1には、当該周辺回路部として、垂直駆動回路部32、カラム信号処理回路部34、水平駆動回路部36、出力回路部38、制御回路部40等が含まれる。以下に、撮像装置1の各ブロックの詳細について説明する。

[0017] (画素アレイ部30)

画素アレイ部30は、半導体基板10上に、行方向及び列方向に沿ってマトリックス状に、2次元配置された複数の画素100を有する。各画素100は、入射された光に対して光電変換を行い、電荷を発生させるフォトダイオード(光電変換部)(図示省略)と、複数の画素トランジスタ(例えばMOS(Metal-Oxide-Semiconductor)トランジスタ)(図示省略)とを有している。そして、当該画素トランジスタは、例えば、転送トランジスタ、選択トランジスタ、リセットトランジスタ、及び、増幅トランジスタの4つのMOSトランジスタを含む。さらに、画素アレイ部30においては、例えばベイヤー配列に従って、複数の画素100が2次元状に配列している。ここで、ベイヤー配列とは、緑色の波長(例えば波長495nm~570nm)をもつ光を吸収して電荷を発生する画素100が市松状に並び、残りの部分に、赤色の波長(例えば波長620nm~750nm)をもつ光を吸収して電荷を発生する画素100と、青色の波長(例えば波長450nm~495nm)をもつ光を吸収して電荷を発生する画素100とが一行ごとに交互に並ぶような、配列パターンである。なお、画素100の詳細構造については後述する。

[0018] (垂直駆動回路部32)

垂直駆動回路部32は、例えばシフトレジスタによって形成され、画素駆動配線42を選択し、選択された画素駆動配線42に画素100を駆動するためのパルスを供給し、行単位で画素100を駆動する。すなわち、垂直駆動回路部32は、画素アレイ部30の各画素100を行単位で順次垂直方向(図1中の上下方向)に選択走査し、各画素100の光電変換部(図示省略)の受光量に応じて生成された信号電荷に基づく画素信号を、垂直信号線44を通して後述するカラム信号処理回路部34に供給する。

[0019] (カラム信号処理回路部34)

カラム信号処理回路部34は、画素100の列ごとに配置されており、1行分の画素100から出力される画素信号に対して画素列ごとにノイズ除去

等の信号処理を行う。例えば、カラム信号処理回路部34は、画素固有の固定パターンノイズを除去するためにCDS (Correlated Double Sampling: 相関2重サンプリング) およびAD (Analog-Digital) 変換等の信号処理を行う。

[0020] (水平駆動回路部36)

水平駆動回路部36は、例えばシフトレジスタによって形成され、水平走査パルスを順次出力することによって、上述したカラム信号処理回路部34の各々を順番に選択し、カラム信号処理回路部34の各々から画素信号を水平信号線46に出力させる。

[0021] (出力回路部38)

出力回路部38は、上述したカラム信号処理回路部34の各々から水平信号線46を通して順次に供給される画素信号に対し、信号処理を行って出力する。出力回路部38は、例えば、バッファリング (buffering) を行う機能部として機能してもよく、もしくは、黒レベル調整、列ばらつき補正、各種デジタル信号処理等の処理を行ってもよい。なお、バッファリングとは、画素信号のやり取りの際に、処理速度や転送速度の差を補うために、一時的に画素信号を保存することをいう。さらに、入出力端子48は、外部装置との間で信号のやり取りを行うための端子である。

[0022] (制御回路部40)

制御回路部40は、入力クロックと、動作モード等を指令するデータを受け取り、また撮像装置1の内部情報等のデータを出力する。すなわち、制御回路部40は、垂直同期信号、水平同期信号及びマスタクロックに基づいて、垂直駆動回路部32、カラム信号処理回路部34及び水平駆動回路部36等の動作の基準となるクロック信号や制御信号を生成する。そして、制御回路部40は、生成したクロック信号や制御信号を、垂直駆動回路部32、カラム信号処理回路部34及び水平駆動回路部36等に出力する。

[0023] <<2. 本発明者が本開示に係る実施形態を創作するに至った背景>>

次に、本開示に係る実施形態の詳細を説明する前に、本発明者が本開示に

係る実施形態を創作するに至った背景について説明する。

[0024] 先に説明したように、撮像装置 1 には、画素 100 として、MOS 集積回路と同様のプロセスで製造できる CMOS 型固体撮像素子を適用することができる。固体撮像素子は、CMOS プロセスに付随した微細化技術により、画素 100 毎に増幅機能を持つアクティブ型の構造を容易に作ることができるという特徴を有する。さらに、固体撮像素子は、画素アレイ部 30 を駆動する駆動回路や画素アレイ部 30 の各画素 100 から出力される信号を処理する信号処理回路などの周辺回路部を、画素アレイ部 30 と同一の半導体基板（チップ）10 上に集積できるという特徴を有する。このような特徴から、CMOS 型固体撮像素子の開発が盛んになされている。

[0025] このような固体撮像素子のうち、半導体基板 10 の裏面の光が照射される裏面照射型撮像素子がある。従来から、固体撮像素子としての画素 100 に対して多量の光が照射された際に、フォトダイオードから溢れ出た余剰の電荷をどのように取り扱いかについて検討がなされており、余剰の電荷を排出するための様々な構造が提案されている。余剰の電荷が隣接する画素 100 へ流れだした場合には、隣接する画素 100 は、意図しない画素信号を発生することから、本来あるべき像を撮像することができない。このような現象はブルーミングと呼ばれている。

[0026] 例えば、従来検討された構造としては、フォトダイオードからの電荷を浮遊拡散領域に転送する転送トランジスタのゲート下から、浮遊拡散領域へ余剰の電荷をオーバーフローさせることができる構造が挙げられる。

[0027] このような構造を選択した場合、固体撮像素子の製造においては、転送トランジスタのゲート下の領域に形成されるオーバーフローパスの電位障壁のポテンシャルを精度よく所望の状態にしつつ、高速で電荷を転送することができるように、転送トランジスタのゲート下の領域の不純物プロファイルを精度よく制御することが求められる。すなわち、上記構造によれば、オーバーフローパスの電位障壁のポテンシャル制御と転送設計との 2 つを同時に満たさなくてはならないことから、製造（量産）の難易度が高くなる。そして

、転送トランジスタのゲート下の領域の不純物プロファイルを精度よく制御して製造することが難しいことから、オーバーフローパスの電位障壁のポテンシャルはばらつき、画素によっては、飽和信号量が低下したり、もしくは、余剰の電荷が排出され難くなり、歩留まりの低下を招くこととなる。加えて、上記構造によれば、オーバーフローパスの電位障壁のポテンシャル制御を優先することにより、画素１００の他の特性が劣化する場合もある。

[0028] また、他の構造としては、例えば、浮遊拡散領域の下に、半導体基板１０の膜厚方向に余剰電荷を輩出するためのオーバーフローパスを形成することにより、転送設計とは独立して、オーバーフローパスの電位障壁のポテンシャルを制御することが可能な構造を挙げることができる。当該構造においては、オーバーフローパスを設けるために、例えば、半導体基板１０の膜厚方向に沿って、 n 型半導体領域－ p 型半導体領域－ n 型半導体領域を形成する。しかしながら、当該構造においても、オーバーフローパスが設けられる領域の不純物プロファイルを精度よく制御することが難しく、オーバーフローパスの電位障壁のポテンシャルのばらつきが発生することを避けることが難しい。そのため、当該構造においても、飽和信号量の低下や、歩留まりの低下を招くこととなる。

[0029] そこで、上述のような状況を鑑みて、本発明者は、転送トランジスタのゲートと独立して、フォトダイオードの上にオーバーフローパスを設け、さらに、オーバーフローパスの電位障壁のポテンシャルを印加するバイアスにより個別に調整することができるような画素１００の構造を創作するに至った。さらに、本発明者が創作した本開示の実施形態においては、撮像装置１ごと、ウエハーごと、もしくは、ロットごとに飽和信号量を予め計測し、計測結果に基づいて、印加するバイアスの値を決定することにより、オーバーフローパスの電位障壁のポテンシャルのばらつきを加味した上で、オーバーフローパスに印加するバイアスを決定することができる。このような本発明者が創作した本開示の実施形態においては、オーバーフローパスの電位障壁のポテンシャルのばらつきにより、飽和信号量が低下したり、もしくは、余剰

の電荷が排出され難くなり、歩留まりの低下を招くことを避けることができる。加えて、上記構造によれば、転送トランジスタのゲートと独立して、フォトダイオードの上にオーバーフローパスを設けることから、画素１００の他の特性を向上させることも可能となる。以下に、本発明者が創作した本開示の実施形態の詳細について順次説明する。

[0030] << ３． 第１の実施形態 >>

< ３． １ 等価回路 >

まずは、図２を参照して、本発明者が創作した本開示の第１の実施形態に係る画素１００の等価回路を説明する。図２は、本実施形態に係る画素１００の等価回路図である。

[0031] 図２に示すように、画素１００は、光を電荷に変換する光電変換素子（光電変換部）としてのフォトダイオードＰＤと、電荷排出トランジスタＯＦとを有する。さらに、画素１００は、転送トランジスタＴＧ、浮遊拡散領域ＦＤ、リセットトランジスタＲＳＴ、増幅トランジスタＡＭＰ、及び選択トランジスタＳＥＬを有する。

[0032] 詳細には、図２に示すように、画素１００においては、電荷排出トランジスタＯＦのソース／ドレインの一方は、受光することで電荷を発生するフォトダイオードＰＤに電氣的に接続される。さらに、電荷排出トランジスタＯＦのソース／ドレインの他方は、電源回路（電源電位ＶＤＤ）に電氣的に接続される。そして、電荷排出トランジスタＯＦは、自身のゲートに印加された電圧に応じて、フォトダイオードＰＤからの余剰の電荷を上記電源回路（電源電位ＶＤＤ）に排出することができる。

[0033] また、図２に示すように、画素１００においては、転送トランジスタＴＧのソース／ドレインの一方は、フォトダイオードＰＤに電氣的に接続され、転送トランジスタＴＧのソース／ドレインの他方は、浮遊拡散領域ＦＤに電氣的に接続される。そして、転送トランジスタＴＧは、自身のゲートに印加された電圧に応じて導通状態になり、フォトダイオードＰＤで発生した電荷を浮遊拡散領域ＦＤに転送することができる。

[0034] また、浮遊拡散領域FDは、電荷を電圧に変換して信号として出力する増幅トランジスタAMPのゲートに電氣的に接続される。また、増幅トランジスタAMPのソース／ドレインの一方は、選択信号に従って、変換によって得た上記信号を信号線に出力する選択トランジスタのソース／ドレインの一方に電氣的に接続される。さらに、増幅トランジスタAMPのソース／ドレインの他方は、電源回路（電源電位VDD）に電氣的に接続される。

[0035] また、選択トランジスタSELのソース／ドレインの他方は、変換された電圧を信号として伝達する上記信号線に電氣的に接続され、さらに上述したカラム信号処理回路部34に電氣的に接続される。さらに、選択トランジスタSELのゲートは、信号を出力する行を選択する選択線（図示省略）に電氣的に接続され、さらに上述した垂直駆動回路部32に電氣的に接続される。すなわち、浮遊拡散領域FDに蓄積された電荷は、選択トランジスタSELの制御により、増幅トランジスタAMP2によって電圧に変換され、信号線に出力されることとなる。

[0036] また、図2に示すように、浮遊拡散領域FDは、蓄積した電荷をリセットするためのリセットトランジスタRSTのドレイン／ソースの一方に電氣的に接続される。リセットトランジスタRSTのゲートは、リセット信号線（図示省略）に電氣的に接続され、さらに上述した垂直駆動回路部32に電氣的に接続される。また、リセットトランジスタRSTのドレイン／ソースの他方は、電源回路（電源電位VDD）に電氣的に接続される。そして、リセットトランジスタRSTは、自身のゲートに印加された電圧に応じて導通状態になり、浮遊拡散領域FDに蓄積された電荷をリセット（電源回路（電源電位VDD）へ排出）することができる。

[0037] なお、本実施形態に係る画素100の等価回路は、図2に示される例に限定されるものではなく、例えば、他の素子等を含んでもよく、特に限定されるものではない。

[0038] <3. 2 平面構造>

まずは、図3を参照して、本開示の第1の実施形態に係る画素100の平

面構造例を説明する。図3は、本実施形態に係る画素100の詳細構成の一例を表す平面模式図であって、半導体基板102の表面の上方から画素100を見た場合の図となる。

[0039] 図3に示すように、画素100においては、画素100の外周を取り囲むように、半導体基板102に設けられた溝に埋め込まれた絶縁膜からなる画素分離部104が設けられている。また、画素分離部104に取り囲まれたp型（第2の導電型）半導体基板102には、n型（第1の導電型）半導体領域106が設けられている。さらに、半導体基板102上には、酸化絶縁膜（図示省略）を介して、電荷排出トランジスタOF、転送トランジスタTG、リセットトランジスタRST、増幅トランジスタAMP、及び選択トランジスタSELのゲート電極108o、108t、108r、108a、108sが設けられている。

[0040] 詳細には、図3に示すように、転送トランジスタTG及びリセットトランジスタRSTのゲート電極108t、108rが、図中上下方向に沿って並んでおり、平面視において、ゲート電極108tとゲート電極108rとの間に位置するn型半導体領域が、電荷を蓄積する浮遊拡散領域FDとして機能する。さらに、電荷排出トランジスタOF、増幅トランジスタAMP、及び選択トランジスタSELのゲート電極108o、108a、108sが、図中上下方向に沿って並んでおり、平面視において、これらゲート電極108o、108a、108sに挟まれたn型半導体領域が、これらトランジスタのソース又はドレインとして機能する。また、画素分離部104に取り囲まれたp型半導体基板102には、p型半導体基板のpウェル領域（図示省略）を所定の電位にするためのコンタクト140が設けられる。

[0041] なお、本実施形態に係る画素100の平面構造は、図3に示される例に限定されるものではなく、例えば、他の素子等を含んでもよく、特に限定されるものではない。

[0042] <3. 3 断面構造>

次に、図4を参照して、本開示の第1の実施形態に係る画素100の断面

構造例を説明する。図4は、本実施形態に係る画素100の詳細構成の一例を表す断面模式図である。詳細には、図4は、図3のA-A'線に沿って画素100を切断した際の断面図であり、詳細には、図4中の下側が半導体基板102の裏面側となり、図4中の上側が半導体基板102の表面側となる。

[0043] まずは、図4に示すように、画素100は、シリコン基板等からなる半導体基板102を有する。詳細には、半導体基板102内には、p型半導体領域（図示省略）とn型半導体領域（図示省略）が積層されることにより、半導体基板102内にフォトダイオード（PD）（光電変換部）110が形成される。当該フォトダイオード110は、半導体基板102の裏面から入射された光により光電変換を行い、電荷を発生する。また、フォトダイオード110の上方には、p型分離層150が設けられている。当該p型分離層150は、フォトダイオード110のn型半導体領域（図示省略）と、画素トランジスタに有するn型拡散領域（図示省略）とを分離する機能を有する。

[0044] 次に、図4中の下側、すなわち、半導体基板102の裏面側から説明する。半導体基板102の裏面の上方には、光が入射される、スチレン系樹脂、アクリル系樹脂、スチレンーアクリル共重合系樹脂、又はシロキサン系樹脂等からなるオンチップレンズ120が設けられている。

[0045] オンチップレンズ120の下方には、例えば、酸化ハフニウム（ HfO_2 ）、酸化アルミニウム（ Al_2O_3 ）、酸化チタン（ TiO_2 ）、酸化シリコン等、もしくは、これらの積層からなる反射防止膜122が設けられる。さらに、当該反射防止膜122には、他の膜が積層されていてもよい。

[0046] さらに、図4では図示を省略しているものの、画素100を囲むように、半導体基板102を貫通し、隣接する画素100へと入射光が入り込むことを防止するための画素分離部104が設けられている。当該画素分離部104は、例えば、半導体基板200の裏面から表面まで、もしくは、表面から裏面までを貫通するトレンチと、当該トレンチに埋め込まれた酸化シリコン等の絶縁膜とからなる。

- [0047] 次に、図4中の上側、すなわち、半導体基板102の表面側を説明する。フォトダイオード110上に隣接して、転送トランジスタTGのゲート電極（転送ゲート）108tが、半導体基板102の表面上に設けられている。当該ゲート電極108tは、例えば、ポリシリコン膜からなり、半導体基板102のn型半導体領域106に、絶縁膜114及びp型半導体領域（図示省略）を介して埋め込まれた埋め込み部118を有する、縦型ゲート電極構造を持つ。さらに、転送トランジスタTGのゲート電極108tに近接した半導体基板102の表面近傍のn型半導体領域106には浮遊拡散領域（FD）（電荷蓄積部）（図3 参照）が形成されており、転送トランジスタTGのゲート電極108tに印加された電圧に応じて、フォトダイオード110で発生した電荷を浮遊拡散領域（FD）に転送することができる。
- [0048] さらに、フォトダイオード110に隣接して、電荷排出トランジスタOFのゲート電極（オーバーフローゲート）108oが、半導体基板102の表面上に設けられている。当該ゲート電極108oは、例えばポリシリコン膜からなり、半導体基板102のn型半導体領域106に、絶縁膜114及びp型半導体領域（図示省略）を介して埋め込まれた埋め込み部118を有する、縦型ゲート電極構造を持つ。さらに、電荷排出トランジスタTGのゲート電極108に近接した半導体基板102の表面近傍のn型半導体領域106は、電源回路（図示省略）と電氣的に接続されている（図3 参照）。従って、電荷排出トランジスタOFのゲート電極108oの周囲には、フォトダイオード110で発生した余剰の電荷を排出するためのオーバーフローパスが形成され、当該オーバーフローパスを介して、余剰の電荷が電源回路に排出されることとなる。
- [0049] 本実施形態においては、オーバーフローパスの電位障壁のポテンシャルをゲート電極108oに印加される負のバイアス（例えば、-1.2V程度）により、調整することができる。従って、ゲート電極108oは、図示しない専用の電源（負のバイアスを発生させることができる電源）（調整回路）（図示省略）に電氣的に接続され、負のバイアスが印加される。本実施形態

においては、このような構造を持つことにより、画素１００の出来栄えにより、オーバーフローパスの電位障壁のポテンシャルがばらついた場合であっても、ゲート電極１０８に印加するバイアスを調整することができることから、オーバーフローパスの電位障壁のポテンシャルを最適な状態に制御することができる。

[0050] また、本実施形態においては、転送トランジスタＴＧのゲート電極１０８を縦型ゲート電極構造とすることで、電荷の転送をより高速にすることができる。さらに、本実施形態においては、電荷排出トランジスタＯＦのゲート電極１０８を縦型ゲート電極構造とすることで、半導体基板１０２の深い位置にあるオーバーフローパスであっても、その電位障壁のポテンシャルを精度良く調整することが可能となる。

[0051] なお、本実施形態に係る画素１００の断面構造は、図４に示される例に限定されるものではなく、例えば、他の素子等を含んでもよく、特に限定されるものではない。

[0052] <<４． 第２の実施形態>>

次に、図５を参照して、本開示の第２の実施形態に係る画素１００の断面構造例を説明する。図５は、本実施形態に係る画素１００の詳細構成の一例を表す断面模式図である。詳細には、図５は、図３のＡ－Ａ'線に沿って画素１００を切断した際の断面図であり、詳細には、図５中の下側が半導体基板１０２の裏面側となり、図５中の上側が半導体基板１０２の表面側となる。

[0053] 本実施形態においては、上述した第１の実施形態と異なり、電荷排出トランジスタＯＦのゲート電極（オーバフローゲート）１０８が、半導体基板１０２の表面上に設けられている。当該ゲート電極１０８は、例えばポリシリコン膜からなり、半導体基板１０２内のｐ型半導体領域１１６上に、絶縁膜１１４を介して積層される平板型ゲート電極構造を有する。本実施形態においては、電荷排出トランジスタＯＦのゲート電極１０８が平板型ゲート電極構造を有することで、絶縁膜１１４等と接する界面がシンプルな構造

となることから、界面で電荷が捕獲される等の現象が起き難くなり、暗電流の発生を抑えることができる。

[0054] なお、本実施形態に係る画素１００の断面構造は、図５に示される例に限定されるものではなく、例えば、他の素子等を含んでもよく、特に限定されるものではない。

[0055] <<５． 第３の実施形態>>

次に、図６を参照して、本開示の第３の実施形態に係る画素１００の断面構造例を説明する。図６は、本実施形態に係る画素１００の詳細構成の一例を表す断面模式図である。詳細には、図６は、図３のＡ－Ａ'線に沿って画素１００を切断した際の断面図であり、詳細には、図６中の下側が半導体基板１０２の裏面側となり、図６中の上側が半導体基板１０２の表面側となる。

[0056] 本実施形態においては、上述した第１の実施形態と異なり、転送トランジスタＴＧのゲート電極（転送ゲート）１０８ｔが、半導体基板１０２の表面上に設けられている。当該ゲート電極１０８ｔは、例えばポリシリコン膜からなり、半導体基板１０２内のｐ型半導体領域１１６上に、絶縁膜１１４を介して積層される平板型ゲート電極構造を有する。本実施形態においては、転送トランジスタＯＦのゲート電極１０８ｔが平板型ゲート電極構造を有することで、絶縁膜１１４等と接する界面がシンプルな構造となることから、界面で電荷が捕獲される等の現象が起き難くなり、暗電流の発生を抑えることができる。

[0057] なお、本実施形態に係る画素１００の断面構造は、図６に示される例に限定されるものではなく、例えば、他の素子等を含んでもよく、特に限定されるものではない。

[0058] <<６． 第４の実施形態>>

次に、図７を参照して、本開示の第４の実施形態に係る画素１００の断面構造例を説明する。図７は、本実施形態に係る画素１００の詳細構成の一例を表す断面模式図である。詳細には、図７は、図３のＡ－Ａ'線に沿って画

素 100 を切断した際の断面図であり、詳細には、図 7 中の下側が半導体基板 102 の裏面側となり、図 7 中の上側が半導体基板 102 の表面側となる。

[0059] 本実施形態においては、上述した第 1 の実施形態と異なり、電荷排出トランジスタ OF のゲート電極（オーバフローゲート）108o 及び転送トランジスタ TG のゲート電極（転送ゲート）108t が、半導体基板 102 の表面上に設けられている。詳細には、当該ゲート電極 108o、108t は、例えばポリシリコン膜からなり、半導体基板 102 内の p 型半導体領域 116 上に、絶縁膜 114 を介して積層される平板型ゲート電極構造を有する。本実施形態においては、第 1 の実施形態と異なり、縦型ゲート電極構造を形成しないことから、工程数が少なく、製造コストの増加を抑えることができる。

[0060] なお、本実施形態に係る画素 100 の断面構造は、図 7 に示される例に限定されるものではなく、例えば、他の素子等を含んでもよく、特に限定されるものではない。

[0061] <<7. 第 5 の実施形態>>

<7. 1 平面構造>

まずは、図 8 を参照して、本開示の第 5 の実施形態に係る画素 100 の平面構造例を説明する。図 8 は、本実施形態に係る画素 100 の詳細構成の一例を表す平面模式図であって、半導体基板 102 の表面の上方から画素 100 を見た場合の図となる。

[0062] 本実施形態においては、第 1 の実施形態と異なり、オーバフローパスが形成される n 型半導体領域 106 に対して直接的に正バイアスを印加して、オーバフローパスの電位障壁のポテンシャルを調整してもよい。従って、本実施形態においては、第 1 の実施形態と異なり、電荷排出トランジスタ OF のゲート電極 108o が設けられておらず、半導体領域に直接、電氣的に接続するコンタクト 130 が設けられている。コンタクト 130 は、例えば、ポリシリコンで形成することができる。

[0063] なお、本実施形態に係る画素100の平面構造は、図8に示される例に限定されるものではなく、例えば、他の素子等を含んでもよく、特に限定されるものではない。

[0064] <7. 2 断面構造>

次に、図9を参照して、本開示の第5の実施形態に係る画素100の断面構造例を説明する。図9は、本実施形態に係る画素100の詳細構成の一例を表す断面模式図である。詳細には、図9は、図8のB-B'線に沿って画素100を切断した際の断面図であり、詳細には、図9中の下側が半導体基板102の裏面側となり、図9中の上側が半導体基板102の表面側となる。

[0065] 本実施形態においては、フォトダイオード110に隣接して、n型半導体領域106が半導体基板102の表面近傍に設けられており、n型半導体領域106と電氣的に接続するコンタクト130が設けられている。コンタクト130と電氣的に接続されたn型半導体領域106内には、フォトダイオード110で発生した余剰の電荷を排出するためのオーバーフローパスが形成され、当該オーバーフローパスを介して、余剰の電荷が電源回路に排出されることとなる。

[0066] 本実施形態においては、オーバーフローパスの電位障壁のポテンシャルを、コンタクト130を介して正のバイアスを印加することにより、調整することができる。従って、コンタクト130は、図示しない専用の電源（正のバイアスを発生させることができる電源）（調整回路）（図示省略）に電氣的に接続され、正のバイアスが印加される。本実施形態においては、このような構造を持つことにより、画素100の出来栄により、オーバーフローパスの電位障壁のポテンシャルがばらついた場合であっても、印加するバイアスを調整することができることから、オーバーフローパスの電位障壁のポテンシャルを最適な状態に制御することができる。さらに、本実施形態においては、コンタクト130には正のバイアスが印加されることから、コンタクト130に接続される電源は、複雑な構成を必要とする負のバイアスの電

源に比べてシンプルな構成の電源であることができる。その結果、本実施形態によれば、撮像装置 1 を小型化したり、製造コストの増加を抑えることができる。

[0067] なお、本実施形態に係る画素 100 の断面構造は、図 9 に示される例に限定されるものではなく、例えば、他の素子等を含んでもよく、特に限定されるものではない。

[0068] << 8. 第 6 の実施形態 >>

次に、図 10 を参照して、本開示の第 6 の実施形態に係る画素 100 の断面構造例を説明する。図 10 は、本実施形態に係る画素 100 の詳細構成の一例を表す断面模式図である。詳細には、図 10 は、図 8 の B-B' 線に沿って画素 100 を切断した際の断面図であり、詳細には、図 10 中の下側が半導体基板 102 の裏面側となり、図 10 中の上側が半導体基板 102 の表面側となる。

[0069] 本実施形態においては、上述した第 5 の実施形態と異なり、転送トランジスタ TG のゲート電極（転送ゲート）108t が、半導体基板 102 の表面上に設けられている。当該ゲート電極 108t は、例えばポリシリコン膜からなり、半導体基板 102 内の p 型半導体領域 116 上に、絶縁膜 114 を介して積層される平板型ゲート電極構造を有する。本実施形態においては、転送トランジスタ OF のゲート電極 108t が平板型ゲート電極構造を有することで、絶縁膜 114 等と接する界面がシンプルな構造となることから、界面で電荷が捕獲される等の現象が起き難くなり、暗電流の発生を抑えることができる。さらに、本実施形態においては、第 5 の実施形態と異なり、縦型ゲート電極構造を形成しないことから、工程数が少なく、製造コストの増加を抑えることができる。

[0070] なお、本実施形態に係る画素 100 の断面構造は、図 10 に示される例に限定されるものではなく、例えば、他の素子等を含んでもよく、特に限定されるものではない。

[0071] << 9. 第 7 の実施形態 >>

＜ 9. 1 平面構造＞

まずは、図 1 1 を参照して、本開示の第 7 の実施形態に係る画素 1 0 0 の平面構造例を説明する。図 1 1 は、本実施形態に係る画素 1 0 0 の詳細構成の一例を表す平面模式図であって、半導体基板 1 0 2 の表面の上方から画素 1 0 0 を見た場合の図となる。

[0072] 図 1 1 に示すように、画素 1 0 0 においては、画素 1 0 0 の外周を取り囲むように、半導体基板 1 0 2 に設けられた溝に埋め込まれた絶縁膜からなる画素分離部 1 0 4 が設けられている。また、画素分離部 1 0 4 に取り囲まれた半導体基板 1 0 2 には、フォトダイオード 1 1 0 が設けられている。また、画素分離部 1 0 4 に取り囲まれた半導体基板 1 0 2 の図中左下の隅には、転送トランジスタ T G のゲート電極 1 0 8 t と、当該ゲート電極 1 0 8 t に隣接して電荷を蓄積する浮遊拡散領域 F D が設けられている。また、フォトダイオード 1 1 0 の図中右上の隅には、コンタクト 1 3 0 が設けられている。また、画素 1 0 0 の外周には、半導体基板 1 0 2 上に、酸化絶縁膜（図示省略）を介して、リセットトランジスタ R S T、増幅トランジスタ A M P、及び選択トランジスタ S E L のゲート電極 1 0 8 r、1 0 8 a、1 0 8 s が設けられている。

[0073] なお、本実施形態に係る画素 1 0 0 の平面構造は、図 1 1 に示される例に限定されるものではなく、例えば、他の素子等を含んでもよく、特に限定されるものではない。

[0074] ＜ 9. 2 断面構造＞

次に、図 1 2 を参照して、本開示の第 7 の実施形態に係る画素 1 0 0 の断面構造例を説明する。図 1 2 は、本実施形態に係る画素 1 0 0 の詳細構成の一例を表す断面模式図である。詳細には、図 1 2 は、図 1 1 の C—C' 線に沿って画素 1 0 0 を切断した際の断面図であり、詳細には、図 1 2 中の下側が半導体基板 1 0 2 の裏面側となり、図 1 2 中の上側が半導体基板 1 0 2 の表面側となる。

[0075] 本実施形態においては、フォトダイオード 1 1 0 に隣接して、n 型半導体

領域 106 が半導体基板 102 の表面近傍に設けられており、n 型半導体領域 106 と電氣的に接続するコンタクト 130 が設けられている。コンタクト 130 と電氣的に接続された n 型半導体領域 106 内には、フォトダイオード 110 で発生した余剰の電荷を排出するためのオーバーフローパスが形成され、当該オーバーフローパスを介して、余剰の電荷が電源回路に排出されることとなる。

[0076] 本実施形態においては、オーバーフローパスの電位障壁のポテンシャルを、コンタクト 130 を介して正のバイアスを印加することにより、調整することができる。従って、コンタクト 130 は、図示しない専用の電源（正のバイアスを発生させることができる電源）（調整回路）（図示省略）に電氣的に接続され、正のバイアスが印加される。本実施形態においては、このような構造を持つことにより、画素 100 の出来栄により、オーバーフローパスの電位障壁のポテンシャルがばらついた場合であっても、印加するバイアスを調整することができることから、オーバーフローパスの電位障壁のポテンシャルを最適な状態に制御することができる。さらに、本実施形態においては、コンタクト 130 には正のバイアスが印加されることから、コンタクト 130 に接続される電源は、複雑な構成を必要とする負のバイアスの電源に比べてシンプルな構成の電源であることができる。その結果、本実施形態によれば、撮像装置 1 を小型化したり、製造コストの増加を抑えることができる。

[0077] なお、本実施形態に係る画素 100 の断面構造は、図 12 に示される例に限定されるものではなく、例えば、他の素子等を含んでもよく、特に限定されるものではない。

[0078] <9. 3 画素アレイ部 30 の平面構造>

次には、図 13 及び図 14 を参照して、本開示の第 7 の実施形態に係る画素アレイ部 30 の平面構造例を説明する。図 13 及び図 14 は、本実施形態に係る画素アレイ部 30 の詳細構成の一例を表す平面模式図であって、半導体基板 102 の表面の上方から画素 100 を見た場合の図となる。

[0079] 例えば、図13に示すように、本実施形態に係る画素アレイ部30においては、図11で示した平面構造を有する画素100を2×2の配列でマトリックス状に並べてもよい。この際、画素アレイ部30の中心に浮遊拡散領域FDが位置するように、画素100を並べることが好ましい。このようにすることで、各画素100は、1つの浮遊拡散領域FDを共有することができる。さらに、図13に示す例では、画素アレイ部30の外周に、リセットトランジスタRST、増幅トランジスタAMP、及び選択トランジスタSELのゲート電極108r、108a、108sを設けており、各画素100は、1つずつのリセットトランジスタRST、増幅トランジスタAMP、及び選択トランジスタSELを共有してもよい。

[0080] さらに、図14に示すように、本実施形態に係る画素アレイ部30においては、図13に示す構成を2つ並べることもでき、すなわち、画素100を2×4の配列でマトリックス状に並べてもよい。図14の例においても、4つの画素100の中心に、浮遊拡散領域FDが位置するように並べることが好ましく、このようにすることで、4つの画素100は、1つの浮遊拡散領域FDを共有することができる。さらに、図14に示す例では、画素アレイ部30の外周に、リセットトランジスタRST、増幅トランジスタAMP、及び選択トランジスタSELのゲート電極108r、108a、108sを設けている。このようにすることで、8つの画素100は、1つずつのリセットトランジスタRST、増幅トランジスタAMP、及び選択トランジスタSELを共有してもよい。

[0081] なお、本実施形態に係る画素アレイ部30の平面構造は、図13及び図14に示される例に限定されるものではなく、例えば、他の数の画素100を並べてもよく、特に限定されるものではない。

[0082] <<10. 第8の実施形態>>

<10. 1 等価回路>

まずは、図15を参照して、本開示の第8の実施形態に係る画素100の等価回路を説明する。図15は、本実施形態に係る画素100の等価回路図

である。

[0083] 図15に示すように、本実施形態に係る画素100においては、電荷排出トランジスタOFは、電源回路ではなく、キャパシタFCに電氣的に接続してもよい。すなわち、余剰の電荷は、オーバーフローパスに電氣的に接続されたキャパシタFCに排出されてもよい。また、キャパシタFCは、電氣的に接続されたキャパシタ制御トランジスタFCGにより制御されることにより、蓄積した電荷を電源回路に排出してもよい。さらに、本実施形態においては、画素100は、浮遊拡散領域FDとキャパシタFCとを接続するキャパシタ接続トランジスタFDGも有する。

[0084] なお、本実施形態に係る画素100の等価回路は、図15に示される例に限定されるものではなく、例えば、他の素子等を含んでもよく、特に限定されるものではない。

[0085] <10.2 平面構造>

次に、図16を参照して、本開示の第8の実施形態に係る画素100の平面構造例を説明する。図16は、本実施形態に係る画素100の詳細構成の一例を表す平面模式図であって、半導体基板102の表面の上方から画素100を見た場合の図となる。

[0086] 図16に示すように、本実施形態に係る画素100においては、画素100の外周を取り囲むように、画素分離部104が設けられている。また、画素分離部104に取り囲まれた半導体基板102上には、絶縁膜（図示省略）を介して、電荷排出トランジスタOF、転送トランジスタTG、リセットトランジスタRST、増幅トランジスタAMP、選択トランジスタSEL、キャパシタ制御トランジスタFCG、キャパシタ接続トランジスタFDGのゲート電極108o、108t、108r、108a、108s、108c、108dが設けられている。

[0087] なお、本実施形態に係る画素100の平面構造は、図16に示される例に限定されるものではなく、例えば、他の素子等を含んでもよく、特に限定されるものではない。

[0088] また、図16のD-D'線に沿って画素100を切断した際の断面図は、図5と同様であるため、ここでは、断面構造の説明を省略する。なお、本実施形態においては、図示を省略するものの、オーバーフローパスが形成される領域の界面は、p型半導体領域によりピニングされていることが好ましい。

[0089] <<11. 第9の実施形態>>

<11. 1 平面構造>

まずは、図17を参照して、本開示の第9の実施形態に係る画素100の平面構造例を説明する。図17は、本実施形態に係る画素100の詳細構成の一例を表す平面模式図であって、半導体基板102の表面の上方から画素100を見た場合の図となる。

[0090] 本実施形態においては、オーバーフローパスは、リセットトランジスタRSTと接続される電源回路に電氣的に接続されてもよい。詳細には、図17に示すように、転送トランジスタTG、リセットトランジスタRST、電荷排出トランジスタOFのゲート電極108t、108r、108oが、図中上下方向に沿って並んでおり、平面視において、ゲート電極108rとゲート電極108oとの間に位置するn型半導体領域106が、電源回路と接続され、当該領域を介して、余剰の電荷が排出されることとなる。

[0091] なお、本実施形態に係る画素100の平面構造は、図17に示される例に限定されるものではなく、例えば、他の素子等を含んでもよく、特に限定されるものではない。

[0092] <11. 2 断面構造>

次に、図18を参照して、本開示の第9の実施形態に係る画素100の断面構造例を説明する。図18は、本実施形態に係る画素100の詳細構成の一例を表す断面模式図である。詳細には、図18は、図17のE-E'線に沿って画素100を切断した際の断面図であり、詳細には、図18中の下側が半導体基板102の裏面側となり、図18中の上側が半導体基板102の表面側となる。

[0093] 本実施形態においては、図18に示すように、電荷排出トランジスタOFのゲート電極（オーバフローゲート）108oは、平板型ゲート電極構造を有する。本実施形態においては、電荷排出トランジスタOFのゲート電極108oが平板型ゲート電極構造を有することで、絶縁膜114等と接する界面がシンプルな構造となることから、界面で電荷が捕獲される等の現象が起き難くなり、暗電流の発生を抑えることができる。さらに、本実施形態においては、縦型ゲート電極構造を形成しないことから、工程数が少なく、製造コストの増加を抑えることができる。

[0094] なお、本実施形態に係る画素100の断面構造は、図18に示される例に限定されるものではなく、例えば、他の素子等を含んでもよく、特に限定されるものではない。

[0095] <<12. 第10の実施形態>>

次に、図19を参照して、本開示の実施形態に係る画素100の製造方法を説明する。図19は、本実施形態に係る画素100の製造方法を説明するための模式図であって、製造方法における各段階における画素100の断面に対応する。

[0096] まずは、図19の左上に示すように、レジストマスクで半導体基板102の一部を覆い、半導体基板102内の所定の領域にイオン注入を行うことにより、フォトダイオード110を形成する。

[0097] 次に、図19の右上に示すように、レジストマスクを用いて、半導体基板102の所定の領域に、p型の不純物をイオン注入し、p型分離層150を形成する。

[0098] 次に、図19の左下に示すように、レジストマスクを用いてn型の不純物をイオン注入して、n型半導体領域106を形成する。

[0099] さらに、図19の右下に示すように、半導体基板102の表面に溝を形成し、溝内に、p型半導体領域（図示省略）や絶縁膜114（図19では図示省略）を形成した後に、ポリシリコン膜を形成することにより、縦型ゲート構造を持つゲート電極108を形成する。

[0100] 以上のように、本開示の実施形態に係る画素１００は、既存の半導体装置の製造工程を用いて容易に製造することが可能である。

[0101] <<１３． 第１１の実施形態>>

ところで、本開示の実施形態に係る撮像装置は、本実施形態に係る撮像装置１の出荷工程を説明するための模式図である図２０に示す複数の工程を経て、製品として出荷される。詳細には、まず、図１９を用いて説明した半導体素子形成を経て、ウエハーの形態のまま、電気特性が試験される（電気特性試験工程）。当該電気特性試験工程で良品と判定されたウエハーが、次の工程に廻されることとなる。次に、ウエハーをチップごとに切断するダイシング工程、及び、チップをパッケージに封入するパッケージ工程を経て、パッケージの形態で再度電気特性を試験する（電気特性試験工程）。そして、良品と判定された撮像装置１が出荷されることとなる。

[0102] 本実施形態においては、先に説明したように、オーバーフローパスの電子障壁のポテンシャル調整を各撮像装置１の出来栄に応じて最適化することを実現するために、予め出荷前に、画素１００の飽和信号量を計測し、計測結果に基づいて、オーバーフローパスに印加するバイアスを調整する。詳細には、本実施形態においては、ウエハーの形態のままの電気特性試験工程、又は、パッケージの形態での電気特性試験工程において、ウエハーごと、チップごと、又は、パッケージに封入された撮像装置１ごと、もしくは、ロットごとに、撮像装置１光を照射して飽和信号量を計測する。そして、予め得ておいた飽和信号量とバイアスとの関係を示す検量線を参照して、計測した飽和信号量に基づき、印加するバイアスの値を決定する。そして、本実施形態においては、決定したバイアスの値を、撮像装置１内に格納しておき、格納した値に応じて、調整回路がオーバーフローパスに印加するバイアスを調整する。

[0103] 調整回路の詳細を図２１から図２３を参照して説明する。図２１及び図２３は、本実施形態に係る回路ブロックの一例を示すブロック図である。また、図２２は、本実施形態に係るヒューズカット回路５２の一例を示す等価回

路図である。

[0104] 例えば、本実施形態においては、撮像装置 1 は、図 2 1 に示すような回路ブロックを有することにより、計測した飽和信号量に基づき決定したバイアスを保持し、保持したバイアスによりオーバーフローパスに印加するバイアスを調整する。図 2 1 に示すように、撮像装置 1 は、バイアス設定情報保持部 5 0 と、ヒューズカット回路 5 2 とを有することができる。バイアス設定情報保持部 5 0 は、OTP (One Time Programmable) 回路を有し、決定したバイアスの値を格納することができる。また、ヒューズカット回路 5 2 は、図 2 2 に示すように、抵抗とスイッチとで構成された回路であり、決定したバイアスの値に応じて使用する抵抗の組み合わせを選択することにより、各画素 1 0 0 (画素アレイ部 3 0) のオーバーフローパスに印加するバイアスを調整することができる。

[0105] また、本実施形態においては、撮像装置 1 は、図 2 3 に示すような回路ブロックを有することにより、計測した飽和信号量に基づき決定したバイアスを保持し、保持したバイアスによりオーバーフローパスに印加するバイアスを調整してもよい。図 2 3 に示すように、撮像装置 1 は、ヒューズカット回路 5 2 の代わりに、論理ゲート回路 5 4 を有することができる。論理ゲート回路 5 4 は、論理回路を内蔵しており、決定したバイアスの値に応じて論理回路から所定の信号を出力することにより、各画素 1 0 0 (画素アレイ部 3 0) のオーバーフローパスに印加するバイアスを調整することができる。

[0106] << 1 4. まとめ >>

以上説明したように、本開示の各実施形態においては、転送トランジスタ TR のゲート電極 1 0 8 t と独立して、フォトダイオード PD の上にオーバーフローパスを設け、さらに、調整回路によりオーバーフローパスに印加するバイアスを印加して、オーバーフローパスの電位障壁のポテンシャルを個別に調整することができる。さらに、本開示の各実施形態においては、撮像装置 1 ごと、ウエハーごと、もしくは、ロットごとに飽和信号量を予め計測し、計測結果に基づいて、印加するバイアスの値を決定することにより、オ

オーバーフローパスの電位障壁のポテンシャルのばらつきを加味した上で、オーバーフローパスに印加するバイアスを決定することができる。このような本開示の各実施形態によれば、オーバーフローパスの電位障壁のポテンシャルのばらつきにより、飽和信号量が低下したり、もしくは、余剰の電荷が排出され難くなり、歩留まりの低下を招くことを避けることができる。加えて、本開示の各実施形態によれば、転送トランジスタのゲートと独立して、フォトダイオードの上にオーバーフローパスを設けることから、画素１００の他の特性を向上させることも可能となる。

[0107] なお、上述した本開示の実施形態においては、裏面照射型ＣＭＯＳイメージセンサ構造に適用した場合について説明したが、本開示の実施形態はこれに限定されるものではなく、他の構造に適用されてもよい。

[0108] なお、上述した本開示の実施形態においては、第１の導電型をｎ型とし、第２の導電型をｐ型とし、電子を信号電荷として用いた画素１００について説明したが、本開示の実施形態はこのような例に限定されるものではない。例えば、本実施形態は、第１の導電型をｐ型とし、第２の導電型をｎ型とし、正孔を信号電荷として用いる画素１００に適用することが可能である。

[0109] また、上述した本開示の実施形態においては、半導体基板１０２は、必ずしもシリコン基板でなくてもよく、他の基板（例えば、ＳＯＩ（Ｓｉｌｉｃｏｎ Ｏｎ Ｉｎｓｕｌａｔｏｒ）基板やＳｉＧｅ基板など）であっても良い。また、上記半導体基板１０２は、このような種々の基板上に半導体構造等が形成されたものでも良い。

[0110] さらに、本開示の実施形態に係る撮像装置１は、可視光の入射光量の分布を検知して画像として撮像する撮像装置に限定されるものではない。例えば、本実施形態は、赤外線やＸ線、あるいは粒子等の入射量の分布を画像として撮像する撮像装置や、圧力や静電容量など、他の物理量の分布を検知して画像として撮像する指紋検出センサ等の撮像装置（物理量分布検知装置）に対して適用することができる。

[0111] また、本開示の実施形態に係る撮像装置１は、一般的な半導体装置の製造

に用いられる、方法、装置、及び条件を用いることにより製造することが可能である。すなわち、本実施形態に係る撮像装置1は、既存の半導体装置の製造工程を用いて製造することが可能である。

[0112] なお、上述の製造方法としては、例えば、PVD (Physical Vapor Deposition) 法、CVD (Chemical Vapor Deposition) 法及びALD (Atomic Layer Deposition) 法等を挙げることができる。PVD法としては、真空蒸着法、EB (電子ビーム) 蒸着法、各種スパッタリング法 (マグネトロンスパッタリング法、RF (Radio Frequency) -DC (Direct Current) 結合形バイアスパッタリング法、ECR (Electron Cyclotron Resonance) スパッタリング法、対向ターゲットスパッタリング法、高周波スパッタリング法等)、イオンプレーティング法、レーザーアブレーション法、分子線エピタキシー法 (MBE (Molecular Beam Epitaxy) 法)、レーザー転写法を挙げることができる。また、CVD法としては、プラズマCVD法、熱CVD法、有機金属 (MO) CVD法、光CVD法を挙げることができる。さらに、他の方法としては、電解メッキ法や無電解メッキ法、スピコート法; 浸漬法; キャスト法; マイクロコンタクトプリント法; ドロップキャスト法; スクリーン印刷法やインクジェット印刷法、オフセット印刷法、グラビア印刷法、フレキソ印刷法といった各種印刷法; スタンプ法; スプレー法; エアドクタコーター法、ブレードコーター法、ロッドコーター法、ナイフコーター法、スクイズコーター法、リバーシロールコーター法、トランスファーロールコーター法、グラビアコーター法、キスコーター法、キャストコーター法、スプレーコーター法、スリットオリフィスコーター法、カレンダーコーター法といった各種コーティング法を挙げることができる。さらに、パターニング法としては、シャドーマスク、レーザー転写、フォトリソグラフィ等の化学的エッチング、紫外線やレーザー等による物理的エッチング等を挙げることができる。加えて、平坦化技術としては、CMP (

Chemical Mechanical Polishing) 法、レーザ平坦化法、リフロー法等を挙げることができる。

[0113] また、上述した本開示の実施形態に係る製造方法における各ステップは、必ずしも記載された順序に沿って処理されなくてもよい。例えば、各ステップは、適宜順序が変更されて処理されてもよい。さらに、各ステップで用いられる方法についても、必ずしも記載された方法に沿って行われなくてもよく、他の方法によって行われてもよい。

[0114] <<15. カメラへの応用例>>

本開示に係る技術（本技術）は、さらに様々な製品へ応用することができる。例えば、本開示に係る技術は、カメラ等に適用されてもよい。そこで、図24を参照して、本技術を適用した電子機器としての、カメラ700の構成例について説明する。図24は、本開示に係る技術（本技術）が適用され得るカメラ700の概略的な機能構成の一例を示す説明図である。

[0115] 図24に示すように、カメラ700は、撮像装置702、光学レンズ710、シャッタ機構712、駆動回路ユニット714、及び、信号処理回路ユニット716を有する。光学レンズ710は、被写体からの像光（入射光）を撮像装置702の撮像面上に結像させる。これにより、撮像装置702の画素100内に、一定期間、信号電荷が蓄積される。シャッタ機構712は、開閉することにより、撮像装置702への光照射期間及び遮光期間を制御する。駆動回路ユニット714は、撮像装置702の信号の転送動作やシャッタ機構712のシャッタ動作等を制御する駆動信号をこれらに供給する。すなわち、撮像装置702は、駆動回路ユニット714から供給される駆動信号（タイミング信号）に基づいて信号転送を行うこととなる。信号処理回路ユニット716は、各種の信号処理を行う。例えば、信号処理回路ユニット716は、信号処理を行った映像信号を例えばメモリ等の記憶媒体（図示省略）に出力したり、表示部（図示省略）に出力したりする。

[0116] <<16. スマートフォンへの応用例>>

本開示に係る技術（本技術）は、さらに様々な製品へ応用することができる。

る。例えば、本開示に係る技術は、スマートフォン等に適用されてもよい。そこで、図25を参照して、本技術を適用した電子機器としての、スマートフォン900の構成例について説明する。図25は、本開示に係る技術（本技術）が適用され得るスマートフォン900の概略的な機能構成の一例を示すブロック図である。

[0117] 図18に示すように、スマートフォン900は、CPU（Central Processing Unit）901、ROM（Read Only Memory）902、及びRAM（Random Access Memory）903を含む。また、スマートフォン900は、ストレージ装置904、通信モジュール905、及びセンサモジュール907を含む。さらに、スマートフォン900は、撮像装置909、表示装置910、スピーカ911、マイクロフォン912、入力装置913、及びバス914を含む。また、スマートフォン900は、CPU901に代えて、又はこれとともに、DSP（Digital Signal Processor）等の処理回路を有してもよい。

[0118] CPU901は、演算処理装置及び制御装置として機能し、ROM902、RAM903、又はストレージ装置904等に記録された各種プログラムに従って、スマートフォン900内の動作全般又はその一部を制御する。ROM902は、CPU901が使用するプログラムや演算パラメータなどを記憶する。RAM903は、CPU901の実行において使用するプログラムや、その実行において適宜変化するパラメータ等を一次記憶する。CPU901、ROM902、及びRAM903は、バス914により相互に接続されている。また、ストレージ装置904は、スマートフォン900の記憶部の一例として構成されたデータ格納用の装置である。ストレージ装置904は、例えば、HDD（Hard Disk Drive）等の磁気記憶デバイス、半導体記憶デバイス、光記憶デバイス等により構成される。このストレージ装置904は、CPU901が実行するプログラムや各種データ、及び外部から取得した各種のデータ等を格納する。

[0119] 通信モジュール905は、例えば、通信ネットワーク906に接続するための通信デバイスなどで構成された通信インタフェースである。通信モジュール905は、例えば、有線又は無線LAN (Local Area Network)、Bluetooth (登録商標)、WUSB (Wireless USB) 用の通信カード等であり得る。また、通信モジュール905は、光通信用のルータ、ADSL (Asymmetric Digital Subscriber Line) 用のルータ、又は、各種通信用のモデム等であってもよい。通信モジュール905は、例えば、インターネットや他の通信機器との間で、TCP (Transmission Control Protocol) / IP (Internet Protocol) 等の所定のプロトコルを用いて信号等を送受信する。また、通信モジュール905に接続される通信ネットワーク906は、有線又は無線によって接続されたネットワークであり、例えば、インターネット、家庭内LAN、赤外線通信又は衛星通信等である。

[0120] センサモジュール907は、例えば、モーションセンサ (例えば、加速度センサ、ジャイロセンサ、地磁気センサ等)、生体情報センサ (例えば、脈拍センサ、血圧センサ、指紋センサ等)、又は位置センサ (例えば、GNSS (Global Navigation Satellite System) 受信機等) 等の各種のセンサを含む。

[0121] 撮像装置909は、スマートフォン900の表面に設けられ、スマートフォン900の裏側又は表側に位置する対象物等を撮像することができる。詳細には、撮像装置909は、本開示に係る技術 (本技術) が適用され得るCMOS (Complementary MOS) イメージセンサ等の撮像素子 (図示省略) と、撮像素子で光電変換された信号に対して撮像信号処理を施す信号処理回路 (図示省略) とを含んで構成することができる。さらに、撮像装置909は、撮像レンズ、ズームレンズ、及びフォーカスレンズ等により構成される光学系機構 (図示省略) 及び、上記光学系機構の動作を制御する駆動系機構 (図示省略) をさらに有することができる。そして、上記撮

像素子は、対象物からの入射光を光学像として集光し、上記信号処理回路は、結像された光学像を画素単位で光電変換し、各画素の信号を撮像信号として読み出し、画像処理することにより撮像画像を取得することができる。

[0122] 表示装置910は、スマートフォン900の表面に設けられ、例えば、LCD (Liquid Crystal Display)、有機EL (Electro Luminescence) ディスプレイ等の表示装置であることができる。表示装置910は、操作画面や、上述した撮像装置909が取得した撮像画像などを表示することができる。

[0123] スピーカ911は、例えば、通話音声や、上述した表示装置910が表示する映像コンテンツに付随する音声等を、ユーザに向けて出力することができる。

[0124] マイクロフォン912は、例えば、ユーザの通話音声、スマートフォン900の機能を起動するコマンドを含む音声や、スマートフォン900の周囲環境の音声を集音することができる。

[0125] 入力装置913は、例えば、ボタン、キーボード、タッチパネル、マウス等、ユーザによって操作される装置である。入力装置913は、ユーザが入力した情報に基づいて入力信号を生成してCPU901に出力する入力制御回路を含む。ユーザは、この入力装置913を操作することによって、スマートフォン900に対して各種のデータを入力したり処理動作を指示したりすることができる。

[0126] 以上、スマートフォン900の構成例を示した。上記の各構成要素は、汎用的な部材を用いて構成されていてもよいし、各構成要素の機能に特化したハードウェアにより構成されていてもよい。かかる構成は、実施する時々の技術レベルに応じて適宜変更され得る。

[0127] <<17. 補足>>

以上、添付図面を参照しながら本開示の好適な実施形態について詳細に説明したが、本開示の技術的範囲はかかる例に限定されない。本開示の技術分野における通常の知識を有する者であれば、請求の範囲に記載された技術的

思想の範疇内において、各種の変更例または修正例に想到し得ることは明らかであり、これらについても、当然に本開示の技術的範囲に属するものと了解される。

[0128] また、本明細書に記載された効果は、あくまで説明的または例示的なものであって限定的ではない。つまり、本開示に係る技術は、上記の効果とともに、または上記の効果に代えて、本明細書の記載から当業者には明らかな他の効果を奏しうる。

[0129] なお、本技術は以下のような構成も取ることができる。

(1)

半導体基板に設けられた、
光を電荷に変換する光電変換部と、
前記光電変換部から前記電荷が転送される電荷蓄積部と、
余剰の前記電荷を排出するオーバーフローパスと、
前記オーバーフローパスの電位障壁を調整する調整回路と、
を備える、固体撮像装置。

(2)

前記電位障壁は、前記オーバーフローパス上に設けられたオーバーフローゲートに印加される負バイアスにより調整される、上記(1)に記載の固体撮像装置。

(3)

前記オーバーフローゲートは、前記半導体基板に埋め込まれた埋め込み部を有する縦型ゲート電極構造を持つ、上記(2)に記載の固体撮像装置。

(4)

前記オーバーフローゲートは、前記半導体基板上に設けられた平板型ゲート電極構造を持つ、上記(2)に記載の固体撮像装置。

(5)

前記電位障壁は、前記オーバーフローパスに印加される正バイアスにより調整される、上記(1)に記載の固体撮像装置。

(6)

前記光電変換部からの前記電荷を前記電荷蓄積部へ転送する転送ゲートをさらに備える、上記(1)～(5)のいずれか1つに記載の固体撮像装置。

(7)

前記転送ゲートは、前記半導体基板に埋め込まれた埋め込み部を有する縦型ゲート電極構造を持つ、上記(6)に記載の固体撮像装置。

(8)

前記転送ゲートは、前記半導体基板上に設けられた平板型ゲート電極構造を持つ、上記(6)に記載の固体撮像装置。

(9)

前記オーバーフローパスは、電源回路に電氣的に接続されている、上記(1)～(8)のいずれか1つに記載の固体撮像装置。

(10)

前記オーバーフローパスは、キャパシタに電氣的に接続されている、上記(1)～(8)のいずれか1つに記載の固体撮像装置。

(11)

前記調整回路は、前記光電変換部の飽和信号量の測定結果に基づき、前記電位障壁を調整する、上記(1)～(10)のいずれか1つに記載の固体撮像装置。

(12)

前記調整回路は、ヒューズカット回路を含む、上記(11)に記載の固体撮像装置。

(13)

前記調整回路は、論理ゲート回路を含む、上記(11)に記載の固体撮像装置。

(14)

半導体基板に設けられた、
光を電荷に変換する光電変換部と、

前記光電変換部から前記電荷が転送される電荷蓄積部と、
余剰の前記電荷を排出するオーバーフローパスと、
前記オーバーフローパスの電位障壁を調整する調整回路と、
を有する固体撮像装置の前記電位障壁の調整方法であって、
前記調整回路は、光電変換部の飽和信号量の測定結果に基づき、前記電位障壁を調整する、
ことを含む、調整方法。

(15)

半導体基板に設けられた、
光を電荷に変換する光電変換部と、
前記光電変換部から前記電荷が転送される電荷蓄積部と、
余剰の前記電荷を排出するオーバーフローパスと、
前記オーバーフローパスの電位障壁を調整する調整回路と、
を有する固体撮像装置を、搭載する電子機器。

符号の説明

[0130]	1、702、909	撮像装置
	10、102	半導体基板
	30	画素アレイ部
	32	垂直駆動回路部
	34	カラム信号処理回路部
	36	水平駆動回路部
	38	出力回路部
	40	制御回路部
	42	画素駆動配線
	44	垂直信号線
	46	水平信号線
	48	入出力端子
	50	バイアス設定情報保持部

5 2 ヒューズカット回路
5 4 論理ゲート回路
1 0 0 画素
1 0 4 画素分離部
1 0 6 n型半導体領域
1 0 8 ゲート電極
1 1 0 フォトダイオード
1 1 4 絶縁膜
1 1 6 p型半導体領域
1 1 8 埋め込み部
1 2 0 オンチップレンズ
1 2 2 反射防止膜
1 3 0、1 4 0 コンタクト
1 5 0 p型分離層
7 0 0 カメラ
7 1 0 光学レンズ
7 1 2 シャッタ機構
7 1 4 駆動回路ユニット
7 1 6 信号処理回路ユニット
9 0 0 スマートフォン
9 0 1 C P U
9 0 2 R O M
9 0 3 R A M
9 0 4 ストレージ装置
9 0 5 通信モジュール
9 0 6 通信ネットワーク
9 0 7 センサモジュール
9 1 0 表示装置

- 9 1 1 スピーカ
- 9 1 2 マイクロフォン
- 9 1 3 入力装置
- 9 1 4 バス

請求の範囲

- [請求項1] 半導体基板に設けられた、
光を電荷に変換する光電変換部と、
前記光電変換部から前記電荷が転送される電荷蓄積部と、
余剰の前記電荷を排出するオーバーフローパスと、
前記オーバーフローパスの電位障壁を調整する調整回路と、
を備える、固体撮像装置。
- [請求項2] 前記電位障壁は、前記オーバーフローパス上に設けられたオーバーフローゲートに印加される負バイアスにより調整される、請求項1に記載の固体撮像装置。
- [請求項3] 前記オーバーフローゲートは、前記半導体基板に埋め込まれた埋め込み部を有する縦型ゲート電極構造を持つ、請求項2に記載の固体撮像装置。
- [請求項4] 前記オーバーフローゲートは、前記半導体基板上に設けられた平板型ゲート電極構造を持つ、請求項2に記載の固体撮像装置。
- [請求項5] 前記電位障壁は、前記オーバーフローパスに印加される正バイアスにより調整される、請求項1に記載の固体撮像装置。
- [請求項6] 前記光電変換部からの前記電荷を前記電荷蓄積部へ転送する転送ゲートをさらに備える、請求項1に記載の固体撮像装置。
- [請求項7] 前記転送ゲートは、前記半導体基板に埋め込まれた埋め込み部を有する縦型ゲート電極構造を持つ、請求項6に記載の固体撮像装置。
- [請求項8] 前記転送ゲートは、前記半導体基板上に設けられた平板型ゲート電極構造を持つ、請求項6に記載の固体撮像装置。
- [請求項9] 前記オーバーフローパスは、電源回路に電氣的に接続されている、請求項1に記載の固体撮像装置。
- [請求項10] 前記オーバーフローパスは、キャパシタに電氣的に接続されている、請求項1に記載の固体撮像装置。
- [請求項11] 前記調整回路は、前記光電変換部の飽和信号量の測定結果に基づき

、前記電位障壁を調整する、請求項 1 に記載の固体撮像装置。

[請求項12] 前記調整回路は、ヒューズカット回路を含む、請求項 1 1 に記載の固体撮像装置。

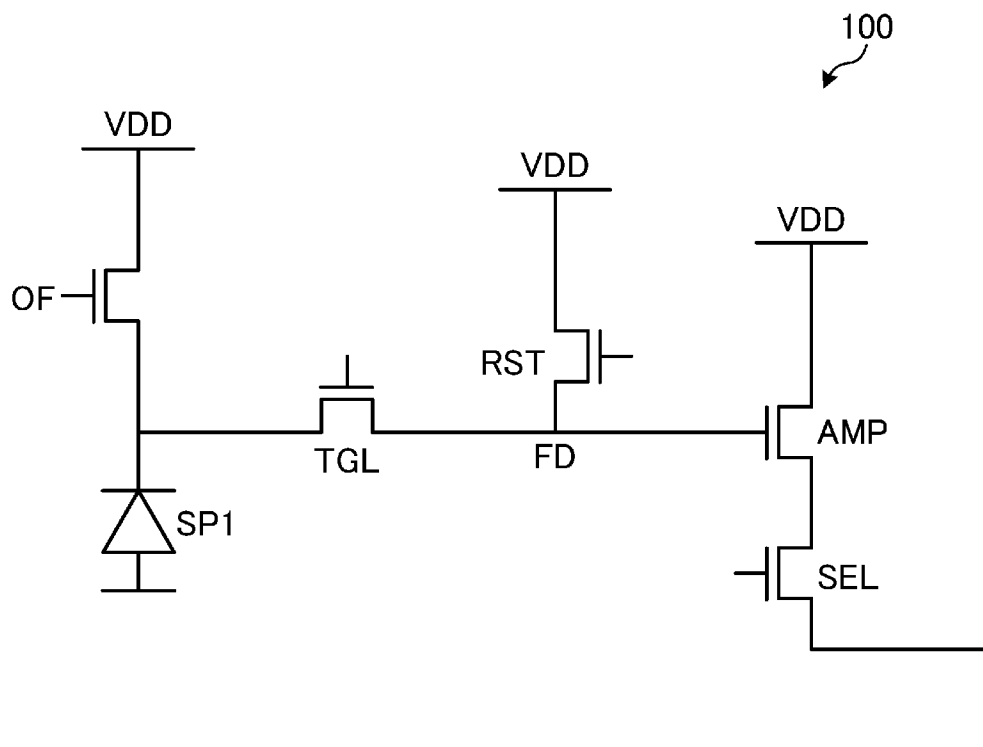
[請求項13] 前記調整回路は、論理ゲート回路を含む、請求項 1 1 に記載の固体撮像装置。

[請求項14] 半導体基板に設けられた、
光を電荷に変換する光電変換部と、
前記光電変換部から前記電荷が転送される電荷蓄積部と、
余剰の前記電荷を排出するオーバーフローパスと、
前記オーバーフローパスの電位障壁を調整する調整回路と、
を有する固体撮像装置の前記電位障壁の調整方法であって、
前記調整回路は、光電変換部の飽和信号量の測定結果に基づき、前記電位障壁を調整する、
ことを含む、調整方法。

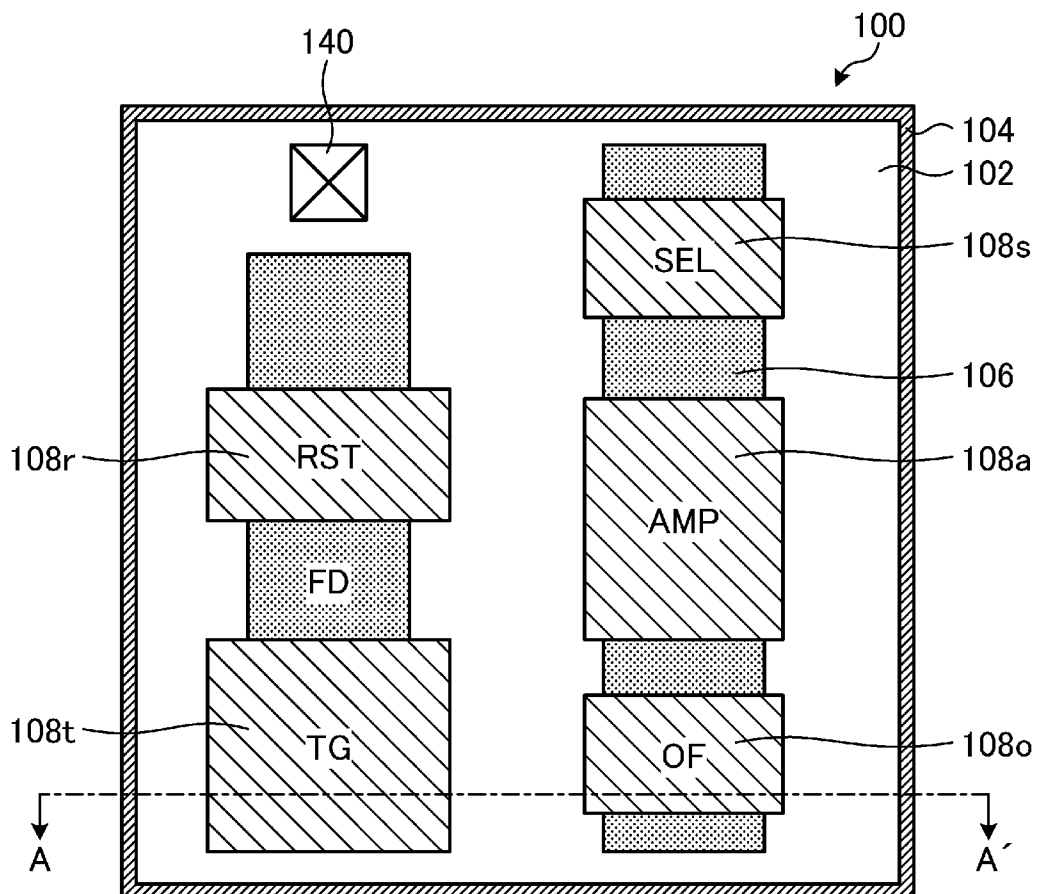
[請求項15] 半導体基板に設けられた、
光を電荷に変換する光電変換部と、
前記光電変換部から前記電荷が転送される電荷蓄積部と、
余剰の前記電荷を排出するオーバーフローパスと、
前記オーバーフローパスの電位障壁を調整する調整回路と、
を有する固体撮像装置を、搭載する電子機器。

[illegible]

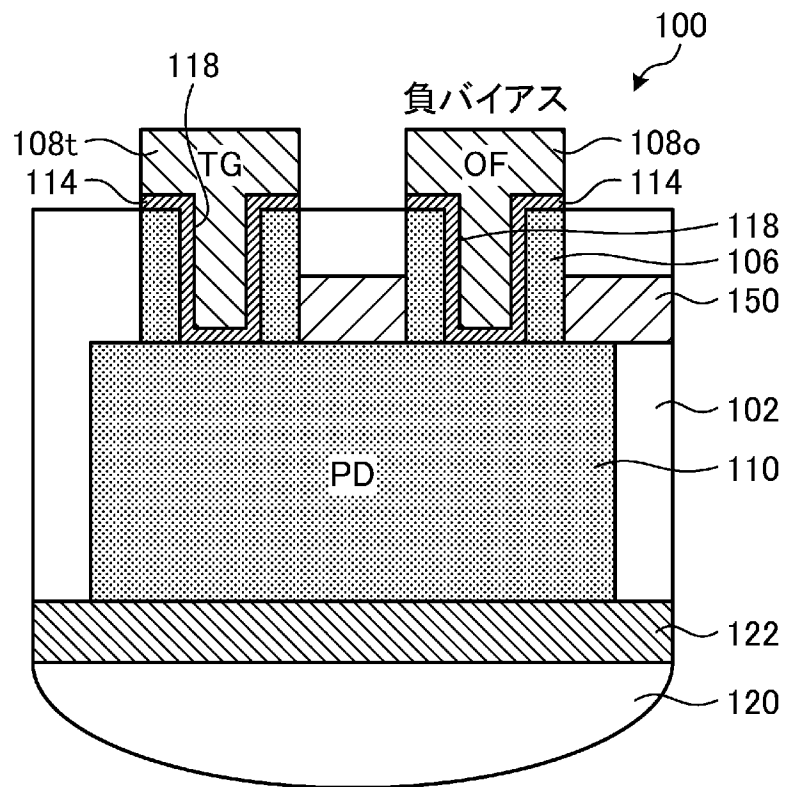
[図2]



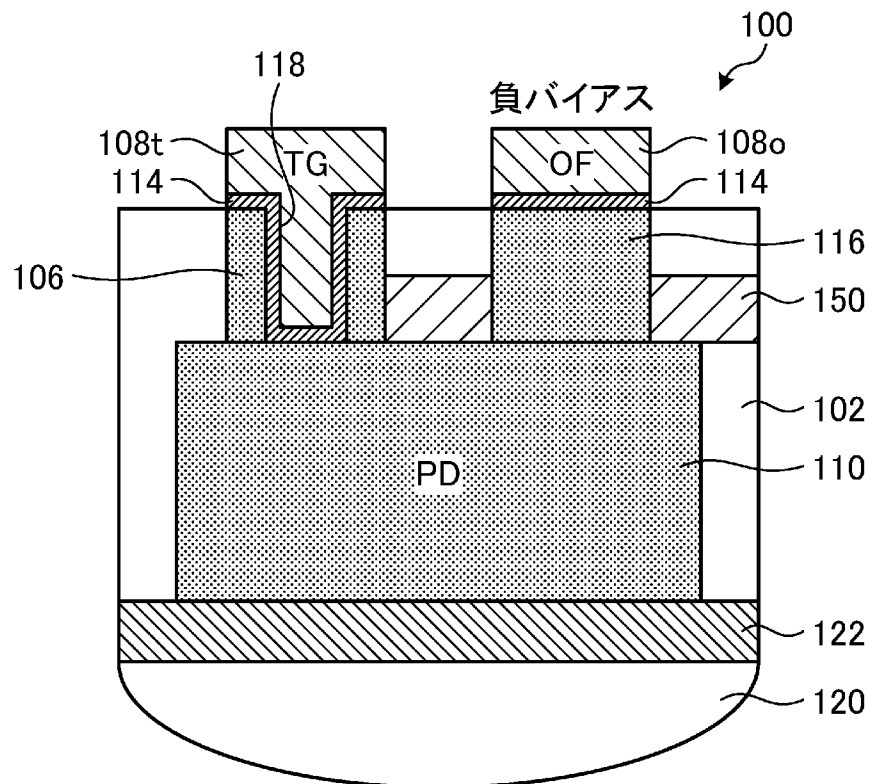
[図3]



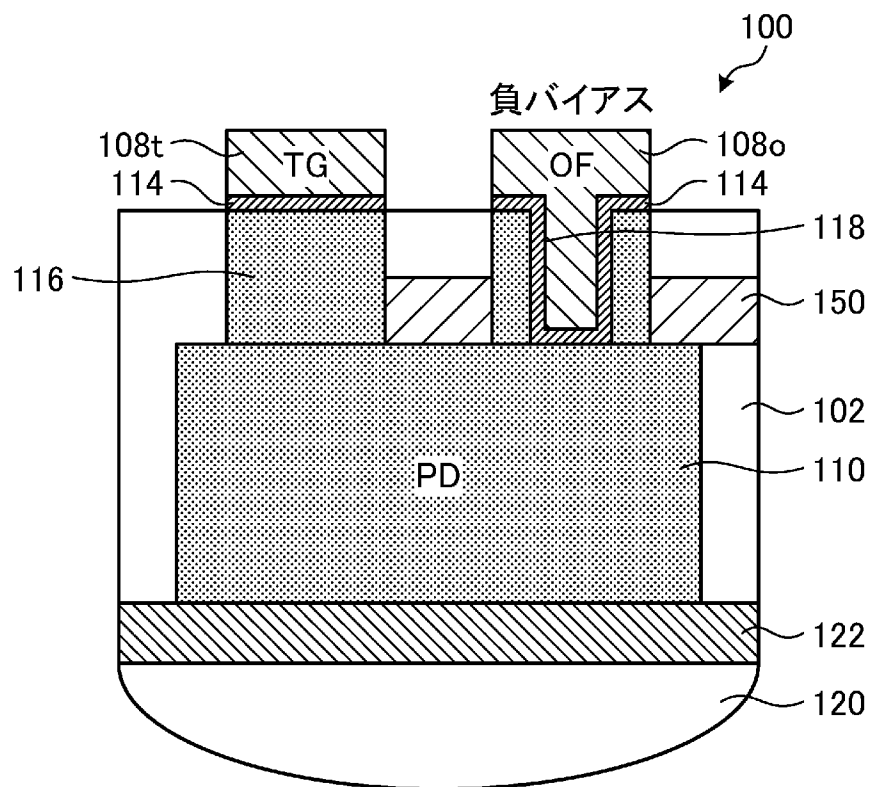
[図4]



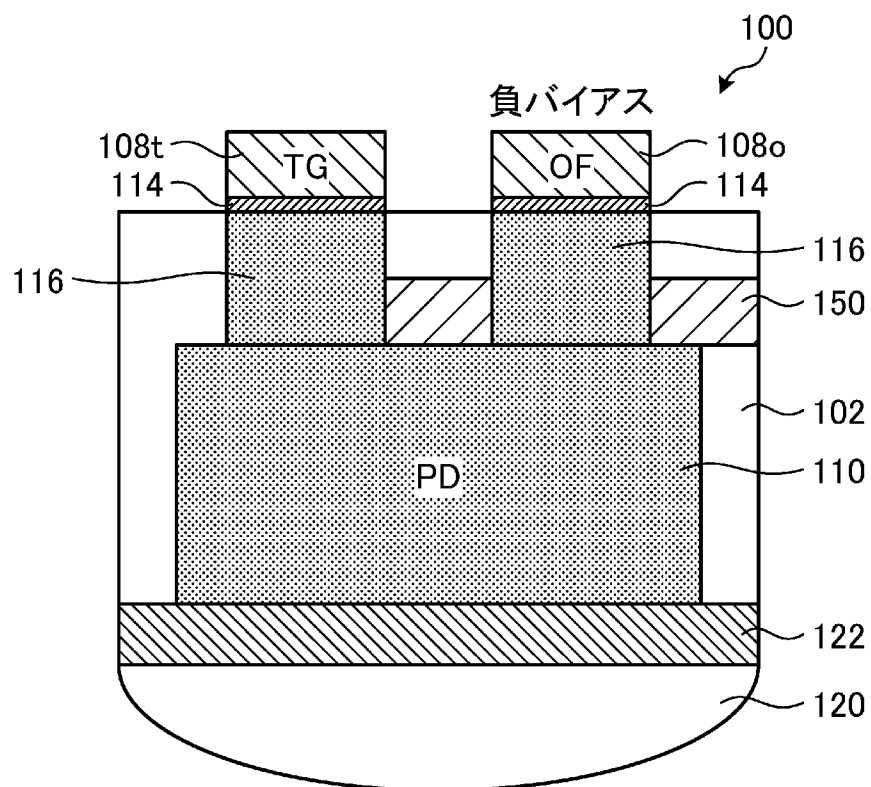
[図5]



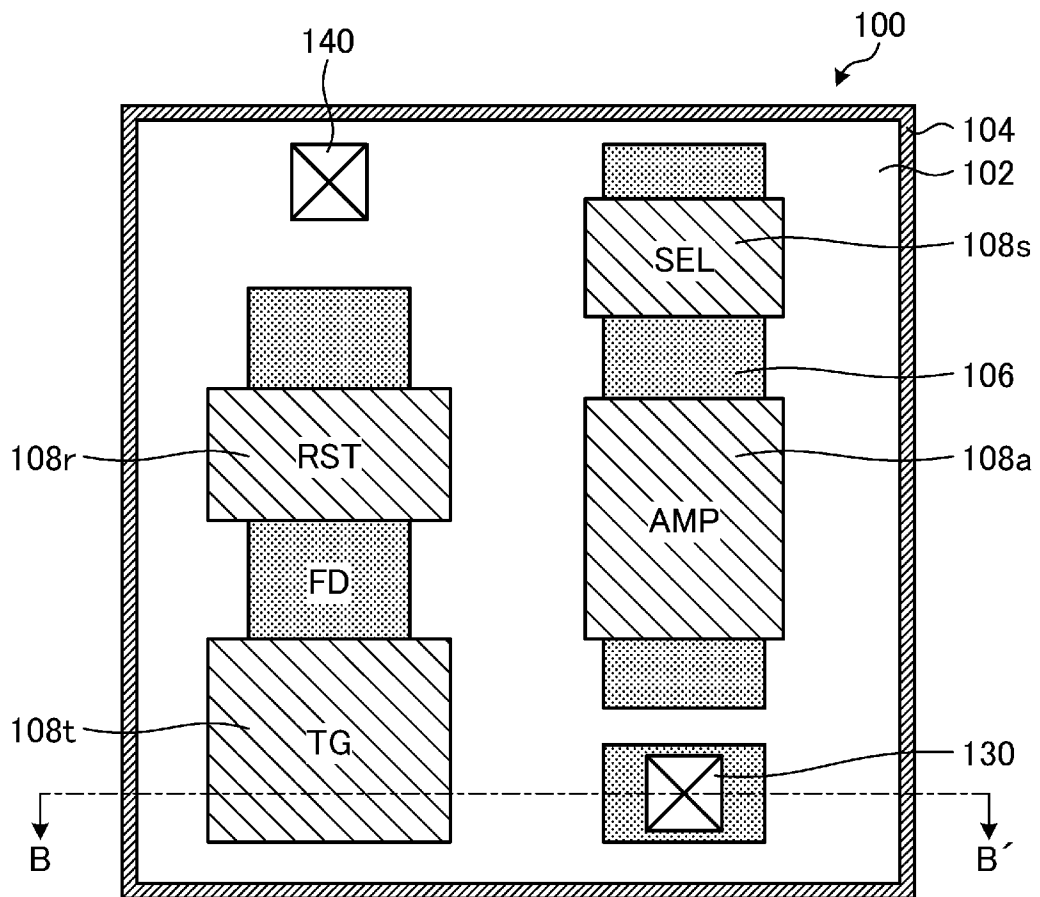
[図6]



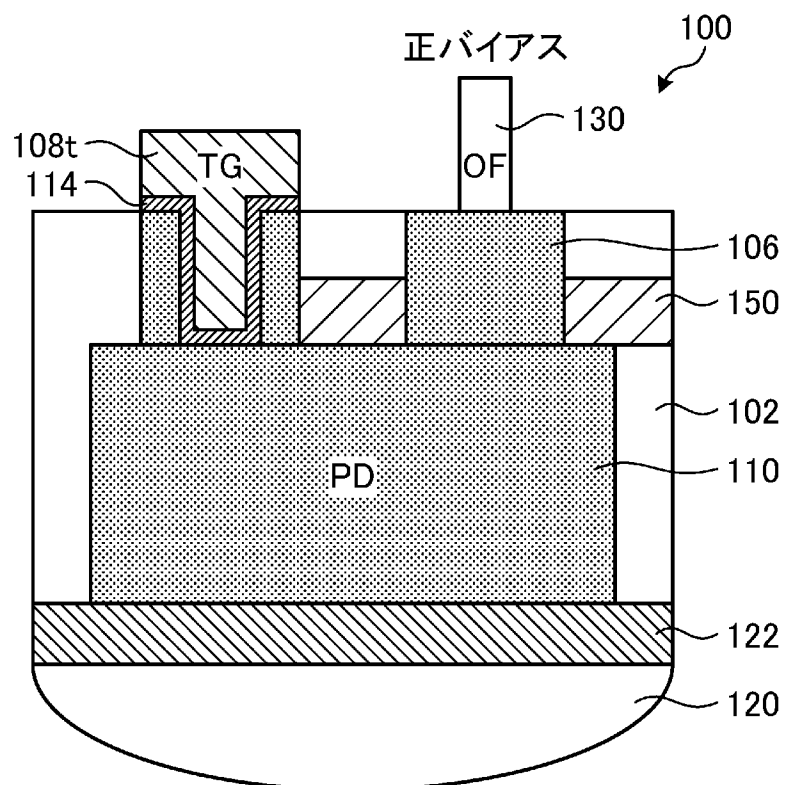
[図7]



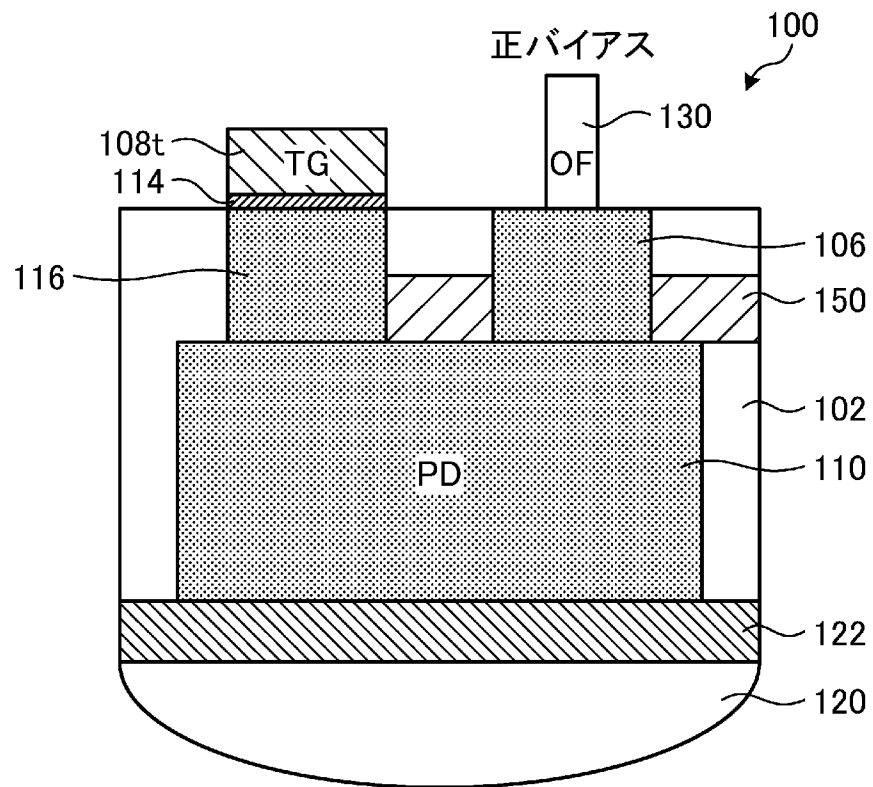
[図8]



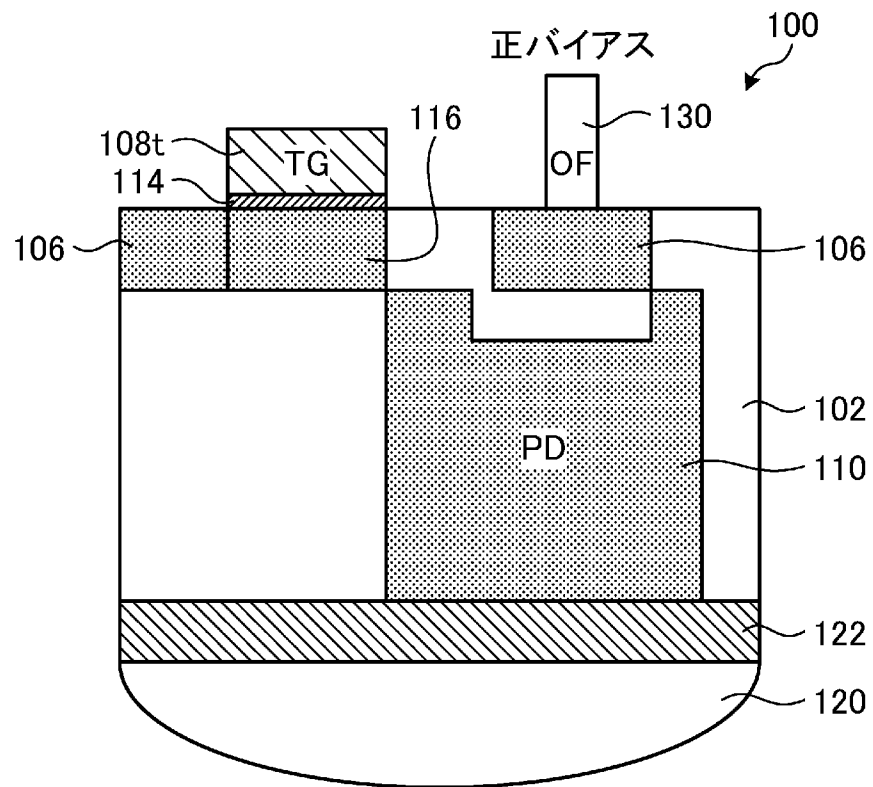
[図9]



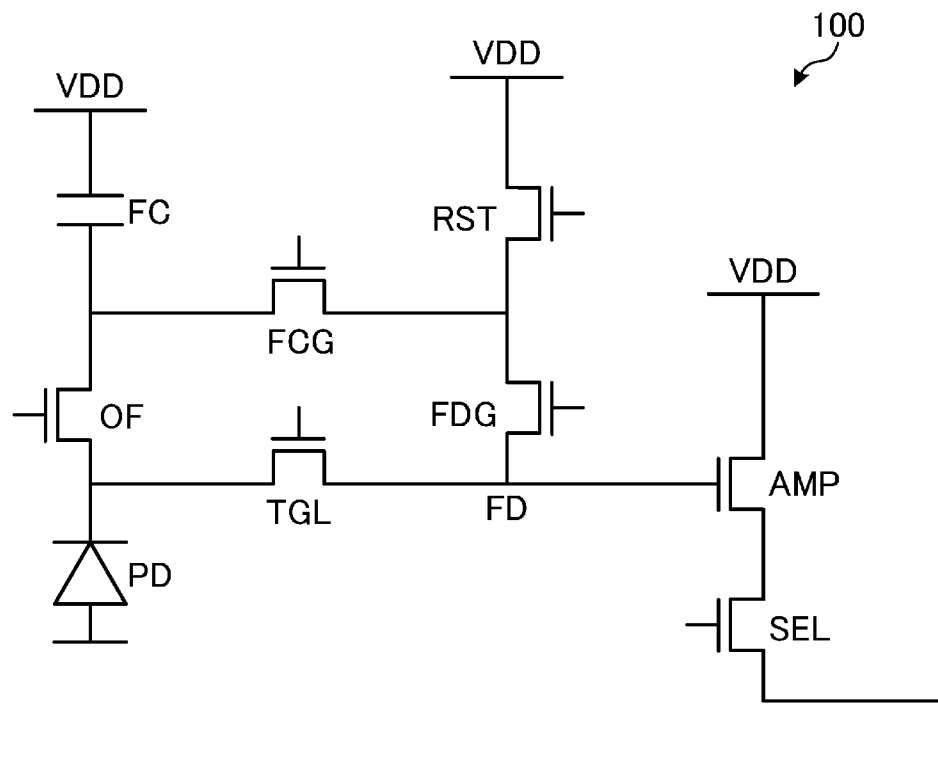
[図10]



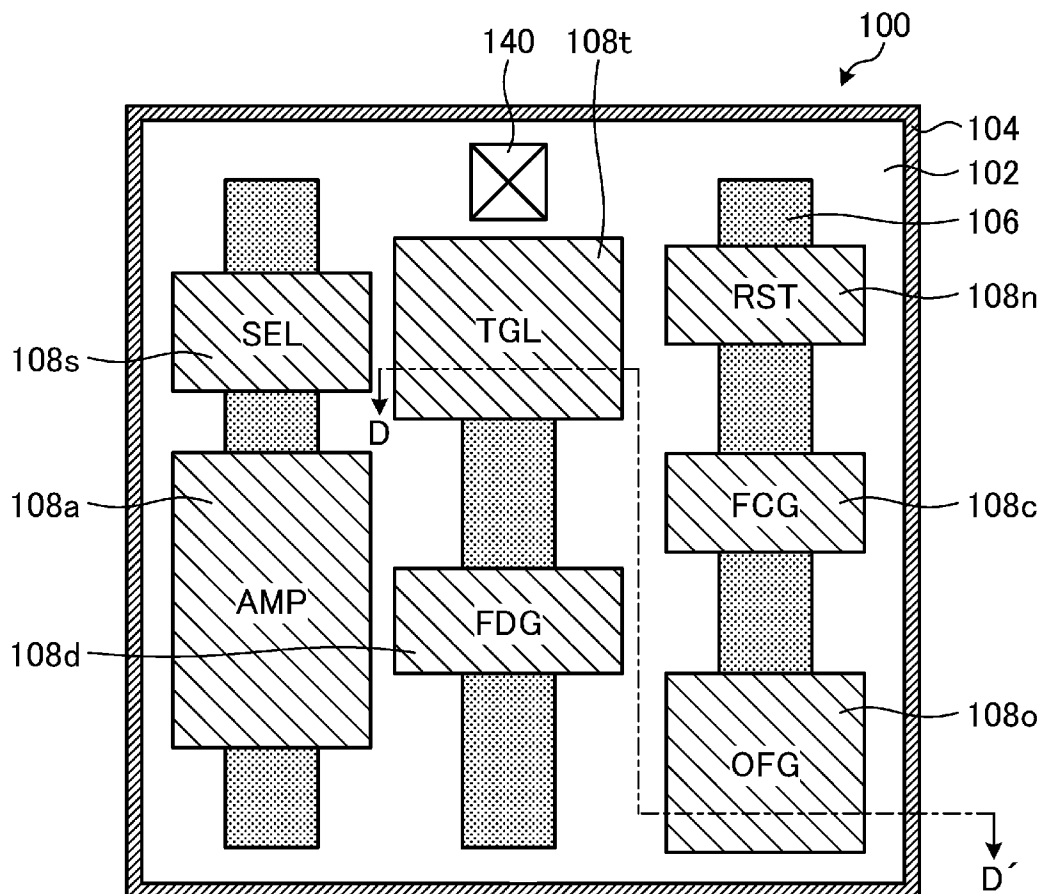
[図12]



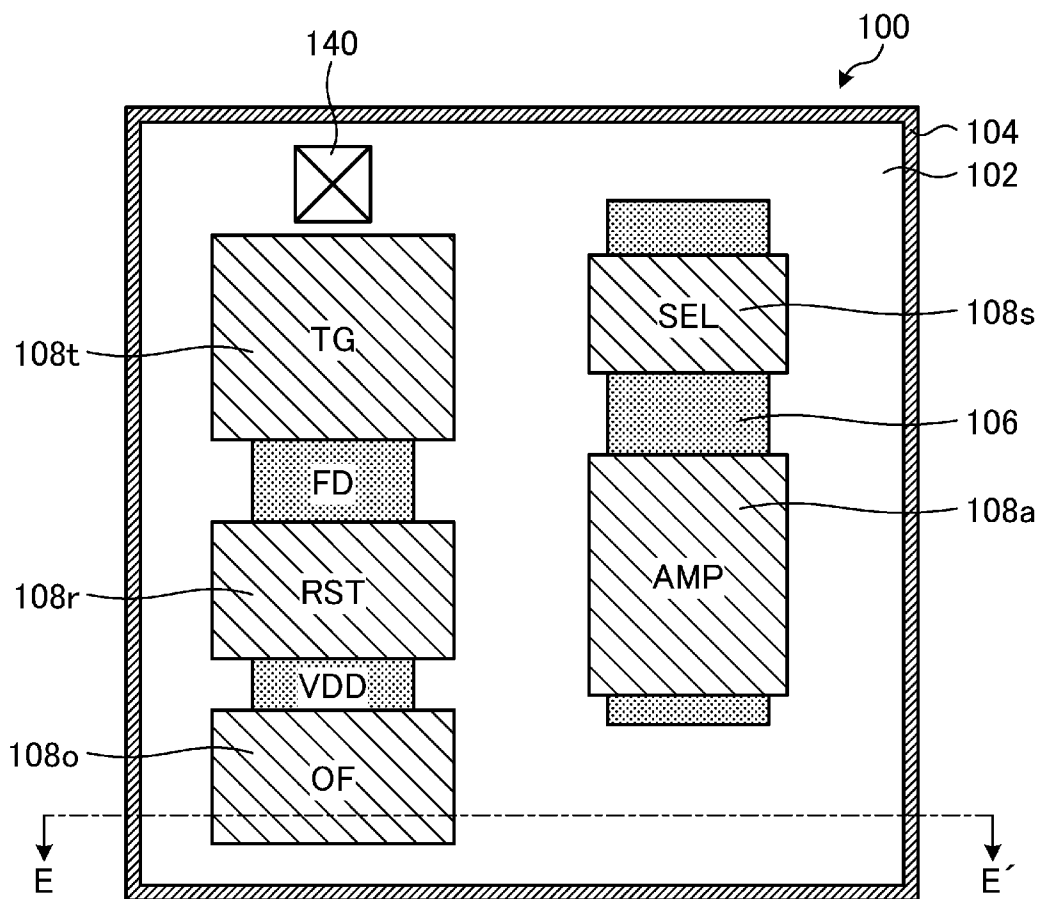
[図15]



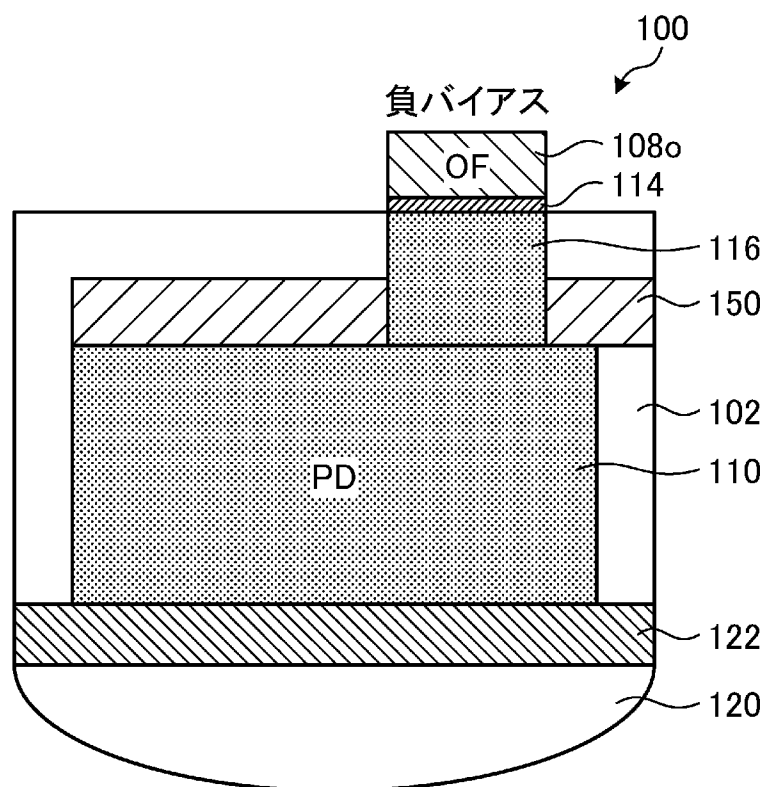
[図16]



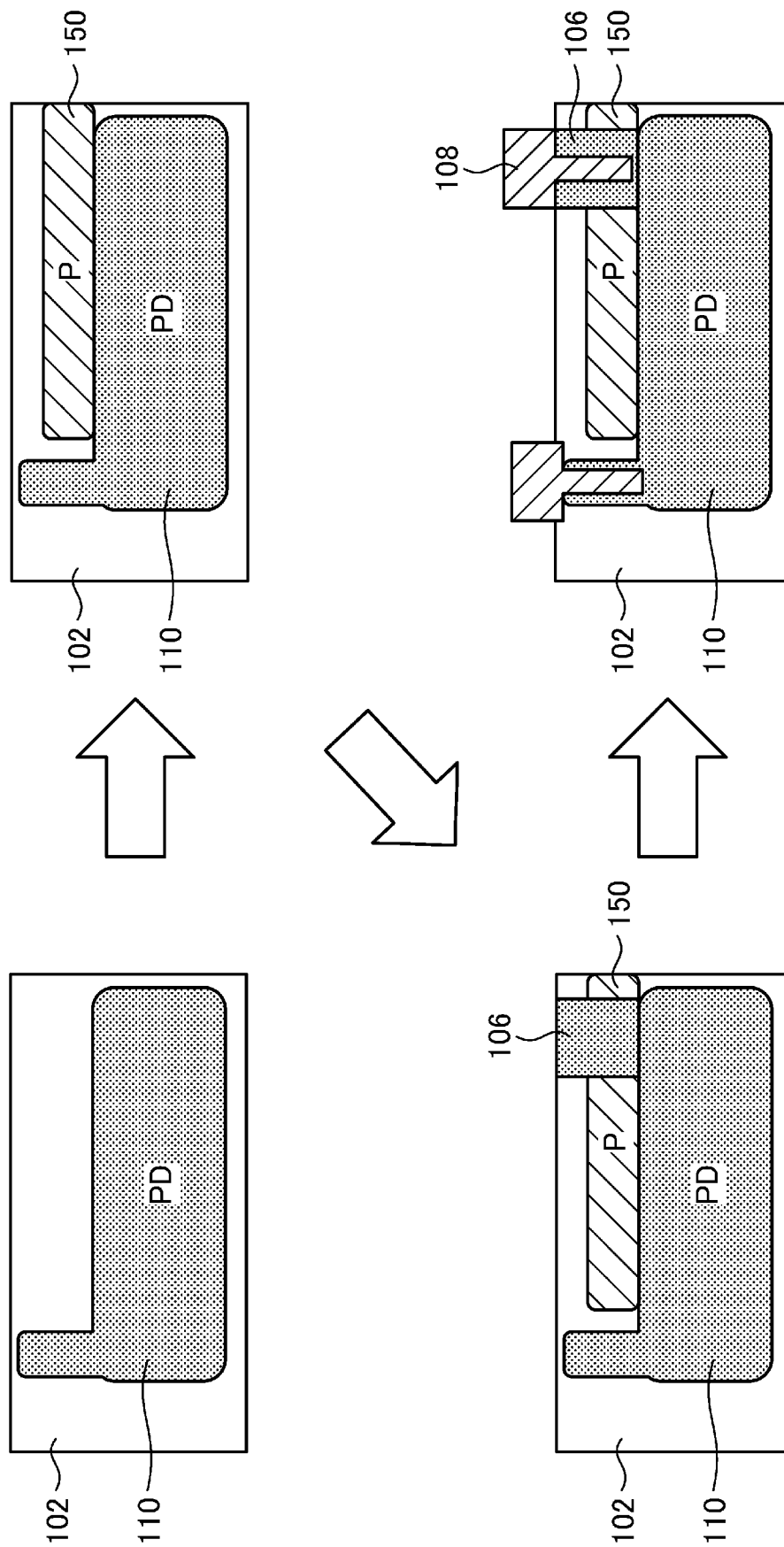
[図17]



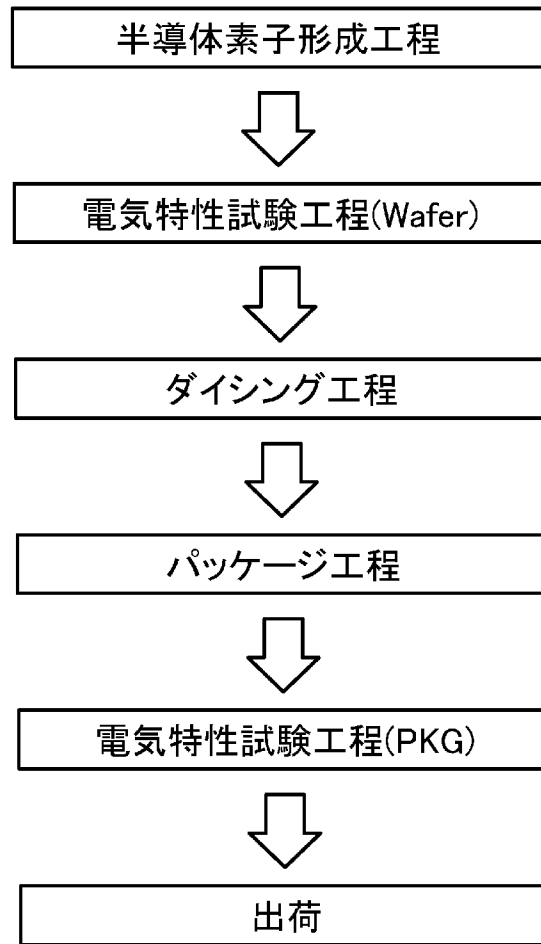
[図18]



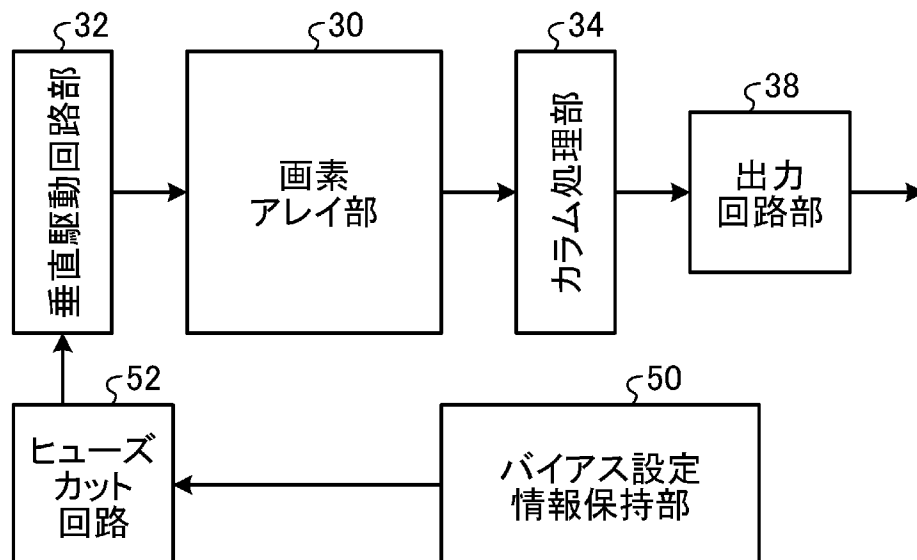
[図19]



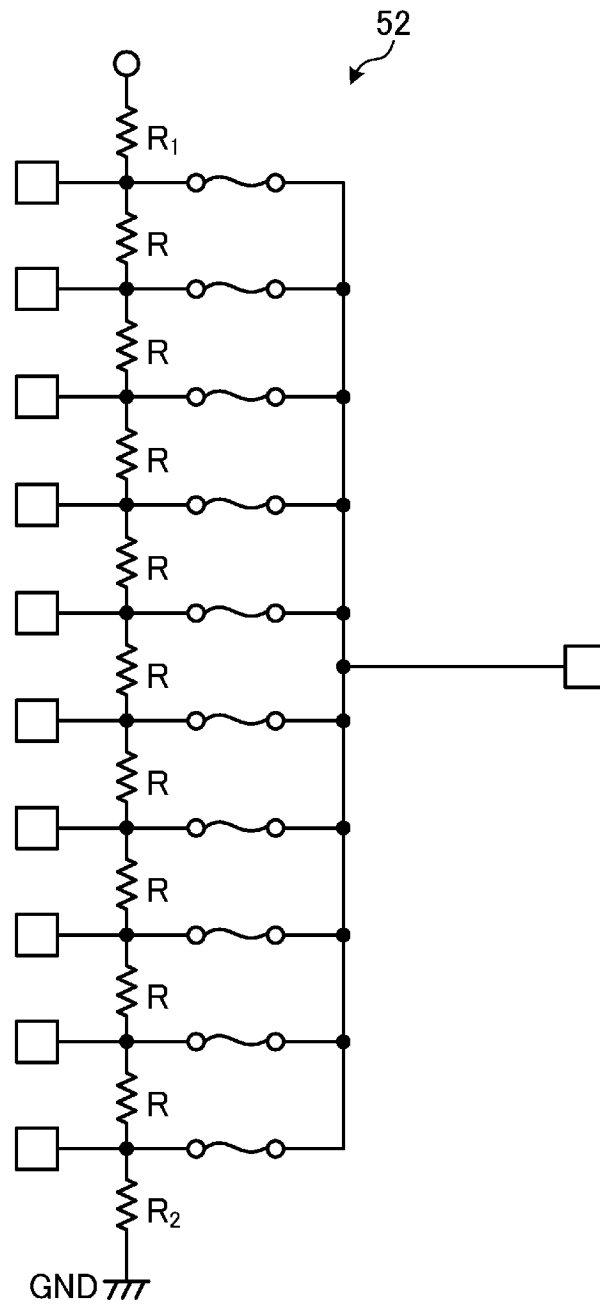
[図20]



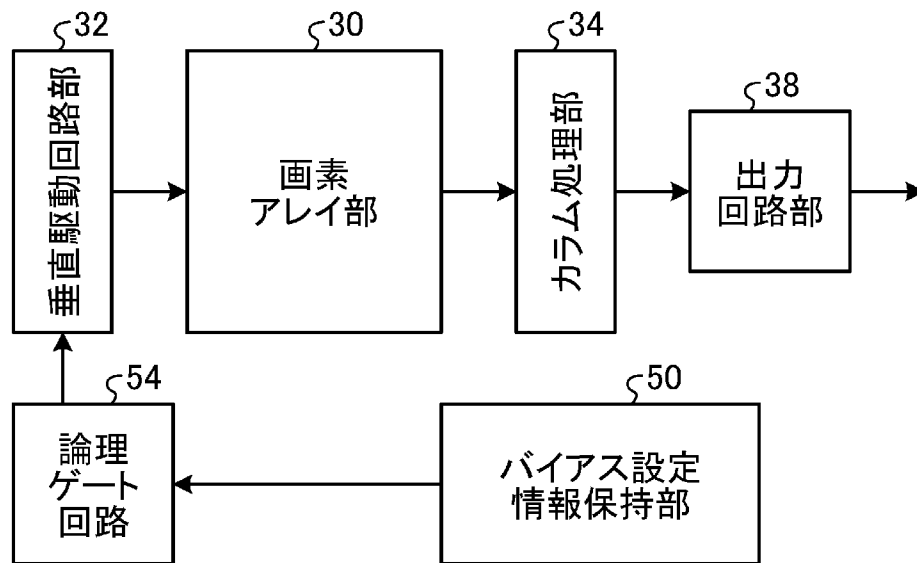
[図21]



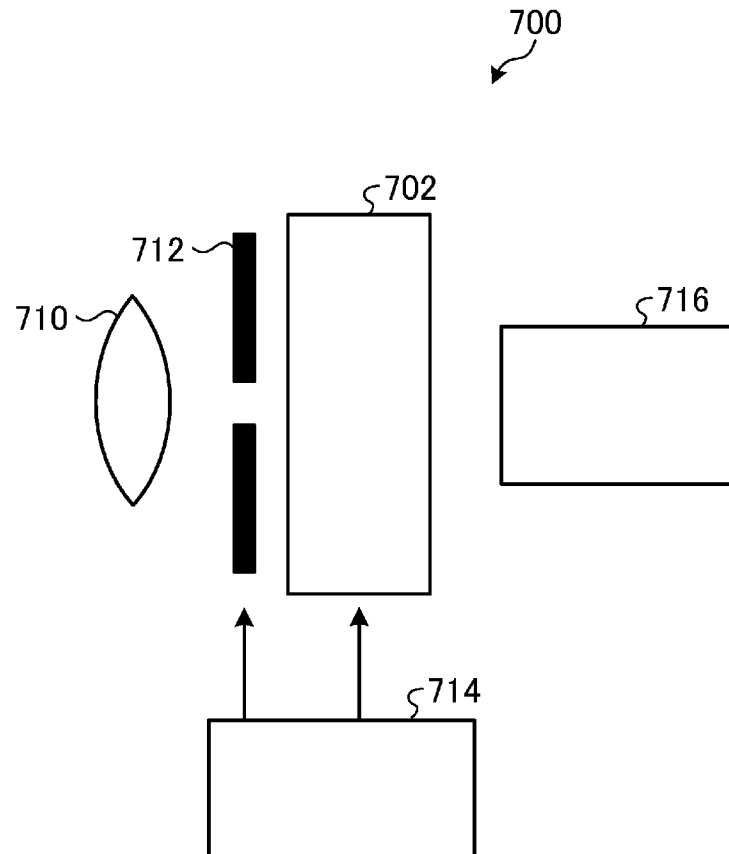
[図22]



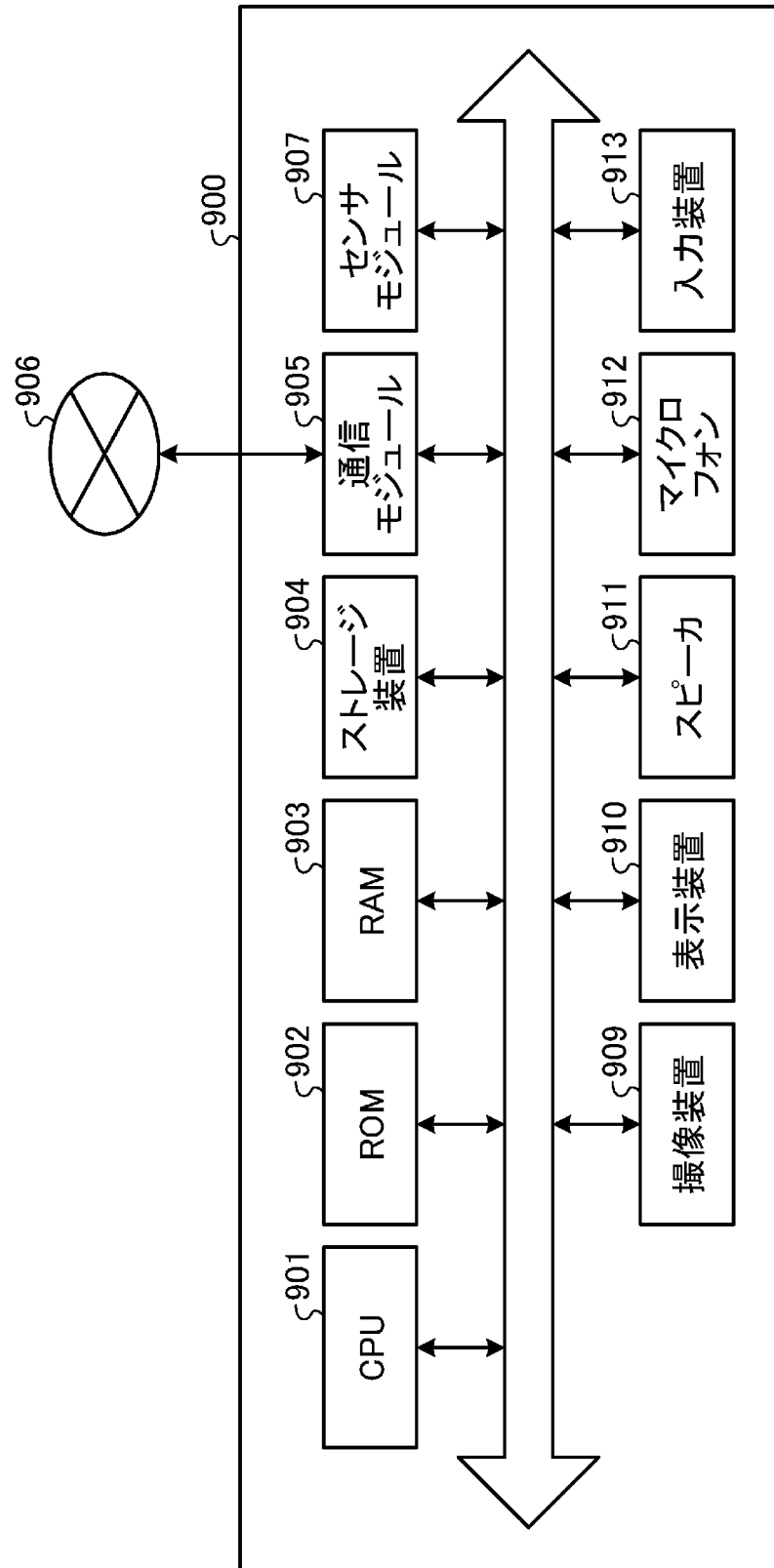
[図23]



[図24]



[図25]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/043863

A. CLASSIFICATION OF SUBJECT MATTER

H01L 31/10(2006.01)i; **H01L 21/82**(2006.01)i; **H01L 21/822**(2006.01)i; **H01L 27/04**(2006.01)i; **H01L 21/8234**(2006.01)i;
H01L 27/06(2006.01)i; **H01L 27/088**(2006.01)i; **H01L 27/146**(2006.01)i; **H04N 5/359**(2011.01)i; **H04N 5/369**(2011.01)i
 FI: H01L27/146 A; H01L27/06 102A; H01L27/088 B; H01L21/82 F; H01L27/04 V; H01L27/088 C; H01L31/10 G;
 H04N5/359 200; H04N5/369

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L31/10; H01L21/82; H01L21/822; H01L27/04; H01L21/8234; H01L27/06; H01L27/088; H01L27/146; H04N5/359;
 H04N5/369

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2022
 Registered utility model specifications of Japan 1996-2022
 Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2000-12820 A (CANON INC) 14 January 2000 (2000-01-14) paragraphs [0015]-[0072], fig. 1-14	1, 2, 4-6, 8, 9, 11, 13-15
Y		3, 7, 10, 12
Y	JP 2018-148039 A (SONY SEMICONDUCTOR SOLUTIONS CORP) 20 September 2018 (2018-09-20) paragraphs [0016], fig. 1, 2	3, 7
Y	JP 2008-104150 A (SANYO ELECTRIC CO LTD) 01 May 2008 (2008-05-01) paragraphs [0032], fig. 2	10
Y	JP 2018-29127 A (SHARP KK) 22 February 2018 (2018-02-22) fig. 5, 6	12
A	JP 2018-518111 A (NEW IMAGING TECHNOLOGIES) 05 July 2018 (2018-07-05) entire text, all drawings	1-15

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

20 January 2022

Date of mailing of the international search report

01 February 2022

Name and mailing address of the ISA/JP

**Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan**

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/043863**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2016-181532 A (SONY CORP) 13 October 2016 (2016-10-13) entire text, all drawings	1-15
A	JP 2006-505159 A (PHOTONFOCUS AG) 09 February 2006 (2006-02-09) entire text, all drawings	1-15
A	JP 2010-109902 A (PANASONIC CORP) 13 May 2010 (2010-05-13) entire text, all drawings	1-15

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/043863

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2000-12820	A	14 January 2000	US 2002/0096621 A1 paragraphs [0044]-[0107], fig. 1-14	
JP	2018-148039	A	20 September 2018	US 2020/0235146 A1 paragraphs [0108], fig. 1, 2 CN 110313067 A KR 10-2019-0119050 A	
JP	2008-104150	A	01 May 2008	US 2008/0067325 A1 paragraphs [0052], fig. 2	
JP	2018-29127	A	22 February 2018	(Family: none)	
JP	2018-518111	A	05 July 2018	US 2018/0158855 A1 entire text, all drawings WO 2016/193258 A1 FR 3037205 A1 CN 108352392 A	
JP	2016-181532	A	13 October 2016	US 2018/0240840 A1 entire text, all drawings CN 107408566 A	
JP	2006-505159	A	09 February 2006	US 2006/0170491 A1 entire text, all drawings KR 10-2005-0065652 A CN 1708976 A	
JP	2010-109902	A	13 May 2010	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 31/10(2006.01)i; H01L 21/82(2006.01)i; H01L 21/822(2006.01)i; H01L 27/04(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/06(2006.01)i; H01L 27/088(2006.01)i; H01L 27/146(2006.01)i; H04N 5/359(2011.01)i; H04N 5/369(2011.01)i FI: H01L27/146 A; H01L27/06 102A; H01L27/088 B; H01L21/82 F; H01L27/04 V; H01L27/088 C; H01L31/10 G; H04N5/359 200; H04N5/369																																			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L31/10; H01L21/82; H01L21/822; H01L27/04; H01L21/8234; H01L27/06; H01L27/088; H01L27/146; H04N5/359; H04N5/369 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2022年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2022年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2022年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2022年	日本国実用新案登録公報	1996-2022年	日本国登録実用新案公報	1994-2022年																									
日本国実用新案公報	1922-1996年																																		
日本国公開実用新案公報	1971-2022年																																		
日本国実用新案登録公報	1996-2022年																																		
日本国登録実用新案公報	1994-2022年																																		
C. 関連すると認められる文献 <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>JP 2000-12820 A（キヤノン株式会社）14.01.2000（2000-01-14） 段落 [0015] - [0072]、図1-14</td> <td>1, 2, 4-6, 8, 9, 11, 13-15</td> </tr> <tr> <td>Y</td> <td></td> <td>3, 7, 10, 12</td> </tr> <tr> <td>Y</td> <td>JP 2018-148039 A（ソニーセミコンダクタソリューションズ株式会社）20.09.2018 （2018-09-20） 段落 [0016]、図1, 2</td> <td>3, 7</td> </tr> <tr> <td>Y</td> <td>JP 2008-104150 A（三洋電機株式会社）01.05.2008（2008-05-01） 段落 [0032]、図2</td> <td>10</td> </tr> <tr> <td>Y</td> <td>JP 2018-29127 A（シャープ株式会社）22.02.2018（2018-02-22） 図5, 6</td> <td>12</td> </tr> <tr> <td>A</td> <td>JP 2018-518111 A（ニュー イメージング テクノロジーズ）05.07.2018（2018-07-05） 全文、全図</td> <td>1-15</td> </tr> </tbody> </table> ☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。 <table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>"A" 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>"Y" 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>"&" 同一パテントファミリー文献</td> </tr> <tr> <td>"O" 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	X	JP 2000-12820 A（キヤノン株式会社）14.01.2000（2000-01-14） 段落 [0015] - [0072]、図1-14	1, 2, 4-6, 8, 9, 11, 13-15	Y		3, 7, 10, 12	Y	JP 2018-148039 A（ソニーセミコンダクタソリューションズ株式会社）20.09.2018 （2018-09-20） 段落 [0016]、図1, 2	3, 7	Y	JP 2008-104150 A（三洋電機株式会社）01.05.2008（2008-05-01） 段落 [0032]、図2	10	Y	JP 2018-29127 A（シャープ株式会社）22.02.2018（2018-02-22） 図5, 6	12	A	JP 2018-518111 A（ニュー イメージング テクノロジーズ）05.07.2018（2018-07-05） 全文、全図	1-15	* 引用文献のカテゴリー	"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	"A" 特に関連のある文献ではなく、一般的な技術水準を示すもの	"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	"Y" 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	"&" 同一パテントファミリー文献	"O" 口頭による開示、使用、展示等に言及する文献		"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号																																	
X	JP 2000-12820 A（キヤノン株式会社）14.01.2000（2000-01-14） 段落 [0015] - [0072]、図1-14	1, 2, 4-6, 8, 9, 11, 13-15																																	
Y		3, 7, 10, 12																																	
Y	JP 2018-148039 A（ソニーセミコンダクタソリューションズ株式会社）20.09.2018 （2018-09-20） 段落 [0016]、図1, 2	3, 7																																	
Y	JP 2008-104150 A（三洋電機株式会社）01.05.2008（2008-05-01） 段落 [0032]、図2	10																																	
Y	JP 2018-29127 A（シャープ株式会社）22.02.2018（2018-02-22） 図5, 6	12																																	
A	JP 2018-518111 A（ニュー イメージング テクノロジーズ）05.07.2018（2018-07-05） 全文、全図	1-15																																	
* 引用文献のカテゴリー	"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの																																		
"A" 特に関連のある文献ではなく、一般的な技術水準を示すもの	"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの																																		
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	"Y" 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの																																		
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	"&" 同一パテントファミリー文献																																		
"O" 口頭による開示、使用、展示等に言及する文献																																			
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献																																			
国際調査を完了した日	国際調査報告の発送日																																		
20.01.2022	01.02.2022																																		
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 李 哲次 5F 3952 電話番号 03-3581-1101 内線 3516																																		

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2016-181532 A (ソニー株式会社) 13.10.2016 (2016 - 10 - 13) 全文、全図	1-15
A	JP 2006-505159 A (フォトンフォーカス アクチュエングゼルシャフト) 09.02.2006 (2006 - 02 - 09) 全文、全図	1-15
A	JP 2010-109902 A (パナソニック株式会社) 13.05.2010 (2010 - 05 - 13) 全文、全図	1-15

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/043863

引用文献			公表日	パテントファミリー文献	公表日
JP	2000-12820	A	14.01.2000	US 2002/0096621 A1 段落 [0044] - [0107]、図1-14	
JP	2018-148039	A	20.09.2018	US 2020/0235146 A1 段落 [0108]、図1、2 CN 110313067 A KR 10-2019-0119050 A	
JP	2008-104150	A	01.05.2008	US 2008/0067325 A1 段落 [0052]、図2	
JP	2018-29127	A	22.02.2018	(ファミリーなし)	
JP	2018-518111	A	05.07.2018	US 2018/0158855 A1 全文、全図 WO 2016/193258 A1 FR 3037205 A1 CN 108352392 A	
JP	2016-181532	A	13.10.2016	US 2018/0240840 A1 全文、全図 CN 107408566 A	
JP	2006-505159	A	09.02.2006	US 2006/0170491 A1 全文、全図 KR 10-2005-0065652 A CN 1708976 A	
JP	2010-109902	A	13.05.2010	(ファミリーなし)	