



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I679850 B

(45) 公告日：中華民國 108 (2019) 年 12 月 11 日

(21) 申請案號：106124694

(22) 申請日：中華民國 106 (2017) 年 07 月 24 日

(51) Int. Cl. : H03L7/06 (2006.01)

H03L7/18 (2006.01)

H03L7/187 (2006.01)

(71) 申請人：芯籟半導體股份有限公司 (中華民國) LYRA SEMICONDUCTOR INCORPORATED
(TW)

新竹縣竹北市高鐵二路 32 號 11 樓-1

(72) 發明人：張宏德 CHANG, HORNG-DER (TW)

(74) 代理人：侯德銘

(56) 參考文獻：

US 4714901A

US 8803572B2

審查人員：蘇齊賢

申請專利範圍項數：10 項 圖式數：11 共 41 頁

(54) 名稱

一種訊號處理系統及其方法

(57) 摘要

一種訊號處理系統及其方法，係應用於提供精準頻率輸出的環境中，利用本發明之訊號處理系統以進行訊號處理方法時，誤差放大器(Error Amplifier)的穩定輸出電壓(AMP OUT)將輸入至電壓控制振盪器 VCO(Voltage Controlled Oscillator)的輸入端，電壓控制振盪器 VCO 之輸出的頻率訊號(Fvco)將提供至分數 N 型除頻器輸入端以便進行數位除頻。經數位除頻處理後的分數 N 型除頻器輸出端之輸出的頻率訊號(Fo)將提供至頻率對電壓轉換器(Frequency to Voltage Converter)的輸入端以便進行頻率/電壓轉換，再藉由低通濾波器(Low Pass Filter)濾除頻率對電壓轉換器之輸出的電壓(V1)的漣波(ripple)與分數 N 型除頻器輸出的時脈抖動(jitter)。本發明之訊號處理系統及方法，利用壓鎖迴路(Voltage Locked Loop)的特性以及數位除頻的方式，達到精準頻率的輸出。

A signal processing system is disclosed, applicable to an environment providing accurate output frequency. By using the signal processing system, the stable output voltage (AMP OUT) of the error amplifier is inputted to the input of the voltage controlled oscillator (VCO), the output frequency (Fvco) of the VCO is provided to the input of fractional-N frequency divider for digital division. The output of the fractional-N frequency divider (Fo) is provided to the input of the frequency to voltage converter for frequency/voltage conversion. Then, the low pass filter is used to filter out the ripple of the output voltage (V1) of the frequency to voltage converter and the trebling jitter of the output of the fractional-N frequency divider. The signal processing system of the present invention utilizes the voltage locked loop property and digital frequency division to achieve accurate frequency output.

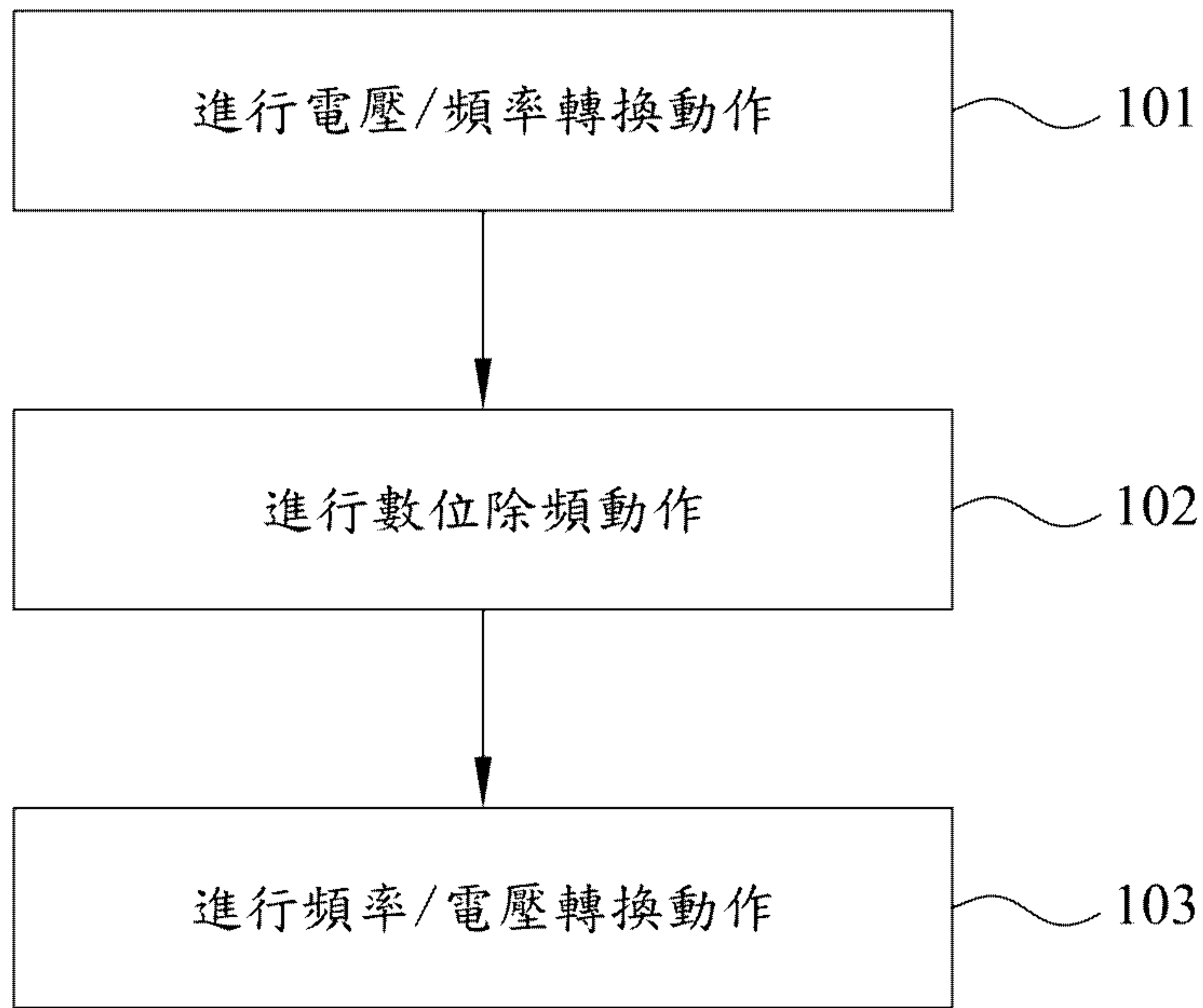
指定代表圖：

符號簡單說明：

101 . . . 步驟

102 . . . 步驟

103 . . . 步驟



第2圖



申請日：106/07/24

I679850

【發明摘要】

IPC分類： *H03L 7/06* (2006.01)
H03L 7/18 (2006.01)
H03L 7/187 (2006.01)

【中文發明名稱】 一種訊號處理系統及其方法

【英文發明名稱】 Signal Processing System and Method Thereof

公告本

【中文】一種訊號處理系統及其方法，係應用於提供精準頻率輸出的環境中，利用本發明之訊號處理系統以進行訊號處理方法時，誤差放大器(Error Amplifier)的穩定輸出電壓(AMP OUT)將輸入至電壓控制振盪器VCO(Voltage Controlled Oscillator)的輸入端，電壓控制振盪器VCO之輸出的頻率訊號(F_{vco})將提供至分數N型除頻器輸入端以便進行數位除頻。經數位除頻處理後的分數N型除頻器輸出端之輸出的頻率訊號(F_o)將提供至頻率對電壓轉換器(Frequency to Voltage Converter)的輸入端以便進行頻率/電壓轉換，再藉由低通濾波器(Low Pass Filter)濾除頻率對電壓轉換器之輸出的電壓(V_1)的漣波(ripple)與分數N型除頻器輸出的時脈抖動(jitter)。本發明之訊號處理系統及方法，利用壓鎖迴路(Voltage Locked Loop)的特性以及數位除頻的方式，達到精準頻率的輸出。

【英文】

A signal processing system is disclosed, applicable to an environment providing accurate output frequency. By using the signal processing system, the stable output voltage (AMP OUT) of the error amplifier is inputted to the input of the voltage controlled oscillator (VCO), the output frequency (F_{vco}) of the VCO is provided to the input of fractional-N frequency divider for digital division. The output of the fractional-N frequency divider (F_o) is provided to the input of the frequency to voltage converter for frequency/voltage conversion. Then, the low pass filter is used to filter out the ripple of the output voltage (V_1) of the frequency to voltage converter and the trebling jitter of the output of the fractional-N frequency divider. The signal processing system of the present invention utilizes the voltage locked loop property and digital frequency division to achieve accurate frequency output.

【指定代表圖】 第2圖

【代表圖之符號簡單說明】

101 步驟

102 步驟

103 步驟

【發明說明書】

【中文發明名稱】 一種訊號處理系統及其方法

【英文發明名稱】 Signal Processing System and Method Thereof

【技術領域】

【0001】 本發明係有關於訊號處理系統及方法，更詳而言之，係有關於一種應用於提供精準頻率輸出之環境的訊號處理系統及方法，利用壓鎖迴路(Voltage Locked Loop)的特性以及數位除頻的方式，達到精準頻率的輸出。

【先前技術】

【0002】 在電子產品的發展當中，由於半導體製程技術的快速演進，出現了功能強大、複雜的超大型積體電路，一些電子商品，例如，手機，平板電腦，USB週邊產品，皆需要單晶片的應用，而在複雜的超大型積體電路中，更需要精確的同步時脈訊號以達成高規格的處理效能，是故，時脈產生器，即鎖相迴路PLL，被廣泛的運用在頻率合成器與時脈資料回復器等。

【0003】 就目前習知的鎖相迴路PLL(Phase Locked Loop)而言，輸入至相位頻率偵測PFD(Phase Frequency Detect)電路的參考頻率 F_{ref} 往往是由外掛的石英振盪器(Crystal Oscillator)或是MEMS振盪器所產生出來，而此種方式，會造成功耗的增加，增加外部PCB的面積與體積，將不利於電子產品微型化，且造成成本的增加。

【0004】 對於USB時脈產生器而言，常見於USB系統的應用的一種架構是，為了省去12MHz石英震盪器，芯片內部會設計一個振盪器，通常是電感電

容共振腔(LC-Tank, for low Phase noise and low jitter)，或是Ring 振盪器，或是RC 振盪器(RC-Oscillator);然而，電感電容共振腔型式會增加元件面積與功耗，而 Ring 振盪器或是RC振盪器無法避免過多的相位雜訊與抖動(Phase noise and jitter)並可能不具有溫度補償效應(temperature compensation)。

【0005】一般的USB系統時脈產生器，利用USB HOST送過來的通用序列匯流排USB訊框開始欄位SOF(SOF, Start Of Frame)給數位鎖相迴路PLL鎖出精準的頻率，再經由線性鎖相迴路LPLL (Linear Phase Locked Loop)濾掉數位鎖相迴路PLL產生的時脈抖動。最大的缺點是，若為非通用序列匯流排USB的系統應用，則就不具有訊框開始欄位SOF，無法給數位鎖相迴路PLL進行鎖頻校正，而無法得到所需的精準頻率;而當數位鎖相迴路PLL進行鎖頻校正時會增加資料接收的延遲時間，這會造成系統應用的限制。

【0006】於非專利文獻之”A monolithic and self-referenced RF LC clock generator compliant with USB 2.0”，Article in IEEE Journal of Solid-State Circuits，March 2007，作者 Michael S McCorquodale 所揭露的是，如何解決因為環境的變化(例如溫度)造成的石英晶體振盪器(XTAL)之頻率變化所造成鎖相迴路 PLL 鎖出的頻率變化的問題;而所使用的方式是，利用鎖相迴路 PLL 在回授除頻電路前多加一個相位內差電路(phase interpolation)，藉以在不同的溫度下，運用跳相位(phase)的方式來達到調整鎖相迴路 PLL 輸出頻率。

【0007】然，於此非專利文獻，電感電容共振腔(LC-tank Oscillator)型式會增加元件面積與功耗，溫度補償是利用電容陣列與開關(IPTAT+ICTAT))，此類比的方式易受製程偏移的影響，中心頻率的校正也是利用二進位加權(binary

weighting)電容陣列與開關，而面積相當龐大;因電感電容共振腔高頻輸出的時脈，而需要利用耗電的電流模式(Current Mode)除頻電路。

【0008】於2013年1月印度所舉行的第26屆VLSI國際研討會(26th International Conference on VLSI, Jan 2013, India)中，Abhirup Lahiri於30MHz clock oscillator in 28 nm CMOS bulk process討論中提出CMOS時脈振盪器(clock oscillator)，然而，其最大的缺點係在於，CMOS時脈振盪器所提供的時脈訊號頻率是固定頻率。

【0009】台灣公開/公告號 I558095「時脈產生電路與方法」係揭露一種時脈產生電路與時脈產生方法，用來產生一時脈。時脈產生電路包含：一參考時脈產生電路，設置於一晶片中，用來獨立地產生一參考時脈；一溫度感測器，用來感測環境溫度以產生一溫度資訊；一溫度補償模組，耦接該溫度感測器，用來依據該溫度資訊產生一溫度補償係數；以及一時脈調整電路，耦接該參考時脈產生電路，用來依據該參考時脈及該溫度補償係數產生該時脈；其中，該溫度補償模組動態產生該溫度補償係數，以使該時脈之頻率趨近一目標頻率，且實質上不隨溫度變化。惟，台灣公開/公告號 I558095「時脈產生電路與方法」的溫度補償模組依據基準值及斜率來產生各溫度所對應的溫度補償係數，係利用內插法而求得於某一溫度時的設定值N.F，以便反推溫度補償係數。

【0010】台灣公開/公告號I485986「時脈訊號合成之方法與裝置」係揭露一種調整輸出時脈訊號之頻率至要求之振盪頻率之準確度內之方法與其裝置。該方法之一實施例包含有下列步驟：進入一校正模式；產生一第一控制字元，以控制一時脈訊號合成器之時序；調整該第一控制字元直到該合成器之時序實質上落入一參考時脈時序之一預設範圍內；利用一溫度感測器感測一溫度；將

第一控制字元之輸出預設值儲存至一非揮發性記憶體；離開該校正模式；利用該感測器感測該溫度；以及依據該非揮發性記憶體之輸出與該溫度感測器之輸出產生一第二控制字元，以控制該時脈訊號合成器之時序。惟，台灣公開/公告號I485986「時脈訊號合成之方法與裝置」係在製程、電壓、與溫度的變動影響下，利用單點校正與溫度補償機制來維持時脈訊號之頻率至指定頻率要求之精確度範圍內。

【0011】 所以，如何能在芯片內建一個振盪器，用以取代外掛的石英晶體振盪器(XTAL)，於資料傳輸時能降低資料傳收延遲，可節省系統的成本，用數位方式調整壓控振盪器VCO的中心頻率，能應用於不具有訊框開始欄位SOF之非USB的資料傳輸系統，均是待解決的問題。

【發明內容】

【0012】 本發明之主要目的便是在於提供一種訊號處理系統及其方法，能在芯片內建一個振盪器，用以取代外掛的石英晶體振盪器(XTAL)，能應用於不具有訊框開始欄位SOF之非USB的資料傳輸系統，於資料傳輸時能降低資料傳收延遲。

【0013】 本發明之再一目的便是在於提供一種訊號處理系統及其方法，利用數位方式，以分數N型除頻器來調整壓控振盪器VCO的中心頻率，能應用於不具有訊框開始欄位SOF之非USB的資料傳輸系統。

【0014】 本發明之另一目的便是在於提供一種訊號處理系統及其方法，不具有外部石英振盪器且不具有外部電阻，能減少封裝PIN數，而能於PCB板上節省元件面積與體積，並節省功率消耗與節省系統的成本。

【0015】本發明之又一目的便是在於提供一種訊號處理系統及其方法，在溫度補償與中心頻率調整完成的情況下，可以有不同的輸出頻率，例如，6MHz，12MHz，14.31818MHz，24MHz等等；可取代外掛的石英振盪器而應用在不同的系統，例如，可取代12MHz石英晶體於USB 1.1的應用(12MHz Crystal (+-2500ppm) in USB1.1)，或是，可取代12MHz石英晶體於USB2.0的應用(12MHz Crystal (+-500ppm) in USB2.0)。

【0016】本發明之再一目的便是在於提供一種訊號處理系統及其方法，可利用壓鎖迴路的特性以及數位除頻的方式，達到精準頻率的輸出。

【0017】根據以上所述之目的，本發明提供一種訊號處理系統，該訊號處理系統至少包含誤差放大器(Error Amplifier)、電壓控制振盪器VCO(Voltage Controlled Oscillator)、分數N型除頻器、頻率對電壓轉換器(Frequency to Voltage Converter)、以及一低通濾波器(Low Pass Filter)。

【0018】另，視實際需求，本發明之訊號處理系統復可包含溫度補償模組。

【0019】誤差放大器，該誤差放大器的正端將輸入一參考電壓Vref，負端將輸入一電壓V1， $V_{ref}=V1$ ，且， $V_{ref}=I_{osc}/(F_o * C_{ref})$ ，其中，電壓V1來自於低通濾波器的輸出端，該參考電壓Vref、參考電流Iosc係來自於一溫度補償模組，頻率訊號Fo為經分數N型除頻器數位除頻處理後的分數N型除頻器輸出端的輸出訊號，而參考電容Cref則為頻率對電壓轉換器中的參考電容；該誤差放大器將輸出一穩定輸出電壓AMP OUT至電壓控制振盪器VCO的輸入端。

【0020】電壓控制振盪器VCO，該電壓控制振盪器VCO將接收來自於該誤差放大器輸出端的穩定輸出電壓AMP OUT，而該穩定輸出電壓AMP OUT即為該電壓控制振盪器VCO的控制電壓Vctrl，經由該電壓控制振盪器VCO的作用，

該電壓控制振盪器VCO輸出端將輸出時脈訊號CKOUT至分數N型除頻器輸入端，而時脈訊號CKOUT即為電壓控制振盪器VCO之輸出的頻率訊號Fvco，輸出之頻率訊號Fvco將提供至分數N型除頻器輸入端以便進行數位除頻。

【0021】 分數N型除頻器，該分數N型除頻器將對來自於電壓控制振盪器VCO之輸出的頻率訊號Fvco進行數位除頻處理;經數位除頻處理後的分數N型除頻器輸出端之輸出的頻率訊號Fo將提供至頻率對電壓轉換器的輸入端。

【0022】 頻率對電壓轉換器，該頻率對電壓轉換器將對所接收之來自於分數N型除頻器輸出的頻率訊號Fo進行頻率/電壓轉換，以將頻率訊號Fo轉換為電壓V1。

【0023】 低通濾波器，該低通濾波器將接收來自於頻率對電壓轉換器輸出端的電壓V1，再藉由該低通濾波器濾除頻率對電壓轉換器之輸出的電壓V1的漣波(ripple)與分數N型除頻器輸出的時脈抖動。

【0024】 另，視實際需求，本發明之訊號處理系統復可包含溫度補償模組，該溫度補償模組可提供具有溫度補償功效之不隨溫度改變的穩定的參考電壓Vref、以及參考電流Iosc;換言之，視實際需求，本發明之訊號處理系統復可具有溫度補償功效，因而，可利用壓鎖迴路的特性、溫度補償的技術、以及數位除頻的方式，達到精準頻率的輸出。

【0025】 利用本發明之訊號處理系統以進行訊號處理方法的過程時，首先，進行電壓/頻率轉換動作;誤差放大器的正端將輸入一參考電壓Vref，負端將輸入一電壓V1，該誤差放大器將輸出一穩定輸出電壓AMP OUT至電壓控制振盪器VCO的輸入端;當電壓控制振盪器VCO接收來自於該誤差放大器輸出端的穩定輸出電壓AMP OUT(控制電壓Vctrl)之後，經由該電壓控制振盪器VCO的作用

產生出時脈訊號CKOUT，該電壓控制振盪器VCO輸出端將輸出時脈訊號CKOUT至分數N型除頻器輸入端，而時脈訊號CKOUT即為電壓控制振盪器VCO之輸出的頻率訊號Fvco。

【0026】 接著，進行數位除頻動作；分數N型除頻器將對來自於電壓控制振盪器VCO之輸出的頻率訊號Fvco進行數位除頻處理；經數位除頻處理後的分數N型除頻器輸出端之輸出的頻率訊號Fo將提供至頻率對電壓轉換器的輸入端。

【0027】 繼而，進行頻率/電壓轉換動作；經數位除頻處理後的分數N型除頻器輸出端之輸出的頻率訊號Fo將提供至頻率對電壓轉換器的輸入端以便進行頻率/電壓轉換，再藉由低通濾波器濾除頻率對電壓轉換器之輸出的電壓V1的漣波與分數N型除頻器輸出的時脈抖動；換言之，頻率對電壓轉換器將對所接收之來自於分數N型除頻器輸出的頻率訊號Fo進行頻率/電壓轉換，以將頻率訊號Fo轉換為電壓V1，而低通濾波器將接收來自於頻率對電壓轉換器輸出端的電壓V1，再藉由該低通濾波器濾除頻率對電壓轉換器之輸出的電壓V1的漣波與分數N型除頻器輸出的時脈抖動。

【0028】 另，視實際需求，利用本發明之訊號處理系統以進行訊號處理方法的過程時，復可包含溫度補償效能動作；溫度補償模組可提供具有溫度補償功效之不隨溫度改變的穩定的參考電壓Vref、以及參考電流Iosc；換言之，視實際需求，本發明之訊號處理系統進行訊號處理方法的過程時，復可具有溫度補償功效，因而，可利用壓鎖迴路的特性、溫度補償的技術、以及數位除頻的方式，達到精準頻率的輸出。

【0029】 為使熟悉該項技藝人士瞭解本發明之目的、特徵及功效，茲藉由下述具體實施例，並配合所附之圖式，對本發明詳加說明如後。

【圖式簡單說明】**【0030】**

第1圖為一系統示意圖，用以顯示說明本發明之訊號處理系統之系統架構、以及運作情形;

第2圖為一流程圖，用以顯示說明利用如第1圖中之本發明之訊號處理系統以進行訊號處理方法的流程步驟;

第3圖為一示意圖，用以顯示說明本發明之訊號處理系統的一實施例的架構、以及運作情形;

第4圖為一示意圖，用以顯示說明第3圖中之訊號處理系統的電壓控制振盪器VCO的一施行電路;

第5圖為一示意圖，用以顯示說明第3圖中之訊號處理系統的分數N型除頻器的一施行電路;

第6圖為一示意圖，用以顯示說明第3圖中之訊號處理系統的頻率對電壓轉換器、以及低通濾波器的一施行電路;

第7圖為一流程圖，用以顯示說明利用如第3圖中之本發明之訊號處理系統的一實施例以進行訊號處理方法的一流程步驟;

第8圖為一示意圖，用以顯示說明本發明之訊號處理系統的另一實施例的架構、以及運作情形;

第9圖為一示意圖，用以顯示說明第8圖中之訊號處理系統的分數N型除頻器的一施行電路;

第10圖為一示意圖，用以顯示說明第8圖中之訊號處理系統的頻率對電壓轉換器、以及低通濾波器的一施行電路;以及

第11圖為一流程圖，用以顯示說明利用如第8圖中之本發明之訊號處理系統的一實施例以進行訊號處理方法的一流程步驟。

【實施方式】

【0031】 第1圖為一系統示意圖，用以顯示說明本發明之訊號處理系統之系統架構、以及運作情形。如第1圖中所示之，訊號處理系統1至少包含誤差放大器2、電壓控制振盪器VCO 3、分數N型除頻器4、頻率對電壓轉換器5、以及一低通濾波器6。

【0032】 誤差放大器2，該誤差放大器2的正端將輸入一參考電壓Vref，負端將輸入一電壓V1， $V_{ref}=V1$ ，且， $V_{ref}=I_{osc}/(F_o * C_{ref})$ ，其中，電壓V1來自於低通濾波器6的輸出端，該參考電壓Vref、參考電流Iosc(未圖示之)係來自於一溫度補償模組(未圖示之)，頻率訊號Fo為經分數N型除頻器4數位除頻處理後的分數N型除頻器4輸出端的輸出訊號，而參考電容Cref(未圖示之)則為頻率對電壓轉換器5中的參考電容;該誤差放大器2將輸出一穩定輸出電壓AMP OUT至電壓控制振盪器VCO 3的輸入端。

【0033】 電壓控制振盪器VCO 3，該電壓控制振盪器VCO 3將接收來自於該誤差放大器1輸出端的穩定輸出電壓AMP OUT，而該穩定輸出電壓AMP OUT即為該電壓控制振盪器VCO 3的控制電壓Vctrl(未圖示之)，經由該電壓控制振盪器VCO 3的作用，該電壓控制振盪器VCO 3輸出端將輸出時脈訊號CKOUT(未圖示之)至分數N型除頻器4輸入端，而時脈訊號CKOUT即為電壓控制振盪器VCO 3之輸出的頻率訊號Fvco，輸出之頻率訊號Fvco將提供至分數N型除頻器4輸入端以便進行數位除頻。

【0034】分數N型除頻器4，該分數N型除頻器4將對來自於電壓控制振盪器VCO 3之輸出的頻率訊號Fvco進行數位除頻處理;經數位除頻處理後的分數N型除頻器4輸出端之輸出的頻率訊號Fo將提供至頻率對電壓轉換器的輸入端;在此，其中，可利用累加器來進行數位除頻處理，例如， $Fo=Fvco*(FCW/2^{24})$ ，FCW (Frequency Controlled Word)是頻率控制字元，或是，例如，利用N(N+1)除頻器， $Fo=Fvco/N.f$ ，而N.f為利用N值、(N+1)值所得出之除頻除數。

【0035】頻率對電壓轉換器5，該頻率對電壓轉換器5將對所接收之來自於分數N型除頻器4輸出的頻率訊號Fo進行頻率/電壓轉換，以將頻率訊號Fo轉換為電壓V1;在此，其中，頻率對電壓轉換器5可為，例如，開關電容電路。

【0036】低通濾波器6，該低通濾波器6將接收來自於頻率對電壓轉換器5輸出端的電壓V1，再藉由該低通濾波器6濾除頻率對電壓轉換器5之輸出的電壓V1的漣波與分數N型除頻器4輸出的時脈抖動。

【0037】另，視實際需求，本發明之訊號處理系統1復可包含溫度補償模組(未圖示之)，該溫度補償模組可提供具有溫度補償功效之不隨溫度改變的穩定的參考電壓Vref、以及參考電流Iosc;換言之，視實際需求，本發明之訊號處理系統1復可具有溫度補償功效，因而，可利用壓鎖迴路的特性、溫度補償的技術、以及數位除頻的方式，達到精準頻率的輸出。

【0038】本發明之訊號處理系統1可以有不同的輸出頻率，視實際需求情況而予以施行，例如，6MHz，12MHz，14.31818MHz，24MHz等等;可取代外掛的石英振盪器而應用在不同的系統，例如，可取代12MHz石英晶體於USB 1.1的應用(12MHz Crystal (+- 2500ppm) in USB1.1)，或是，可取代12MHz石英晶體於

USB2.0的應用(12MHz Crystal (+-500ppm) in USB2.0);以及，訊號處理系統1可利用壓鎖迴路的特性以及數位除頻的方式，達到精準頻率的輸出。

【0039】 第2圖為一流程圖，用以顯示說明利用如第1圖中之本發明之訊號處理系統以進行訊號處理方法的流程步驟。

【0040】 如第2圖中所示之，首先，於步驟101，進行電壓/頻率轉換動作；誤差放大器2的正端將輸入一參考電壓 V_{ref} ，負端將輸入一電壓 V_1 ，該誤差放大器2將輸出一穩定輸出電壓AMP OUT至電壓控制振盪器VCO 3的輸入端；當電壓控制振盪器VCO 3接收來自於該誤差放大器2輸出端的穩定輸出電壓AMP OUT(控制電壓 V_{ctrl})之後，經由該電壓控制振盪器VCO 3的作用產生出時脈訊號CKOUT，該電壓控制振盪器VCO 3輸出端將輸出時脈訊號CKOUT至分數N型除頻器4輸入端，而時脈訊號CKOUT即為電壓控制振盪器VCO 3之輸出的頻率訊號 F_{vco} ，並進到步驟102。

【0041】 於步驟102，進行數位除頻動作；分數N型除頻器4將對來自於電壓控制振盪器VCO 3之輸出的頻率訊號 F_{vco} 進行數位除頻處理；經數位除頻處理後的分數N型除頻器4輸出端之輸出的頻率訊號 F_o 將提供至頻率對電壓轉換器5的輸入端，並進到步驟103。

【0042】 於步驟103，進行頻率/電壓轉換動作；經數位除頻處理後的分數N型除頻器4輸出端之輸出的頻率訊號 F_o 將提供至頻率對電壓轉換器5的輸入端以便進行頻率/電壓轉換，再藉由低通濾波器6濾除頻率對電壓轉換器5之輸出的電壓 V_1 的漣波與分數N型除頻器4輸出的時脈抖動；換言之，頻率對電壓轉換器5將對所接收之來自於分數N型除頻器4輸出的頻率訊號 F_o 進行頻率/電壓轉換，以將頻率訊號 F_o 轉換為電壓 V_1 ，而低通濾波器6將接收來自於頻率對電壓轉換器輸出

端的電壓V1，再藉由該低通濾波器6濾除頻率對電壓轉換器5之輸出的電壓V1的漣波與分數N型除頻器輸出的時脈抖動。

【0043】 另，視實際需求，利用本發明之訊號處理系統1以進行訊號處理方法的過程時，復可包含溫度補償效能動作(未圖示之);溫度補償模組可提供具有溫度補償功效之不隨溫度改變的穩定的參考電壓Vref、以及參考電流Iosc;換言之，視實際需求，本發明之訊號處理系統1進行訊號處理方法的過程時，復可具有溫度補償功效，因而，可利用壓鎖迴路的特性、溫度補償的技術、以及數位除頻的方式，達到精準頻率的輸出。

【0044】 第3圖為一示意圖，用以顯示說明本發明之訊號處理系統的一實施例的架構、以及運作情形。如第3圖中所示之，訊號處理系統1包含誤差放大器2、電壓控制振盪器VCO 3、分數N型除頻器4、頻率對電壓轉換器5、以及一低通濾波器6。

【0045】 誤差放大器2，該誤差放大器2的正端將輸入一參考電壓Vref，負端將輸入一電壓V1， $V_{ref}=V1$ ，且， $V_{ref}=I_{osc}/(F_o * C_{ref})$ ，其中，電壓V1來自於低通濾波器6的輸出端，該參考電壓Vref、參考電流Iosc(未圖示之)係來自於一溫度補償模組(未圖示之)，頻率訊號Fo為經分數N型除頻器4數位除頻處理後的分數N型除頻器4輸出端的輸出訊號，而如第6圖中所示之，參考電容Cref則為頻率對電壓轉換器5中的參考電容;該誤差放大器2將輸出一穩定輸出電壓AMP OUT至電壓控制振盪器VCO 3的輸入端。

【0046】 電壓控制振盪器VCO 3，該電壓控制振盪器VCO 3將接收來自於該誤差放大器1輸出端的穩定輸出電壓AMP OUT，而該穩定輸出電壓AMP OUT即為該電壓控制振盪器VCO 3之如第4圖中所示的控制電壓Vctrl，經由該電壓控

制振盪器VCO 3的作用，該電壓控制振盪器VCO 3輸出端將輸出如第4圖中所示的時脈訊號CKOUT至分數N型除頻器4輸入端，而時脈訊號CKOUT即為電壓控制振盪器VCO 3之輸出的頻率訊號Fvco，輸出之頻率訊號Fvco將提供至分數N型除頻器4輸入端以便進行數位除頻。

【0047】 另，如第4圖中所示之，電壓控制振盪器VCO 3由開關/反向器電路、以及位準偏移電路所構成;其中，Vdd的電壓可為，例如，1.2V~3.3V，或，3.3V~5V，位準偏移電路可將電壓值予以轉變，例如，由1.2V轉變為3.3V，或，由3.3V轉變為5V，而電壓控制振盪器VCO 3所輸出的時脈訊號CKOUT即頻率訊號Fvco的頻率範圍可為，例如，幾百KHz等級至幾百MHz等級。

【0048】 分數N型除頻器4，該分數N型除頻器4將對來自於電壓控制振盪器VCO 3之輸出的頻率訊號Fvco進行數位除頻處理;經數位除頻處理後的分數N型除頻器4輸出端之輸出的頻率訊號Fo將提供至頻率對電壓轉換器的輸入端，其中，例如，可利用累加器來進行數位除頻處理。

【0049】 另，第5圖中所示之電路為分數N型除頻器4的一施行電路，而如第5圖中所示之，分數N型除頻器4包含一數控振盪器NCO，在此，例如，數控振盪器可為N個bit累加器，例如，為24bit， $F_o = f_{sys} * (FCW / 2^{24})$ ，FCW (Frequency Controlled Word)是頻率控制字元;而當數控振盪器為24bit累加器時，分數N型除頻器4輸出的頻率訊號 $F_o = f_{sys} * (A / 2^{24})$ ，其中，f_{sys}可選取為，例如，f_{sys}=Fvco，而整數A的數值範圍為從 2^0 至 $(2^{24}-1)$ ，由於是藉由數位除頻的方式，因而，本發明可得出多種精確頻率的輸出。

【0050】 如第6圖中所示之，頻率對電壓轉換器5與低通濾波器6，該頻率對電壓轉換器5將對所接收之來自於分數N型除頻器4輸出的頻率訊號Fo進行頻

率/電壓轉換，以將頻率訊號 F_o 轉換為電壓 V_1 ;以及，低通濾波器6，該低通濾波器6將接收來自於頻率對電壓轉換器5輸出端的電壓 V_1 ，再藉由該低通濾波器6濾除頻率對電壓轉換器5之輸出的電壓 V_1 的漣波與分數 N 型除頻器4輸出的時脈抖動。

【0051】 第4圖為一示意圖，用以顯示說明第3圖中之訊號處理系統的電壓控制振盪器VCO的一施行電路。如第4圖中所示之，電壓控制振盪器VCO 3由開關/反向器電路、以及位準偏移電路所構成;其中， V_{dd} 的電壓可為，例如， $1.2V\sim 3.3V$ ，或， $3.3V\sim 5V$ ，位準偏移電路可將電壓值予以轉變，例如，由 $1.2V$ 轉變為 $3.3V$ ，或，由 $3.3V$ 轉變為 $5V$ ，而電壓控制振盪器VCO 3所輸出的時脈訊號CKOUT即頻率訊號 F_{vco} 的頻率範圍可為，例如，幾百KHz等級至幾百MHz等級。

【0052】 第5圖為一示意圖，用以顯示說明第3圖中之訊號處理系統的分數 N 型除頻器的一施行電路。如第5圖中所示之，分數 N 型除頻器4包含一數控振盪器NCO，在此，例如，數控振盪器可為 N 個bit累加器，例如，為24bit， $F_o = f_{sys} * (FCW / 2^{24})$ ， FCW (Frequency Controlled Word)是頻率控制字元;而當數控振盪器為24bit累加器時，分數 N 型除頻器4輸出的頻率訊號 $F_o = f_{sys} * (A / 2^{24})$ ，其中， f_{sys} 可選取為，例如， $f_{sys} = F_{vco}$ ，而整數 A 的數值範圍為從 2^0 至 $(2^{24}-1)$ ，由於是藉由數位除頻的方式，因而，本發明可得出多種精確頻率的輸出。

【0053】 第6圖為一示意圖，用以顯示說明第3圖中之訊號處理系統的頻率對電壓轉換器、以及低通濾波器的一施行電路。如第6圖中所示之，藉由非重疊時脈產生器(non-overlap clock gen.)而將所輸入之來自於分數 N 型除頻器4輸出的頻率訊號 F_o 轉換為2個非重疊的時脈訊號CK1與CK2，而時脈訊號CK1與CK2分

別提供至Switch1與 Switch2，藉由電流源Iosc、由PMOS1與PMOS2組成的電流鏡、Switch1、Switch2、以及參考電容Cref，可得出電壓 $V1 = \text{參考電流} I_{osc} / (\text{頻率訊號} F_o * \text{參考電容} C_{ref})$ ，亦即， $V1 = I_{osc} / (F_o * C_{ref})$ ；可經由低通濾波器6濾除頻率對電壓轉換器5之輸出的電壓V1的漣波與分數N型除頻器4輸出的時脈抖動。

【0054】 第7圖為一流程圖，用以顯示說明利用如第3圖中之本發明之訊號處理系統的一實施例以進行訊號處理方法的一流程步驟。

【0055】 如第7圖中所示之，首先，於步驟201，進行電壓/頻率轉換動作；誤差放大器2的正端將輸入一參考電壓Vref，負端將輸入一電壓V1，該誤差放大器2將輸出一穩定輸出電壓AMP OUT至電壓控制振盪器VCO 3的輸入端；當電壓控制振盪器VCO 3接收來自於該誤差放大器2輸出端的穩定輸出電壓AMP OUT(控制電壓Vctrl)之後，經由該電壓控制振盪器VCO 3的作用產生出時脈訊號CKOUT，該電壓控制振盪器VCO 3輸出端將輸出時脈訊號CKOUT至分數N型除頻器4輸入端，而時脈訊號CKOUT即為電壓控制振盪器VCO 3之輸出的頻率訊號Fvco，並進到步驟202。

【0056】 於步驟202，進行數位除頻動作；分數N型除頻器4將對來自於電壓控制振盪器VCO 3之輸出的頻率訊號Fvco進行數位除頻處理；經數位除頻處理後的分數N型除頻器4輸出端之輸出的頻率訊號Fo將提供至頻率對電壓轉換器5的輸入端，並進到步驟203；其中，分數N型除頻器4包含一數控振盪器NCO，在此，例如，數控振盪器可為N個bit累加器，例如，為24bit， $F_o = f_{sys} * (FCW / 2^{24})$ ，FCW (Frequency Controlled Word)是頻率控制字元；而當數控振盪器為24bit累加器時，分數N型除頻器4輸出的頻率訊號 $F_o = f_{sys} * (A / 2^{24})$ ，其中，f_{sys}可選取為，例如，

$f_{\text{sys}}=F_{\text{vco}}$ ，而整數A的數值範圍為從 2^0 至 $(2^{24}-1)$ ，由於是藉由數位除頻的方式，因而，本發明可得出多種精確頻率的輸出。

【0057】於步驟203，進行頻率/電壓轉換動作;經數位除頻處理後的分數N型除頻器4輸出端之輸出的頻率訊號 F_0 將提供至頻率對電壓轉換器5的輸入端以便進行頻率/電壓轉換，再藉由低通濾波器6濾除頻率對電壓轉換器5之輸出的電壓V1的漣波與分數N型除頻器4輸出的時脈抖動;換言之，頻率對電壓轉換器5將對所接收之來自於分數N型除頻器4輸出的頻率訊號 F_0 進行頻率/電壓轉換，以將頻率訊號 F_0 轉換為電壓V1，而低通濾波器6將接收來自於頻率對電壓轉換器輸出端的電壓V1，再藉由該低通濾波器6濾除頻率對電壓轉換器5之輸出的電壓V1的漣波與分數N型除頻器輸出的時脈抖動。

【0058】第8圖為一示意圖，用以顯示說明本發明之訊號處理系統的另一實施例的架構、以及運作情形。如第8圖中所示之，訊號處理系統1包含誤差放大器2、電壓控制振盪器VCO 3、分數N型除頻器4、頻率對電壓轉換器5、以及一低通濾波器6。

【0059】另，視實際需求，訊號處理系統1復可包含溫度補償模組7，該溫度補償模組7可提供具有溫度補償功效之不隨溫度改變的穩定的參考電壓 V_{ref} 給誤差放大器2、以及參考電流 I_{osc} 給頻率對電壓轉換器5;換言之，視實際需求，訊號處理系統1復可具有溫度補償功效，因而，可利用壓鎖迴路的特性、溫度補償的技術、以及數位除頻的方式，達到精準頻率的輸出。

【0060】誤差放大器2，該誤差放大器2的正端將輸入一參考電壓 V_{ref} ，負端將輸入一電壓V1， $V_{\text{ref}}=V_1$ ，且， $V_{\text{ref}}=I_{\text{osc}}/(F_0 \cdot C_{\text{ref}})$ ，其中，電壓V1來自於低通濾波器6的輸出端，該參考電壓 V_{ref} 、參考電流 I_{osc} 係來自於一溫度補償模

組7，頻率訊號 F_o 為經分數N型除頻器4數位除頻處理後的分數N型除頻器4輸出端的輸出訊號，而如第10圖中所示之，參考電容 C_{ref} 則為頻率對電壓轉換器5中的參考電容;該誤差放大器2將輸出一穩定輸出電壓AMP OUT至電壓控制振盪器VCO 3的輸入端。

【0061】 電壓控制振盪器VCO 3，該電壓控制振盪器VCO 3的一施行電路可如於第4圖中所示之電路而予以施行，是故，在此，將以第4圖中之施行電路來說明於本實施例中的該電壓控制振盪器VCO 3的運作情形。

【0062】 電壓控制振盪器VCO 3將接收來自於該誤差放大器1輸出端的穩定輸出電壓AMP OUT，在此，電壓控制振盪器VCO 3的一施行電路可如於第4圖中所示之電路而予以施行，而該穩定輸出電壓AMP OUT即為該電壓控制振盪器VCO 3之如第4圖中所示的控制電壓 V_{ctrl} ，經由該電壓控制振盪器VCO 3的作用，該電壓控制振盪器VCO 3輸出端將輸出如第4圖中所示的時脈訊號CKOUT至分數N型除頻器4輸入端，而時脈訊號CKOUT即為電壓控制振盪器VCO 3之輸出的頻率訊號 F_{vco} ，輸出之頻率訊號 F_{vco} 將提供至分數N型除頻器4輸入端以便進行數位除頻。

【0063】 另，如第4圖中所示之，電壓控制振盪器VCO 3由開關/反向器電路、以及位準偏移電路所構成;其中， V_{dd} 的電壓可為，例如，1.2V~3.3V，或，3.3V~5V，位準偏移電路可將電壓值予以轉變，例如，由1.2V轉變為3.3V，或，由3.3V轉變為5V，而電壓控制振盪器VCO 3所輸出的時脈訊號CKOUT即頻率訊號 F_{vco} 的頻率範圍可為，例如，幾百KHz等級至幾百MHz等級。

【0064】 分數N型除頻器4，該分數N型除頻器4將對來自於電壓控制振盪器VCO 3之輸出的頻率訊號 F_{vco} 進行數位除頻處理;經數位除頻處理後的分數N

型除頻器4輸出端之輸出的頻率訊號 F_o 將提供至頻率對電壓轉換器的輸入端，其中，利用 $N(N+1)$ 除頻器， $F_o = F_{vco}/N.f$ ，而 $N.f$ 為利用 N 值、 $(N+1)$ 值所得出之除頻除數。

【0065】 另，第9圖中所示之電路為分數 N 型除頻器4的另一施行電路，而如第9圖中所示之，分數 N 型除頻器4包含一 $N(N+1)$ 除頻器、以及 $\Delta\Sigma$ 調變器(Sigma-Delta Modulator)，利用 $N(N+1)$ 除頻器， $F_o = F_{vco}/N.f$ ，而 $N.f$ 為利用 N 值、 $(N+1)$ 值所得出之除頻除數，其中， $\Delta\Sigma$ 調變器(Sigma-Delta Modulator)利用分數部分(f)(Fractional Part (f))與 F_o 將值傳 $N(N+1)$ 除頻器，而 $N(N+1)$ 除頻器利用整數部分(N)(Integer Part (N))與該值而進行數位除頻，其中，當欲進行非整數除頻，例如，進行非整數3.3除頻處理時，則將經由 $N=3$ 、 $N+1=4$ 的比例來予以構成非整數3.3除頻處理，由於是藉由數位除頻的方式，因而，本發明可得出多種精確頻率的輸出。

【0066】 如第10圖中所示之，頻率對電壓轉換器5與低通濾波器6，該頻率對電壓轉換器5將對所接收之來自於分數 N 型除頻器4輸出的頻率訊號 F_o 進行頻率/電壓轉換，以將頻率訊號 F_o 轉換為電壓 V_1 ；以及，低通濾波器6，該低通濾波器6將接收來自於頻率對電壓轉換器5輸出端的電壓 V_1 ，再藉由該低通濾波器6濾除頻率對電壓轉換器5之輸出的電壓 V_1 的漣波與分數 N 型除頻器4輸出的時脈抖動。

【0067】 第9圖為一示意圖，用以顯示說明第8圖中之訊號處理系統的分數 N 型除頻器的一施行電路。如第9圖中所示之，分數 N 型除頻器4包含一 $N(N+1)$ 除頻器、以及 $\Delta\Sigma$ 調變器(Sigma-Delta Modulator)，利用 $N(N+1)$ 除頻器， $F_o = F_{vco}/N.f$ ，而 $N.f$ 為利用 N 值、 $(N+1)$ 值所得出之除頻除數，其中， $\Delta\Sigma$ 調變器

(Sigma-Delta Modulator)利用分數部分(f)(Fractional Part (f))與 F_0 將值傳 $N(N+1)$ 除頻器，而 $N(N+1)$ 除頻器利用整數部分(N)(Integer Part (N))與該值而進行數位除頻，其中，當欲進行非整數除頻，例如，進行非整數3.3除頻處理時，則將經由 $N=3$ 、 $N+1=4$ 的比例來予以構成非整數3.3除頻處理，由於是藉由數位除頻的方式，因而，本發明可得出多種精確頻率的輸出。

【0068】 第10圖為一示意圖，用以顯示說明第8圖中之訊號處理系統的頻率對電壓轉換器、以及低通濾波器的一施行電路。如第10圖中所示之，藉由非重疊時脈產生器(non-overlap clock gen.)而將所輸入之來自於分數N型除頻器4輸出的頻率訊號 F_0 轉換為2個非重疊的時脈訊號CK1與CK2，而時脈訊號CK1提供至Switch1_A與Switch2_B，時脈訊號CK2提供至Switch1_B與Switch2_A，藉由電流源 I_{osc} 、由PMOS1與PMOS2組成的電流鏡、Switch1_A、Switch1_B、Switch2_A、Switch2_B、以及參考電容 C_{ref} ，可得出電壓 $V_1 = \text{參考電流 } I_{osc} / (\text{頻率訊號 } F_0 * \text{參考電容 } C_{ref})$ ，亦即， $V_1 = I_{osc} / (F_0 * C_{ref})$ ；可經由低通濾波器6濾除頻率對電壓轉換器5之輸出的電壓 V_1 的漣波與分數N型除頻器4輸出的時脈抖動。

【0069】 第11圖為一流程圖，用以顯示說明利用如第8圖中之本發明之訊號處理系統的一實施例以進行訊號處理方法的一流程步驟。

【0070】 如第11圖中所示之，首先，於步驟301，進行溫度補償效能動作；溫度補償模組7可提供具有溫度補償功效之不隨溫度改變的穩定的參考電壓 V_{ref} 給誤差放大器2、以及參考電流 I_{osc} 給頻率對電壓轉換器5，並進到步驟302；換言之，視實際需求，於進行訊號處理方法的過程時，可具有溫度補償功效，因而，可利用壓鎖迴路的特性、溫度補償的技術、以及數位除頻的方式，達到精準頻率的輸出。

【0071】於步驟302，進行電壓/頻率轉換動作;誤差放大器2的正端將輸入一參考電壓 V_{ref} ，負端將輸入一電壓 V_1 ，該誤差放大器2將輸出一穩定輸出電壓AMP OUT至電壓控制振盪器VCO 3的輸入端;當電壓控制振盪器VCO 3接收來自於該誤差放大器2輸出端的穩定輸出電壓AMP OUT(控制電壓 V_{ctrl})之後，經由該電壓控制振盪器VCO 3的作用產生出時脈訊號CKOUT，該電壓控制振盪器VCO 3輸出端將輸出時脈訊號CKOUT至分數N型除頻器4輸入端，而時脈訊號CKOUT即為電壓控制振盪器VCO 3之輸出的頻率訊號 F_{vco} ，並進到步驟303。

【0072】於步驟303，進行數位除頻動作;分數N型除頻器4將對來自於電壓控制振盪器VCO 3之輸出的頻率訊號 F_{vco} 進行數位除頻處理;經數位除頻處理後的分數N型除頻器4輸出端之輸出的頻率訊號 F_o 將提供至頻率對電壓轉換器5的輸入端，並進到步驟304;在此， $\Delta\Sigma$ 調變器利用分數部分(f)與 F_o 將值傳 $N(N+1)$ 除頻器，而 $N(N+1)$ 除頻器利用整數部分(N)與該值而進行數位除頻。

【0073】於步驟304，進行頻率/電壓轉換動作;經數位除頻處理後的分數N型除頻器4輸出端之輸出的頻率訊號 F_o 將提供至頻率對電壓轉換器5的輸入端以便進行頻率/電壓轉換，再藉由低通濾波器6濾除頻率對電壓轉換器5之輸出的電壓 V_1 的漣波與分數N型除頻器4輸出的時脈抖動;換言之，頻率對電壓轉換器5將對所接收之來自於分數N型除頻器4輸出的頻率訊號 F_o 進行頻率/電壓轉換，以將頻率訊號 F_o 轉換為電壓 V_1 ，而低通濾波器6將接收來自於頻率對電壓轉換器輸出端的電壓 V_1 ，再藉由該低通濾波器6濾除頻率對電壓轉換器5之輸出的電壓 V_1 的漣波與分數N型除頻器輸出的時脈抖動。

【0074】於本發明之訊號處理系統的一實施例(第3圖)、以及另一實施例(第8圖)中的電壓控制振盪器VCO之施行電路、分數N型除頻器之施行電路、頻

率對電壓轉換器之施行電路、以及低通濾波器之施行電路，於實際施行時，均可進行任意選取、配置，其理相同、類似於該些實施例中所述之，在此不再贅述。

【0075】 綜合以上之該些實施例，我們可以得到本發明之一種訊號處理系統及其方法，係應用於提供精準頻率輸出的環境中，利用本發明之訊號處理系統以進行訊號處理方法時，誤差放大器(Error Amplifier)的穩定輸出電壓(AMP OUT)將輸入至電壓控制振盪器VCO(Voltage Controlled Oscillator)的輸入端，電壓控制振盪器VCO之輸出的頻率訊號(F_{vco})將提供至分數N型除頻器輸入端以便進行數位除頻。經數位除頻處理後的分數N型除頻器輸出端之輸出的頻率訊號(F_o)將提供至頻率對電壓轉換器(Frequency to Voltage Converter)的輸入端以便進行頻率/電壓轉換，再藉由低通濾波器(Low Pass Filter)濾除頻率對電壓轉換器之輸出的電壓(V_1)的漣波(ripple)與分數N型除頻器輸出的時脈抖動(jitter)。本發明之訊號處理系統及方法，利用壓鎖迴路(Voltage Locked Loop)的特性以及數位除頻的方式，達到精準頻率的輸出。本發明之訊號處理系統及方法包含以下優點:

【0076】 1. 能在芯片內建一個振盪器，用以取代外掛的石英晶體振盪器(XTAL)，能應用於不具有訊框開始欄位SOF之非USB的資料傳輸系統，於資料傳輸時能降低資料傳收延遲。

【0077】 2. 利用數位方式，以分數N型除頻器來調整壓控振盪器VCO的中心頻率，能應用於不具有訊框開始欄位SOF之非USB的資料傳輸系統。

【0078】 3. 不具有外部石英振盪器且不具有外部電阻，能減少封裝PIN數，而能於PCB板上節省元件面積與體積，並節省功率消耗與節省系統的成本。

【0079】 4. 在溫度補償與中心頻率調整完成的情況下，可以有不同的輸出頻率，例如，6MHz，12MHz，14.31818MHz，24MHz等等;可取代外掛的石英振盪器而應用在不同的系統，例如，可取代12MHz石英晶體於USB 1.1的應用(12MHz Crystal (+- 2500ppm) in USB1.1)，或是，可取代12MHz石英晶體於USB2.0的應用(12MHz Crystal (+-500ppm) in USB2.0)。

【0080】 5. 可利用壓鎖迴路的特性以及數位除頻的方式，達到精準頻率的輸出。

【0081】 以上所述僅為本發明之較佳實施例而已，並非用以限定本發明之範圍;凡其它未脫離本發明所揭示之精神下所完成之等效改變或修飾，均應包含在下述之專利範圍內。

【符號說明】

- 1 訊號處理系統
- 2 誤差放大器
- 3 電壓控制振盪器 VCO
- 4 分數 N 型除頻器
- 5 頻率對電壓轉換器
- 6 低通濾波器
- 7 溫度補償模組
- 101 步驟
- 102 步驟
- 103 步驟
- 201 步驟
- 202 步驟
- 203 步驟
- 301 步驟
- 302 步驟
- 303 步驟
- 304 步驟
- A 整數
- AMP OUT 穩定輸出電壓
- CK1 時脈訊號
- CK2 時脈訊號
- CKOUT 時脈訊號
- Cref 參考電容
- FCW 頻率控制字元
- Fo 頻率訊號
- Fvco 頻率訊號
- Iosc 參考電流
- V1 電壓

Vctrl 控制電壓

Vdd 電壓

Vref 參考電壓

【發明申請專利範圍】

【第1項】一種訊號處理方法，係應用於提供精準頻率輸出的環境中，包含以下程序：

進行電壓/頻率轉換動作；輸出一穩定輸出電壓，而當接收該穩定輸出電壓之後，將產生出一時脈訊號，而該時脈訊號為一頻率訊號；

進行數位除頻動作；分數N型除頻器對該頻率訊號進行數位除頻處理；經該數位除頻處理後該分數N型除頻器輸出一頻率訊號，其中，該分數N型除頻器包含一數控振盪器，該數控振盪器為N個bit累加器，藉由該數位除頻處理所得出的該頻率訊號為一種以上之頻率的其中之一；以及

進行頻率/電壓轉換動作；經該數位除頻處理後所輸出的該頻率訊號將進行頻率/電壓轉換，再濾除所輸出的一電壓的漣波與時脈抖動。

【第2項】如申請專利範圍第1項所述之訊號處理方法，復包含：

溫度補償效能動作；提供具有溫度補償功效之不隨溫度改變的穩定的參考電壓、以及參考電流，利用該參電壓、以及該參考電流而得出該穩定輸出電壓。

【第3項】如申請專利範圍第1項所述之訊號處理方法，其中，該頻率訊號為6MHz、12MHz、14.31818MHz、以及24MHz的至少其中之一。

【第4項】如申請專利範圍第2項所述之訊號處理方法，其中，該頻率訊號為6MHz、12MHz、14.31818MHz、以及24MHz的至少其中之一。

【第5項】如申請專利範圍第3項或第4項所述之訊號處理方法，其中，於該進行頻率/電壓轉換將利用開關電容電路。

【第6項】一種訊號處理系統，係應用於提供精準頻率輸出的環境中，包含：

誤差放大器，該誤差放大器將輸出一穩定輸出電壓；

電壓控制振盪器VCO，該電壓控制振盪器VCO當接收該穩定輸出電壓之後，於該電壓控制振盪器VCO之輸出端產生出一時脈訊號，而該時脈訊號為一頻率訊號；

分數N型除頻器，該分數N型除頻器對來自於該電壓控制振盪器VCO之該輸出端的該頻率訊號進行數位除頻處理，經該數位除頻處理後，該分數N型除頻器將輸出一頻率訊號，其中，該分數N型除頻器包含一數控振盪器，該數控振盪器為N個bit累加器，藉由該數位除頻處理所得出的該頻率訊號為一種以上之頻率的其中之一；

頻率對電壓轉換器，該分數N型除頻器所輸出的該頻率訊號將提供至該頻率對電壓轉換器的輸入端以便進行頻率/電壓轉換；以及

低通濾波器，藉由該低通濾波器濾除該頻率對電壓轉換器所輸出的一電壓的漣波與時脈抖動。

【第7項】 如申請專利範圍第6項所述之訊號處理系統，復包含：

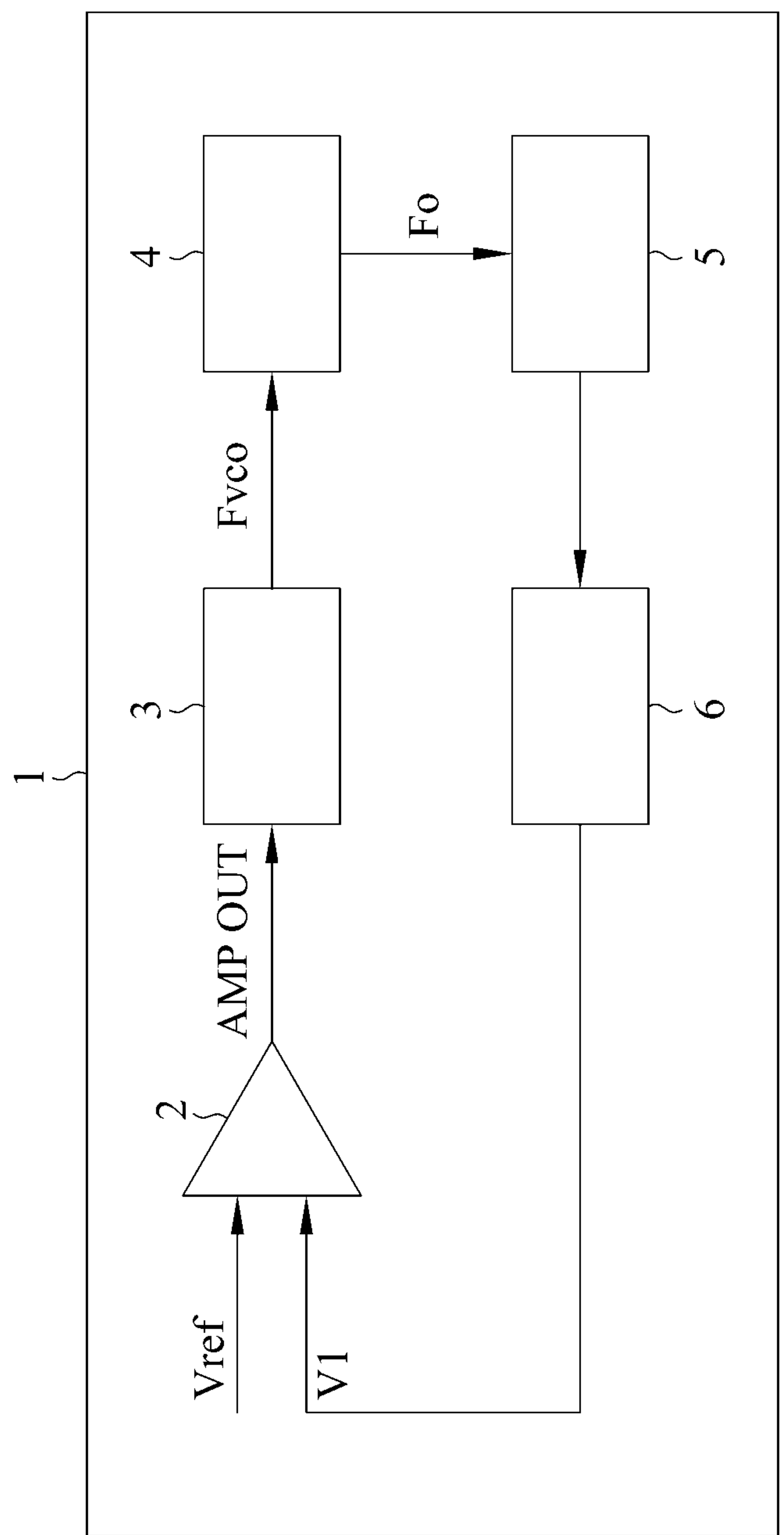
溫度補償模組，該溫度補償模組提供具有溫度補償功效之不隨溫度改變的穩定的一參考電壓、以及一參考電流；該誤差放大器的正端將輸入該參考電壓，負端將輸入與該參考電流相關的另一電壓，該誤差放大器將輸出該穩定輸出電壓。

【第8項】 如申請專利範圍第6項所述之訊號處理系統，其中，該頻率訊號為6MHz、12MHz、14.31818MHz、以及24MHz的至少其中之一。

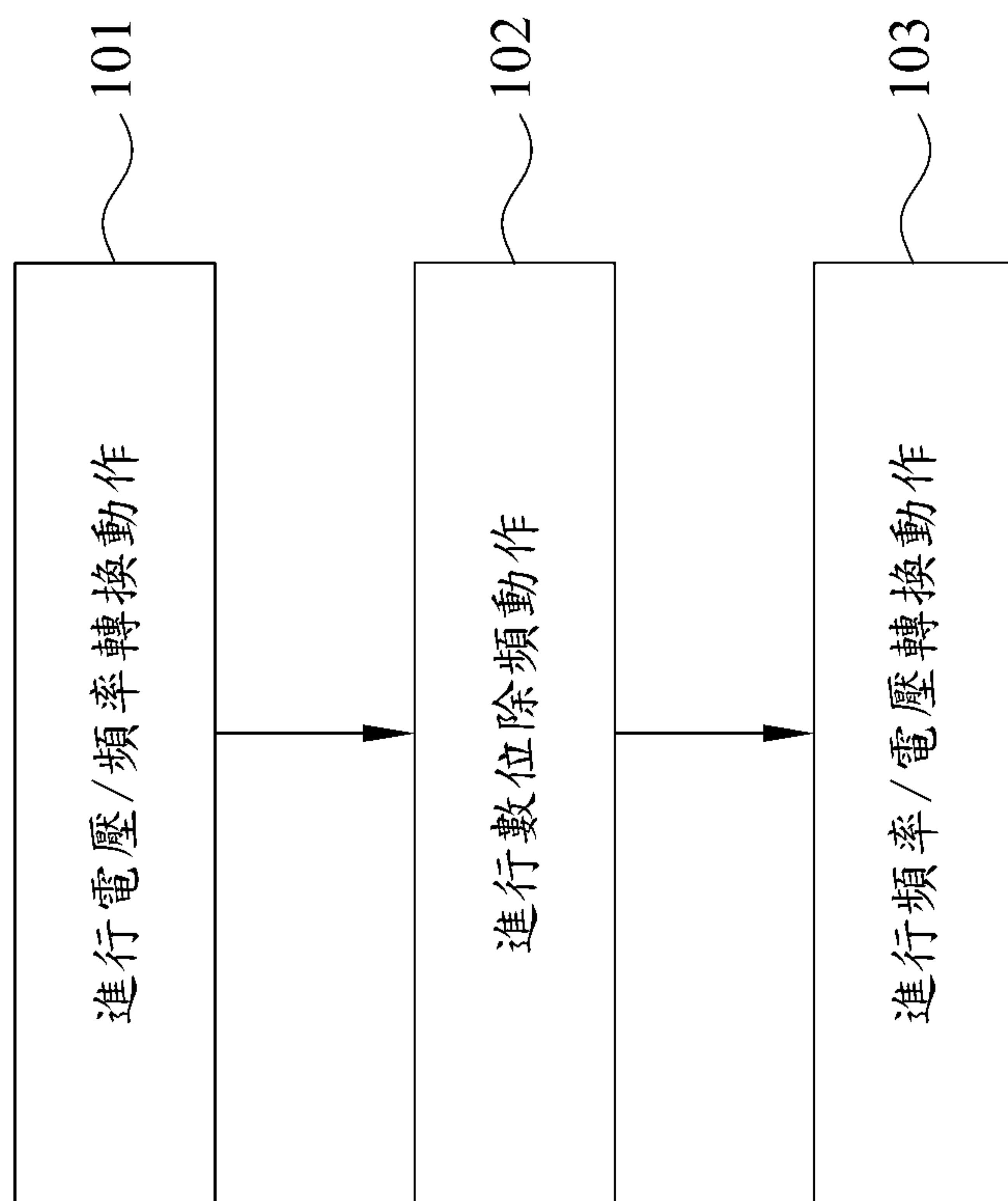
【第9項】 如申請專利範圍第7項所述之訊號處理系統，其中，該頻率訊號為6MHz、12MHz、14.31818MHz、以及24MHz的至少其中之一。

【第10項】如申請專利範圍第8項或第9項所述之訊號處理系統，其中，該頻率對電壓轉換器利用開關電容電路進行該頻率/電壓轉換。

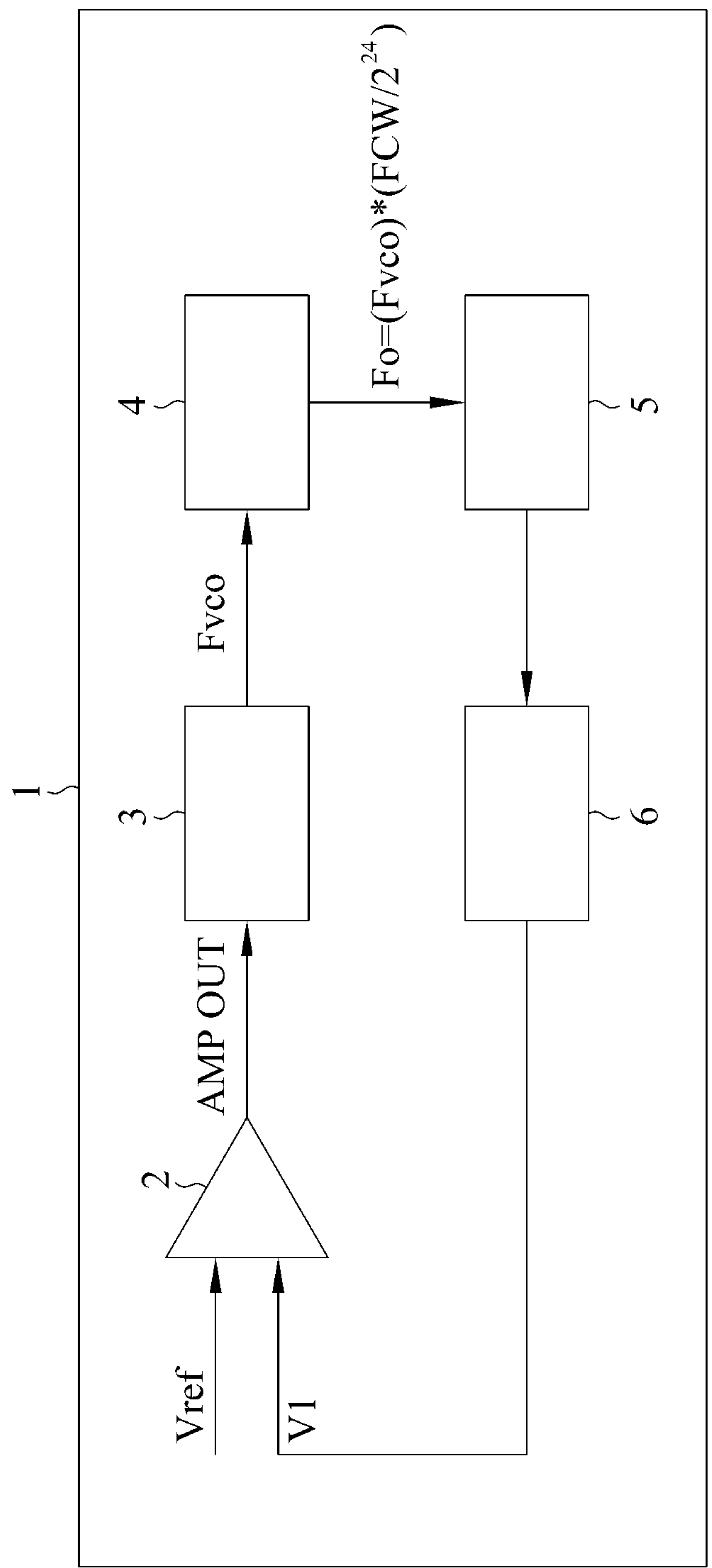
【發明圖式】



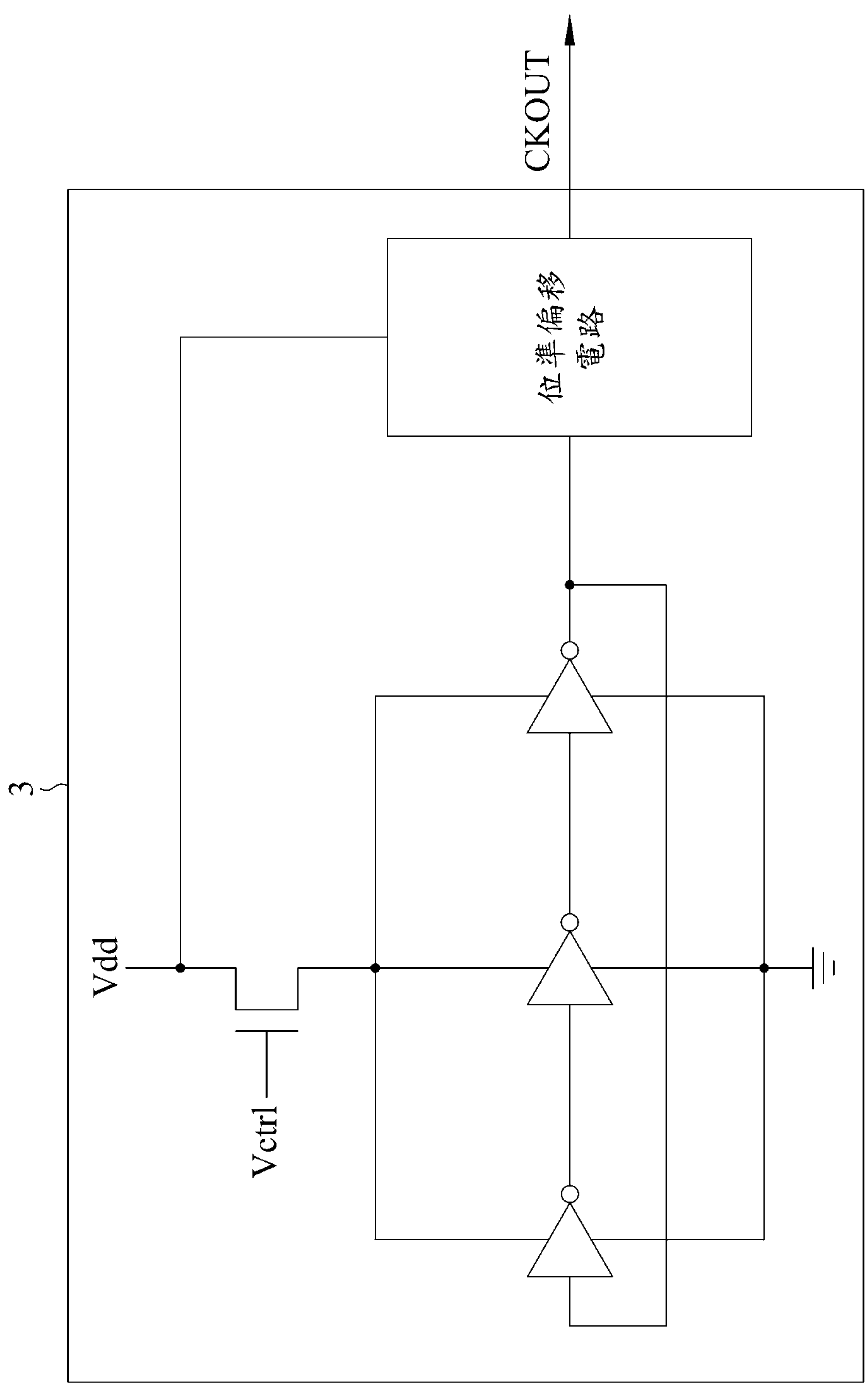
第1圖



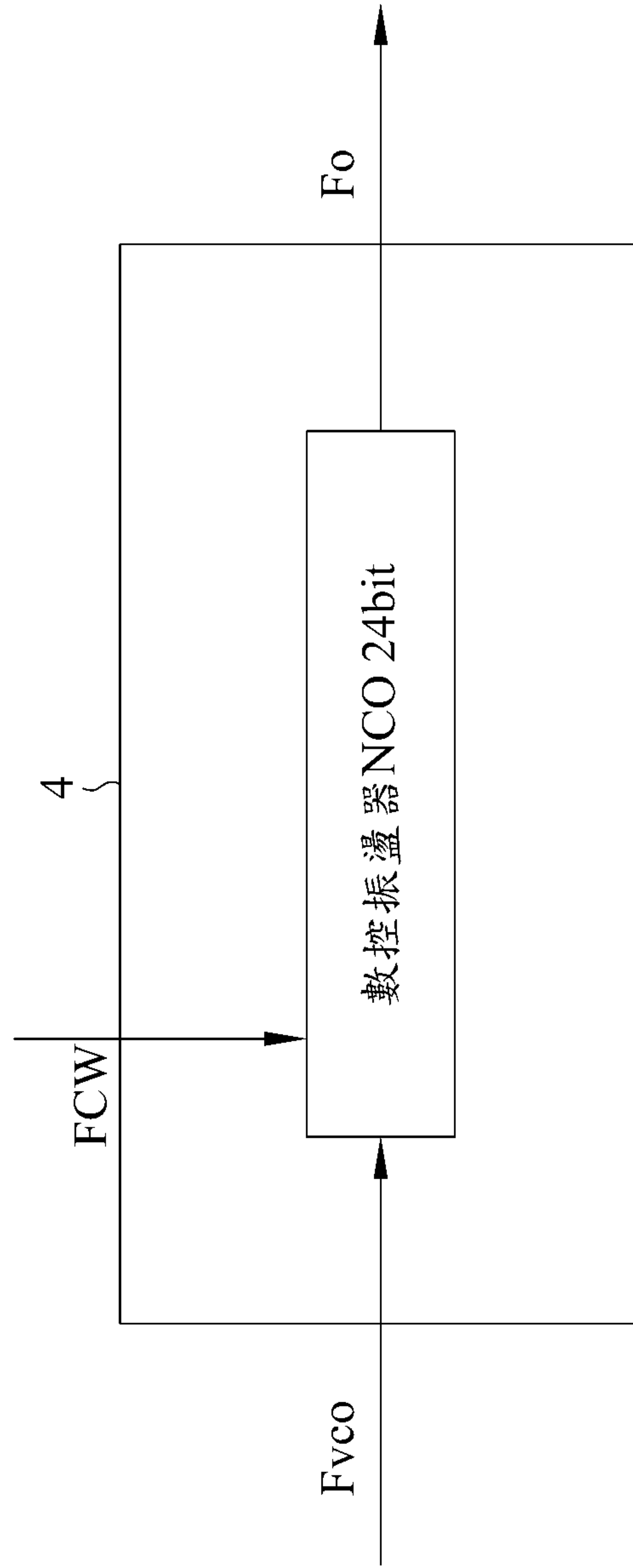
第2圖



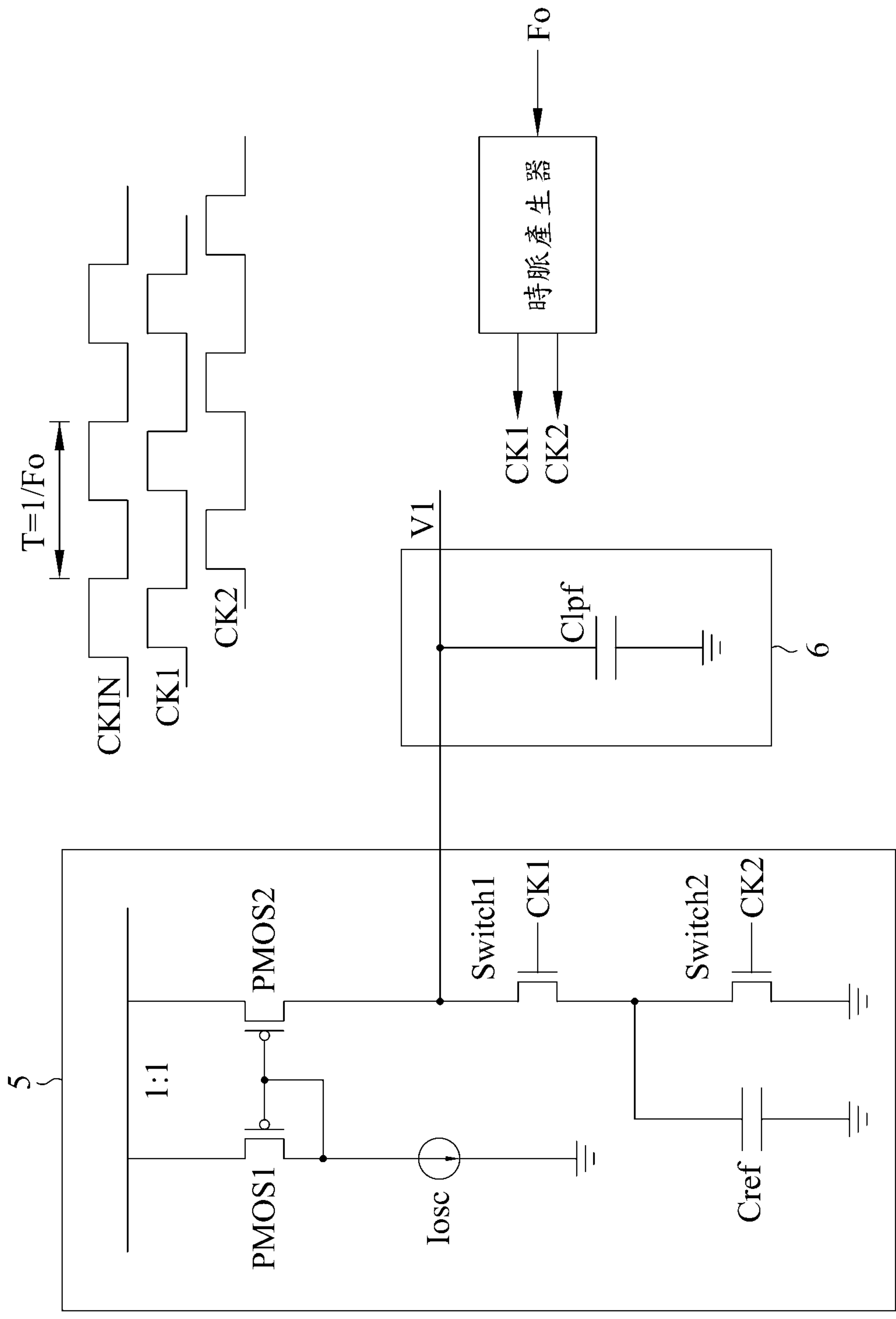
第3圖



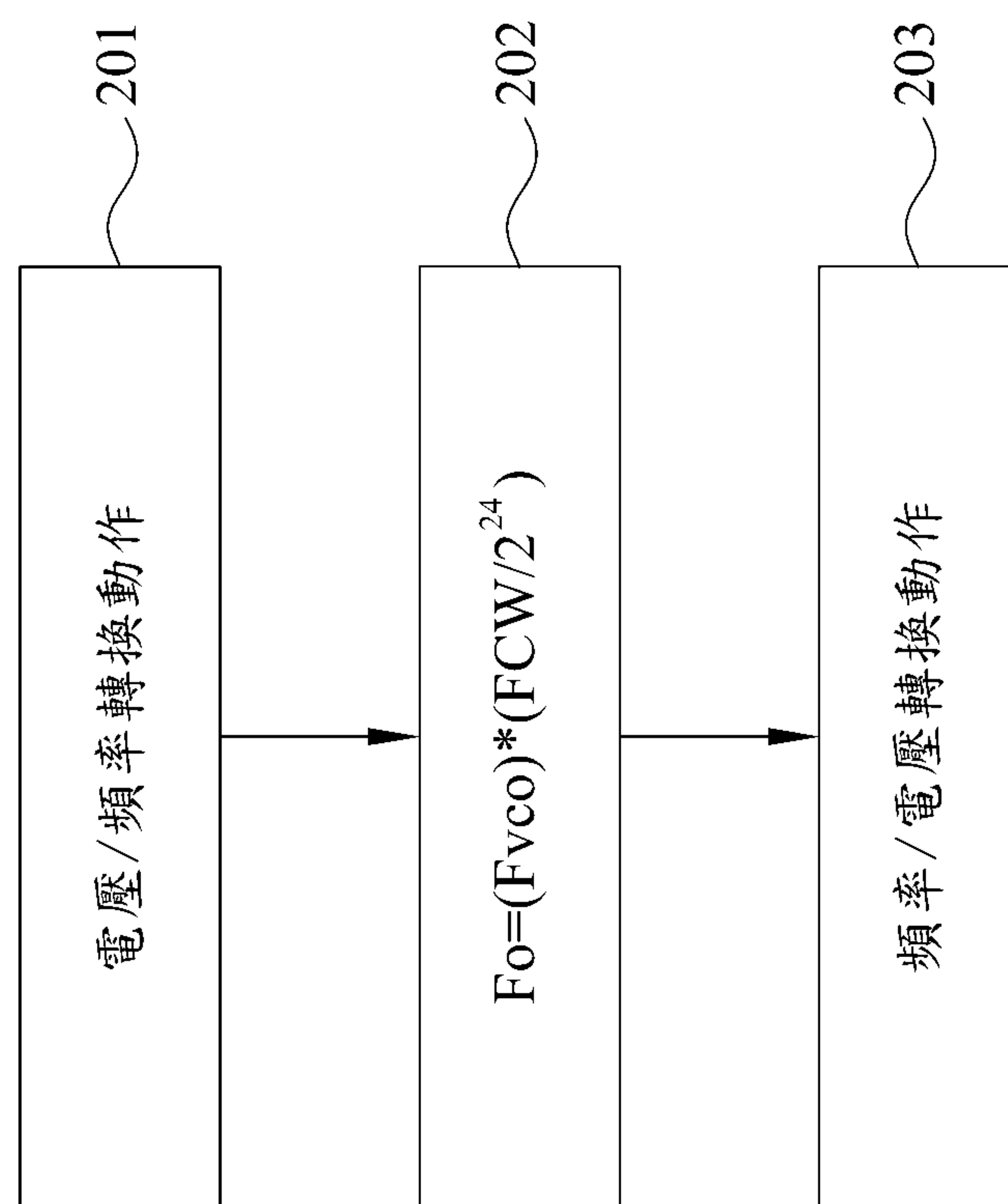
第4圖



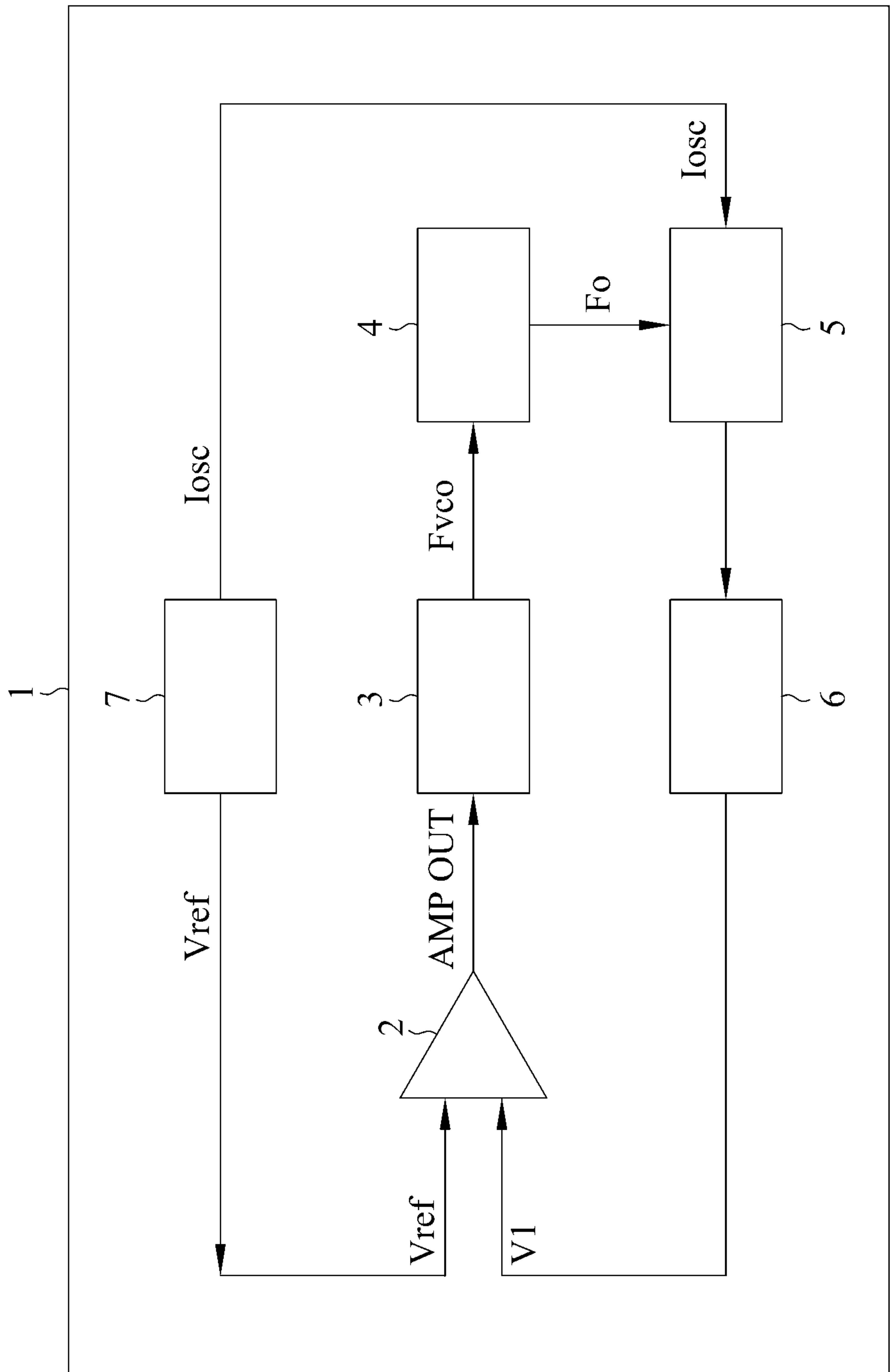
第5圖



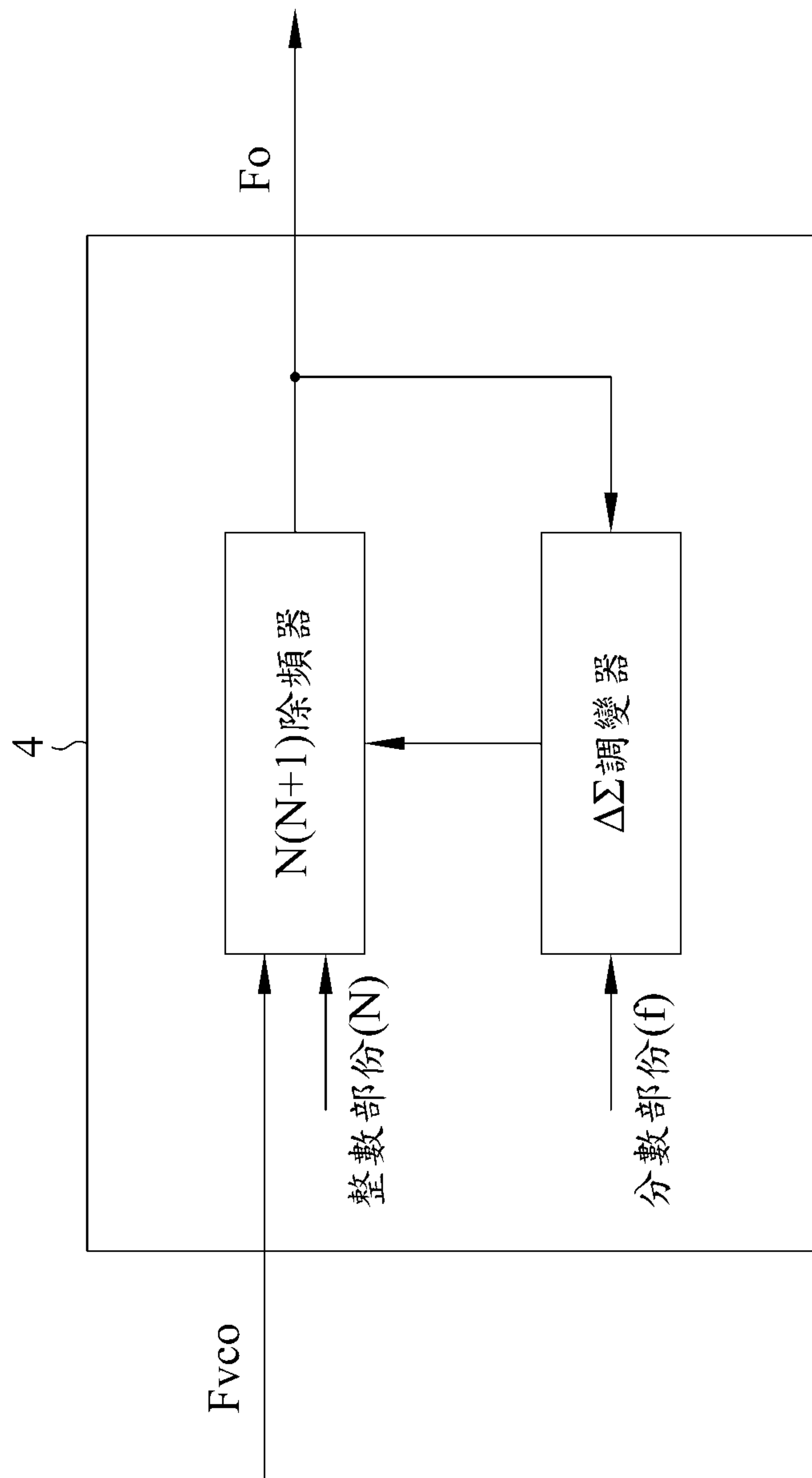
第6圖



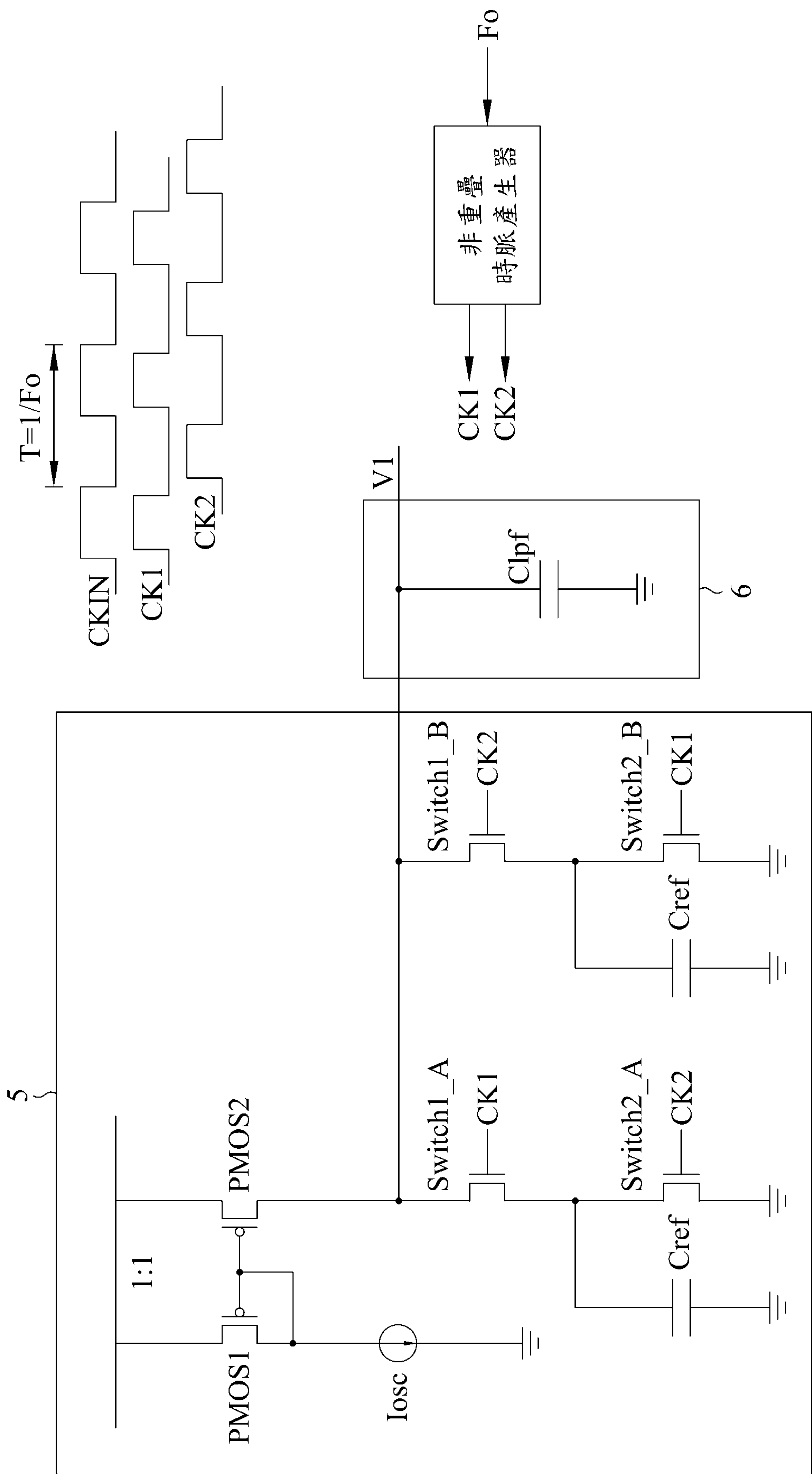
第7圖



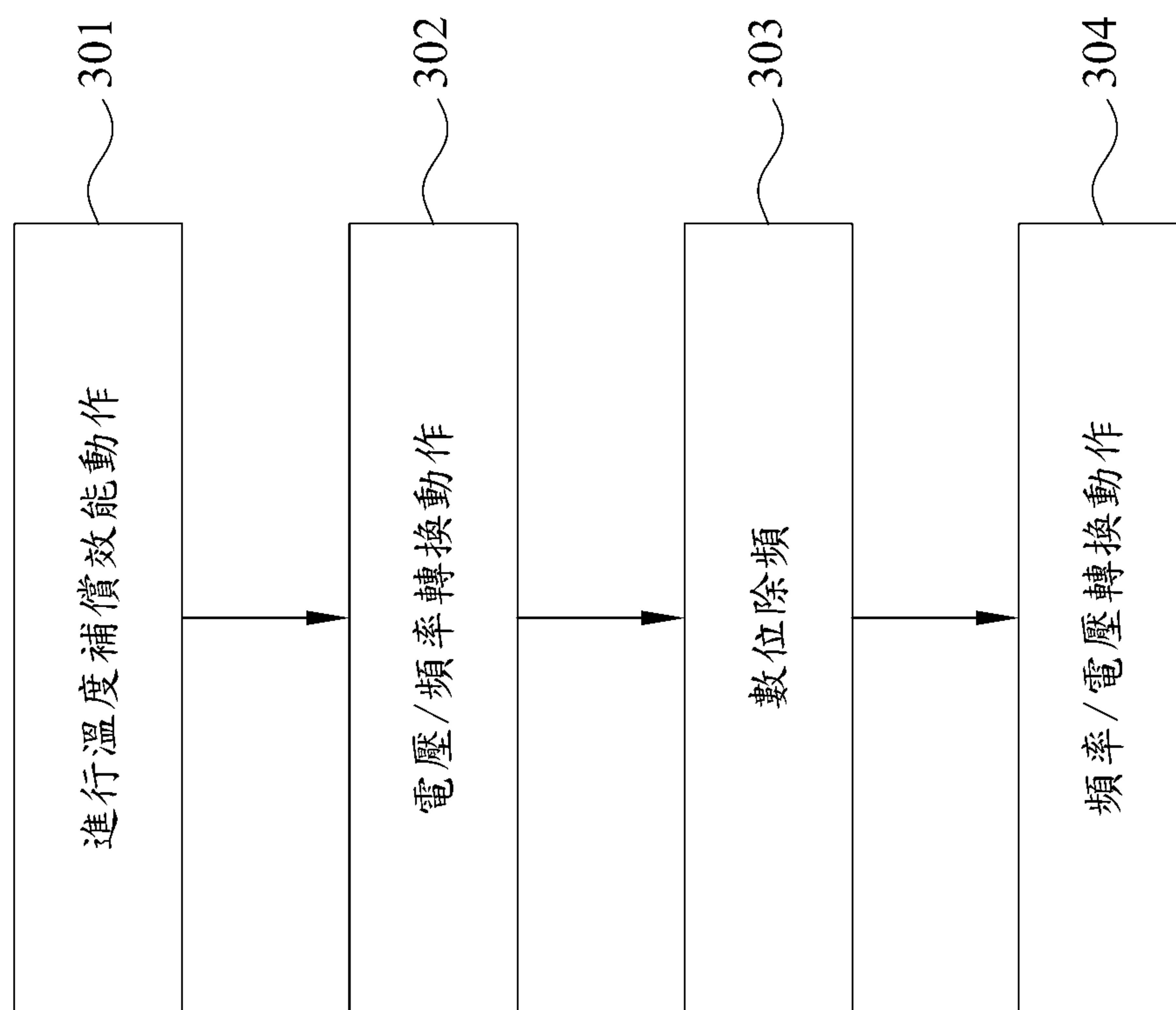
第8圖



第9圖



第10圖



第11圖