

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7638183号
(P7638183)

(45)発行日 令和7年3月3日(2025.3.3)

(24)登録日 令和7年2月20日(2025.2.20)

(51)国際特許分類

F I

H 1 0 D	1/20	(2025.01)	H 1 0 D	1/20	
H 1 0 D	89/00	(2025.01)	H 1 0 D	89/00	1 0 1 E
H 1 0 D	89/60	(2025.01)	H 1 0 D	89/60	
H 0 1 L	25/07	(2006.01)	H 0 1 L	25/04	C
H 0 1 L	25/18	(2023.01)	H 0 1 L	25/00	B

請求項の数 11 (全25頁) 最終頁に続く

(21)出願番号 特願2021-143219(P2021-143219)
 (22)出願日 令和3年9月2日(2021.9.2)
 (65)公開番号 特開2023-36263(P2023-36263A)
 (43)公開日 令和5年3月14日(2023.3.14)
 審査請求日 令和6年1月9日(2024.1.9)

(73)特許権者 302062931
 ルネサスエレクトロニクス株式会社
 東京都江東区豊洲三丁目2番24号
 (74)代理人 110001195
 弁理士法人深見特許事務所
 (72)発明者 中柴 康隆
 東京都江東区豊洲三丁目2番24号 ル
 ネサスエレクトロニクス株式会社内
 (72)発明者 宮木 博
 東京都江東区豊洲三丁目2番24号 ル
 ネサスエレクトロニクス株式会社内
 審査官 戸川 匠

最終頁に続く

(54)【発明の名称】 半導体装置

(57)【特許請求の範囲】

【請求項1】

第1半導体チップおよび第2半導体チップを備え、第1半導体回路と第2半導体回路とが形成された半導体装置であって、

前記第1半導体チップは、

第1主面を有する第1半導体基板と、

前記第1主面を覆うように前記第1半導体基板に形成され、複数の導電膜と複数の絶縁膜とが積層された第1多層配線構造と

を備え、

前記第2半導体チップは、

第2主面を有する第2半導体基板と、

前記第2主面を覆うように前記第2半導体基板に形成された第2多層配線構造と

を備え、

前記第2半導体回路は、第2半導体回路第1部と第2半導体回路第2部とを有し、

前記第1半導体チップには、前記第1半導体回路と前記第2半導体回路第1部とが形成され、

前記第2半導体チップには、前記第2半導体回路第1部に電氣的に接続される前記第2半導体回路第2部が形成され、

前記第1多層配線構造は、

前記第1半導体回路に電氣的に接続される第1インダクタと、

前記第 1 半導体回路に電氣的に接続される第 1 電極部と、
前記第 2 半導体回路第 1 部に電氣的に接続される第 2 電極部と
を含み、

前記第 2 多層配線構造は、前記第 2 半導体回路第 2 部に電氣的に接続される第 2 インダクタを含み、

前記第 1 多層配線構造と前記第 2 多層配線構造とが、前記第 1 半導体基板における前記第 1 主面からみた平面視において、前記第 1 インダクタと前記第 2 インダクタとが重なる態様で接合され、

前記第 1 半導体基板における前記第 1 主面からみた平面視において、前記第 2 半導体チップは、前記第 1 半導体チップからはみ出ず、かつ、前記第 1 電極部および前記第 2 電極部とは重ならない態様で、前記第 1 半導体チップに接合され、

10

前記第 1 多層配線構造は、直線上に配置されていない少なくとも 3 つの第 1 ダミー電極部を含み、

前記第 2 多層配線構造は、直線上に配置されていない少なくとも 3 つの第 2 ダミー電極部を含み、

前記第 1 半導体基板における前記第 1 主面からみた平面視において、前記少なくとも 3 つの第 1 ダミー電極部と前記少なくとも 3 つの第 2 ダミー電極部とは重なっており、

前記少なくとも 3 つの第 1 ダミー電極部と前記少なくとも 3 つの第 2 ダミー電極部とのそれぞれの上に第 2 導電部材が介在する、半導体装置。

【請求項 2】

20

前記第 1 多層配線構造は、前記第 2 半導体回路第 1 部に電氣的に接続される第 3 電極部を含み、

前記第 2 多層配線構造は、前記第 2 半導体回路第 2 部に電氣的に接続されるとともに、前記第 3 電極部に電氣的に接続される第 4 電極部を含み、

前記第 1 半導体基板における前記第 1 主面からみた平面視において、前記第 3 電極部と前記第 4 電極部とが重なっており、

前記第 3 電極部と前記第 4 電極部との間に第 1 導電部材が介在する、請求項 1 記載の半導体装置。

【請求項 3】

前記第 1 半導体チップでは、

30

前記第 1 半導体回路は、第 1 電圧で動作し、

前記第 2 半導体回路第 1 部は、前記第 1 電圧よりも低い第 2 電圧で動作し、

前記第 1 半導体回路、前記第 1 電極部および前記第 1 インダクタは、前記第 1 半導体基板における前記第 1 主面に規定された第 1 領域に形成され、

前記第 2 半導体回路第 1 部および前記第 2 電極部は、前記第 1 半導体基板における前記第 1 主面に規定された第 2 領域に形成された、請求項 1 または 2 に記載の半導体装置。

【請求項 4】

前記第 1 半導体基板における前記第 1 領域と前記第 2 領域との間に、前記第 1 電圧が供給された前記第 1 半導体回路において発生する電氣的ノイズが、前記第 2 半導体回路第 1 部へ伝搬するのを阻止するノイズ阻止部が形成された、請求項 3 記載の半導体装置。

40

【請求項 5】

前記ノイズ阻止部は、

前記第 1 半導体基板の前記第 1 主面から所定の深さにわたり形成された絶縁体と、

第 1 導電型の前記第 1 半導体基板において、前記絶縁体から前記第 1 半導体基板における前記第 2 領域に形成された第 2 導電型領域と

を含む、請求項 4 記載の半導体装置。

【請求項 6】

複数の前記導電膜は、前記第 1 半導体基板の前記第 1 主面から最も離れている最上導電膜を含み、

複数の前記絶縁膜のうち、少なくとも前記最上導電膜が形成されている前記絶縁膜にお

50

ける、前記第1領域と前記第2領域との間に位置する部分に、凹部が形成された、請求項3～5のいずれか1項に記載の半導体装置。

【請求項7】

前記最上導電膜はアルミニウム膜を含み、

前記凹部は、前記最上導電膜の下面が接している前記絶縁膜の上面から前記第1主面が位置する側に形成された、請求項6に記載の半導体装置。

【請求項8】

前記最上導電膜は銅膜を含み、

前記凹部は、前記最上導電膜の上面と同じ高さに位置する前記絶縁膜の上面から前記第1主面が位置する側に形成された、請求項6に記載の半導体装置。

【請求項9】

前記最上導電膜は、前記第1電極部と前記第2電極部とを含む、請求項6～8のいずれか1項に記載の半導体装置。

【請求項10】

前記最上導電膜は、前記第1インダクタを含む、請求項9に記載の半導体装置。

【請求項11】

第1半導体チップおよび第2半導体チップを備え、第1半導体回路と第2半導体回路とが形成された半導体装置であって、

前記第1半導体チップは、

第1主面を有する第1半導体基板と、

前記第1主面を覆うように前記第1半導体基板に形成され、複数の導電膜と複数の絶縁膜とが積層された第1多層配線構造と

を備え、

前記第2半導体チップは、

第2主面を有する第2半導体基板と、

前記第2主面を覆うように前記第2半導体基板に形成された第2多層配線構造と

を備え、

前記第2半導体回路は、第2半導体回路第1部と第2半導体回路第2部とを有し、

前記第1半導体チップには、前記第1半導体回路と前記第2半導体回路第1部とが形成され、

前記第2半導体チップには、前記第2半導体回路第1部に電氣的に接続される前記第2半導体回路第2部が形成され、

前記第1多層配線構造は、

前記第1半導体回路に電氣的に接続される第1インダクタと、

前記第1半導体回路に電氣的に接続される第1電極部と、

前記第2半導体回路第1部に電氣的に接続される第2電極部と

を含み、

前記第2多層配線構造は、前記第2半導体回路第2部に電氣的に接続される第2インダクタを含み、

前記第1多層配線構造と前記第2多層配線構造とが、前記第1半導体基板における前記第1主面からみた平面視において、前記第1インダクタと前記第2インダクタとが重なる態様で接合され、

前記第1半導体基板における前記第1主面からみた平面視において、前記第2半導体チップは、前記第1半導体チップからはみ出ず、かつ、前記第1電極部および前記第2電極部とは重ならない態様で、前記第1半導体チップに接合され、

前記第1半導体チップでは、

前記第1半導体回路は、第1電圧で動作し、

前記第2半導体回路第1部は、前記第1電圧よりも低い第2電圧で動作し、

前記第1半導体回路、前記第1電極部および前記第1インダクタは、前記第1半導体基板における前記第1主面に規定された第1領域に形成され、

10

20

30

40

50

前記第 2 半導体回路第 1 部および前記第 2 電極部は、前記第 1 半導体基板における前記第 1 主面に規定された第 2 領域に形成された、半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関し、たとえば、デジタルアイソレータを備えた半導体装置に好適に利用できるものである。

【背景技術】

【0002】

近年、環境保全のために、自動車の分野では、動力として、ガソリンエンジンからモータへの転換が図られている。モータの回転数は、電力用のパワー半導体素子を搭載したパワー系の半導体装置によって制御される。パワー半導体装置は、マイクロコンピュータを備えた半導体装置によって制御される。

10

【0003】

電力用のパワー半導体素子を搭載した半導体装置では、数百(V)~千数百(V)程度の電圧が扱われる。一方、マイクロコンピュータを備えた半導体装置は、数(V)程度の電圧によって駆動する。電力用のパワー半導体素子を搭載した半導体装置を、マイクロコンピュータによって制御するには、パワー半導体素子を含む回路と、マイクロコンピュータを含む回路との間で、電気信号の送受信を行うために、デジタルアイソレータが適用されている。

20

【0004】

デジタルアイソレータでは、パワー半導体素子を含む回路に電氣的に接続されたインダクタ(一方のインダクタ)と、マイクロコンピュータを含む回路に電氣的に接続されたインダクタ(他方のインダクタ)との間で、電磁誘導を利用して電気信号の伝達が行われることになる。

【0005】

この電気信号を伝達する構造として、たとえば、特許文献1では、一方のインダクタが形成された一の半導体チップと、他方のインダクタが形成された他の半導体チップとを接合した構造(半導体装置)が提案されている。この半導体装置では、一方のインダクタと他方のインダクタとを対向させた状態で、一の半導体チップの表面と他の半導体チップの表面とが、テープ状の絶縁材によって接合されている。

30

【先行技術文献】

【特許文献】

【0006】

【文献】特開2016-127162号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

デジタルアイソレータを備えた半導体装置では、さらなる小型化が求められている。

その他の課題と新規な特徴は、本明細書の記述および添付の図面から明らかになるであろう。

40

【課題を解決するための手段】

【0008】

一実施の形態に係る半導体装置は、第1半導体チップおよび第2半導体チップを備え、第1半導体回路と第2半導体回路とが形成された半導体装置である。第1半導体チップは、第1半導体基板と第1多層配線構造とを備えている。第1半導体基板は、第1主面を有する。第1多層配線構造は、第1主面を覆うように第1半導体基板に形成され、複数の導電膜と複数の絶縁膜とが積層されている。第2半導体チップは、第2半導体基板と第2多層配線構造とを備えている。第2半導体基板は、第2主面を有する。第2多層配線構造は、第2主面を覆うように第2半導体基板に形成されている。第2半導体回路は、第2半導

50

【図 4】実施の形態 1 に係る半導体装置における第 1 半導体チップの構造の一例を示す平面図である。

【図 5】同実施の形態において、半導体装置における第 2 半導体チップの構造の一例を示す平面図である。

【図 6】同実施の形態において、第 1 半導体チップに第 2 半導体チップが接合された状態の構造の一例を示す平面図である。

【図 7】同実施の形態において、図 6 に示される断面線 V I I - V I I における断面図である。

【図 8】同実施の形態において、図 6 に示される断面線 V I I I - V I I I における断面図である。

10

【図 9】同実施の形態において、半導体装置の製造方法のうち、第 1 半導体チップの製造方法の一工程を示す平面図である。

【図 10】同実施の形態において、図 9 に示される断面線 X - X における断面図である。

【図 11】同実施の形態において、図 9 に示される断面線 X I - X I における断面図である。

【図 12】同実施の形態において、半導体装置の製造方法のうち、第 2 半導体チップの製造方法の一工程を示す平面図である。

【図 13】同実施の形態において、図 12 に示される断面線 X I I I - X I I I における断面図である。

【図 14】同実施の形態において、図 12 に示される断面線 X I V - X I V における断面図である。

20

【図 15】同実施の形態において、図 9 および図 12 に示す工程の後に行われる工程を示す第 1 の断面図である。

【図 16】同実施の形態において、図 15 に示す工程における第 2 の断面図である。

【図 17】比較例に係る半導体装置の断面図である。

【図 18】実施の形態 2 に係る半導体装置の構造の一例を示す平面図である。

【図 19】同実施の形態において、図 18 に示される断面線 X I X - X I X における断面図である。

【図 20】同実施の形態において、図 18 に示される断面線 X X - X X における断面図である。

30

【図 21】実施の形態 3 に係る半導体装置の第 1 例および第 2 例の構造を示す平面図である。

【図 22】同実施の形態において、第 1 例に係る半導体装置の図 21 に示される断面線 X X I I - X X I I における断面図である。

【図 23】同実施の形態において、第 1 例に係る半導体装置の図 21 に示される断面線 X X I I I - X X I I I における断面図である。

【図 24】同実施の形態において、第 2 例に係る半導体装置の図 21 に示される断面線 X X I I - X X I I に対応する断面線における断面図である。

【図 25】同実施の形態において、第 2 例に係る半導体装置の図 21 に示される断面線 X X I I I - X X I I I に対応する断面線における断面図である。

40

【図 26】同実施の形態において、半導体装置に形成される凹部のパターンのバリエーションの一例を示す部分平面図である。

【図 27】同実施の形態において、半導体装置に形成される凹部のパターンのバリエーションの他の例を示す部分平面図である。

【発明を実施するための形態】

【0011】

はじめに、各実施の形態に係る、デジタルアイソレータを備えた半導体装置の回路の一例と構造の概略とについて説明する。

【0012】

図 1 に示すように、半導体装置 S D V は、第 1 半導体チップ S C P 1 と第 2 半導体チッ

50

チップSCP2とを備えている。第1半導体チップSCP1には、モータ等の負荷LODを駆動させる半導体素子等を含む第1半導体チップ用回路FSCが形成されている。第2半導体チップSCP2には、負荷LODの駆動を制御する半導体素子等を含む第2半導体チップ用回路SSCが形成されている。なお、後述するように、第2半導体チップ用回路SSCの一部は、第1半導体チップSCP1に形成されている。

【0013】

第1半導体チップ用回路FSCは、駆動回路DR、受信回路RX1および送信回路TX1を含む。駆動回路DRは、負荷LODに電氣的に接続されている。受信回路RX1および送信回路TX1は、駆動回路DRに電氣的に接続されている。受信回路RX1には、コイルCL1aが電氣的に接続されている。送信回路TX1には、コイルCL1bが電氣的に接続されている。第1半導体チップ用回路FSCは、数百(V)~千数百(V)程度で動作(駆動)する。第1半導体チップ用回路FSCは、半導体装置SDVにおいて、高電圧領域HVRに形成されている。

10

【0014】

第2半導体チップ用回路SSCは、制御回路CC、受信回路RX2および送信回路TX2を含む。受信回路RX2および送信回路TX2は、制御回路CCに電氣的に接続されている。送信回路TX2には、コイルCL2aが電氣的に接続されている。受信回路RX2には、コイルCL2bが電氣的に接続されている。第2半導体チップ用回路SSCは、数(V)程度で動作(駆動)する。第2半導体チップ用回路SSCは、半導体装置SDVにおいて、低電圧領域LVRに形成されている。

20

【0015】

コイルCL1aとコイルCL2aとは、互いに対向するように配置されている。コイルCL1aとコイルCL2aとは、磁氣的に結合している。コイルCL1bとコイルCL2bとは、互いに対向するように配置されている。コイルCL1bとコイルCL2bとは、磁氣的に結合している。

【0016】

制御回路CCから送信回路TX1へ信号が送られる。送信回路TX1へ送られた信号は、電流としてコイルCL2aを流れる。コイルCL2aを電流が流れることで、コイルCL1aには、電磁誘導によって誘導電流が流れる。コイルCL1aを流れる誘導電流は、信号として受信回路RX1を経て駆動回路DRへ送られる。こうして、制御回路CCの信号が、駆動回路DRへ伝えられる。

30

【0017】

一方、駆動回路DRから送信回路TX2へ信号が送られる。送信回路TX2へ送られた信号は、電流としてコイルCL1bを流れる。コイルCL1bを電流が流れることで、コイルCL2bには、電磁誘導によって誘導電流が流れる。コイルCL2bを流れる誘導電流は、信号として受信回路RX2を経て制御回路CCへ送られる。こうして、駆動回路DRの信号が、制御回路CCへ伝えられる。この一連の動作によって、負荷LODの駆動が制御されることになる。

【0018】

次に、半導体装置SDVの全体的な構造の一例について説明する。図2および図3に示すように、半導体装置SDVでは、半導体チップSCPがリードフレームLFMに搭載されている。リードフレームLFMに搭載された半導体チップSCPは、封止樹脂RENによって封止されている。封止樹脂RENから、リード端子LFTが露出している。封止樹脂RENとして、たとえば、エポキシ樹脂が使用されている。

40

【0019】

半導体チップSCPは、第1半導体チップSCP1と第2半導体チップSCP2とを備えている。第1半導体チップSCP1の上に、第2半導体チップSCP2が接続(接合)されている。第1半導体チップSCP1と第2半導体チップSCP2とは、フリップチップ接続によって、電氣的に接続されている。第1半導体チップSCP1とリード端子LFT(リードフレームLFM)とが、ワイヤWIR1とワイヤWIR2とによって電氣的に

50

接続されている。以下、半導体装置SDVの構造について、より具体的に説明する。

【0020】

実施の形態1

実施の形態1に係る半導体装置の一例について説明する。上述したように、半導体装置SDVは、半導体チップSCPとして、第1半導体チップSCP1と第2半導体チップSCP2とを備えている。半導体装置SDVには、第1半導体チップ用回路FSC（第1半導体回路）と第2半導体チップ用回路SSC（第2半導体回路）とが形成されている。第2半導体チップ用回路SSCは、第2半導体チップ用回路第1部SSC1（第2半導体回路第1部）と第2半導体チップ用回路第2部SSC2（第2半導体回路第2部）とを有する。

10

【0021】

まず、第1半導体チップSCP1について説明する。図4に示すように、第1半導体チップSCP1には、モータ等の負荷LODを駆動させる第1半導体チップ用回路FSCが形成されている。また、第1半導体チップSCP1には、第2半導体チップ用回路SSCのうち、第2半導体チップ用回路第1部SSC1が形成されている。

【0022】

第1半導体チップSCP1における第1半導体基板SUB1の第1主面側には、第1半導体チップ用パッドFPDF（第1電極部）が配置されている。第1半導体チップ用パッドFPDFは、第1半導体チップ用回路FSCに電氣的に接続されている。第1半導体チップ用パッドFPDFは、ワイヤWIR1によってリードフレームLFMに電氣的に接続されている（図3参照）。

20

【0023】

また、第1半導体基板SUB1の第1主面側には、コイルCL1aとコイルCL1b（第1インダクタ）とが配置されている。コイルCL1aおよびコイルCL1bは、第1半導体チップ用回路FSCに電氣的に接続されている。コイルCL1aおよびコイルCL1bは、第2半導体チップSCP2におけるコイルCL2aおよびコイルCL2b（図5参照）と対向する。

【0024】

さらに、第1半導体基板SUB1の第1主面側には、第2半導体チップSCP2に電氣的に接続されることになる第2半導体チップ用パッドFPDS（第2電極部）と第2半導体チップ接続用パッドFPDC（第3電極部）とが配置されている。第2半導体チップ用パッドFPDSは、第2半導体チップSCP2のシリコンインターポーザとして機能する。第2半導体チップ用パッドFPDSは、ワイヤWIR2によってリードフレームLFMに電氣的に接続されている。第2半導体チップ用パッドFPDSは、第1半導体基板SUB1の第1主面側において、第2半導体チップSCP2が配置される領域の外側の領域に配置されている。

30

【0025】

第2半導体チップ用回路第1部SSC1は、第2半導体チップ用パッドFPDSと第2半導体チップ接続用パッドFPDCとを電氣的に接続する最上導電膜MAU（図7参照）を含む。第2半導体チップ接続用パッドFPDCは、第1半導体基板SUB1の第1主面側において、第2半導体チップSCP2が配置される領域内に配置されている。第2半導体チップ接続用パッドFPDCは、第2半導体チップSCP2における第1半導体チップ接続用パッドSPDC（図5参照）に電氣的に接続されることになる。

40

【0026】

また、第1半導体基板SUB1の第1主面側には、複数のダミーパッドFDPが配置されている。複数のダミーパッドFDPは、第2半導体チップSCP2が接合される領域内に配置されている。複数のダミーパッドFDPは、直線上に配置されていない少なくとも3つのダミーパッドFDPを含む。

【0027】

次に、第2半導体チップSCP2について説明する。図5に示すように、第2半導体チ

50

チップSCP2には、第2半導体チップ用回路SSCのうち、第2半導体チップ用回路第2部SSC2が形成されている。第2半導体チップ用回路第2部SSC2は、負荷LODの駆動を実質的に制御する。

【0028】

第2半導体チップSCP2における第2半導体基板SUB2の第2主面側には、第1半導体チップ接続用パッドSPDC（第4電極部）が配置されている。第1半導体チップ接続用パッドSPDCは、第1半導体チップSCP1における第2半導体チップ接続用パッドFPDCに電氣的に接続されることになる。

【0029】

また、第2半導体チップSCP2における第2半導体基板SUB2の第2主面側には、コイルCL2aとコイルCL2b（第2インダクタ）とが配置されている。コイルCL2aおよびコイルCL2bは、第2半導体チップ用回路第2部SSC2に電氣的に接続されている。コイルCL2aおよびコイルCL2bは、第1半導体チップSCP1におけるコイルCL1aおよびコイルCL1b（図4参照）と対向する。

10

【0030】

さらに、第2半導体基板SUB2の第2主面側には、複数のダミーパッドSDPが配置されている。複数のダミーパッドSDPは、直線上に配置されていない少なくとも3つのダミーパッドSDPを含む。複数のダミーパッドSDPのそれぞれは、第1半導体チップSCP1に形成された複数のダミーパッドFDPのうち、対応するダミーパッドFDPと対向する。

20

【0031】

次に、第2半導体チップSCP2が第1半導体チップSCP1に搭載された状態について説明する。図6、図7および図8に示すように、第1半導体チップSCP1では、第1半導体基板SUB1の第1主面を覆うように、第1多層配線構造ML1が形成されている。第1多層配線構造ML1では、複数の導電膜と複数の絶縁膜とが積層されている。第2半導体チップSCP2では、第2半導体基板SUB2の第2主面を覆うように、第2多層配線構造ML2が形成されている。

【0032】

半導体装置SDVでは、第1半導体チップSCP1における第1多層配線構造ML1と第2半導体チップSCP2における第2多層配線構造ML2とが、第1半導体基板SUB1の第1主面からみた平面視において、コイルCL1aとコイルCL2aとが重なるとともに、コイルCL1bとコイルCL2bとが重なる態様で接合されている。なお、第1主面からみた平面視とは、第1主面を第1主面に垂直な方向からみた平面視をいう。

30

【0033】

また、第1半導体基板SUB1の第1主面からみた平面視において、第2半導体チップSCP2は、第1半導体チップSCP1からはみ出ない態様で、第1半導体チップSCP1に接合されている。すなわち、第2半導体チップSCP2は、第1半導体チップSCP1に対してオフセット構造とならないように、第1半導体チップSCP1に接合されている。

【0034】

さらに、第1半導体基板SUB1の第1主面からみた平面視において、第2半導体チップSCP2は、第1半導体チップ用パッドFPDFおよび第2半導体チップ用パッドFPDSとは重ならない態様で、第1半導体チップSCP1に接合されている。すなわち、第1半導体チップ用パッドFPDFおよび第2半導体チップ用パッドFPDSは、第1半導体チップSCP1において、第2半導体チップSCP2が接合されている領域以外の領域に配置されている。

40

【0035】

第1半導体チップSCP1における第1多層配線構造ML1では、複数の導電膜と複数の絶縁膜とが積層されている。導電膜として、たとえば、アルミニウム膜が適用されている。なお、アルミニウム膜には、アルミニウム合金の膜も含まれる。複数の導電膜のうち

50

、第1半導体基板SUB1における第1主面から最も離れた最上層に位置する最上導電膜MAUは、他の導電膜（図示せず）の厚さに比べて、厚く形成されていてもよい。

【0036】

最上導電膜MAUは、第1半導体チップ用パッドFPDF、第2半導体チップ用パッドFPDS、コイルCL1a、コイルCL1b、第2半導体チップ接続用パッドFPDCおよびダミーパッドFDPを含む。コイルCL1aおよびコイルCL1b等を覆うように、絶縁膜PF1が形成されている。なお、コイルCL1aおよびコイルCL1bは、最上導電膜MAUよりも下層の導電膜によって形成されていてもよい。

【0037】

第2半導体チップSCP2における第2多層配線構造ML2では、複数の導電膜と複数の絶縁膜とが積層されている。導電膜として、たとえば、アルミニウム膜が適用されている。なお、アルミニウム膜には、アルミニウム合金の膜も含まれる。複数の導電膜のうち、第2半導体基板SUB2における第2主面から最も離れた最上層に位置する最上導電膜MBUは、他の導電膜（図示せず）の厚さに比べて、厚く形成されていてもよい。

10

【0038】

最上導電膜MBUは、第1半導体チップ接続用パッドSPDC、コイルCL2a、コイルCL2bおよびダミーパッドSDPを含む。コイルCL2aおよびコイルCL2b等を覆うように、絶縁膜PF2が形成されている。なお、コイルCL2aおよびコイルCL2bは、最上導電膜MBUよりも下層の導電膜によって形成されていてもよい。

【0039】

第1半導体チップSCP1（第1多層配線構造ML1）と第2半導体チップSCP2（第2多層配線構造ML2）とは、たとえば、はんだバンプSBを適用したフリップチップ接続によって互いに接合されている。第1半導体チップSCP1における第2半導体チップ接続用パッドFPDCと、第2半導体チップSCP2における第1半導体チップ接続用パッドSPDCとが対向する。第2半導体チップ接続用パッドFPDCと第1半導体チップ接続用パッドSPDCとの間に、はんだバンプSB（第1導電部材）が介在する。

20

【0040】

第1半導体チップSCP1におけるダミーパッドFDPと第2半導体チップSCP2におけるダミーパッドSDPとが対向する。ダミーパッドFDPとダミーパッドSDPとの間に、はんだバンプSB（第2導電部材）が介在する。第1半導体チップSCP1と第2半導体チップSCP2との間には、アンダーフィル材としての絶縁材UFMが充填されている。実施の形態1に係る半導体装置SDVは、上記のように構成される。

30

【0041】

次に、上述した半導体装置SDVの製造方法の一例について説明する。まず、第1半導体チップSCP1と第2半導体チップSCP2とがそれぞれ形成される。図9、図10および図11に示すように、第1半導体チップSCP1では、第1半導体基板SUB1の第1主面に、第1半導体チップ用回路FSCを構成する所望の半導体素子が形成される。その第1半導体基板SUB1の第1主面を覆うように、半導体素子に電氣的に接続される導電膜（配線等）を含む第1多層配線構造ML1が形成される。

【0042】

第1多層配線構造ML1の最上層に形成される最上導電膜MAUには、第1半導体チップ用パッドFPDF、第2半導体チップ用パッドFPDS、コイルCL1a、コイルCL1b、第2半導体チップ接続用パッドFPDCおよびダミーパッドFDPが含まれる。

40

【0043】

コイルCL1aおよびコイルCL1b等を覆うように、絶縁膜PF1が形成される。絶縁膜PF1に、所定の写真製版処理およびエッチング処理を施すことによって、第1半導体チップ用パッドFPDF、第2半導体チップ用パッドFPDS、第2半導体チップ接続用パッドFPDCおよびダミーパッドFDPが露出される。こうして、第1半導体チップSCP1が形成される。

【0044】

50

図 1 2、図 1 3 および図 1 4 に示すように、第 2 半導体チップ S C P 2 では、第 2 半導体基板 S U B 2 の第 2 主面に、第 2 半導体チップ用回路 S S C を構成する所望の半導体素子が形成される。その第 2 半導体基板 S U B 2 の第 2 主面を覆うように、半導体素子に電氣的に接続される導電膜（配線等）を含む第 2 多層配線構造 M L 2 が形成される。

【 0 0 4 5 】

第 2 多層配線構造 M L 2 の最上層に形成される最上導電膜 M B U には、第 1 半導体チップ接続用パッド S P D C、コイル C L 2 a、コイル C L 2 b およびダミーパッド S D P が含まれる。

【 0 0 4 6 】

コイル C L 2 a およびコイル C L 2 b 等を覆うように、絶縁膜 P F 2 が形成される。絶縁膜 P F 2 に、所定の写真製版処理およびエッチング処理を施すことによって、第 1 半導体チップ接続用パッド S P D C およびダミーパッド S D P が露出される。こうして、第 2 半導体チップ S C P 2 が形成される。

10

【 0 0 4 7 】

次に、図 1 5 および図 1 6 に示すように、フリップチップ接続によって、第 1 半導体チップ S C P 1 に第 2 半導体チップ S C P 2 が接合される。第 2 半導体チップ S C P 2 を反転させて、第 2 半導体チップ S C P 2 の第 2 主面側（第 2 多層配線構造 M L 2）が第 1 半導体チップ S C P 1 の第 1 主面側（第 1 多層配線構造 M L 1）に対向する態様で、第 2 半導体チップ S C P 2 が第 1 半導体チップ S C P 1 に接合される。ここでは、たとえば、はんだバンプ S B が適用される。

20

【 0 0 4 8 】

第 1 半導体チップ S C P 1 における第 2 半導体チップ接続用パッド F P D C と、第 2 半導体チップ S C P 2 における第 1 半導体チップ接続用パッド S P D C とが、はんだバンプ S B によって接合される。第 1 半導体チップ S C P 1 におけるダミーパッド F D P と第 2 半導体チップ S C P 2 におけるダミーパッド S D P とが、はんだバンプ S B によって接合される。

【 0 0 4 9 】

このとき、リフロー内においてはんだバンプ S B が溶融することで、はんだバンプ S B の表面張力によって、第 1 半導体チップ S C P 1 と第 2 半導体チップ S C P 2 との位置合わせを自己整合的に行うことができる。また、第 1 半導体チップ S C P 1 には、直線上に配置されていない少なくとも 3 つのダミーパッド F D P が形成されている。第 2 半導体チップ S C P 2 には、そのダミーパッド F D P に対応する、直線上に配置されていない少なくとも 3 つのダミーパッド S D P が形成されている。これにより、第 1 半導体チップ S C P 1 と第 2 半導体チップ S C P 2 との距離（間隔）を、はんだバンプ S B を介在させることにより、はんだバンプ S B のサイズに対応したほぼ一定の距離（間隔）に保持することができる。

30

【 0 0 5 0 】

次に、第 1 半導体チップ S C P 1 と第 2 半導体チップ S C P 2 との間に、アンダーフィル材として絶縁材 U F M が充填される（図 7 および図 8 参照）。第 1 半導体チップ S C P 1 および第 2 半導体チップ S C P 2 が、リードフレーム L F M に搭載される（図 3 参照）。次に、第 1 半導体チップ S C P 1 における第 1 半導体チップ用パッド F P D F と、対応するリードフレーム L F M とが、ワイヤボンディングによりワイヤ W I R 1 によって電氣的に接続される。また、第 1 半導体チップ S C P 1 における第 2 半導体チップ用パッド F P D S と、対応するリードフレーム L F M とが、ワイヤボンディングによりワイヤ W I R 2 によって電氣的に接続される。

40

【 0 0 5 1 】

次に、リードフレーム L F M に搭載された第 1 半導体チップ S C P 1 および第 2 半導体チップ S C P 2 が、金型（図示せず）内に配置される。その金型内に、たとえば、エポキシ樹脂等の封止樹脂 R E N を充填することによって、第 1 半導体チップ S C P 1 および第 2 半導体チップ S C P 2 が、封止樹脂 R E N 内に封止される。次に、封止樹脂 R E N 内に

50

封止された第1半導体チップSCP1および第2半導体チップSCP2が、金型内から取り出される。その後、封止樹脂RENから突出しているリードフレームRFMに、所望の曲げ加工等を施しリード端子LFTを形成することで、図1および図2に示す半導体装置SDVが完成する。

【0052】

次に、上述した半導体装置SDVの効果について、比較例に係る半導体装置と比べて説明する。

【0053】

図17に示すように、比較例に係る半導体装置KSDVは、半導体チップKSCPとして、第1半導体チップKSCP1と第2半導体チップKSCP2とを備えている。第1半導体チップKSCP1は、図1に示される第1半導体チップSCP1に対応する。第2半導体チップKSCP2は、図1に示される第2半導体チップSCP2に対応する。

10

【0054】

第1半導体チップKSCP1の第1半導体基板SUB1の第1主面を覆うように、第1多層配線構造KML1が形成されている。第1多層配線構造KML1は、コイルKCL1、第1半導体チップ用パッドKPD1および絶縁膜KIU1を含む。絶縁膜KIU1は、コイルKCL1を覆い、第1半導体チップ用パッドKPD1を露出するように形成されている。第1半導体チップ用パッドKPD1には、ワイヤKW1が接続されている。

【0055】

第2半導体チップKSCP2の第2半導体基板SUB2の第2主面を覆うように、第2多層配線構造KML2が形成されている。第2多層配線構造KML2は、コイルKCL2、第2半導体チップ用パッドKPD2および絶縁膜KIU2を含む。絶縁膜KIU2は、コイルKCL2を覆い、第2半導体チップ用パッドKPD2を露出するように形成されている。第2半導体チップ用パッドKPD2には、ワイヤKW2が接続されている。

20

【0056】

第1半導体チップKSCP1と第2半導体チップKSCP2とは、コイルKCL1とコイルKCL2とが対向するように、絶縁シートZSによって接合されている。また、第2半導体チップKSCP2は、第2半導体チップ用パッドKPD2にワイヤKW2を接続することができるように、第1半導体チップKSCP1から突出するように、第1半導体チップKSCP1に接合されている。

30

【0057】

言い換えると、第1半導体基板SUB1の第1主面からみた平面視において、第2半導体チップKSCP2は、第1半導体チップKSCP1からはみ出る態様で、第1半導体チップKSCP1に接合されている。すなわち、比較例に係る半導体装置KSDVでは、第2半導体チップKSCP2は、第1半導体チップKSCP1に対して、オフセット構造となるように接合されている。

【0058】

このように、比較例に係る半導体装置KSDVでは、第2半導体チップKSCP2は、第1半導体チップKSCP1に対して、オフセット構造となるように接合されており、第2半導体チップKSCP2は、第1半導体チップKSCP1から突出している。

40

【0059】

このため、比較例に係る半導体装置KSDVでは、第1半導体チップKSCP1から突出する第2半導体チップKSCP2を、封止樹脂によって封止するために、さらなる小型化に制約がある。

【0060】

また、第1半導体チップKSCP1と第2半導体チップKSCP2とは、接着剤となる絶縁シートZSによって接合される。このため、コイルKCL1とコイルKCL2とが平面視的に重なる態様で対向させる際に、第1半導体チップKSCP1と第2半導体チップKSCP2との相対的な位置合わせが難しくなる。

【0061】

50

さらに、比較例に係る半導体装置KSDVでは、ワイヤボンディングを行う際に、第1半導体チップKSCP1と第2半導体チップKSCP2との上下関係を反転させる必要がある。具体的には、ワイヤKW1を第1半導体チップ用パッドKPD1に接続する際には、第1半導体チップKSCP1が下に位置する状態で行われる。一方、ワイヤKW2を第2半導体チップ用パッドKPD2に接続する際には、第2半導体チップKSCP2が下に位置する状態で行われる。このため、ワイヤボンディングを行う工程が煩雑になってしまう。

【0062】

比較例に係る半導体装置KSDVに対して、実施の形態1に係る半導体装置SDVでは、第2半導体チップSCP2は、第1半導体チップSCP1からはみ出ない態様で、第1半導体チップSCP1に接合されている。すなわち、第2半導体チップSCP2は、第1半導体チップSCP1に対してオフセット構造とならないように、第1半導体チップSCP1に接合されている。

10

【0063】

これにより、第2半導体チップSCP2が第1半導体チップSCP1から突出しない分、第1半導体チップSCP1および第2半導体チップSCP2を封止する封止樹脂REN(図3参照)のサイズを小さくすることができる。その結果、半導体装置SDVのさらなる小型化に寄与することができる。発明者らの評価によれば、オフセット構造の半導体装置と比べて、半導体装置のサイズを約20%程度低減できることがわかった。

【0064】

また、実施の形態1に係る半導体装置SDVでは、第1半導体チップSCP1と第2半導体チップSCP2とは、フリップチップ接続によって電氣的に接合される。フリップチップ接続するのに、特に、はんだバンプSBを適用することで、絶縁シートZSを使用する場合と比べて、第1半導体チップSCP1と第2半導体チップSCP2との位置合わせが容易になる。すなわち、はんだバンプSBを使用する場合には、リフロー内においてははんだバンプSBが溶融することで、はんだバンプSBには表面張力が発生する。この表面張力によって、第1半導体チップSCP1と第2半導体チップSCP2との位置合わせを自己整合的に行うことができる。

20

【0065】

また、フリップチップ接続に適用する導電性部材として、はんだバンプSBの他に、たとえば、金バンプまたは銅ピラー等も適用することができる。このような導電性部材を第1半導体チップSCP1と第2半導体チップSCP2との間に介在させることで、コイルCL1aとコイルCL2aとの間隔およびコイルCL1bとコイルCL2bとの間隔を確保することができる。これにより、第1半導体チップSCP1と第2半導体チップSCP2との間における通信の品質および耐圧を、比較例に係る半導体装置の場合以上に向上させることができる。

30

【0066】

さらに、実施の形態1に係る半導体装置SDVでは、第1半導体チップSCP1に電氣的に接続されることになるワイヤWIR1と、第2半導体チップSCP2に電氣的に接続されることになるワイヤWIR2とが、第1半導体チップSCP1に接合される。具体的には、ワイヤWIR1は、第1半導体チップSCP1における第1半導体チップ用パッドFPDFに接合される。ワイヤWIR2は、第1半導体チップSCP1における第2半導体チップ用パッドFPSに接合される。

40

【0067】

これにより、第1半導体チップKSCP1にワイヤKW1を接続し、第2半導体チップKSCP2にワイヤKW2を接続する場合と比べて、ワイヤボンディングの工程において、フリップチップ接続された第1半導体チップSCP1および第2半導体チップSCP2を反転させる必要がなくなる。その結果、ワイヤボンディングを行う工程の簡素化を図り、生産コストの低減に寄与することができる。

【0068】

50

なお、上述した半導体装置SDVでは、第1多層配線構造ML1および第2多層配線構造ML2における導電膜として、アルミニウム膜を例に挙げて説明した。導電膜としては、アルミニウム膜の他に、たとえば、銅膜等の他の導電性材料から形成された導電膜も適用することができる。

【0069】

実施の形態2

前述したように、半導体装置SDVでは、数百(V)~千数百(V)程度の電圧で駆動する第1半導体チップ用回路FSCと、数V程度で動作(駆動)する第2半導体チップ用回路SSCとが形成されている。第2半導体チップ用回路SSCは、第2半導体チップ用回路第1部SSC1と第2半導体チップ用回路第2部SSC2とを有する。

10

【0070】

第1半導体チップ用回路FSCは、第1半導体チップSCP1に形成されている。第2半導体チップ用回路SSCのうち、第2半導体チップ用回路第1部SSC1は、第1半導体チップSCP1に形成されている。第2半導体チップ用回路第2部SSC2は、第2半導体チップSCP2に形成されている。

【0071】

このため、第1半導体チップSCP1では、数百(V)~千数百(V)程度の電圧が印加(供給)される高電圧領域HVRと、数(V)程度の電圧が印加(供給)される低電圧領域LVRとが、並存することになる。そうすると、第1半導体チップSCP1では、高電圧領域HVRを電流が流れることに伴うノイズ(コモンモードノイズ)が、低電圧領域LVRを流れる電流に影響を与えることが想定される。実施の形態2では、このようなノイズの伝搬を阻止する半導体装置の一例について説明する。

20

【0072】

図18、図19および図20に示すように、実施の形態2に係る半導体装置SDVでは、高電圧領域HVRと低電圧領域LVRとの間に、分離絶縁膜ISF(絶縁体)が形成されている。高電圧領域HVRには、第1半導体チップ用パッドFPDF、第1半導体チップ用回路FSC、コイルCL1aおよびコイルCL1b等が配置されている。低電圧領域LVRには、第2半導体チップ用パッドFPDS、第2半導体チップ接続用パッドFPDCおよびダミーパッドFDP等が配置されている。

【0073】

30

分離絶縁膜ISFは、たとえば、第1半導体基板SUB1の第1主面から所定の深さにわたり形成されたトレンチ内に形成されている。トレンチとしては、シャロートレンチでもよいし、ディープトレンチでもよい。また、分離絶縁膜ISFとして、LOCOS(LOC: Local Oxidation of Silicon)法によって形成された絶縁膜でもよい。

【0074】

さらに、低電圧領域LVRでは、第1半導体基板SUB1に、P型の第1半導体基板SUB1とは反対の導電型のN型ウェルNWL(第2導電型領域)が形成されている。なお、これ以外の構成については、図6、図7および図8に示す半導体装置SDVの構成と同様なので、同一部材には同一符号を付し、必要である場合を除きその説明を繰り返さないこととする。

40

【0075】

次に、上述した半導体装置SDVの製造方法について、簡単に説明する。半導体装置SDVにおける分離絶縁膜ISFおよびN型ウェルNWLは、実施の形態1において説明した製造工程において形成される。具体的には、分離絶縁膜ISFおよびN型ウェルNWLは、第1半導体基板SUB1の第1主面に第1半導体チップ用回路FSCを構成する半導体素子等を形成する工程において形成される。分離絶縁膜ISFは、たとえば、半導体素子が形成される領域を規定する素子分離絶縁膜を形成する工程において形成される。N型ウェルNWLは、半導体素子の不純物領域等を形成する工程において形成される。

【0076】

実施の形態2に係る半導体装置SDVでは、実施の形態1において説明した効果に加え

50

て、次のような効果が得られる。

【 0 0 7 7 】

上述した半導体装置 S D V では、高電圧領域 H V R と低電圧領域 L V R との間に、分離絶縁膜 I S F が形成されている。低電圧領域 L V R では、第 1 半導体基板 S U B 1 に、P 型の第 1 半導体基板 S U B 1 とは反対の導電型の N 型ウェル N W L が形成されている。

【 0 0 7 8 】

これにより、高電圧領域 H V R を電流が流れることに伴うノイズ（コモンモードノイズ）が、低電圧領域 L V R へ伝搬しようとするのが、分離絶縁膜 I S F と N 型ウェル N W L （p n 接合）とによって阻止される。その結果、コモンモードノイズが、低電圧領域 L V R を流れる電流に影響を及ぼすのを抑制することができ、第 1 半導体チップ S C P 1 の駆動を制御する第 2 半導体チップ S C P 2 の動作を安定させることができる。

10

【 0 0 7 9 】

なお、上述した半導体装置 S D V では、分離絶縁膜 I S F と N 型ウェル N W L とによってコモンモードノイズを阻止する構造を例に挙げて説明した。高電圧領域 H V R から低電圧領域 L V R へコモンモードノイズが伝搬するのを抑制することができれば、分離絶縁膜 I S F と N 型ウェル N W L とに限られず、他の構造を適用してもよい。

【 0 0 8 0 】

実施の形態 3

前述したように、第 1 半導体チップ S C P 1 では、数百（V）～千数百（V）程度の電圧が印加（供給）される高電圧領域 H V R と、数（V）程度の電圧が印加（供給）される低電圧領域 L V R とが、並存することになる。このため、第 1 半導体チップ S C P 1 における第 1 多層配線構造 M L 1 では、同じ層に位置する導電膜のうち、高電圧領域 H V R に配置されている導電膜と低電圧領域 L V R に配置されている導電膜との間で、絶縁界面に沿って電流が流れることで電氣的な短絡が生じることが想定される。実施の形態 3 では、このような電氣的な短絡を抑制する半導体装置の一例について説明する。

20

【 0 0 8 1 】

（第 1 例）

まず、第 1 多層配線構造 M L 1 における導電膜として、アルミニウム膜が適用されている場合について説明する。図 2 1、図 2 2 および図 2 3 に示すように、高電圧領域 H V R と低電圧領域 L V R との間に位置する第 1 多層配線構造 M L 1 の絶縁膜の部分に、凹部 R E P（段差）が形成されている。凹部 R E P は、第 1 多層配線構造 M L 1 における絶縁膜のうち、少なくとも最上層に位置する最上導電膜 M A U が形成されている絶縁膜 I L A の表面から第 1 半導体基板 S U B 1 に向かって形成されている。

30

【 0 0 8 2 】

具体的には、アルミニウム膜から形成された導電膜の場合、最上導電膜 M A U は絶縁膜 I L A の上面に形成されている。このため、高電圧領域 H V R に配置されている最上導電膜 M A U と低電圧領域 L V R に配置されている最上導電膜 M A U との間における絶縁膜界面は、最上導電膜 M A U の下面と同じ高さ位置にある絶縁膜 I L A の上面に位置している。凹部 R E P は、少なくともその絶縁膜 I L A の上面から第 1 半導体基板 S U B 1 に向かって形成されている。なお、これ以外の構成については、図 6、図 7 および図 8 に示す半導体装置 S D V の構成と同様なので、同一部材には同一符号を付し、必要である場合を除きその説明を繰り返さないこととする。

40

【 0 0 8 3 】

次に、上述した半導体装置 S D V の製造方法について、簡単に説明する。半導体装置 S D V における凹部 R E P（段差）は、実施の形態 1 において説明した製造工程において形成される。具体的には、アルミニウム膜からなる最上導電膜 M A U が形成された後、最上導電膜 M A U が形成されている絶縁膜 I L A に写真製版処理およびエッチング処理を施すことによって、絶縁膜 I L A の上面から第 1 半導体基板 S U B 1 へ向かって凹部 R E P が形成される。

【 0 0 8 4 】

50

実施の形態 3 (第 1 例) に係る半導体装置 S D V では、実施の形態 1 において説明した効果に加えて、次のような効果が得られる。

【 0 0 8 5 】

上述した半導体装置 S D V では、高電圧領域 H V R と低電圧領域 L V R との間に位置する第 1 多層配線構造 M L 1 の部分において、少なくとも最上導電膜 M A U が形成されている絶縁膜 I L A の上面から第 1 半導体基板 S U B 1 に向かって、凹部 R E P が形成されている。このため、高電圧領域 H V R に配置された最上導電膜 M A U と低電圧領域 L V R に配置された最上導電膜 M A U との間における絶縁膜界面に沿った沿面距離が、凹部 R E P が形成されていない場合に比べて長くなる。

【 0 0 8 6 】

これにより、高電圧領域 H V R に配置された最上導電膜 M A U から低電圧領域 L V R に配置された最上導電膜 M A U へ向かって、電流が絶縁膜 I L A の界面 (上面) に沿って流れるのを抑制することができる。その結果、少なくとも高電圧領域 H V R に配置された最上導電膜 M A U と低電圧領域 L V R に配置された最上導電膜 M A U との間で、電気的な短絡が生じるのを抑制することができる。

【 0 0 8 7 】

なお、最上導電膜 M A U よりも下層に位置する導電膜についても、必要に応じて、その導電膜が形成されている絶縁膜の上面に凹部を形成してもよい。凹部を形成することで沿面距離が長くなり、高電圧領域 H V R に配置された導電膜と低電圧領域 L V R に配置された導電膜との間で、電気的な短絡が生じるのを抑制することができる。

【 0 0 8 8 】

(第 2 例)

次に、第 1 多層配線構造 M L 1 における導電膜として、銅膜が適用されている場合について説明する。

【 0 0 8 9 】

図 2 4 および図 2 5 に示すように、高電圧領域 H V R と低電圧領域 L V R との間に位置する第 1 多層配線構造 M L 1 の絶縁膜の部分に、凹部 R E P (段差) が形成されている。凹部 R E P は、第 1 多層配線構造 M L 1 における絶縁膜のうち、少なくとも最上層に位置する最上導電膜 M A U が形成されている絶縁膜 I L A の表面から第 1 半導体基板 S U B 1 に向かって形成されている。

【 0 0 9 0 】

具体的には、銅膜から形成された導電膜の場合、最上導電膜 M A U は、ダマシン法によって、絶縁膜 I L A に形成された配線溝に埋め込まれる。このため、高電圧領域 H V R に配置されている最上導電膜 M A U と低電圧領域 L V R に配置されている最上導電膜 M A U との間における絶縁膜界面は、最上導電膜 M A U の上面と同じ高さ位置にある絶縁膜 I L A の上面に位置している。凹部 R E P は、少なくともその絶縁膜 I L A の表面から第 1 半導体基板 S U B 1 に向かって形成されている。なお、これ以外の構成については、図 6、図 7 および図 8 に示す半導体装置 S D V の構成と同様なので、同一部材には同一符号を付し、必要である場合を除きその説明を繰り返さないこととする。

【 0 0 9 1 】

次に、上述した半導体装置 S D V の製造方法について、簡単に説明する。半導体装置 S D V における凹部 R E P (段差) は、実施の形態 1 において説明した製造工程において形成される。具体的には、銅膜からなる最上導電膜 M A U が形成された後、最上導電膜 M A U が形成されている絶縁膜 I L A に写真製版処理およびエッチング処理を施すことによって、絶縁膜 I L A の上面から第 1 半導体基板 S U B 1 へ向かって凹部 R E P が形成される。

【 0 0 9 2 】

実施の形態 3 (第 2 例) に係る半導体装置 S D V では、実施の形態 1 において説明した効果に加えて、次のような効果が得られる。

【 0 0 9 3 】

上述した半導体装置 S D V では、高電圧領域 H V R と低電圧領域 L V R との間に位置す

10

20

30

40

50

る第1多層配線構造ML1の部分において、少なくとも最上導電膜MAUが形成されている絶縁膜ILAの上面から第1半導体基板SUB1に向かって、凹部REPが形成されている。このため、高電圧領域HVRに配置された最上導電膜MAUと低電圧領域LVRに配置された最上導電膜MAUとの間における絶縁膜界面に沿った沿面距離が、凹部REPが形成されていない場合に比べて長くなる。

【0094】

これにより、高電圧領域HVRに配置された最上導電膜MAUから低電圧領域LVRに配置された最上導電膜MAUへ向かって、電流が絶縁膜ILAの界面(上面)に沿って流れるのを抑制することができる。その結果、少なくとも高電圧領域HVRに配置された最上導電膜MAUと低電圧領域LVRに配置された最上導電膜MAUとの間で、電氣的な短絡が生じるのを抑制することができる。

10

【0095】

なお、最上導電膜MAUよりも下層に位置する導電膜についても、必要に応じて、その導電膜が形成されている絶縁膜の上面に凹部を形成してもよい。凹部を形成することで沿面距離が長くなり、高電圧領域HVRに配置された導電膜と低電圧領域LVRに配置された導電膜との間で、電氣的な短絡が生じるのを抑制することができる。

【0096】

(凹部(段差)のバリエーション)

第1例および第2例のそれぞれでは、高電圧領域HVRと低電圧領域LVRとの間に位置する第1多層配線構造ML1の絶縁膜の部分に、一つの凹部REP(段差)が延在するように形成された構造を例に挙げて説明した。

20

【0097】

凹部REPの構造としては、これに限られるものではなく、沿面距離をさらに確保するために、複数の凹部を形成するようにしてもよい。図26に示すように、たとえば、2つの凹部REPを、間隔を隔てて並走するように形成してもよい。また、図27に示すように、複数の凹部REPを段違いになるように形成してもよい。

【0098】

各実施の形態において説明した半導体装置については、必要に応じて種々組み合わせることが可能である。たとえば、実施の形態2に係る半導体装置SDVと実施の形態3に係る半導体装置SDVとを組み合わせてもよい。

30

【0099】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【符号の説明】

【0100】

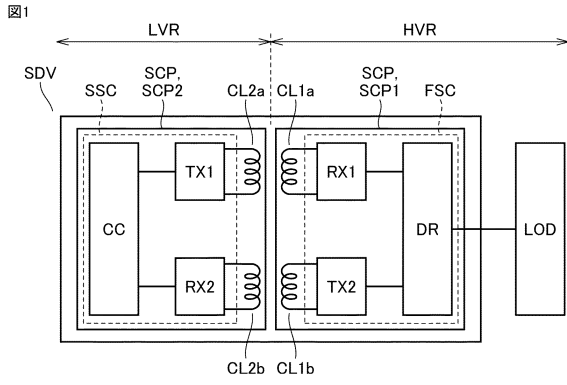
SDV 半導体装置、SCP 半導体チップ、SCP1 第1半導体チップ、HVR 高電圧領域、LOD 負荷、FSC 第1半導体チップ用回路、DRC 駆動回路、RX1 受信回路、CL1a コイル、TX1 送信回路、CL1b コイル、FPDF 第1半導体チップ用パッド、FPDS 第2半導体チップ用パッド、FPDC 第2半導体チップ接続用パッド、FDP ダミーパッド、SSC1 第2半導体チップ用回路第1部、SCP2 第2半導体チップ、LVR 低電圧領域、SSC 第2半導体チップ用回路、SSC2 第2半導体チップ用回路第2部、RX2 受信回路、CL2a コイル、TX2 送信回路、CL2b コイル、CC 制御回路、SPDC 第1半導体チップ接続用パッド、SDP ダミーパッド、LFM リードフレーム、LFT リード端子、REN 封止樹脂、SUB1 第1半導体基板、ML1 第1多層配線構造、MAU 最上導電膜、PF1、ILA 絶縁膜、WIR1、WIR2 ワイヤ、SUB2 第2半導体基板、ML2 第2多層配線構造、MBU 最上導電膜、PF2、ILB 絶縁膜、UFM 絶縁材、SB はんだパンブ、REN 封止樹脂、ISF 分離絶縁膜、NWL N型ウェル、REP 凹部。

40

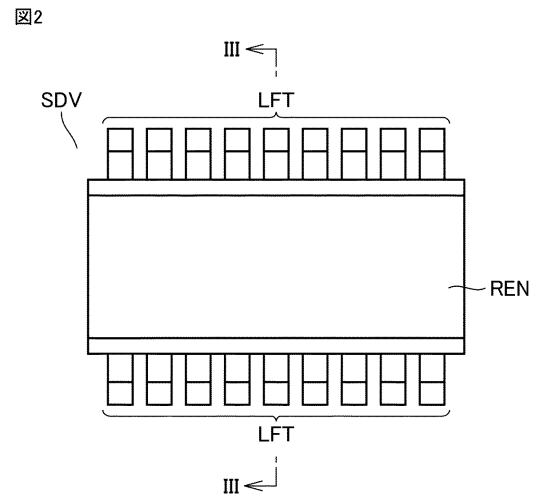
50

【図面】

【図 1】

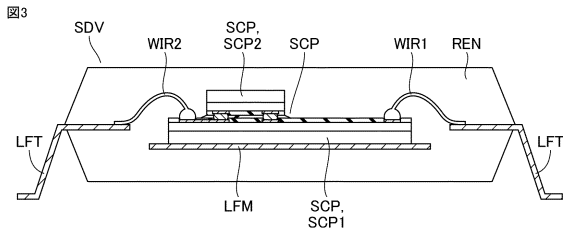


【図 2】

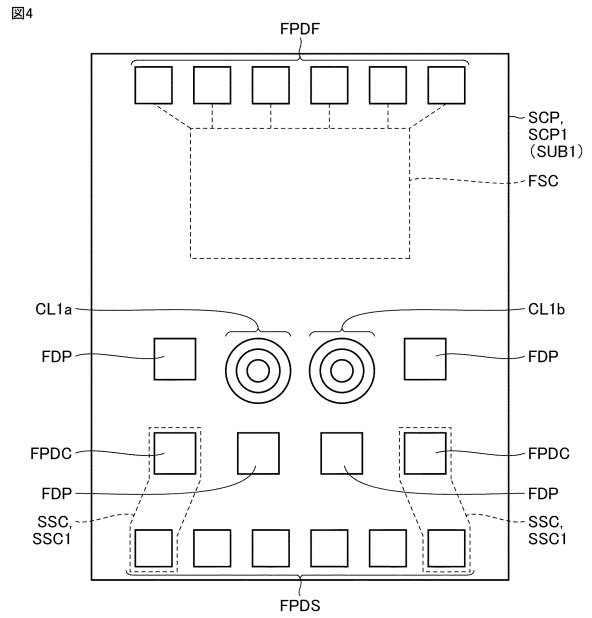


10

【図 3】



【図 4】



20

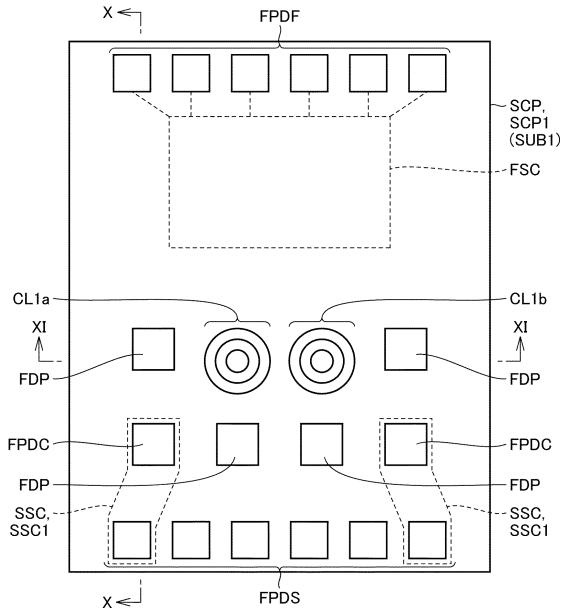
30

40

50

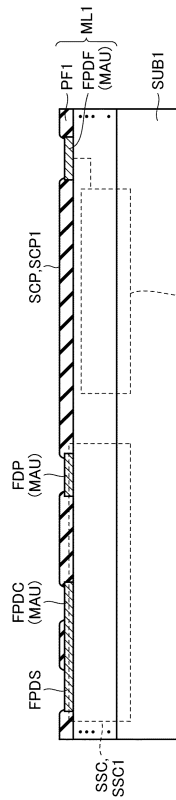
【 9 】

図9



【 10 】

図10

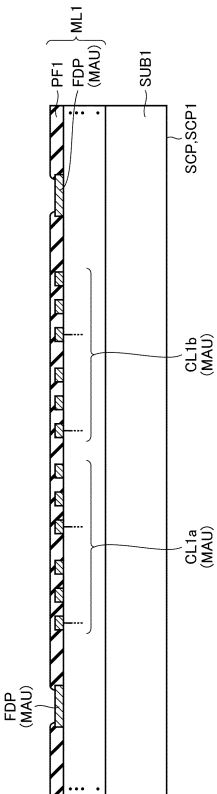


10

20

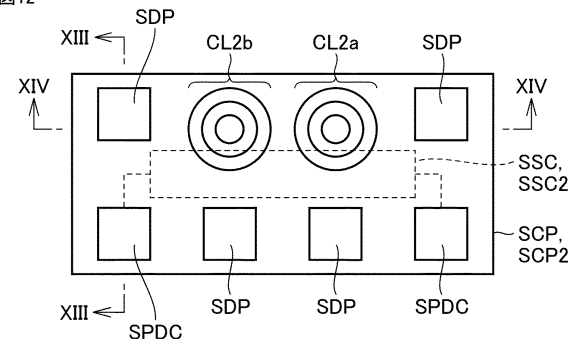
【 11 】

図11



【 12 】

図12



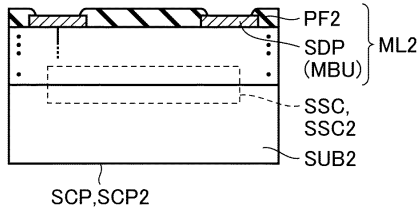
30

40

50

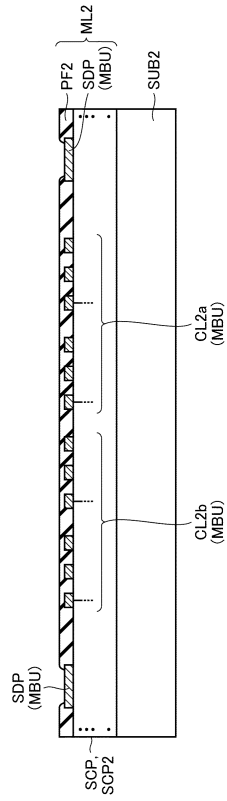
【 1 3 】

13



【 1 4 】

14

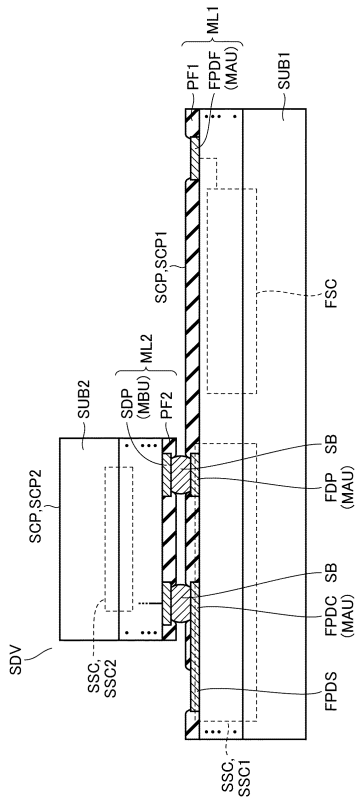


10

20

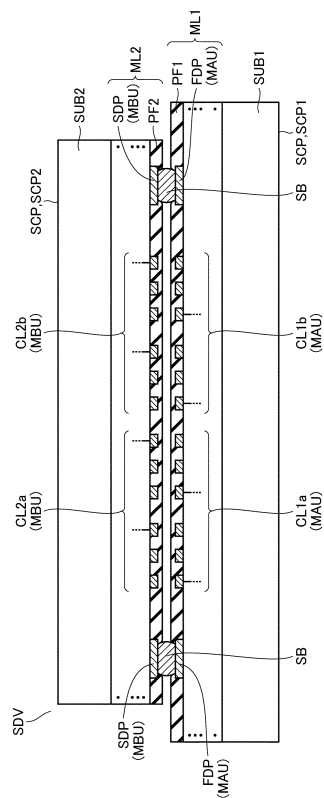
【 1 5 】

15



【 1 6 】

16



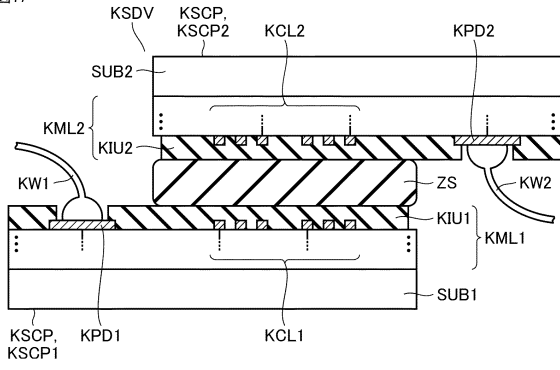
30

40

50

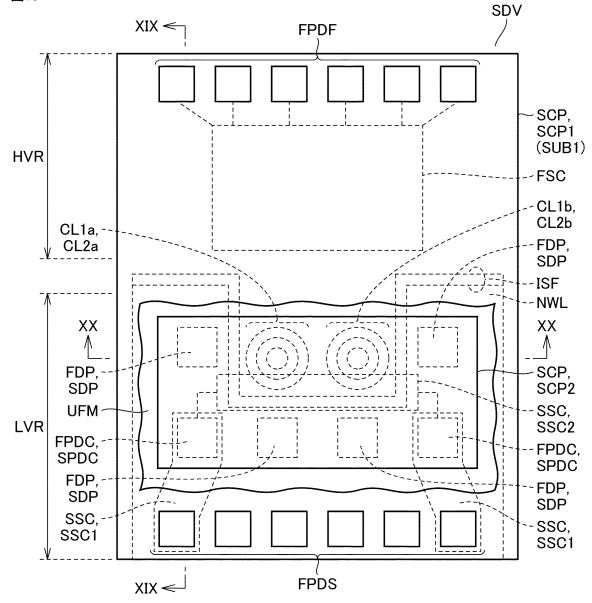
【 17 】

図17



【 18 】

図18

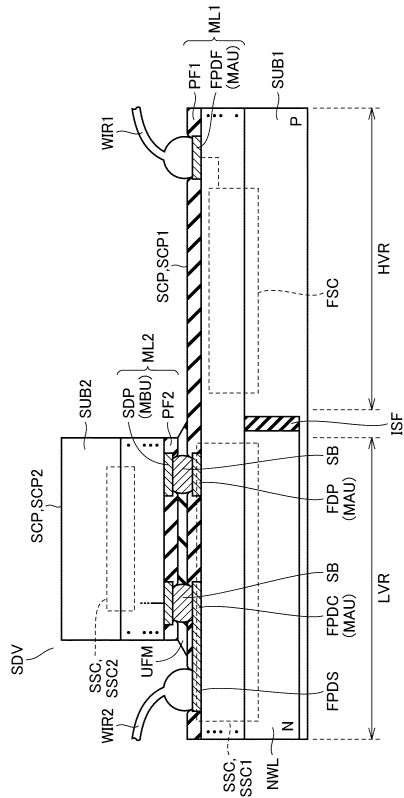


10

20

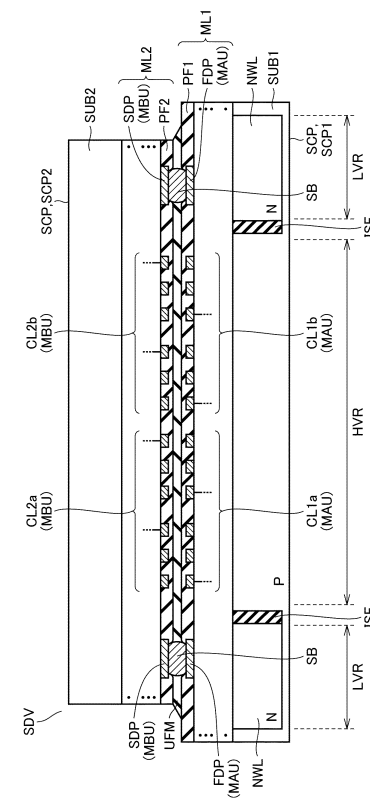
【 19 】

図19



【 20 】

図20



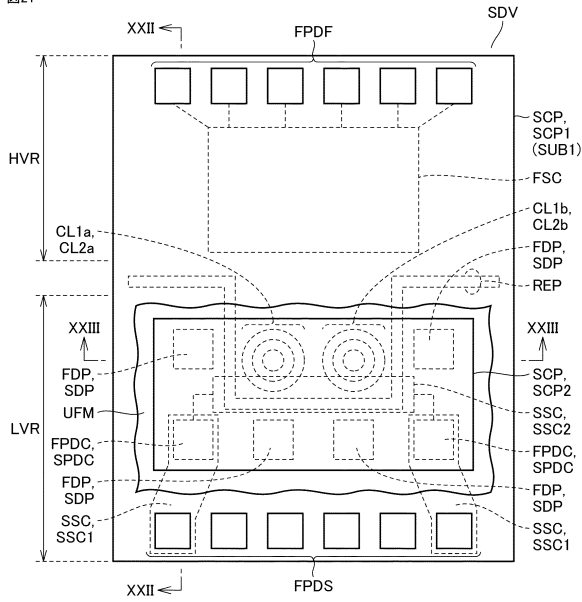
30

40

50

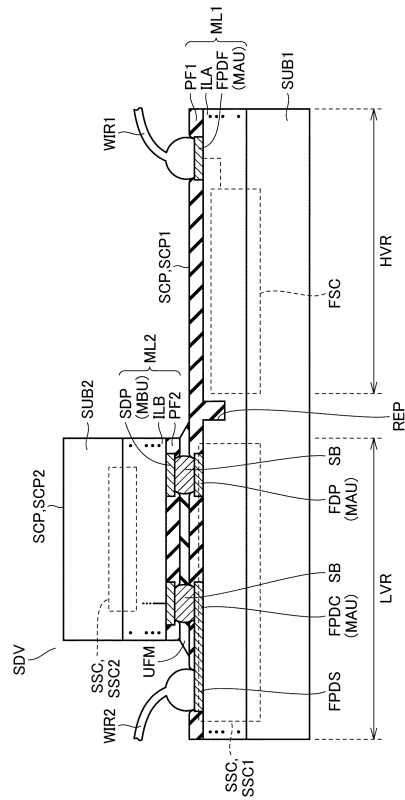
【 2 1 】

図21



【 2 2 】

図22

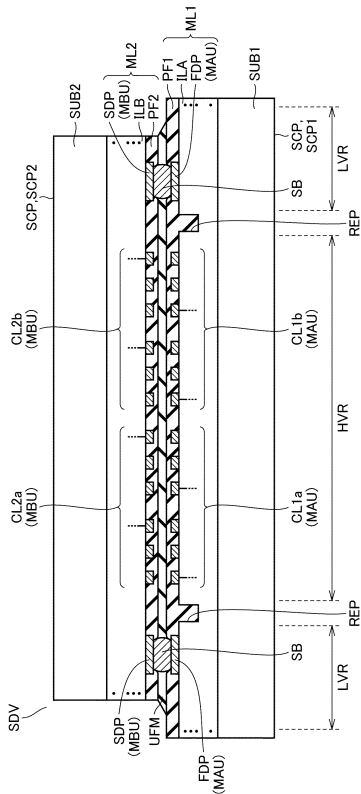


10

20

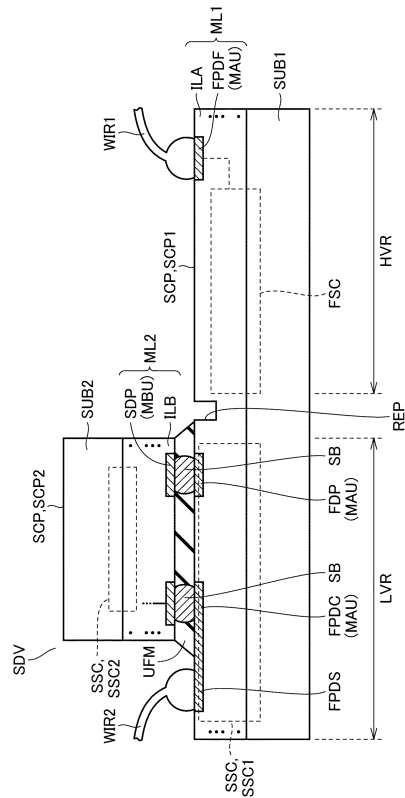
【 2 3 】

図23



【 2 4 】

図24



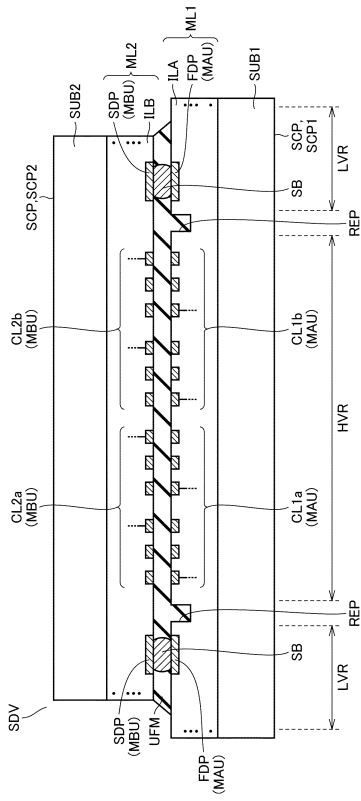
30

40

50

【 2 5 】

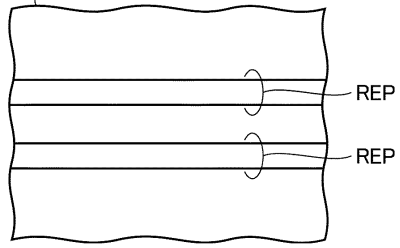
图25



【 2 6 】

图26

SCP, SCP1, ML1



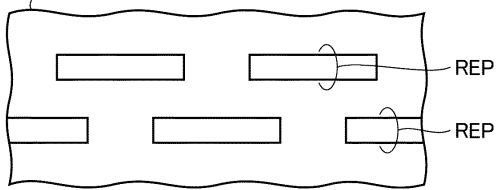
10

20

【 2 7 】

图27

SCP, SCP1, ML1



30

40

50

フロントページの続き

(51)国際特許分類

F I

H 0 1 L 25/00 (2006.01)

(56)参考文献

特開 2 0 1 4 - 1 4 6 7 8 0 (J P , A)

特開 2 0 1 6 - 1 2 7 1 6 2 (J P , A)

米国特許出願公開第 2 0 1 9 / 0 0 5 7 9 4 2 (U S , A 1)

特開 2 0 0 5 - 2 6 8 2 9 9 (J P , A)

特開 2 0 1 2 - 0 5 4 5 3 5 (J P , A)

国際公開第 2 0 2 0 / 1 1 6 0 4 0 (W O , A 1)

特開 2 0 1 7 - 0 3 4 0 7 4 (J P , A)

(58)調査した分野 (Int.Cl., D B 名)

H 1 0 D 1 / 2 0

H 1 0 D 8 9 / 0 0

H 1 0 D 8 9 / 6 0

H 0 1 L 2 5 / 0 7

H 0 1 L 2 5 / 0 0