

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成29年4月20日 (2017.4.20)

【公開番号】特開2014-209596(P2014-209596A)

【公開日】平成26年11月6日 (2014.11.6)

【年通号数】公開・登録公報2014-061

【出願番号】特願2014-55989(P2014-55989)

【国際特許分類】

H 0 1 L 29/786 (2006.01)

H 0 1 L 21/336 (2006.01)

H 0 1 L 21/8242 (2006.01)

H 0 1 L 27/108 (2006.01)

H 0 1 L 27/10 (2006.01)

H 0 1 L 27/105 (2006.01)

G 0 9 F 9/30 (2006.01)

C 2 3 C 14/08 (2006.01)

【F I】

H 0 1 L 29/78 6 1 6 T

H 0 1 L 29/78 6 1 8 B

H 0 1 L 29/78 6 1 6 J

H 0 1 L 29/78 6 1 8 E

H 0 1 L 27/10 3 2 1

H 0 1 L 27/10 4 6 1

H 0 1 L 27/10 4 4 1

G 0 9 F 9/30 3 3 8

C 2 3 C 14/08 K

C 2 3 C 14/08 N

【手続補正書】

【提出日】平成29年3月16日 (2017.3.16)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

半導体層の一部と重畳する第 1 のソース電極と、  
前記第 1 のソース電極の端部を越えて、前記半導体層に接して延伸する第 2 のソース電極と、

前記半導体層の他の一部と重畳する第 1 のドレイン電極と、  
前記第 1 のドレイン電極の端部を越えて、前記半導体層に接して延伸する第 2 のドレイン電極と、

前記第 2 のソース電極と前記半導体層に接する第 1 の側壁と、  
前記第 2 のドレイン電極と前記半導体層に接する第 2 の側壁と、  
前記半導体層、前記第 1 の側壁、および前記第 2 の側壁とゲート絶縁層を介して重畳するゲート電極と、を有することを特徴とする半導体装置。

【請求項 2】

半導体層と、第 1 のソース電極と、第 2 のソース電極と、第 1 のドレイン電極と、第 2

のドレイン電極と、第 1 の側壁と、第 2 の側壁と、ゲート絶縁層と、ゲート電極と、を有する半導体装置であって、

前記第 1 のソース電極は、前記半導体層の一部に接して前記半導体層上に形成され、

前記第 2 のソース電極は、前記第 1 のソース電極上に形成され、

前記第 2 のソース電極の一部は、前記第 1 のソース電極の端部を越えて、前記半導体層に接して延伸し、

前記第 1 のドレイン電極は、前記半導体層の他の一部に接して前記半導体層上に形成され、

前記第 2 のドレイン電極は、前記第 1 のドレイン電極上に形成され、

前記第 2 のドレイン電極の一部は、前記第 1 のドレイン電極の端部を越えて、前記半導体層に接して延伸し、

前記第 1 の側壁は、前記第 2 のソース電極の側面と前記半導体層に接して形成され、

前記第 2 の側壁は、前記第 2 のドレイン電極の側面と前記半導体層に接して形成され、

前記ゲート電極は、前記ゲート絶縁層を介して、前記第 1 の側壁、前記第 2 の側壁、および前記半導体層上に形成されていることを特徴とする半導体装置。

【請求項 3】

請求項 1 または請求項 2 において、

前記第 2 のソース電極および前記第 2 のドレイン電極の厚さは、5 nm 以上チャンネル長 L の 2 倍以下であることを特徴とする半導体装置。

【請求項 4】

請求項 1 または請求項 3 において、

チャンネル長 L が 50 nm 以下であることを特徴とする半導体装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一項において、

前記半導体層は、酸化物半導体を含むことを特徴とする半導体装置。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか一項において、

前記半導体層は、酸化物半導体層と酸化物層の積層であることを特徴とする半導体装置

。

【請求項 7】

請求項 1 乃至請求項 6 のいずれか一項において、

前記第 1 の側壁および前記第 2 の側壁は、酸素を含む絶縁性材料で形成されていることを特徴とする半導体装置。

【請求項 8】

ゲート電極と、ゲート絶縁層と、半導体層と、ソース電極と、ドレイン電極と、側壁と、を有する半導体装置の作製方法であって、

前記ソース電極および前記ドレイン電極を前記半導体層に接して形成し、

前記ソース電極および前記ドレイン電極の外縁部分に酸素を導入して側壁を形成し、

前記半導体層と前記側壁に重畳して前記ゲート絶縁層を形成し、

前記ゲート絶縁層に重畳して前記ゲート電極を形成することを特徴とする半導体装置の作製方法。

【請求項 9】

請求項 8 において、

前記半導体層は、酸化物半導体を含むことを特徴とする半導体装置の作製方法。

【請求項 10】

請求項 8 または請求項 9 において、

前記半導体層は、酸化物半導体層と酸化物層の積層であることを特徴とする半導体装置の作製方法。