

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-204560

(P2012-204560A)

(43) 公開日 平成24年10月22日(2012.10.22)

(51) Int.Cl.

H01L 21/8242 (2006.01)

H01L 27/108 (2006.01)

F I

H01L 27/10 621C

テーマコード (参考)

5F083

審査請求 未請求 請求項の数 14 O L (全 21 頁)

(21) 出願番号 特願2011-67054 (P2011-67054)
 (22) 出願日 平成23年3月25日 (2011. 3. 25)

(71) 出願人 500174247
 エルピーダメモリ株式会社
 東京都中央区八重洲2-2-1
 (74) 代理人 100115738
 弁理士 鷲頭 光宏
 (74) 代理人 100121681
 弁理士 緒方 和文
 (74) 代理人 100130982
 弁理士 黒瀬 泰之
 (74) 代理人 100127199
 弁理士 三谷 拓也
 (72) 発明者 内山 博之
 東京都中央区八重洲二丁目2番1号エルピー
 ダメモリ株式会社内
 Fターム(参考) 5F083 AD24 GA09 KA05 LA12 LA21
 MA06 MA17 MA20 NA01 PR40

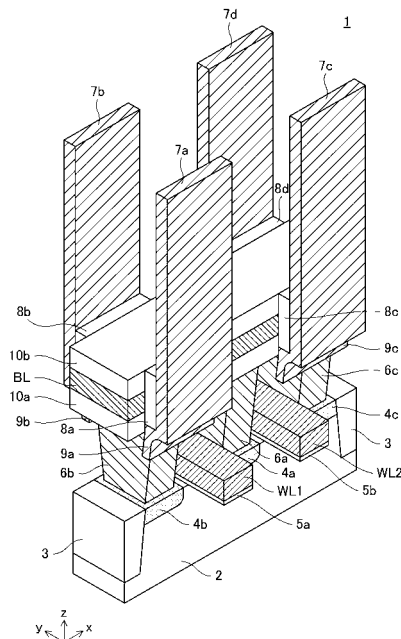
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】ビット線が直線状であり、かつセルトランジスタの長手方向がビット線方向に平行であり、さらにビット線がセルトランジスタと平面視で重複する位置に配線された半導体装置を提供する。

【解決手段】第1及び第2のコンタクトプラグ6a、6bの上面に第1の絶縁層10aを介して設けられ、かつ第1の不純物拡散層4aと第2の不純物拡散層4bとを結ぶ方向に延伸するビット線BLと、第1の絶縁層10aを貫通して設けられ、ビット線BLと第1のコンタクトプラグ6aとを電氣的に接続するビット線コンタクトプラグと、ビット線BLの一方側面側の側方に第1の下部電極7aを有する第1のセルキャパシタと、ビット線BLと第1の下部電極7aとを絶縁する第1の絶縁膜8aと、第1の下部電極7aの下端と第2のコンタクトプラグ6bの側面とを電氣的に接続する第1のコンタクト導体9aとを備える。

【選択図】図1



【特許請求の範囲】

【請求項 1】

基板と、
前記基板の表面に第 1 及び第 2 の被制御電極を有する第 1 のセルトランジスタと、
前記第 1 の被制御電極の上面に立設される第 1 のコンタクトプラグと、
前記第 2 の被制御電極の上面に立設される第 2 のコンタクトプラグと、
前記第 1 及び第 2 のコンタクトプラグの上面に第 1 の絶縁層を介して設けられ、かつ前記第 1 の被制御電極と前記第 2 の被制御電極とを結ぶ方向に延伸するビット線と、
前記第 1 の絶縁層を貫通して設けられ、前記ビット線と前記第 1 のコンタクトプラグとを電氣的に接続するビット線コンタクトプラグと、
前記ビット線の一方側面側の側方に第 1 の下部電極を有する第 1 のセルキャパシタと、
前記ビット線と前記第 1 の下部電極とを絶縁する第 1 の絶縁膜と、
前記第 1 の下部電極の下端と前記第 2 のコンタクトプラグの側面とを電氣的に接続する第 1 のコンタクト導体と
を備えることを特徴とする半導体装置。

【請求項 2】

前記第 1 のセルキャパシタは、前記ビット線の他方側面側の側方に第 2 の下部電極を有し、
前記半導体装置は、
前記ビット線と前記第 2 の下部電極とを絶縁する第 2 の絶縁膜と、
前記第 2 の下部電極の下端と前記第 2 のコンタクトプラグの側面とを電氣的に接続する第 2 のコンタクト導体と
を備えることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記第 1 及び第 2 の下部電極はそれぞれ板状の導電体であり、
前記第 1 のコンタクト導体は、前記第 1 の下部電極の下端から前記第 2 のコンタクトプラグの側面に向かって屈曲した導体であり、
前記第 2 のコンタクト導体は、前記第 2 の下部電極の下端から前記第 2 のコンタクトプラグの側面に向かって屈曲した導体である
ことを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】

前記第 1 及び第 2 の下部電極の表面を覆う容量絶縁膜と、
前記容量絶縁膜を介して前記第 1 及び第 2 の下部電極に対向する上部電極と、
前記ビット線の上面に設けられ、該ビット線と前記上部電極とを絶縁する第 2 の絶縁層と
を備えることを特徴とする請求項 2 又は 3 に記載の半導体装置。

【請求項 5】

平面的に見て前記第 1 のコンタクトプラグと前記第 2 のコンタクトプラグの間の領域に設けられ、かつ前記ビット線と直交する方向に延伸する第 1 のワード線と、
前記第 1 のワード線と前記基板の表面との間に設けられる第 1 のゲート絶縁膜と
を備えることを特徴とする請求項 1 乃至 4 のいずれか一項に記載の半導体装置。

【請求項 6】

前記基板の表面のうち前記第 1 の被制御電極を挟んで前記第 2 の被制御電極の反対側の領域に設けられ、前記第 1 の被制御電極とともに第 2 のセルトランジスタを構成する第 3 の被制御電極と、
前記第 3 の被制御電極の上面に立設される第 3 のコンタクトプラグと、
前記ビット線の一方側面側の側方に第 3 の下部電極を有し、かつ前記ビット線の他方側面側の側方に第 4 の下部電極を有する第 2 のセルキャパシタと、
前記ビット線と前記第 3 の下部電極とを絶縁する第 3 の絶縁膜と、
前記ビット線と前記第 4 の下部電極とを絶縁する第 4 の絶縁膜と、

前記第 3 の下部電極の下端と前記第 3 のコンタクトプラグの側面とを電氣的に接続する第 3 のコンタクト導体と、

前記第 4 の下部電極の下端と前記第 3 のコンタクトプラグの側面とを電氣的に接続する第 4 のコンタクト導体と

を備えることを特徴とする請求項 2 に記載の半導体装置。

【請求項 7】

前記第 1 乃至第 2 の下部電極はそれぞれ板状の導電体であり、

前記第 1 のコンタクト導体は、前記第 1 の下部電極の下端から前記第 2 のコンタクトプラグの側面に向かって屈曲した導体であり、

前記第 2 のコンタクト導体は、前記第 2 の下部電極の下端から前記第 2 のコンタクトプラグの側面に向かって屈曲した導体であり、

前記第 3 のコンタクト導体は、前記第 3 の下部電極の下端から前記第 3 のコンタクトプラグの側面に向かって屈曲した導体であり、

前記第 4 のコンタクト導体は、前記第 4 の下部電極の下端から前記第 3 のコンタクトプラグの側面に向かって屈曲した導体である

ことを特徴とする請求項 6 に記載の半導体装置。

【請求項 8】

前記第 1 乃至第 4 の下部電極の表面を覆う容量絶縁膜と、

前記容量絶縁膜を介して前記第 1 乃至第 4 の下部電極に対向する上部電極と、

前記ビット線の上面に設けられ、該ビット線と前記上部電極とを絶縁する第 2 の絶縁層と

を備えることを特徴とする請求項 6 又は 7 に記載の半導体装置。

【請求項 9】

平面的に見て前記第 1 のコンタクトプラグと前記第 2 のコンタクトプラグの間の領域に設けられ、かつ前記ビット線と直交する方向に延伸する第 1 のワード線と、

前記第 1 のワード線と前記基板の表面との間に設けられる第 1 のゲート絶縁膜と

平面的に見て前記第 1 のコンタクトプラグと前記第 3 のコンタクトプラグの間の領域に設けられ、かつ前記ビット線と直交する方向に延伸する第 2 のワード線と、

前記第 2 のワード線と前記基板の表面との間に設けられる第 2 のゲート絶縁膜と

を備えることを特徴とする請求項 6 乃至 8 のいずれか一項に記載の半導体装置。

【請求項 10】

基板の表面に第 1 及び第 2 の被制御電極を形成するステップと、

前記基板の表面に第 1 乃至第 3 の層間絶縁層を順次形成するステップと、

前記第 1 乃至第 3 の層間絶縁層を貫通し、下面でそれぞれ前記第 1 及び第 2 の被制御電極と接触する第 1 及び第 2 のコンタクトプラグを形成するステップと、

前記第 3 の層間絶縁層の上面に、第 1 の絶縁材料及び第 2 の絶縁材料を順次成膜するステップと、

前記第 1 及び第 2 の絶縁材料を貫通し、下面で前記第 1 のコンタクトプラグと電氣的に接続するビット線コンタクトプラグを形成するステップと、

前記第 2 の絶縁材料の上面に、前記ビット線コンタクトプラグと電氣的に接続する第 1 の導電材料を成膜するステップと、

前記第 1 の導電材料の上面に、第 3 の絶縁材料、第 4 の絶縁材料、及び第 5 の絶縁材料を順次成膜するステップと、

ビット線パターンに基づき、前記第 5 の絶縁材料、前記第 4 の絶縁材料、前記第 3 の絶縁材料、前記第 1 の導電材料、前記第 2 の絶縁材料、及び前記第 1 の絶縁材料を順次エッチングするステップと、

前記第 1 乃至第 5 の絶縁材料及び前記第 1 の導電材料の各側面、前記第 5 の絶縁材料の上面、及び前記第 3 の層間絶縁層の露出面を覆う第 6 の絶縁材料を成膜するステップと、

前記第 6 の絶縁材料の表面を第 2 の導電材料で覆うステップと、

前記第 2 の導電材料、前記第 6 の絶縁材料、及び前記第 3 の層間絶縁層を順次エッチバ

10

20

30

40

50

ックするステップと、

等方性ウェットエッチングにより前記第 6 の絶縁材料及び前記第 3 の層間絶縁層をエッチングすることで、前記第 2 のコンタクトプラグの側面を露出させるステップと、

前記第 2 の導電材料の表面及び前記第 2 のコンタクトプラグの露出面それぞれと電氣的に接続する第 3 の導電材料を成膜することにより、前記第 2 及び第 3 の導電材料からなる下部電極を形成するステップと、

前記第 4 の絶縁材料の少なくとも一部及び前記第 6 の絶縁材料の少なくとも一部を除去し、露出した前記下部電極の表面に容量絶縁膜を形成するステップと、

前記容量絶縁膜を介して前記下部電極と対向する上部電極を形成するステップとを備えることを特徴とする半導体装置の製造方法。

10

【請求項 1 1】

前記第 1 及び第 3 の層間絶縁層並びに前記第 2 及び第 4 の絶縁材料はシリコン酸化膜によって構成され、

前記第 2 の層間絶縁層並びに前記第 1、第 3、及び第 5 の絶縁材料はシリコン窒化膜によって構成される

ことを特徴とする請求項 1 0 に記載の半導体装置の製造方法。

【請求項 1 2】

前記第 1 の絶縁材料の膜厚は、前記第 6 の絶縁材料のうち水平面に形成される部分の膜厚より大きい

ことを特徴とする請求項 1 1 に記載の半導体装置の製造方法。

20

【請求項 1 3】

前記下部電極を形成するステップは、

前記第 3 の導電材料を形成した後、前記第 5 の絶縁材料の上面を上回る高さまで第 4 の層間絶縁層を形成するステップと、

前記第 4 の層間絶縁層をパターニングし、前記第 3 の導電材料を露出させるステップと、

異方性エッチングにより前記第 2 及び第 3 の導電材料をエッチングするステップとを含む

ことを特徴とする請求項 1 0 乃至 1 2 のいずれか一項に記載の半導体装置の製造方法。

【請求項 1 4】

30

前記基板の表面のうち前記第 1 の被制御電極及び前記第 2 の被制御電極に位置する領域を覆うゲート絶縁膜を形成するステップと、

前記ゲート絶縁膜の上面を覆うワード線を形成するステップと

を備えることを特徴とする請求項 1 0 乃至 1 3 のいずれか一項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、半導体装置及びその製造方法に関し、特にセルキャパシタを有する半導体装置及びその製造方法に関する。

40

【背景技術】

【0 0 0 2】

近年の D R A M (Dynamic Random Access Memory) には、セルトランジスタの上方にセルキャパシタを形成する積層容量型メモリセルを採用するものがある。積層容量型メモリセルは、プレーナ型メモリセルに比べ、狭い領域に大容量のセルキャパシタを形成できるという特徴を有している。

【0 0 0 3】

積層容量型メモリセルにおけるセルキャパシタは、クラウン型の構造とするのが一般的である。この構造によるセルキャパシタは、下端が閉じた筒状の下部電極と、下部電極の

50

側面及び上面を覆う容量絶縁膜と、容量絶縁膜の上から下部電極を覆う上部電極とによって構成される。このうち下部電極は、垂直方向に延びる容量コンタクトプラグによって、下層のセルトランジスタと接続される。

【0004】

特許文献1には、積層容量型メモリセルによるセルキャパシタの下部電極を、微細な線幅で構成できるようにした技術が開示されている。この技術では、絶縁体からなるサイドウォールと導電体からなるサイドウォールとを交互に作製していくことにより、微細な線幅での下部電極の形成を実現している。

【先行技術文献】

【特許文献】

10

【0005】

【特許文献1】特開2004-31950号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

ところで、セルトランジスタにもいくつかの種類があり、そのうちプレーナ型のセルトランジスタを積層容量型メモリセルに適用する場合、ビット線の配線などに工夫が必要となる。つまり、プレーナ型のセルトランジスタでは、容量コンタクトプラグが接続される一方の被制御電極と、ビット線コンタクトプラグが接続される他方の被制御電極とがビット線方向に並んで配置されることになることから、容量コンタクトプラグとビット線の衝突を避けるための工夫が必要になる。具体的には、これまで、ビット線を波状の配線パターンによって構成する、セルトランジスタをビット線に対して斜めに配置する、ビット線をセルトランジスタ間の領域に設け、平面視でビット線とセルトランジスタの境界部分に跨るようにビット線コンタクトプラグを配置する、などの措置が採られている。

20

【0007】

しかしながら、ビット線は直線状であることが望ましく、セルトランジスタの長手方向はビット線方向に平行であることが望ましく、さらにビット線はセルトランジスタと平面視で重複する位置に配線することが望ましい。このため、これらを実現できる技術が求められている。

【課題を解決するための手段】

30

【0008】

本発明による半導体装置は、基板と、前記基板の表面に第1及び第2の被制御電極を有する第1のセルトランジスタと、前記第1の被制御電極の上面に立設される第1のコンタクトプラグと、前記第2の被制御電極の上面に立設される第2のコンタクトプラグと、前記第1及び第2のコンタクトプラグの上面に第1の絶縁層を介して設けられ、かつ前記第1の被制御電極と前記第2の被制御電極とを結ぶ方向に延伸するビット線と、前記第1の絶縁層を貫通して設けられ、前記ビット線と前記第1のコンタクトプラグとを電気的に接続するビット線コンタクトプラグと、前記ビット線の一方側面側の側方に第1の下部電極を有する第1のセルキャパシタと、前記ビット線と前記第1の下部電極とを絶縁する第1の絶縁膜と、前記第1の下部電極の下端と前記第2のコンタクトプラグの側面とを電気的に接続する第1のコンタクト導体とを備えることを特徴とする。

40

【0009】

本発明による半導体装置の製造方法は、基板の表面に第1及び第2の被制御電極を形成するステップと、前記基板の表面に第1乃至第3の層間絶縁層を順次形成するステップと、前記第1乃至第3の層間絶縁層を貫通し、下面でそれぞれ前記第1及び第2の被制御電極と接触する第1及び第2のコンタクトプラグを形成するステップと、前記第3の層間絶縁層の上面に、第1の絶縁材料及び第2の絶縁材料を順次成膜するステップと、前記第1及び第2の絶縁材料を貫通し、下面で前記第1のコンタクトプラグと電気的に接続するビット線コンタクトプラグを形成するステップと、前記第2の絶縁材料の上面に、前記ビット線コンタクトプラグと電気的に接続する第1の導電材料を成膜するステップと、前記第

50

1の導電材料の上面に、第3の絶縁材料、第4の絶縁材料、及び第5の絶縁材料を順次成膜するステップと、ビット線パターンに基づき、前記第5の絶縁材料、前記第4の絶縁材料、前記第3の絶縁材料、前記第1の導電材料、前記第2の絶縁材料、及び前記第1の絶縁材料を順次エッチングするステップと、前記第1乃至第5の絶縁材料及び前記第1の導電材料の各側面、前記第5の絶縁材料の上面、及び前記第3の層間絶縁層の露出面を覆う第6の絶縁材料を成膜するステップと、前記第6の絶縁材料の表面を第2の導電材料で覆うステップと、前記第2の導電材料、前記第6の絶縁材料、及び前記第3の層間絶縁層を順次エッチバックするステップと、等方性ウェットエッチングにより前記第6の絶縁材料及び前記第3の層間絶縁層をエッチングすることで、前記第2のコンタクトプラグの側面を露出させるステップと、前記第2の導電材料の表面及び前記第2のコンタクトプラグの露出面それぞれと電氣的に接続する第3の導電材料を成膜することにより、前記第2及び第3の導電材料からなる下部電極を形成するステップと、前記第4の絶縁材料の少なくとも一部及び前記第6の絶縁材料の少なくとも一部を除去し、露出した前記下部電極の表面に容量絶縁膜を形成するステップと、前記容量絶縁膜を介して前記下部電極と対向する上部電極を形成するステップとを備えることを特徴とする。

【発明の効果】

【0010】

本発明によれば、ビット線が直線状であり、かつセルトランジスタの長手方向（第1の被制御電極と第2の被制御電極とを結ぶ方向）がビット線方向（ビット線の延伸方向）に平行であり、さらにビット線がセルトランジスタと平面視で重複する位置に配線された半導体装置を提供できる。

【図面の簡単な説明】

【0011】

【図1】本発明の好ましい実施の形態による半導体装置の立体構造を模式的に示す斜視図である。

【図2】本発明の好ましい実施の形態による半導体装置の平面図である。

【図3】(a)(b)はそれぞれ、図2のA-A線断面及びB-B線断面に対応する本発明の好ましい実施の形態による半導体装置の断面図である。

【図4】(a)(b)は、クラウン型のセルキャパシタで用いられる筒状の下部電極を示す図であり、(c)(d)は、本発明の好ましい実施の形態による半導体装置のセルキャパシタで用いられる板状の下部電極を示す図である。(a)(c)は下部電極の模式的な平面図であり、(b)(d)は下部電極の模式的な斜視図である。

【図5】図4に示した2種類のセルキャパシタそれぞれについて、電極膜厚 t を10nm, 20nm, 30nm, 40nm, 50nmとした場合のそれぞれについて、下部電極の x 方向の幅 ϕ (=最少加工寸法)と、容量値 C_s との関係を算出した結果を示すグラフである。

【図6】製造途中における本発明の好ましい実施の形態による半導体装置の断面図である。(a)(b)はそれぞれ、図2のA-A線断面及びB-B線断面に対応している。

【図7】製造途中における本発明の好ましい実施の形態による半導体装置の断面図である。(a)(b)はそれぞれ、図2のA-A線断面及びB-B線断面に対応している。

【図8】製造途中における本発明の好ましい実施の形態による半導体装置の断面図である。(a)(b)はそれぞれ、図2のA-A線断面及びB-B線断面に対応している。

【図9】製造途中における本発明の好ましい実施の形態による半導体装置の断面図である。(a)(b)はそれぞれ、図2のA-A線断面及びB-B線断面に対応している。

【図10】製造途中における本発明の好ましい実施の形態による半導体装置の断面図である。(a)(b)はそれぞれ、図2のA-A線断面及びB-B線断面に対応している。

【図11】製造途中における本発明の好ましい実施の形態による半導体装置の断面図である。(a)(b)はそれぞれ、図2のA-A線断面及びB-B線断面に対応している。

【図12】製造途中における本発明の好ましい実施の形態による半導体装置の断面図である。(a)(b)はそれぞれ、図2のA-A線断面及びB-B線断面に対応している。

【図 1 3】製造途中における本発明の好ましい実施の形態による半導体装置の断面図である。(a)(b)はそれぞれ、図 2 の A - A 線断面及び B - B 線断面に対応している。

【図 1 4】製造途中における本発明の好ましい実施の形態による半導体装置の断面図である。(a)(b)はそれぞれ、図 2 の C - C 線断面及び D - D 線断面に対応している。

【図 1 5】製造途中における本発明の好ましい実施の形態による半導体装置の断面図である。(a)(b)はそれぞれ、図 2 の A - A 線断面及び B - B 線断面に対応している。

【図 1 6】製造途中における本発明の好ましい実施の形態による半導体装置の断面図である。(a)(b)はそれぞれ、図 2 の C - C 線断面及び D - D 線断面に対応している。

【図 1 7】製造途中における本発明の好ましい実施の形態による半導体装置の断面図である。(a)(b)はそれぞれ、図 2 の A - A 線断面及び B - B 線断面に対応している。

10

【図 1 8】製造途中における本発明の好ましい実施の形態による半導体装置の断面図である。(a)(b)はそれぞれ、図 2 の C - C 線断面及び D - D 線断面に対応している。

【図 1 9】製造途中における本発明の好ましい実施の形態による半導体装置の断面図である。(a)(b)はそれぞれ、図 2 の A - A 線断面及び B - B 線断面に対応している。

【図 2 0】製造途中における本発明の好ましい実施の形態による半導体装置の断面図である。(a)(b)はそれぞれ、図 2 の C - C 線断面及び D - D 線断面に対応している。

【図 2 1】製造途中における本発明の好ましい実施の形態による半導体装置の断面図である。(a)(b)はそれぞれ、図 2 の A - A 線断面及び B - B 線断面に対応している。

【図 2 2】製造途中における本発明の好ましい実施の形態による半導体装置の断面図である。(a)(b)はそれぞれ、図 2 の C - C 線断面及び D - D 線断面に対応している。

20

【図 2 3】製造途中における本発明の好ましい実施の形態による半導体装置の断面図である。(a)(b)はそれぞれ、図 2 の A - A 線断面及び B - B 線断面に対応している。

【発明を実施するための形態】

【0012】

以下、添付図面を参照しながら、本発明の好ましい実施の形態について詳細に説明する。

【0013】

図 1 は、本発明の好ましい実施の形態による半導体装置 1 の立体構造を模式的に示す斜視図である。図 2 は、半導体装置 1 の平面図である。図 3 (a)(b)はそれぞれ、図 2 の A - A 線断面及び B - B 線断面に対応する半導体装置 1 の断面図である。

30

【0014】

なお、図 1 では、半導体装置 1 の立体構造を視覚的に分かり易く示すため、後述する上部電極 2 2 や第 1 乃至第 3 の層間絶縁層 1 1 a ~ 1 1 c など、各種の構成の記載を省略している。また、図 1 には、後述する活性領域 K (図 2) の 1 つ分に相当する領域のみを示している。図 2 では、上部電極 2 2 などの記載を省略して、各種の構成を透過的に示している。

【0015】

半導体装置 1 は D R A M であり、その構成要素は、図 1 及び図 3 に示すように基板 (シリコン基板) 2 の表面に形成される。半導体装置 1 の構成要素には、複数のビット線 B L と、それぞれ複数のワード線 W L 1 , W L 2 及びダミーワード線 D W L とが含まれる。以下では、複数のワード線 W L 1 , W L 2 及びダミーワード線 D W L をワード線 W L と総称する場合がある。

40

【0016】

ビット線 B L は x 方向に延伸する配線であり、図 2 に示すように、y 方向に等間隔で配置される。一方、ワード線 W L は y 方向に延伸する配線であり、図 2 に示すように、x 方向に等間隔で配置される。具体的には、ダミーワード線 D W L 、ワード線 W L 1 、ワード線 W L 2 をこの順で隣接配置してなるセットが、x 方向に繰り返し配置される。ダミーワード線 D W L でないワード線 W L とビット線 B L の交点にはセルトランジスタとセルキャパシタとを有するメモリセルが配置され、これにより、複数のメモリセルがマトリクス状に配置される。

50

【 0 0 1 7 】

基板 2 の表面のうち、隣り合う 2 本のビット線 B L の間の領域と、ダミーワード線 D W L の下方の領域には素子分離領域 3 が配置され、これによって、図 2 に示すように、マトリクス状の活性領域 K が区画される。なお、素子分離領域 3 は、いわゆる S T I (Shallow Trench Isolation) 法によって形成される。1 つの活性領域 K 内には、2 本のワード線 W L (ワード線 W L 1 , W L 2) と 1 本のビット線 B L が通過する。したがって、1 つの活性領域 K 内には、2 つのメモリセルが配置される。

【 0 0 1 8 】

以下、1 つの活性領域 K に着目して説明する。活性領域 K 内の基板 2 の表面には、図 1 に示すように、第 1 乃至第 3 の不純物拡散層 4 a ~ 4 c (第 1 乃至第 3 の被制御電極) が形成される。これらは、基板 2 の表面に不純物イオンを注入することによって形成される。第 1 の不純物拡散層 4 a は活性領域 K の中ほどに形成され、第 2 及び第 3 の不純物拡散層 4 b , 4 c は、第 1 の不純物拡散層 4 a を挟んで x 方向の互いに反対側に形成される。ワード線 W L 1 (第 1 のワード線) は、第 1 の不純物拡散層 4 a と第 2 の不純物拡散層 4 b の間に設けられ、ワード線 W L 2 (第 2 のワード線) は、第 1 の不純物拡散層 4 a と第 3 の不純物拡散層 4 c の間に設けられる。ワード線 W L 1 , W L 2 はそれぞれ、基板 2 の表面との間に設けられたゲート絶縁膜 5 a , 5 b (第 1 及び第 2 のゲート絶縁膜) によって基板 2 と絶縁されている。

【 0 0 1 9 】

活性領域 K 内の一方のセルトランジスタ (第 1 のセルトランジスタ) は、ワード線 W L 1 、第 1 の不純物拡散層 4 a 、及び第 2 の不純物拡散層 4 b によって構成される。これらはそれぞれ、第 1 のセルトランジスタの制御電極 (ゲート)、一方の被制御電極 (ソース / ドレインのうちの一方)、他方の被制御電極 (ソース / ドレインのうちの他方) を構成する。

【 0 0 2 0 】

活性領域 K 内の他方のセルトランジスタ (第 2 のセルトランジスタ) は、ワード線 W L 2 、第 1 の不純物拡散層 4 a 、及び第 3 の不純物拡散層 4 c によって構成される。これらはそれぞれ、第 2 のセルトランジスタの制御電極 (ゲート)、一方の被制御電極 (ソース / ドレインのうちの一方)、他方の被制御電極 (ソース / ドレインのうちの他方) を構成する。

【 0 0 2 1 】

第 1 乃至第 3 の不純物拡散層 4 a ~ 4 c の上面には、図 1 及び図 3 (a) に示すように、それぞれ第 1 乃至第 3 のコンタクトプラグ 6 a ~ 6 c が立設される。基板 2 の表面には、第 1 乃至第 3 の層間絶縁層 1 1 a ~ 1 1 c が積層しており、第 1 乃至第 3 のコンタクトプラグ 6 a ~ 6 c は、これらを通するスルーホール内に埋め込まれた導電材料によって構成される。

【 0 0 2 2 】

第 1 乃至第 3 のコンタクトプラグ 6 a ~ 6 c の上面には、図 1 及び図 3 (a) (b) に示すように、x 方向に延伸する第 1 の絶縁層 1 0 a が形成される。ビット線 B L は、この第 1 の絶縁層 1 0 a の上面に設けられる。つまり、半導体装置 1 では、図 1 及び図 2 にも示すように、ビット線 B L とセルトランジスタとが平面視で互いに重複する位置に配置される。また、図 1 等から明らかなように、ビット線 B L の延伸方向と、第 1 乃至第 3 の不純物拡散層 4 a ~ 4 c を結ぶ方向とはともに x 方向であり、一致している。

【 0 0 2 3 】

ビット線 B L の上面は、第 2 の絶縁層 1 0 b で覆われている。第 2 の絶縁層 1 0 b は、後述する上部電極 2 2 とビット線 B L とを絶縁し、これらの間でキャパシタが形成されないように設けられているもので、この目的を達成できる程度に厚く形成される。

【 0 0 2 4 】

ビット線 B L は、図 3 (a) に示すように、第 1 の絶縁層 1 0 a を貫通して設けられるビット線コンタクトプラグ 2 0 を介して、第 1 のコンタクトプラグ 6 a の上面と電氣的に

10

20

30

40

50

接続される。したがって、ビット線 B L は、第 1 の不純物拡散層 4 a と電氣的に接続している。

【 0 0 2 5 】

活性領域 K 内の一方のセルキャパシタ（第 1 のセルキャパシタ）は、図 1 等に示す下部電極 7 a , 7 b（第 1 及び第 2 の下部電極）と、図 3（ a ）（ b ）に示す容量絶縁膜 2 1 及び上部電極 2 2 とによって構成される。同様に、活性領域 K 内の他方のセルキャパシタ（第 2 のセルキャパシタ）は、図 1 等に示す下部電極 7 c , 7 d（第 3 及び第 4 の下部電極）と、図 3（ a ）（ b ）に示す容量絶縁膜 2 1 及び上部電極 2 2 とによって構成される。以下、これらの構造について詳しく説明する。

【 0 0 2 6 】

下部電極 7 a ~ 7 d はそれぞれ、図 1 及び図 3（ b ）に示すように、z 方向に長い板状の導電体である。下部電極 7 a ~ 7 d の x 方向の長さは、図 2 に示すように、概ねワード線 W L 2 本分の長さとしている。また、y 方向の長さは、図 2 及び図 3（ b ）に示すように、y 方向に隣接する他のセルキャパシタの下部電極との間に十分な距離（導通や寄生容量が発生しない距離）を保てる程度の長さとしている。

【 0 0 2 7 】

下部電極 7 a は、図 1 及び図 3（ b ）に示すように、ビット線 B L の一方側面側の側方に、第 1 の絶縁膜 8 a を介して配置される。第 1 の絶縁膜 8 a は、下部電極 7 a とビット線 B L とを絶縁するために設けられていものである。下部電極 7 a の x 方向の位置は、図 2 に示すように、第 2 のコンタクトプラグ 6 b 及びワード線 W L 1 とほぼ重なる位置とされている。下部電極 7 a の下端には、下部電極 7 a からビット線 B L 側に向かって（下部電極 7 a の下端から第 2 のコンタクトプラグ 6 b の側面に向かって）屈曲した第 1 のコンタクト導体 9 a の一端が接続している。第 1 のコンタクト導体 9 a の他端は第 2 のコンタクトプラグ 6 b の側面と接触しており、これにより、下部電極 7 a と第 2 のコンタクトプラグ 6 b とは電氣的に接続している。

【 0 0 2 8 】

下部電極 7 b ~ 7 d についても、下部電極 7 a と同様、ビット線 B L の側方に配置される。それぞれについて具体的に説明すると、下部電極 7 b は、図 1 及び図 3（ b ）に示すように、ビット線 B L の他方側面側の側方に第 2 の絶縁膜 8 b を介して配置される。x 方向には、図 2 に示すように、第 2 のコンタクトプラグ 6 b 及びワード線 W L 1 とほぼ重なる位置に配置される。別の言い方をすれば、下部電極 7 b は、ビット線 B L を挟んで下部電極 7 a の反対側に、下部電極 7 a と対向して配置される。

【 0 0 2 9 】

下部電極 7 c は、ビット線 B L の一方側面側の側方に第 3 の絶縁膜 8 c を介して配置される。x 方向には、第 3 のコンタクトプラグ 6 c 及びワード線 W L 2 とほぼ重なる位置に配置される。下部電極 7 d は、ビット線 B L の他方側面側の側方に第 4 の絶縁膜 8 d を介して配置される。x 方向には、第 3 のコンタクトプラグ 6 c 及びワード線 W L 2 とほぼ重なる位置に配置される。別の言い方をすれば、下部電極 7 d は、ビット線 B L を挟んで下部電極 7 c の反対側に、下部電極 7 c と対向して配置される。

【 0 0 3 0 】

第 2 乃至第 4 の絶縁膜 8 b ~ 8 d は、第 1 の絶縁膜 8 a と同様、対応する下部電極とビット線 B L とを絶縁するために設けられている。また、下部電極 7 b ~ 7 d の下端には、第 1 のコンタクト導体 9 a と同様、対応する下部電極と対応するコンタクトプラグとを電氣的に接続するための第 2 乃至第 4 のコンタクト導体 9 b ~ 9 d がそれぞれ接続している。図 1 には、下部電極 7 b に対応する第 2 のコンタクト導体 9 b と、下部電極 7 c に対応する第 3 のコンタクト導体 9 c とを示している。

【 0 0 3 1 】

以上の構成により、下部電極 7 a と下部電極 7 b とは、第 2 のコンタクトプラグ 6 b を介して電氣的に一体化しており、これらによって第 1 のセルキャパシタの下部電極が構成される。同様に、下部電極 7 c と下部電極 7 d とは、第 3 のコンタクトプラグ 6 c を介し

10

20

30

40

50

て、電氣的に一体化しており、これらによって第 2 のセルキャパシタの下部電極が構成される。

【0032】

下部電極 7 a ~ 7 d の下端付近の周囲には、図 3 (b) に示すように、第 4 の層間絶縁層 1 1 d が埋め込まれる。第 4 の層間絶縁層 1 1 d の上面は、第 1 乃至第 4 の絶縁膜 8 a ~ 8 d の上面及び第 2 の絶縁層 1 0 b の上面と、図 3 に示した面 E で面一になるよう設定される。容量絶縁膜 2 1 は、図 3 (a) (b) に示すように、この面 E の表面と、下部電極 7 a ~ 7 d の表面のうち面 E の上側に露出した部分と、下部電極 7 a ~ 7 d を機械的に支えるために設けられるサポート絶縁膜 1 2 e の表面とを覆うように形成される。

【0033】

上部電極 2 2 は、容量絶縁膜 2 1 を介して下部電極 7 a ~ 7 d と対向するように配置される。具体的には、上部電極 2 2 は、下部電極 7 a ~ 7 d の間の空間 (面 E より上の部分) を埋める導電性の材料によって構成される。

【0034】

以下、半導体装置 1 の動作について説明する。

【0035】

あるワード線 W L 1 が活性化されると、そのワード線 W L 1 が通過する複数の活性領域 K それぞれにおいて、基板 2 の表面のうち第 1 の不純物拡散層 4 a と第 2 の不純物拡散層 4 b の間の領域にチャネルが生ずる。これにより、第 1 の不純物拡散層 4 a と第 2 の不純物拡散層 4 b とが電氣的に導通するので、各活性領域 K 内では、第 1 のセルキャパシタとビット線 B L とが電氣的に接続される。したがって、ビット線 B L を介して、第 1 のセルキャパシタに対する読み書きを行うことを可能になる。

【0036】

同様に、あるワード線 W L 2 が活性化されると、そのワード線 W L 2 が通過する複数の活性領域 K それぞれにおいて、基板 2 の表面のうち第 1 の不純物拡散層 4 a と第 3 の不純物拡散層 4 c の間の領域にチャネルが生ずる。これにより、第 1 の不純物拡散層 4 a と第 3 の不純物拡散層 4 c とが電氣的に導通するので、各活性領域 K 内では、第 2 のセルキャパシタとビット線 B L とが電氣的に接続される。したがって、ビット線 B L を介して、第 2 のセルキャパシタに対する読み書きを行うことを可能になる。

【0037】

以上説明したように、半導体装置 1 によれば、ビット線 B L が直線状であり、かつセルトランジスタの長手方向 (x 方向) がビット線 B L の延伸方向に平行であり、さらにビット線 B L がセルトランジスタと平面視で重複する位置に配線された半導体装置を提供できる。したがって、波状の配線パターンによってビット線を構成する例や、長手方向がビット線に対して斜めになるようセルトランジスタを配置する例や、ビット線をセルトランジスタ間の領域に設け、平面視でビット線とセルトランジスタの境界部分に跨るようにビット線コンタクトプラグを配置する例に比べて加工性が向上し、歩留まりを比較的容易に確保可能となっている。

【0038】

また、半導体装置 1 では板状の下部電極を用いるので、上述したクラウン型のセルキャパシタ (下部電極が筒状であるセルキャパシタ) を採用する場合に比べ、セルキャパシタの容量を比較的容易に確保できる。以下、この点について詳しく説明する。

【0039】

図 4 (a) (b) は、クラウン型のセルキャパシタで用いられる筒状の下部電極を示す図である。また、図 4 (c) (d) は、本実施の形態による半導体装置 1 のセルキャパシタ (以下、「ツイン平板型」という) で用いられる板状の下部電極を示す図である。図 4 (a) (c) は下部電極の模式的な平面図であり、図 4 (b) (d) は下部電極の模式的な斜視図である。

【0040】

図 5 は、図 4 に示した 2 種類のセルキャパシタそれぞれにおいて電極膜厚 t (図 4 (a

10

20

30

40

50

)(c))を10nm, 20nm, 30nm, 40nm, 50nmとした場合のそれぞれについて、下部電極のx方向の幅 ϕ (=最少加工寸法)と、容量値Csとの関係を算出した結果を示すグラフである。算出に当たっては、容量絶縁膜21の膜厚を0.9nm、下部電極の高さhを1.5 μ mとした。同図においては、ツイン平板型のセルキャパシタにかかる結果を「Twin__PL」と表記し、クラウン型のセルキャパシタにかかる結果を「CROWN」と表記している。

【0041】

図5から理解されるように、ツイン平板型では、クラウン型に比べて、幅 ϕ の増加に対する容量値Csの増加率が小さくなっている。また、 $t = 50$ nmの場合を除き、ツイン平板型では電極膜厚tが大きいほど容量値Csが大きくなるのに対し、クラウン型では電極膜厚tが小さいほど容量値Csが大きくなっている。

10

【0042】

以上の性質の結果として、電極膜厚tが同一である場合、ある幅 ϕ_T をしきい値として、幅 ϕ が幅 ϕ_T より小さい場合にツイン平板型の方が大きな容量値Csを有し、幅 ϕ が幅 ϕ_T より大きい場合にクラウン型の方が大きな容量値Csを有することになる。幅 ϕ_T は電極膜厚tの関数として表すことができ、具体的には $\phi_T = t / 0.22$ となる。図5には、電極膜厚tが10nm, 20nmである場合のそれぞれについて、幅 ϕ_T ($\phi_T(t = 10\text{nm}) = 45.5\text{nm}$ 、 $\phi_T(t = 20\text{nm}) = 90.9\text{nm}$)を示している。

【0043】

近年の微細化の進展に伴い、最少加工寸法である幅 ϕ は縮小の一途を辿っている。具体的には、50nm以下の値となっている。一方、電極膜厚tはと言えば、ある程度の機械的強度も必要なことから薄くするにも限界があり、最薄でも20nmが限度である。したがって、電極膜厚tによって決まる上記しきい値 ϕ_T は、概ね90.9nm以上となる。

20

【0044】

つまり、幅 ϕ の値は50nm以下であることが現実的であり、少なくともその範囲内では、ツイン平板型の容量値Csはクラウン型の容量値Csに比べて常に大きな値を有することになる。したがって、ツイン平板型のセルキャパシタを用いる半導体装置1では、クラウン型のセルキャパシタを採用する場合に比べて、大きな容量値Csを確保できることになる。

【0045】

30

また、ツイン平板型のセルキャパシタは、加工性の観点からも利点を有している。すなわち、クラウン型のセルキャパシタでは、加工時に生ずるテーパによって下部電極の内側空間が狭まり、容量値が小さくなる。この容量値の低下は微細化が進むほど顕著になるが、ツイン平板型のセルキャパシタでは、仮に下部電極にテーパが生じたとしても、個々の下部電極が独立した板様の形状を有しているため、容量値の低下はほとんど発生しない。したがって、ツイン平板型のセルキャパシタは、クラウン型のセルキャパシタに比べ、小さい面積で大きな容量を実現できる。

【0046】

次に、本実施の形態による半導体装置1の製造方法について、詳しく説明する。

【0047】

40

図6～図23は、製造途中の各段階における半導体装置1の断面図である。このうち図6～図13、図15、図17、図19、図21、図23の(a)(b)はそれぞれ、図2のA-A線断面及びB-B線断面に対応している。他の各図の(a)(b)はそれぞれ、図2のC-C線断面及びD-D線断面に対応している。

【0048】

初めに、図6に示すように、基板2の表面にトレンチを設け、その中にシリコン酸化膜を埋め込むことによって、素子分離領域3を形成する。そして、素子分離領域3によって区画される活性領域Kの内側に位置する基板2の表面に不純物イオンを注入することにより、第1乃至第3の不純物拡散層4a～4cを形成する。

【0049】

50

次に、基板 2 の表面を熱酸化し、その上に導電材料をポリシリコン又はタングステン等の金属膜、若しくはこれらの積層膜を形成する。そして、これらをワード線パターンにパターニングすることにより、図 6 に示すように、ゲート絶縁膜 5 a , 5 b とワード線 W L を形成する。

【 0 0 5 0 】

次に、基板 2 の表面に第 1 乃至第 3 の層間絶縁層 1 1 a ~ 1 1 c を順次形成する。第 1 及び第 3 の層間絶縁層 1 1 a , 1 1 c はシリコン酸化膜とし、第 2 の層間絶縁層 1 1 b はシリコン窒化膜とする。特に限定されるものではないが、これらのシリコン酸化膜及びシリコン窒化膜は、C V D (Chemical Vapor Deposition) 法で形成することができる。後に形成する他のシリコン酸化膜及びシリコン窒化膜についても同様である。第 1 乃至第 3 の層間絶縁層 1 1 a ~ 1 1 c の膜厚は、それぞれ 1 0 0 n m 、 4 0 n m 、 5 0 n m とすることが好ましい。また図示していないが、層間絶縁膜 1 1 a は、ゲート電極 W L 1 , W L 2 , D W L に対してコンタクトプラグ 6 a , 6 b を自己整合的に形成するために、シリコン酸化膜及びシリコン窒化膜が複雑に組み合わさった構造を有することも有り得る。

【 0 0 5 1 】

第 1 乃至第 3 の層間絶縁層 1 1 a ~ 1 1 c を形成したら、第 1 乃至第 3 の不純物拡散層 4 a ~ 4 c にそれぞれ対応する位置に、第 1 乃至第 3 の層間絶縁層 1 1 a ~ 1 1 c を貫通するスルーホールを設ける。そして、各スルーホールの内部に導電材料を埋め込むことにより、第 1 乃至第 3 のコンタクトプラグ 6 a ~ 6 c を形成する。

【 0 0 5 2 】

次に、第 3 の層間絶縁層 1 1 c の上面に、シリコン窒化膜である第 1 の絶縁材料 1 2 a と、シリコン酸化膜である第 2 の絶縁材料 1 2 b とを順次成膜する。これら第 1 及び第 2 の絶縁材料 1 2 a , 1 2 b は、上述した第 1 の絶縁層 1 0 a を構成する。第 1 及び第 2 の絶縁材料 1 2 a , 1 2 b の膜厚は、それぞれ 5 0 n m 、 3 0 n m とすることが好ましい。そして、これらを貫通するスルーホールを設け、その内部に導電材料を埋め込むことにより、下面で第 1 のコンタクトプラグ 6 a と接触するビット線コンタクトプラグ 2 0 を形成する。

【 0 0 5 3 】

続いて、第 2 の絶縁材料 1 2 b の上面に、ビット線 B L となる導電材料 (第 1 の導電材料)、第 3 の絶縁材料 1 2 c 、第 4 の絶縁材料 1 2 d (セルキャパシタ形成用絶縁膜)、及び第 5 の絶縁材料 1 2 e (サポート絶縁膜) を順次成膜する。第 3 及び第 5 の絶縁材料 1 2 c , 1 2 e はシリコン窒化膜とし、第 4 の絶縁材料 1 2 d はシリコン酸化膜とする。また、ビット線 B L となる導電材料は、ポリシリコン又はタングステン等の金属膜、若しくはこれらの積層膜により構成する。第 3 乃至第 5 の絶縁材料 1 2 c ~ 1 2 e の膜厚は、それぞれ 4 0 n m 、 1 5 0 0 n m 、 1 0 0 n m とすることが好ましい。

【 0 0 5 4 】

第 5 の絶縁材料 1 2 e の形成まで終了したら、フォトリソグラフィを用いて、ビット線パターンに基づき、第 5 の絶縁材料 1 2 e 、第 4 の絶縁材料 1 2 d 、第 3 の絶縁材料 1 2 c 、ビット線 B L となる導電材料、第 2 の絶縁材料 1 2 b 、及び第 1 の絶縁材料 1 2 a を順次エッチングする。ここまでの工程により、図 6 に示すように、ビット線 B L が完成する。

【 0 0 5 5 】

次に、図 7 に示すように、基板 2 の表面に、シリコン酸化膜である第 6 の絶縁材料 1 2 f を成膜する。これにより、第 1 乃至第 5 の絶縁材料 1 2 a ~ 1 2 e 及びビット線 B L の各側面、第 5 の絶縁材料 1 2 e の上面、及び第 3 の層間絶縁層 1 1 c の露出面が第 6 の絶縁材料 1 2 f で覆われることになる。さらに、図 8 に示すように第 2 の導電材料 7 - 1 を成膜し、第 6 の絶縁材料 1 2 f の表面をこの第 2 の導電材料 7 - 1 で覆う。第 2 の導電材料 7 - 1 は、後述する第 3 の導電材料 7 - 2 を形成する際の下地導電膜となる。

【 0 0 5 6 】

なお、第 6 の絶縁材料 1 2 f の成膜量は、水平面に形成された部分 (第 3 の層間絶縁層

10

20

30

40

50

1 1 c の露出面に形成された部分)の膜厚(図 8 に示す膜厚 d)が、第 1 の絶縁材料 1 2 a の膜厚より小さくなる程度とすることが好ましい。これは、後述する工程で第 6 の絶縁材料 1 2 f に等方性のエッチングを施す際、第 2 の絶縁材料 1 2 b がエッチングされないようにするためである。具体的には、第 6 の絶縁材料 1 2 f は、膜厚 d が 2 0 n m となる程度に成膜することが好ましい。また、第 2 の導電材料 7 - 1 の膜厚は、1 0 n m とすることが好ましい。

【0 0 5 7】

次に、第 2 の導電材料 7 - 1 とシリコン酸化膜(第 6 の絶縁材料 1 2 f 及び第 3 の層間絶縁層 1 1 c)それぞれに、順次異方性のエッチバックを施す。シリコン酸化膜のエッチバックには、シリコン窒化膜(第 2 の層間絶縁層 1 1 b)がエッチングされないよう、高選択のものを用いる。これにより、図 9 に示すように、第 2 の導電材料 7 - 1 が y 方向に分離されてビット線 B L 間の領域に第 2 の層間絶縁層 1 1 b が露出するとともに、第 5 の絶縁材料 1 2 e の上端も露出する。

10

【0 0 5 8】

次に、等方性のエッチバックによりシリコン酸化膜をエッチングすることで、図 1 0 に示すように、第 2 のコンタクトプラグ 6 b の上端側面を露出させる。図示していないが、このとき、第 1 及び第 3 のコンタクトプラグ 6 a , 6 c の各上端側面も同様に露出する。

【0 0 5 9】

次に、図 1 1 に示すように第 3 の導電材料 7 - 2 を成膜し、異方性のエッチバックを行うことで、図 1 2 に示すように、第 3 の導電材料 7 - 2 を y 方向に分離する。ここまでの工程により、第 2 の導電材料 7 - 1 及び第 3 の導電材料 7 - 2 からなる下部電極と、下部電極の下端と第 1 乃至第 3 のコンタクトプラグ 6 a ~ 6 c の各上端側面とを電気的に接続するコンタクト導体 9 とが形成される。この時点で形成される下部電極及びコンタクト導体 9 はまだ x 方向には分離されておらず、この分離は後述する工程で実現する。

20

【0 0 6 0】

次に、図 1 3 及び図 1 4 に示すように、基板 2 の表面に、第 5 の絶縁材料 1 2 e の上面を上回る高さまで、シリコン酸化膜である第 4 の層間絶縁層 1 1 d を成膜する。第 4 の層間絶縁層 1 1 d は、図 1 3 (b) 及び図 1 4 (b) に示すように、ビット線 B L 間の領域を埋めることになる。そして、フォトリソグラフィによって第 4 の層間絶縁層 1 1 d をパターンニングする。このパターンニングは、下部電極及びコンタクト導体 9 のうち不要な部分を除去し、これらを x 方向に分離するために行うものであり、図 1 5 及び図 1 6 に示すように、第 4 の層間絶縁層 1 1 d を y 方向に細長い形状に加工し、不要な部分の下部電極及びコンタクト導体 9 を露出させる。また、パターンニングは高選択なエッチングにより行い、これにより、シリコン窒化膜である第 2 の層間絶縁層 1 1 b をエッチングストップパとして用いる。

30

【0 0 6 1】

次に、図 1 7 及び図 1 8 に示すように、露出した第 3 の導電材料 7 - 2 を異方性エッチングにより除去し、さらに、第 3 の導電材料 7 - 2 の除去によって露出した第 2 の導電材料 7 - 1 も同様に除去する。ここまでの工程により、図 1 や図 2 に示した第 1 乃至第 4 の下部電極 7 a ~ 7 d と、第 1 乃至第 4 のコンタクト導体 9 a ~ 9 d とが完成する。

40

【0 0 6 2】

なお、本製造方法では、以上のようにして下部電極 7 a ~ 7 d を形成していることから、メモリセル内の面積効率が向上している。つまり、板状の導電体を形成する際にはパターンニングによることが通常であり、角部の丸まりの発生が避けられないが、本製造方法ではサイドウォールとして第 2 及び第 3 の導電材料 7 - 1 , 7 - 2 を製膜しているため、角部の丸まりが発生しない。したがって、下部電極 7 a ~ 7 d を必要以上に大きくする必要がなく、その結果として、メモリセル内の面積効率が向上している。

【0 0 6 3】

次に、図 1 9 及び図 2 0 に示すように、基板 2 の表面に、シリコン酸化膜である第 5 の層間絶縁層 1 1 e を成膜し、表面を C M P (Chemical Mechanical Polishing)法を用いて

50

平坦化する。

【 0 0 6 4 】

続いて、フッ酸系のウエットエッチングを用いて、シリコン酸化膜をエッチングする。このエッチングにより、図 2 1 に示すように、ビット線 B L を挟んで対向する下部電極間に残っていた第 4 及び第 6 の絶縁材料 1 2 d , 1 2 f が除去されるとともに、図 2 2 に示すように、第 5 の層間絶縁層 1 1 e が除去される。ただし、図 2 1 及び図 2 2 に示すように、これらを完全に除去するのではなく、第 3 の絶縁材料 1 2 c の上面よりも若干高い位置でエッチングをストップする。これは、ビット線 B L や第 1 乃至第 3 のコンタクトプラグ 6 a ~ 6 c が、以降の工程で形成する上部電極 2 2 との間でキャパシタを形成しないようにするためである。ここまでの工程を経た第 3 及び第 4 の絶縁材料 1 2 c , 1 2 d は、

10

【 0 0 6 5 】

次に、図 2 3 に示すように、第 1 乃至第 4 の下部電極 7 a ~ 7 d の露出面にシリコン酸化膜を薄く (5 n m 程度) 形成し、容量絶縁膜 2 1 とする。容量絶縁膜 2 1 は、第 1 乃至第 4 の下部電極 7 a ~ 7 d を支えるために残してある第 5 の絶縁材料 1 2 e の露出面と、下部電極間に露出しているシリコン酸化膜の表面にも形成される。

【 0 0 6 6 】

最後に、図 3 に示したように、容量絶縁膜 2 1 を介して第 1 乃至第 4 の下部電極 7 a ~ 7 d と対向する上部電極 2 2 を基板 2 の全面に形成する。ここまでの工程で、半導体装置 1 が完成する。

20

【 0 0 6 7 】

以上説明したように、本実施の形態による半導体装置の製造方法によれば、ビット線 B L が直線状であり、かつセルトランジスタの長手方向 (x 方向) がビット線 B L の延伸方向に平行であり、さらにビット線 B L がセルトランジスタと平面視で重複する位置に配線された半導体装置 1 を製造することが実現される。

【 0 0 6 8 】

以上、本発明の好ましい実施形態について説明したが、本発明は、上記の実施形態に限定されることなく、本発明の主旨を逸脱しない範囲で種々の変更が可能であり、それらも本発明の範囲内に包含されるものであることはいうまでもない。

【 0 0 6 9 】

例えば、上記実施の形態ではいわゆる 6 F ² タイプの D R A M に本発明を適用した例を開示したが、本発明は他のタイプの D R A M にも好適に適用できる。

30

【 符号の説明 】

【 0 0 7 0 】

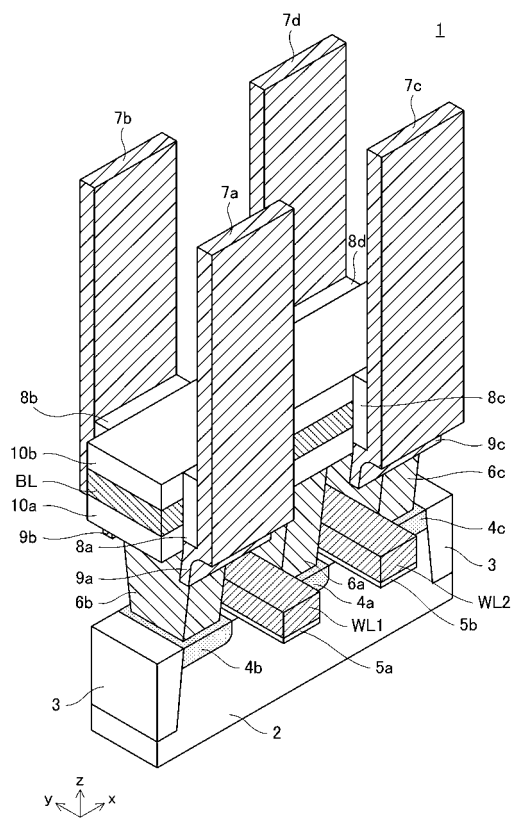
1	半導体装置	
2	基板	
3	素子分離領域	
4 a ~ 4 c	第 1 乃至第 3 の不純物拡散層 (第 1 乃至第 3 の被制御電極)	
5 a , 5 b	第 1 及び第 2 のゲート絶縁膜	
6 a ~ 6 c	第 1 乃至第 3 のコンタクトプラグ	
7 - 1 (7 a - 1 , 7 b - 1) , 7 - 2 (7 a - 2 , 7 b - 2)	第 1 及び第 2 の導電材料	
7 a ~ 7 d	第 1 乃至第 4 の下部電極	
8 a ~ 8 d	第 1 乃至第 4 の絶縁膜	
9 a ~ 9 d	第 1 乃至第 4 のコンタクト導体	
1 0 a , 1 0 b	第 1 及び第 2 の絶縁層	
1 1 a ~ 1 1 e	第 1 乃至第 5 の層間絶縁層	
1 2 a ~ 1 2 c	第 1 乃至第 3 の絶縁材料	
1 2 d	第 4 の絶縁材料 (セルキャパシタ形成用絶縁膜)	
1 2 e	第 5 の絶縁材料 (サポート絶縁膜)	

40

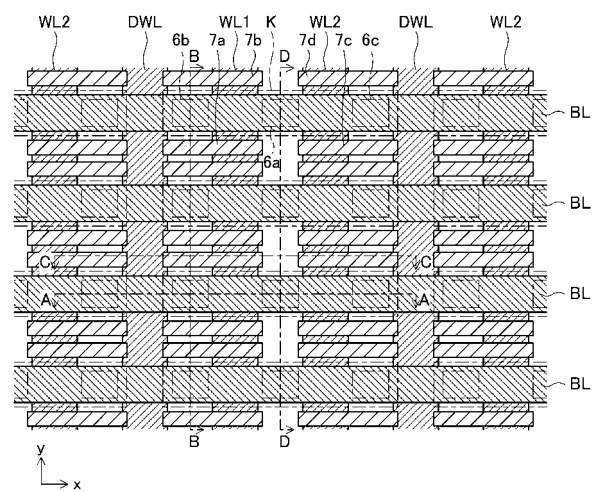
50

1 2 f	第 6 の絶縁材料
2 0	ビット線コンタクトプラグ
2 1	容量絶縁膜
2 2	上部電極
B L	ビット線
D W L	ダミーワード線
K	活性領域
W L	ワード線
W L 1 , W L 2	第 1 及び第 2 のワード線

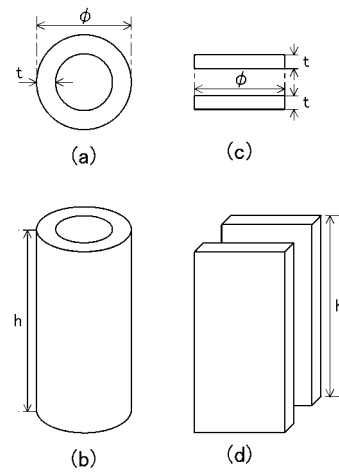
【 図 1 】



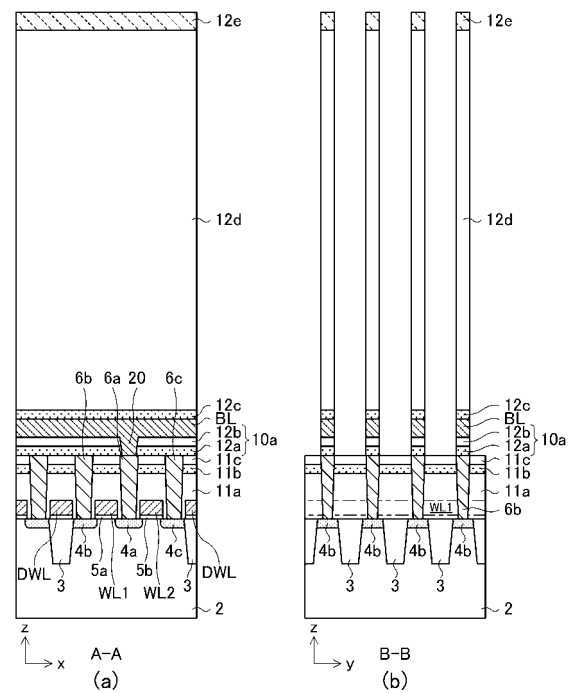
【 図 2 】



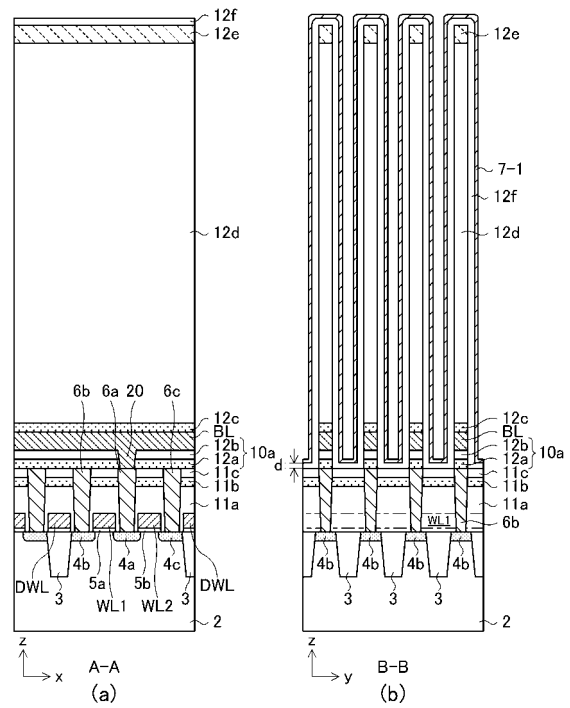
【 図 4 】



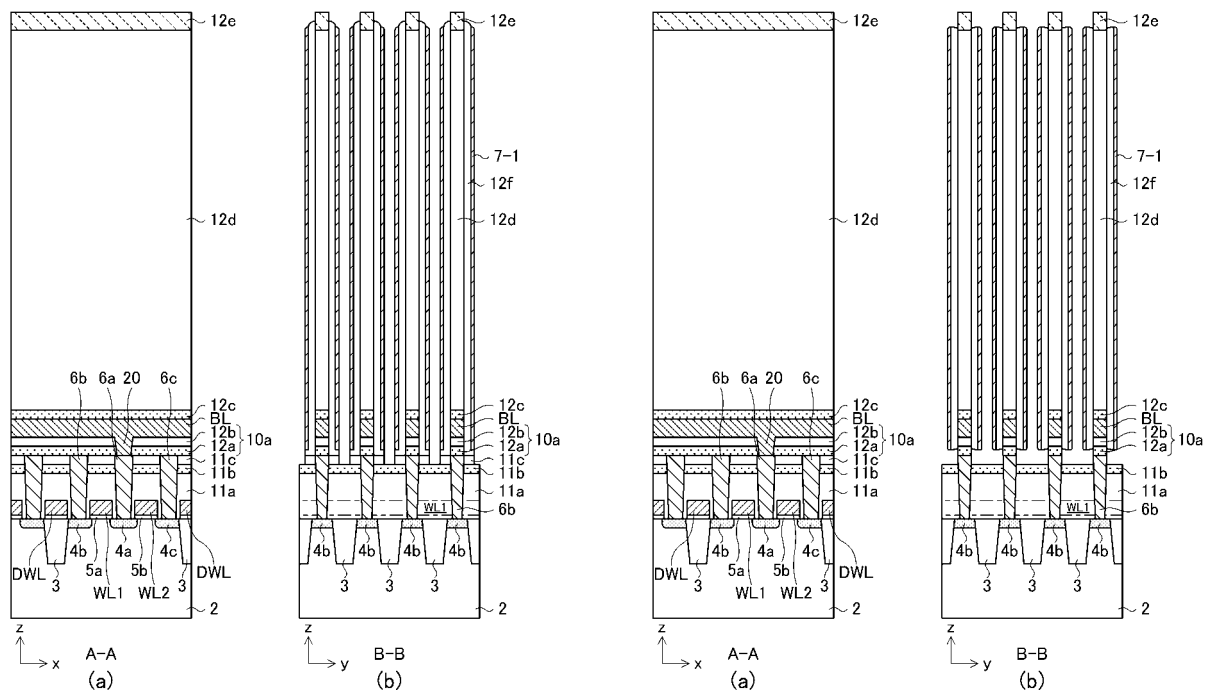
【 図 6 】



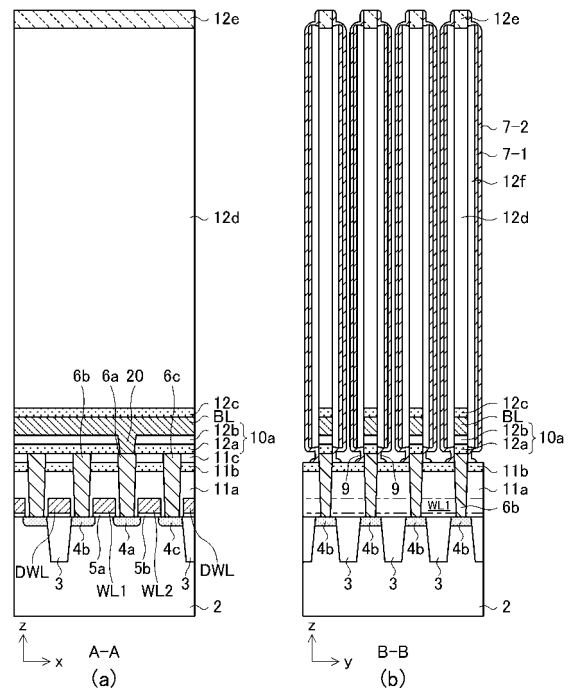
【 図 8 】



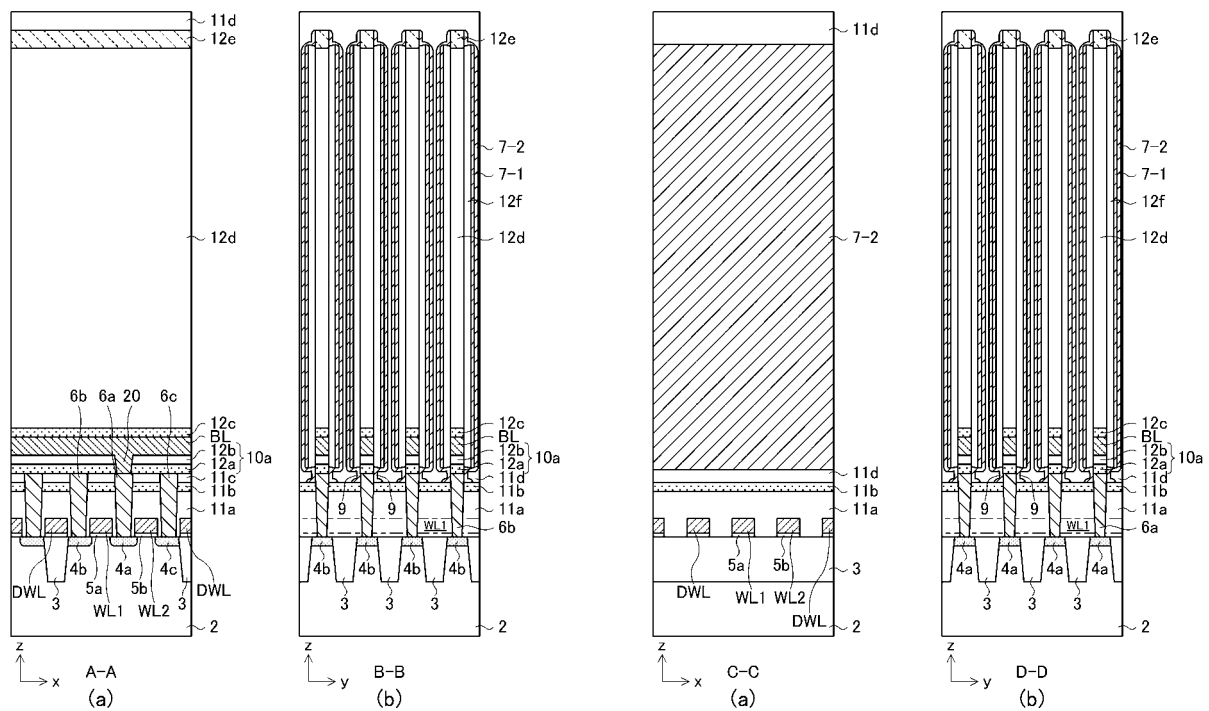
【 図 1 0 】



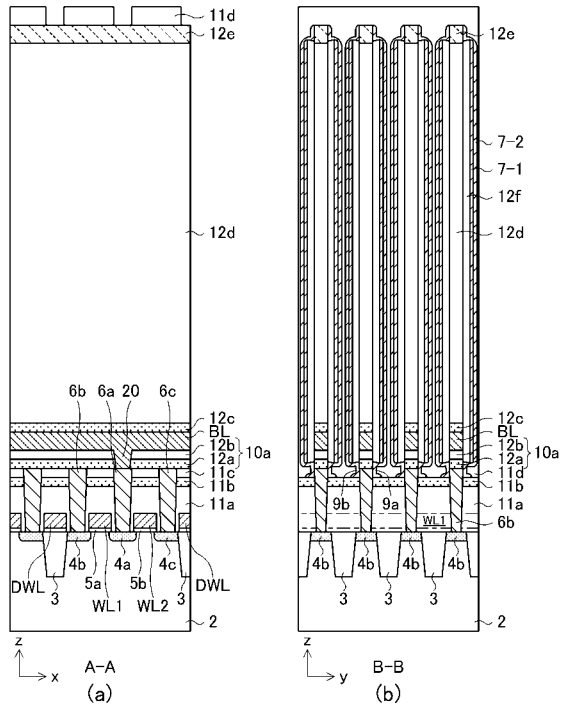
【 図 1 2 】



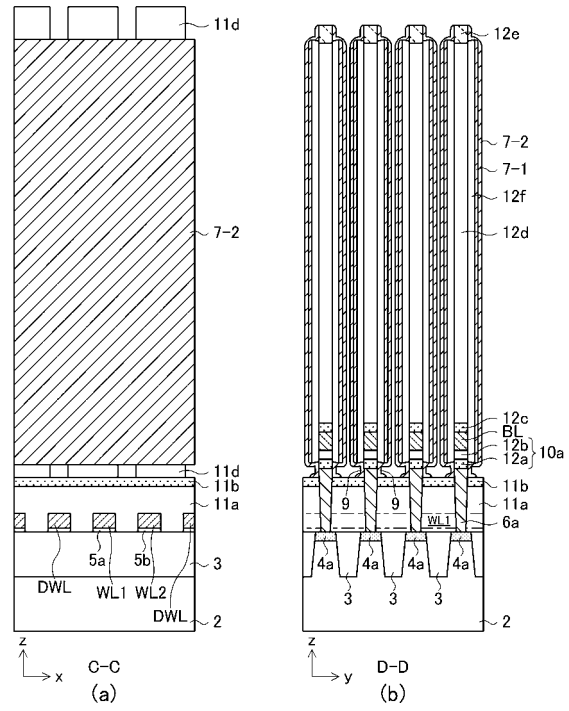
【 図 1 4 】



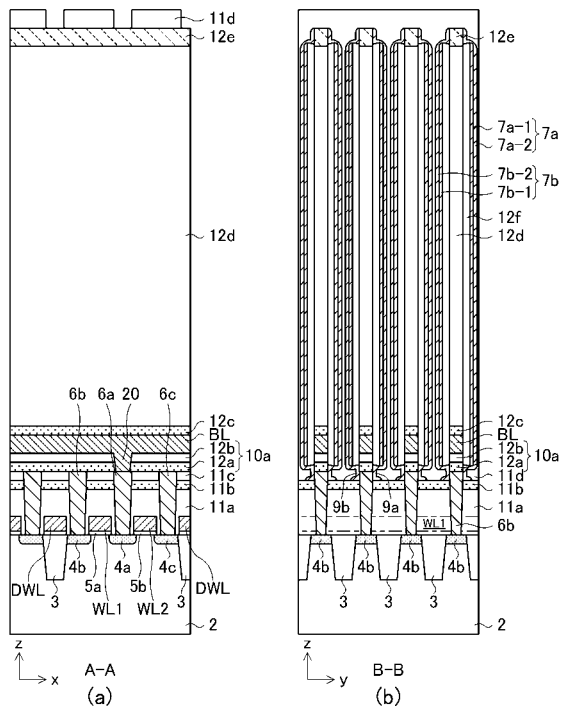
【図 15】



【図 16】



【図 17】



【図 18】

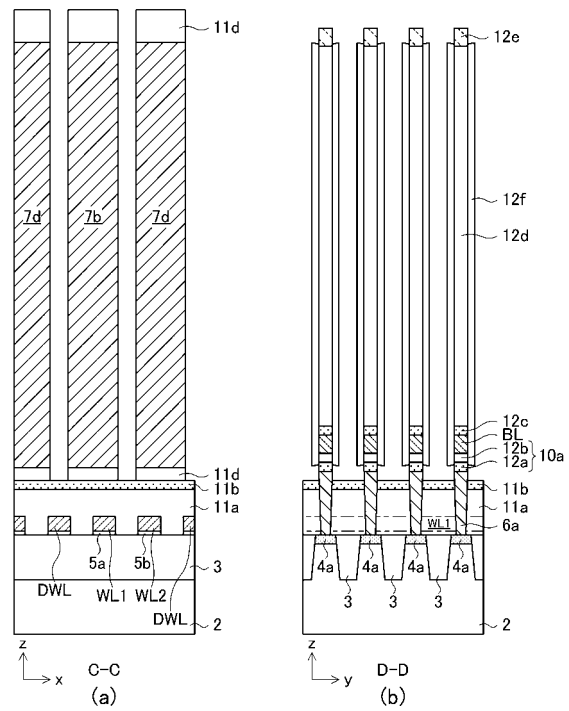


Figure 1 consists of two cross-sectional views, (a) and (b), of a semiconductor device. Both views show a substrate 2 with a gate stack 12 (12a, 12b, 12c, 12d) and a bit line 20. A conductive layer 21 is on top. Regions 7a, 7b, and 7c are defined. In view (a), the gate stack 12 is composed of layers 12a, 12b, 12c, and 12d. The bit line 20 is on top of the gate stack. The conductive layer 21 is on top of the bit line. In view (b), the gate stack 12 is composed of layers 12a, 12b, 12c, and 12d. The bit line 20 is on top of the gate stack. The conductive layer 21 is on top of the bit line. The regions 7a-1, 7a-2, 7b-1, and 7b-2 are defined. Both views show a source/drain region 3 and a word line WL1.