

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4253703号  
(P4253703)

(45) 発行日 平成21年4月15日(2009.4.15)

(24) 登録日 平成21年2月6日(2009.2.6)

(51) Int.Cl.

F I

**H04B 1/707 (2006.01)**

H04J 13/00

D

**H04L 7/00 (2006.01)**

H04L 7/00

C

請求項の数 12 (全 19 頁)

(21) 出願番号 特願2003-340824 (P2003-340824)  
 (22) 出願日 平成15年9月30日(2003.9.30)  
 (65) 公開番号 特開2005-109892 (P2005-109892A)  
 (43) 公開日 平成17年4月21日(2005.4.21)  
 審査請求日 平成18年2月24日(2006.2.24)

(73) 特許権者 308033711  
 OKIセミコンダクタ株式会社  
 東京都八王子市東浅川町550番地1  
 (73) 特許権者 503357654  
 株式会社沖ネットワークエルエスアイ  
 東京都品川区西五反田二丁目15番7号  
 (74) 上記1名の代理人 100079991  
 弁理士 香取 孝雄  
 (72) 発明者 木村 直哉  
 東京都港区芝浦四丁目10番16号 株式  
 会社沖ネットワークエルエスアイ内  
 審査官 太田 龍一

最終頁に続く

(54) 【発明の名称】 受信装置

(57) 【特許請求の範囲】

【請求項1】

直接拡散方式のスペクトル拡散信号を受信する受信装置において、該装置は、

前記スペクトル拡散信号をデジタルの受信信号に変換した出力に接続された最前段の  
 チャンネルマッチドフィルタ手段であって、シンボル同期用にクロック追従量のメモリ容量  
 を有して前記受信信号に対しレイク合成を行ってレイク合成結果を出力するチャンネルマッ  
 チドフィルタ手段と、

前記チャンネルマッチドフィルタ手段の出力に接続され、前記レイク合成結果から搬送波  
 のオフセットを除去するキャリアリカバリ手段と、

前記キャリアリカバリ手段の出力に接続され、前記搬送波のオフセットが除去されたレ  
 イク合成結果に対し、前記スペクトル拡散通信の相関を検出する相関手段と、

前記相関手段にて検出される相関結果に基づいてシンボルを抽出するシンボル検出手段  
 と、

前記シンボル検出手段にて抽出されたシンボルからデータを再生するシンボル判定手段  
 と、

前記シンボル判定手段にて再生されるデータからフレーム構成を判別するフレーム判別  
 手段と、

シンボルタイミング毎のタイミングエラー量を算出し、該タイミングエラー量に応じた  
 タイミング位相を前記チャンネルマッチドフィルタ手段に出力するシンボルタイミングリカ  
 バリ手段とを含み、

10

20

前記チャネルマッチドフィルタ手段は、前記シンボル検出手段からの第1のフィードバックに応じて前記受信信号に対しマルチフェージングを補償し、前記シンボルタイミングリカバリ手段からの第2のフィードバックにより供給される前記タイミング位相に応じて、前記受信信号にシンボル同期、符号同期およびクロック同期を実施し、

前記キャリアリカバリ手段は、前記シンボル検出手段からの第3のフィードバックに応じて前記レイク合成結果から前記搬送波の周波数オフセットを補償することを特徴とする受信装置。

#### 【請求項2】

請求項1に記載の受信装置において、前記シンボルタイミングリカバリ手段は、

前記シンボルタイミング毎のタイミングエラー量を算出するタイミングエラー検出手段と、

10

前記タイミングエラー量を時間軸にて平滑化し、平滑化した値を制御量として出力するループフィルタ手段と、

前記ループフィルタ手段からの制御量に基づいて、シンボル同期、符号同期およびクロック同期に用いるタイミング位相を生成し、該タイミング位相を前記チャネルマッチドフィルタ手段に出力する分周手段とを含むことを特徴とする受信装置。

#### 【請求項3】

請求項2に記載の受信装置において、タイミングエラー検出手段は、前記関連手段にて検出される関連電力を入力し、シンボル同期タイミングおよび $\pm 1/n$ ( $n$ :可変)シンボル同期タイミングの複数ポイントにおける関連電力の絶対値をそれぞれ保持するアーリーレジスタおよびレイトレジスタと、

20

前記アーリーレジスタおよびレイトレジスタの出力を比較し、シンボル同期タイミング位相の移動検出の誤りを低減するエラー量を生成する絶対値比較手段とを含み、

前記ループフィルタ手段は、ランダムウォークフィルタにて形成されて、前記絶対値比較手段の出力を時間軸にて平滑化することを特徴とする受信装置。

#### 【請求項4】

請求項1に記載の受信装置において、チャネルマッチドフィルタ手段は、クロック追従量 $\pm f$ のメモリ容量を有し、推定マルチパス遅延の追従範囲 $N$ のタップ数を有する第1のFIFOメモリと、

推定マルチパス遅延の追従範囲 $N$ の伝搬路特性推定結果とその前後のタップは全て"0"から構成される前後シフト機能を有する $\pm f$ のメモリ容量のタップ数を有する第1の伝搬路特性推定結果レジスタと、

30

前記第1のFIFOメモリと前記第1の伝搬路特性推定結果レジスタとのそれぞれのタップ出力を乗算する第1の乗算手段と、

前記第1の乗算手段の乗算結果を移動平均加算する第1の加算手段とを含み、

前記シンボルタイミングリカバリ手段から供給されるタイミング位相に応じて、前記第1の伝搬路特性推定結果レジスタの保持値を初期タップ位相に対し前後させてレイク合成を行い、さらにシンボル同期、符号同期およびクロック同期を行うことを特徴とする受信装置。

#### 【請求項5】

40

請求項1に記載の受信装置において、チャネルマッチドフィルタ手段は、クロック追従量 $\pm f$ のメモリ容量を有し、推定マルチパス遅延の追従範囲 $N$ のタップ数を有する第2のFIFOメモリと、

推定マルチパス遅延の追従範囲 $N$ の第2の伝搬路特性推定結果レジスタと、

$N \pm f$ のメモリ容量のタップ数を有し、前記第2のFIFOメモリの保持値から $N$ 位相分選択して入力し、該入力値を出力するマルチプレクサと、

前記マルチプレクサと前記第2の伝搬路特性推定結果レジスタの各タップ出力を乗算する第2の乗算手段と、

前記第2の乗算手段の乗算結果を移動平均加算する第2の加算手段とを含み、

前記シンボルタイミングリカバリ手段から供給されるタイミング位相に応じて、前記第

50

2 のFIFOメモリの保持値を前記マルチプレクサにN位相分選択出力させ、

前記マルチプレクサの出力と、前記第2の伝搬路特性推定結レジスタのタップ出力とを前記第2の乗算手段にて乗算してレイク合成を行い、さらにシンボル同期、符号同期およびクロック同期を実施することを特徴とする受信装置。

【請求項6】

請求項1に記載の受信装置において、前記関連手段は、前記キャリアリカバリ手段の出力に接続され、シンボル同期タイミングにおける関連結果を算出するファーストウォルッシュ変換回路と、

前記関連結果よりコードワードを算出するコードワードテーブルと、

前記コードワードを用いて、 $\pm 1/n$ ( $n$ :可変)シンボル同期タイミング位相の複数ポイントの関連電力結果を算出する関連回路とを含み、

シンボル同期タイミングおよび $\pm 1/n$ ( $n$ :可変)シンボル同期タイミング位相の複数ポイントの関連電力量を算出することを特徴とする受信装置。

【請求項7】

直接拡散方式のスペクトル拡散信号を受信する受信装置において、該装置は、

前記スペクトル拡散信号をディジタルに変換した受信信号を入力して、レイク合成を行ってレイク合成結果を出力するチャンネルマッチドフィルタ手段と、

前記チャンネルマッチドフィルタ手段の出力に接続され、前記レイク合成結果に対し、シンボル同期、符号同期およびクロック同期を行うシンボルタイミングリカバリ手段と、

前記シンボルタイミングリカバリ手段の出力に接続され、前記レイク合成結果から搬送波の周波数オフセットを除去するキャリアリカバリ手段と、

前記キャリアリカバリ手段の出力に接続され、前記搬送波の周波数オフセットが除去されたレイク合成結果に対し、前記スペクトル拡散通信の関連を検出する関連手段と、

前記関連手段にて検出される関連結果に基づいてシンボルを抽出するシンボル検出手段と、

前記シンボル検出手段にて抽出されたシンボルからデータを再生するシンボル判定手段と、

前記シンボル判定手段にて再生されるデータからフレーム構成を判別するフレーム判別手段とを含み、

前記チャンネルマッチドフィルタ手段は、前記シンボル検出手段からの第1のフィードバックに応じて前記受信信号に対しマルチフェージングを補償し、

前記シンボルタイミングリカバリ回路は、前記タイミング検出手段からの第2のフィードバック制御に応じてタイミングエラー量を生成し、該タイミングエラー量に応じた制御量により前記レイク合成結果を補間して最適推定レイク合成出力結果データを前記キャリアリカバリ手段に出力し、

前記キャリアリカバリ手段は、前記シンボル検出手段からの第3のフィードバックに応じて、前記搬送波の周波数オフセットを補償することを特徴とする受信装置。

【請求項8】

請求項7に記載の受信装置において、前記シンボルタイミングリカバリ回路は、前記タイミングエラー量を生成するタイミングエラー検出手段を含み、該タイミングエラー検出手段は、

前記関連手段にて検出される関連電力を入力し、シンボル同期タイミングから $\pm 1/n$ ( $n$ :可変)離れたシンボル同期タイミング位相の複数ポイントにおける関連電力の絶対値をそれぞれ保持し、複数シンボル間にて同相加算する第1のアーリーレジスタおよび第1のレイトレジスタと、

前記第1のアーリーレジスタの出力と、前記第1のレイトレジスタの出力とを加算してエラー量を算出する第1の加算手段と、

2シンボル毎に前記エラー量を保持して前記タイミングエラー量を生成する第1のレジスタとを含むことを特徴とする受信装置。

【請求項9】

請求項 7 に記載の受信装置において、前記シンボルタイミングリカバリ回路は、前記タイミングエラー量を生成するタイミングエラー検出手段を含み、該タイミングエラー検出手段は、

前記関連手段にて検出される関連電力を入力し、シンボル同期タイミングおよび  $\pm 1/n$  ( $n$ : 可変) シンボル同期タイミング位相の複数ポイントにおける関連電力の絶対値をそれぞれ保持し、複数シンボル間にて移動平均を算出する第 2 のアーリーレジスタおよび第 2 のレイトレジスタと、

前記第 2 のアーリーレジスタの出力と前記第 2 のレイトレジスタの出力とを加算してエラー量を算出する第 2 の加算手段と、

2 シンボル毎に前記エラー量を保持して前記タイミングエラー量を生成する第 2 のレジスタとを含むことを特徴とする受信装置。

10

【請求項 10】

請求項 7 に記載の受信装置において、前記関連手段は、前記キャリアリカバリ手段の出力に接続され、シンボル同期タイミングにおける関連結果を算出するファーストウォルッシュ変換回路と、

前記関連結果よりコードワードを算出するコードワードテーブルと、

前記コードワードを用いて、 $\pm 1/n$  ( $n$ : 可変) シンボル同期タイミング位相の複数ポイントの関連電力結果を算出する関連回路とを含み、

シンボル同期タイミングおよび  $\pm 1/n$  ( $n$ : 可変) シンボル同期タイミング位相の複数ポイントの関連電力量を算出することを特徴とする受信装置。

20

【請求項 11】

タイミング位相信号に基づいて、ディジタル化された無線周波数信号のマルチフェージングを補償してレイク合成結果を生成するチャンネルマッチドフィルタと、

前記レイク合成結果の周波数オフセットを除去するキャリアリカバリ手段と、

前記周波数オフセットを除去されたレイク合成結果の関連処理をして関連結果を生成する関連手段と、

前記関連結果からシンボルを抽出するシンボルタイミング検出手段と、

前記抽出されたシンボルを用いて前記タイミング位相信号を生成するシンボルタイミングリカバリ手段とを含み、

該シンボルタイミングリカバリ手段は、前記タイミングエラー量を生成するタイミングエラー検出手段を含み、該タイミングエラー検出手段は、

30

前記関連手段にて検出される関連電力を入力し、シンボル同期タイミングから  $\pm 1/n$  ( $n$ : 可変) 離れたシンボル同期タイミング位相の複数ポイントにおける関連電力の絶対値をそれぞれ保持し、複数シンボル間にて同相加算するアーリーレジスタおよびレイトレジスタと、

前記アーリーレジスタの出力と、前記レイトレジスタの出力とを加算してエラー量を算出する加算手段と、

2 シンボル毎に前記エラー量を保持して前記タイミングエラー量を生成するレジスタとを含み、

前記関連手段は、前記キャリアリカバリ手段の出力に接続され、シンボル同期タイミングにおける関連結果を算出するファーストウォルッシュ変換回路と、

40

前記関連結果よりコードワードを算出するコードワードテーブルと、

前記コードワードを用いて、 $\pm 1/n$  ( $n$ : 可変) シンボル同期タイミング位相の複数ポイントの関連電力結果を算出する関連回路とを含み、

シンボル同期タイミングおよび  $\pm 1/n$  ( $n$ : 可変) シンボル同期タイミング位相の複数ポイントの関連電力量を算出することを特徴とする受信装置。

【請求項 12】

タイミング位相信号に基づいて、ディジタル化された無線周波数信号のマルチフェージングを補償してレイク合成結果を生成するチャンネルマッチドフィルタと、

前記レイク合成結果の周波数オフセットを除去するキャリアリカバリ手段と、

50

前記周波数オフセットを除去されたレイク合成結果の相関処理をして相関結果を生成する相関手段と、

前記相関結果からシンボルを抽出するシンボルタイミング検出手段と、

前記抽出されたシンボルを用いて前記タイミング位相信号を生成するシンボルタイミングリカバリ手段とを含み、

該シンボルタイミングリカバリ手段は、前記タイミングエラー量を生成するタイミングエラー検出手段を含み、該タイミングエラー検出手段は、

前記相関手段にて検出される相関電力を入力し、シンボル同期タイミングおよび $\pm 1/n$ ( $n$ :可変)シンボル同期タイミング位相の複数ポイントにおける相関電力の絶対値をそれぞれ保持し、複数シンボル間にて移動平均を算出するアーリーレジスタおよびレイトレジスタと、

前記アーリーレジスタの出力と前記レイトレジスタの出力とを加算してエラー量を算出する加算手段と、

2シンボル毎に前記エラー量を保持して前記タイミングエラー量を生成するレジスタとを含み、

前記相関手段は、前記キャリアリカバリ手段の出力に接続され、シンボル同期タイミングにおける相関結果を算出するファーストウォルッシュ変換回路と、

前記相関結果よりコードワードを算出するコードワードテーブルと、

前記コードワードを用いて、 $\pm 1/n$ ( $n$ :可変)シンボル同期タイミング位相の複数ポイントの相関電力結果を算出する相関回路とを含み、

シンボル同期タイミングおよび $\pm 1/n$ ( $n$ :可変)シンボル同期タイミング位相の複数ポイントの相関電力量を算出することを特徴とする受信装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、無線LANや携帯電話等に用いられる直接拡散方式のスペクトル拡散(SS)通信の受信装置に関し、たとえば、シンボル同期、符号同期およびクロック同期等の同期およびレイクにて用いる伝搬路特性推定結果の同期を行う受信装置に関するものである。

【背景技術】

【0002】

従来、スペクトル拡散通信(Spread Spectrum Communication)システムで使用される受信機は、たとえば特許文献1に開示されているように、受信アナログ信号をデジタル信号に変換するA/D変換器と、ダウンコンバータと、レイク(Rake)受信機と、A/D変換器に結合された周波数オフセット訂正デバイスとを有し、周波数オフセット訂正デバイスは、周波数訂正項信号に応じてデジタル信号を変更し、受信信号の周波数オフセットを訂正するようにデジタルフィードバックループを形成している。

【0003】

また、非特許文献1および非特許文献2では、直接拡散方式のスペクトル拡散(SS)通信を用いない構成のタイミングエラー検出にアーリーゲートアルゴリズムを適用し、また、シンボル同期回路にインターポレーション回路を適用したものであった。

【0004】

【特許文献1】特開平07-115387号公報

【特許文献2】特開平09-107310号公報

【特許文献3】特開平07-312571号公報

【非特許文献1】F.M.Gardner「Interpolation in Digital Modems Part I」(IEEE TRANSACTIONS ON COMMUNICATIONS, VOL.41, No.3, MARCH 1993.)

【非特許文献2】L.Erup, F.M.Gardner and R.A.Harris「Interpolation in Digital Modems Part II」(IEEE TRANSACTIONS ON COMMUNICATIONS, VOL.41, No.3, MARCH 1993.)

【非特許文献3】F.M.Gardner「A BPSK/QPSK Timing-Error Detector for Sampled Receivers」(IEEE TRANSACTIONS ON COMMUNICATIONS, VOL.COM-34, No.5, pp.423-429, MAY 19

10

20

30

40

50

86.)

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、特許文献1では、信号同期に必要なクロック同期回路にダウンコンバージョン回路を適用しているため、受信機の構成を無線周波(RF)部とベースバンド部とに大別した場合のRF部とベースバンド部とのインタフェースが密結合になっていた。このため、たとえばRF部処理用のLSIとベースバンド処理用のLSIを調達しようとした場合、同じ会社のLSI同士を組み合わせる購入せざるを得なくなるという問題があった。

【0006】

また、非特許文献1および非特許文献2に示されるような同期回路は、直接拡散方式のスペクトル拡散(SS)通信を用いない構成であり、単純にSS通信に適用することができなかった。たとえば、シンボル同期、符号同期およびクロック同期を同一機能にして処理することを技術的に満足するように構成したものではなかった。

【0007】

本発明は、このような従来技術の欠点を解消し、RF部とベースバンド部とのインタフェースを粗結合としながら、回路規模の増大の問題を解決し、シンボル同期、符号同期およびクロック同期の同期追従を実施可能な受信装置を提供することを目的とする。

【課題を解決するための手段】

【0008】

本発明は上述の課題を解決するために、直接拡散方式のスペクトル拡散信号を受信する受信装置において、この装置は、スペクトル拡散信号をデジタルの受信信号に変換した出力に接続された最前段のチャンネルマッチドフィルタ手段であって、シンボル同期用にクロック追従量のメモリ容量を有して受信信号に対しレイク合成を行ってレイク合成結果を出力するチャンネルマッチドフィルタ手段と、チャンネルマッチドフィルタ手段の出力に接続され、レイク合成結果から搬送波のオフセットを除去するキャリアリカバリ手段と、キャリアリカバリ手段の出力に接続され、搬送波のオフセットが除去されたレイク合成結果に対し、スペクトル拡散通信の相関を検出する相関手段と、相関手段にて検出される相関結果に基づいてシンボルを抽出するシンボル検出手段と、シンボル検出手段にて抽出されたシンボルからデータを再生するシンボル判定手段と、シンボル判定手段にて再生されるデータからフレーム構成を判別するフレーム判別手段と、シンボルタイミング毎のタイミングエラー量を算出し、タイミングエラー量に応じたタイミング位相をチャンネルマッチドフィルタ手段に出力するシンボルタイミングリカバリ手段とを含み、チャンネルマッチドフィルタ手段は、シンボル検出手段からの第1のフィードバックに応じて受信信号に対しマルチフェージングを補償し、シンボルタイミングリカバリ手段からの第2のフィードバックにより供給されるタイミング位相に応じて、受信信号にシンボル同期、符号同期およびクロック同期を実施し、キャリアリカバリ手段は、シンボル検出手段からの第3のフィードバックに応じてレイク合成結果から搬送波の周波数オフセットを補償することとを特徴とする。

【0009】

この場合、シンボルタイミングリカバリ手段は、シンボルタイミング毎のタイミングエラー量を算出するタイミングエラー検出手段と、タイミングエラー量を時間軸にて平滑化し、平滑化した値を制御量として出力するループフィルタ手段と、ループフィルタ手段からの制御量に基づいて、シンボル同期、符号同期およびクロック同期に用いるタイミング位相を生成し、タイミング位相をチャンネルマッチドフィルタ手段に出力する分周手段とを含むとよい。

【0010】

この場合、タイミングエラー検出手段は、相関手段にて検出される相関電力を入力し、シンボル同期タイミングおよび $\pm 1/n$ ( $n$ :可変)シンボル同期タイミングの複数ポイントにおける相関電力の絶対値をそれぞれ保持するアーリーレジスタおよびレイトレジスタと、

10

20

30

40

50

アーリーレジスタおよびレイトレジスタの出力を比較し、シンボル同期タイミング位相の移動検出の誤りを低減するエラー量を生成する絶対値比較手段とを含み、ループフィルタ手段は、ランダムウォークフィルタにて形成されて、絶対値比較手段の出力を時間軸にて平滑化するとよい。

#### 【0011】

また、チャネルマッチドフィルタ手段は、クロック追従量 $\pm f$ のメモリ容量を有し、推定マルチパス遅延の追従範囲Nのタップ数を有する第1のFIFOメモリと、推定マルチパス遅延の追従範囲Nの伝搬路特性推定結果とその前後のタップは全で"0"から構成される前後シフト機能を有する $\pm f$ のメモリ容量のタップ数を有する第1の伝搬路特性推定結果レジスタと、第1のFIFOメモリと第1の伝搬路特性推定結果レジスタとのそれぞれの  
10  
タップ出力を乗算する第1の乗算手段と、第1の乗算手段の乗算結果を移動平均加算する第1の加算手段とを含み、シンボルタイミングリカバリ手段から供給されるタイミング位相に応じて、第1の伝搬路特性推定結果レジスタの保持値を初期タップ位相に対し前後させてレイク合成を行い、さらにシンボル同期、符号同期およびクロック同期を行うとよい。

#### 【0012】

また、チャネルマッチドフィルタ手段は、クロック追従量 $\pm f$ のメモリ容量を有し、推定マルチパス遅延の追従範囲Nのタップ数を有する第2のFIFOメモリと、推定マルチパス遅延の追従範囲Nの第2の伝搬路特性推定結果レジスタと、N $\pm f$ のメモリ容量のタップ数を有し、第2のFIFOメモリの保持値からN位相分選択して入力し、入力値を出力する  
20  
マルチプレクサと、マルチプレクサと第2の伝搬路特性推定結果レジスタの各タップ出力を乗算する第2の乗算手段と、第2の乗算手段の乗算結果を移動平均加算する第2の加算手段とを含み、シンボルタイミングリカバリ手段から供給されるタイミング位相に応じて、第2のFIFOメモリの保持値をマルチプレクサにN位相分選択出力させ、マルチプレクサの出力と、第2の伝搬路特性推定結果レジスタのタップ出力とを第2の乗算手段にて乗算してレイク合成を行い、さらにシンボル同期、符号同期およびクロック同期を実施するとよい。

#### 【0013】

また、相関手段は、キャリアリカバリ手段の出力に接続され、シンボル同期タイミングにおける相関結果を算出するファーストウォルッシュ変換回路と、相関結果よりコードワ  
30  
ードを算出するコードワードテーブルと、コードワードを用いて、 $\pm 1/n$ (n:可変)シンボル同期タイミング位相の複数ポイントの相関電力結果を算出する相関回路とを含み、シンボル同期タイミングおよび $\pm 1/n$ (n:可変)シンボル同期タイミング位相の複数ポイントの相関電力量を算出するとよい。

#### 【0014】

また、本発明は上述の課題を解決するために、直接拡散方式のスペクトル拡散信号を受信する受信装置において、この装置は、スペクトル拡散信号をデジタルに変換した受信信号を入力して、レイク合成を行ってレイク合成結果を出力するチャネルマッチドフィルタ手段と、チャネルマッチドフィルタ手段の出力に接続され、レイク合成結果に対し、シン  
40  
ボル同期、符号同期およびクロック同期を行うシンボルタイミングリカバリ手段と、シンボルタイミングリカバリ手段の出力に接続され、レイク合成結果から搬送波の周波数オフセットを除去するキャリアリカバリ手段と、キャリアリカバリ手段の出力に接続され、搬送波の周波数オフセットが除去されたレイク合成結果に対し、スペクトル拡散通信の相関を検出する相関手段と、相関手段にて検出される相関結果に基づいてシンボルを抽出するシンボル検出手段と、シンボル検出手段にて抽出されたシンボルからデータを再生するシンボル判定手段と、シンボル判定手段にて再生されるデータからフレーム構成を判別するフレーム判別手段とを含み、チャネルマッチドフィルタ手段は、シンボル検出手段からの第1のフィードバックに応じて受信信号に対しマルチフェージングを補償し、シンボルタイミングリカバリ回路は、タイミング検出手段からの第2のフィードバック制御に応じてタイミングエラー量を生成し、タイミングエラー量に応じた制御量によりレイク合成結  
50

果を補間して最適推定レイク合成出力結果データをキャリアリカバリ手段に出力し、キャリアリカバリ手段は、シンボル検出手段からの第3のフィードバックに応じて、搬送波の周波数オフセットを補償することを特徴とする。

【0015】

この場合、シンボルタイミングリカバリ回路は、タイミングエラー量を生成するタイミングエラー検出手段を含み、タイミングエラー検出手段は、相関手段にて検出される相関電力を入力し、シンボル同期タイミングから $\pm 1/n$ ( $n$ :可変)離れたシンボル同期タイミング位相の複数ポイントにおける相関電力の絶対値をそれぞれ保持し、複数シンボル間にて同相加算する第1のアーリーレジスタおよび第1のレイトレジスタと、第1のアーリーレジスタの出力と、第1のレイトレジスタの出力とを加算してエラー量を算出する第1の加算手段と、2シンボル毎にエラー量を保持してタイミングエラー量を生成する第1のレジスタとを含むとよい。

10

【0016】

また、シンボルタイミングリカバリ回路は、タイミングエラー量を生成するタイミングエラー検出手段を含み、タイミングエラー検出手段は、相関手段にて検出される相関電力を入力し、シンボル同期タイミングおよび $\pm 1/n$ ( $n$ :可変)シンボル同期タイミング位相の複数ポイントにおける相関電力の絶対値をそれぞれ保持し、複数シンボル間にて移動平均を算出する第2のアーリーレジスタおよび第2のレイトレジスタと、第2のアーリーレジスタの出力と第2のレイトレジスタの出力とを加算してエラー量を算出する第2の加算手段と、2シンボル毎にエラー量を保持してタイミングエラー量を生成する第2のレジスタとを含むとよい。

20

【0017】

また、相関手段は、キャリアリカバリ手段の出力に接続され、シンボル同期タイミングにおける相関結果を算出するファーストウォルッシュ変換回路と、相関結果よりコードワードを算出するコードワードテーブルと、コードワードを用いて、 $\pm 1/n$ ( $n$ :可変)シンボル同期タイミング位相の複数ポイントの相関電力結果を算出する相関回路とを含み、シンボル同期タイミングおよび $\pm 1/n$ ( $n$ :可変)シンボル同期タイミング位相の複数ポイントの相関電力量を算出するとよい。

【0018】

また、本発明は上述の課題を解決するために、タイミング位相信号に基づいて、デジタル化された無線周波数信号のマルチフェージングを補償してレイク合成結果を生成するチャネルマッチドフィルタと、レイク合成結果の周波数オフセットを除去するキャリアリカバリ回路と、周波数オフセットを除去されたレイク合成結果の相関処理をして相関結果を生成する相関回路と、相関結果からシンボルを抽出するシンボルタイミング検出回路と、抽出されたシンボルを用いてタイミング位相信号を生成するシンボルタイミングリカバリ回路とを含むことを特徴とする。

30

【発明の効果】

【0019】

本発明によれば、シンボル同期、符号同期およびクロック同期間の処理をベースバンド処理部内に分散して配賦して、本受信装置にてシンボルと符号同期およびクロック同期の同期追従を行うことができる。このためRF処理部との結合を疎とすることができ、たとえばRF処理部を構成するLSIを選択する幅が広がる。

40

【0020】

また、RF処理部と、本装置のベースバンド部とのインタフェースを粗結合としながらも、相関手段を簡素化することによりメモリ量を削減しファーストウォルッシュ変換回路を複数備える必要がないので、回路規模増大の問題を解決することができる。

【0021】

また、チャネルマッチドフィルタ手段にてマルチフェージング補償を行い、キャリアリカバリ手段にて搬送波の周波数オフセットを補償した出力を相関手段に入力しているので、マルチフェージングやチップ間干渉およびシンボル間干渉が補償または除去された信号

50

から相関電力を算出し、精度のよい相関結果に基づく同期処理結果を得ることができる。

【発明を実施するための最良の形態】

【0022】

次に添付図面を参照して本発明による受信装置の実施例を詳細に説明する。

【0023】

図1を参照すると同図には、直接拡散方式のスペクトル拡散通信(SS通信)の受信装置10のブロック図が示され、受信装置10は、不図示のRF処理部から出力される受信アナログ信号を入力12に inputsするアナログ・ディジタル(AD)コンバータ14を有し、その出力15が、ベースバンド処理部16内のチャネルマッチドフィルタ(CMF)回路20に接続されている。ベースバンド処理部16は、入力信号に対しシンボル同期等の同期を行ってデータを再生する処理回路であり、入力信号に対するシンボル同期処理を行ってシンボルを検出する。

10

【0024】

チャネルマッチドフィルタ(CMF)回路20は、FIFOレジスタを有し、入力信号に対するレイク合成を行ってレイク合成出力を出力22に出力する。詳しくは、CMF回路20は、クロック追従量のメモリ容量のタップ数を有するFIFOメモリと、推定マルチパス遅延の追従範囲の伝搬路特性推定結果を保持するレジスタと、各タップと伝搬路特性推定結果の乗算結果を移動平均加算し、伝搬路特性推定結果に基づいてチップ単位に最大比合成を行う演算回路とを含み、FIFOメモリを遅延回路としたトランスバースルフィルタが形成されている。この最前段に配置したCMF回路20によりマルチフェージング補償を行う。

20

【0025】

CMF回路20の出力22はキャリアリカバリ回路24に接続され、キャリアリカバリ回路24は、CMF回路20からのレイク合成出力結果に対し、ローテータを用いて搬送波の周波数オフセットを除去するキャリアリカバリを行う搬送波再生回路である。

【0026】

キャリアリカバリ回路24の出力26は相関回路28に接続され、相関回路28は、キャリアリカバリされたレイク合成結果に対し、直接拡散方式のスペクトル拡散通信(SS通信)用の相関を検出する相関処理を行う。相関回路28の出力はシンボルタイミング検出回路32に接続されている。本実施例における相関回路28は、検出した相関電力を後述のシンボルタイミングリカバリ回路42にシンボルタイミング検出回路32を介して供給する。

30

【0027】

シンボルタイミング検出回路32は、相関回路28における相関結果からシンボルを抽出する検出回路である。シンボルタイミング検出回路32の一方の出力36は、抽出シンボルからデータを再生するシンボル判定回路38に接続されるとともに、シンボル同期を行うキャリアリカバリ回路24にフィードバック接続されている。また、シンボルタイミング検出回路32の他方の出力40は、相関回路28の出力30を中継しておりシンボルタイミングリカバリ回路42に接続されている。シンボルタイミングリカバリ回路42の出力43はCMF回路20にフィードバック接続されている。シンボルタイミング検出回路32のさらに他方の出力44は、CMF回路20に直接フィードバック接続されている。シンボル判定回路38の一方の出力46は、入力データからたとえばPLCP(Physical Layer Convergence Protocol)形式のフレーム構成を判別するフレーム回路48に接続され、他方の出力50はCMF回路20にフィードバック接続されている。

40

【0028】

本実施例ではシンボルタイミング検出回路32からシンボルタイミングリカバリ回路42を通してCMF回路20にフィードバック接続して、シンボル同期、符号同期およびクロック同期およびレイクにて用いられる搬路特性推定結果の同期追従を行う同期回路が形成されている。

【0029】

シンボルタイミングリカバリ回路42は、図2にその構成例を示すように、相関回路28から出力され、シンボルタイミング検出回路32を介して供給される相関結果を入力40に inputsし、そのタイミングエラーを検出するタイミングエラーディテクト(TED)回路60と、TED回

50

路60の出力に接続されたループバックフィルタ(LPF)回路62と、LPF回路 62の出力に接続された分周回路64とを含み、分周回路64の出力43がCMF回路20に接続されている。

【 0 0 3 0 】

TED回路60は、シンボルタイミング毎のタイミングエラー量を算出し、LPF回路62は、TED回路60にて検出したエラー量を時間軸にて平滑化する。分周回路64は、LPF回路62からのエラー量を制御量として分周し、シンボル同期や符号同期やクロック同期に用いるタイミング位相を生成してCMF回路20に供給する。

【 0 0 3 1 】

CMF回路20は、FIFOメモリ回路66と、シンボルタイミング検出回路32の出力44に対しトレーニングシーケンスにて固定パターンを観測して適応自動等化するCMFトレーニング回路68とを含み、FIFOメモリ回路66は、分周回路64から供給されるタイミング位相により、伝搬路特性推定結果を初期タップ位相に対し前後させて、レイクにて用いる伝搬路特性推定を同期追従し、シンボル同期、符号同期およびクロック同期追従を行う。

【 0 0 3 2 】

TED回路60の構成例を図3に示す。相関回路28の出力は、シンボルタイミング検出回路32を介してTED回路60内のアーリーレジスタ300とレイトレジスタ302に入力される。アーリーレジスタ300およびレイトレジスタ302は、制御回路70(図1)から供給されるシンボル同期タイミング(ON TIMING)および $\pm 1/n$ ( $n$ :可変)シンボル同期タイミングの複数ポイントにおける相関電力の絶対値を入力して保持し、その保持値をそれぞれ絶対値比較回路304に出力する。

【 0 0 3 3 】

絶対値比較回路304は、シンボル同期タイミング位相の移動検出の誤りを、エラー量を比較することにより低減するものであり、アーリーレジスタ300およびレイトレジスタ302から出力される二乗絶対値出力を比較演算し、たとえば図4に示すように比較結果に応じた出力lead, 出力lag, 出力enを出力する。

【 0 0 3 4 】

絶対値比較回路304の出力は、ディジタルループフィルタを形成しているLPF 62に接続されている。本構成例ではLPF 62にランダムウォークフィルタ(RWF)を適用し、RWFは、不図示の後方保護二段制御回路と、可変のジッタ吸収量 $N$ の2倍値を可逆に計数する $2N$ 双方向カウンタとを含み、値を時間軸にて平滑化してジッタを抑制する。このように本実施例におけるTED回路60は、アーリー・レイト・ゲート型保護機能付き二値量子化位相比較器を形成している。

【 0 0 3 5 】

次にチャネルマッチドフィルタ(CMF)回路20の詳細構成例を図5を参照して説明する。ADコンバータ14(図1)の出力15は、クロック追従量 $\pm f$ のメモリ容量を有し推定マルチパス遅延の追従範囲 $N$ のタップ数から構成されるFIFO 500に接続されている。また、シンボルタイミングリカバリ回路42(図1)の出力43は、推定マルチパス遅延の追従範囲 $N$ の伝搬路特性推定結果のメモリ容量と、その前後のタップが全て"0"から構成される前後シフト機能を有する $\pm f$ のタップ数を有する伝搬路特性推定結果レジスタ502に接続されている。

【 0 0 3 6 】

上記それぞれのFIFO 500と伝搬路特性推定結果レジスタ502との各々のタップの出力は、対応する各タップ出力を乗算して重み付けする乗算回路510にそれぞれ接続され、各乗算回路510の乗算結果出力は、移動平均加算を行う加算回路520に接続されている。加算回路520の出力はCMF回路20の出力を構成し、キャリアリカバリ回路24に接続されている。

【 0 0 3 7 】

このような構成によりCMF回路20は、シンボルタイミングリカバリ回路42から供給されるタイミング位相("add","erase")出力43により、伝搬路特性推定結果レジスタ502の保持値を初期タップ位置に対し前後させて、レイクにて用いる伝搬路特性推定結果の同期およびシンボル同期、符号同期およびクロック同期等の同期追従を実施する。

## 【 0 0 3 8 】

チャネルマッチドフィルタ(CMF)回路20の他の構成例を図6に示す。図示するように本構成例のチャネルマッチドフィルタ(CMF)回路600は、ADコンバータ14(図1)の出力15に接続され、 $N \pm 1$ のメモリ容量のタップ数から構成されるFIFO 610と、FIFO 610の各タップからN位相分選択して出力するマルチプレクサ(MUX)回路612と、推定マルチパス遅延の追従範囲Nの伝搬路特性推定結果レジスタ614と、MUX回路612の出力と伝搬路特性推定結果レジスタ614の各タップにそれぞれ接続された乗算回路620と、各乗算回路620の乗算結果出力を移動平均加算する加算回路622と、シンボルタイミングリカバリ回路42(図1)の分周回路64(図2)から供給されるタイミング位相("add", "erase")出力43によって計数する際の増加分を+1、+2または零(0)とするシンボルタイミングNのNカウンタ624とを有する。

10

## 【 0 0 3 9 】

本構成例では、Nカウンタ624の出力をDMUX回路612に接続し、分周回路64からのタイミング位相出力43をNカウンタ624に入力することにより、伝搬路特性推定結果レジスタ614のリロード位相を相対的に前後させて同期を実施することができる。

## 【 0 0 4 0 】

以上のような構成で、受信装置10のベースバンド処理部16における動作を説明すると、外部のADコンバータ14の出力は、最前段に配置したチャネルマッチドフィルタ(CMF)回路20にてレイク合成され、シンボルタイミング検出回路32からのフィードバックに応じて多重路伝搬によるマルチフェージングを補償したレイク合成結果が得られる。次いでキャリアリカバリ回路24にて搬送波の周波数オフセットが除去される。このようにキャリアリカバリしたレイク合成結果は相関回路28にて相関処理される。この相関結果に基づいてシンボルがシンボルタイミング検出回路32にて抽出され、シンボル判定回路38にて抽出シンボルからデータが再生された後、フレーム回路48は再生データからフレーム構成を判別してフレーム信号を出力する。

20

## 【 0 0 4 1 】

これとともに、シンボルタイミングリカバリ回路42とチャネルマッチドフィルタ回路20とにより、シンボル同期、符号同期およびロック同期の同期追従が実施される。

## 【 0 0 4 2 】

シンボルタイミングリカバリ回路42では、シンボルタイミング検出回路32にて同期捕捉したシンボルタイミングと、そのシンボルタイミング前後のタイミングのパワーレベルの大きさ、極性およびタイミングが入力され、タイミングエラーディテクト回路60(図2)は、これらに基づいて、シンボルタイミング毎のタイミングエラー量を算出し、ランダムウォークフィルタによるループバックフィルタ回路62によりジッタが抑制されるとともにエラー量が時間軸にて平滑化される。

30

## 【 0 0 4 3 】

タイミングエラーディテクト回路60では、相関回路28の相関結果出力と、制御回路70からのシンボルタイミングとにより、図3に示したアーリーレジスタ300およびレイトレジスタ302の出力が絶対値比較回路304にて比較されて、シンボル同期タイミング位相の移動検出の誤りを低減するエラー量が生成される。

40

## 【 0 0 4 4 】

時間軸にて平滑化されたエラー量は分周回路64にて分周されて、シンボル同期や符号同期やクロック同期に用いるタイミング位相が生成される。

## 【 0 0 4 5 】

このタイミング位相は、チャネルマッチドフィルタ(CMF)回路20にフィードバックされて、チャネルマッチドフィルタ回路の伝搬路特性推定結果をタイミング位相により初期タップ位相に対し前後させ、レイク(rake)にて用いる伝搬路特性推定の同期追従も含めて初期同期捕捉してタイミング位相を調節した後、さらにシンボル同期、符号同期およびクロック同期追従が実施される。

## 【 0 0 4 6 】

50

チャンネルマッチドフィルタ(CMF)回路20では、図5に示したようにADコンバータから出力された受信信号がFIFO 500に入力され、また、シンボルタイミングリカバリ回路42から出力されるタイミング位相("add","erase" 43)が伝搬路特性推定結果レジスタ502に入力され、それぞれのFIFO 500と伝搬路特性推定結果レジスタ502の各々のタップの出力は、乗算回路510にてそれぞれ乗算されて、各乗算結果は、加算回路520にて移動平均加算される。

【0047】

このようにシンボルタイミングリカバリ回路から供給されるタイミング位相により、伝搬路特性推定結果をレジスタにて初期タップ位相に対し前後させて、レイクにて用いる伝搬路特性推定結果の同期、シンボル同期、符号同期およびクロック同期が実施される。

10

【0048】

この結果、相関回路28には、マルチフェージングが補償され、チップ間干渉およびシンボル間干渉を除去された信号が入力されて、精度の高い相関結果を出力することができ、高精度の同期が可能となる。

【0049】

次に、受信装置の他の構成例を図7を参照して説明する。同図を参照すると直接拡散方式のスペクトル拡散通信を行う受信装置700のベースバンド処理部が示されている。受信装置700は、不図示のアナログ・デジタル(AD)コンバータの出力702に接続されて、入力702に入力される受信信号をレイク合成するチャンネルマッチドフィルタ(CMF)回路704を有している。CMF回路704は、たとえば図2に示したCMF回路20の構成と同様の構成でよく、FIFOメモリ回路およびトレーニング回路を含む。

20

【0050】

CMF回路704の出力706は、シンボルタイミングリカバリ回路708に接続され、シンボルタイミングリカバリ回路708は、レイク合成出力結果に対し、シンボル同期や符号同期やクロック同期を行う。シンボルタイミングリカバリ回路708の出力710は、キャリアリカバリ回路712に接続され、キャリアリカバリ回路712は、搬送波の周波数オフセットを除去する。

【0051】

キャリアリカバリ回路712の出力713は相関器714に接続され、相関器714は、キャリアリカバリしたレイク合成結果に対し、直接拡散方式のスペクトル拡散通信(SS通信)用の相関検出を行う相関処理を実施する。相関器714の出力716は、シンボルタイミング検出回路718に接続されている。

30

【0052】

シンボルタイミング検出回路(STD) 718は、シンボルタイミングの初期同期捕捉や同期タイミング検出を行って相関結果からシンボルを抽出する。シンボルタイミング検出回路718の出力720は、シンボル判定回路722とキャリアリカバリ回路712とに接続されている。また、シンボルタイミング検出回路718の出力724はCMF回路704に接続されている。さらにSTD 718は、相関器714の出力を出力726に接続して、相関器714からのアーリータイミング信号とレイトタイミング信号とをシンボルタイミングリカバリ回路708に供給する。

【0053】

40

シンボル判定回路722は、シンボルタイミング検出回路718にて検出された抽出シンボルからデータを再生する。シンボル判定回路722の一方の出力728は、入力データからたとえばPLCP形式のフレーム構成を判別するフレーム回路730に接続され、他方の出力732はキャリアリカバリ回路712にフィードバック接続されている。

【0054】

シンボルタイミングリカバリ回路708は、図8にその構成例を示すように、シンボルタイミング検出(STD)回路718にて検出された抽出シンボルを入力726に入力し、シンボルタイミング毎にタイミングエラー量(TED<sub>e</sub>)を検出するタイミングエラーディテクト(TED)回路800と、TED回路800の出力に接続されタイミングエラー量(TED<sub>e</sub>)を時間軸にて平滑化し、平滑化したタイミングエラー量を制御量として出力するループフィルタ回路802と、ル

50

ープフィルタ回路802の出力に接続された制御回路804と、補間処理を行うインターポレーション回路806とを含み、インターポレーション回路806の出力はシンボルタイミングリカバリ回路708の出力710を構成している。

【 0 0 5 5 】

TED回路800は、相関器714の出力716を中継して出力するSTD回路718の出力726に接続され、図9に示すようにこの出力726は、シンボル同期タイミングから $\pm 1/n$ ( $n$ ; 可変)離れたシンボル同期タイミング位相の複数ポイントの相関電力の絶対値を受領し、エラー量を複数シンボル間にて同相加算するアーリーレジスタ900とレイトレジスタ902とに接続されている。アーリーレジスタ900およびレイトレジスタ902の各出力は加算器904に接続されている。加算器904は、加算演算によりエラー量を算出し演算結果をレジスタ906に出力する。レジスタ906は、STD回路718から供給されるシンボルタイミングに基づいて、加算器904から出力されて入力holdに入力するエラー量を保持して、タイミングエラー量(TED<sub>e</sub>)として2シンボル毎にループフィルタ回路802に供給する。このような構成により、オーバーサンプリング位相におけるスペクトル逆拡散後の結果量がシンボル間で互い違いに相殺される。

【 0 0 5 6 】

図8に戻って制御回路804は、ループフィルタ回路802から供給される制御量に基づいて、シンボル同期、符号同期およびクロック同期に用いる最適推定シンボルタイミング位相値を算出する。制御回路804の出力はインターポレーション回路806に接続されている。

【 0 0 5 7 】

インターポレーション回路806は、CMF回路704から出力されるレイク合成出力結果データを入力し、最適推定シンボルタイミング位相値に基づいて最適推定を行い、その最適推定レイク合成出力結果データを出力710に出力する。この最適推定シンボルタイミング位相値は、 $1/n$ チップクロック位相を持つものである。ここで、シンボルタイミングを" $m$ "、オーバーサンプリング数を" $a$ "、同期に必要なタイミングを" $n$ "とすると、クロック単位に換算した場合、シンボルタイミングは" $am$ "となっており、チップタイミングは" $1/a$ "であるから、" $n$ "は基準となるシンボルタイミングに対し $n = m/a$ である。

【 0 0 5 8 】

図7に戻って、キャリアリカバリ回路712の出力713に接続された相関器714は、キャリアリカバリされたレイク合成結果に対し、直接拡散方式のスペクトル拡散通信方式のCCK変調(Complementary Code Keying)に対応する相関処理を行う回路である。相関器714の内部構成例を図10に示す。

【 0 0 5 9 】

図示するように相関器714は、レイク合成結果を入力してシンボル同期タイミングにおける相関結果を算出する相関回路1000を含み、相関回路1000は、ファーストウォルッシュ変換(FWT)回路を含み、ピーク位相とピークパワーとを出力716に出力する。この出力716は、シンボルタイミング検出回路718(図7)に接続されている。また、相関回路1000は、入力信号の相関結果を出力1010に出力する。相関回路1000の出力1010は、シンボル判定回路722(図7)とコードワードテーブル1020とに接続されている。

【 0 0 6 0 】

コードワードテーブル1020は、相関結果に対応するコードワード(codeword)を選択して出力するテーブルであり、たとえば、図11および図12に示すようなコードワードを備え、入力位相 2 ~ 4 に対応するコードワード $c_0 \sim c_7$ を出力1030に出力する。コードワードテーブル1020の出力1030は、2つの相関回路1040, 1050にそれぞれ接続されている。

【 0 0 6 1 】

相関回路1040, 1050は、それぞれコードワードテーブル1020にて算出したコードワード $c_0 \sim c_7$ を用いて、 $\pm 1/n$ ( $n$ ; 可変)シンボル同期タイミング位相の複数ポイントの相関電力量を算出する回路である。一方の相関回路1040は、入力信号に応じてアーリータイミング信号を出力し、他方の相関回路1050は、入力信号に応じてレイトタイミング信号を出力する。これら相関回路1040, 1050は、たとえばマッチドフィルタ(MF)やI & D(integrate and

dump)フィルタなどにて構成される。なお、図10に示した相関器714の構成は、図1に示した相関回路28の構成として適用することができる。

【0062】

以上のような構成で、受信装置内のベースバンド処理部700の動作を説明すると、外部のADコンバータから出力される受信信号が最前段のチャンネルマッチドフィルタ(CMF)回路704に入力されてレイク合成されて、このレイク合成結果に基づいてシンボルタイミングリカバリ回路708は搬送波の周波数オフセットを除去し、シンボル同期、符号同期およびクロック同期が行われる。

【0063】

このようにしてキャリアリカバリしたレイク合成結果出力は相関器714に入力されて直接拡散方式のスペクトル拡散通信の相関処理が実施される。相関器714によって生成された相関結果は、シンボルタイミング検出回路718にて、シンボルタイミングの初期同期捕捉や同期タイミング検出が行われて、相関結果に基づいてシンボルが抽出される。シンボル判定回路722は、抽出されたシンボルからデータを再生し、さらにフレーム回路730は、シンボル判定回路722の出力データからフレーム構成を判別する。

【0064】

シンボルタイミングリカバリ回路708では、図8に示したように、タイミングエラーディテクト回路800にて、シンボルタイミング毎のタイミングエラー量(TED<sub>e</sub>)が算出される。このタイミングエラーディテクト回路800内のアーリーレジスタ900とレイトレジスタ902とは、シンボル同期タイミングから $\pm 1/n$ ( $n$ :可変)離れたシンボル同期タイミング位相の複数ポイントの相関電力の絶対値が相関器714からSTD回路718を介して入力され、これら入力値はアーリーレジスタ900とレイトレジスタ902とにて複数シンボル間でそれぞれ同相加算される。アーリーレジスタ900とレイトレジスタ902との各出力はさらに加算器904にて加算されて、その加算結果はレジスタ906にて2シンボル毎保持され、タイミングエラー量(TED<sub>e</sub>)として、ループフィルタ回路802に出力される。

【0065】

このように、エラー量を複数シンボル間同相加算することにより、オーバーサンプリング位相における直接拡散方式のスペクトル逆拡散後の結果量がシンボル間で互い違いで相殺され、エラー量に応じて発生する制御の発生頻度を減少させることができる。

【0066】

タイミングエラー量(TED<sub>e</sub>)は、ループフィルタ回路802に入力されて時間軸にて平滑化される。この平滑化したエラー量(TED<sub>e</sub>)を制御量として制御回路804は、シンボル同期、符号同期およびクロック同期に用いる最適推定シンボルタイミング位相を算出する。インターポレーション回路806では、制御回路804にて算出された最適推定シンボルタイミング位相値に基づいて、チャンネルマッチドフィルタ704からのレイク合成出力結果データから最適推定レイク合成出力結果データを生成して出力する。

【0067】

このようにチャンネルマッチドフィルタ704からのレイク合成出力結果をダウンサンプリングせずにインターポレーション回路806へ入力し、インターポレーションにおけるダウンサンプリングによって $1/n$ チップクロック位相を出力し、シンボル同期、符号同期およびクロック同期が実施され、シンボルタイミングリカバリ回路708の出力をキャリアリカバリ回路712に入力して、キャリアリカバリ回路712にて搬送波の周波数オフセットが補償される。したがって直接拡散方式のスペクトル拡散通信の相関を実施する相関器714へはマルチフェージングやチップ間干渉およびシンボル間干渉を補償または除去された信号が入力されるから、相関器714にて精度の高い相関結果を出力することができる。

【0068】

相関器714では、図10に示したように、キャリアリカバリ回路712の出力をファーストウォルッシュ変換回路を有する相関回路1000に入力し、シンボル同期タイミングにおける相関結果を算出するとともに、相関結果に応じたコードワードをコードワードテーブル1020にて求める。相関回路1040,1050では、入力信号から、 $\pm 1/n$ ( $n$ :可変)シンボル同期タイミ

10

20

30

40

50

ング位相の複数ポイントの相関電力結果がコードワードを用いて算出される。このように、CCK変調適用アーリー・レイト・ゲート型シンボル同期タイミングを検出する構成を得ることができ、相関器714では、ファーストウォルッシュ変換回路を複数備えることなく、回路規模を削減することができる。

【図面の簡単な説明】

【0069】

【図1】本発明が適用された受信装置のベースバンド処理部の構成例を示すブロック図である。

【図2】図1に示した実施例におけるチャネルマッチドフィルタ(CMF)およびシンボルタイミングリカバリ回路の内部構成例とそれらの接続状態を示すブロック図である。

10

【図3】図2に示したタイミングエラーディテクト(TED)回路の内部構成例を示すブロック図である。

【図4】図3に示した絶対値比較回路における比較結果の出力値を示す図である。

【図5】チャネルマッチドフィルタ(CMF)の構成例を示すブロック図である。

【図6】チャネルマッチドフィルタ(CMF)の他の構成例を示すブロック図である。

【図7】本発明が適用された受信装置のベースバンド処理部の他の構成例を示すブロック図である。

【図8】シンボルタイミングリカバリ回路の構成例を示すブロック図である。

【図9】図8に示したシンボルタイミングリカバリ回路内のタイミングエラーディテクト回路の内部構成例を示すブロック図である。

20

【図10】相関器の構成例を示すブロック図である。

【図11】図10に示した相関器内のコードワードテーブルのコードワードを示す図である。

【図12】図10に示した相関器内のコードワードテーブルのコードワードを示す図である。

【符号の説明】

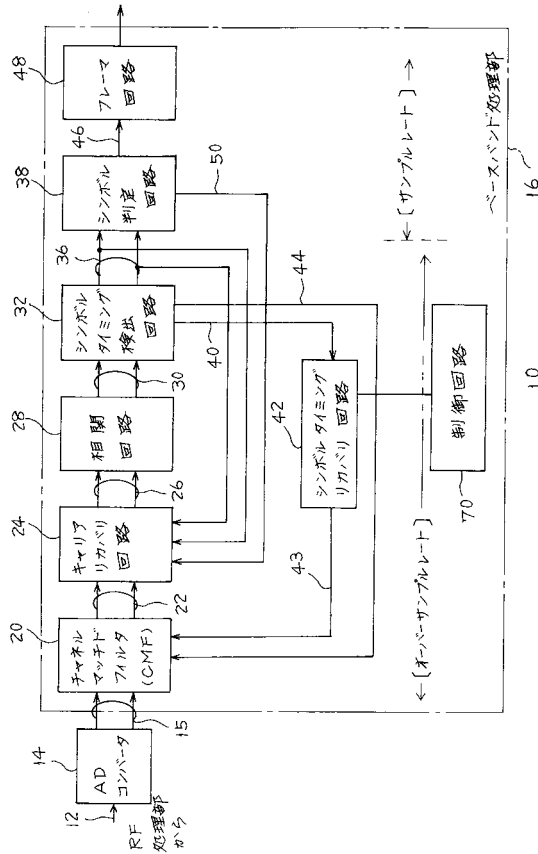
【0070】

- 10 受信装置
- 16 ベースバンド処理部
- 20 チャネルマッチドフィルタ(CMF)
- 24 キャリアリカバリ回路
- 28 相関回路
- 32 シンボルタイミング検出回路
- 38 シンボル判定回路
- 42 シンボルタイミングリカバリ回路
- 48 フレーマ回路
- 60 タイミングエラーディテクト(TED)回路
- 62 ループバックフィルタ(LPF)
- 64 分周回路
- 66 FIFOメモリ回路
- 68 CMFトレーニング回路

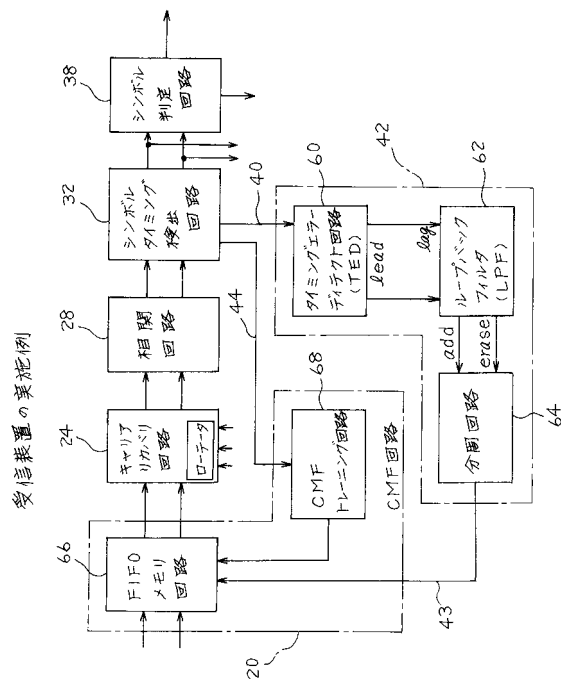
30

40

【図 1】

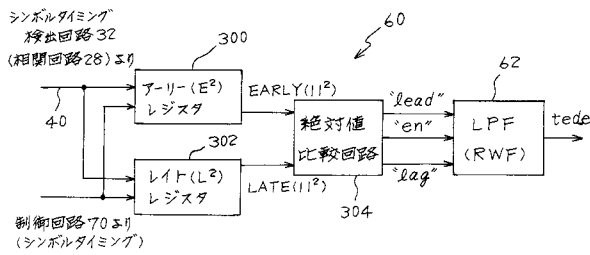


【図 2】



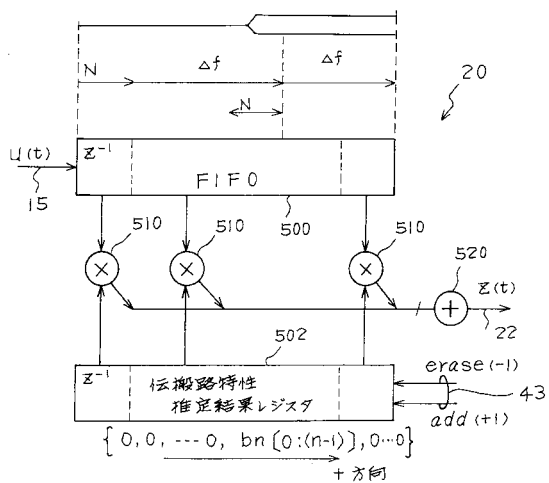
チャネルマッチングフィルタおよびシンボルタイミングリカバリ回路の構成例

【図 3】



タイミングエラー検出回路の構成例

【図 5】



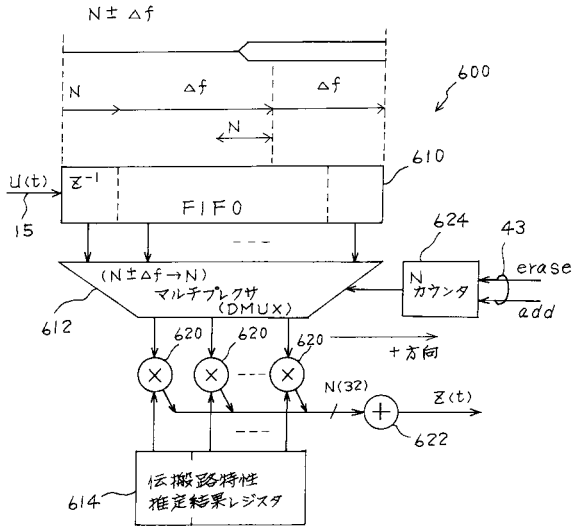
チャネルマッチングフィルタの構成例

【図 4】

INPUT	lead	lag	en
$EARLY(I I^2) > LATE(I I^2)$ and $EARLY(I I^2) < ON\ TIME(I I^2)$	1	0	0
$EARLY(I I^2) < LATE(I I^2)$ and $LATE(I I^2) < ON\ TIME(I I^2)$	0	1	0
$EARLY(I I^2) > LATE(I I^2)$ and $EARLY(I I^2) > ON\ TIME(I I^2)$	1	0	1
$EARLY(I I^2) < LATE(I I^2)$ and $LATE(I I^2) > ON\ TIME(I I^2)$	0	1	1
$EARLY(I I^2) = LATE(I I^2)$	0	0	0
Not condition	1	1	0

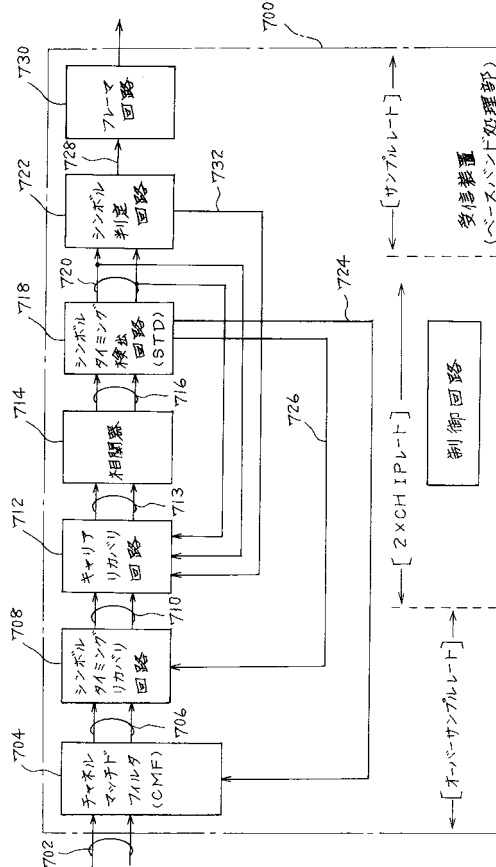
絶対値比較回路の比較結果

【図 6】



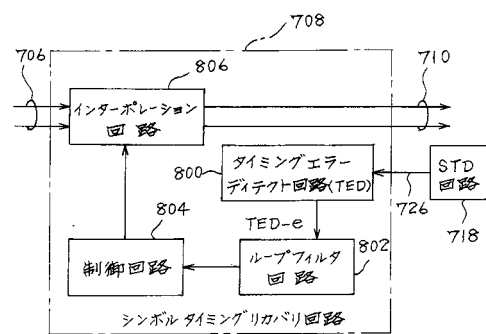
チャネル マッチド フィルタの他の構成例

【図 7】



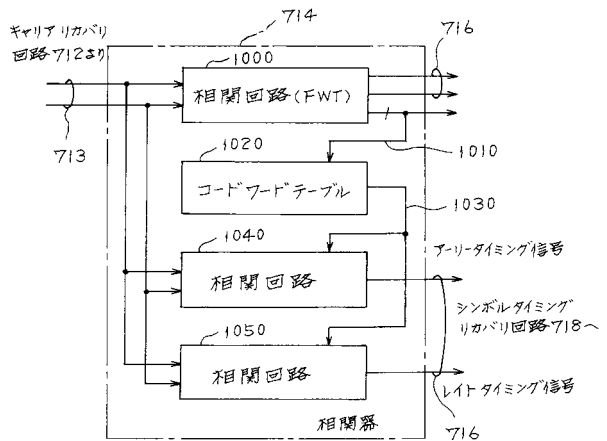
受信装置の他の構成例

【図 8】



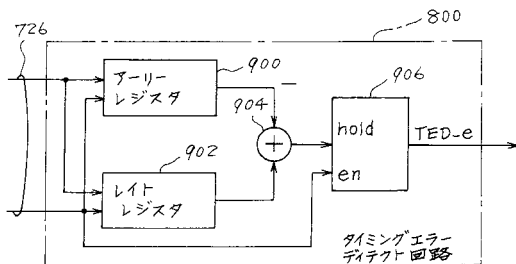
シンボル タイミング リカバリ 回路の構成例

【図 10】



相関器の構成例

【図 9】



タイミング エラー デテクト 回路の構成例

【図 11】

$\phi 2$	$\phi 3$	$\phi 4$	c0	c1	c2	c3	c4	c5	c6	c7	アドレス
+1	+1	+1	+1	+1	+1	-1	+1	+1	-1	+1	0
+1	+1	+j	+j	+j	+j	-j	+1	+1	-1	+1	1
+1	+1	-1	-1	-1	-1	+1	+1	+1	-1	+1	2
+1	+1	-j	-j	-j	-j	+j	+1	+1	-1	+1	3
+1	+j	+1	+j	+j	+1	-1	+j	+j	-1	+1	4
-1	+j	+j	-1	-1	+j	-j	+j	+j	-1	+1	5
-1	+j	-1	-j	-j	-1	+1	+j	+j	-1	+1	6
-1	+j	-j	+1	+1	-j	+j	+j	+j	-1	+1	7
-1	-1	+1	-1	-1	+1	-1	-1	-1	-1	+1	8
-1	-1	+j	-j	-j	+j	-j	-1	-1	-1	+1	9
+1	-1	-1	+1	+1	+1	+1	-1	-1	-1	+1	10
+1	-1	-j	+j	+j	-j	-j	-1	-1	-1	+1	11
+1	-j	+1	-j	-j	+1	-1	-j	-j	-1	+1	12
+1	-j	+j	+1	+1	+j	-j	-j	-j	-1	+1	13
+1	-j	-1	+j	+j	-1	+1	-j	-j	-1	+1	14
+1	-j	-j	-1	-1	-j	-j	-j	-j	-j	+1	15
+j	+1	+1	+j	+1	+j	-1	+j	+1	-j	+1	16
+j	+1	+j	-1	+j	-1	-j	+j	+1	-j	+1	17
+j	+1	-1	-j	-1	-j	+1	+j	+1	-j	+1	18
+j	+1	-j	+1	-j	-1	+j	+j	+1	-j	+1	19
+j	+j	+1	-1	+j	+j	-1	-1	+j	-j	+1	20
+j	+j	+j	-j	-1	-1	-j	-1	+j	-j	+1	21
+j	+j	-1	+1	-j	-j	+1	-1	+j	-j	+1	22
+j	+j	-j	+j	+1	+1	+j	-1	+j	-j	+1	23
+j	-1	+1	-j	-1	+j	-1	-j	-1	-j	+1	24
+j	-1	+j	+1	-j	-1	-j	-j	-1	-j	+1	25
+j	-1	-1	+j	+1	-j	+1	-j	-1	-j	+1	26
+j	-1	-j	-1	+j	+1	+j	-j	-1	-j	+1	27
+j	-j	+1	+1	-j	+j	-1	+1	-j	-j	+1	28
+j	-j	+j	+j	+1	-1	-j	+1	-j	-j	+1	29
+j	-j	-1	-1	+j	-j	+1	+1	-j	-j	+1	30
+j	-j	-j	-j	-1	-1	+1	+j	+1	-j	+1	31

コードワードテーブルのコードワード

【図 12】

$\phi 2$	$\phi 3$	$\phi 4$	c0	c1	c2	c3	c4	c5	c6	c7	アドレス
-1	+1	+1	-1	+1	-1	-1	-1	+1	+1	-1	32
-1	+1	+j	-j	+j	-j	-j	-1	+1	+1	+1	33
-1	+1	-1	+1	-1	+1	+1	-1	+1	+1	+1	34
-1	+1	-j	+j	-j	+j	+j	-1	+1	+1	+1	35
-1	+j	+1	-j	+j	-1	-1	-j	+j	+1	+1	36
-1	+j	+j	+1	-1	-j	-j	-j	+j	+1	+1	37
-1	+j	-1	+j	-j	+1	+1	-j	+j	+1	+1	38
-1	+j	-j	-1	+1	+j	+j	-j	+j	+1	+1	39
-1	-1	+1	+1	-1	-1	-1	+1	-1	+1	+1	40
-1	-1	+j	+j	-j	-j	-j	+1	-1	+1	+1	41
-1	-1	-1	-1	+1	+1	+1	+1	-1	+1	+1	42
-1	-1	-j	-j	+j	+j	+j	+1	-1	+1	+1	43
-1	-j	+1	+j	-j	-1	-1	+j	-j	+1	+1	44
-1	-j	+j	-1	+1	-j	-j	+j	-j	+1	+1	45
-1	-j	-1	-j	+j	+1	+1	+j	-j	+1	+1	46
-1	-j	-j	+1	-1	+j	+j	+j	-j	+1	+1	47
-j	+1	+1	-j	+1	-j	-1	-j	+1	+j	+1	48
-j	+1	+j	+1	+j	+1	-j	-j	+1	+j	+1	49
-j	+1	-1	+j	-1	+j	+1	-j	+1	+j	+1	50
-j	+1	-j	-1	-j	-1	+j	-j	+1	+j	+1	51
-j	+j	+1	+1	+j	-j	-1	+1	+j	+j	+1	52
-j	+j	+j	+j	-1	+1	-j	+1	+j	+j	+1	53
-j	+j	-1	-1	-j	+j	+1	+1	+j	+j	+1	54
-j	+j	-j	-j	+1	-1	+j	+1	+j	+j	+1	55
-j	-1	+1	+j	-1	-j	-1	+j	-1	+j	-1	56
-j	-1	+j	-1	-j	+1	-j	+j	-1	+j	-1	57
-j	-1	-1	-j	+1	+j	+1	+j	-1	+j	-1	58
-j	-1	-j	+1	+j	-1	+j	+j	-1	+j	+1	59
-j	-j	+1	-1	-j	-j	-1	-1	-j	+j	+1	60
-j	-j	+j	-j	+1	+1	-j	-1	-j	+j	+1	61
-j	-j	-1	+1	+j	+j	+1	-1	-j	+j	+1	62
-j	-j	-j	+j	-1	-1	+j	-1	-j	+j	+1	63

コードワードテーブルのコードワード

---

フロントページの続き

(56)参考文献 特開2001-044892(JP,A)  
特開平09-312592(JP,A)  
特開平11-266232(JP,A)  
特表2002-539666(JP,A)  
特開平10-200503(JP,A)  
特開平07-030519(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04B	1 / 707
H04L	7 / 00