

(19) 日本国特許庁(JP)

(12) **公開特許公報(A)**

(11) 特許出願公開番号

特開2012-165018

(P2012-165018A)

(43) 公開日 平成24年8月30日(2012.8.30)

(51) Int.Cl.

F 1

テーマコード (参考)

H O 1 L 29/78 (2006.01)

H01 L 29/78 652 H

HO 1 L 29/739 (2006.01)

H01 L 29/78 655 B

HO 1 L 21/336 (2006.01)

H O 1 L 29/78 6 5 3 A

H O 1 L 29/78 6 5 5 C

H O 1 L 29/78 658A

審査請求 有 請求項の数 36 O L (全 48 頁) 最終頁に続く

(21) 出願番号 特願2012-102877 (P2012-102877)

(22) 出願日 平成24年4月27日 (2012. 4. 27)

(62) 分割の表示 特願2002-555085 (P2002-555085)
の分割

原出願日 平成13年2月1日 (2001.2.1)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目7番3号

(74) 代理人 110001195

特許業務法人深見特許事務所

(72) 発明者 中村 勝光

東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

(72) 発明者 楠 茂

東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

(72) 発明者 中村 秀城

東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

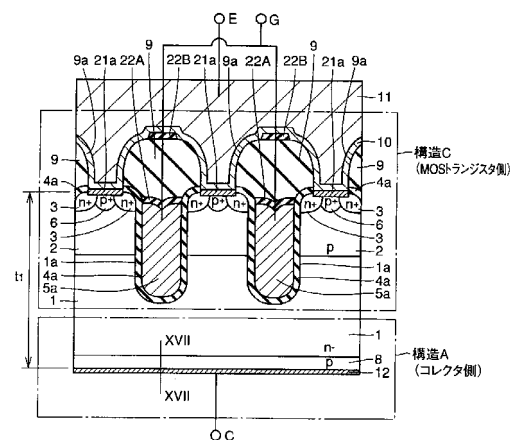
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】低ON電圧化と、破壊耐量の確保と、高電圧側でのスイッチングロスの低減とを実現することができる半導体装置およびその製造方法を提供する。

【解決手段】互いに対向する第1主面および第2主面を有する半導体基板と、第1主面側に絶縁ゲート構造を有しかつ第1主面と第2主面との間で主電流が流れるパワーデバイスであり、半導体基板の厚み（ t_1 ）が50 μm 以上250 μm 以下で、かつ第1主面には低ON電圧化および高い破壊耐量を実現する絶縁ゲート型MOSトランジスタ構造を備える。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

互いに対向する第 1 主面および第 2 主面を有する半導体基板と、

前記第 1 主面側に絶縁ゲート構造を有し、かつ前記第 1 主面と前記第 2 主面との間で主電流が流れる絶縁ゲート型電界効果トランジスタ部を含む素子とを備え、

前記絶縁ゲート型電界効果トランジスタ部のゲート電極 (5 a) は、前記半導体基板の前記第 1 主面に設けられたゲート用溝 (1 a) 内に形成されており、

前記半導体基板の厚みが $50\text{ }\mu\text{m}$ 以上 $250\text{ }\mu\text{m}$ 以下である、半導体装置。

【請求項 2】

前記絶縁ゲート型電界効果トランジスタ部は、第 1 導電型のソース拡散層 (3) とドレイン拡散層 (1) とを有しており、 10

前記第 1 導電型のソース拡散層 (3) は前記第 1 主面に形成され、かつ第 2 導電型のボディ領域 (2) を挟んで前記ドレイン拡散層 (1) と対向していることを特徴とする、請求項 1 記載の半導体装置。

【請求項 3】

前記第 2 主面に形成された第 2 導電型の不純物拡散層 (8) をさらに備え、

前記不純物拡散層 (8) の前記第 2 主面における不純物表面濃度は、 $5 \times 10^{15}\text{ cm}^{-3}$ 以上であることを特徴とする、請求項 2 記載の半導体装置。

【請求項 4】

前記不純物拡散層 (8) の前記第 2 主面からの拡散深さは $1\text{ }\mu\text{m}$ 以下であることを特徴とする、請求項 3 記載の半導体装置。 20

【請求項 5】

前記不純物拡散層 (8) における不純物活性化率は 50% 以下であることを特徴とする、請求項 3 記載の半導体装置。

【請求項 6】

前記不純物拡散層 (8) と前記ドレイン拡散層 (1) とは p n 接合を構成しており、

前記ドレイン拡散層 (1) は前記不純物拡散層 (8) と接する領域に第 1 導電型の第 1 の高濃度領域 (7) を有しており、

前記第 1 の高濃度領域 (7) は、前記不純物拡散層 (8) の不純物濃度ピーク以下の濃度の不純物濃度ピークを有していることを特徴とする、請求項 3 記載の半導体装置。 30

【請求項 7】

前記第 1 の高濃度領域 (7) は、前記第 2 主面から $2\text{ }\mu\text{m}$ 以下の深さの範囲内に位置していることを特徴とする、請求項 6 記載の半導体装置。

【請求項 8】

前記半導体基板の前記第 1 主面には前記ゲート用溝 (1 a) が形成されており、前記ゲート用溝 (1 a) 内には前記絶縁ゲート型電界効果トランジスタ部の前記ゲート電極 (5 a) が埋め込まれており、前記ゲート電極 (5 a) の上面は前記ゲート用溝 (1 a) 内から突出していることを特徴とする、請求項 1 記載の半導体装置。

【請求項 9】

前記半導体基板の前記第 1 主面には前記ゲート用溝 (1 a) が形成されており、前記ゲート用溝 (1 a) 内には前記絶縁ゲート型電界効果トランジスタ部の前記ゲート電極 (5 a) が埋め込まれており、前記ゲート電極 (5 a) の上面は前記第 1 主面よりも前記第 2 主面側に退行していることを特徴とする、請求項 1 記載の半導体装置。 40

【請求項 10】

前記第 1 主面側に前記ソース拡散層 (3) と電氣的に接続されたソース側電極 (1 1) をさらに備えたことを特徴とする、請求項 2 記載の半導体装置。

【請求項 11】

前記半導体基板は、前記第 1 主面にソース側電極用溝 (1 b) を有しており、前記ソース側電極用溝 (1 b) 内には前記ソース側電極 (1 1) に電氣的に接続された導電層 (5 b) が埋め込まれていることを特徴とする、請求項 10 記載の半導体装置。 50

【請求項 1 2】

前記ソース側電極用溝（1 b）が複数個設けられており、
複数個の前記ソース側電極用溝（1 b）内を埋め込む前記導電層（5 b）の各々は単一の層により一体的に形成されていることを特徴とする、請求項 1 1 記載の半導体装置。

【請求項 1 3】

前記ソース側電極（1 1）は、溝が設けられていない前記第 1 主面上に形成されており、前記溝が設けられていない前記第 1 主面には前記ソース側電極（1 1）と電氣的に接続するように第 2 導電型の第 2 の高濃度領域（6）が設けられていることを特徴とする、請求項 1 0 記載の半導体装置。

【請求項 1 4】

互いに対向する第 1 主面および第 2 主面を有する半導体基板と、
前記第 1 主面側に絶縁ゲート構造を有し、かつ前記第 1 主面と前記第 2 主面との間で主電流が流れる絶縁ゲート型電界効果トランジスタ部を含む素子とを備え、
前記絶縁ゲート型電界効果トランジスタ部は前記半導体基板に形成された第 1 導電型のドレイン拡散層（1）を有し、
前記素子は、前記ドレイン拡散層（1）と前記第 2 主面との間において前記ドレイン拡散層（1）と p n 接合を構成するように前記第 2 主面に形成され、かつ不純物活性化率が 5 0 % 以下の第 2 導電型の不純物拡散層（8）を有する、半導体装置。

【請求項 1 5】

前記不純物拡散層（8）の前記第 2 主面における不純物表面濃度は、 $5 \times 10^{15} \text{ cm}^{-3}$ 以上であることを特徴とする、請求項 1 4 記載の半導体装置。

【請求項 1 6】

前記不純物拡散層（8）の前記第 2 主面からの拡散深さは $1 \mu\text{m}$ 以下であることを特徴とする、請求項 1 4 記載の半導体装置。

【請求項 1 7】

前記不純物拡散層（8）と前記絶縁ゲート型電界効果トランジスタ部のドレイン拡散層（1）とは p n 接合を構成しており、

前記ドレイン拡散層（1）は前記不純物拡散層（8）と接する領域に第 1 導電型の第 1 の高濃度領域（7）を有しており、

前記第 1 の高濃度領域（7）は、前記不純物拡散層（8）の不純物濃度ピーク以下の濃度の不純物濃度ピークを有していることを特徴とする、請求項 1 4 記載の半導体装置。

【請求項 1 8】

前記第 1 の高濃度領域（7）は、前記第 2 主面から $2 \mu\text{m}$ 以下の深さの範囲内に位置していることを特徴とする、請求項 1 7 記載の半導体装置。

【請求項 1 9】

前記半導体基板の前記第 1 主面にはゲート用溝（1 a）が形成されており、前記ゲート用溝（1 a）内には前記絶縁ゲート型電界効果トランジスタ部のゲート電極（5 a）が埋め込まれており、前記ゲート電極（5 a）の上面は前記ゲート用溝内から突出していることを特徴とする、請求項 1 4 記載の半導体装置。

【請求項 2 0】

前記半導体基板の前記第 1 主面にはゲート用溝（1 a）が形成されており、前記ゲート用溝（1 a）内には前記絶縁ゲート型電界効果トランジスタ部のゲート電極（5 a）が埋め込まれており、前記ゲート電極（5 a）の上面は前記第 1 主面よりも前記第 2 主面側に退行していることを特徴とする、請求項 1 4 記載の半導体装置。

【請求項 2 1】

前記第 1 主面側に、前記絶縁ゲート型電界効果トランジスタ部のソース拡散層（3）と電氣的に接続されたソース側電極（1 1）をさらに備えたことを特徴とする、請求項 1 4 記載の半導体装置。

【請求項 2 2】

前記半導体基板は、前記第 1 主面にソース側電極用溝（1 b）を有しており、前記ソー

10

20

30

40

50

ス側電極用溝（１ｂ）内には前記ソース側電極（１１）に電氣的に接続された導電層（５ｂ）が埋め込まれていることを特徴とする、請求項２１記載の半導体装置。

【請求項２３】

前記ソース側電極用溝（１ｂ）が複数個設けられており、

複数個の前記ソース側電極用溝（１ｂ）内を埋め込む前記導電層（５ｂ）の各々は単一の層により一体的に形成されていることを特徴とする、請求項２２記載の半導体装置。

【請求項２４】

前記ソース側電極（１１）は、溝が設けられていない前記第１主面上に形成されており、前記溝が設けられていない前記第１主面には前記ソース側電極（１１）と電氣的に接続するように第２導電型の第２の高濃度領域（６）が設けられていることを特徴とする、請求項２１記載の半導体装置。

10

【請求項２５】

互いに対向する第１主面および第２主面を有する第１導電型の半導体基板を準備する工程と、

前記半導体基板の前記第１主面に第２導電型のボディ領域（２）を形成する工程と、

前記ボディ領域（２）内の前記第１主面に第１導電型のソース拡散層（３）を形成する工程と、

前記半導体基板の前記第１主面にゲート用溝（１ａ）を形成する工程と、

ドレイン拡散層（１）となる前記半導体基板の第１導電型領域と前記ソース拡散層（３）とに挟まれる前記ボディ領域（２）にゲート絶縁膜（４ａ）を介して対向するように前記ゲート用溝（１ａ）内にゲート電極（５ａ）を形成する工程と、

20

前記ドレイン拡散層（１）と前記ソース拡散層（３）と前記ゲート電極（５ａ）とを有する絶縁ゲート型電界効果トランジスタ部を形成した後に、前記ドレイン拡散層（１）の前記第２主面を除去して前記半導体基板の厚みを５０μｍ以上２５０μｍ以下にする工程とを有する、半導体装置の製造方法。

【請求項２６】

前記第２主面が除去された後に、前記半導体基板の前記第２主面に第２導電型の不純物拡散層（８）を形成する工程をさらに備えた、請求項２５記載の半導体装置の製造方法。

【請求項２７】

前記不純物拡散層（８）はイオン注入により形成されることを特徴とする、請求項２６記載の半導体装置の製造方法。

30

【請求項２８】

前記不純物拡散層（８）は不純物活性化率が５０％以下となるように形成されることを特徴とする、請求項２６記載の半導体装置の製造方法。

【請求項２９】

前記ドレイン拡散層（１）の研磨された前記第２主面に、前記ドレイン拡散層（１）よりも高い不純物濃度を有する第１導電型の高濃度領域（７）を形成する工程をさらに備え、

前記不純物拡散層（８）は、前記高濃度領域（７）とpn接合を構成するように前記第２主面に形成され、

40

前記高濃度領域（７）は、前記不純物拡散層（８）の不純物濃度ピーク以下の濃度の不純物濃度ピークを有していることを特徴とする、請求項２６記載の半導体装置の製造方法。

【請求項３０】

前記高濃度領域（７）は、前記第２主面から２μｍ以下の深さの範囲内に位置するように形成されることを特徴とする、請求項２９記載の半導体装置の製造方法。

【請求項３１】

前記ゲート電極（５ａ）は前記ゲート用溝（１ａ）内を埋め込むように形成されることを特徴とする、請求項２５記載の半導体装置の製造方法。

【請求項３２】

50

前記ゲート電極（５ａ）は、上面が前記ゲート用溝（１ａ）内から突出するように形成されることを特徴とする、請求項３１記載の半導体装置の製造方法。

【請求項３３】

前記ゲート電極（５ａ）は、上面が前記第１主面よりも前記第２主面側に退行するように形成されることを特徴とする、請求項３１記載の半導体装置の製造方法。

【請求項３４】

前記ソース拡散層（３）と電氣的に接続されたソース側電極（１１）を前記第１主面側に形成する工程をさらに備えたことを特徴とする、請求項２５記載の半導体装置の製造方法。

【請求項３５】

前記半導体基板の前記第１主面にソース側電極用溝（１ｂ）を形成する工程をさらに備え、

前記ソース側電極（１１）に電氣的に接続された導電層（５ｂ）が前記ソース側電極用溝（１ｂ）内を埋め込むように形成されることを特徴とする、請求項３４記載の半導体装置の製造方法。

【請求項３６】

前記ソース側電極用溝（１ｂ）は複数個形成され、

複数個の前記ソース側電極用溝（１ｂ）内を埋め込むように前記ソース側電極用導電層が前記第１主面上に形成された後にパターニングされることにより、複数個の前記ソース側電極用溝（１ｂ）内を埋め込む前記導電層（５ｂ）の各々が単一の層により一体的に形成されることを特徴とする、請求項３５記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、半導体装置およびその製造方法に関し、半導体基板の薄膜化における半導体基板裏面のコレクタ構造およびその製造方法に関するものである。

【背景技術】

【０００２】

数百Ｖを超える電圧を制御する高耐圧半導体装置の分野では、その取扱う電流も大きなことから、発熱、すなわち損失を抑えた素子特性が要求される。また、それらの電圧・電流を制御するゲートの駆動方式としては、駆動回路が小さく、そこでの損失の小さな電圧駆動素子が望ましい。

【０００３】

近年、上記のような理由で、この分野では電圧駆動が可能で、損失の少ない素子として、絶縁ゲートバイポーラトランジスタ、すなわちＩＧＢＴ（Insulated Gate Bipolar Transistor）が主流となってきている。このＩＧＢＴの構造は、ＭＯＳ（Metal Oxide Semiconductor）トランジスタのドレインの不純物濃度を低くして耐圧を保たせるとともに、ドレイン抵抗を低くするためにドレイン側をダイオードとしたものとみなすことができる構造である。

【０００４】

このようなＩＧＢＴにおいてはダイオードがバイポーラ動作をするため、本願においては、ＩＧＢＴのＭＯＳトランジスタのソースをエミッタと呼び、ドレイン側をコレクタ側と呼ぶ。

【０００５】

電圧駆動素子であるＩＧＢＴでは一般に、コレクタとエミッタ間に数百Ｖの電圧が印加され、その電圧が±数Ｖ～数十Ｖのゲート電圧によって制御される。また、ＩＧＢＴはインバータとして用いられることが多く、ゲートがオン状態にある場合にはコレクタ・エミッタ間の電圧は低い、大電流が流れ、ゲートがオフ状態にある場合には電流は流れないがコレクタ・エミッタ間の電圧は高くなっている。

【０００６】

通常は、上記のようなモードで I G B T の動作が行なわれるため、損失はオン状態での電流・電圧積である定常損失と、オン状態とオフ状態とが切替わる過渡時のスイッチング損失とに分けられる。オフ状態でのリーク電流・電圧積は非常に小さいため無視することができる。

【0007】

一方、たとえば負荷が短絡した場合など異常な状態にあっても、素子の破壊を防ぐことも重要である。この場合は、コレクタ・エミッタ間に数百 V の電源電圧が印加されたまま、ゲートがオンし、大電流が流れることになる。

【0008】

M O S トランジスタとダイオードとを直列に接続した構造を持つ I G B T では、M O S トランジスタの飽和電流で最大電流が制限される。このため、上記のような短絡時にも電流制限が働き、一定の時間発熱することによる素子の破壊を防ぐことができる。

【0009】

図 7 5 は、従来の半導体装置の構成を概略的に示す断面図である。互いに対向する第 1 主面および第 2 主面を有する半導体基板に I G B T が形成されている。n⁻シリコン層 1 0 1 の第 1 主面側には p 型ボディ領域 1 0 2 が形成されており、この p 型ボディ領域 1 0 2 内の第 1 主面には n 型エミッタ領域 1 0 3 と p⁺不純物拡散領域 1 0 6 とが形成されている。

【0010】

この n 型エミッタ領域 1 0 3 と p 型ボディ領域 1 0 2 を突き抜けて n⁻シリコン層 1 0 1 に達するようにゲート用溝 1 0 1 a が形成されている。このゲート用溝 1 0 1 a の内表面に沿うようにゲート絶縁膜 1 0 4 a が形成されており、かつゲート用溝 1 0 1 a 内を埋め込むようにゲート電極 1 0 5 a が形成されている。ゲート電極 1 0 5 a の上面には酸化膜よりなる絶縁膜 1 2 2 A が形成されている。

【0011】

この n⁻シリコン層 1 0 1 と n 型エミッタ領域 1 0 3 とゲート電極 1 0 5 a とにより、n⁻シリコン層 1 0 1 をドレインとし、n 型エミッタ領域 1 0 3 をソースとする絶縁ゲート型電界効果トランジスタ（ここでは M O S トランジスタ）が構成されている。

【0012】

第 1 主面上には絶縁膜 1 0 9 および 1 2 2 B が形成されており、この絶縁膜 1 0 9、1 2 2 B には、n 型エミッタ領域 1 0 3 と p⁺不純物拡散領域 1 0 6 との表面に達するコンタクトホール 1 0 9 a が形成されている。絶縁膜 1 0 9、1 2 2 B の上面およびコンタクトホール 1 0 9 a 内表面にバリアメタル層 1 1 0 が形成されており、バリアメタル層 1 1 0 と半導体基板との接触部にはシリサイド層 1 2 1 a が形成されている。このバリアメタル層 1 1 0 およびシリサイド層 1 2 1 a を介して n 型エミッタ領域 1 0 3 および p⁺不純物拡散領域 1 0 6 と電氣的に接続するようにエミッタ電極 1 1 1 が第 1 主面上に形成されている。

【0013】

n⁻シリコン層 1 0 1 の第 2 主面側には n 型バッファ領域 1 0 7 と p 型コレクタ領域 1 0 8 とが形成されている。この p 型コレクタ領域 1 0 8 には、たとえばアルミニウム化合物よりなるコレクタ電極 1 1 2 が電氣的に接続されている。

【0014】

このような従来の半導体装置において半導体基板の厚み t_2 は、300～400 μm であり、場合によっては 500 μm である。

【0015】

次に、図 7 5 に示す従来の半導体装置の製造方法について説明する。

図 7 6～図 8 5 は、従来の半導体装置の製造方法を工程順に示す概略断面図である。図 7 6 を参照して、まず、コレクタ領域となる p 型半導体基板 1 0 8 上にエピタキシャル成長法により n 型バッファ領域 1 0 7 と n⁻シリコン層 1 0 1 とが形成される。この n⁻シリコン層 1 0 1 の第 1 主面側に p 型ボディ領域 1 0 2 が形成され、その上にたとえばシリコ

10

20

30

40

50

ン酸化膜よりなる絶縁膜 1 3 1 が形成される。

【0016】

図 7 7 を参照して、この絶縁膜 1 3 1 が、通常の写真製版技術およびエッチング技術によりパターニングされる。このパターニングされた絶縁膜 1 3 1 をマスクとして p 型ボディ領域 1 0 2 にイオン注入などすることにより、n 型エミッタ領域 1 0 3 が形成される。この後、絶縁膜 1 3 1 が除去される。

【0017】

図 7 8 を参照して、第 1 主面全面に熱酸化膜 1 3 2 および C V D (Chemical Vapor Deposition) 酸化膜 1 3 3 とが順に形成された後にパターニングされる。このパターニングされた熱酸化膜 1 3 2 および C V D 酸化膜 1 3 3 をマスクとして半導体基板に異方性エッチングが施される。これにより、ゲート用溝 1 0 1 a が n 型エミッタ領域 1 0 3 と p 型ボディ領域 1 0 2 とを突き抜けて n⁻シリコン層 1 0 1 に達するように形成される。

10

【0018】

図 7 9 を参照して、等方性プラズマエッチングおよび犠牲酸化などの処理が行なわれる。これにより、ゲート用溝 1 0 1 a の開口部と底部とは丸くなり、かつゲート用溝 1 0 1 a の側壁の凹凸が平坦化される。さらにゲート用溝 1 0 1 a の内表面に沿うように犠牲酸化膜 1 3 2 a が形成され、熱酸化膜 1 3 2 と一体化する。この後、C V D 酸化膜 1 3 3 と熱酸化膜 1 3 2 と犠牲酸化膜 1 3 2 a とが除去される。

【0019】

図 8 0 を参照して、この除去により半導体基板の表面が露出する。

20

図 8 1 を参照して、ゲート用溝 1 0 1 a の内表面上および半導体基板の第 1 主面上にシリコン酸化膜などからなるゲート絶縁膜 1 0 4 a が形成される。さらにゲート用溝 1 0 1 a 内を埋め込むように半導体基板の第 1 主面上には、リンが高濃度に導入された多結晶シリコンなどからなる導電層 1 0 5 が形成される。この後、この導電層 1 0 5 が、ゲート絶縁膜 1 0 4 a の上部表面が露出するまで除去される。

【0020】

図 8 2 を参照して、これにより、ゲート用溝 1 0 1 a 内を埋め込むように導電層 1 0 5 が残存され、ゲート電極 1 0 5 a が形成される。この後、ゲート電極 1 0 5 a の上面に絶縁膜 1 2 2 A が形成される。

【0021】

30

図 8 3 を参照して、たとえばシリケートガラスよりなる絶縁膜 1 0 9 および C V D 酸化膜よりなる絶縁膜 1 2 2 B が順に形成された後にパターニングされ、コンタクトホール 1 0 9 a が開口される。

【0022】

図 8 4 を参照して、表面全面にバリアメタル層 1 1 0 が形成される。この後、ランプアニールなどが施されることにより、バリアメタル層 1 1 0 と半導体基板との接触部分にシリサイド層 1 2 1 a が形成される。バリアメタル層 1 1 0 上に、エミッタ電極 1 1 1 が形成される。

【0023】

図 8 5 を参照して、p 型コレクタ領域 1 0 8 が研磨除去される。

40

この後、第 2 主面において p 型コレクタ領域 1 0 8 と接続するようにコレクタ電極 1 1 2 が形成されて図 7 5 に示す従来の半導体装置が完成する。

【0024】

図 7 5 に示す構成では、半導体基板の第 2 主面側に厚い高濃度の p 型コレクタ領域 1 0 8 が存在するため、デバイスが ON する際にコレクタ側（第 2 主面側）からのホールの注入効率が高くなる。これにより、低 ON 電圧化（低 R_{ON} 化）が実現できる。

【発明の概要】

【発明が解決しようとする課題】

【0025】

しかしながら、図 7 5 に示す構成では、デバイスが ON 時に流れる主電流が非常に大き

50

くなり、かつ飽和電流が大きくなる結果、デバイス自身で電流の制御ができず無負荷でのデバイス動作時の破壊耐量を確保することおよび向上することが困難であった。

【0026】

また、図75に示す構成では、第2主面側に厚くて高濃度のp型コレクタ領域108が存在するため、デバイスON時のコレクタ側（第2主面側）からのホールの注入効率が非常に高くなる。このため、コレクターエミッタ間の電圧 V_{ce} が高い場合（高電圧でのスイッチングの場合）のターンオフ時のスイッチングロスが増加してしまう。

【0027】

さらに、図76～図85に示す製造方法では、プロセスの最初から第2主面側にp型コレクタ領域108およびn型バッファ領域107が存在し、かつn型バッファ領域107およびn⁻シリコン層101はエピタキシャル成長により形成されていた。このため、基板の高価格化を招き、かつ基板厚みの自由度に制限があった。

【0028】

本発明の一の目的は、低ON電圧化を実現し、破壊耐量を確保するとともに、高電圧側でのスイッチングロスを低減できる半導体装置およびその製造方法を提供することである。

【0029】

また本発明の他の目的は、プロセス中の変動によるデバイス特性の悪影響を防止できる半導体装置およびその製造方法を提供することである。

【0030】

また本発明のさらに他の目的は、基板厚みの自由度の制限が少なくなり、かつ低価格化に適した半導体装置の製造方法を提供することである。

【課題を解決するための手段】

【0031】

本発明の一の局面に従う半導体装置は、互いに対向する第1主面および第2主面を有する半導体基板と、第1主面側に絶縁ゲート構造を有し、かつ第1主面と第2主面との間で主電流が流れる絶縁ゲート型電界効果トランジスタ部を含む素子とを備え、半導体基板の厚み（n⁻ドリフト層の厚み）が50 μm 以上250 μm 以下である。

【0032】

なお、本願では半導体基板の厚みとドリフト層の厚みとは同じことを意味する。

本発明の一の局面に従う半導体装置によれば、半導体基板の厚みが従来例よりも薄くされているため、厚み方向の抵抗成分が少なくなり、かつ低ON電圧化を得るため第1主面に絶縁ゲート型電界効果トランジスタ構造を備えることで低ON電圧化（低 R_{ON} 化）が実現できる。

【0033】

また、半導体基板の厚みを50 μm 以上250 μm 以下とし、かつ破壊耐量を向上する絶縁ゲート型電界効果トランジスタ構造を兼ね備えているため、デバイス動作時の破壊耐量を確保できるとともに、ロスを低減することができる。

【0034】

半導体基板の厚みが50 μm 未満では、薄すぎてデバイス動作時の破壊耐量を確保し難い。また、半導体基板の厚みが250 μm を超えると、 V_{ON} が高くなる。これにより、定常ロス E_{DC} が大きくなり、ロスを低減することが困難となる。

【0035】

上記一の局面において好ましくは、絶縁ゲート型電界効果トランジスタ部は、第1導電型のソース拡散層とドレイン拡散層とを有しており、第1導電型のソース拡散層は第1主面に形成されかつ第2導電型のボディ領域を挟んでドレイン拡散層と対向している。

【0036】

このような絶縁ゲート型電界効果トランジスタ部を有する素子に本発明は好適である。

上記一の局面において好ましくは、第2主面に形成された第2導電型の不純物拡散層がさらに備えられており、不純物拡散層の第2主面における不純物表面濃度は $5 \times 10^{15} \text{ cm}^{-2}$

10

20

30

40

50

m^{-3} 以上である。

【0037】

これにより、 V_{ON} 、 V_{CES} の経時変化を抑制でき、その経時変化によるデバイス特性への悪影響を防止することができる。

【0038】

上記一の局面において好ましくは、不純物拡散層の第2主面からの拡散深さは $1\ \mu\text{m}$ 以下である。

【0039】

このように不純物拡散層を薄く形成できるため、半導体基板の厚みを薄くすることができる。

10

【0040】

上記一の局面において好ましくは、不純物拡散層における不純物活性化率は50%以下である。

【0041】

これにより、プロセス条件の変動によるデバイス特性への悪影響を防止することができる。

【0042】

上記一の局面において好ましくは、不純物拡散層とドレイン拡散層とはpn接合を構成しており、ドレイン拡散層は不純物拡散層と接する領域に第1導電型の第1の高濃度領域を有しており、第1の高濃度領域は不純物拡散層の不純物濃度ピーク以下の濃度の不純物濃度ピークを有している。

20

【0043】

これにより、主接合リーク特性が減少し、耐圧が上昇するとともに、ターンオフ時の I_{C} 波形でテール電流が少なくなりスイッチングロス E_{off} が低減する。また、 V_{CE} の増加による E_{off} の変化を抑制する効果がある。

【0044】

上記一の局面において好ましくは、第1の高濃度領域は、第2主面から $2\ \mu\text{m}$ 以下の深さの範囲内に位置している。

【0045】

このように第1の高濃度領域を浅く形成することができるため、半導体基板の厚みを薄くすることができる。

30

【0046】

上記一の局面において好ましくは、半導体基板の第1主面にはゲート用溝が形成されており、ゲート用溝内には絶縁ゲート型電界効果トランジスタ部のゲート電極が埋め込まれており、ゲート電極の上面はゲート用溝内から突出している。

【0047】

このようにトレンチMOSゲート型の素子に本発明は好適である。

上記一の局面において好ましくは、半導体基板の第1主面にはゲート用溝が形成されており、ゲート用溝内には絶縁ゲート型電界効果トランジスタ部のゲート電極が埋め込まれており、ゲート電極の上面は第1主面よりも第2主面側に退行している。

40

【0048】

このようにトレンチMOSゲート型の素子に本発明は好適である。

上記一の局面において好ましくは、第1主面側にソース拡散層と電氣的に接続されたソース側電極がさらに備えられている。

【0049】

これにより、ソース側電極を介してソース拡散層の電位を調整することができる。

上記一の局面において好ましくは、半導体基板は、第1主面にソース側電極用溝を有しており、ソース側電極用溝内にはソース側電極に電氣的に接続された導電層が埋め込まれている。

【0050】

50

このようにソース電位の導電層を埋め込む溝を設けたことにより、実効的なゲート幅を少なくすることができるため、飽和電流を抑制する効果がある。また、飽和電流が低くなる効果により、デバイスが無負荷状態でスイッチングしたときに従来例よりも長い時間任意の電流を保持することができる。つまり、デバイスの飽和電流を抑制し、かつ破壊耐量を向上させる効果がある。さらに、無負荷状態でのスイッチング時の発振を抑制することができる。

【0051】

上記一の局面において好ましくは、ソース側電極用溝が複数個設けられており、複数個のソース側電極用溝内を埋め込む導電層の各々は単一の層により一体的に形成されている。

10

【0052】

これにより、複数のソース側電極用溝内を単一の層で一体的に埋め込むことが可能となる。

【0053】

上記一の局面において好ましくは、ソース側電極は、溝が設けられていない第1主面上に形成されており、溝が設けられていない第1主面にはソース側電極と電氣的に接続するように第2導電型の第2の高濃度領域が設けられている。

【0054】

このようにして溝を設けない部分を広く確保することにより、実効的なゲート幅を少なくすることができる。

20

【0055】

本発明の他の局面に従う半導体装置では、互いに対向する第1主面および第2主面を有する半導体基板と、第1主面側に絶縁ゲート構造を有し、かつ第1主面と第2主面との間で主電流が流れる絶縁ゲート型電界効果トランジスタ部を含む素子とが備えられており、その素子は第2主面に形成される不純物活性化率が50%以下の不純物拡散層を有している。

【0056】

本発明の他の局面に従う半導体装置によれば、プロセス条件の変動によるデバイス特性の悪影響を防止することができる。

【0057】

不純物拡散層の不純物活性化率が50%を超えると、コレクタ層注入量に対する V_{ON} の変動が大きくなり、かつイオン注入量の変動に対する V_{ON} の変動も大きくなるため、デバイス設計が困難となる。

30

【0058】

上記他の局面において好ましくは、不純物拡散層の第2主面における不純物表面濃度は、 $5 \times 10^{15} \text{ cm}^{-3}$ 以上である。

【0059】

これにより、 V_{ON} 、 V_{CES} の経時変化を抑制でき、その経時変化によるデバイス特性への悪影響を防止することができる。

【0060】

上記他の局面において好ましくは、不純物拡散層の第2主面からの拡散深さは $1 \mu\text{m}$ 以下である。

40

【0061】

このように不純物拡散層を薄く形成できるため、半導体基板の厚みを薄くすることができる。

【0062】

上記他の局面において好ましくは、不純物拡散層と絶縁ゲート型電界効果トランジスタ部のドレイン拡散層とはpn接合を構成しており、ドレイン拡散層は不純物拡散層と接する領域に第1導電型の第1の高濃度領域を有しており、第1の高濃度領域は不純物拡散層の不純物濃度ピーク以下の濃度の不純物濃度ピークを有している。

50

【0063】

これにより、主接合リーク特性が減少し、耐圧が上昇するとともに、ターンオフ時の I_c 波形でテール電流が少なくなりスイッチングロス E_{OFF} が低減する。また、 V_{CE} の増加による E_{OFF} の変化を抑制する効果がある。

【0064】

上記他の局面において好ましくは、第1の高濃度領域は第2主面から $2\ \mu\text{m}$ 以下の深さの範囲内に位置している。

【0065】

このように第1の高濃度領域を浅く形成することができるため、半導体基板の厚みを薄くすることができる。

10

【0066】

上記他の局面において好ましくは、半導体基板の第1主面にはゲート用溝が形成されており、ゲート用溝内には絶縁ゲート型電界効果トランジスタ部のゲート電極が埋め込まれており、ゲート電極の上面はゲート用溝内から突出している。

【0067】

このようにトレンチMOSゲート型の素子に本発明は好適である。

上記他の局面において好ましくは、半導体基板の第1主面にはゲート用溝が形成されており、ゲート用溝内には絶縁ゲート型電界効果トランジスタ部のゲート電極が埋め込まれており、ゲート電極の上面は第1主面よりも第2主面側に退行している。

20

【0068】

このようにトレンチMOSゲート型の素子に本発明は好適である。

上記他の局面において好ましくは、第1主面側に、絶縁ゲート型電界効果トランジスタ部のソース拡散層と電氣的に接続されたソース側電極がさらに備えられている。

【0069】

これにより、ソース側電極を介してソース拡散層の電位を調整することができる。

上記他の局面において好ましくは、半導体基板は、第1主面にソース側電極用溝を有しており、ソース側電極用溝内にはソース側電極に電氣的に接続された導電層が埋め込まれている。

【0070】

このようにソース電位の導電層を埋め込む溝を設けたことにより、実効的なゲート幅を少なくすることができるため、飽和電流を抑制する効果がある。また、飽和電流が低くなる効果により、デバイスが無負荷状態でスイッチングしたときに従来例よりも長い時間任意の電流を保持することができる。つまり、デバイスの飽和電流を抑制し、かつ破壊耐量を向上させる効果がある。さらに、無負荷状態でのスイッチング時の発振を抑制することができる。

30

【0071】

上記他の局面において好ましくは、ソース側電極用溝が複数個設けられており、複数個のソース側電極用溝内を埋め込む導電層の各々は単一の層により一体的に形成されている。

【0072】

これにより、複数のソース側電極用溝内を単一の層で一体的に埋め込むことが可能となる。

40

【0073】

上記他の局面において好ましくは、ソース側電極は、溝が設けられていない第1主面上に形成されており、溝が設けられていない第1主面にはソース側電極と電氣的に接続するように第2導電型の第2の高濃度領域が設けられている。

【0074】

このようにして、溝を設けない部分を広く確保することにより、実効的なゲート幅を少なくすることができる。

【0075】

50

本発明の半導体装置の製造方法は以下の工程を備えている。

まず互いに対向する第1主面および第2主面を有する第1導電型の半導体基板を準備される。そして、半導体基板の第1主面に第2導電型のボディ領域が形成される。そしてボディ領域内の第1主面に第1導電型のソース拡散層が形成される。そしてドレイン拡散層となる半導体基板の第1導電型領域とソース拡散層とに挟まれるボディ領域にゲート絶縁膜を介して対向するようにゲート電極が形成される。そしてドレイン拡散層とソース拡散層とゲート電極とを有する絶縁ゲート型電界効果トランジスタ部を形成した後に、ドリフト層（ドレイン拡散層）の第2主面を除去して半導体基板の厚みが $50\text{ }\mu\text{m}$ 以上 $250\text{ }\mu\text{m}$ 以下とされる。

【0076】

10

本発明の半導体装置の製造方法によれば、研磨により半導体基板を薄くすることができる。

【0077】

また、半導体基板の厚みが従来例よりも薄くされているため、厚み方向の抵抗成分が少なくなり、低ON電圧化（低 R_{ON} 化）が実現できる。

【0078】

また、半導体基板の厚みを $50\text{ }\mu\text{m}$ 以上 $250\text{ }\mu\text{m}$ 以下とし、かつ破壊耐量を向上する絶縁ゲート型電界効果トランジスタ構造を兼ね備えているため、デバイスの主耐圧およびデバイス動作時の破壊耐量を確保できるとともに、ロスを低減することができる。

【0079】

20

上記局面において好ましくは、ドリフト層の第2主面が除去された後に半導体基板の第2主面に第2導電型の不純物拡散層を形成する工程がさらに備えられている。

【0080】

これにより、プロセス途中で加えられる熱処理を受けずに不純物拡散層を形成することができるため、不純物拡散層を第2主面から浅く形成することができる。これにより、半導体基板を薄くすることができる。

【0081】

上記局面において好ましくは、不純物拡散層はイオン注入により形成される。

これにより、不純物拡散層を制御性よく形成することができる。

【0082】

30

上記局面において好ましくは、ドレイン拡散層の研磨された第2主面にドレイン拡散層よりも高い不純物濃度を有する第1導電型の高濃度領域を形成する工程がさらに備えられる。不純物拡散層は、高濃度領域とpn接合を構成するように第2主面に形成される。高濃度領域は、不純物拡散層の不純物濃度ピーク以下の濃度の不純物濃度ピークを有している。

【0083】

これにより、主接合リーク特性が減少し、耐圧が上昇するとともに、ターンオフ時の I_C 波形でテール電流が少なくなりスイッチングロス E_{OFF} が低減する。また、 V_{CE} の増加による E_{OFF} の変化を抑制する効果がある。

【0084】

40

上記局面において好ましくは、高濃度領域は、第2主面から $2\text{ }\mu\text{m}$ 以下の深さの範囲内に位置するよう形成される。

【0085】

このように高濃度領域を浅く形成することができるため、半導体基板の厚みを薄くすることができる。

【0086】

上記局面において好ましくは、不純物拡散層は不純物活性化率が50%以下となるように形成される。

【0087】

これにより、プロセス条件の変動によるデバイス特性への悪影響を防止することができ

50

る。

【0088】

上記局面において好ましくは、半導体基板の第1主面にゲート用溝を形成する工程がさらに備えられ、ゲート電極はゲート用溝内に埋め込むように形成される。

【0089】

このようにトレンチMOSゲート型の素子に本発明は好適である。

上記局面において好ましくは、ゲート電極は、上面がゲート用溝内から突出するように形成される。

【0090】

このようにトレンチMOSゲート型の素子に本発明は好適である。

上記局面において好ましくは、ゲート電極は、上面が第1主面よりも第2主面側に退行するように形成される。

【0091】

このようにトレンチMOSゲート型の素子に本発明は好適である。

上記局面において好ましくは、ソース拡散層と電氣的に接続されたソース側電極を第1主面側に形成する工程がさらに備えられる。

【0092】

これにより、ソース側電極を介してソース拡散層の電位を調整することができる。

上記局面において好ましくは、半導体基板の第1主面にソース側電極用溝を形成する工程がさらに備えられ、ソース側電極に電氣的に接続された導電層がソース側電極用溝内を埋め込むように形成される。

【0093】

このようにソース電位の導電層を埋め込む溝を設けたことにより、実効的なゲート幅を少なくすることができるため、飽和電流を抑制する効果がある。また、飽和電流が低くなる効果により、デバイスが無負荷状態でスイッチングしたときに従来例よりも長い時間任意の電流を保持することができる。つまり、デバイスの飽和電流を抑制し、かつ破壊耐量を向上させる効果がある。さらに、無負荷状態でのスイッチング時の発振を抑制することができる。

【0094】

上記局面において好ましくは、ソース側電極用溝は複数個形成され、複数個のソース側電極用溝内を埋め込むようにソース側電極用導電層が第1主面上に形成された後にパターニングされることにより、複数個のソース側電極用溝内を埋め込む導電層の各々が単一の層により一体的に形成される。

【0095】

これにより、複数のソース側電極用溝内を単一の層で一体的に埋め込むことが可能となる。

【図面の簡単な説明】

【0096】

【図1】本発明の実施の形態1における半導体装置の構成を概略的に示す断面図である。

【図2】本発明の実施の形態1における半導体装置の製造方法の第1工程を示す概略断面図である。

【図3】本発明の実施の形態1における半導体装置の製造方法の第2工程を示す概略断面図である。

【図4】本発明の実施の形態1における半導体装置の製造方法の第3工程を示す概略断面図である。

【図5】本発明の実施の形態1における半導体装置の製造方法の第4工程を示す概略断面図である。

【図6】本発明の実施の形態1における半導体装置の製造方法の第5工程を示す概略断面図である。

【図7】本発明の実施の形態1における半導体装置の製造方法の第6工程を示す概略断面

10

20

30

40

50

図である。

【図 8】本発明の実施の形態 1 における半導体装置の製造方法の第 7 工程を示す概略断面図である。

【図 9】本発明の実施の形態 1 における半導体装置の製造方法の第 8 工程を示す概略断面図である。

【図 10】本発明の実施の形態 1 における半導体装置の製造方法の第 9 工程を示す概略断面図である。

【図 11】本発明の実施の形態 1 における半導体装置の製造方法の第 10 工程を示す概略断面図である。

【図 12】 V_{CES} または V_{ON} と半導体基板厚みとの関係を示す図である。

10

【図 13】 V_{CE} または I_C と時間との関係を示す図である。

【図 14】ロスと V_{ON} との関係を示す図である。

【図 15】p 型コレクタの有効ドーズ量と p 型コレクタのイオン注入ドーズ量との関係を示す図である。

【図 16】 V_{ON} と p 型コレクタのイオン注入量との関係を示す図である。

【図 17】図 1 の $XVI - XVI$ 線に沿う部分に対応した不純物濃度プロファイルを示す図である。

【図 18】 V_{ON} 変化量 ($|\Delta V_{ON}|$) とストレス時間との関係を示す図である。

【図 19】ストレス印加後の V_{CES} の変化量 ($|\Delta V_{CES}|$) を示す図である。

【図 20】 $\log E_{OFF}$ と V_{CE} との関係を示す図である。

20

【図 21】本発明の実施の形態 4 における半導体装置のコレクタ構造を示す概略断面図である。

【図 22】接合リーク特性を示す図である。

【図 23】ターンオフ時の V_{CE} または I_C と時間との関係を示す図である。

【図 24】本発明の実施の形態 5 における半導体装置の構成を概略的に示す平面図である。

【図 25】図 24 の $XXV - XXV$ 線に沿う概略断面図である。

【図 26】図 24 の $XXVI - XXVI$ 線に沿う概略断面図である。

【図 27】本発明の実施の形態 5 における半導体装置の他の構成を示す概略平面図である。

30

【図 28】図 27 の $XXVII - XXVII$ 線に沿う概略断面図である。

【図 29】本発明の実施の形態 5 における半導体装置のさらに他の構成を示す概略平面図である。

【図 30】図 29 の $XXX - XXX$ 線に沿う概略断面図である。

【図 31】本発明の実施の形態 5 における半導体装置のさらに他の構成を示す概略平面図である。

【図 32】図 31 の $XXXI - XXXI$ 線に沿う概略断面図である。

【図 33】本発明の実施の形態 5 における半導体装置の製造方法を示す概略断面図である。

。

【図 34】 J_C と V_{CE} との関係を示す図である。

40

【図 35】図 34 の領域 S2 を拡大して示す図である。

【図 36】 V_{CE} または I_C と時間との関係を示す図である。

【図 37】 V_{CE} または I_C と時間との関係を示す図である。

【図 38】 V_{GE} と時間との関係を示す図である。

【図 39】本発明の実施の形態 6 における各種の半導体装置の構成を示す概略断面図である。

【図 40】本発明の実施の形態 6 における各種の半導体装置の構成を示す概略断面図である。

【図 41】本発明の実施の形態 6 における各種の半導体装置の構成を示す概略断面図である。

50

【図 6 6】本発明の実施の形態 6 における各種の半導体装置の構成を示す概略断面図である。

【図 6 7】本発明の実施の形態 6 における各種の半導体装置の構成を示す概略断面図である。

【図 6 8】本発明の実施の形態 6 における各種の半導体装置の構成を示す概略断面図である。

【図 6 9】本発明の実施の形態 6 における各種の半導体装置の構成を示す概略断面図である。

【図 7 0】本発明の実施の形態 6 における各種の半導体装置の構成を示す概略断面図である。

【図 7 1】本発明の実施の形態 6 における各種の半導体装置の構成を示す概略断面図である。

【図 7 2】本発明の実施の形態 6 における各種の半導体装置の構成を示す概略断面図である。

【図 7 3】本発明の実施の形態 6 における各種の半導体装置の構成を示す概略断面図である。

【図 7 4】本発明の実施の形態 6 における各種の半導体装置の構成を示す概略断面図である。

【図 7 5】従来の半導体装置の構成を概略的に示す断面図である。

【図 7 6】従来の半導体装置の製造方法の第 1 工程を示す概略断面図である。

【図 7 7】従来の半導体装置の製造方法の第 2 工程を示す概略断面図である。

【図 7 8】従来の半導体装置の製造方法の第 3 工程を示す概略断面図である。

【図 7 9】従来の半導体装置の製造方法の第 4 工程を示す概略断面図である。

【図 8 0】従来の半導体装置の製造方法の第 5 工程を示す概略断面図である。

【図 8 1】従来の半導体装置の製造方法の第 6 工程を示す概略断面図である。

【図 8 2】従来の半導体装置の製造方法の第 7 工程を示す概略断面図である。

【図 8 3】従来の半導体装置の製造方法の第 8 工程を示す概略断面図である。

【図 8 4】従来の半導体装置の製造方法の第 9 工程を示す概略断面図である。

【図 8 5】従来の半導体装置の製造方法の第 10 工程を示す概略断面図である。

【発明を実施するための形態】

【0097】

以下、本発明の実施の形態について図に基づいて説明する。

(実施の形態 1)

図 1 は、本願発明の実施の形態 1 における半導体装置の構成を示す概略断面図である。図 1 を参照して、本実施の形態の半導体装置は、たとえば $50 \sim 250 \mu\text{m}$ の厚み t_1 を有する半導体基板に形成されたトレンチ型 IGBT である。n⁻シリコン基板 1 は、たとえば約 $1 \times 10^{14} \text{ cm}^{-3}$ の濃度を有している。この n⁻シリコン基板 1 の第 1 主面側に、たとえば濃度が約 $1 \times 10^{15} \sim 1 \times 10^{18} \text{ cm}^{-3}$ で第 1 主面からの拡散深さが約 $1.0 \sim 4.0 \mu\text{m}$ の p 型半導体よりなる p 型ボディ領域 2 が形成されている。p 型ボディ領域 2 内の第 1 主面には、たとえば濃度が $1 \times 10^{18} \sim 1 \times 10^{20} \text{ cm}^{-3}$ で、第 1 主面からの拡散深さが約 $0.3 \sim 2.0 \mu\text{m}$ の n 型半導体よりなる n 型エミッタ領域 3 が形成されている。この n 型エミッタ領域 3 と隣り合うように第 1 主面には、p 型ボディ領域 2 への低抵抗コンタクトをとるための p⁺不純物拡散領域 6 が、たとえば $1 \times 10^{18} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度の濃度で、第 1 主面からの拡散深さが n 型エミッタ領域 3 の深さ以下で形成されている。

【0098】

第 1 主面には、n 型エミッタ領域 3 と p 型ボディ領域 2 とを突抜けて n⁻シリコン基板 1 に達するゲート用溝 1a が形成されている。このゲート用溝 1a は、第 1 主面からたとえば $3 \sim 10 \mu\text{m}$ の深さを有しており、ゲート用溝 1a のピッチは、たとえば $2.0 \mu\text{m} \sim 6.0 \mu\text{m}$ である。このゲート用溝 1a の内表面には、ゲート絶縁膜 4a が形成されている。このゲート絶縁膜 4a は、たとえばゲート絶縁膜の特性、信頼性およびデバイス歩留りを向上させる目的で、CVD 法により形成されたシリコン酸化膜と熱酸化法により形

10

20

30

40

50

成されたシリコン酸化膜もしくは窒素が Si/SiO_2 界面に偏析しているシリコン窒化酸化膜との積層構造を有している。

【0099】

ゲート用溝 1a 内を埋め込むように、たとえばリンが高濃度に導入された多結晶シリコンや、 W/TiSi_2 などのメタル材料よりなるゲート電極 5a が形成されている。なお、ゲート電極 5a の低抵抗化のためにゲート電極 5a の表面にシリサイド層（たとえば TiSi_2 、 CoSi など）が形成されていてもよい。このゲート電極 5a の上面には、たとえばシリコン酸化膜よりなる絶縁膜 22A が形成されている。またゲート電極 5a は、ゲート電位 G を与える制御電極に電氣的に接続されている。

【0100】

このようにゲート用溝 1a とゲート絶縁膜 4a とゲート電極 5a とからゲートトレンチが構成されている。また n^- シリコン基板 1 と n 型エミッタ領域 3 とゲート電極 5a とから、 n^- シリコン基板 1 をドレインとし、 n 型エミッタ領域 3 をソースとする絶縁ゲート型電界効果トランジスタ部（ここでは、MOS トランジスタ）が構成されている。この MOS トランジスタ部が第 1 主面には複数個配置されている。

【0101】

第 1 主面上には、たとえばシリケートガラスよりなる絶縁膜 9 と、CVD 法により形成されたシリコン酸化膜よりなる絶縁膜 22B とが形成されており、これらの絶縁膜 9、22B には第 1 主面に達するコンタクトホール 9a が設けられている。コンタクトホール 9a の内表面および絶縁膜 9、22B の上面に沿うようにバリアメタル層 10 が形成されている。このバリアメタル層 10 と半導体基板との接する部分にはシリサイド層 21a が形成されている。このバリアメタル層 10 およびシリサイド層 21a を介して、 n 型エミッタ領域 3 および p^+ 不純物拡散領域 6 には、エミッタ電位 E を与えるエミッタ電極 11 が電氣的に接続されている。

【0102】

また、 n^- シリコン基板 1 の第 2 主面側には p 型コレクタ領域 8 が形成されており、この p 型コレクタ領域 8 にはコレクタ電位 C を与えるコレクタ電極 12 が電氣的に接続されている。このコレクタ電極 12 の材質は、たとえばアルミニウム化合物である。

【0103】

本実施の形態では、半導体基板の厚み t_1 は $50\text{ }\mu\text{m}$ 以上 $250\text{ }\mu\text{m}$ 以下である。

本実施の形態の半導体装置においては、たとえばインバータ接続時には、エミッタ電位を基準に、制御電極のゲート電位 G はオフ状態では -1.5 V に、オン状態では $+1.5\text{ V}$ に設定されたパルス状の制御信号であり、コレクタ電極 12 のコレクタ電位 C はゲート電位 G に従って概ね電源電圧を飽和電圧との間の電圧とされる。

【0104】

次に、本実施の形態の製造方法について説明する。

図 2～図 11 は、本発明の実施の形態 1 における半導体装置の製造方法を工程順に示す概略断面図である。まず図 2 を参照して、厚い n^- シリコン基板 1 よりなる基板表面に、たとえばピーク濃度が $1 \times 10^{15} \sim 1 \times 10^{18} \text{ cm}^{-3}$ 、第 1 主面からの拡散深さが $1.0 \sim 4.0\text{ }\mu\text{m}$ の p 型ボディ領域 2 が形成される。次に、第 1 主面上に、マスク層 31 が形成される。

【0105】

図 3 を参照して、マスク層 31 がパターニングされる。このパターニングされたマスク層 31 をマスクとして、たとえばイオン注入などが施されることにより、 p 型ボディ領域 2 内の第 1 主面に表面濃度が $1.0 \times 10^{18} \sim 1.0 \times 10^{20} \text{ cm}^{-3}$ 、第 1 主面からの拡散深さが $0.3 \sim 2.0\text{ }\mu\text{m}$ の n 型エミッタ領域 3 が形成される。この後、マスク層 31 が除去される。

【0106】

図 4 を参照して、第 1 主面上に、たとえば熱酸化により形成されたシリコン酸化膜 32 と、CVD 法により形成されたシリコン酸化膜 33 とが順に形成される。このシリコン酸

10

20

30

40

50

化膜 3 2、3 3 が、通常の写真製版技術およびエッチング技術によりパターニングされる。このパターニングされたシリコン酸化膜 3 2、3 3 をマスクとして半導体基板に異方性エッチングが施される。これにより、n 型エミッタ領域 3 と p 型ボディ領域 2 とを突抜けて n⁻シリコン基板 1 に達するゲート用溝 1 a が形成される。

【0107】

図 5 を参照して、等方性プラズマエッチングおよび犠牲酸化などの処理を行なうことにより、ゲート用溝 1 a の開口部と底部とが丸くなり、かつゲート用溝 1 a の側壁の凹凸が平坦化される。また上記の犠牲酸化により、ゲート用溝 1 a の内表面に犠牲酸化膜 3 2 a が熱酸化膜 3 2 と一体化するように形成される。このように等方性プラズマエッチングおよび犠牲酸化を施すことにより、ゲート用溝 1 a の内表面に形成されるゲート絶縁膜の特性を向上させることが可能となる。この後、酸化膜 3 2、3 2 a、3 3 が除去される。

10

【0108】

図 6 を参照して、上記酸化膜の除去により、半導体基板の第 1 主面およびゲート用溝 1 a の内表面が露出する。

【0109】

図 7 を参照して、ゲート用溝 1 a の内表面および第 1 主面に沿うように、たとえばシリコン酸化膜よりなるゲート絶縁膜 4 a が形成される。ゲート用溝 1 a 内を埋め込むように、たとえばリンが高濃度に導入された多結晶シリコンもしくは不純物の導入されていない多結晶シリコンにリンがイオン注入により導入された材料や、W (タングステン) / T i S i₂ (チタンシリサイド) などの金属材料からなる導電層 5 が表面全面に形成される。

20

【0110】

なおゲート絶縁膜 4 a としては、ゲート絶縁膜としての特性、信頼性およびデバイス歩留まりを向上させる目的で、CVD 法により形成したシリコン酸化膜と熱酸化により形成したシリコン酸化膜もしくは窒素がシリコンと酸化シリコンとの界面に偏析した窒化酸化膜とからなる積層構造が用いられることが好ましい。

【0111】

この後、通常の写真製版技術およびエッチング技術により、導電層 5 がパターニングされる。

【0112】

図 8 を参照して、このパターニングにより、導電層がゲート用溝 1 a 内に残存されてゲート電極 5 a が形成される。ここで、ゲート電極 5 a の低抵抗化のためにゲート電極 5 a の表面にシリサイド層 (たとえば T i S i₂、C o S i など) が形成されてもよい。この後、ゲート電極 5 a の上面が酸化されることにより、たとえばシリコン酸化膜よりなる絶縁膜 2 2 A が形成される。この後、たとえば第 1 主面における表面濃度が $1.0 \times 10^{18} \sim 1.0 \times 10^{20} \text{ cm}^{-3}$ 、第 1 主面からの拡散深さが n 型エミッタ領域 3 よりも浅い p⁺ 不純物拡散領域 6 が形成される。

30

【0113】

図 9 を参照して、第 1 主面上にたとえばシリケートガラスよりなる絶縁膜 9 と、CVD 法により形成したシリコン酸化膜よりなる絶縁膜 2 2 B とが順に形成される。この絶縁膜 9、2 2 B に、通常の写真製版技術およびエッチング技術によりコンタクトホール 9 a が形成される。

40

【0114】

図 10 を参照して、たとえば金属層よりなるバリアメタル層 10 がスパッタリング法により形成される。この後、ランプアニールが施されてバリアメタル層 10 と半導体基板との接触部にシリサイド層 2 1 a が形成される。この後、エミッタ電極 11 が形成される。

【0115】

図 11 を参照して、半導体基板の第 2 主面側の n⁻ドリフト層 1 が研磨される。この研磨により、半導体基板の厚み t_1 は $50 \mu\text{m}$ 以上 $250 \mu\text{m}$ 以下に調整される。

【0116】

50

研磨後の第2主面にたとえばイオン注入法によりp型不純物を注入した後に拡散などさせることにより、p型コレクタ領域8が形成され、さらにたとえばアルミニウム化合物よりなるコレクタ電極12が形成されて図1に示す半導体装置が完成する。

【0117】

なお、本実施の形態においては、図11に示すようにエミッタ電極11を形成した後にドリフト層(n⁻層1)の第2主面を研磨する工程となっている。しかし、図9に示すようにコンタクトホール9aの開口後もしくは開口前にドリフト層(n⁻層1)の第2主面が研磨されて半導体基板の厚みが50μm以上250μm以下とされてもよい。

【0118】

また本実施の形態における半導体基板の厚み t_1 は、図75に示す従来例のn⁻シリコン層101の厚み t_3 よりも厚い。

10

【0119】

次に、本実施の形態において半導体基板の厚みを50μm以上250μm以下にした理由について説明する。

【0120】

図12は、 V_{CES} あるいは V_{ON} と半導体基板の厚みとの関係を示す図である。図12を参照して、基板の濃度が高い場合には、 V_{CES} は50μmより小さい場合に急激に低下する。これにより、デバイス動作時の主耐圧を確保し難くなるため、半導体基板の厚み t_1 の下限値は50μmとした。

【0121】

20

また半導体基板の厚み t_1 が250μmより厚くなっても、基板の濃度が低い場合、 V_{CES} はほぼ一定値を示し、主耐圧の向上にあまり効果がないことがわかる。また、半導体基板の厚み t_1 が250μmを超えた場合、IGBTが動作する際の定常ロス(E_{DC})が急激に増加してしまう。以下、そのことについて説明する。

【0122】

図13は、 V_{CE} あるいは I_C と時間との関係を示す図である。図13を参照して、一般的にパワーデバイスが誘導負荷で動作した(スイッチングした)際のロス(E_{total})は図中ハッチングで示された領域で表わされ、かつ以下の式で表わされる。

【0123】

$$E_{total} = E_{sw} + E_{DC}$$

30

ここで、 E_{DC} はデバイスがON状態でのロス(定常ロス)である。また E_{sw} はデバイスがON、OFFしたときのロスであり、以下の式で表わされる。

【0124】

$$E_{sw} = E_{ON} + E_{OFF}$$

E_{ON} とはデバイスがONしたときのスイッチングロスであり、 E_{OFF} はデバイスがOFFしたときのスイッチングロスである。

【0125】

上記式中の定常ロス E_{DC} は、 V_{ON} により影響され、 V_{ON} が高くなるに伴い上昇する。この定常ロス E_{DC} は、通常、全体のロス E_{total} の約20~30%を占めている。しかし、半導体基板の厚みが厚くなり、 V_{ON} が上昇すると、 E_{total} に占める E_{DC} の割合が上昇する。特に、 $V_{ON} = 2.6V$ 付近で E_{total} に占める E_{DC} の割合が急激に上昇し、デバイスへ悪影響を及ぼす。ここで、 V_{ON} が2.6Vにおける半導体基板の厚み t_1 は図12より、約250μmであることがわかる。このことは、図14において、半導体基板の厚みが250μmを越えると、全体のロス E_{total} に対する定常ロス E_{DC} が急激に増加していることから分かる。

40

【0126】

このように V_{ON} を低くし、それによりロス E_{total} を低減するために、半導体基板の厚みの上限を250μmとした。

【0127】

以上より、本実施の形態のように半導体基板の厚み t_1 を50μm以上250μm以下

50

とすることにより、ON電圧 (V_{ON})、主耐圧 (V_{CES})、ロス (E_{total}) というデバイス特性への悪影響を及ぼさずに従来よりも半導体基板厚みの自由度が増加する効果が得られる。

【0128】

(実施の形態2)

図1を参照して、本実施の形態では、p型コレクタ領域8の不純物活性化率は50%以下である。

【0129】

なお、これ以外の構成については、上述した実施の形態1の構成とほぼ同じであるため、その説明を省略する。

【0130】

また本実施の形態の製造方法は、上述した実施の形態1の製造方法とほぼ同じであるため、その説明も省略する。

【0131】

本実施の形態では、図1に示す各領域1、2、3、6が形成された後にp型コレクタ領域8がたとえばイオン注入などにより形成される。このため、p型コレクタ領域8は、各領域1、2、3、6中の不純物を拡散などさせるための高温の熱処理を受けることはない。このため、本実施の形態のp型コレクタ領域8の不純物活性化率を50%以下と低く留めることができる。

【0132】

これに対して、図76～図85に示す従来の製造方法では、図76に示すように最初のプロセスから既にp型コレクタ領域108が存在している。このため、p型コレクタ領域108は製造プロセスにおけるすべての熱処理を受けることになる。よって、従来のp型コレクタ領域108はほぼ100%の不純物活性化率を有しており、これ以下の活性化率にすることは困難であった。

【0133】

以上より、図15に示すように本実施の形態のp型コレクタ領域8の不純物活性化率は、従来例のp型コレクタ領域108の不純物活性化率(100%)と異なり、50%以下とすることができる。

【0134】

なお図15は、図1の構成におけるp型コレクタ層の実際のイオン注入量(横軸)と有効ドーズ量(縦軸)との関係を示す図である。また、図15中における黒丸印は、図2～図11の工程により形成された図1の構成におけるp型コレクタ領域8の不純物活性化率の測定データである。

【0135】

次に、本実施の形態においてp型コレクタ領域8の不純物活性化率を50%以下とした理由について説明する。

【0136】

図16はp型コレクタ層のイオン注入量(イオン注入時の注入量)と V_{ON} との関係を示す図である。

【0137】

本実施の形態では、p型コレクタ領域8の不純物活性化率が50%以下と低くされているため、実際に設定したイオン注入量に対して形成されるp型コレクタ領域8の濃度変化を小さくすることができる。これにより、実際に設定したイオン注入量に対して熱処理後の実効的なp型コレクタ領域8の濃度の変動が小さくなる。つまり、設定値が変動した場合のマージンが大きくなる。このため、イオン注入時に注入量の変動しても、半導体基板中に形成されるp型コレクタ領域8が設計時の濃度を実現することが可能になる。

【0138】

図16を参照して、IGBTのp型コレクタ領域8の濃度は V_{ON} 値に影響する。この V_{ON} は、p型コレクタ領域のイオン注入量が $1 \times 10^{14} \text{ cm}^{-2}$ 付近からイオン注入量が低く

10

20

30

40

50

なるに伴い急激に上昇する。従来の100%の不純物活性化率を持つp型コレクタ領域108であれば、 V_{ON} のコレクタ領域注入量に対する変動が大きく、かつ図15に示すイオン注入時にイオン注入量が増加した際の実効的なコレクタ領域の濃度変動が大きいため、イオン注入時にイオン注入量が増加した際の V_{ON} の変動が大きくなり、デバイス設計が困難となる。

【0139】

一方、本実施の形態の低い不純物活性化率を持つp型コレクタ領域8であれば、従来のコレクタ領域108が抱える上記問題を抑制する作用があり、デバイス設計に対して十分な自由度を持たせかつプロセス中の変動に対してもマージンが大きく、プロセス中の変動によるデバイス特性への悪影響を防止する作用がある。

10

【0140】

(実施の形態3)

図17は、図1に示すXVII-XVII線に沿う部分に対応した不純物濃度プロファイルを示す図である。図17を参照して、実線は図1におけるコレクタ側の構造A、点線は後述する実施の形態4(図21)のコレクタ構造B、および一点鎖線は図75におけるコレクタ構造の各不純物プロファイルを示している。

【0141】

図1におけるコレクタ側の構造Aにおいては、p型コレクタ領域8の第2主面における表面濃度は $5 \times 10^{15} \text{ cm}^{-3}$ 以上であり、p型コレクタ領域8の第2主面からの深さは1 μm 以下である。p型コレクタ領域8の拡散深さが浅いのは、他の不純物領域が形成された後にp型コレクタ領域8が形成されるためである。つまり、このp型コレクタ領域8が、他の不純物領域の形成のための高温の熱処理を受けないためである。

20

【0142】

またp型コレクタ領域8の第2主面における表面濃度を $5 \times 10^{15} \text{ cm}^{-3}$ 以上により、p型コレクタ領域8とコレクタ電極12との低抵抗なコンタクトを実現することができ、デバイス特性が不安定になることが防止できる。

【0143】

本実施の形態におけるp型コレクタ領域8の表面濃度を変化させた場合における V_{ON} と V_{CES} に関するストレス印加後の経時変化を図18および図19に示す。図18および図19より、p型コレクタ領域8の表面濃度が $5 \times 10^{15} \text{ cm}^{-3}$ 未満の場合には、 V_{ON} 、 V_{CES} の経時変化が大きくなっている。このことより、p型コレクタ領域8の表面濃度が $5 \times 10^{15} \text{ cm}^{-3}$ 未満と低すぎるとデバイス特性の経時変化が大きくデバイス特性への悪影響を及ぼすことがわかる。よって、本実施の形態のコレクタ側の構造Aのように表面濃度を $5 \times 10^{15} \text{ cm}^{-3}$ 以上により、デバイスの信頼性が低下することを抑制する効果があることがわかる。

30

【0144】

また398Kの温度での主接合リーク特性(主接合はp型ボディ領域2とn⁻シリコン基板1との接合部)を図20に示す。図20より、図75に示す従来のコレクタ構造では、 V_{CE} が上昇するに伴い E_{OFF} が急激に上昇することがわかる。一方、本実施の形態のコレクタ構造Aでは、 V_{CE} の変化による E_{OFF} の変化が小さく、デバイス動作時の電源電圧が変化した際のスイッチングロスの増加および変化を抑制する効果があることがわかる。

40

【0145】

これは、本実施の形態のコレクタ構造Aでは、従来のコレクタ構造に比べ、p型コレクタ領域8の第2主面における表面濃度が低く(または不純物活性化率が50%以下と低く)、かつ拡散深さが1 μm 以下と浅いため、 V_{CE} が上昇しても、デバイスがON時のコレクタ領域からのキャリア注入効率が従来のコレクタ構造より小さくなり、デバイスがOFF時にn⁻シリコン基板1に蓄積されたホールの量が少なくなるからである。

【0146】

(実施の形態4)

図21は、本発明の実施の形態4における半導体装置のコレクタ側の構成を示す概略断

50

面図である。図 2 1 を参照して、本実施の形態の構成は、 n^- シリコン基板 1 が p 型コレクタ領域 8 と p n 接合を構成する領域付近に高濃度の n 型不純物拡散領域 7 を有する点において図 1 に示す構成と異なる。本実施の形態のコレクタ側の構造 B における n 型不純物拡散領域 7 は、図 1 7 に示すように p 型コレクタ領域 8 の不純物濃度ピーク以下の濃度の不純物濃度ピークを有している。また n 型不純物拡散領域 7 は第 2 主面からの深さが 2 μ m 以下となるように形成されている。

【0147】

なお、これ以外の p 型コレクタ領域 8 および MOS トランジスタ側の構造は実施の形態 1 ~ 3 と同等の構成を有しているため、その説明を省略する。

【0148】

本実施の形態の製造方法においては、図 1 1 に示すようにドリフト層 (n^- 層 1) の第 2 主面が研磨された後に、第 2 主面に n 型不純物拡散領域 7 が形成され、その後に p 型コレクタ領域 8 が形成される。なお、これ以外の製造方法については、上述した実施の形態 1 の方法とほぼ同じであるため、その説明は省略する。

【0149】

本実施の形態において、n 型不純物拡散領域 7 の拡散深さが浅くなるのは、MOS トランジスタ側の不純物領域が形成された後に n 型不純物拡散領域 7 が形成されるため、MOS トランジスタ側の不純物領域の形成のための高温の熱処理を n 型不純物拡散領域 7 が受けないからである。

【0150】

本実施の形態のコレクタ構造 B は、図 1 に示すコレクタ構造 A より、p 型コレクタ領域 8 からのホールの注入効率が抑制された構造である。

【0151】

本実施の形態では、n 型不純物拡散領域 7 を設けたことにより、図 1 に示すコレクタ構造 A に比べて以下の効果が得られる。

【0152】

(1) 図 2 2 に示すように主接合リーク特性が減少し、耐圧が上昇する。

(2) 図 2 3 に示すようにターンオフ時の I_C の波形でテール電流が少なくなり、その結果、スイッチングロス (E_{OFF}) が低減する。

【0153】

また構造 B においても、p 型コレクタ領域 8 が構造 A と同様の構成を有するため、図 2 0 に示すように、 V_{CE} の変化による E_{OFF} の変化を抑制する効果がある。

【0154】

(実施の形態 5)

図 2 4 は、本発明の実施の形態 5 における半導体装置の構成を概略的に示す平面図である。また図 2 5 および図 2 6 は、図 2 4 の XX V - XX V 線および XX V I - XX V I 線の各々に沿う概略断面図である。

【0155】

主に図 2 5 を参照して、本実施の形態においては、 n^- シリコン基板 1 が p 型ボディ領域 2 と p n 接合を構成する領域付近に比較的高濃度の n 型不純物拡散領域 1 4 が設けられている。

【0156】

主に図 2 4 を参照して、2 本のゲート用溝 1 a に挟まれる第 1 主面には、 p^+ 不純物拡散領域 6 が図中上下方向に複数個 (たとえば 3 個) に分けられている。この図中上下方向に分けられた各 p^+ 不純物拡散領域 6 は単一のコンタクトホール 9 a によりエミッタ電極 1 1 と電氣的に接続されている。

【0157】

主に図 2 4 および図 2 6 を参照して、ゲート用溝 1 a 内を埋め込むゲート電極 5 a は、ゲート用溝 1 a 外部の第 1 主面上にも延びており、その延びた部分においてパッドとなる導電層 1 1 と電氣的に接続されている。このパッドとなる導電層 1 1 の下層にはバリアメ

10

20

30

40

50

タル層 10 が位置し、バリアメタル層 10 とゲート電極 5 a とが接する領域にシリサイド層 21 a が形成されている。

【0158】

なお、このパッドなる導電層 11 およびエミッタ電極 11 上にパッシベーション膜 15 が形成されている。

【0159】

なお、これ以外の構成については、上述した実施の形態 1 の構成とほぼ同じであるため、同一の部材については同一の符号を付し、その説明を省略する。

【0160】

n 型不純物拡散領域 14 を設けた構成は、図 24～図 26 の構成に限定されず、たとえば図 27 および図 28 に示す構成であってもよい。つまり、エミッタトレンチが設けられた構成に n 型不純物拡散領域 14 が設けられてもよい。

【0161】

図 27 は、本発明の実施の形態 5 における半導体装置の変形例の構成を示す概略平面図であり、図 28 は図 27 の XXV I I I - X X V I I I 線に沿う概略断面図である。

【0162】

図 27 および図 28 を参照して、2つの MOS トランジスタに挟まれる領域にエミッタトレンチが設けられている。エミッタトレンチは、エミッタ用溝 1 b と、エミッタ用絶縁膜 4 b と、エミッタ用導電層 5 b とから構成されている。エミッタ用溝 1 b は、p 型ボディ領域 2 および n 型不純物拡散領域 14 を突き抜けて n⁻シリコン基板 1 に達している。エミッタ用絶縁膜 4 b は、このエミッタ用溝 1 b の内表面に沿うように形成されている。エミッタ用導電層 5 b は、エミッタ用溝 1 b 内を埋め込むように形成されており、その上層のエミッタ電極 11 と電氣的に接続されている。

【0163】

エミッタ電極 11 の下層にはバリアメタル層 10 が形成されており、このバリアメタル層 10 とエミッタ用導電層 5 b との間にはシリサイド層 21 b が形成されている。

【0164】

2つのエミッタトレンチに挟まれる第 1 主面には p 型ボディ領域 2 への低抵抗コンタクトを取るための p⁺不純物拡散領域 6 が形成されており、その上にはシリサイド層 21 a が形成されている。

【0165】

このような構成において、n⁻シリコン基板 1 が p 型ボディ領域 2 と p n 接合を構成する領域付近に比較的高濃度の n 型不純物拡散領域 14 が設けられている。

【0166】

なお、これ以外の構成については、上述した図 24～図 26 の構成とほぼ同じであるため、同一の部材については同一の符号を付し、その説明を省略する。

【0167】

また図 29 および図 30 は、図 27 および図 28 の構成と比較して、エミッタトレンチの側壁であって、第 1 主面に n 型不純物拡散領域 3 を追加した点において異なる。

【0168】

なおこれ以外の構成については図 27 および図 28 に示す構成とほぼ同じであるため、同一の部材については同一の符号を付しその説明を省略する。

【0169】

図 27～図 30 においては、エミッタ用溝 1 b 内を埋め込む導電層 5 b がエミッタ電位となる場合について説明したが、この導電層 5 b はフローティング電位を有していてもよい。その構成を以下に説明する。

【0170】

図 31 および図 32 を参照して、溝 1 b 内を埋め込む導電層 5 b がエミッタ電極 11 と電氣的に分離されており、フローティングな電位を有している。この場合、溝 1 b 内を埋め込む導電層 5 b 上にはたとえばシリコン酸化膜よりなる絶縁膜 22 A と、たとえばシリ

10

20

30

40

50

コンケートガラスよりなる絶縁膜 9 と、たとえばシリコン酸化膜よりなる絶縁膜 22B とが形成されている。

【0171】

なおこれ以外の構成については、図 27 および図 28 に示す構成とほぼ同じであるため、同一の部材については同一の符号を付し、その説明を省略する。

【0172】

本実施の形態で設けられる n 型不純物拡散領域 14 は、p 型ボディ領域 2 が形成される前に図 33 に示すようにイオン注入および拡散により形成される。この後、p 型ボディ領域 2 が形成され、さらに実施の形態 1 と同様の後工程を経ることにより本実施の形態の各種の半導体装置（図 24～図 32）が製造される。

10

【0173】

また、MOS トランジスタ構造 E（図 28）、F（図 30）、G（図 32）の各々は、エミッタ電位もしくはフローティング電位のトレンチを有することにより、MOS トランジスタ構造 C（図 1）、D（図 25）よりも実効的なゲート幅が少なくなっている。その結果、図 34 に示すように構造 E、F、G は、構造 C、D よりも流れる電流が少なく飽和電流を抑制する効果を有する。

【0174】

さらに図 35 を参照して、構造 E、F、G は、構造 C、D よりも低電圧／低電流密度（図 34 の領域 S2）のところで ON 電圧が大きくなる。MOS トランジスタ構造 C は、従来構造より n⁻シリコン基板 1 が厚く p 型コレクタ領域 8 からのホール注入効率が低いいため ON 電圧が上昇する。また MOS トランジスタ構造 D において ON 電圧が低下するのは、コレクタ構造 A で n⁻シリコン基板 1 が厚くても、USP 6, 040, 599 に記載された n 型不純物拡散領域 14 によるホール蓄積効果があるからである。MOS トランジスタ構造 D では、従来構造より n⁻シリコン基板 1 が厚くても、ON 電圧を低下させる効果がある。

20

【0175】

図 34 に示すように MOS トランジスタ構造 E、F、G では、飽和電流が低くなる効果により、図 36 に示すようにデバイスが無負荷状態でスイッチングしたときに、従来構造や MOS トランジスタ構造 C、D よりも長い時間任意の電流を保持することができる。つまり、MOS トランジスタ構造 E、F、G では、デバイスの飽和電流を抑え、かつ破壊耐量を向上させる効果がある。

30

【0176】

さらに、ON 電圧を下げる効果がある MOS トランジスタ構造 D では図 37 および図 38 に示すように無負荷状態でのスイッチング時に発振現象が発生する。しかし、MOS トランジスタ構造 E、F、G では、n 型不純物拡散領域 14 が存在してもエミッタ電位もしくはフローティング電位になる導電層 5b が存在することにより発振現象を防止する効果がある。

【0177】

また、MOS トランジスタ構造 E、F、G の上述した有効な効果は、第 2 主面側のコレクタ構造が図 1 に示す構造 A の場合でも、かつ図 21 に示す構造 B の場合でも同等に得ることができる。

40

【0178】

逆に、実施の形態 1～4 に示した MOS トランジスタ構造 C を他の MOS トランジスタ D～G のいずれに変更しても実施の形態 1～4 と同様の効果が得られる。

【0179】

（実施の形態 6）

図 39～図 74 は、実施の形態 5 と同じ効果が得られる MOS トランジスタ構造の各種の派生構造を示す概略断面図である。図 39～図 74 に示すどの構造でも、またそれらの MOS トランジスタ構造がコレクタ構造 A または B のいずれと組合せられても、実施の形態 5 に示す MOS トランジスタ構造による効果を得ることができる。

50

【0180】

また、コレクタ構造AまたはBから得られる実施の形態1～4の効果は、図39～図73に示すどのMOSトランジスタ構造と組合せられても同様に得ることができる。

【0181】

以下に、図39～図74に示す各MOSトランジスタ構造について説明する。

図39に示す構成は、2つのMOSトランジスタ部に挟まれる領域にエミッタ電位となる1つのエミッタトレンチが設けられている点およびゲート用溝1aの一方側面にのみn型エミッタ領域3が形成されている点において図28に示す構成と異なる。

【0182】

図40に示す構成は、複数のエミッタ用溝1b内が、一体化された単一の層よりなるエミッタ用導電層5bによって埋め込まれている。またエミッタ用導電層5bは、シリサイド層21bを介して、バリアメタル層10とエミッタ電極11とに電氣的に接続されている。このシリサイド層21bは各エミッタ用溝1b間を繋ぐブリッジ上に形成されている。またシリサイド層21bが形成された領域以外のエミッタ用導電層5b上には、絶縁膜22A、9、22Bが形成されている。

【0183】

これ以外の構成については、上述した図28に示す構成とほぼ同じであるため、同一の部材については同一の符号を付し、その説明を省略する。

【0184】

図41に示す構成は、エミッタ用溝1bの両側壁であって第1主面にn型不純物拡散領域3が追加されている点において図40に示す構成と異なる。

【0185】

図42に示す構成は、エミッタ用溝1b内を埋め込む導電層5bがフローティング電位となっている点において図40の構成と異なる。この場合、導電層5bの全面上に絶縁膜22A、9、22Bが形成されており、導電層5bはエミッタ電極11と電氣的に絶縁されている。

【0186】

図43に示す構成は、エミッタ用溝1bの両側壁であって第1主面にn型不純物拡散領域3が追加されている点において図39に示す構成と異なる。

【0187】

図44に示す構成は、エミッタ用導電層5bの上面がエミッタ用溝1bよりも上方に突出している点において図39に示す構成と異なる。この場合、エミッタ用導電層5bは、その一部表面上に形成されたシリサイド層21bを介して、バリアメタル層10およびエミッタ電極11と電氣的に接続されている。またシリサイド層21bが形成された領域以外のエミッタ用導電層5b上には、絶縁膜22A、9、22Bが形成されている。

【0188】

図45に示す構成は、エミッタ用溝1bの両側面であって第1主面にn型不純物拡散領域3が追加されている点において図44に示す構成と異なる。

【0189】

図46に示す構成は、p型ボディ領域2がゲート用溝1aの側壁付近にのみ形成されている点において図28に示す構成と異なる。

【0190】

図47に示す構成は、p型ボディ領域2がゲート用溝1aの側壁付近にのみ形成されている点において図30に示す構成と異なる。

【0191】

図48に示す構成は、エミッタ用溝1b内を埋め込む導電層5bがフローティング電位となっている点において図46に示す構成と異なる。この場合、導電層5b上には、絶縁膜22A、9、22Bが形成されている。

【0192】

図49に示す構成は、2つのゲートトレンチに挟まれる領域にのみp型ボディ領域2が

10

20

30

40

50

形成されている点において図 39 に示す構成と異なる。

【0193】

図 50 に示す構成は、p 型ボディ領域 2 がゲート用溝 1 a の側壁付近にのみ形成されている点において図 40 に示す構成と異なる。

【0194】

図 51 に示す構成は、p 型ボディ領域 2 がゲート用溝 1 a の側壁付近にのみ形成されている点において図 41 に示す構成と異なる。

【0195】

図 52 に示す構成は、p 型ボディ領域 2 がゲート用溝 1 a の側壁付近にのみ形成されている点において図 42 に示す構成と異なる。

10

【0196】

図 53 に示す構成は、エミッタ用溝 1 b の両側壁であって第 1 主面に n 型不純物拡散領域 3 が追加されている点において図 49 に示す構成と異なる。

【0197】

図 54 に示す構成は、2 つのゲートトレンチに挟まれる領域にのみ p 型ボディ領域 2 が形成されている点において図 44 に示す構成と異なる。

【0198】

図 55 に示す構成は、2 つのゲートトレンチに挟まれる領域にのみ p 型ボディ領域 2 が形成されている点において図 45 に示す構成と異なる。

【0199】

図 56 に示す構成は、図 28 においてエミッタトレンチが存在した領域にトレンチを形成せずに、上記の MOS トランジスタ構造 E~G とゲート幅 (W) が同じになるようにゲートトレンチを形成した構成、つまりゲートトレンチの間をエミッタ電位となるように任意の寸法まで広げた構成である。

20

【0200】

この場合、2 つのゲートトレンチに挟まれる第 1 主面には p 型ボディ領域との低抵抗コンタクトを取るための p^+ 不純物拡散領域 6 が延在している。この p^+ 不純物拡散領域 6 および n 型エミッタ領域 3 と接するようにシリサイド層 21 a が形成されている。 p^+ 不純物拡散領域 6 および n 型エミッタ領域 3 は、このシリサイド層 21 a とバリアメタル層 10 とを介してエミッタ電極 11 に電氣的に接続されている。

30

【0201】

なお、これ以外の構成については、上述した図 28 の構成とほぼ同じであるため、同一の部材については同一の符号を付し、その説明を省略する。

【0202】

図 57 に示す構成は、図 39 においてエミッタトレンチが存在した領域にトレンチを形成せずに、上記の MOS トランジスタ構造 E~G とゲート幅が同じになるようにゲートトレンチを形成した構成、つまりゲートトレンチの間をエミッタ電位となるように任意の寸法まで広げた構成である。

【0203】

この構成においてもゲートトレンチに挟まれる第 1 主面に p 型ボディ領域への低抵抗コンタクトを取るために p^+ 不純物拡散領域 6 が延在している。この p^+ 不純物拡散領域 6 および n 型エミッタ領域 3 と接するようにシリサイド層 21 a が形成されている。 p^+ 不純物拡散領域 6 および n 型エミッタ領域 3 は、このシリサイド層 21 a とバリアメタル層 10 とを介してエミッタ電極 11 に電氣的に接続されている。

40

【0204】

なお、これ以外の構成については、上述した図 39 の構成とほぼ同じであるため、同一の部材については同一の符号を付し、その説明を省略する。

【0205】

図 58 は、p 型ボディ領域 2 がゲート用溝 1 a の側壁付近にのみ形成されている点において図 56 に示す構成と異なる。

50

【0206】

図59に示す構成は、2つのゲートトレンチに挟まれる領域にのみp型ボディ領域2が形成されている点において図57に示す構成と異なる。

【0207】

上記においては、ゲート電極5aの上面がゲート用溝1a内に位置する場合について説明したが、ゲート用溝1a上に突出していてもよい。ゲート電極5aの上面がゲート用溝1aの上面に突出した構成を図60～図70に示す。

【0208】

図60は図28に示す構成、図61は図30に示す構成、図62は図32に示す構成、図63は図39に示す構成、図64は図40に示す構成、図65は図51に示す構成、図66は図42に示す構成、図67は図53に示す構成、図68は図54に示す構成、図69は図55に示す構成、図70は図41に示す構成において、ゲート電極5aの上面がゲート用溝1a上に突出した構成に対応している。なお、図62に示す構成は、溝1b内を埋め込む導電層5bの上面も溝1b上に突出している。

【0209】

なお、上記においてはトレンチ型ゲート構造について説明したが、平面ゲート型のIGBTにおいても実施の形態1～5の構成を適用することができる。図71～図74は平面ゲート型IGBTの構成を示す概略断面図である。

【0210】

図71を参照して、平面ゲート型IGBTは、たとえば厚さが約50μm以上250μmの半導体基板に形成されている。たとえば濃度が $1 \times 10^{14} \text{ cm}^{-3}$ のn⁻シリコン基板1の第1主面側には、p型半導体よりなるp型ボディ領域2が選択的に形成されている。p型ボディ領域2は、たとえば $1 \times 10^{15} \sim 1 \times 10^{18} \text{ cm}^{-3}$ の濃度を有し、第1主面から約1.0～4.0μmの拡散深さを有している。p型ボディ領域2内の第1主面には、たとえば濃度が $1 \times 10^{18} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 以上で、第1主面からの拡散深さが約0.3～2.0μmのn型半導体よりなるn型エミッタ領域3が形成されている。このn型エミッタ領域3の隣には、p型ボディ領域2への低抵抗コンタクトを取るためのp⁺不純物拡散領域6がたとえば $1 \times 10^{18} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度で、第1主面からの拡散深さがn型エミッタ領域3の深さ以下で形成されている。

【0211】

n⁻シリコン基板1とn型エミッタ領域3とに挟まれるp型ボディ領域2と対向するように第1主面上にゲート絶縁膜4aを介してゲート電極5aが形成されている。

【0212】

このn⁻シリコン基板1とn型エミッタ領域3とゲート電極5aにより、n⁻シリコン基板1をドレインとし、n型エミッタ領域3をソースとする絶縁ゲート型電界効果トランジスタ部（ここではMOSトランジスタ部）が構成されている。

【0213】

2つのMOSトランジスタ部に挟まれる第1主面上には、エミッタ電位となる導電層5bが形成されている。この導電層5bとゲート電極5aとの材質には、たとえばリンを高濃度に導入した多結晶シリコン、高融点金属材料、高融点金属シリサイドまたはそれらの複合膜が用いられる。

【0214】

第1主面上には絶縁膜9が形成されており、この絶縁膜9には第1主面の一部表面に達するコンタクトホール9aが形成されている。このコンタクトホール9aの底部にはバリアメタル層10が形成されている。このバリアメタル層10を介して導電層5b、p⁺不純物拡散領域6およびn型エミッタ領域3とに、エミッタ電位Eを与えるエミッタ電極1が電氣的に接続されている。

【0215】

またn⁻シリコン基板1の第2主面側には、n型不純物拡散領域7とp型コレクタ領域8とが順に形成されている。p型コレクタ領域8には、コレクタ電位Cを与えるコレクタ

10

20

30

40

50

電極 1 2 が電氣的に接続されている。このコレクタ電極 1 2 の材質は、たとえばアルミニウム化合物である。

【0216】

本実施の形態において、半導体基板の厚み t_1 は $50\ \mu\text{m}$ 以上 $250\ \mu\text{m}$ 以下である。また p 型コレクタ領域 8 の不純物活性化率は 50% 以下である。また p 型コレクタ領域 8 の第 2 主面からの深さは $1\ \mu\text{m}$ 以下であることが好ましい。また n 型不純物拡散領域 7 は p 型コレクタ領域 8 の不純物濃度ピークよりも低い不純物濃度ピークを有していることが好ましい。またこの n 型不純物拡散領域 7 は第 2 主面から $2\ \mu\text{m}$ 以下の深さで形成されていることが好ましい。

【0217】

なお、図 7 1 の構成に対して、図 7 2 に示すように n 型不純物拡散領域 1 4 が追加されてもよく、また図 7 3 に示すように n 型不純物拡散領域 7 が省略されてもよく、また図 7 4 に示すように n 型不純物拡散領域 1 4 が追加されかつ n 型不純物拡散領域 7 が省略されてもよい。

【0218】

なお、本実施の形態においては、IGBT を例に挙げて説明したが、IGBT に限られず絶縁ゲート型電界効果トランジスタを有する素子であれば本発明を適用することができる。

【0219】

本発明は、高耐圧素子、とりわけ IGBT の構造に関するものであり、特にトレンチゲート IGBT においては効果を最大に発揮するものである。また、本発明は、低 ON 電圧化を実現し、破壊耐量を確保するとともに、高電圧側でのスイッチングロスを低減できる半導体装置およびその製造方法に有利に適用され得る。またプロセス条件の変動によるデバイス特性への悪影響を防止できる半導体装置およびその製造方法にも有利に適用され得る。また基板厚みの自由度の制限が少なく、かつ低価格化に適した半導体装置の製造方法にも有利に適用され得る。

【0220】

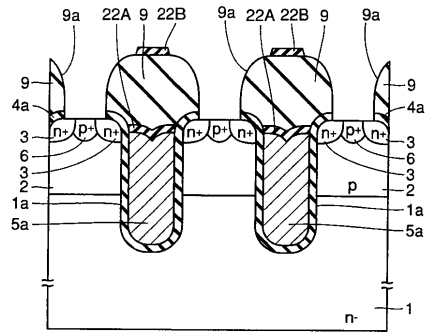
今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【符号の説明】

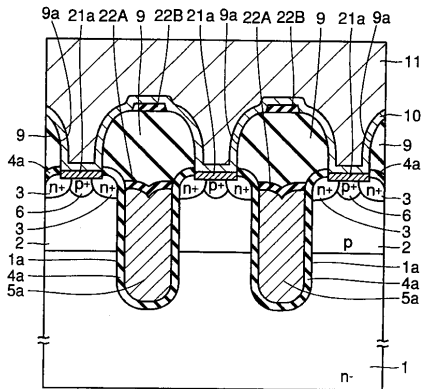
【0221】

1 シリコン基板（ドリフト層）、1 a ゲート用溝、1 b エミッタ用溝、2 p 型ボディ領域、3 n 型エミッタ領域、4 a ゲート絶縁膜、4 b エミッタ用絶縁膜、5 導電層、5 a ゲート電極、5 b エミッタ用導電層、6 不純物拡散領域、7 n 型不純物拡散領域、8 p 型コレクタ領域、9, 22 A, 22 B 絶縁膜、9 a コンタクトホール、10 バリアメタル層、11 エミッタ電極、12 コレクタ電極、14 n 型不純物拡散領域、15 パッシベーション膜、21 a, 21 b シリサイド層、31 マスク層、32 酸化膜、32 a 犠牲酸化膜、33 シリコン酸化膜。

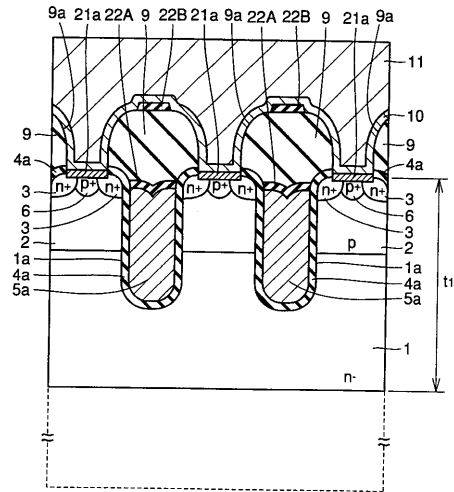
【図 9】



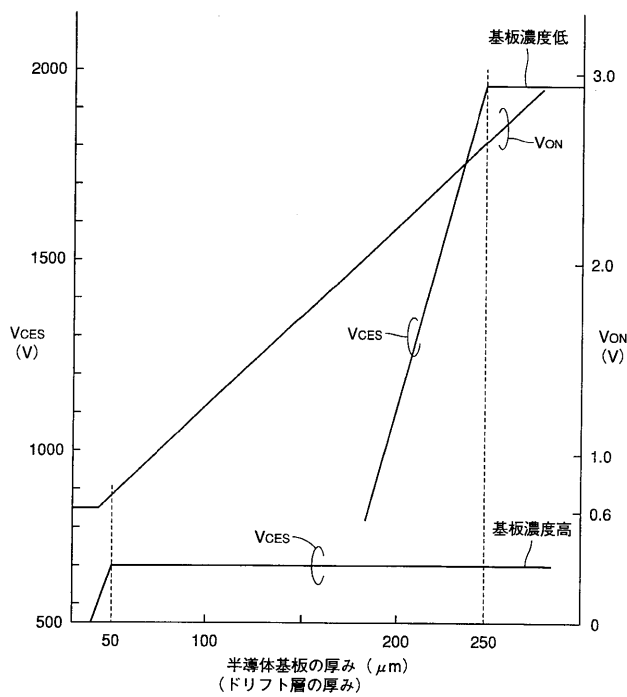
【図 10】



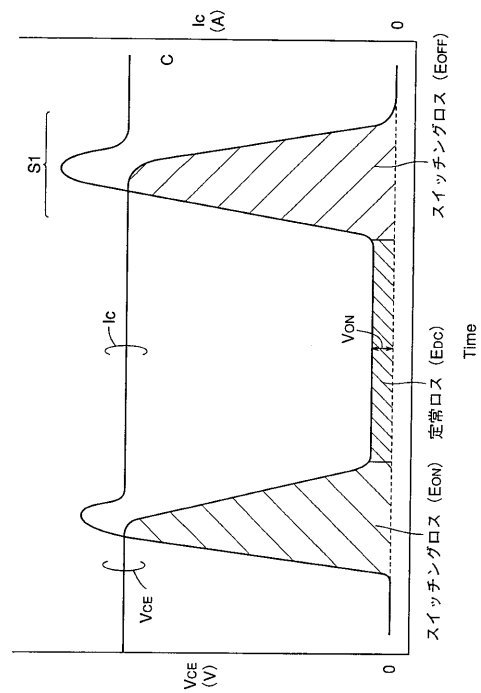
【図 11】



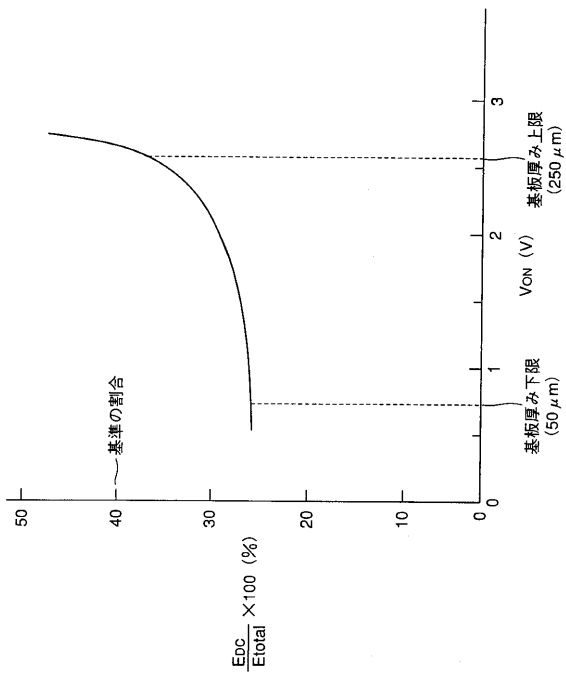
【図 12】



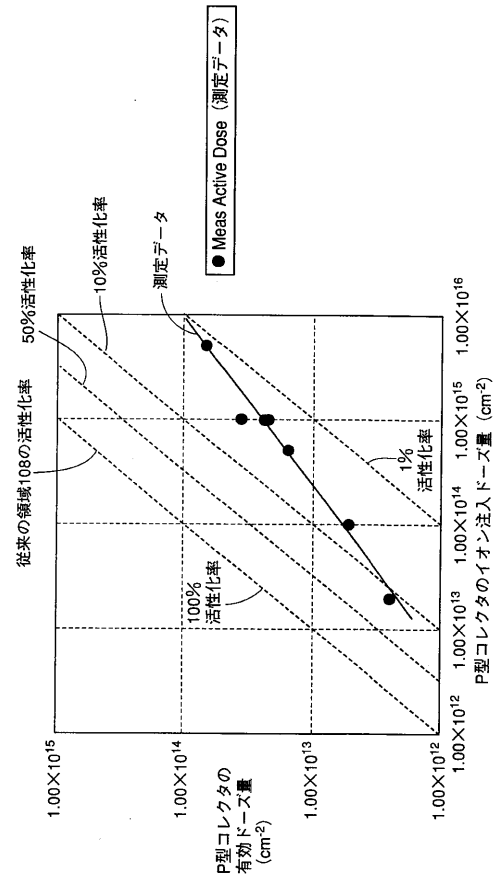
【図 13】



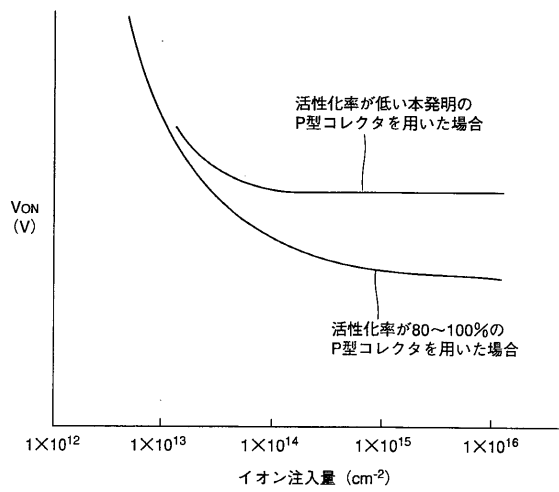
【図 14】



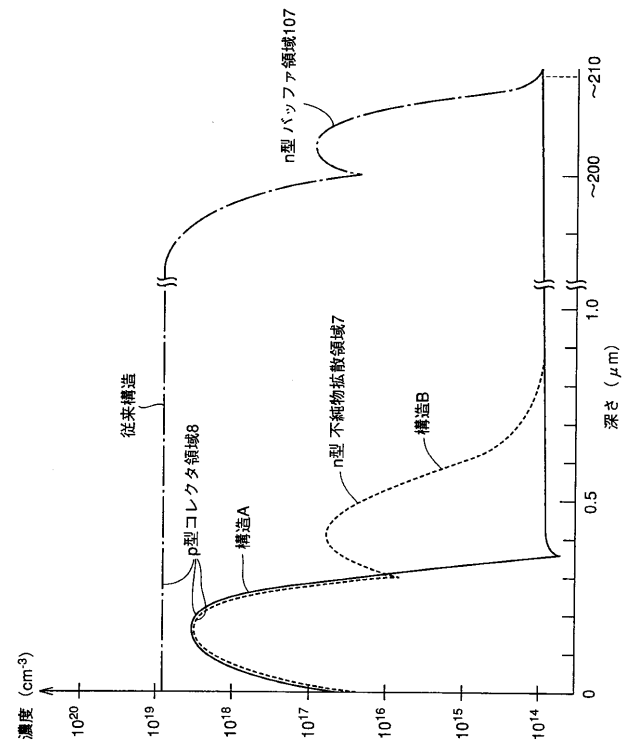
【図 15】



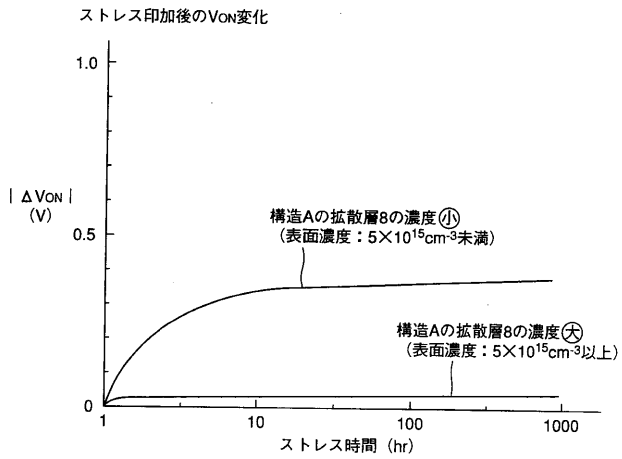
【図 16】



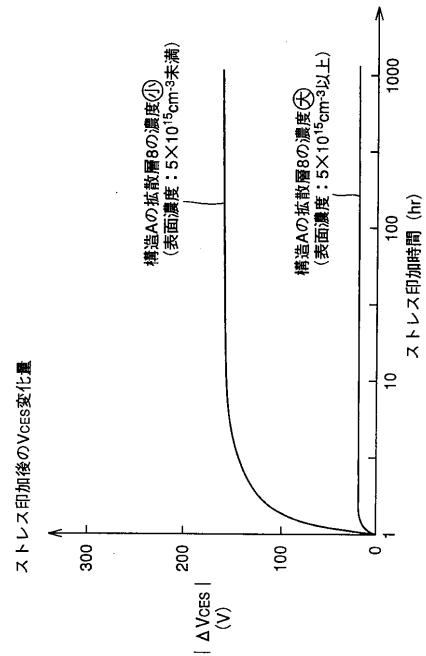
【図 17】



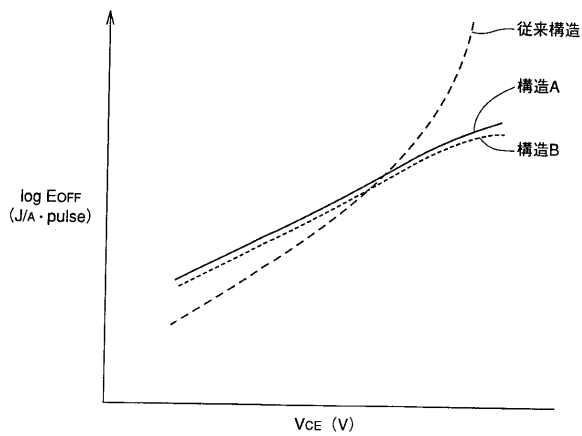
【図 18】



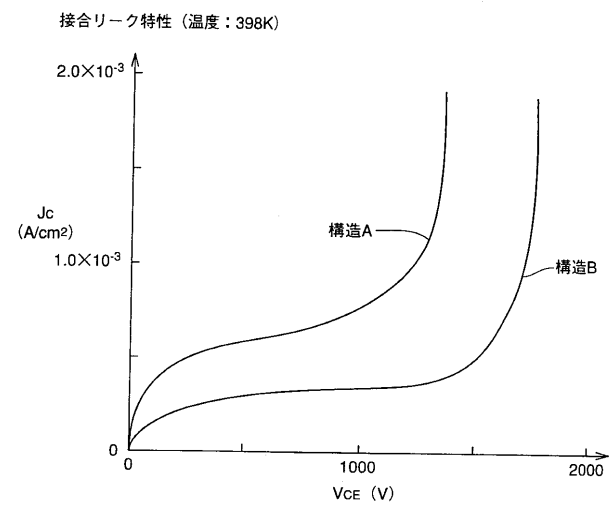
【図 19】



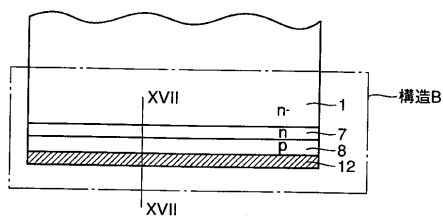
【図 20】



【図 22】

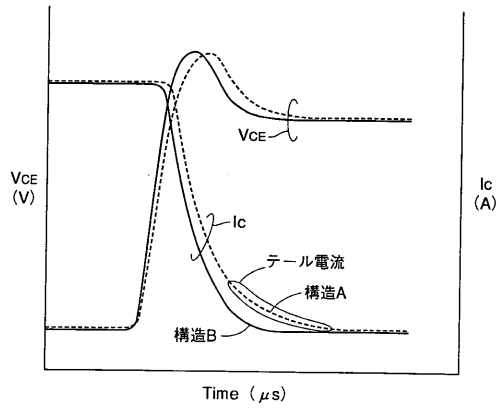


【図 21】

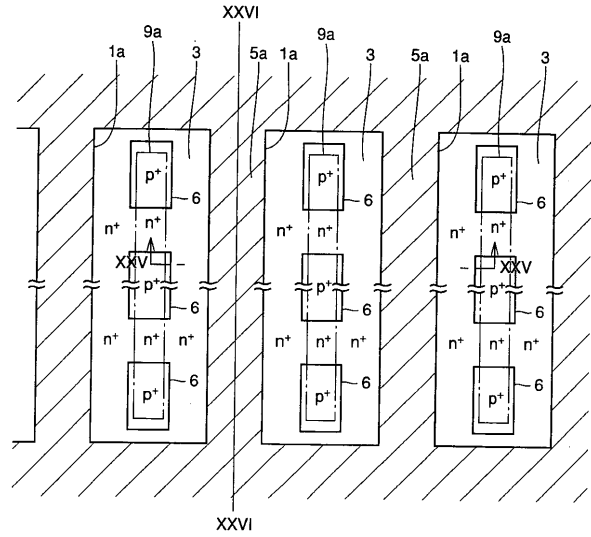


【図 23】

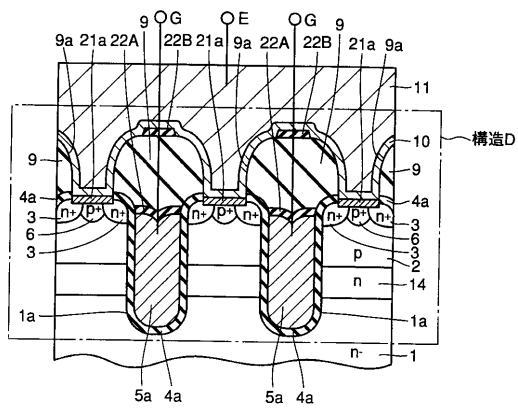
スイッチング特性 (温度: 398K)



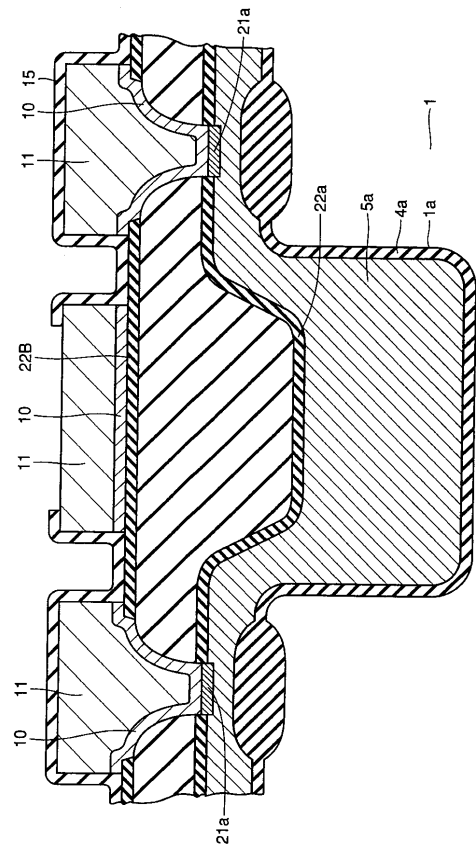
【図 24】



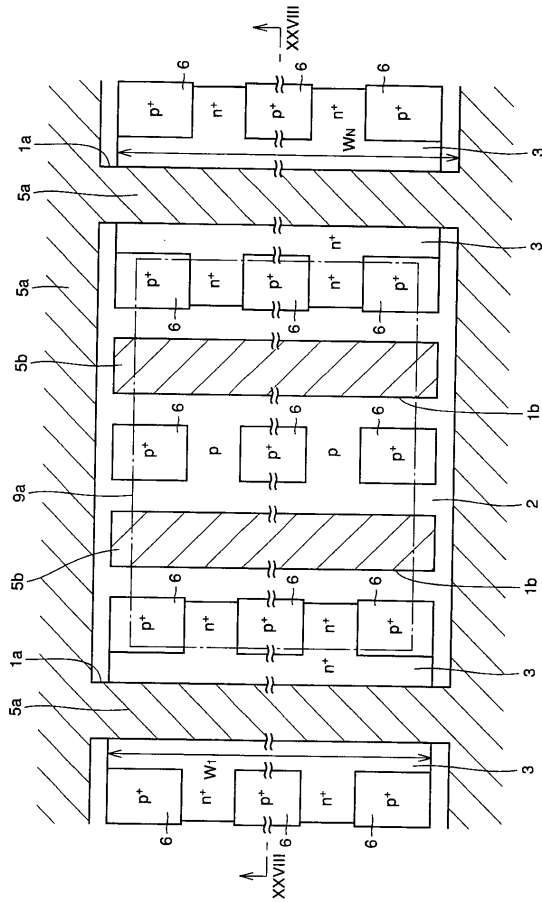
【図 25】



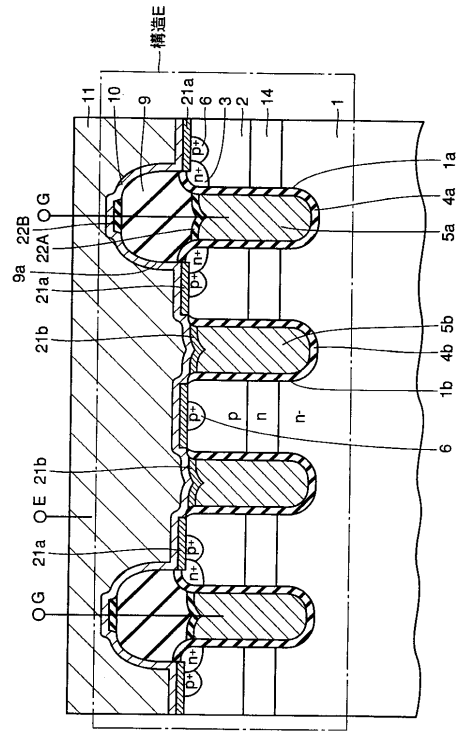
【図 26】



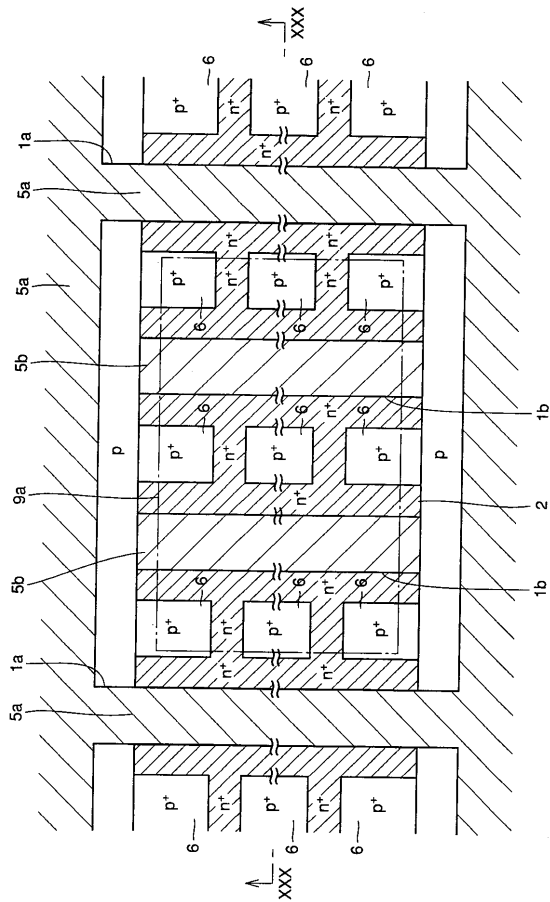
【図 27】



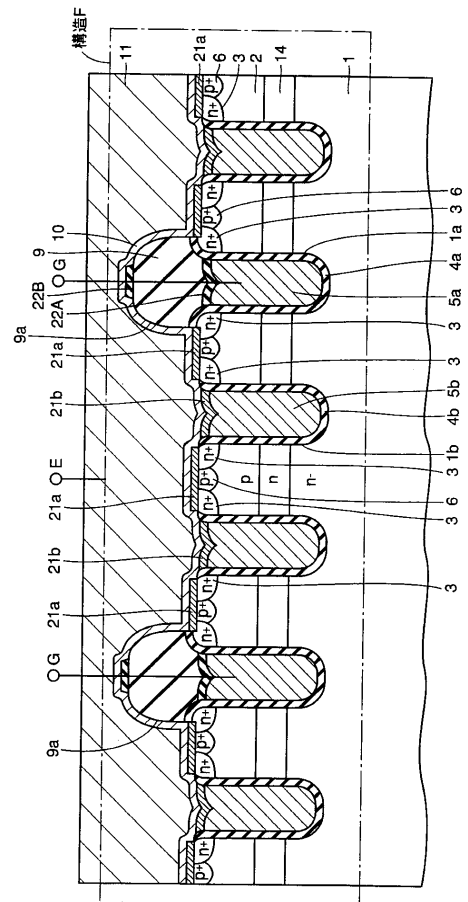
【図 28】



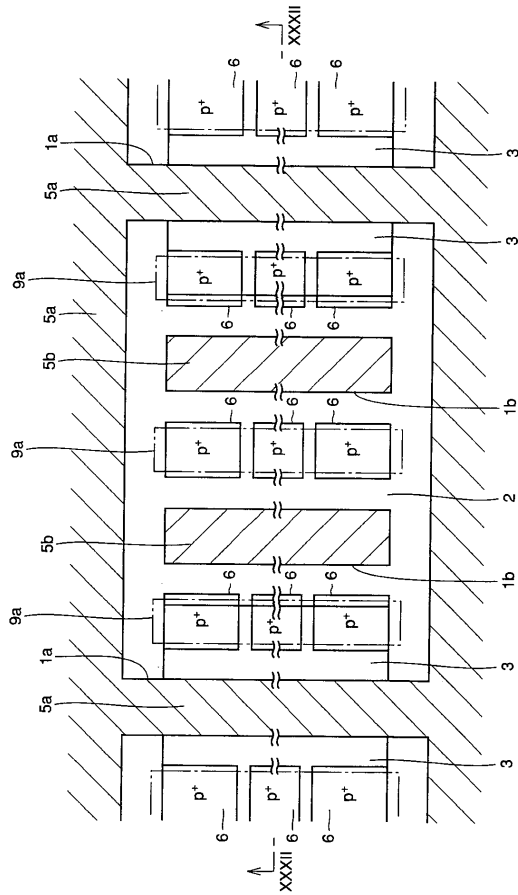
【図 29】



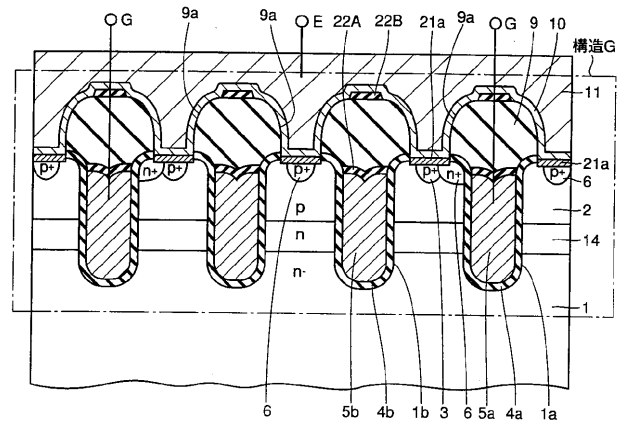
【図 30】



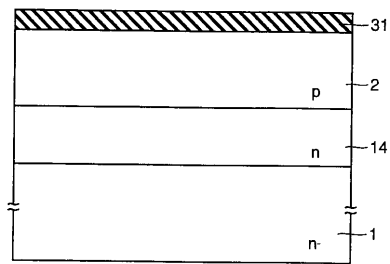
【図 3 1】



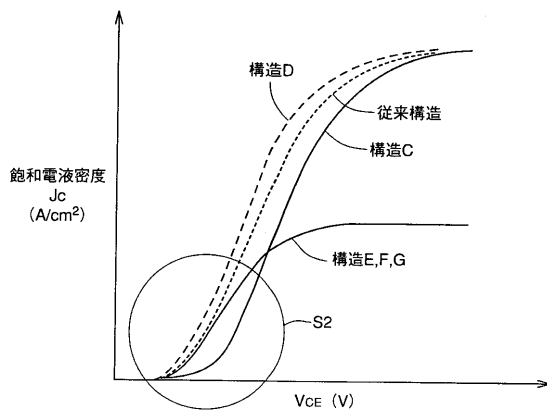
【図 3 2】



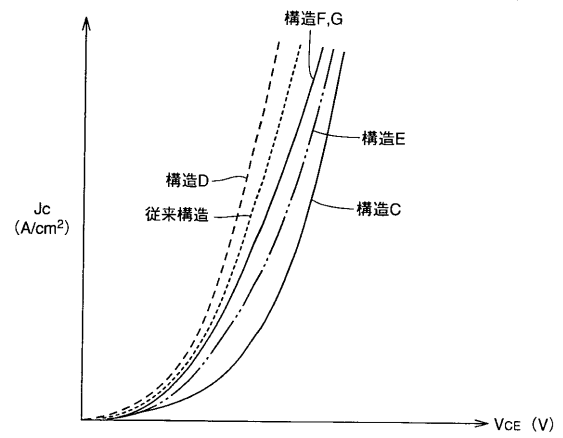
【図 3 3】



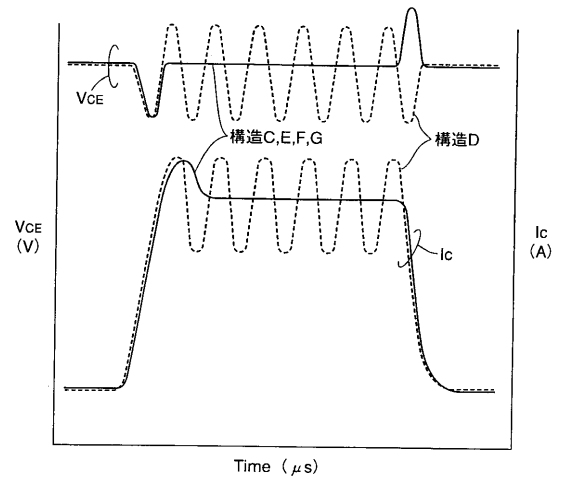
【図 3 4】



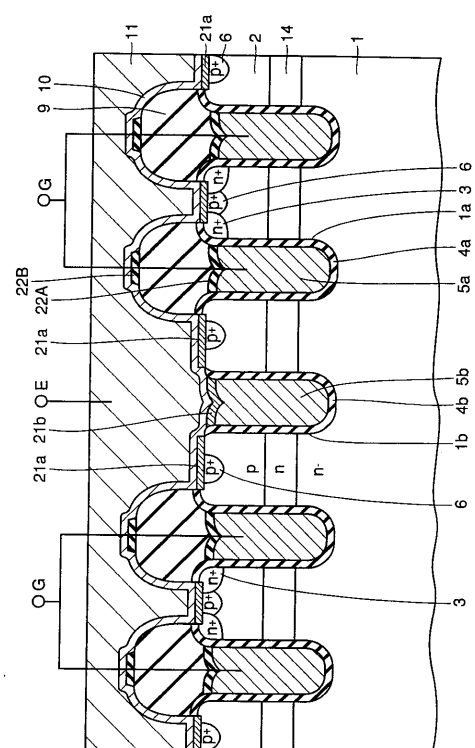
【図 3 5】



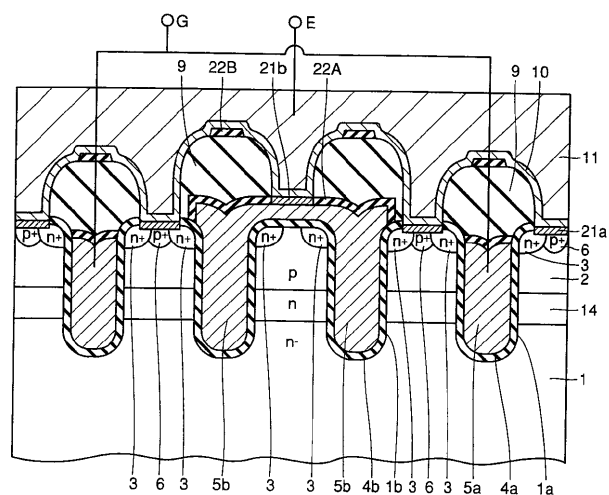
【 図 3 7 】



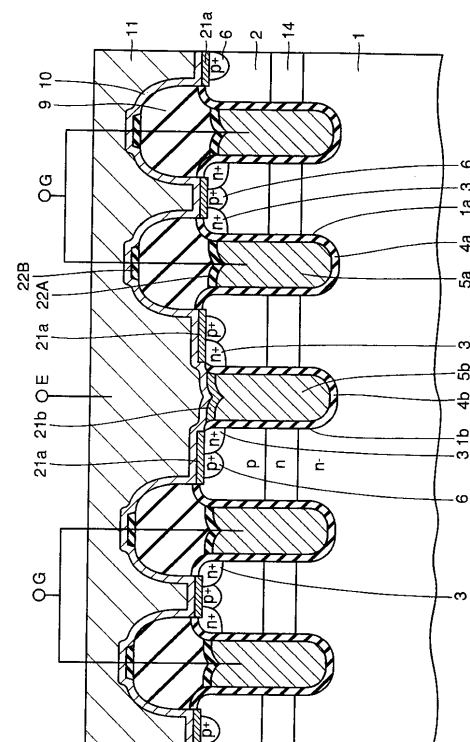
【 図 3 9 】



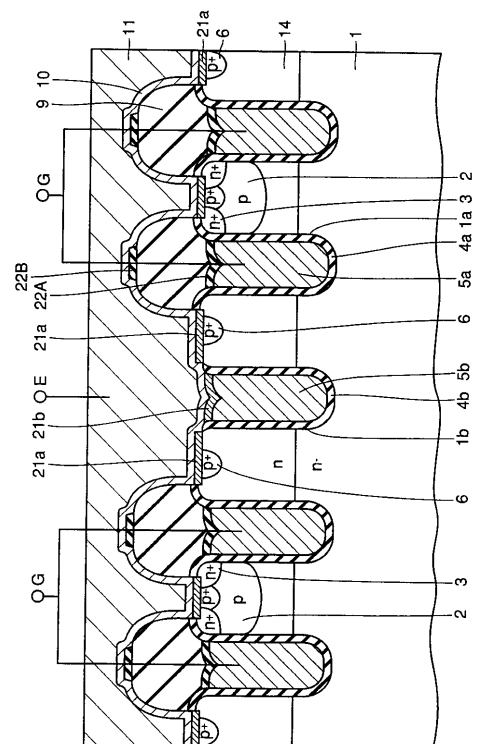
【図 4 1】



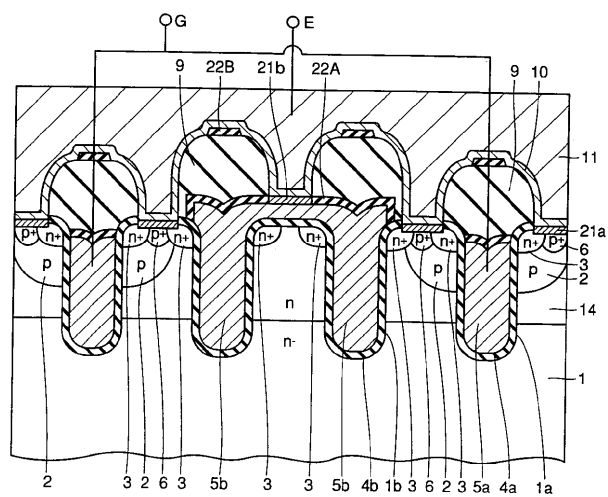
【図 4 3】



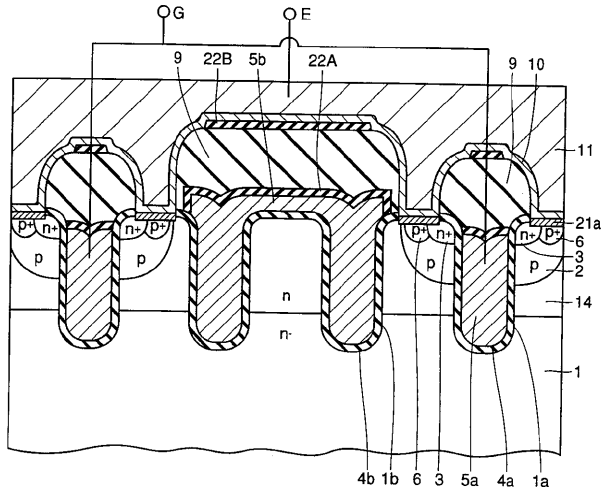
【図 4 9】



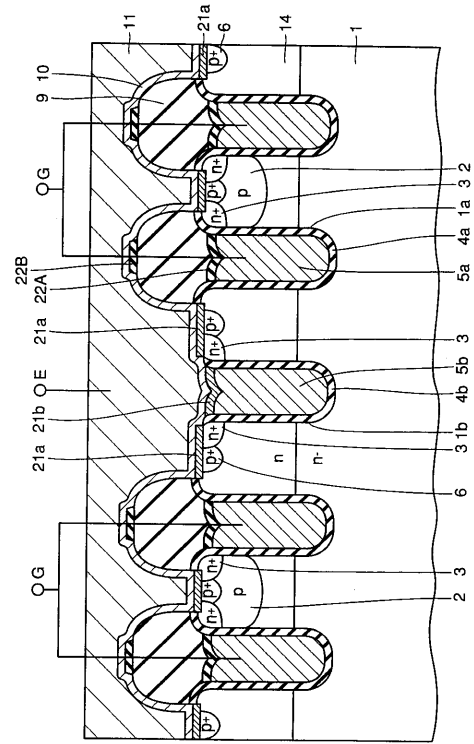
【図 5 1】



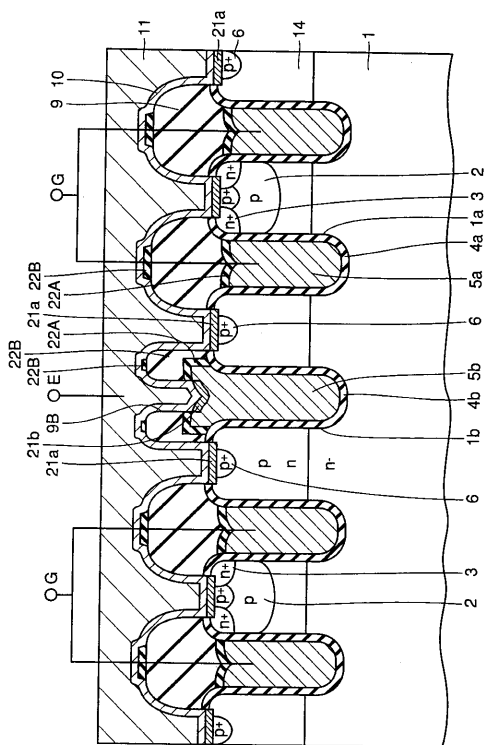
【図 5 2】



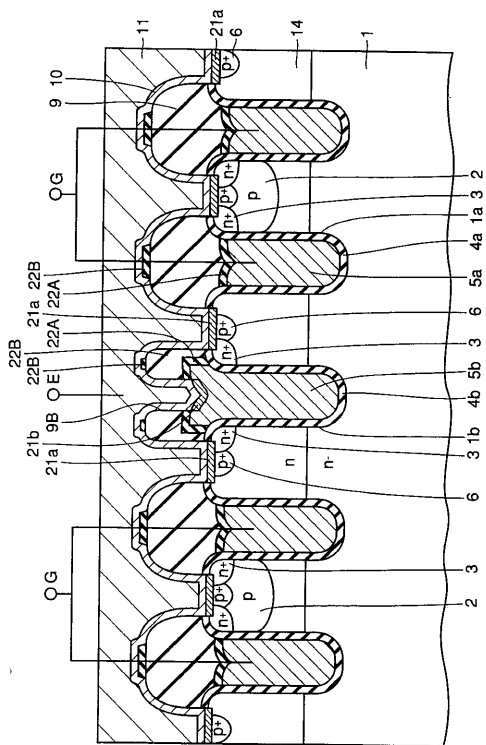
【図 5 3】



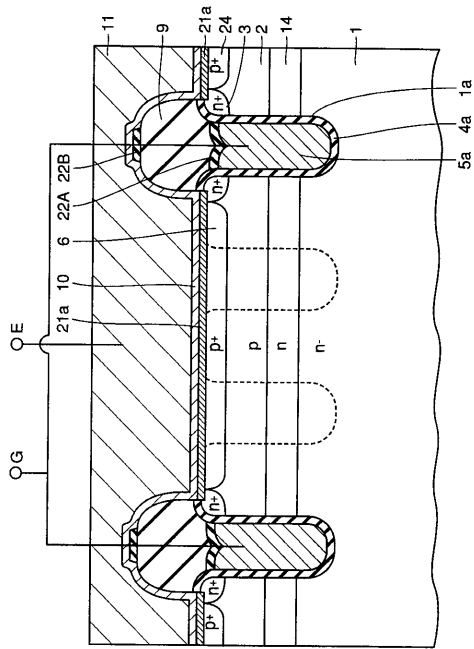
【図 5 4】



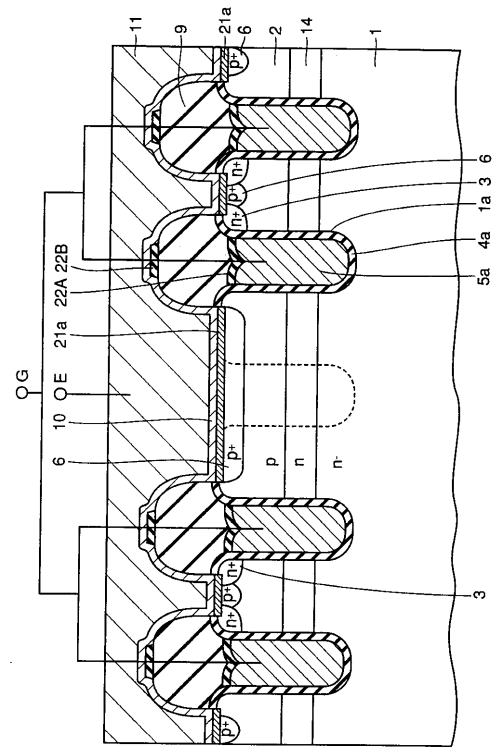
【図 5 5】



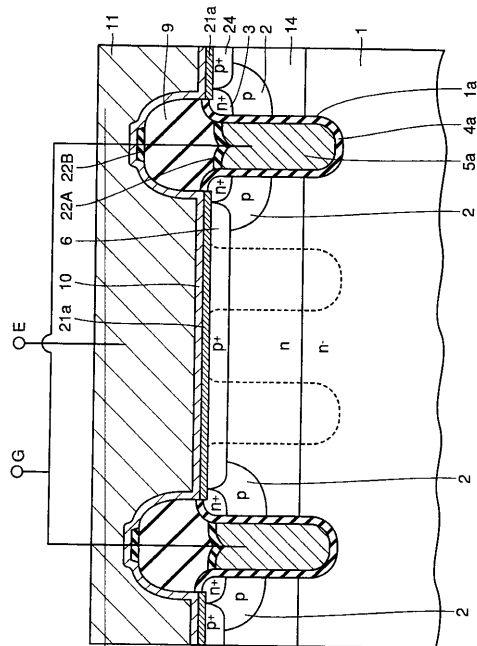
【図 56】



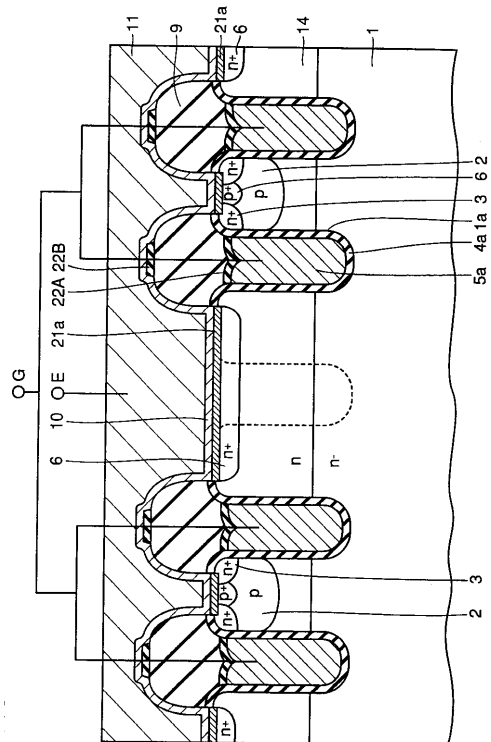
【図 57】



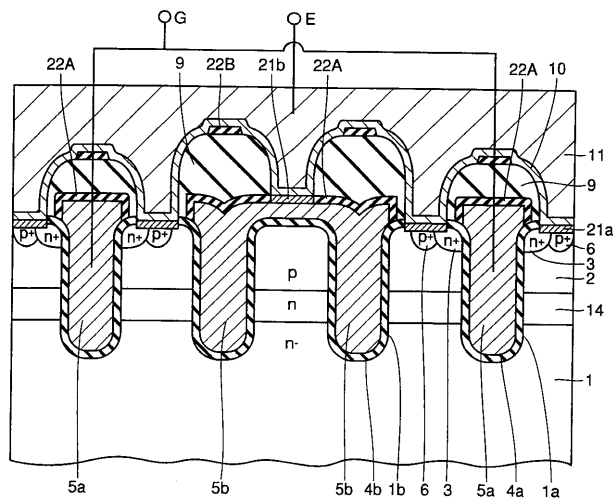
【図 58】



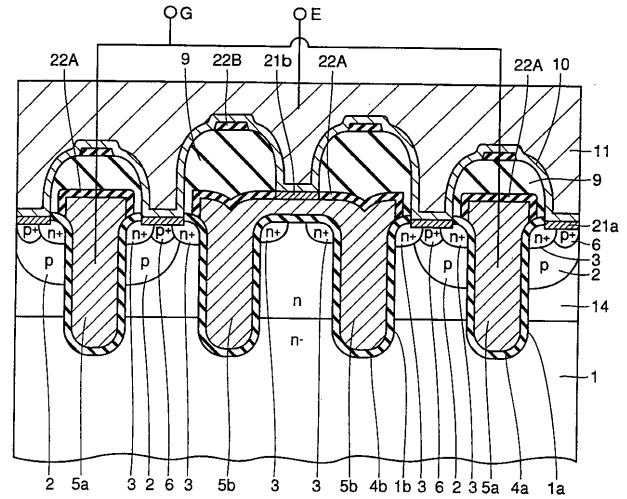
【図 59】



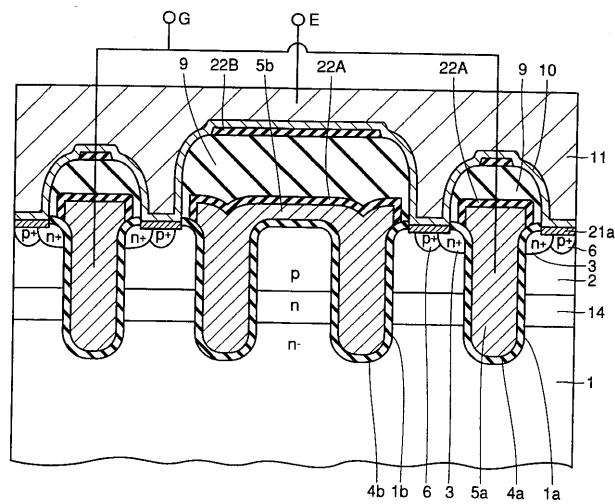
【図 6 4】



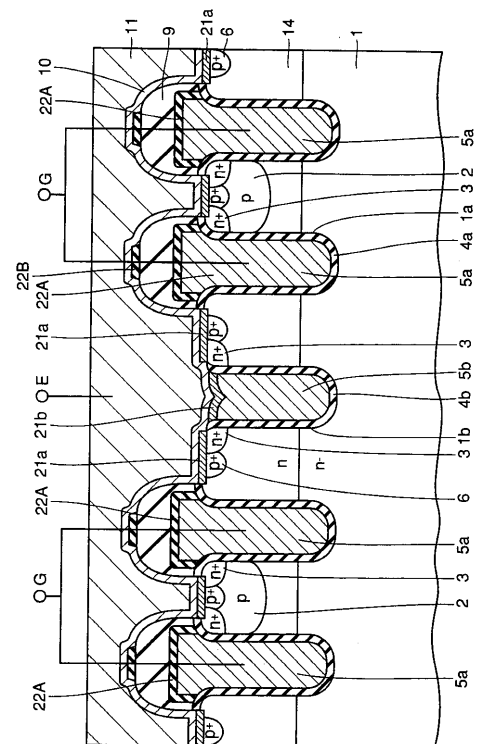
【図 6 5】

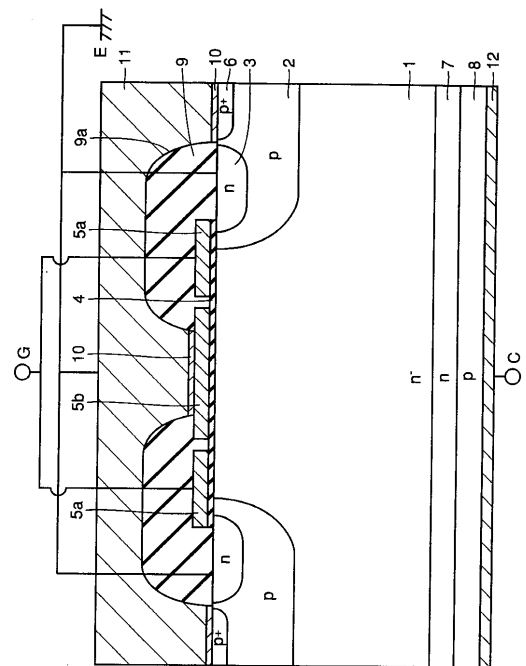


【図 6 6】

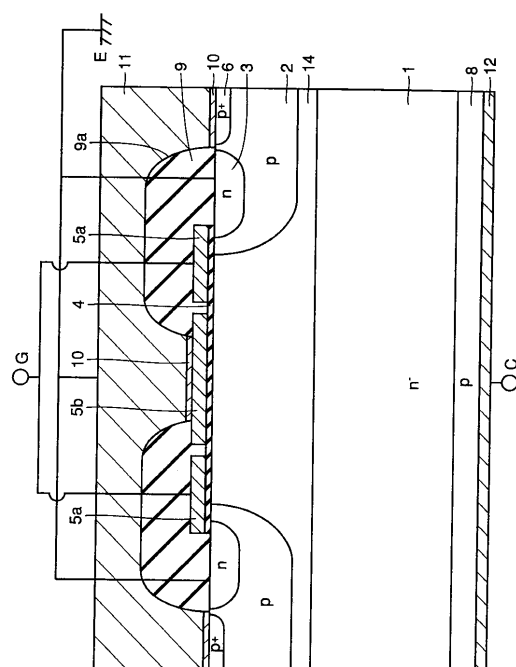
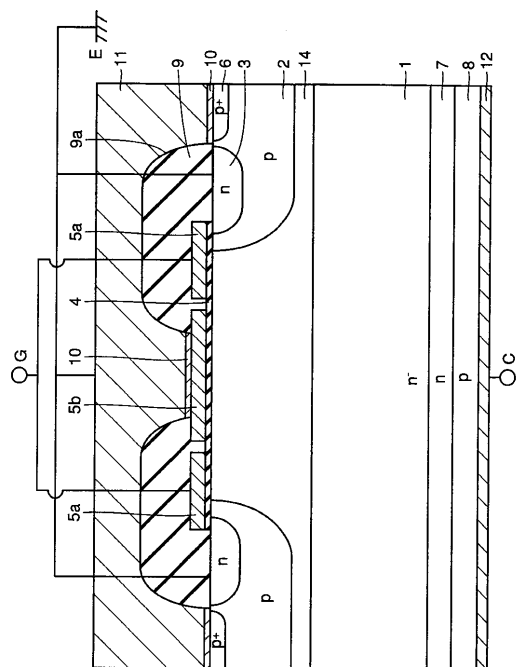


【図 6 7】

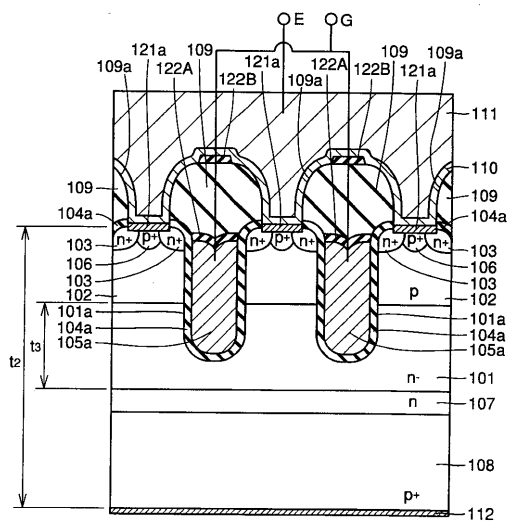
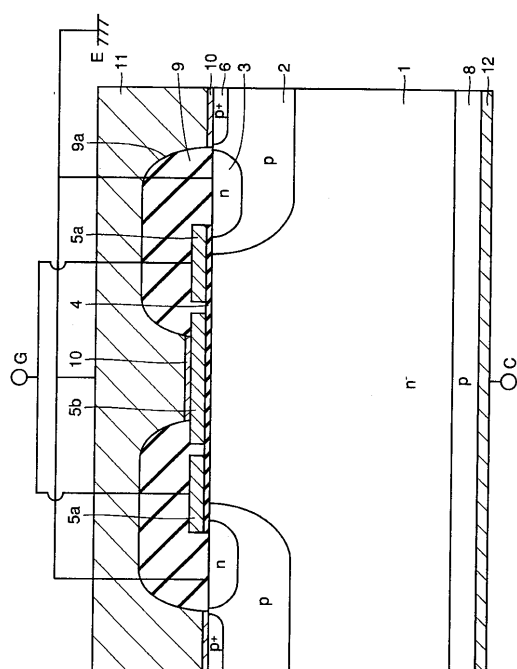




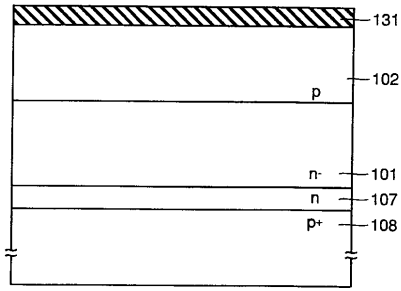
【図 7 3】



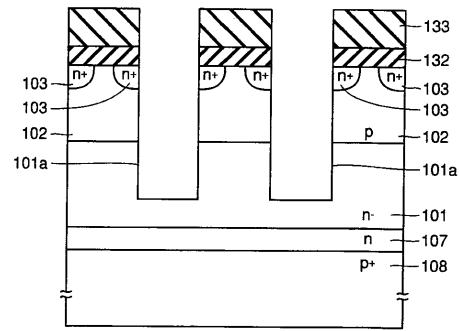
【図 7 5】



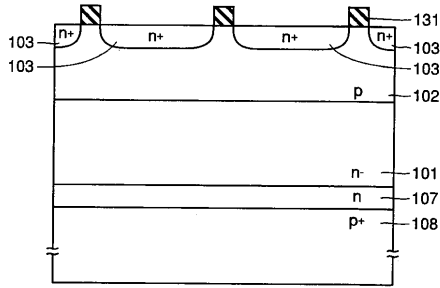
【図 7 6】



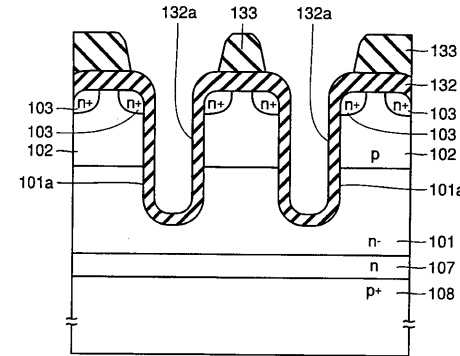
【図 7 8】



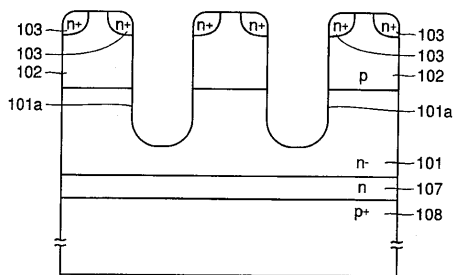
【図 7 7】



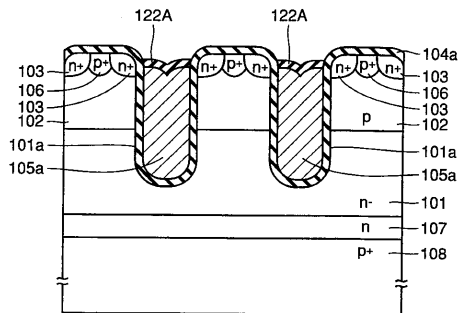
【図 7 9】



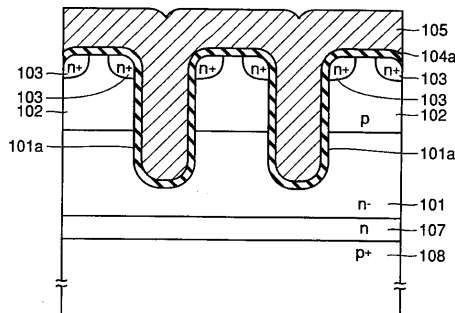
【図 8 0】



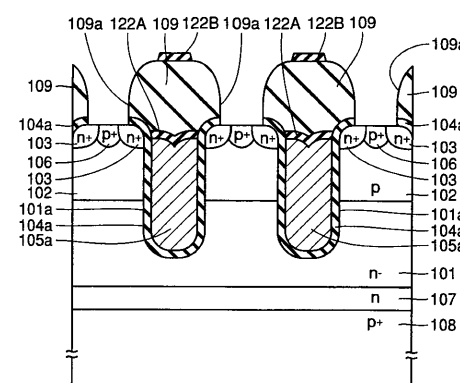
【図 8 2】



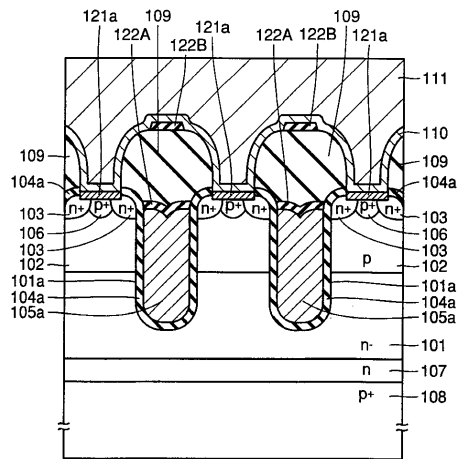
【図 8 1】



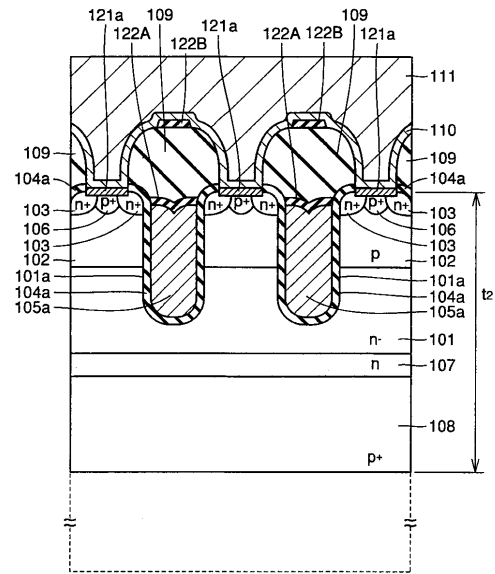
【図 8 3】



【図 8 4】



【図 8 5】



フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

H 0 1 L 29/78 6 5 2 S

H 0 1 L 29/78 6 5 5 G