

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2012-527766

(P2012-527766A)

(43) 公表日 平成24年11月8日 (2012.11.8)

(51) Int.Cl.	F I	テーマコード (参考)
H01L 21/027 (2006.01)	H01L 21/30 541 J	2H097
G03F 7/20 (2006.01)	G03F 7/20 504	5C034
H01J 37/305 (2006.01)	H01L 21/30 541 W	5F056
	H01J 37/305 B	

審査請求 未請求 予備審査請求 未請求 (全 96 頁)

(21) 出願番号	特願2012-511393 (P2012-511393)	(71) 出願人	505152479 マッパー・リソグラフィー・アイピー・ビー・ブイ・ オランダ国、2628 エクスケー・デルフト、コンピューターラン 15
(86) (22) 出願日	平成22年5月19日 (2010.5.19)	(74) 代理人	100108855 弁理士 蔵田 昌俊
(85) 翻訳文提出日	平成24年1月18日 (2012.1.18)	(74) 代理人	100091351 弁理士 河野 哲
(86) 国際出願番号	PCT/IB2010/052217	(74) 代理人	100088683 弁理士 中村 誠
(87) 国際公開番号	W02010/134026	(74) 代理人	100109830 弁理士 福原 淑弘
(87) 国際公開日	平成22年11月25日 (2010.11.25)	(74) 代理人	100075672 弁理士 峰 隆司
(31) 優先権主張番号	61/179,762		
(32) 優先日	平成21年5月20日 (2009.5.20)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 デュアルパス走査

(57) 【要約】

複数の荷電粒子ビームレットを使用してウェハを露光する方法。この方法は、ビームレットのうちで機能しないビームレットを特定することと、ウェハの第1の部分に露光するために、特定された機能しないビームレットを含まないビームレットの第1の部分集合を割り付けることと、ビームレットの第1の部分集合を使用してウェハの第1の部分に露光する第1の走査を実行することと、ウェハの第2の部分に露光するために、特定された機能しないビームレットを同様に含まないビームレットの第2の部分集合を割り付けることと、ビームレットの第2の部分集合を使用してウェハの第2の部分に露光する第2の走査を実行することと、を備え、ウェハの第1の部分とウェハの第2の部分とは、重なり合わず、合わせて露光されるべきウェハの全エリアを備える。

【選択図】 図15

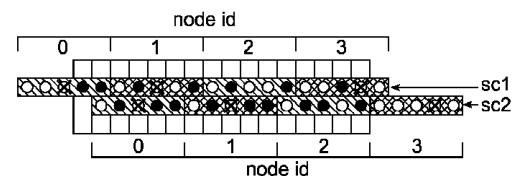


Fig. 15

【特許請求の範囲】

【請求項 1】

複数の荷電粒子ビームレットを使用してウェハを露光する方法であって、
前記ビームレットのうちで機能しないビームレットを特定することと、
前記特定された機能しないビームレットが除外された、前記ウェハの第 1 の部分を露光するための前記ビームレットの第 1 の部分集合、を割り付けることと、
前記ウェハの前記第 1 の部分へ前記ビームレットの前記第 1 の部分集合の割り付けと関連して、第 1 のウェハ位置を決定するためアルゴリズムを実行することと、
前記ウェハを前記第 1 の位置へ移動させることと、
前記ビームレットの前記第 1 の部分集合を使用して前記ウェハの前記第 1 の部分を露光するための第 1 の走査を実行することと、
前記特定された機能しないビームレットが同様に除外された、前記ウェハの第 2 の部分を露光するための前記ビームレットの第 2 の部分集合、を割り付けることと、
前記ウェハの前記第 2 の部分へ前記ビームレットの前記第 2 の部分集合の割り付けと関連して、第 2 のウェハ位置を決定するためアルゴリズムを実行することと、
前記ウェハを前記第 2 の位置へ移動させることと、
前記ビームレットの前記第 2 の部分集合を使用して前記ウェハの前記第 2 の部分を露光するための第 2 の走査を実行することと、
を備え、前記ウェハの前記第 1 及び第 2 の部分とは、重なり合わず、合わせて露光されるべき前記ウェハの全エリアを備え、前記ビームレットの前記第 1 及び第 2 の部分集合は、サイズが実質的に等しくされている、方法。

【請求項 2】

前記第 1 及び第 2 の部分は、サイズが実質的に等しくされている、請求項 1 の方法。

【請求項 3】

前記第 1 及び第 2 の部分は、それぞれ前記ウェハの複数のフィールドから選択されたストライプを備える、請求項 1 及び 2 のうちのいずれかの方法。

【請求項 4】

前記機能しないビームレットを特定することは、前記ビームレットを測定し、不成功、又は、仕様外のビームレットを特定することを備える、請求項 1 乃至請求項 3 のうちのいずれかの方法。

【請求項 5】

前記ビームレットを測定することは、前記複数のビームレットをセンサの方へ向けることと、前記ビームレットの有無を検出することとを備える、請求項 4 の方法。

【請求項 6】

前記ビームレットを測定することは、前記複数のビームレットをセンサの方へ向けることと、ビームレット位置を測定することとを備える、請求項 1 乃至請求項 5 のうちのいずれかの方法。

【請求項 7】

前記ビームレットを測定することは、前記複数のビームレットをセンサ上に走査することと、ビームレット偏向を測定することとを備える、請求項 1 乃至請求項 6 のうちのいずれかの方法。

【請求項 8】

前記ビームレットを測定することは、前記複数のビームレットをセンサ上に走査することと、ビームレット電流を測定することとを備える、請求項 1 乃至請求項 7 のうちのいずれかの方法。

【請求項 9】

前記複数のビームレットは、ビームレットの各グループが前記ウェハの各フィールド内の対応するストライプを露光するグループに分割される、請求項 1 乃至請求項 8 のうちのいずれかの方法。

【請求項 10】

前記複数のビームレットに関する前記ウェハの位置は、前記第 1 の走査の開始時と前記第 2 の走査の開始時とで異なっている、請求項 1 乃至請求項 9 のうちのいずれかの方法。

【請求項 1 1】

前記複数のビームレットに関して前記ウェハの第 1 のウェハ位置を計算することと、
前記第 1 の走査を開始する前に前記ウェハを前記第 1 の位置まで移動させることと、
前記複数のビームレットに関して前記ウェハの第 2 のウェハ位置を計算することと、
前記第 2 の走査を開始する前に前記ウェハを前記第 2 の位置まで移動させることと、
をさらに備え、前記ウェハの前記第 1 の部分への前記ビームレットの前記第 1 の部分集合の割り付けに関連した前記第 1 の位置と、前記ウェハの前記第 2 の位置への前記ビームレットの前記第 2 の部分集合の割り付けに関連した前記第 2 の位置とは、前記第 1 及び第 2 の部分が前記ビームレットの部分集合のうち的一方だけのビームレットによって露光されるようにする、請求項 1 乃至請求項 10 のうちのいずれかの方法。

10

【請求項 1 2】

前記ウェハの前記第 1 の部分への前記ビームレットの前記第 1 の部分集合の割り付けに関連した第 1 の位置と、前記ウェハの前記第 2 の部分への前記ビームレットの前記第 2 の部分集合の割り付けに関連した第 2 の位置とを決定するためアルゴリズムを実行することをさらに備え、前記第 1 及び第 2 の部分が前記ビームレットの部分集合のうちの方だけのビームレットによって露光されるようにする、請求項 1 乃至請求項 11 のうちのいずれかの方法。

【請求項 1 3】

前記ビームレットは、ビームレット制御データにしたがって、各走査中にビームレット・ブランカ・アレイによりオン及びオフに切り替えられる、請求項 1 乃至請求項 12 のうちのいずれかの方法。

20

【請求項 1 4】

前記ビームレット制御データは、前記第 1 の走査中に前記ビームレットの第 1 の部分集合を切り替えるための第 1 のビームレット制御データと、前記第 2 の走査中に前記ビームレットの第 2 の部分集合を切り替えるための第 2 のビームレット制御データとを備え、

前記第 1 の走査中に前記第 1 のビームレット制御データを前記ビームレット・ブランカ・アレイに送信することと、前記第 2 の走査中に前記第 2 のビームレット制御データを前記ビームレット・ブランカ・アレイに送信することと、をさらに備える、請求項 13 の方法。

30

【請求項 1 5】

パターン・データを処理して前記ビームレット制御データを生成することをさらに備え、前記第 2 のビームレット制御データは、前記第 1 の走査中に生成される、請求項 14 の方法。

【請求項 1 6】

前記パターン・データを処理することは、前記パターン・データをラスタライジングして前記ビームレット制御データを生成することを備え、前記第 2 のビームレット制御データのためのラスタライジングは、前記第 1 の走査中に実行される、請求項 15 の方法。

【請求項 1 7】

前記パターン・データを処理することは、前記ビームレット・ブランカ・アレイへのストリーミングのために前記ビームレット制御データを準備することを備え、前記第 2 のビームレット制御データは、前記第 1 の走査中に前記ブランカ・アレイへのストリーミングのために準備される、請求項 15 の方法。

40

【請求項 1 8】

パターン・データを処理して前記ビームレット制御データを生成することをさらに備え、露光されるべき次のウェハの前記第 1 のビームレット制御データは、現在露光中のウェハの前記第 2 の走査中に生成される、請求項 14 の方法。

【請求項 1 9】

前記パターン・データを処理することは、前記パターン・データをラスタライジングし

50

て前記ビームレット制御データを生成することを備え、露光されるべき次のウェハの前記第 1 のビームレット制御データのための前記ラスタライジングは、現在露光中のウェハの前記第 1 の走査中に実行される、請求項 18 の方法。

【請求項 20】

前記パターン・データを処理することは、前記ビームレット・ブランカ・アレイへのストリーミングのために前記ビームレット制御データを準備することを備え、露光されるべき次のウェハの前記第 1 のビームレット制御データは、現在露光中のウェハの前記第 2 の走査中に前記ブランカ・アレイへのストリーミングのために準備される、請求項 18 の方法。

【請求項 21】

前記パターン・データを処理するために十分な第 1 の数の処理ユニットを備えて、前記第 1 のビームレット制御データを生成することと、

それぞれが対応するビームレットのグループヘデータを送信し、前記ビームレット制御データを前記ビームレット・ブランカ・アレイへ送信するための第 2 の数のチャンネルを備えることと、

前記ウェハの前記第 1 の部分を露光するために前記ビームレットの前記第 1 の部分集合に対応するチャンネルに前記処理ユニットを接続することと、

前記処理ユニットにおいて前記パターン・データを処理して前記第 1 のビームレット制御データを生成することと、

前記第 1 のビーム制御データを前記ビームレット・ブランカ・アレイに送信することと、
をさらに備える、請求項 14 の方法。

【請求項 22】

前記パターン・データを処理するために十分な第 3 の数の処理ユニットを備えて、前記第 2 のビームレット制御データを生成することと、

それぞれが対応するビームレットのグループヘデータを送信し、前記ビームレット制御データを前記ビームレット・ブランカ・アレイへ送信するための第 4 の数のチャンネルを備えることと、

前記ウェハの前記第 2 の部分を露光するために前記ビームレットの前記第 2 の部分集合に対応するチャンネルに前記処理ユニットを接続することと、

前記処理ユニットにおいて前記パターン・データを処理して前記第 2 のビームレット制御データを生成することと、

前記第 2 のビーム制御データを前記ビームレット・ブランカ・アレイに送信することと、
をさらに備える、請求項 14 の方法。

【請求項 23】

前記第 1 の数の処理ユニットは、前記第 1 のビームレット制御データを生成するために前記パターン・データを処理し及び前記第 2 のビームレット制御データを生成するために前記パターン・データを処理するため十分であるが、前記第 1 及び第 2 のビームレット制御データを同時に生成するために前記パターン・データを処理するためには十分ではない、請求項 18 の方法。

【請求項 24】

7 台の処理ユニットが 12 個のチャンネル毎に設けられている、請求項 18 の方法。

【請求項 25】

ターゲットへのパターンの投影のために荷電粒子ビームレットを生成するためのブランカを含む荷電粒子光学カラムと、ターゲット支持体と、を備え、前記カラムと前記ターゲット支持体とがシステム内で互いに相対移動可能であり、前記システムは、前記カラムのブランカへのパターン・データを処理及び転送するデータバスをさらに備え、前記ブランカは、前記ターゲットへの投影に関してそれぞれ前記ビームレットをオン及びオフに切り替えることができるよう配置され、前記データバスは、パターン・データを、前記ターゲ

10

20

30

40

50

ット支持体と前記カラムとの相対移動でビームレットの投影エリアを形成する前記ターゲット上のストライプに関連する投影データに処理するための処理ユニットを備え、前記データパスは、前記投影データによってビームレットを個別に制御する前記ブランカに接続されているチャンネルをさらに備え、前記システムは、異なるチャンネルの間で処理ユニットへの接続を切り替えるスイッチがさらに設けられている、リソグラフィ・システム。

【発明の詳細な説明】

【発明の背景】

【0001】

I．発明の分野

本発明は、マスキレス荷電（チャージ）粒子リソグラフィ装置に関し、特に、この装置のためのデータパスと、補正を実施する方法と、走査（スキャン）方法とに関する。

【0002】

II．関連技術の説明

集積回路の設計は、典型的に、コンピュータ読み取り可能なファイルの中に表現される。GDS-IIファイル・フォーマット（GDSは、グラフィック・データ・シグナルの略語である）は、集積回路又はICレイアウトネットワークのデータ交換のためのリソグラフィ工業規格であるデータベース・ファイル・フォーマットである。マスクを用いるリソグラフィ装置に対し、GDS-IIファイルは、典型的に、後でリソグラフィ装置によって使用されるマスク又はマスクの組を生産するため使用される。マスキレス・リソグラフィ装置に対し、GDS-IIファイルは、リソグラフィ装置を制御するため適したフォーマットに置き換えるため電子的に処理される。荷電粒子リソグラフィ装置に対し、GDS-IIファイルは、リソグラフィプロセスで用いられる荷電粒子ビームを制御する制御信号の組に変換される。

【0003】

処理ユニットが現行のリソグラフィ・システムのための中間データを生成するためにGDS-IIファイルを処理するため使用されることがある。アーキテクチャの選択に依存して、この中間データは、ビットマップ・フォーマット、又は、ベクトル・フォーマットの分野の記述のいずれかである。現行のリソグラフィ・システムは、大量の電子ビームを用いてパターンをウェハに書き込むため中間データを使用する。

【0004】

データパスのアーキテクチャは、最小コストでフルフィールド（full-field）大容量までスケールアップできるために必要とされるすべての特徴的形状を実施するため定義されるべきである。フルフィールド大容量装置のため必要とされるデータパス特徴的形状は、ツールキャリブレーション及びプロセス変動のため必要とされる様々な種類の補正を含む。

【0005】

さらに別の態様では、本発明は、ウェハを露光する複数の荷電粒子ビームレットを生成する荷電粒子リソグラフィ装置を使用してパターン・データに応じてウェハを露光する方法を提供する。この方法は、パターン・データをベクトル・フォーマットで与えることと、マルチレベル・パターン・データを生成するためベクトル・パターン・データを描画することと、2レベル・パターン・データを生成するためマルチレベル・パターン・データをディザリングすることと、2レベル・パターン・データを荷電粒子リソグラフィ装置に供給することと、2レベル・パターン・データに基づいて荷電粒子リソグラフィ装置によって生成されたビームレットのオン及びオフを切り替えることとを備え、パターン・データは、補正データに基づいて調整される。

【0006】

パターン・データを調整することは、第1の補正データに基づいてベクトル・パターン・データを調整することと、第2の補正データに基づいてマルチレベル・パターン・データを調整することと、及び/又は、第3の補正データに基づいて2レベル・パターン・データを調整することと、を備えることがある。

10

20

30

40

50

【 0 0 0 7 】

ベクトル・パターン・データを描画することは、画素セルのアレイを画定することと、ベクトル・パターン・データによって画定された特徴的形状による画素セルの相対的なカバレッジに基づいてマルチレベル値を画素セルに割り当てることと、を備えることがある。マルチレベル・パターン・データをディザリングすることは、マルチレベル・パターン・データへのエラー伝播の適用により2レベル・パターン・データを形成することを備えることがある。エラー伝播は、マルチレベル・パターン・データの画素における量子化エラーをマルチレベル・パターン・データの1個以上の隣接する画素に分配することを備える。エラー伝播の適用は、画素のアレイを画定することと、画素のアレイを各部分が異なるビームレットによって露光されるように割り当てられた部分に分割することと、各部分に対しエラー伝播パラメータ値を判定することと、エラー伝播パラメータ値を使用して2レベル値を各部分の内部の画素に割り当てることと、を含むことがある。エラー伝播パラメータ値は、閾値と2レベル値のうちの高い方のレベルの加重値とを備えることがある。エラー伝播パラメータは、加重値をさらに2レベル値のうちの低い方のレベルの加重値をさらに備えることがある。閾値は、高レベル画素値の50%に等しいことがある。

10

【 0 0 0 8 】

閾値は、高レベル画素値と低レベル画素値との平均に等しい。エラー伝播パラメータ値を判定することは、ビームレット現在測定量に基づくことがある。エラー伝播パラメータ値は、閾値でもよく、2レベル値をある部分の内部の画素セルに割り当てることは、この部分に対し判定された閾値との比較に基づくことがある。エラー伝播パラメータは、2レベル値のうちの高い方のレベルを表現する値でもよく、そして、エラー伝播は、1次元エラー伝播でもよく、又は、2次元エラー伝播でもよい。エラー伝播の適用は、さらなる閾値以下であるマルチレベル値をもつ1個以上の画素へ向かう伝播を禁止することにより制限されることがあり、さらなる閾値は、零に等しくされることがある。

20

【 0 0 0 9 】

エラー伝播の適用は、ベクトル・パターン・データの中に記述された特徴的形状の外側に位置する1個以上の画素への伝播を禁止することにより制限されることがある。

【 0 0 1 0 】

第1の補正データは、線量補正、形状補正、又は、線量補正と形状補正との組み合わせを備えることがある近接効果補正を備えることがある。第1の補正データは、レジスト加熱補正、1つ以上のビームレットの位置の変動を補償するための補正、ウェハに対するウェハのフィールドの位置決めエラーを補償するための補正、及び/又は、ウェハのフィールドのサイズエラーを補償するための補正を備えることがある。

30

【 0 0 1 1 】

補正は、フル画素に満たないマルチレベル・パターン・データのシフティングを招くベクトル・パターン・データの調整を備えることがある。ウェハは、ウェハの露光中に機械的走査方向に移動されることがあり、補正は、機械的走査方向と機械的走査方向に実質的に直交する方向との両方に成分を有するマルチレベル・パターン・データのシフティングを生じるベクトル・パターン・データの調整を備えることがある。第1の補正データは、リソグラフィ装置へのビームレット制御信号の伝送時間の変動を補償するための補正を備えることがある。

40

【 0 0 1 2 】

この方法は、各ビームレット・ブランカ電極がビームレット制御信号を受信するビームレット・ブランカ・アレイの中のビームレット・ブランカ電極によってビームレットのオン及びオフを切り替えることを備え、第1の補正データは、ビームセット制御信号がビームレット・ブランカ電極によって受信されるときに時間差を補償するため補正を備える。ビームレットは、ウェハの表面を走査するため偏向されることがあり、第1の補正データは、様々なビームが受ける偏向の量の変動を補償するため補正を備えることがある。

【 0 0 1 3 】

マルチレベル・パターン・データをディザリングすることは、閾値との比較に基づいて

50

マルチレベル・パターン・データの個々の対応するマルチレベル値に対し高値又は低値を割り当てることを備え、量子化エラーは、マルチレベル・パターン・データから高レベル値の加重又は低レベル値の加重を減算することにより計算されることがあり、高レベル値の加重は、第2の補正データに基づいて定義される。低値の加重は、第2の補正データに基づいて定義されることがある。閾値は、第2の補正データに基づいて定義されることがある。マルチレベル・パターン・データをディザリングすることは、マルチレベル・パターン・データの中の対応するマルチレベル値を閾値と比較することにより2レベル値を判定することを備えることがあり、パターン・データを調整することは、第2の補正データに基づいて閾値を調整することを備える。

【0014】

10

第2の補正データは、1つ以上のビームレットの位置の変動を補償するための補正と、ウェハに関してウェハのフィールドの位置決めエラーを補償するための補正と、及び/又は、ウェハのフィールドのサイズエラーを補償するための補正とを備えることがある。補正は、フル画素に満たないマルチレベル・パターン・データのシフティングに等価的なマルチレベル・パターン・データの調整を備えることがある。

【0015】

ウェハは、ウェハの露光中に機械的走査方向に移動されることがあり、補正は、機械的走査方向と機械的走査方向に実質的に直交する方向との両方に成分を有するシフトを生じるマルチレベル・パターン・データの調整を備えることがある。第2の補正データは、異なったビームレット又はビームレット群によって露光されたエリア間にソフト・エッジを実現する補正を備えることがある。ソフト・エッジは、マルチレベル・パターン・データに、最大値に達するまでエッジまでの距離に伴って直線的に増加するソフト・エッジ係数を乗じることにより作られることがある。最大値は、1でもよく、係数の開始値は、エッジで0でもよく、ソフト・エッジは、約0.5から1.5ミクロンの幅を有することがある。

20

【0016】

第3の補正データは、1つ以上のビームレットの位置の変動を補償するための補正と、ウェハに関するウェハのフィールドの位置決めエラーを補償するための補正と、及び/又は、ウェハフィールドのサイズエラーを補償するための補正とを備えることがある。ウェハは、ウェハの露光中に機械的走査方向に移動されることがあり、第3の補正データは、機械的走査方向にフル画素のシフトを備えることがある。ウェハは、ウェハの露光中に機械的走査方向に移動されることがあり、第3の補正データは、機械的走査方向に実質的に直交する方向にフル画素のシフトを備えることがある。

30

【0017】

パターン・データをベクトル・フォーマットで与えるステップは、装置設計の複数の層を記述する設計データを与えることと、2次元パターン・データをベクトル・フォーマットで生成するため設計データの層を変換することと、を備える。設計データは、GDS-IIフォーマット又はOASISフォーマットのデータを備えることがある。ベクトル・パターン・データは、ウェハ上のパターン化のための特徴的形状の形状と、特徴的形状と関連付けられた線量値とを記述するベクトル・データを備えることがある。ベクトル・パターン・データは、ウェハ上のパターン化のための特徴的形状の形状と、ウェハ上の対応するエリアのための線量値のアレイとを記述するベクトル・データを備えることがある。

40

【0018】

マルチレベル・パターン・データは、画素セルに割り当てられたマルチレベル値のアレイを備えることがあり、マルチレベル・パターン・データは、グレイスケールビットマップデータを備えることがある。2レベル・パターン・データは、黒/白ビットマップデータを備えることがある。

【0019】

描画ステップ及びラスターライジングステップは、オフライン処理によって実行されることがあり、そのために、ウェハ全体のためのパターン・データの描画及びラスターライジン

50

グは、ウェハ走査が始まる前に完了する。描画ステップ及びラスタライジングステップは、設計毎に1回ずつ実行されることがある。描画ステップ及びラスタライジングステップは、インライン処理によって実行されることがあり、そのために、ウェハの第1のフィールドの組のためのパターン・データの描画及びラスタライジングは、第1のフィールドの組の走査が始まる前に完了し、ウェハの残りのフィールドのためのパターン・データの描画及びラスタライジングは、第1のフィールドの組の走査中に継続する。第1のフィールドの組及び残りのフィールドは、これらが重なり合わないようになされることある。第1のフィールドの組及び残りのフィールドは、一体となつて、露光されるべきウェハの完全なエリアを構成することがある。

【0020】

10

第1のフィールドの組は、ウェハの第1の走査中に露光されることがあり、残りのフィールドは、ウェハの第2の走査中に露光されることがある。ビームレットの第1の部分集合は、第1のフィールドの組を露光するため割り付けられることがあり、ビームレットの第2の部分集合は、残りのフィールドを露光するため割り付けられることがある。描画ステップ及びラスタライジングステップは、ウェハ毎に1回ずつ実行されることがあり、リアルタイム処理によって実行されることがあり、そのために、ウェハの第1のフィールドの組のための描画及びラスタライジングは、第1のフィールドの組の走査中に継続する。描画ステップ及びラスタライジングステップは、ウェハのフィールド毎に1回ずつ実行されることがあり、ウェハの露光中に実行されることがある。

【0021】

20

発明のさらなる態様では、パターン・データに応じてウェハを露光する荷電粒子リソグラフィ・システムが提供される。このシステムは、ビームレットをオン又はオフに切り替えるビームレット・ブランカ・アレイを含む、ウェハを露光する複数の電子ビームレットを生成する電子光学カラムと、ビームレットの切り替えの制御のためのビームレット制御データを伝達するデータバスと、x方向に電子光学カラムの下でウェハを移動するウェハ位置決めシステムと、を備える。ウェハ位置決めシステムは、ウェハを電子光学カラムからの電子ビームと位置合わせするためデータバスから同期化信号が供給される。データバスは、ビームレット制御データを生成する1つ以上の処理ユニットと、ビームレット制御データをビームレット・ブランカ・アレイに送信する1つ以上の伝送チャネルとをさらに備える。

30

【0022】

伝送システムは、各伝送チャネルが対応するビームレット群のためのデータを送信する複数の伝送チャネルを備えることがある。ビームレットは、複数のグループに配置されることがあり、各伝送チャネルは、ビームレット群の中の1つずつに対しビームレット制御データを送信する。データバスは、各マルチプレクサがビームレット群のためのビームレット制御データを多重化する複数のマルチプレクサを備えることがある。システムは、各デマルチプレクサがビームレット群のためのビームレット制御データを逆多重化する複数のデマルチプレクサをさらに備えることがある。データバスは、処理ユニットによって生成されたビームレット制御データを荷電粒子リソグラフィ装置への送信のため光信号に変換する電気・光変換装置を備えることがある。

40

【0023】

伝送チャネルは、光信号を導く光ファイバを備えることがあり、ビームレット・ブランカ・アレイは、光信号を受信し、光信号をビームレットの制御のための電気信号に変換する光・電気変換装置を備えることがある。伝送システムは、レンズのアレイとミラーとを備え、レンズのアレイは、光信号をミラーへ導き、ミラーは、光信号を荷電粒子リソグラフィ装置のビームレット・ブランカ・アレイに反射する。

【0024】

システムは、ウェハの第1の部分を露光するため割り付けられたビームレットの第1の部分集合のための第1のビームレット制御データを生成するためパターン・データを処理するため十分な第1の台数の処理ユニットをさらに備える。システムは、処理ユニットを

50

伝送チャネルの部分集合に接続する交差接続スイッチをさらに備えることがある。

【0025】

ビームレットは、複数のグループに配置されることがあり、各処理ユニットは、ビームレットのいずれか1つのグループのためのビームレット制御データを生成し、各伝送チャネルは、ビームレットのグループのうちの1つのグループのためのビームレット制御データの送信専用である。7台の処理ユニットが12個の伝送チャネル毎に設けられることがある。

【0026】

荷電粒子リソグラフィ・システムは、ウェハの第1の部分を露光するため割り付けられたビームレットの第1の部分集合と、ウェハの第2の部分を露光するビームレットの第2の部分集合とを有することがあり、交差接続スイッチは、処理ユニットをウェハの第1の部分の走査のためのビームレットの第1の部分集合に対応する伝送チャネルの第1の部分集合に接続し、処理ユニットをウェハの第2の部分の走査のためのビームレットの第2の部分集合に対応する伝送チャネルの第2の部分集合に接続することがある。第1の処理ユニットの数は、第1のビームレット制御データを生成するためにパターン・データを処理し、第2のビームレット制御データを生成するためにパターン・データを処理するため十分であるが、同時に第1のビームレット制御データ及び第2のビームレット制御データの両方を生成するためにパターン・データを処理するため十分ではないことがある。

【0027】

リソグラフィ・システムは、ウェハの第1の部分が第1のパターン・データに応じて露光され、続いて、ウェハの第2の部分が第2のパターン・データに応じて露光されるデュアルパス走査でウェハを露光するため適合することがあり、処理ユニットは、第1のパターン・データを記憶する第1のメモリ部分と第2のパターン・データを記憶する第2のメモリ部分とに分割されたメモリを備えることがあり、現在のウェハのバッチの中のウェハの第2の部分の露光中に、次のウェハのバッチの中のウェハのための第1のパターン・データは、第1のメモリ部分にロードされることがある。

【0028】

別の態様では、本発明は、荷電粒子リソグラフィ・システムにおいてウェハを露光する方法を備える。この方法は、各グループがビームレットのアレイを備えるグループ状に配置された複数の荷電粒子ビームレットを生成することと、ウェハ走査速度で第1の方向にビームレットの下でウェハを移動することと、偏向走査速度で第1の方向と実質的に直交する第2の方向にビームレットを偏向することと、ビームレットによってウェハに加えられる線量を調整するためウェハ走査速度を調整することと、を備える。ビームレットは、平行投影書き込み戦略を使用してウェハを露光することがあり、偏向走査速度は、ビームレット走査速度及びフライバック速度を備えることがある。

【0029】

ビームレットの各アレイは、アレイの中のビームレットの間で第1の方向に投影ピッチ P_{proj} と、アレイ内のビームレットの数が乗じられた投影ピッチ P_{proj} に等しい群距離とを有することがあり、各走査の間のビームレットとウェハとの間のx方向における相対移動に等しい走査ステップは、整数Kで除した群距離に等しい。走査ステップは、ビームレット走査速度及び/又はフライバック速度を調整することにより、又は、y方向における1回のビームレット走査のための時間と、ビームレット・フライバック時間とを備えるビームレット偏向期間を調整することにより調整されることがある。偏向期間は、整数Kで除した群距離をビームレット走査速度で除したものに等しいことがある。この方法は、Kと各アレイの中のビームレットの数との最大公約数が1であるという要件をKが満たすようにされることがある。

【0030】

さらに別の態様では、本発明は、荷電粒子リソグラフィ・システムにおいてウェハを露光する方法に係る。この方法は、各グループがビームレットのアレイを備えるグループ状に配置された複数の荷電粒子ビームレットを生成することと、ウェハ走査速度で第1

10

20

30

40

50

の方向にビームレットの下でウェハを移動することと、偏向走査速度で第1の方向と実質的に直交する第2の方向にビームレットを偏向することと、ビームレットが画素を露光するためウェハの方へ偏向されるときにパターン・データに応じてビームレットのオン及びオフを切り替えることと、第1の方向で画素幅を調整するため偏向走査速度と相対的にウェハ走査速度を調整することと、を備える。

【0031】

ビームレットは、平行投影書き込み戦略を使用してウェハを露光することがあり、偏向走査速度は、ビームレット走査速度とフライバック速度とを備える。ビームレットの各アレイは、アレイの中のビームレットの間で第1の方向に投影ピッチ P_{proj} と、アレイ内のビームレットの数が乗じられた投影ピッチ P_{proj} に等しい群距離とを有することがあり、各走査の間のビームレットとウェハとの間のx方向における相対移動に等しいことがある走査ステップは、整数Kで除した群距離に等しい。走査ステップは、ビームレット走査速度及び/又はフライバック速度を調整することにより調整されることがある。走査ステップは、y方向の1回のビームレット走査のための時間とビームレット・フライバック時間とを備えるビームレット偏向期間を調整することにより調整されることがある。偏向期間は、整数Kで除した群距離をビームレット走査速度で除したものに等しいことがある。この方法は、Kと各アレイ内のビームレットの数との最大公約数が1であるという要件をKが満たすようにされることがある。

【0032】

さらに別の態様では、本発明は、荷電粒子リソグラフィ・システムにおいてウェハを露光する方法を提供する。この方法は、各グループがビームレットのアレイを備えるグループ状に配置された複数の荷電粒子ビームレットを生成することと、ビームレットとウェハとの間で第1の方向に相対移動を生み出すことと、各ビームレットがウェハ上で複数の走査線を露光するように、偏向走査速度でx方向に実質的に直交する第2の方向にビームレットを偏向することと、ビームレットによってウェハに加えられた線量を調整するため第1の方向における相対移動及び第2の方向におけるビームレットの偏向を調整することと、を備える。ビームレットの各アレイは、アレイのビームレットの間で第1の方向に投影ピッチ P_{proj} と、アレイ内のビームレットの数が乗じられた投影ピッチ P_{proj} に等しい群距離とを有し、各走査の間のビームレットとウェハとの間のx方向における相対移動は、整数Kで除した群距離に等しい。

【0033】

値Kは、Kと各アレイ内のビームレットの数との最大公約数が1であるように選択されることがある。走査線の幅は、整数Kで除した投影ピッチ P_{proj} にされることがある。画素をウェハに露光するためビームレットが偏向されるとき、ビームレットは、パターン・データに応じてオン及びオフに切り替えられることがあり、第1の方向での画素の幅は、整数Kで除した投影ピッチ P_{proj} にされることがある。

【0034】

さらなる態様では、本発明は、リソグラフィプロセスを使用してターゲットに書き込む特徴的形状を定義する方法に関する。この方法は、特徴的形状が1個以上のセルを占有するセルのアレイを定義することと、各セルに対し、セルの範囲内に含まれる特徴的形状のコーナーを記述することとを備える。コーナーは、コーナー位置と、第1のベクトルと、第2のベクトルと、により記述されることがあり、2つのベクトルは、この位置を原点とする。コーナー位置は、2つの座標によって、及び/又は、デカルト座標によって記述されることがある。各ベクトルは、ベクトルのための方向を指定する方位コードによって記述されることがある。

【0035】

特徴的形状は、第1のベクトルから第2のベクトルまで、時計回り方向のような所定の方向に移動するときにベクトルとセル境界とによって境界を定められたエリアとして定義されることがある。擬似コーナーは、セルの内部に部分的に含まれるが、そうでなければ、セルの内部にコーナーを有していない特徴的形状に対し定義されることがある。擬似コ

10

20

30

40

50

ーナーは、互いに 180 度で方向を合わされた第 1 のベクトル及び第 2 のベクトルによって記述されることがある。

【0036】

ベクトルは、セル境界に平行又はセル境界に垂直な方向だけを有するように、及び/又は、セル境界に平行、セル境界に垂直、又は、セル境界に 45 度である方向だけを有するように選択されることがある。

【0037】

最小特徴的形状ピッチは、定義されることがあり、セルは、最小特徴的形状ピッチ以下のサイズを有することがある。セルは、最小特徴的形状ピッチを乗じた 2 の平方根の半分以下のサイズを有することがある。最小特徴的形状ピッチは、2 の平方根を乗じたセルのサイズ以上であるサイズとして定義されることがある。

10

【0038】

セル境界に 45 度で方向を合わされたエッジを有する特徴的形状又は特徴的形状の一部に対し、2 の平方根を乗じたセルのサイズ以上のサイズを有する最小特徴的形体ピッチが定義されることがある。コーナーの最大数は、セル毎に定義されることがある。各セルは、1 つ以上の特徴的形状、及び/又は、1 つ以上の特徴的形状の一部を含むことがある。各セルは、ウェハのフィールドの一部のためのパターン・データ、又は、ウェハのフィールドのストライプのパターン・データを備えることがある。

【0039】

別の態様では、本発明はリソグラフィプロセスで用いられるパターン・データを処理する方法を備え、この方法は、パターン・データをベクトル・フォーマットで与えることと、セル・ベース・フォーマットでパターン・データを生成するためベクトル・パターン・データを変換することと、リソグラフィプロセスで用いられる 2 レベル・パターン・データを生成するためセル・ベース・パターン・データをラスタライジングすることと、を備える。セル・ベース・パターン・データは、セルのアレイの中の 1 つ以上のセルを占有する特徴的形状を記述し、各セルに対し、セルの内部に含まれる特徴的形状の中のいずれかのコーナーを記述するセル・データを備えることがある。セル・ベース・パターン・データをラスタライジングすることは、リソグラフィプロセスが実行されている間にリアルタイム処理で実行されることがある。セル・ベース・パターン・データをラスタライジングすることは、マルチレベル・パターン・データを生成するためセル・ベース・パターン・データを描画することと、2 レベル・パターン・データを生成するためマルチレベル・パターン・データをディザリングすることと、を備えることがある。

20

30

【0040】

さらに別の態様では、本発明は、ウェハを露光するため複数の荷電粒子ビームレットを生成する荷電粒子リソグラフィ装置を使用してパターン・データに応じてウェハを露光する方法であって、パターン・データをベクトル・フォーマットで与えることと、セル・ベース・フォーマットでパターン・データを生成するためベクトル・パターン・データを変換することと、2 レベル・パターン・データを生成するためセル・ベース・パターン・データをラスタライジングすることと、荷電粒子リソグラフィ装置によって生成されたビームレットのオン及びオフを切り替えるため 2 レベル・パターン・データをビームレット・ブランカ・アレイヘストリーミングすることと、2 レベル・パターン・データに基づいてビームレットのオン及びオフを切り替えることと、を備える方法を提供する。

40

【0041】

セル・ベース・パターン・データは、セルのアレイの中の 1 個以上のセルを占有する特徴的形状を記述し、各セルに対し、セルの内部に含まれる特徴的形状のいずれかのコーナーを記述するセル・データを備えることがある。セル・ベース・パターン・データをラスタライジングすることは、リソグラフィ装置がウェハを露光している間にリアルタイム処理で実行されることがある。セル・ベース・パターン・データをラスタライジングすることは、マルチレベル・パターン・データを生成するためセル・ベース・パターン・データを描画することと、2 レベル・パターン・データを生成するためマルチレベル・パターン

50

・データをディザリングすることと、を備えることがある。

【発明の概要】

【0042】

本発明は、複数の荷電粒子ビームレットを使用してウェハを露光する方法を提供する。この方法は、ビームレットの中で機能しないビームレットを特定することと、ウェハの第1の部分の露光するため、特定された機能しないビームレットを含まないビームレットの第1の部分集合を割り付けることと、ビームレットの第1の部分集合を使用してウェハの第1の部分の露光する第1の走査を実行することと、ウェハの第2の部分の露光するため、特定された機能しないビームレットを同様に含まないビームレットの第2の部分集合を割り付けることと、ビームレットの第2の部分集合を使用してウェハの第2の部分の露光する第2の走査を実行することと、を備え、ウェハの第1の部分とウェハの第2の部分とは、重なり合わず、合わせて露光されるべきウェハの全エリアを備える。

10

【0043】

第1の部分集合及び第2の部分集合は、サイズが実質的に等しくてもよく、第1の部分及び第2の部分は、サイズが実質的に等しくてもよい。第1の部分及び第2の部分は、それぞれ、ウェハの複数のフィールドからの選択されたストライプを備えることがある。機能しないビームレットを特定するステップは、不成功、又は、仕様外のビームレットを特定するためビームレットを測定することを備える。ビームレットを測定することは、複数のビームレットをセンサの方へ向け、ビームレットの有無を検出することと、複数のビームレットをセンサの方へ向け、ビームレット位置を測定することと、複数のビームレットをセンサ上で走査し、ビームレット偏向を測定することと、及び/又は、複数のビームレットをセンサ上で走査し、ビームレット電流を測定することとを備えることがある。

20

【0044】

複数のビームレットは、ビームレットの各グループがウェハの各フィールドの内部の対応するストライプを照射するグループに分割されることがある。第2の走査の初期における複数のビームレットに関するウェハの位置は、第1の走査の初期とは異なることがある。

【0045】

この方法は、複数のビームレットに関してウェハの第1のウェハ位置を計算することと、第1の走査を開始する前にウェハを第1の位置まで移動することと、複数のビームレットに関してウェハの第2のウェハ位置を計算することと、第2の走査を開始する前にウェハを第2の位置まで移動することと、をさらに備え、ウェハの第1の部分へのビームレットの第1の部分集合の割り付けに関連した第1の位置と、ウェハの第2の部分へのビームレットの第2の部分集合の割り付けに関連した第2の位置とは、第1の位置及び第2の位置がビームレットの部分集合のうち的一方だけのビームレットによって露光されるようにする。

30

【0046】

この方法は、代替的に、ウェハの第1の部分へのビームレットの第1の部分集合の割り付けに関連した第1の位置と、ウェハの第2の部分へのビームレットの第2の部分集合の割り付けに関連した第2の位置とを決定するためアルゴリズムを実行することをさらに備えることがあり、第1の位置及び第2の位置がビームレットの部分集合のうちの方だけのビームレットによって露光されるようにする。

40

【0047】

この方法は、ビームレット制御データに応じて各走査中にビームレット・ブランカ・アレイによりオン及びオフにビームレットを切り替えることを含むことがある。ビームレット制御データは、第1の走査中にビームレットの第1の部分集合を切り替える第1のビームレット制御データと、第2の走査中にビームレットの第2の部分集合を切り替える第2のビームレット制御データとを備え、この方法は、第1の走査中に第1のビームレット制御データをビームレット・ブランカ・アレイに送信することと、第2の走査中に第2のビームレット制御データをビームレット・ブランカ・アレイに送信することと、をさらに備

50

えることがある。

【0048】

この方法は、ビームレット制御データを生成するためパターン・データを処理することをさらに備えることがあり、第2のビームレット制御データは、第1の走査中に生成される。処理することは、ビームレット制御データを生成するためパターン・データをラスライジングすることを備えることがあり、第2のビームレット制御データのためのラスライジングは、第1の走査中に実行される。パターン・データを処理することは、ビームレット・ブランカ・アレイにストリーミングするためビームレット制御データを準備することを備えることがあり、第2のビームレット制御データは、第1の走査中にブランカ・アレイへストリーミングするため準備される。

10

【0049】

この方法は、ビームレット制御データを生成するためパターン・データを処理することをさらに備えることがあり、露光されるべき次のウェハの第1のビームレット制御データは、現在露光中のウェハの第2の走査中に生成されることがある。パターン・データを処理することは、ビームレット制御データを生成するためパターン・データをラスライジングすることを備えることがあり、露光されるべき次のウェハの第1のビームレット制御データのためのラスライジングは、現在露光中のウェハの第2の走査中に実行されることがある。パターン・データを処理することは、ビームレット・ブランカ・アレイにストリーミングするためビームレット制御データを準備することを備えることがあり、露光されるべき次のウェハの第1のビームレット制御データは、現在露光中のウェハの第2の走査中にブランカ・アレイへストリーミングするため準備されることがある。

20

【0050】

この方法は、第1のビームレット制御データを生成するためにパターン・データを処理するため十分な第1の数の処理ユニットを設けることと、各チャンネルが対応するビームレットのグループのためのデータを送信するようにされた、ビームレット制御データをビームレット・ブランカ・アレイへ送信する第2の数のチャンネルを設けることと、ウェハの第1の部分を露光するビームレットの第1の部分集合に対応するチャンネルに処理ユニットを接続することと、第1のビームレット制御データを生成するため処理ユニットにおいてパターン・データを処理することと、第1のビーム制御データをビームレット・ブランカ・アレイに送信することと、をさらに備えることがある。

30

【0051】

この方法は、第2のビームレット制御データを生成するためにパターン・データを処理するため十分な第3の数の処理ユニットを設けることと、各チャンネルが対応するビームレットのグループのためのデータを送信するようにされた、ビームレット制御データをビームレット・ブランカ・アレイへ送信する第4の数のチャンネルを設けることと、ウェハの第2の部分を露光するビームレットの第2の部分集合に対応するチャンネルに処理ユニットを接続することと、第2のビームレット制御データを生成するため処理ユニットにおいてパターン・データを処理することと、第2のビーム制御データをビームレット・ブランカ・アレイに送信することと、をさらに備えることがある。

40

【0052】

第1の数の処理ユニットは、第1のビームレット制御データを生成するためにパターン・データを処理し、第2のビームレット制御データを生成するためにパターン・データを処理するため十分であるが、第1のビームレット制御データ及び第2のビームレット制御データを同時に生成するためにパターン・データを処理するため十分ではない。7台の処理ユニットが12個のチャンネル毎に設けられることがある。

【0053】

別の態様では、本発明は、ターゲットへのパターンの投影のため荷電粒子ビームレットを生成するブランカを含む荷電粒子光学カラムと、ターゲット支持体とを備え、カラムとターゲット支持体とがシステム内で互いに相対移動可能に含まれているリソグラフィ・システムを提供し、このシステムは、パターン・データを処理し、パターン・データをカラ

50

ムのブランカへ転送するデータバスをさらに備え、ブランカは、ターゲットへの投影に関して個別のビームレットをオン及びオフに切り替えることができるよう配置され、データバスは、パターン・データをターゲット支持体とカラムとの相対移動でビームレットの投影エリアを形成するターゲット上のストライプに関連する投影データに処理する処理ユニットを備え、データバスは、投影データによってビームレットを個別に制御するブランカに接続されているチャンネルをさらに備え、システムは、異なるチャンネルの間で処理ユニットへの接続を切り替えるスイッチがさらに設けられている。

【図面の簡単な説明】

【0054】

本発明の様々な態様と、発明の実施形態のある例とは、図面に示される。

10

【図1】図1は、マスクレス・リソグラフィ・システムを示す概念図である。

【図2A】図2Aは、荷電粒子リソグラフィ・システムの実施形態の簡易図である。

【図2B】図2Bは、データバスにおける要素の簡易図である。

【図3】図3は、ビームレット・ブランカ・アレイの一部を示す。

【図4】図4は、ビームレット・ブランカ・アレイの一部を示す。

【図5】図5は、フィールドに分割されたウェハ上の書き込み方向を示す図である。

【図6】図6は、走査線ビットフレーム及びビームレット偏向を示す図である。

【図7】図7は、パターンオフセット及びパターンスケーリングの実施例を示す図である。

。

【図8】図8は、4つのビームレットを使用してストライプを書き込む可能なインターリーブスキームの実施例を示す図である。

20

【図9】図9は、簡略化された4ビームレット・ブランカ・アレイと走査線パターンとの図である。

【図10】図10は、距離Kと走査線間の距離との値の表である。

【図11】図11は、ビームピッチ P_b 、投影ピッチ P_{proj} 、グリッド幅 W_{proj} 、及び、チルト又は傾斜角 θ_{array} を示す9ビームレットのアレイの図である。

【図12】図12は、フレーム開始標識ビットの図である。

【図13】図13は、X台の処理ユニットを含むノードの概略図である。

【図14】図14は、走査1回当たりのチャンネル位置の概念図である。

【図15】図15は、2回の走査に対するチャンネルへの処理ユニットの割り付けの概念図である。

30

【図16】図16は、2回の走査に対するチャンネルへの処理ユニットの割り付けの概念図である。

【図17】図17は、リソグラフィ装置の容量に関連してデータバスの容量を変えるシミュレーション実験の結果を示すグラフである。

【図18】図18は、リソグラフィ装置の容量に関連してデータバスの容量を変えるシミュレーション実験の結果を示すグラフである。

【図19】図19は、リソグラフィ装置の容量に関連してデータバスの容量を変えるシミュレーション実験の結果を示すグラフである。

【図20】図20は、リソグラフィ装置の容量に関連してデータバスの容量を変えるシミュレーション実験の結果を示すグラフである。

40

【図21】図21は、リソグラフィ装置の容量に関連してデータバスの容量を変えるシミュレーション実験の結果を示すグラフである。

【図22】図22は、リソグラフィ装置の容量に関連してデータバスの容量を変えるシミュレーション実験の結果を示すグラフである。

【図23】図23は、リソグラフィ装置の容量に関連してデータバスの容量を変えるシミュレーション実験の結果を示すグラフである。

【図24】図24は、リソグラフィ・システム内のプロセスの依存性を示すフローチャートである。

【図25】図25は、x及びyパターンシフトの例を示す図である。

50

- 【図 2 6】図 2 6 は、 x 及び y パターンシフトの例を示す図である。
- 【図 2 7】図 2 7 は、様々なタイプの補正に対する典型的なパラメータ及び範囲の表である。
- 【図 2 8】図 2 8 は、データパスの簡易機能ブロック図である。
- 【図 2 9】図 2 9 は、ストライプの上にオーバーレイされたレイアウトパターン特徴的形状の図である。
- 【図 3 0】図 3 0 は、ディザリングプロセスの図である。
- 【図 3 1】図 3 1 は、ビットフレーム内のビットシフティングの図である。
- 【図 3 2】図 3 2 は、パラメータ $N = 4$ 及び $K = 3$ に対するビームレット位置の図である。
- 【図 3 3】図 3 3 は、データパスのデータ処理及び記憶要素を示す略ブロック図である。
- 【図 3 4】図 3 4 は、データパスの第 2 の実施形態の機能ブロック図である。
- 【図 3 5】図 3 5 は、図 3 4 のデータパスに対するプロセスの依存性を示すフロー図である。
- 【図 3 6】図 3 6 は、パターン・ストリーマ・ノードの要素のブロック図である。
- 【図 3 7】図 3 7 は、図 3 6 のパターン・ストリーマ・ノードの要素間のデータフローを示す機能図である。
- 【図 3 8】図 3 8 は、データパスの処理要素及び伝送要素の詳細を示すブロック図である。
- 【図 3 9】図 3 9 は、圧縮機能及び伸長機能を含むデータパスの一部分の機能ブロック図である。
- 【図 4 0】図 4 0 は、ディザリングされたモノクロ試験画像の例を示す。
- 【図 4 1】図 4 1 は、チャンネル描画後に圧縮機能及び伸長機能を含むデータパスの一部分の機能ブロック図である。
- 【図 4 2】図 4 2 は、セルの描画されたビットマップの例を示す。
- 【図 4 3】図 4 3 は、小さい入力画素のグリッド及び大きい出力画素の概念図である。
- 【図 4 4】図 4 4 は、データパスの別の実施形態の機能ブロック図である。
- 【図 4 5】図 4 5 は、図 4 4 のデータパスのためのプロセスの依存性を示すフローチャートである。
- 【図 4 6】図 4 6 は、パターン・ストリーマ・ノードの要素のブロック図である。
- 【図 4 7】図 4 7 は、図 4 6 のパターン・ストリーマ・ノードの要素間の代替的なデータフローを示す機能ブロック図である。
- 【図 4 8】図 4 8 は、図 4 6 のパターン・ストリーマ・ノードの要素間の代替的なデータフローを示す機能ブロック図である。
- 【図 4 9】図 4 9 は、データパスの要素間の通信の略図である。
- 【図 5 0】図 5 0 は、パターン・ストリーマ・ノードの要素間の代替的なデータフローを示す機能図である。
- 【図 5 1】図 5 1 は、データパスのための GPU の内部アーキテクチャの図である。
- 【図 5 2】図 5 2 は、パターン・ストリーマ・ノードの要素間の代替的なデータフローを示す機能図である。
- 【図 5 3】図 5 3 は、データパスの別の実施形態の機能ブロック図である。
- 【図 5 4】図 5 4 は、データパスの処理要素及び伝送要素の詳細を示すブロック図である。
- 【図 5 5】図 5 5 は、インターリーブ型 / 多重化型サブチャネルを含むデータパスの略図である。
- 【図 5 6】図 5 6 は、行選択器及び列選択器を使用する逆多重化スキームの略図である。
- 【図 5 7】図 5 7 は、パターン化ビーム 1 個当たりのビームレット数 (N_{pat_beams}) と、アレイチルト角 (θ_{array}) と、投影ピッチ (P_{proj}) と、 K 係数とに依存する画素サイズ及びグリッド幅の表である。
- 【図 5 8 A】図 5 8 A は、スマート境界戦略を示す図である。

10

20

30

40

50

【図 5 8 B】図 5 8 B は、ソフト・エッジ戦略を示す図である。

【図 5 9】図 5 9 は、オフライン・ラスタライゼーションを使用するデータパスの実施形態の機能フロー図である。

【図 6 0】図 6 0 は、インライン・ラスタライゼーションを使用するデータパスの実施形態の機能フロー図である。

【図 6 1】図 6 1 は、インライン・ラスタライゼーションを使用するデータパスの別の実施形態の機能フロー図である。

【図 6 2】図 6 2 は、実ライン・ラスタライゼーションを使用するデータパスの実施形態の機能フロー図である。

【図 6 3】図 6 3 は、4 ビームレットのアレイを示す図である。

10

【図 6 4】図 6 4 は、ステッチングスキームを示す図である。

【図 6 5】図 6 5 は、係数 $K = 1$ 及び $K = 3$ を用いる書き込み戦略を示す図である。

【図 6 6】図 6 6 は、4 ビームレットを有するパターン化されたビームに対する K の可能な値を示す図である。

【図 6 7】図 6 7 は、パターンレイアウトの例を示す図である。

【図 6 8】図 6 8 は、コーナー概念を示す図である。

【図 6 9】図 6 9 は、ベクトル方向を示す図である。

【図 7 0】図 7 0 は、正方形特徴的形状の符号化を示す図である。

【図 7 1】図 7 1 は、複雑な特徴的形状の符号化を示す図である。

【図 7 2】図 7 2 は、セルの対角長未満である最小特徴的形体ピッチの例を示す図である。

20

【図 7 3】図 7 3 は、一部のコーナーにセリフが付加された特徴的形状の例を示す図である。

【図 7 4】図 7 4 は、荷電粒子マルチビームレット・リソグラフィ・システムの実施形態の簡易図である。

【図 7 5】図 7 5 は、ビームエリア及び非ビームエリアへの分割を示す図である。

【実例となる実施形態の説明】

【0055】

以下は、単なる一例として、図面を参照して与えられた本発明の様々な実施形態の説明である。

30

【0056】

荷電粒子リソグラフィ・システム

図 1 は、3つの上位レベル・サブシステム、すなわち、ウェハ位置決めシステム 101 と、電子光学カラム 102 と、データパス 103 とに分割されている荷電粒子リソグラフィ・システム 100 を示す概念図である。ウェハ位置決めシステム 101 は、 x 方向に電子光学カラム 102 の下でウェハを移動する。ウェハ位置決めシステム 101 には、ウェハを電子光学カラム 102 によって生成された電子ビームレットと位置合わせするためデータパス 103 から同期化信号が供給される。

【0057】

図 2 A は、電子光学カラム 102 の細部を示す荷電粒子リソグラフィ・システム 100 の実施形態の簡易図である。このようなリソグラフィ・システムは、例えば、米国特許第 6,897,458 号、第 6,958,804 号、第 7,019,908 号、第 7,084,414 号、及び、第 7,129,502 号と、米国特許出願公開第 2007/0064213 号と、同時係属中の米国特許出願第 61/031,573 号、第 61/031,594 号、第 61/045,243 号、第 61/055,839 号、第 61/058,596 号、及び、第 61/101,682 号とに記載され、これらはすべて本願の出願人に譲渡され、そして、すべて全体がそのまま参照によって本明細書に組み込まれる。

40

【0058】

図 2 A に示された実施形態では、リソグラフィ・システムは、荷電粒子源 110、例えば、拡大電子ビーム 130 を生成する電子源を備える。拡大電子ビーム 130 は、アパー

50

チャアレィ 1 1 1 に衝突し、アパーチャアレィは、複数のビームレット 1 3 1 を作成するためビームの一部を遮断する。このシステムは、好ましくは、約 1 0 0 0 0 から 1 0 0 0 0 0 0 0 ビームレットの範囲で多数のビームレットを生成する。

【 0 0 5 9 】

電子ビームレット 1 3 1 は、電子ビームレット 1 3 1 を集光するコンデンサ・レンズ・アレィ 1 1 2 を通過する。ビームレット 1 3 1 は、コリメータレンズ系 1 1 3 によってコリメートされる。コリメートされた電子ビームレットは、X Y 偏向アレィ 1 1 4 と、第 2 のアパーチャアレィ 1 1 5 と、第 2 のコンデンサ・レンズ・アレィ 1 1 6 とを通過する。結果として生じるビームレット 1 3 2 は、次に、ビーム・ブランカ・アレィ 1 1 7 を通過する 1 つ以上のビームレットを偏向する複数のブランカを備える。ビームレットは、ミラー 1 4 3 を通過し、ビーム・ストップ・アレィ 1 1 8 に到着し、ビーム・ストップ・アレィは、複数のアパーチャを有する。ビームレット・ブランカ・アレィ 1 1 7 とビーム・ストップ・アレィ 1 1 8 とは、ビームレットを遮断するか、又は、ビームレットを通過させるかのいずれかによって、ビームレットをオン又はオフに切り替えるため協働する。ビームレット・ブランカ・アレィ 1 1 7 は、ビームレットがビーム・ストップ・アレィ 1 1 8 の中の対応するアパーチャを通過しなくなり、代わりに、遮断されることになるように、ビームレットを偏向することができる。ビームレット・ブランカ・アレィ 1 1 7 がビームレットを偏向させない場合、ビームレットは、ビーム・ストップ・アレィ 1 1 8 の中の対応するアパーチャを通過することになる。偏向されないビームレットは、ビーム・ストップ・アレィと、ビーム・デフレクタ・アレィ 1 1 9 と、投影レンズ 1 2 0 とを通過する。

10

20

【 0 0 6 0 】

ビーム・デフレクタ・アレィ 1 1 9 は、ターゲット 1 0 4 の表面を横切ってビームレットを走査するため、偏向されないビームレットの方向と実質的に直交した X 及び / 又は Y 方向に各ビームレット 1 3 3 を偏向させる。この偏向は、ビームレットをオン又はオフに切り替えるためビームレット・ブランカ・アレィによって使用される偏向とは別個である。次に、ビームレット 1 3 3 は、投影レンズアレィ 1 2 0 を通過し、ターゲット 1 0 4 に投影される。投影レンズ構成は、好ましくは、約 1 0 0 ~ 5 0 0 倍の縮小化を行う。ビームレット 1 3 3 は、ウェハ位置決めシステム 1 0 1 の可動ステージに位置決めされたターゲット 1 0 4 の表面に衝突する。リソグラフィ用途のため、ターゲットは、通常、荷電粒子感応層又はレジスト層が設けられているウェハを備える。

30

【 0 0 6 1 】

図 2 A に示された表現は、かなり簡易化されている。好ましい実施形態では、単独電子ビームは、次にさらに多数のビームレットに分割される多数のより小さいサブビームに最初に区分化される。このようなシステムは、米国特許出願公開第 6 1 / 0 4 5 , 2 4 3 号に記載され、この米国特許出願公開は、全体がそのまま参照によって本明細書に組み込まれる。

【 0 0 6 2 】

本システムでは、各サブビームは、パターン化ビームと見なすことができる程度の数のビームレットに分割される。一実施形態では、各サブビームは、7 × 7 形アレィに配置された 4 9 個のビームレットに分割される。ビームレット・ブランカ・アレィは、好ましくは、1 つ 1 つの個別のビームレットのオン / オフ切り替えを可能にするため、ビームレット毎にブランカ電極が関連付けられた 1 個の穴を備える。図 3 及び図 4 は、パターン化ビーム毎に 9 個のビームレットを有し、ビームレットの各グループが 3 × 3 形アレィに配置されている実施形態のためのビームレット・ブランカ・アレィの一部を示す。パターン化ビームの中のビームレットの配置と、書き込み戦略とは、例えば、米国特許出願第 6 1 / 0 5 8 , 5 9 6 号に記載され、この米国特許出願は、全体がそのまま参照によって本明細書に組み込まれる。

40

【 0 0 6 3 】

ビーム・デフレクタ・アレィ及び投影レンズアレィは、好ましくは、パターン化ビーム毎に唯一の穴及びレンズ群を含む (例えば、4 9 個のビームレットからなる各グループの

50

ための１個の穴又はレンズ群は、１個のパターン化ビームを作り出す）。ビームレットは、典型的に、単独ストライプを書き込むグループの中で結合（インターリーブ／多重化）される。

【００６４】

データパス・アーキテクチャ

データパス１０３の一実施形態の簡易図が図２Ｂに示され、データパスの一部は、図２Ａにも現れている。ビームレット・ブランカ・アレイ１１７の切り替えは、データパスを介して制御される。前処理ユニット１４０は、リソグラフィ装置によって生産されるべきデバイスのレイアウトを記述する情報を受信する。この情報は、典型的に、ＧＤＳ－ＩＩファイル・フォーマットで供給される。前処理ユニットは、ビームレット・ブランカ・アレイ１１７を制御するためオン／オフ制御信号を生成するためにＧＤＳ－ＩＩファイルの一連の変換を実行する。

10

【００６５】

制御信号は、電気制御信号を光信号に変換するため、レーザーダイオードのような電子光変換装置１４３に送信される。光制御信号は、光ファイバ１４５の中を導かれる。ファイバの出力での光ビーム１４６は、レンズ１４７のアレイを通して穴あきミラー１４８へ導かれる。このミラーから、光ビームは、ビーム・ブランカ・アレイ１１７の下側に反射される。個別の光ビームは、ビーム・ブランカ・アレイ１１７の下側でフォトダイオードのような複数の光・電気変換装置へ向けられる。好ましくは、あらゆる光ファイバ１４５に対し、ビームレット・ブランカ・アレイ上にフォトダイオードが存在する。フォトダイオードは、個別のビームレットをオン又はオフに切り替えるためにビームレット１３２の偏向を制御するように個別のビーム・ブランカ電極を作動するため動作する。

20

【００６６】

個別のビームレット・ブランカ電極を制御する制御信号は、好ましくは、多重化されるので、各光ビーム１４６は、１つの光ファイバ及びフォトダイオードを共有するある程度の数のビームレットを備えるチャネルのための制御信号を搬送する。多重光ビームは、フォトダイオードによって受信され、電気信号に変換される。ビームレット・ブランカ・アレイ１１７は、ある程度の数のビームレット・ブランカ電極を個別に制御する制御信号を導出するため、フォトダイオードによって受信された制御信号を逆多重化するロジックを含む。好ましい実施形態では、１個のパターン化ビームの中の４９個のビームレットを制御する個別の制御信号は、単独の光ファイバを介する電送のため時間多重化され、ビームレット・ブランカ・アレイ上の単独のフォトダイオードによって受信される。

30

【００６７】

多重化に加えて、ビームレット制御信号は、伝送のためのフレームにさらに配置されることがあり、ＤＣ結合形式でレーザーダイオード及びフォトダイオードの使用を妨げるため、例えば、頻繁な信号遷移を実現するため符号化手法を使用して、伝送を改良するため、同期化ビット及び付加符号化を有することがある。遷移を強制することにより、クロック信号は、光信号の中で自動的に分配される。図１２は、（１個のパターン化ビームの）４９個のビームレットのためのフレーミングと、同期化ビットと、多重化制御ビットとを含むビームレット制御信号の実施例を示す。

40

【００６８】

ウェハに接近するほど、ビーム・デフレクタ・アレイ１１９は、ウェハ１０４の表面を横切る電子ビームレットの走査を実現するため電子ビームレットをｙ方向に偏向させる（そして、ｘ方向にも小さく偏向させる）ため使用される。記載された実施形態では、ウェハ１０４は、ウェハ位置決めシステム１０１によってｘ方向に機械的に移動され、電子ビームレットは、ｘ方向と実質的に垂直であるｙ方向にウェハを横切って走査される。データを書き込むとき、ビームレットは、（フライバック時間と比べると）ゆっくりｙ方向に偏向される。掃引の最後に、ビームレットは、ｙ範囲の開始位置（これは、フライバックと呼ばれる）へ急速に戻される。ビーム・デフレクタ・アレイ１１９は、データパス１０３からタイミング及び同期化情報を受信する。

50

【 0 0 6 9 】

チャンネル

データパスは、ある程度の数のチャンネルに分割されることがある。チャンネルは、前処理ユニットからリソグラフィ・システムまでの電子データパスである。一実施形態では、チャンネルは、電気・光変換装置（例えば、レーザーダイオード）と、ビームレット制御信号を送信する単独の光ファイバと、光・電気変換装置（例えば、フォトダイオード）とを備える。このチャンネルは、ある程度の数の個別のビームレット（例えば、1個のパターン化電子ビームを作る49個のビームレット）を備える単独のパターン化ビームのための制御信号を送信するため割り当てられることがある。1個のパターン化ビームは、ウェハに単独のストライプを書き込むため使用されることがある。本構成では、チャンネルは、複数のビームレット（例えば、49個のビームレット）を備え、パターン・データに応じて1本のストライプを書き込むビームレット制御信号を搬送する1個のパターン化ビームの制御に専用であるデータパス・コンポーネントを表現する。サブチャンネルは、パターン化ビームの中の単独のビームレットの制御に専用であるデータパス・コンポーネントを表現する。

10

【 0 0 7 0 】

データパス処理

データパス101は、レイアウトデータを、電子ビームレットを制御するオン/オフ信号に変換する。上述されているように、この変換は、典型的に、GDS-III又は同様のファイルのフォーマットの形式でレイアウトデータに一連の変換を実行する前処理ユニット140の中で実行されることがある。このプロセスは、平坦化/前処理ステップ、ラストライゼーションステップ、及び、多重化ステップを含む。

20

【 0 0 7 1 】

平坦化/前処理ステップは、レイアウトデータ・フォーマットを線量マップに変換する。線量マップは、ベクトル・フォーマットでウェハ上のエリアと、関連付けられた線量率値とを記述する。このステップは、近接効果補正のような一部の前処理を含むことがある。前処理の複雑さのため、このステップは、好ましくは、オフラインで実行される。ラストライゼーションステップは、線量マップを制御（オン/オフ）信号のストリームに変換する。この多重化ステップは、多重化スキームに応じてビームレット制御信号をパッケージ化する。

30

【 0 0 7 2 】

リソグラフィ装置の中でウェハに書き込むプロセスは、一連の以下のステップの中で大まかに説明されることがある。ウェハ104は、ウェハ位置決めシステム101のステージに設置され、カラム102は、真空状態に維持され、ビームレットは、キャリブレーションされる。ウェハは、機械的に位置合わせされ、1フィールド当たりの位置合わせ（オフセット）が計算される。ウェハは、ステージによって+x方向に移動され、カラムは、第1のフィールドを書き込み始める。ビームレット・ブランカ・アレイの穴の先行する行がフィールド境界を通過するとき、オフセット補正が次のフィールドのため組み込まれる。このように、第1のフィールドが未だ書き込まれているとき、リソグラフィ・システムは、次のフィールドの書き込みを開始することになる。1行の中の最後のフィールドを書き込んだ後、ステージは、ビームレット・ブランカ・アレイの下でウェハ上の次のフィールドの行へ位置決めするため移動することになる。新しい実行は、ステージが-x方向に移動する間に始まることになる。走査偏向の方向は、好ましくは、変化しない。

40

【 0 0 7 3 】

補正

データパスによって実行されるデータ処理は、様々な種類の補正及び補償を行うため、ある程度の数の異なった調整をビームレット制御信号に与えることがある。これらの処理は、例えば、使用されたレジストの特性の結果として起こる効果を補償するため、近接補正及びレジスト加熱補正を含むことがある。データ調整は、リソグラフィ装置に発生するエラー又は故障を補償するため設計された補正をさらに含むことがある。

50

【 0 0 7 4 】

荷電粒子リソグラフィ装置の好ましい実施形態では、ビームレット位置、サイズ、電流、又は、ビームの他の特性を補正するため個別の電子ビームレットを調整する設備は、リソグラフィ装置に組み込まれていない。不良は、例えば、ビームレットの位置合わせミス若しくは故障、低若しくは高ビームレット電流、ビームレットの不正確な偏向である。このような不良は、リソグラフィ装置の製造中の欠陥又は公差変動、ビームレットを遮断するか、又は、ビームレットを帯電若しくは偏向させる汚れ又は塵、装置の部品の故障又は劣化などの結果である可能性がある。リソグラフィ装置は、物理的なビーム補正を行う付加的な部品を電子光学カラムに組み込む際に付加的な複雑さ及びコストが生じることを避けるため、そして、このような部品を組み込むことによって余儀なくされるカラムのサイズの増加を避けるため、ビームレットに個別の補正を行う矯正レンズ又は回路を含まない。しかし、ビームレット制御信号の操作、及び／又は、ウェハの付加的な走査は、これらの種類の問題を補償することができる。データパスで発生する故障は、ウェハの再走査と連動した制御信号の操作によって補正されることもある。これらの補正を行う様々な方法が後述される。

10

【 0 0 7 5 】

冗長走査

上述の荷電粒子リソグラフィ装置の実施形態は、データパス内の多数の光ファイバ及びレーザーダイオードと、各パターン化ビームのための多数の静電レンズ及びデフレクタと、ビームレット・ブランカ・アレイの中の非常に多数のブランカ要素とを有する。故障がこれらの部品のうちの一部で発生するか、又は、これらの部品が劣化するか、若しくは、汚染物による影響を受けることになり、その結果、これらの部品が仕様の範囲内で動作しないというかなりの可能性がある。できる限りシステムの保守の間隔を延長するため、欠陥、又は、仕様から外れたビームレット若しくはデータチャネルを特定する点検が定期的に行われることがある。この点検は、各ウェハ走査前、ウェハの個別の第1の走査前、又は、何らかの他の都合の良い時期に実行されることがある。点検は、例えば、全体がそのまま参照によって本明細書に組み込まれる同時係属中の米国出願第61/122,591号に記載されていることを含めて、1回以上のビーム測定を含むことがある。冗長走査の主な目的は、カラム内の故障部品の交換に時間がかかるので、E0カラムで発生する故障を補償することである。しかし、冗長走査は、データパス内の故障に対処するため使用されることもある。例えば、1チャネル内のレーザーダイオードの故障した光ファイバは、このチャネルをオフに切り替え、そして、故障したチャネルによって書き込まれることになっていたストライプを書き込むために冗長走査の間に別のチャネルを使用することにより補正されることがある。

20

30

【 0 0 7 6 】

不成功、又は、仕様外のビームレットが検出された場合、このビームレットは、このビームレットによって露光されることになっていたストライプが書き込まれないようにオフに切り替えられることがある。冗長走査と呼ばれる第2の走査は、その後、第1の走査中に省略されたウェハストライプを書き込むため使用される。上述されたようなパターン化ビームレット・システムでは、不成功、又は、仕様外のビームレットを含む完全なチャネルは、オフに切り替えられ、このチャネルのビームレットによって露光されることになっていたウェハフィールドの完全なストライプは、書き込まれないことになる。ウェハ全体の第1の走査を実行した後、冗長走査が欠落ストライプ（そして、故障したビームレットを用いる他のチャネルのための何らかの他の欠落ストライプ）を埋め込むために次に実行されることがある。

40

【 0 0 7 7 】

冗長走査のため、ウェハは、第1の走査後に開始位置に戻されるが、適切に機能するチャネルが欠落ストライプを書き込むため確実に利用できる位置へ同時にシフトされる。冗長走査のためのパターン・データは、好ましくは、第1の走査の完了後にできるだけ早く冗長走査を開始することを可能にするため、第1の走査中に、リソグラフィ・システムで

50

準備される。好ましくは、第 1 の走査の終わりと冗長走査の始まりとの間に重大な遅延が存在しないので、冗長走査のためのデータは、好ましくは、適切なノードで瞬時に利用できる。

【0078】

リソグラフィ装置は、好ましくは、1 回の走査において連続的なインラインフィールドを書き込み、そして、機械的走査と平行である x 方向で両方向に、すなわち、- x 方向及び + x 方向に書き込むことができる。この装置は、さらに好ましくは、通常は、カラムのエッジに位置する予備ビーム（又は、パターン化ビーム）を含む。

【0079】

適切に機能するチャンネルによって冗長走査中に欠落ストライプを書き込むため、ウェハは、適切に機能するビームレットをもつチャンネルが欠落ストライプ位置に書き込むため位置決めされるまで、ストライプの数に対応する量でカラムに関して y 方向及び / 又は x 方向にシフト（オフセット）されることがある。これは、好ましくは、ステージ上のウェハの機械的なオフセットによって達成される。すべての種類のエラー位置（例えば、1 番目のチャンネルと最後のチャンネルの両方の故障）をより良好に取り扱うため、第 1 の走査と第 2 の走査との両方のオフセットが必要とされることがある。

【0080】

マルチパス走査

第 1 の走査は、「マルチパス走査」型実施形態では、機能するビームレットと同様に欠陥のあるビームレットのための第 1 の走査を補強するためにも使用することができるが、依然として、冗長走査機能を達成する。マルチパス走査では、ウェハの第 1 の走査は、フィールドストライプの一部を書き込み、第 2 の走査は、ストライプの残りの部分を書き込み、結果としてウェハの各フィールドのストライプの全部が書き込まれる。この原理は、3 回の走査又は 4 回の走査などに拡張することもできるが、走査回数の増加は、ウェハを露光する総時間を増加させ、ウェハスループットを低下させる。よって、2 パス走査、すなわち、デュアルパス走査アプローチが好ましい。

【0081】

ビームレットの故障率は典型的に低いので、第 2 の走査と冗長走査とを組み合わせることが可能である。ビーム測定は、不成功のビームレット及び仕様外のビームレットを検出するため、第 1 の走査前に実行されることがある。この情報を使用すると、ウェハのあらゆる画素を機能するビームレットによる走査のため割り当てることになる第 1 の走査及び第 2 の走査を計算することができる。冗長走査の場合と同様に、好ましくは、不成功又は仕様外のビームレットが検出されたとき、このビームレットを含むチャンネル全体がオフに切り替えられ、別の機能するチャンネル（すべてのビームレットが仕様内に入る）は、不成功のチャンネルによって書き込まれることになっていたストライプを書き込むため使用される。

【0082】

様々なアルゴリズムが第 1 の走査及び第 2 の走査のため使用されるべきチャンネルと、走査毎に必要なウェハオフセットとを計算するため使用されることがあり、結果としてすべてのストライプが機能するチャンネルによって書き込まれる。2 パス走査のため、アルゴリズムは、いずれのチャンネルも使用しない各走査の間でチャンネルの 50 / 50 分割を探索する。「強引な」アプローチは、適当な組み合わせを見つけるために様々なチャンネル割り付け及びウェハオフセットを試験するため使用でき、又は、より一層洗練された照合アルゴリズムを使用することができる。

【0083】

このように、このウェハのための総露光電流は、2 回（又はこれ以上）の走査の間で分割される。マルチパス走査では、第 2 の走査（又は、第 3 の走査若しくは第 4 の走査など）は、冗長走査の場合と同様に、第 1 の走査では不成功のチャンネルに割り当てられたストライプを走査するため使用されることがある。マルチパス走査は、不成功又は位置合わせに失敗したビームレットの不在時にも使用することができる。2 回以上の走査の間で露光

電流を分割することは、ウェハの瞬時加熱の問題が小さくなる、という利点がある。各走査のための総ビームレット電流は、低減されるので、各走査によってウェハに加えられた加熱もまた低減される。総熱負荷は、実質的に同じまま保たれるが、加熱は、複数回の走査の全体に亘って拡散され、結果として局所化された又は瞬時的な熱負荷が小さくなる。

【0084】

複数回の走査を使用することは、データパス内の必要な容量を同様に削減する。各ウェハに対し2回の走査を使用するとき、各走査は、ビームレット制御データの半分しか必要としないので、データパスのデータ伝送容量は、理論的に半分になる。この所要容量の削減は、膨大なデータ伝送容量が要求され、データパスの高コストが関連付けられるので重大である。1チャンネルを構成するパターン化ビーム1個あたりに49個のビームレットを含む上記実施形態に対して、1チャンネル当たり約4ギガビット/秒の伝送容量が予想されることがある。個別のパターン化ビームが49個のビームレットを備える13,000個のパターン化ビームを用いる装置は、1つずつが4ギガビット/秒容量をもつ13,000チャンネルを必要とすることになる。このように、データパスのための所要容量の削減は、重大である。

【0085】

書き込み戦略

現行の工業規格は、300mmウェハである。ウェハは、26mm×33mmの最大寸法をもつ固定サイズのフィールドに分割される。各フィールドは、複数のICを生産するため処理されることがある（すなわち、複数のチップのためのレイアウトが単独のフィールドに書き込まれることがある）が、ICは、フィールド境界を越えない。最大サイズが26mm×33mmとすると、単独の標準的なウェハ上で63個のフィールドが利用できる。より小さいフィールドが可能であり、1ウェハ当たりにより多数のフィールドをもたらすことになる。図5は、フィールドに分割されたウェハと、フィールドを書き込む方向とを示す。フィールドは、ウェハ上の矩形エリアであり、典型的に、最大サイズ26mm×33mmをもつ。GDS-IIファイルは、フィールドの特徴的形体を記述する。例えば、完全なフィールドを部分的なフィールドに書き込み、ウェハ境界を越えることにより、部分的（不完全）なフィールドを書き込むことも可能である。

【0086】

リソグラフィ装置の好ましい実施形態では、装置は、13,000個のサブビームを生成し、各サブビームは、49個のビームレットに分割され、結果として、637000個のビームレット（すなわち、13000×49）を生じる。ビームレット・ブランカ・アレイは、26×26mmのエリアに13,000個のフォトダイオードと、637,000個の穴を含む。ビームレット・ブランカ・アレイの中の各フォトダイオードは、49（7×7）個のブランカ穴/ビームレットの制御のための多重化制御信号を受信する。26mmの距離に亘る13,000個のサブビームは、y方向（機械的走査と垂直）に幅2μmをもち、x方向にフィールドと同じ長さをもつストライプを生じる。各サブビームの49個のビームレットは、単独のストライプを書き込む。

【0087】

ウェハは、好ましくは、x方向の後方及び前方の両方向にリソグラフィ装置によって書き込まれる（露光される）。（デフレクタによる）y方向の書き込み方向は、通常は、一方向である。

【0088】

フィールドのサイズ（高さ）が電子光（EO）スリットのサイズ（すなわち、ウェハに投影されたときのビームレットの完全なアレイのサイズ）より小さくなるよう選択されるとき（最大サイズ26mmより小さい）、より多くのフィールドをウェハに置くことができるが、すべての電子ビームレットがウェハへの書き込みのため使用されるのではない。EOスリットは、より多くの回数に亘りウェハを走査することが必要になり、全体的なスループットは、減少することになる。

【0089】

10

20

30

40

50

装置がフィールドにパターンを書き込むとき、ある時点で、ビームレット・ブランカ・アレイは、次のフィールドに入り、フィールドの中でのパターンの書き込みを開始するので、装置は、同時に2フィールドで書き込むことができるべきである。フィールドが十分に小さい場合、装置は、同時に3フィールドで書き込むことができるべきである。

【0090】

16個のフォトダイオードだけが9(3×3)個のブランカ穴/ビームレットの制御のための多重化制御信号を個々に受信するビームレット・ブランカ・アレイの簡略形が図3及び図4に示される。ブランカ電極が関連付けられたブランカ穴は、ビームレット(電子ビーム)を遮断又は通過させることができる。ブランカ穴を通過するビームレットは、ウェハ表面上のレジストに書き込むことになる。

【0091】

図3には、平行投影書き込み戦略のためのブランカ穴の配置が示され、図4には、垂直書き込み戦略のための配置が示される。図4では、ビームレットのためのブランカ穴は、ストライプの全幅に亘って分布し、すなわち、各ビームレットは、書き込み(走査)方向に直交する方向で近傍ビームレットから等距離に位置合わせされている。このことは可能であるが、穴の数が少ない場合、ビームとビームレット電流との間の比率の点で、この配置の効率は、非常に低くなる。効率の尺度は、充填比であり、充填比とは、ブランカ穴の総面積と1個のパターン化ビームのための穴がグループ化されている面積との間の比率である。充填比は、電流入力(ビーム電流)及び電流出力(合計ビームレット電流)の点で特殊なグリッド図形の効率を評価するため有用である。ビームレット穴のグループの面積の方が小さいとき、充填比は、より好ましい値に増加することになる。

【0092】

穴の数が少ない場合に十分に機能する書き込み戦略は、「平行投影」書き込み戦略であり(図3を参照)、この戦略では(最も簡単な形式で)個別のビームレットは、インターリーブされ、(図8Bに示されているように)全ストライプ幅を書き込む。このような書き込み戦略は、米国特許出願第61/058,596号に記載され、この出願は、全体がそのまま参照によって本明細書に組み込まれる。

【0093】

走査線

ビーム・デフレクタ・アレイ119は、すべてのビームに対して並列に三角形状偏向信号を生成することになる。偏向信号は、図6の概略図に示されるように走査フェーズ及びフライバック・フェーズを含む。走査フェーズ中に、偏向信号は、(オンに切り替えられたとき)ビームレットをy方向にゆっくり移動し、ビームレット・ブランカ・アレイは、ビームレット制御信号に応じてビームレットをオン及びオフに切り替えることになる。走査フェーズ後、フライバック・フェーズが始まる。フライバック・フェーズ中に、ビームレットは、オフに切り替えられ、偏向信号は、次の走査フェーズを開始することになる位置へビームレットを素早く移動する。

【0094】

走査線は、走査フェーズ中のウェハの表面上のビームレットのパスである。特殊な手段がない限り、走査線は、正確にy方向に沿ってウェハに書き込みをすることはないが、同様にx方向への連続的なステージ移動のため、小さいx方向成分で僅かに歪むことになる。このエラーは、ステージ移動に一致させるため小さいx方向成分を偏向フィールドに加算することによって補正されることがある。この補正は、データパスがこのエラーを補正する必要がないようにE0カラムで取り扱われることがある。ステージ移動は、y方向偏向走査速度に比べて遅いので(典型的なx:y相対速度比は、1:1000でもよい)、このx方向成分は小さい。しかし、このx方向成分の影響は、パターン化ビームを用いるシステムにおいて著しく増大する。第1に、偏向速度は、パターン化ビーム1個当たりのビームレットの数に比例して低下されることがある。第2に、(図3、図4及び図9の実施例に示されるように)ビームレットのアレイの傾斜のため、ウェハ上の走査線の歪みは、異なるビームレットによって作られる走査線間の距離を変化させることになる。十分に

10

20

30

40

50

大きい歪みは、走査線の重なり合い、又は、相互の位置の変化を生じることになる。

【0095】

走査線（図6の右側を参照）は、開始オーバースキャン区間と、パターン区間と、終了オーバースキャン区間との3区間に分割される。ビームレットは、y方向に沿って偏向される。ビームレットが偏向される距離は、典型的に、ビームレットのストライプが書き込むべき幅より広い。オーバースキャンは、ビームレットが書き込む位置をシフト及びスケールリングする余地を与える。オーバースキャンは、片側の過剰である。ストライプ幅が2 p m、かつ、オーバースキャンが0.5 p m（又は25%）である場合、結果として、走査線長さは、3 p mになる。走査線ビットフレームのオーバースキャン区間は、パターンを書き込むため使用されないビット（パターン区間ビット）を保持する。オーバースキャンビットは、常にオフに切り替えられるが、ファイバを介して送信される。走査線ビットフレームのパターン区間は、ラスタライズされたパターンを記述するビットを保持する。本区画において、ビットは、特徴的形体を書き込むためオン及びオフに活発に切り替えられる。

10

【0096】

図6（左側）では、走査線は、1個のビームレットだけがストライプを書き込んでいる状況に関して描かれている。偏向サイクル中のビームレットのパスは、A - B - Cである。ABは、走査フェーズ中の走査線移動であり、BCは、ビームレットがオフに切り替えられている間のフライバックである。ストライプ境界は、D及びEで印が付けられている。図6の右側で、オーバースキャン区間及びパターン区間が特定される。走査線に亘ってビームレットを切り替えるビームレット制御信号のビットの全体集合は、走査線ビットフレームと呼ばれる。

20

【0097】

走査線全体の間に、ビームレットは、リソグラフィ・システムによって制御される。オーバースキャン区間では、ビームレットはオフに切り替えられることになる。パターン区間では、ビームレットは、ウェハフィールドに書き込むため必要とされる特徴的形体に応じて切り替えられる。オーバースキャン区間とパターン区間の両方に対する走査線ビットフレームの中のビットは、ビームレット・ブランカ・アレイへ転送されるべきデータを表現する。オーバースキャン区間の中のビット/画素は、役に立たず、データパスの帯域幅を無駄遣いするように見える。しかし、オーバースキャン区間におけるビット/画素は、すべてのビームレットが全ストライプ幅を書き込む場合に（平行投影）、書き込み戦略が使用されるとき、（パターンシフト及びパターンスケールリングのような）補正の余地を与え、ステッチングアルゴリズムを生じる余地を与え、ビームレットのためのブランカ穴のy位置の差が生じる余地を与えることができる。

30

【0098】

ビームレット及びある一定の画素サイズを制御するビームレット制御信号の固定ビットレートを仮定すると、走査線は、固定長ビットフレームである走査線ビットフレームにマップすることができる。

【0099】

図7では、パターンオフセット及びパターンスケールリングの両方のための例が与えられる。走査線Aは、オフセット又はスケールリングのない通常の走査線であり、走査線を書き込むビームレットは、望ましい特徴的形体を正確にウェハ上で露光するため、正確に位置合わせされ、正確に偏向される。走査線Bは、ビームレットの位置合わせミスのためストライプと最適位置合わせされていない。これは、ビームレット切り替えのタイミングを調整し、ビームレット制御信号の中のデータをフル画素1個分シフトすることにより補正することができる。これは、走査線ビットフレームの内側で制御ビットをシフトすることにより達成することができる。

40

【0100】

走査線Cは、例えば、局所的に標準より弱いビームレットの偏向のため、ストライプ境界D及びEの内部に収まるように正確にスケールリングされていない。したがって、パター

50

ン区間は、制御信号のより多くのビットを消費するが、オーバースキャン区間は、より少ないビットを使用する。ストライプを書き込むべきパターンは、ストライプ幅に対しより多くのビットを必要とする。ビットフレームの観点から、シフティング及びスケーリングは、フル画素分解能に限り行うことができる。しかし、ラスタライゼーションプロセスは、サブ画素分解能補正（例えば、0 から 1 画素）を取り扱うことができる。両方を組み合わせることは、2.7 画素のシフトのようなシフトを許容することになる。

【0101】

ビームレット書き込み戦略

上述された実施形態では、各サブビームは、49 個のビームレットに分割され、チャンネルは、ストライプを書き込むための 49 個のビームレットを結合する。ストライプを書き込む多数の異なる書き込み戦略が存在する。ビームレット書き込み戦略は、どのようにビームがストライプ書き込みのため配置されるかを定義する。スキームは、スタッキング、インターリーピング、又は、オーバーラッピングの組み合わせでもよい。ビームレットは、走査及びフライバックの 2 フェーズで偏向される。走査フェーズ中に、ビームレットは、ウェハ上でビームレットの走査線に沿って（ビームレットがオンに切り替えられたとき）偏向される。走査線ビットフレームのパターン区間は、望ましいチップ特徴的形体を露光するビットパターンで充填されることになる。

10

【0102】

図 8 には、4 個のビームレットを使用してストライプを書き込む可能なインターリーピングスキームとしていくつかの例が示される。これらの例は、どのようにビームレットがリアルタイムで書き込むかを示さないが、書き込みが終了したとき、どのビームレットがストライプのどの部分を書き込んだかを示す。

20

【0103】

例 A は、ビームレットを積み重ねることを示す。あらゆるビームレットは、このビームレットの固有のサブストライプに書き込む。この構成のため、各ビームレットは、ビームレットがフライバックする前に少数のビットだけを書き込む。偏向信号の周波数は高くされ、振幅は低くされる。この書き込み戦略は、グループ幅（ビームレットの個数 $N \times$ 投影ピッチ P_{proj} ）がストライプ幅（垂直投影）に等しくなるようにグループ内のビームレットが配置される場合に適している。

30

【0104】

垂直投影は、書き込み戦略の 1 系統である。垂直投影の基本形式のため、すべてのビームレットは、小さいサブストライプを書き込む。サブストライプの幅は、ストライプ幅の一部である。ブランカ穴のグリッドのサイズは、典型的に、ストライプ幅に関係する。

【0105】

例 B では、ビームレットは、全ストライプ幅に亘ってインターリーブされる。偏向信号の周波数は低くされ、振幅は大きくされる。インターリーピング走査線とうまく合う書き込み戦略は、平行投影書き込み戦略である。特に、グループ内のビームレットの数が比較的低い場合、この戦略は、より小さいグループサイズと改良された充填比とを可能にする。ビームレットの数が少ないため、ウェハ上のグループの寸法は、合理的な充填比のため、ストライプより著しく小さい。この書き込み戦略（平行投影）のため、グループ内の特別な数のビームレットのため実現された一連の画素サイズと、ある一定のビームレットピッチとを計算することができる。その結果、画素サイズは、任意値ではない。走査線ビットフレーム内の追加ビットは、ビームレット・ブランカ穴とストライプの中心との間の最悪状況のオフセットを補償するため追加されることがある。

40

【0106】

平行投影は、書き込み戦略の 1 系統である。平行投影のため、すべてのビームレットは、インターリーブ式に全ストライプ幅を書き込む。ブランカ穴のグリッドは、ストライプ幅と関係しない。

【0107】

例 C は、インターリーピングとスタッキングとの組み合わせである。例 D のため、連続

50

的なインターリーブ状の層がレンガ壁のように重なり合う。実施例 C と比較すると、この構成は、ビームレット間のより良好な平均化を行うことになる。ストライプ境界に、ストライプ境界に亘って書き込むことになるビームレットが存在する。

【0108】

図 8 は、どのように走査線がストライプを充填するかについての例を示す。書き込み戦略は、ビームレット・ブランカ・アレイ上のビームレットのための穴のパターンを使用してどのように走査線が書き込まれることになるかを決定する。「平行投影」書き込み戦略の 1 つの利点は、この戦略の効率である。1 個の電子ビームがビームレットを作るため使用される。この戦略の効率は、穴のグループの面積（ビーム入力電流）に対する穴の総面積（ビームレット出力電流）の比率に依存する。比較的少数（49）の穴に対し、ビーム（ビームレットのグループ）の面積は、許容可能な効率のため小さくされる必要がある。「平行投影」のため、ビーム（グループ）サイズは、ストライプ幅より小さい。

10

【0109】

画素サイズは、重要なシステムパラメータである。（穴の）ブランカグリッドと画素サイズとの間の関係は、後で説明される。

【0110】

図 9 は、簡略化されたビームレット・ブランカ・アレイを示す。各ビームレットに対し、ビームレット・ブランカ・アレイの中に対応する穴が存在し、各穴にブランカ電極が存在する。ブランカは、ブランカ電極の電源を入れるか、又は、電源を切ることによりビームレットをオフ又はオンに切り替えるためエレクトロニクスを含む。単純な実施例として、僅か 4 個の穴しか含まないアレイが示され、パターン化ビームは、4 個のビームレットからなる。

20

【0111】

グリッドの下に、図 8 のパターンと同様に、5 行の走査線パターンが描画されている。5 行は、1 ~ 5 の範囲にある特別な K の値に対して描かれる。K は、例えば、走査間のステージの移動によって引き起こされる走査線の間の距離に関係する係数である。異なった係数 K は、x 方向でのステージ移動の相対速度と、y 方向での偏向速度（走査フェーズ及びフライバック・フェーズ）とを調整することにより実現することができる。

【0112】

図 9 の K = 1 に対する行には、ステージがグループ幅の距離を移動するとき書き込まれることになるパターンが示される。走査線の間の距離は、この投影のためのブランカ穴の間の距離、すなわち、投影ピッチ（P p r o j）に等しくされる。実際に、投影ピッチは、画素サイズより遙かに大きくされ、定数（リソグラフィ装置の設計パラメータ）である。図 9 の他の行は、ステージがグループサイズの整数分の 1 の割合だけ移動するとき、x 方向における走査線距離に起こることを示す。K は、この割合である。

30

【0113】

K の一部の値は、前の走査線の上書きをもたらすことになる。これらの K の値は、使用されるべきでない。これを回避する K の値は、等式 $GCD(N, K) = 1$ によって定義され、ここで、GCD は、最大公約数を示し、N は、1 チャンネルのためのビームレット・ブランカの中の穴の数（すなわち、各パターン化ビームの中のビームレットの数）であり、K は、グループサイズに対するステージ移動の割合である。グリッドの中の穴の数と K の値との最大公約数が 1 に等しい場合、K の値は、許容可能である。値 K = 5 を使用するとき、走査線間の距離は、同じ倍率で同様に減少することになる。「平行投影」を使用し、適切な K の値を選択すると、画素サイズ（少なくとも x 方向）を決定できる。しかし、制約は、固定した画素サイズの系列だけがここから生じることである。係数 K は、偏向周波数とステージ速度とを連結する。

40

【0114】

図 6 5 は、上の実施例での係数 K = 1 及び下の実施例での係数 K = 3 を用いる書き込み戦略を示す。図 6 6 は、4 個のビームレットを有するパターン化ビームのための K の可能な値を示す。

50

【0115】

49個の穴（例えば、 7×7 形アレイ）のグリッドに関する実施例が図10の表に与えられ、この表は、（典型的な穴サイズを仮定すると、25%の充填比を与えることになる）ビームピッチ61nmを仮定して、Kのいくつかの有効な値に対するx方向での画素サイズ（ナノメートル単位）を記述する。これらのパラメータに対し、投影ピッチ P_{proj} は、8.6nmになる。この図形のグリッド幅は、 $W_{proj} = 414$ nmになる。したがって、ビットフレームは、書き込み戦略シフト ± 207 nmを取り扱うことができる。

【0116】

図11は、ビームピッチ P_b 、投影ピッチ P_{proj} 、グリッド幅 W_{proj} 、及び、チルト又は傾斜角 θ_{array} を含む使用された用語の一部の定義を示す9個のビームレットのアレイの図である。図63は、4個のビームレットのアレイを示す別の実施例である。

【0117】

図57は、パターン化ビーム1個当たりのビームレットの数（ N_{pat_beams} ）と、アレイチルト角（ θ_{array} ）と、投影ピッチ（ P_{proj} ）と、K係数とに依存した画素サイズ及びグリッド幅の表を示す。大きい画素サイズは、生成され、データベースを介して送信される必要がある制御データの量を削減し、そして、スループットを増大するため望ましい。しかし、画素のサイズは、望ましいCD及びレジスト特性によって制限される。表中、x方向には3.5mmの最適画素サイズ（ L_{pixx} ）が仮定され、左から4列目は、投影ピッチ及び最適画素サイズに基づくKの計算値を示す。パターン化ビーム1個当たりのビームレットの数を仮定して許容可能であるKの最近接値は、左から5列目に示されている。6列目及び7列目は、所定のパターン化ビーム1個当たりのビームレットの数と、アレイチルト角と、投影ピッチと、K係数とに対して結果として生じることになる画素サイズ及びグリッド幅をナノメートル単位で示す。

【0118】

より大きいKは、（ステージ移動と比較して）より速い偏向走査速度を示し、結果としてx方向により小さい画素を生じる。一定データ率で、画素は、y方向により大きくなるので、画素形状は、おおよそ正方形から長方形まで変化する。

【0119】

ビームレット書き込み戦略補正

ビームレットは、重ならない走査線を書き込むことができるようにEOスリットに対しある角度で方向付けられる。偏向方向に対するEOスリットのチルトは、図11に示されるように、y方向に位置差を生じさせる。この位置差は、補正されることがある。あらゆるビームレットに対し、このシフトの値は、投影ピッチの倍数である。図11では、上部穴と中心穴との間の差は、 $W_{proj} / 2$ に等しい。これらの値は、結果としてフル画素シフト成分とサブ画素シフト成分とを生じる。フル画素シフト成分は、好ましくは、常に補償されるが、サブ画素成分は、リアルタイム・ラスタライゼーションを使用したときに限り補償することができる。

【0120】

多重化、フレーミング、符号化及び同期化

システムコストを削減するため、1つの光ファイバが多数（例えば、 $7 \times 7 = 49$ ）のブランカ穴を制御するため使用されることがある。一実施形態では、各ファイバを介して送信された連続的な制御ビットは、ビームレット・ブランカ・アレイの連続的なブランカ穴を制御するため（すなわち、一連のビームレットを制御するため）使用される。一実施形態では、各ファイバは、単独のパターン化ビーム上の49個のビームレットの制御のための49個のサブチャネルに対する制御情報を送信するチャネルを備える。この制御情報は、各ビームレットのためのブランカ電極へ供給される前に、最初に一時記憶することが可能であるか、又は、制御情報は、一時記憶なしにそのまま供給することが可能である。バッファは、この目的のためビームレット・ブランカ・アレイに設けることができる。インターリーブ型/多重化型サブフレームを含むデータベースの略図は、図55に示され、各

10

20

30

40

50

ビームレットに対する個別の制御ビットを分離するために多重化サブチャネルを復号化するため行選択器及び列選択器を使用する逆多重化スキームの略図は、図56に示される。

【0121】

同期化の目的のためと、制御情報ストリームの中のどのビットがどのビームレットに属するかを示すため、図12の実施例に示されるように、ある種のフレーミングが好ましくは使用される。本実施例では、フレーム開始標識ビット（本実施例では7ビット）がビームレット・ブランカ上のフレームが同期化される繰り返しパターンの中で使用される。

【0122】

DC平衡型シーケンスがAC結合型光送信機の使用と、フォトダイオード側での自動閾値調整とのため必要とされるとき、ある種の符号化が好ましくは使用される。一実施例は、例えば、8b/10b符号化である。しかし、この符号化は、結果としてより高いビットレートをもち、8/10ビット符号化がビットレートに25%を加える。

【0123】

信号のフレーミング及び符号化は、例えば、フレームの開始に印を付けるため、特定の符号化語を使用することによって組み合わせることがさらに可能である。

【0124】

各チャネルは、ある程度の数の個別のビームレット（例えば、49ビームレット）のためのデータを搬送することになる。情報は、データバスからブランカへ直列方式で送信されることになる。ブランカでの逆多重化及び同期化の実施に依存して、直列データ伝送に起因して異なる時点で異なるビームレットに対する制御情報を受信するブランカから生じる「ブランカ・タイミング・オフセット」を補償する必要性があるかもしれない。いくつかのビームレット同期化選択肢が考えられる。同期化実施は、主として、ブランカ上での実施の可能性に依存する。

【0125】

ビームレットの同期化は、様々な方式で行われることがあり、例えば、すべてのビームを1つの同期化信号に同期化し、列内のすべてのビームレットを同期化し、行内のすべてのビームレットを同期化し、又は、ビームレットを同期化しない。7×7形アレイに配置されたパターン化ビーム1個あたりに49個のビームレットを含む実施形態に対して、すべてのビームレットを1個の同期化信号に同期化するため、49個のビームレットのための制御データは、一時記憶され、ビームレットを切り替えるための49個のブランカ電極の1つずつに同時に供給されることがある。列内のすべてのビームレットを同期化するため、各列内の7個のチャネルのための制御データは、一時記憶され、ビームレットのこの列のための7個のブランカ電極に同時に供給されることがある。行内のすべてのビームレットを同期化するため、各行内の7個のチャネルのための制御データは、一時記憶され、ビームレットのこの行のための7個のブランカ電極に同時に供給されることがある。同期化が実行されないとき、全部で49個のビームレットの制御データは、データがブランカによって受信されたとき、ブランカ電極へそのまま供給されることがある。

【0126】

列同期化、行同期化、又は、同期化なしのため、個別のビームレット画素タイミングは、異なることになる。ビームレット間にタイミング差があるとき、差は、y方向に画素をシフトすることによって補償できる。このシフトは、常にサブ画素の範囲内に存在することになる。シフトは行ビームレット結合に依存するので、補償はラスタライゼーションがリアルタイムで実行されたときに限り可能である。

【0127】

ステッチング

フィールドは複数のビームによって書き込まれるので、ステッチングは、好ましくは、異なるビームによって書き込まれたビームの部分間で使用される。ステッチングエラー（近傍ビームによって書き込まれたパターンに対する1個のビームで書き込まれたパターンのシフト）は、結果として2種類のリソグラフィックエラー、すなわち、臨界寸法（CD）エラー（ステッチング境界での線があまりに厚いか、又は、あまりに薄い）と、オーバ

10

20

30

40

50

ーレイエラーとを生じる。オーバーレイエラーに対し、5 nmは、典型的に許容される。ステッチングアプローチは、ステッチングエラーから生じるCDエラーを免れる方法である。様々なステッチング戦略が使用されることがある。これらの戦略は、例えば、ノー・ステッチング、ラギッド・エッジ、ソフト・エッジ、スマート・バウンダリである。

【0128】

ステッチングなし戦略に対し、ビームの良好な位置合わせを除いて、特殊な手段が必要とされない、と予想される。あるビームは、他のビームが始まる場所で終わる。位置合わせミスの場合、線は、線量が非常に低いか、又は、非常に高い場所に現れることになる。ビームスポットは、この効果のある程度まで平均化することになる。しかし、ノー・ステッチングは、好ましくない。

10

【0129】

ラギッド・エッジ・ステッチング戦略は、例えば、米国特許出願公開第2008/0073588号に記載され、この出願公開は、全体がそのまま参照によって本明細書に組み込まれる。

【0130】

ソフト・エッジ戦略に対し、ビームの書き込み範囲は、重なり合うことになる。図58Bは、ソフト・エッジ戦略を例示する図を示す。パターンは、(ディザリング前に)2個のビームが書き込む両端で次第に消える。この戦略は、図中に1 µmソフト・エッジとして示された、エラーがエリア全体に拡散されるという作用がある。この戦略の副作用は、ある一定の画素が2重に(すなわち、線量200%で)書き込まれる可能性がある点である。比較的大きいビームサイズのため、線量は、いくつかの画素の間に広がることになる。

20

【0131】

スマート・バウンダリ戦略は、重なり合った書き込み範囲を定義するが、このエリアの中で1回のビーム書き込みだけを許可する。図58Aは、スマート・バウンダリ戦略を例示する図を示す。図示された実施例では、100 nmの重なり合いの書き込み範囲、例えば、4 nm画素を使う25個の画素が使用される。2つのストライプ又はフィールドの間の境界又は境界付近でのパターン・データの特徴的形体の重要な部分が特定され、一方のストライプ又はもう一方のストライプの中に入れられることになる。この結果として、2つのストライプの間の実際の書き込み境界は、特徴的形体の重要な部分を横切ることを避けるため移動されるので、重要な特徴的形体は、単独のビームによって常に書き込まれることになる。

30

【0132】

ソフト・エッジ・ステッチング戦略は、両方の境界が次のストライプのエリアで滑らかに徐々に消える戦略である。ソフト・エッジ・ステッチング戦略に対し、最大オーバースキャン長0.5 µmが使用されることがある。5 nmのステッチングエラーが発生する場合、この結果として、5 nm×線幅のエリアに100%線量エラーを生じる。ステッチング重なりが1 µmである場合、100%線量エラーは、 $100\% \times 5 \text{ nm} / 1 \text{ µm} = 0.5\%$ まで低減される。総線量エラー量は、3%にセットされることがあり、0.5%線量エラーは、この線量エラー量からのステッチングエラーに与えるため合理的な量である。

40

【0133】

ステッチング方法(ソフト・エッジ又はスマート・バウンダリ)と、オーバースキャン長は、走査毎の選択物でもよい。オーバースキャン長を短縮することは、結果として、装置のスループットを高くすることになる。ユーザは、好ましくは、ソフト・エッジ・ステッチング戦略、又は、スマート・バウンダリ・ステッチング戦略のいずれかと、ソフト・エッジのサイズとを選択することができる。

【0134】

所要データバス容量の削減

2回の走査を伴うマルチパス走査の使用は、結果として、最大容量の半分で書き込みを行うリソグラフィ装置をもたらす。この書き込み容量の削減は、データバスのため必要と

50

されるハードウェアの量の著しい減少を可能にする。

【0135】

チャンネルは、データパス内の作業の単位である。チャンネルは、走査中に1個のストライプを書き込む能力をもつ。リアルタイム処理に関連するデータパスの要素は、高速メモリと、処理ユニットと、レーザーと、ファイバと、ブランカとである。1回の走査に対しチャンネルの50%だけがアクティブ状態であるため、処理ユニットの個数は、およそ同じ倍率で削減されてもよい。

【0136】

同時により少ないチャンネルをストリーミングする処理ユニットの減少は、以下の利点、すなわち、1チャンネル当たりが必要とされるロジックセルの削減、チャンネルの1ノード当たりが必要とされる高速メモリ帯域幅のハードな限界、及び、必要とされる高速メモリ記憶サイズのできる限りの削減をもたらす。処理ユニットの個数の削減は、処理ユニットと適切なチャンネルのためのレーザーとを接続する方法が存在しなければならない、及び、特に、多数の引き続く(クラスタ)チャンネルエラーの場合に、新しい制約が走査を失敗させるかもしれない、という不利点もある。

【0137】

ノードの概念は、以下の説明中で使用される。ノードは、Y個の(光)チャンネルが接続され、X個の処理ユニットを利用することができる。図13は、このようなノードのモデルを示す。市販されている電気・光(E/O)変換装置は、典型的に、12個のチャンネル(すなわち、Y=12)を収容している。E/O変換装置(例えば、レーザーダイオード)は、処理ユニットからの電気制御データを、光ファイバを介してリソグラフィ装置のブランカへ送信される光データに変換する。E/O変換装置を駆動する処理ユニット(例えば、プログラマブル・ゲート・アレイ、FPGA)は、X個のチャンネルを収容する。X*Y個の交差ポイントは、いずれかの処理ユニットをいずれかのO/E変換装置へ切り替えるため使用されることがある。X*Y個の交差ポイントは、別個の装置であるか、又は、処理ユニットの中に一体化されている。交差ポイントを用いると、いずれかの処理ユニット出力(X)をいずれかのデータパス出力(Y)へルーティングすることが可能である。

【0138】

一部の光チャンネルが機能しない場合、最初に、すべてのストライプ位置が少なくとも1個の適切な現用チャンネルによってカバーされる第1の走査と第2の走査との間のシフトの可能性を判定する必要がある。可能なシフト位置が既知であるとき、利用可能な処理ユニットが走査と走査との間に割り付けられ、ストライプの100%をカバーしているかどうか判定される。

【0139】

図14では、走査1回当たりのチャンネル位置が概念図に示される。図14に示されたストライプ(青)は、チャンネルエラーと2個の個別のシフト値とのこの特殊な組み合わせを用いて書き込まれる。重なり合ったチャンネル位置と重なり合わないチャンネル位置とを区別することが重要である。重なり合ったチャンネル位置にあるストライプは正確に書き込まれるべきであるため、走査のうちの1回に対しこの位置で現用チャンネルを利用できることが必要である。重なり合わないチャンネル位置に対し、第1の走査と第2の走査との間のウェハのシフトは、結果として、1回の特別な走査に限りストライプを書き込むことが可能である2つの領域を生じることになる。この領域において不成功のチャンネルは、良好なチャンネルの系列を遮断することになる。最も左側のチャンネルエラー(図中、このチャンネルエラーを指示する赤矢印を参照)は、ストライプがこの右側で開始することを余儀なくさせる。左側でチャンネルは使用できない。典型的に、シフティングは、(2回の走査を使用して)エラーを含まない重なり合った領域を取得するため使用され、重なり合った領域の中の一部のチャンネルは、必要な数の書き込むべきストライプに達するため使用されることがある。

【0140】

重なり合わない領域の中の位置を書き込むことができない可能性は、重なり合った領域

10

20

30

40

50

の中の位置を書き込むことができない可能性よりかなり高い。したがって、典型的に、重なり合わない領域の中の「良好なチャネル」の系列は短い。したがって、12870個のチャネルを使用して2回の走査において13000個のストライプをカバーすることは、重なり合わない領域における良好なチャネルの比較的大きい系列の利用可能性に非常に大きく依存するので困難になる。13130個のチャネルを使用して2回の走査において13000個のストライプをカバーすることは、この成否が重なり合わない領域に殆ど依存しないので、遙かに容易になる。実際には、ストライプの完全な系列は、重なり合った領域で見つけられる可能性が高い。

【0141】

処理ユニットの個数を削減するとき、新しい制約が取り入れられる。適切なシフトを見つけることの他に、第1の走査及び第2の走査に対しチャネルへの処理ユニットの成功した割り付けを見つける必要がある。図15では、この実施例が示される。この実施例に対し、5個のチャネル及び3個の処理ユニットを管理するノードを仮定する。白丸は、チャネルがオフに切り替えられたことを示し、黒丸は、使用中であり、かつ、処理ユニットが割り付けられたチャネルを示す。赤十字形は、チャネルエラーを示す。特殊な走査に対してノード内でアクティブ状態である処理ユニットが最大3個であるという制約を侵害するノードは存在しないことを検証することができる。

10

【0142】

図16は、重なり合わない領域に対しチャネルより少ない処理ユニットを使用する結果を示す。同図は、ノードに対し、1チャネル当たり3個の処理ユニットという制約で良好なチャネルの最大系列が取得されることを示す。最大長さは、1ノード当たりの処理ユニットの個数の2倍に一致する。他のシフト値に対し（図16のシフトは理想的なシフトである）、重なり合わない領域の中の有用な系列は、実質的により小さくされることになる（シフトが1ずつ増加するとき何が発生するかを参照）。このように、重なり合わない領域の中のチャネルは、（処理ユニットの量の削減を考慮しない）以前よりさらに一層役に立たない。

20

【0143】

重なり合わない領域の中のチャネルの利用率の悪化の他に、同じ制約に基づく別の弱点が重なり合った領域において現れる。重なり合った領域では、1ノード当たりの処理ユニットの個数の削減は、エラーの系列（エラークラスタ）に対する感度に形を変える。12チャネルをもつノード1個当たりに7個の処理ユニットという構成に対し、処理ユニットの個数の2倍に1を加えた数のクラスタは、結果として、割り付けの不成功を招くことになる。クラスタが単独のノードにマップされた場合、割り付けは、処理ユニットの個数に1を加えたサイズのクラスタに対して失敗する。クラスタの取り扱いが現実のボトルネックであるときはいつでも、ノードサイズを増大する可能性が依然として存在する（例えば、24個のチャネルと14個の処理ユニット）。これは、大型クラスタに対する感度を低下させることになる。システムは、チャネルエラーに対してある程度のレベルまで頑強であることが重要である。同様に、処理ユニットの数を削減する場合、チャネルエラーに対する頑強性は、合理的なレベルで保たれる。

30

【0144】

冗長走査の概念のための主要なパラメータは、ストライプ数と、チャネル数と、予想エラーチャネル数と、予想エラークラスタサイズと、1ノード当たりのチャネル数と、1ノード当たりの処理ユニット数とである。チャネルエラーを特定した後、システムは、結果的に必要なストライプ数以上の長さをもつ「良好な」系列を生じる可能なシフト組み合わせを見つけることになる。「良好な」系列は、重なり合わない領域における「良好な」チャネル位置、又は、少なくとも1個のチャネルが「良好」である重なり合った領域における位置のいずれかからなる。このプロセスは、結果として、シフトのリストと、「良好な」領域の開始及びサイズとを生じることになる。

40

【0145】

チャネルと処理ユニットとの間に1対1の関係がある場合（すなわち、データバス容量

50

の削減がない場合)、ウェハシフトの成功が成功の条件である。チャンネルより処理ユニットが少ない場合、割り付けの成功は、付加的な要件である。割り付けは、すべてのストライプ位置が「良好な」チャンネルだけを使用して2回の走査のうち的一方によって書き込まれるときに成功する。走査1回毎に、ノードは、利用できる数より多くの処理ユニットを割り付けることができない。

【0146】

可能な割り付け戦略は、最初に、ある種のストライプ位置を書き込むべきチャンネルを割り付ける。これらの位置は、典型的に、一方の走査のうち、もう一方の走査のうちのエラーチャンネルに対応する重なり合わない領域の中の位置及び重なり合った領域の中の位置である。いずれかのノードが利用可能な数より多くの処理ユニットを必要とする場合、割り付けの試みは、失敗することになる。

10

【0147】

一方側から開始して、割り付けは、ストライプ位置の中を反復的に進行する。処理ユニットは、最先に範囲を出ることになるノードから割り付けられる。このようなノードが完全に割り付けられた場合、他の走査からのノードは、位置を書き込む処理ユニットを割り付けるべきである。いずれかのノードが利用可能な数より多くの処理ユニットを必要とする場合、割り付けの試みは、失敗することになる。先に拒絶された場合に割り付け可能性を見つけて、より良好な結果をもたらす他の戦略が使用されることがある。

【0148】

割り付けスキームの失敗の典型的な理由は、重なり合わない領域における制約の失敗、処理ユニットの予備なし、及び、エラーの大型クラスタである。特別な場所でのエラーチャンネルと組み合わせた特別なシフト値は、多くの場合に、結果として割り付けの失敗をもたらす。デュアルパス走査に対し、予備処理ユニットは、ノードが役目を果たすべきチャンネル数の半分以上を超えた処理ユニットであり、例えば、1ノード当たり12個のチャンネルと、6個の処理ユニットとの構成は、予備処理ユニットがない。

20

【0149】

エラーの大型クラスタは、最終的に、特別なノードの中でこの個数の処理ユニットを使い果たすことになる。クラスタは、1個又は2個のいずれかのノードがエラー位置での書き込みのため処理ユニットを割り付けるべきかどうかを判定するので、クラスタの影響力は、クラスタの位置に大きく依存する。12個のチャンネルをもつノード1個当たり7個の処理ユニットに対し、1個のノードは、最大で7個のエラーを吸収可能であり、2個のノードは、最大で14個のエラーを吸収することができる。

30

【0150】

図17～図23は、リソグラフィ装置の容量に関してデータパスの容量を変える効果を決定するためにシミュレーション実験の結果を示すグラフである。グラフは、50回の実験のうちの成功の回数を示す。成功とは、成功したシフト及び割り付けが見つけられたことを意味する。多くのシミュレーションは、おおよそ単独のパラメータを変えるので、特に断らない限り使用されるデフォルトパラメータ集合：ストライプ数=13000、チャンネル数=13130、1ノード当たりの処理ユニット数=7、及び、1ノード当たりのチャンネル数=12が定義される。

40

【0151】

7個の処理ユニットを使用する12個のチャンネルをもつノードは、12/7構成と呼ばれる。図17では、大型エラークラスタが存在しないこと(小型自然クラスタリングだけ)を仮定して、1ノード当たり様々な個数の処理ユニットの影響が示される。12個のチャンネル当たり5個の処理ユニットという構成は、常に失敗することになるので、12/6構成は、削減のため考慮される下限である。12/12構成は、事実上、処理ノードが削減されない構成である。この構成の成功は、シフト成功を見つけることだけ(割り付け制約なし)に依存する。シミュレーション結果は、12/12構成と比べて12/6構成及び12/7構成に対して頑強性が僅かに減少することを示す。

50

【0152】

図 18 は、図 17 と同じ構成へのエラークラスタの影響に焦点を当てる。12 / 6 構成は、ノード内の予備処理ユニットの不足によって引き起こされたサイズ 5 をもつエラークラスタに対し特に高感度である。重要な場所における 1 回のエラーは、実行の失敗の原因となる。12 / 7 構成及び 12 / 12 構成は、サイズ 5 のクラスタに対し特別な感度を示さない。

【0153】

チャンネルの個数を変える影響が図 19 に示される。重なり合わない領域は、処理ユニットの個数を削減する場合、殆ど役に立たない。これは、13000 個のチャンネルの使用に対する悪い結果を説明する。より多くのチャンネルを用いる構成は、主として重なり合った領域を拡大するので、「良好な」系列と共により多くのシフト機会をもたらすことになる。シミュレーション実験は、200 個のエラーを伴う 13130 個のチャンネルが、結果として、平均で 26 回のシフト成功を生じ、13260 個のチャンネルは、結果として、同じ個数のエラーに対し、平均で 41 回のシフト成功を生じること示す。13000 個のチャンネルの使用は、平均で 14 回のシフト成功だけをもたらす。チャンネルの個数の増加は、典型的な 12 / 7 構成に対する頑強性を高める。

【0154】

図 20 は、先行シミュレーションが 5 個のエラークラスタの影響と共に拡張されたときの結果を示す。重大な影響は、チャンネル数を変化させることに併せて観察されなかった。

【0155】

上述されるように、頑強性は、処理ユニットの個数を 12 から 7 まで削減するときに減少し、チャンネルの個数を増加することは、頑強性を改良する。図 21 は、より多くのチャンネルを使用することによる処理ユニットの削減を原因とする頑強性の損失を補償する試行時の結果を表す。同図から分かるように、構成を 12 / 12 から 12 / 7 へ変更するときの頑強性の損失は、チャンネルの個数を約 1 % だけ増加（例えば、13130 から 13280 までチャンネルの個数を増加）することによって補償できる。

【0156】

シミュレーションで使用されたクラスタは、すべてが最悪条件であると思われる特別なサイズをもつ「単独クラスタ」であることに注意されたい。他のクラスタリング戦略は、より多くの肯定的な結果を与える傾向がある。図 22 は、単独クラスタだけを投入、できるだけ類似したクラスタを規則的な距離（開始位置から終了位置まで 65）で投入、及び、できるだけ類似したクラスタを無作為位置に投入（しかし、クラスタ間に最小限 20 個の良好なチャンネルの距離を維持する）の 3 つの戦略の比較を示す。エラークラスタ間の固定距離は、多数の相関を作り出し、結果として大量のシフト成功を生じることになることに注意されたい。

【0157】

サイズ 5 より大きいクラスタは、処理ユニットの個数を削減するとき、頑強性に重大な影響を与えることになる。これは、クラスタサイズ 5 をもつ 12 / 07（12 / 07 @ 5）とクラスタサイズ 8 をもつ 12 / 7（12 / 07 @ 8）との間の頑強性の差が明白である図 23 において分かる。

【0158】

5 より大きいエラークラスタがより頻繁に現れるとき、代替的なアプローチがクラスタ感度を低下させるため処理ユニットの個数の削減と組み合わせて使用できる。ノードサイズを増大し、24 / 14 構成のような匹敵する比率を使用することは、1 つの代替案である。この効果は、24 / 14 @ 8 構成の場合に 12 / 07 @ 8 構成より大きい頑強性を示す図 23 において分かる。

【0159】

ノードを越えてチャンネルを無作為化すること、又は、ノードの間に広範にチャンネルを体系的に分散させることは、他の代替案である。これらの代替案は、結果として、1 個又は 2 個のノードに集中されるのではなく、多数の異なるノードに対応するエラークラスタを生じることになる。クラスタエラーのすべてのミラー位置を書き込むことは、この構成で

10

20

30

40

50

は、１個又は２個のノードの役目ではなく、多くのノードの役目ということになる。しかし、チャンネルを無作為化、又は、分散化することは、近傍の概念（そして、潜在的に共有する情報）が消えるので、他のマイナス効果がある。

【０１６０】

割り付け戦略最適化：割り付け制約の点検に加えて、割り付け機能の重要な課題は、走査間のステッチの個数を最小限に抑えることでもある。

【０１６１】

上記シミュレーションから引き出すことができる結論は、以下の通りである。１ノード当たりの処理ユニットの個数の削減は、ハードウェアの量を著しく削減することができる。１ノード当たりの処理ユニットの個数の削減は、頑強性を僅かに低下させることになる。５０％（例えば、１２／６構成）は、デュアルパス走査に対し、１ノード当たりの処理ユニットの個数を削減する下限である。５０％に近い構成は、小さいエラークラスタ（サイズ＝５）に対し特別な感度がある。よって、１２／６構成は、この感度を示さない１２／７構成より好ましくない。１２／７構成は、チャンネル１２個当たりの処理ユニットの個数に対する合理的な下限であるように思われる。チャンネルの個数は、好ましくは、良好な頑強性に対するストライプの個数より多い（＋１％）。チャンネルの個数を増加することは、頑強性を著しく増大させる。１ノード当たりの処理ユニットの個数の削減による頑強性の損失は、付加的な１％チャンネルを使用することによって容易に補償されることがある。大型エラークラスタ（＞５）は、頑強性を大幅に低下させることになる。

【０１６２】

データパス要件

図２４のフローチャートは、リソグラフィ・システムに含まれるプロセスと、プロセスの依存関係との概要を示す。依存関係を理解することは、（所要時間に関する）性能の解析を可能とし、スループットを高めるために並列実行の機会を顕在化する。重要な原理は、走査のためのパターン・データが前の走査の実行中に処理され、及び／又は、ＲＡＭにロードされることである。

【０１６３】

様々な依存関係と、それ故に様々な可能性又は制限とが様々なアーキテクチャに対して現れることがある。例えば、プロセスＥ１（ウェハ測定及び位置決め）とプロセスＣ１（インライン処理及び／又は主走査用データのＲＡＭへのローディング）との間の依存関係である。アーキテクチャ選択肢Ａ（オフライン処理）に対し、この依存関係は存在しない。選択肢Ｃに対し、この依存関係は存在することがあり、リアルタイム・ラスタライゼーションに対し、この依存関係が存在することになる（ビームレットと走査線とのリアルタイム結合）。

【０１６４】

プロセスに関係する典型的な性能要件：サーバからストリーマ・ノードのローカル記憶装置への新しいパターンのローディング＜６０分、ストリーマ・ノードのローカル記憶装置に記憶するパターンの個数１０、新しい画像をロードするため装置がオフラインである時間＜６０秒、ラスタライゼーションが１ウェハ当たりに１回ずつ実行されることになる場合、補正パラメータの更新と書き込み準備完了との間の最大時間は、３６秒（６分の１０％）、及び、走査露光期間＜３分。

【０１６５】

タイミング及び同期化

クロック及び同期化信号は、光ファイバを介して（デフレクタ及びウェハステージのような）他のサブシステムへ分配されることがある。これは、サブシステム間のガルバニック絶縁と、電磁作用への不感度性との利点を有する。クロック変動は、線量を変化させるため使用できる。しかし、線量変動は、画素サイズを変えることによって補償できるので、クロック変動は、好ましくは、データをブランクへ送信する役割を担うデータパスの物理的部品の組み込みを簡単化し、クロック周波数の変化後に再同期化するため必要な時間を除くため回避される。

【0166】

固定クロックレートを使用する利点は、データバスの異なるコンポーネントの間にクロックを分配する必要がなくなることである。標準的な位相ロックループ（PLL）（FPGAの内部）の使用によって、ローカルクロック周波数の変動は補償されることがある。より大きい変動（例えば、 $\pm 10\%$ ）が必要とされるとき、データバス・サブシステムを同期化することを可能にするため特別な設備が必要とされる。

【0167】

データバスは、好ましくは、完全なリソグラフィ・システムのためのクロックマスタとして動作し、タイミング信号及び同期化信号を電子光学カラム（デフレクタ）及びウェハ位置決めシステムのような他のサブシステムへ供給することになる。

10

【0168】

補正

上述の荷電粒子リソグラフィ装置の実施例では、ビームレット位置、サイズ、電流、又は、ビームの他の特性のエラーを補正するために個別の電子ビームレットを調整する設備は、リソグラフィ装置の中に構築されない。リソグラフィ装置は、付加的なコンポーネントを物理的なビーム補正を行う電子光学カラムに組み入れる際に伴う付加的な複雑さ及びコストを避けるため、そして、このような付加的なコンポーネントを組み入れることによって必要とされるカラムのサイズ増加を避けるため、ビームレットに個別の補正を行う矯正レンズ又は回路を含まない。

【0169】

20

このように、ビームレット位置、サイズ、電流などの変動を補正するための調整は、データバスによって供給された制御信号に補正調整を行うことによってなされる。様々な理由のため必要とされる数種類の補正が行われる。これらの補正は、以下の事項を補償するために補正を含む。

【0170】

・ビーム位置の変動。アパーチャアレイ若しくはビームレット・ブランカ・アレイの中の穴の正確な位置決め及びサイズの変動のようなカラムの生産中の変動、又は、偏向電極のコンデンサレンズ若しくは投影レンズ又は偏光電極によって生成された静電場の強度の差に起因して、ビームレットは、位置合わせに失敗することがある。このような位置合わせミスは、「パターンシフティング」を使って補正されることがある。

30

【0171】

・機械的位置エラー。これらは、結果として、完全なウェハフィールドをx及び/又はy方向にシフトさせることがある。この種類のフィールドシフトは、同様に「パターンシフティング」を使って補正されることがある。

【0172】

・データバスの遅延エラー（例えば、データバス内の光ファイバの長さの差を原因とする）。このエラーは、y方向にシフトすることによって補正されることがある。

【0173】

・ブランカ・タイミング・オフセット。ビームレット制御信号を多重化する結果として、多くのビームレットが1個のチャンネルによって制御され、ビームレット制御信号は、直列に受信され、すなわち、異なるビームレットのための制御信号が異なる時点でビームレット・ブランカ・アレイによって受信される。ブランカ設計に依存して、ビームレットをオン及びオフに切り替えるため様々なオフセットを受けることになり、例えば、ビームレットは、行若しくは列の単位で、又は、個別のビームレットの単位で切り替えられることがある。制御ビットを有効にさせる（ビームレットが切り替えられる）戦略に依存して、特別なビームレットが別のビームレットより後の時点で切り替えられることがある。このエラーの影響は、サブ画素の範囲に入る。この結果は、1ビームレット当たりのオフセットである。

40

【0174】

・ビームレット・ブランカ・アレイ穴位置の変動。各ビームレットは、ビームレット・

50

ブランカ・アレイの中の穴を通過し、穴においてブランカ・電極によって切り替えられる。ビームレット・ブランカ・アレイの生産の変動は、結果として、基準位置と比較して、穴の位置に、したがって、対応するビームレットの位置にx方向及びy方向の両方に機械的オフセットを生じることがある。このエラーの影響は、典型的に多数の画素であり、結果は、1ビームレット当たりのオフセットである。このエラーのフル画素（整数）部は、典型的にランタイムに補償されることになる。残りのサブ画素（端数）部は、リアルタイム・ラスタライゼーションによって補償することができる。

【0175】

・偏向強度の変動。これらの変動は、ビームレット・デフレクタの電氣的偏向場の強度の空間的な差を原因とすることがあり、これは、「パターンスケーリング」、「線量補正」のため補正されるべきである。偏向差にはビームレット・オフセット成分がさらに存在することがあり、「パターンシフティング」によって補正されることがある。

10

【0176】

・制御信号パルス間隔の変動。ビームレット・ブランカ・アレイ電極をオン及びオフに切り替える様々なタイミング挙動のため、有効な線量率は、ビームレット間で相異なることになる。制御信号を多重化しないとき、この影響は著しい（例えば、10%）。1個のチャンネルで49個のビームレットに対する制御信号を多重化する場合、この重要性は、遷移効果が同じであるため小さくなるが、最小パルス幅は、多重化されていない場合（10% / 49 = 0.2%を仮定する）と比較すると49倍大きい。さらに、このエラーは、線量率に依存する。これは、100%線量率の書き込みに対して小さいが、エラーは、50%線量率で書き込むとき最大である。

20

【0177】

グローバル・パターン・シフティング

パターンがウェハに書き込まれるとき、パターンを書き込むビームレットがすべて完全に位置合わせされる可能性は低い。この位置合わせミスを補正し、ビームが位置合わせされたストライプを書き込むことを可能にするため、パターン・データは、位置合わせエラーを補償するため調整される。この調整は、ソフトウェア又はハードウェアを使用して行われることがあり、パターン・データの処理中に様々な段階で行うことができる。例えば、補正は、ベクトル・フォーマット、又は、マルチレベル・グレイスケール・フォーマット、又は、2レベル黒/白ビットマップでパターン・データに対して行うことができる。

30

【0178】

オフセットは、x方向（ステージ移動の方向）又はy方向（ビーム走査偏向の方向）又は両方向に発生することがある。オフセットは、フル画素シフト及び/又はサブ画素シフトで発生することがある。フル画素シフトは、ラスタライゼーション後にある程度の数の画素をシフトすることにより達成されることがある。サブ画素シフトは、ラスタライゼーションプロセスの一部として達成することができる。

【0179】

グローバル・パターン・シフティング（すなわち、チャンネル内のすべてのビームレットのシフト）は、（x方向及びy方向での）ストライプ位置補正と、（x方向及びy方向での）フィールド位置補正のため使用されることがある。ストライプ位置補正のためのxパターンシフト及びyパターンシフトの実施例は、図25に示される。図面の左側に、意図された位置に被された望ましいパターンと共にストライプが示される。図面の右側に、補正が行われない場合書き込まれることになる通りに被せられたパターンと共にストライプが示される。図から分かるように、グローバル・パターン・シフトは、チャンネルのすべてのビームレットが左上にシフトされた位置に書き込むため必要とされる。

40

【0180】

ビームオフセットは、典型的に、（ウェハ又はフィールド毎に1回ずつ）キャリブレーション後に頻繁に行われる。ビームレットは、同じチャンネル内の他のビームレットに対して完全に位置合わせされているので、チャンネル内のすべてのビームレットは、同じパターンオフセットを取得する、と仮定することができる。

50

【0181】

パターンシフティングのための典型的な要件は、グローバル・シフティングのための1チャンネル毎にX及びYに個別のシフト設定と、1フィールド毎に1回ずつのパラメータ更新とである。典型的な最大シフト範囲は、0.1nmのシフト精度で+200nmから-200nmでもよい。パターン化ビーム内のすべてのビームレットは、同じオフセット値を使用することが予想されるので、この補正は、グローバルシフトに対してチャンネル毎である。グローバル・パターン・シフトに対し、チャンネルパターンは、ビーム・インターリーピング戦略とは独立に全体としてシフトされる。

【0182】

ブランカ・タイミング・オフセット補正

10

多数のサブチャンネルのためのビームレット制御信号は、好ましくは、単独のチャンネルを介して多重化される。ブランカ設計に依存して、これは、結果として、異なる時点に次の画素への個別のビームレット切り替えを生じる。ブランカ・タイミング・オフセット補正は、典型的に、1画素未満の最大シフト範囲と0.1nmのシフト精度とを用いて、サブチャンネル毎にYにおける補正を必要とする。ブランカ・タイミング・オフセットは、ブランカ設計に依存するので、シフトパラメータは静的である。

【0183】

ブランカ穴オフセット補正

20

ブランカ図形のため、異なる穴は、ある特定の基準点から異なるオフセットを有する。穴のXのオフセットは、インターリーブ型パターンを生成するため使用される(図9を参照)。ブランカの予測可能なタイミング遅延は、リアルタイムで考慮され、この補正の一部とは考えられない。基準(例えば、中間ストライプ)と相対的なYのオフセットは、補償される。エラーは、フル画素成分及びサブ画素成分に分割される。フル画素シフトは、常に補償されるべきであるが、リアルタイム・ラスタライゼーションだけがサブ画素成分を取り扱う能力をもつ。ブランカ穴オフセット補正は、典型的に、最大シフト範囲 $\pm W_{proj}/2$ 又は $\pm 210\mu m$ (すなわち、 $(N-1)*P_{proj}$)と、0.1nmのシフト精度とを用いて、サブチャンネル1個当たりのサブ画素成分のためのYの補正を必要とする。ブランカ穴オフセットは、ブランカ図形の関数であるので、補正パラメータは静的である。

【0184】

30

線量補正

リソグラフィ装置における生産中の公差変動のため、有効線量は、ビームレット毎に変化する。ビームレット走査偏向強度の変動は、結果として、線量強度の変動を生じることもある。線量率は、線量係数；結果の線量率=線量率マップ*線量係数を使用して補正されることがある。この式は、数学的に補正を記述するが、線量補正は、好ましくは、画素白色値及び/又は閾値を調整することにより、ディザリングプロセスにおいて実現される。例えば、ビームレットが線量係数90%を用いてキャリアレーションされるとき、ビームレットの強度は、 $100\%/90\%=111.1\%$ である。このように、100がデフォルトである場合、ディザリングのため使用される白色値は、111.1であることになり、デフォルトが50である場合、ディザリング閾値は、55.6であることになる。

40

【0185】

線量補正は、ビームレット毎に実行され、補正パラメータは、ウェハ1個毎に1回ずつ更新される。線量補正のための典型的な要件/値は、50%から100%のパターン線量マップと、0.2%ステップサイズのパターン線量精度と、80%から100%のビーム線量係数と、0.2%ステップサイズのビーム線量精度とである。結果として得られる線量率は、最近接値に丸められるべきである。

【0186】

パターンスケーリング

ビームは、各走査中にy方向に偏向され、ストライプの一方側からもう一方側へパターンを書き込む。偏向距離は、好ましくは、両方のストライプ幅と、オーバースキャン距離

50

の2倍とをカバーする。偏向が完全には均一でない場合、1個のビームが他のビームより強く偏向されるので、偏向距離は、様々である。走査偏向の強度の差は、アレイ両端に現れる電圧降下のために走査偏向アレイの表面の一面に亘って現れる。これらの電圧降下は、結果として、アレイの遠端により弱い偏向場を生じ、偏向距離は、より弱い偏向場を受けるビームレットに対してより短くなる。

【0187】

これは、パターンスケーリングを使用して補償される。パターンスケーリングの実施例は、図26に示される。図面の左側には、波線の間に意図されたスケーリングのパターン特徴的形体が被された望ましいパターンと共にストライプが示される。図面の右側には、スケーリング補正が行われていない場合書き込まれることになる通りに被されたパターンと共にストライプが示される。図から分かるように、パターンスケーリング補正は、正確なスケーリングを使って特徴的形体を書き込むためチャンネルのすべてのビームレットの偏向を縮小するため必要とされる。

10

【0188】

スケーリングは、ブランカへ送信されたデータ信号のビットレートを調整し、様々な数の画素の上に露光パターンを拡散することにより完成されることがある。同期化考慮のため、ビットレートを変えることは好ましくない。これを避けるため、スケーリングは、異なる数のビット/画素の上にパターンを拡散することにより行われることがある。同じグループのビームレットは、同じ偏向強度を有する、と仮定される。なぜならば、ビームレットは、全く同じデフレクタによって偏向されるからである。パターンスケーリング係数は、このように、ある一定のグループの中のすべてのビームレットに対して同じである。

20

【0189】

パターンスケーリングは、好ましくは、冗長走査入れ替え毎に1回ずつの補正パラメータ更新を伴うチャンネル毎の補正を必要とする。最大範囲は、典型的に、1から1.1であり(例えば、2 μm は、2.2 μm になる)、精度は、0.1nm/1 μm =1/10,000である。ビームレットは、同じ偏向アレイを共有し、このリフレクタの中でおおよそ同じ位置にあるので、偏向強度は、チャンネル内のすべてのビームレットに対して同じであると仮定される。

【0190】

図27は、各種の補正と典型的なパラメータ及び範囲を要約する表である。第1の走査及び第2の(又は冗長)走査の両方が使用されるとき、線量補正は、好ましくは、両方の走査の前に実行されることに注意されたい。

30

【0191】

動的パターンシフティング

動的パターンシフティングは、ウェハ加熱を補償するためさらに設けられることがある。動的パターンシフティングは、時間の関数として変化する値と共に、チャンネル毎にXオフセット及びYオフセット表を使用して完成することができる。1ms当たりの最大傾斜0.1nm(X方向に-10 μm に等しい)が使用されることがあり、オフセット表は、300nm(ウェハサイズ)あたりに30,000個のエントリを含む。

【0192】

パターンサイジング補正

走査偏向アレイの表面を横切るビームレット走査偏向の強度の差のため、ビームレットの偏向距離は、変化することになる。この偏向距離は、(上述の)パターンスケーリング又はパターンサイジング補正を使用して補償されることがある。パターンサイジング補正のための要件は、一般に、パターンスケーリングのための要件と同じである。

40

【0193】

データパス・アーキテクチャ

データパスは、指定フォーマットでパターン・レイアウト・データを受信し、このデータが電子ビームを使用してウェハに書き込むことができるように、このデータを処理する。データパスは、リソグラフィ装置の中のエラーを補償するためパターン・データへの調

50

整をさらに実行し、同期化信号を他のサブシステムへ供給する。

【0194】

図28は、GDS-IIパターン・データ・ファイルから、ファイバを介して送信されるビットストリームへのフローを表すデータパスの機能ブロック図を示す。図面は、適切な機能ブロックにおいて現れる補正をさらに示す。アーキテクチャ選択肢に依存して、補正は、データパス処理の中の様々な点で行われることがある。

【0195】

入力データフォーマット

データパス・サブシステムのための入力は、ウェハに「書き込まれる」レイアウトの情報を収容する（通常は、GDS-II又はMEBESのような工業規格ファイル・フォーマットから導き出される）前処理済みフォーマットということがある。この工業規格ファイル・フォーマット上で、予め定義されたシステム補償がオフラインプロセスの中で適用される。オフライン処理後、データは、データパスの次の段階のため保存されることになる。データは、後に続く処理のため使い易いファイル・フォーマットに、例えば、個別のチャンネル毎に1ファイルずつ保存されることがある。

【0196】

線量マップ・データフォーマット

線量マップは、典型的に、ベクトル・フォーマットを使用して、単一線量率の面積を定義する。線量率は、単位面積当たりの放射線強度である。パターンを適切な線量率で書き込むことは本質的であり、そうでなければ、書き込み済みパターンは、レジストの中に正確に現れることがない。線量率の範囲は、例えば、0.2%のステップの中の50から100%でもよく、線量マップの空間分解能は、10から15nmでもよい。これらのエリアは、重なり合わないの、これらのエリアを記述する多角形の線は、交差しない。これらのエリアは、0°、45°又は90°の角度にある線を使用して、ベクトル・フォーマットで定義されることがある。リアルタイム描画の場合、オフラインプロセスは、複雑な多角形をより単純な多角形に解体することがあり、例えば、多角形は、走査線が最大で2回に限り境界と交差するように単純化することができる。これは、ハードウェアにおける描画を簡略化する。

【0197】

前処理

前処理機能は、典型的に、設計毎に1回ずつ実行される。このステップは、完了するために大量の計算能力を必要とする。以下の機能性が通常は前処理に含まれる。(a) GDS-IIチップ設計を読み出し、チップ生産プロセスの中の特定のステップのため必要とされる情報を抽出する。これは、典型的に、結果として、このステップで必要とされる特徴的形体のための多角形のマップを生じる。(b) レジスト加熱補正を線量マップに適用する。この補正は、典型的に、結果として、特徴的形体位置のための調整を生じる。(c) 多角形に近接補正を適用する。この補正は、結果として、異なる線量率が結合されたさらに多くの多角形を含む線量マップを生じることになる。(d) 各フィールドのための線量マップをベクトル・フォーマットで出力する。

【0198】

チャンネル分割

チャンネルは、好ましくは、さらなる処理のための単位として使用される。これを可能にするため、フィールド線量マップは、チャンネル毎の線量マップに分割される。多角形は、1個のチャンネルによって書き込まれたストライプエリアに縮小される。ストライプエリアは、好ましくは、ステッチング戦略及びディザリング開始アーティファクトを考慮するため、ストライプの境界を越えて広がる。重要な特徴的形体が単独のチャンネル/ストライプに割り当てられる「スマート境界」ステッチング戦略が使用される場合、線量マップを解体するとき、ストライプ境界上の重要な特徴的形体多角形が特別なチャンネルに割り当てられる。

【0199】

チャンネル描画

描画は、ラスタライゼーションプロセスの第1のステップである。形状情報及び線量情報は、画素の中に描画される。図29は、描画プロセスを例示するためストライプの上に被されたレイアウトパターン特徴的形体を示す。形状情報及び線量情報は、線量マップの中にベクトル・フォーマットで記述され、通常は、フィールドに基づいている。Xにおける画素境界値は、装置の開始点によって固定されている（第1行は、ビームレット0によって書き込まれることをさらに仮定する）。これは、すべてのX座標（図29における画素X $i d x$ ）と走査線を書き込むことになる対応するビームレット（図29のビームレット $i d x$ ）との間の関係を決定することになる。走査線は、Y方向での画素の行である。

10

【0200】

ランタイム測定プロセスから決定されたウェハ上のフィールドの典型的なX位置及びこのXオフセットから、特別なフィールドの第1の走査線（第1のフィールド画素行）を決定することができる。本実施例では、画素及びフィールド原点は、位置合わせされていない。したがって、「サブ画素オフセットX」は、（ベクトル・フォーマットのための基準として）フィールド原点が開始する左画素X境界からのオフセットを定義する。

【0201】

Yにおける画素サイズと、ストライプ幅と、オーバースキャンと、パターンスケールングとは、結果として、必要とされる整数個の画素を生じることになる。1個の追加画素がサブ画素シフトを可能にするため追加されることがある。パターンスケールング係数は、すべてのビームレットに対して同じであるので、すべての画素のYサイズが同じになる。

20

【0202】

シフトは、常に、整数部分（フル画素シフト）と端数部分（サブ画素シフト）とに分割することができる。フル画素シフトは、ビットフレームの中で画素をシフトすることによって実現することができる。サブ画素シフトは、この方法では実現できないが、描画/ディザリングプロセスによって行うことができる。Y方向のシフトは、グローバルであるか（すなわち、Y方向のグローバル・パターン・シフト）、又は、ビームレット毎に専用である（例えば、ビーム位置又はブランカ・タイミング・オフセット補正）。描画プロセスは、どのビームレットが走査線を書き込み、（サブ画素）適切な走査線画素をシフトするかが分かるべきである。描画する前に、画素は、特徴的形体及び線量のベクトル・フォーマット記述のためのy方向の基準線である「ストライプ・ベクトル基準Y」線（図中の拡大部Aを参照）と位置合わせされるようにシフトされる。

30

【0203】

ビームレットと画素Xインデックスとの間の関係は、走査を開始したときに限り固定されるので、サブ画素シフトは、リアルタイム描画だけで取り扱うことができる。オフライン描画は、常にサブ画素シフト零を仮定することになる。

【0204】

チャンネルディザリング

ディザリングは、ラスタライゼーションプロセスの第2のステップである。ディザリングを用いて、特別な線量率がサブチャンネルのための系列を切り替えることにより実現される。ディザリングは、マルチレベルグレイスケール画素を2レベル黒/白画素に本質的に量子化し、各画素の中の量子化エラーを近傍画素に伝播し、特別な平均線量率を局所的に余儀なくさせる。図30は、このプロセスを示す。ディザリング技術は、典型的に、印刷時にグレイスケール又は色変動を実現するため使用される。一部の周知のアルゴリズムは、エラー拡散法（ 2×2 形行列）、及び、フロイド・スタインバーグ法（ 2×3 形行列）である。

40

【0205】

ディザリングは、1又は2の（蛇行状）方向に実行される。ディザリングアルゴリズムは、典型的に、ウォームアップするためいくつかの画素を必要とする。したがって、ストライプ幅は、より良好な結果のための小さい余白を用いて拡大される。

50

【0206】

リソグラフィ目的のため、いくつかの改良がなされることがある。1つの改良は、エラー伝播が、好ましくは、零値が与えられた画素に伝播されないことである。このエラー値は、別の方向へ伝播されるか、又は、廃棄されるかのどちらかにされるべきである。量子化エラーを零の線量が要求された画素に伝播することは役に立たない。このことは、CD及びピッチの合理的な値の観点からも考えるべきである。中間値から零値までの遷移の場合、これは、より多くの零画素が続くことになることを確保する。

【0207】

ディザリングプロセスは、階調画素を黒/白画素に変換する。ディザリングプロセスは、量子化エラーを近傍画素に伝播する必要があるので、ディザリングプロセスは、走査線毎にサブ画素シフトをさらに取り扱う。図30は、このプロセスを示す。量子化エラーを正確な方法で伝播するため、走査線が位置合わせされていないので、別の走査線へのエラー伝播は、自明な事項ではない。量子化エラーは、近傍画素間の重なり合いの量に基づいて伝播されることがあるので、より大きい重なり合いをもつ画素が伝播された量子化エラーのより大きい部分を受信する。代替的かつより簡単な戦略は、最大の重なり合いを有する近傍だけにエラーを伝播することである。

【0208】

ディザリングプロセスのため使用される線量は、好ましくは、描画プロセスからの線量率と、1ビームレット当たりの線量係数と、チャンネルに対するスケーリング係数とから生じる。線量係数は、好ましくは、1ビームレット毎にセットされる。したがって、ディザリングモジュールは、ビームレット結合への走査線も知るべきである（図30における「サブビームid x」）。

【0209】

ディザリングプロセスは、結果として、ストライプのすべての画素に対しオン/オフ状態を生じることになる。さらなる処理の前に、選択的な余白画素が削除される。ソフト・エッジの場合、ストライプ境界に滑らかな溶明及び溶暗が既に存在するので、余白画素は、必要とされない。

【0210】

アーキテクチャ選択肢に依存して、補正は、ディザリングプロセスの間に既知であるか、又は、未知である。オフラインディザリングのため、サブ画素シフトは実行不可能であり、画素は、Y方向に位置合わせされることになる。

【0211】

ディザリングプロセスに対し、白色値は、ビームレット線量補正のためデフォルトから外れることになるので、閾値は、好ましくは、常に「白色値」の半分である。

【0212】

チャンネルフレーミング及び多重化

このプロセスは、ディザリング後に様々な課題を実行する。ディザリングされた画素ビットは、走査線ビットフレームに投影される。特定のフル画素シフトは、この演算中に実行されることがある。適切なビットは、その後、単独偏向走査のため組み立てられる。

【0213】

描画プロセスのため先に記載されたように、Y方向でのフル画素シフトは、後の段階で実行されることがある。黒/白ビットマップの画素は、走査線ビットフレームの中に置かれる。このビットフレームは、空間シフトを考慮するので、典型的にビットマップ幅より広い。図31は、このプロセスを示す。垂直矢印は、零シフトの線と相対的なフル画素シフトを表す。画素が（図31における走査線ビットフレームの中で最も左の走査線と同様に）この線で開始する場合、このプロセスのフル画素シフトは、零であり、画素は、好ましくは、走査線ビットフレームの中に完全に中心が置かれる。

【0214】

偏向走査フレームのビットを組み立てる次のステップは、図32に示される。このステップは、正確な書き込み戦略に適合し、ブランカが適切な時点に必要とするビットを提示

10

20

30

40

50

するため必要である。一実施例として、図 3 2 は、パラメータ $N = 4$ 及び $K = 3$ に対して、図面の左下部分の異なるビームレット位置を示す。場所は、異なる後続の偏向走査： n 、 $n + 1$ 、 $n + 2$ 及び $n + 3$ に対し示される。このステップで、ビームレット・マッピングまでの走査線は、単独では、十分に良好ではない。このステップに対し、ビームレットインデックス及び偏向走査インデックスの両方を知るべきである。特別な偏向走査インデックスのためのすべてのビットは、単独の偏向走査ビットフレームの中に詰め込まれる。図 3 2 では、2 つの底の行は、偏向走査ビットフレーム内で画素位置を追跡するため文字で充填される。

【0215】

チャンネル符号化

10

最後の（選択的な）ステップとして、偏向走査ビットフレームは、データの伝送を改良するため符号化されることになる。

【0216】

データフロー

図 3 3 は、オフライン処理及び中央記憶ユニット（サーバ）と、数個のパターン・ストリーマ・ノードと、ブランクチップ（ビームレット・ブランク・アレイ）とを備えるデータパスの主要なデータ処理及び記憶要素を示す略ブロック図である。

【0217】

オフライン処理及び中央記憶ユニットは、入力レイアウトデータ（例えば、GDS - II フォーマット）を処理し、ストライプのための入力ファイルを生成する。走査毎のストライプへのチャンネルの割り付けに応じて、ストライプデータは、最終的に、正しいパターン・ストリーマ・ノードで終わることが必要である。

20

【0218】

パターン・ストリーマ・ノードは、ディスク記憶装置及び RAM 記憶装置の両方を収容する。ディスク記憶装置は、計画されたパターンのための入力データを記憶するため使用され、RAM は、現在パターンをストリーミングしている処理ユニットによって必要とされるデータを記憶する。

【0219】

アーキテクチャオプションに依存して、サーバからの入力データは、処理ユニットのための入力データと同じである。このことは、オフライン・ラスタライゼーション及びリアルタイム・ラスタライゼーションに対して事実である。オフライン・ラスタライゼーションに対し、ビットマップは、サーバから受信され、処理ユニットへ転送される。リアルタイム・ラスタライゼーションに対し、ベクトル・フォーマットの入力データは、サーバから受信され、処理ユニットへ転送される。処理ユニットは、ベクトル・フォーマットをビットマップに変換することになる。インライン・アーキテクチャ選択肢に対し、ベクトル・フォーマットの入力データは、処理ユニットのためのビットマップに変換される。

30

【0220】

アーキテクチャオプション

データパスの機能ユニット：（1）前処理、（2）チャンネル分割、（3）チャンネル描画、（4）チャンネルディザリング、（5）サブチャンネルマッピング、及び、（6）チャンネル多重化及び符号化は、図 2 8 に示される。

40

【0221】

前処理及びチャンネル分割は、好ましくは、オフラインで実行され、サブチャンネルマッピングと、チャンネル多重化及び符号化とは、好ましくは、リアルタイムで実行される。しかし、（チャンネル描画及びチャンネルディザリングを備える）ラスタライゼーションは、オフライン、インライン、又は、リアルタイムで実行されることがある。後述されるアーキテクチャ選択肢は、（A）オフライン・ラスタライゼーション、（B）インライン・ラスタライゼーション及び 1 フィールド当たりのオフセット、（C）インライン・ラスタライゼーション及び位置合わせされたフィールド、（D）リアルタイム・ラスタライゼーションである。

50

【0222】

リソグラフィ・システムの一実施形態では、データバス・アーキテクチャに影響を与えるリソグラフィ・システムの以下の要件が定義される。最大フィールドサイズは、 $26\text{ mm} \times 33\text{ mm}$ (y, x) であり、1フィールド当たりの書き込み時間は、 $2.5\text{ 秒} + 2$ 回目のパスのための別の 2.5 秒 であり、 $13,000$ ファイバ/チャンネル/ストライプ、かつ、 $637,000$ 電子ビームレット (1チャンネル当たり $13,000 \times 49$ ビームレット) であり、ストライプ幅 $2\text{ }\mu\text{m}$ 及びオーバースキャン幅 (片側) $1.15\text{ }\mu\text{m}$ であり、 $(0.2\text{ オフセット範囲} (\pm 200\text{ nm}) + 0.2\text{ スケーリング範囲} (\text{ストライプ幅の } 10\%) + 0.5\text{ ソフト・エッジ} (0.5\text{ }\mu\text{m 片側}) + 0.25\text{ 書き込み戦略であり} (W_{proj} = 420\text{ nm}; \text{片側 } W_{proj} / 2 = 210\text{ }\mu\text{m であり}))$ 、最大偏向幅は $4.3\text{ }\mu\text{m}$ (偏向周波数は、書き込み戦略及び駆動速度に依存し)、典型的な画素サイズは、 3.5 nm であり、画素サイズ範囲は、 $2\text{ nm} \sim 6\text{ nm}$ ($1/3$ から $3 \times$ (典型的な画素サイズ)²) であり、線量グリッド分解能は、 $10 \sim 15\text{ nm}$ であり、最小ピッチは、 64 nm であり、線のための最小 CD は、 22 nm であり、穴のための最小 CD は、 32 nm であり、入力分解能は、 0.25 nm であり、ラスタライゼーション分解能は、 0.1 nm である。

10

【0223】

パターン・ストリーマ上のデータパターン記憶サイズ > 10 パターンであり、新しい補正パラメータを更新し、新しいウェハに書き込みを開始する準備ができる時間は、 36 秒 であり、サーバからパターン・ストリーマまでのアップロード時間は、 $< 60\text{ 分}$ であり、ローカル記憶装置から高速メモリへの画像は、 $< 60\text{ 秒}$ (別個のプロセスステップ)、かつ、 $< 6\text{ 分}$ (書き込み中) であり、処理ノードは、7 個の処理ユニットと共に 12 個のチャンネルをもつ。

20

【0224】

リソグラフィ・システムは、好ましくは、ポジ型及びネガ型の両方のレジストを取り扱う能力がある。レジストの特性は、好ましくは、データバスの中のオフライン処理において取り扱われ、データバスの残りの部分は、レジストの特性について知る必要がない。単独のウェハに書き込むため、1 次バスと、2 次バス又は冗長バスとの 2 バスが使用されることがある。2 つの組み合わせは、ウェハ上にすべての $13,000$ ストライプを書き込むことになる。

30

【0225】

オプション A : オフライン・ラスタライゼーション

図 59 は、オフライン・ラスタライゼーションを使用する実施形態を示す。GDS - I フォーマット・パターンは、近接効果補正及びレジスト加熱補正を含むオフライン処理を受ける。スマート・バウンダリが使用される場合、境界は、この段階で計算される。ラスタライゼーション (描画及びディザリング) は、ベクトル・パターン・データを 2 レベル黒/白ビットマップに変換するため実行され、このビットマップは、この実施形態のためのツール入力データフォーマット (すなわち、リソグラフィ・システムへの送信用のデータフォーマット) である。このオフライン処理は、ウェハの 1 つ以上のバッチに対して、所与のパターン設計のため 1 回ずつ実行される。

40

【0226】

次に、ツール入力データのインライン処理が、同様に黒/白ビットマップ・フォーマットであるパターン・システム・ストリーミング (PSS) フォーマットを生成するため実行される。インライン処理は、典型的に、ソフトウェアで実行される。パターン・ストリーマは、その後、ビームレット・ブランカ・アレイへ送信する準備ができたブランカ・フォーマット・データを生成するため PSS フォーマット・データを処理する。この処理は、典型的に、ハードウェアで実行され、ビーム位置キャリブレーション、フィールドサイズ調整、及び/又は、フィールド位置調整のための X 及び/又は Y 方向におけるフル画素シフトに関連する補正を含むことがある。この処理は、1 フィールド毎に実行されることがある。ブランカ・フォーマット・パターン・データは、その後、ウェハの露光のため

50

ソグラフィ・システムへ送信される。

【0227】

本アーキテクチャオプションでは、多くの課題がオフラインで実行される。ラスターライゼーションは、オフラインで、設計毎に1回ずつ実行されることになる。本選択肢に対し、リソグラフィ・システムのための入力データは、黒/白(B/W)ビットマップ・フォーマットのストライプパターン記述である。ビットマップは、リアルタイムで処理される。したがって、段階5(チャンネルフレーミング及び多重化、図34を参照)によって与えられる補正だけが利用可能である。段階5の補正は、フル画素シフト補正であり、この補正は、チャンネル毎にX方向及びY方向のグローバル・パターン・シフティングと、ブランカ・タイミング・オフセット(Y方向)と、ブランカ穴オフセット(Y方向)とを含むことがある。

10

【0228】

Xオフセットは、行マッピングへのビームレット(ブランカ穴オフセット及びブランカ・タイミング・オフセット)に影響を与える。適切なYオフセットは、加算され、最近接フル画素ヘルーティングされることになる。

【0229】

フル画素補正だけの結果として、比較的小さい画素サイズ(2nm以下)が精度仕様を満たすために望ましい。小さい画素を使用する不利点は、チャンネルのため利用できることになる帯域幅より大きい帯域幅が必要とされることであり、結果として、スループットの低下を招くか、又は、チャンネル毎に複数のファイバを使用することを必要とすることがある。

20

【0230】

図35では、このアーキテクチャ選択肢のためのプロセスフローが示される。バッチを変更する瞬間に重点が置かれる。この処理フローは、リソグラフィ・システムのサイクルの中に、パターン・データをロードするため使用されることがある間隔を見つけるため解析されることがあるので、これらのプロセスは、スループットを最大化するため並列に動くことがある。中央のバーにおいて、バッチは、パターンAからパターンBへ変化する。同図に対し、(不成功のビームのため)ビーム及びストライプを入れ替える理由はないことが仮定される。新しいパターンの主要部分(パターンBのための主要走査で書き込まれたストライプ)のローディングは、最後の主要走査が終了した直後に開始することができる。同図は、新しいパターンの第2の走査/冗長走査部分のローディングが比較的に後開始することが可能であり、新しいパターンのための第2の走査/冗長走査を開始すべきときに終了すべきことをさらに示す。

30

【0231】

走査G及びFの両方の期間は、典型的に、2.5分である。並列したプロセスH及びDの全期間は、約1分でもよい。このように、全パターンのローディングのため利用できる時間は、ノードの間でストライプデータの入れ替えが必要ではない、と仮定すると、走査とウェハ交換との両方のための時間(約6分)に等しい。ストライプデータ入れ替えは、新しい不成功のチャンネルがプロセスDを使って見つけられたときに必要であるかもしれない。

40

【0232】

図36は、オフライン・ラスターライゼーション・アーキテクチャ(選択肢A)のためのパターン・ストリーマ・ノードの主要な要素のブロック図である。図36では、各ノードは、数個の要素を備える。ノードCPUは、ノード上のプロセスを連係し、データを方々に移動する。ネットワーク装置は、サーバ(オフライン処理及び中央記憶ユニット)と通信し、ストリーミングするためレイアウトデータを受信する。

【0233】

ディスク記憶ユニットは、処理ユニットのためのビットマップを記憶する。ディスク上で利用できるビットマップの様々なバージョンが存在することがある。信頼性及び読み出し性能は、ある種のRAIDモードでディスクのアレイを使用することにより改良される

50

ことがある。ディスクドライブの読み出し速度は、ストライピング（RAID 0、ディスクのアレの全面にデータを分散する）によって増大される。信頼性は、データを冗長な方法（RAID 5、Nディスク：記憶サイズ＝N - 1 × ディスクサイズ）で記憶することにより改良されることがある。

【0234】

処理ユニットメモリ（PU-RAM）は、パターン・データを記憶する。走査しているとき、処理ユニットは、このRAMからこれらのパターン・データを読み出す。CPUは、走査前に、パターン・データをRAMにロードする。処理ユニットは、パターン・データをストリーミングし、ブランカへの送信用の光信号を生成する。

【0235】

この構成のための典型的なデータフローは、図37に示される。パターン・データは、ネットワーク装置からノードCPUによって受信され（1）、ディスクに記憶される（2）。パターン・データが走査のため必要とされるときはいつでも、ノードCPUは、ディスクからデータを読み出し（3）、このデータをPU-RAMに記憶する（4）。走査中に、処理ユニットは、PU-RAMからこれらのパターンを読み出す（5）。

【0236】

このアーキテクチャの重要な特性は、PU-RAMのサイズと、PU-RAMロード時間と、ディスクロード時間と、ディスクサイズとである。PU-RAMロード時間（すべてのストライプデータをPU-RAMにロードするための時間）は、主としてディスク記憶ユニットの性能に依存することになる。ディスクロード時間に関して、新しい走査のためのビットマップは、サーバからダウンロードされることがあり、サーバは、通信のボトルネックであることがある。ディスクロード時間は、サーバからノードまで帯域幅を増大することによって、又は、サーバ上のビットマップデータを圧縮することによって改良されることがある。ディスクサイズに対して、分散ボトルネック（サーバ帯域幅）を解消するため、複数のパターン（例えば、10個）がディスク記憶ユニットに記憶されることがある。利用可能性又は読み出し速度に関する要件に依存して、ディスクは、特別なRAIDレベルのため構成されることがある。

【0237】

オフライン概念及びインライン概念において、前処理済み画素の並べ替え及びマッピングは、フィールド・プログラマブル・ゲート・アレイ（FPGA）を備える処理ユニットによって実行されることがある。この処理ユニットは、フル画素シフトを許可することになり、ブランカへ向かって多重化されるべきメモリからのデータを並べ替えることが可能である。

【0238】

圧縮は、アーキテクチャ選択肢Aのため使用されることもある。可能な構成は、無圧縮、圧縮されたディザリング済み画像、又は、圧縮された階調画像を含む。

【0239】

無圧縮に対し、パターン・ストリーマ・ノードは、（無圧縮）ディザリング済み画像をディスクに記憶することになる。配信する前にサーバ上でこの画像を圧縮することがさらに可能である。この状況では、パターン・ストリーマは、受信後にもかく画像を伸長すべきであるが、このプロセスのための合理的な期間が存在するので、この伸長は、ボトルネックであるとは考えられない。

【0240】

圧縮されたディザリング済み画像に対し、圧縮は、配信労力（通信時間）を軽減し、RAMサイズ要件を軽減する。この解決策のため、オフラインプロセスは、ディザリング済み画像を圧縮する必要があるが、FPGAは、内部的に画像を伸長し、画像を処理すべきである。したがって、RAM内の画像は、非常に小型化される。図34の機能ユニットの観点から、圧縮機能及び伸長機能は、図39に示されるように、ディザリング後に挿入されている。

【0241】

10

20

30

40

50

ディザリング済み画像は、多数のゼロ値を収容し、そして、非ゼロエリアは、線量値の変動が原因で圧縮することが難しいことがあるので、圧縮は、ディザリング済み画像に対し効果が低いことがある。図40は、モノクロ(1画素当たり1ビット)画像を使用してディザリング済みの試験画像を示す。画像(図40)は、繰り返し毎に線量レベルを変化させた図42のディザリング済みバージョンの8倍である。繰り返し毎に線量を変化させることにより、圧縮ツールは、繰り返しを利用することができず、効率が低い。GZIP及びOptiPNGは、可能な圧縮方法である。ディザリング済み画像の圧縮は、容易ではなく、およそ1:4の圧縮率をもたらすことになる(主として零の系列を圧縮する)。圧縮率1:4を使用すると、2nm画素を使用する典型的なストライプ画像のサイズは、1ストライプ当たり圧縮されていない4352MBと、圧縮された1088MBとを生じ、1ストリーム(すなわち、14倍)当たり圧縮されていない61GBと、圧縮された15.2GBとを生じることになる。このシナリオでは、ディザリング済みの画像は、RAMサイズを16GBバイトまで削減することになり、ロード時間(単独ディスクに対し、ディスクからRAMへ約2分間)と配信時間(サーバからディスクへの約1.5時間)とに利点をもたらす。2分間のロード時間は、プロセスフローの中のローディングのための時間窓の中に収まる。不利点は、FPGAが約5Gビット/秒のリアルタイム・データレートに遅れないチャンネル毎の伸長によって高められることである。さらに、サーバは、好ましくは、最初にすべてのデータを圧縮する。

10

【0242】

圧縮されたグレースケール画像に対し、図34の機能ユニットの観点から、圧縮機能及び伸長機能は、図41に示されるように、ディザリング後に挿入されるべきである。描画後に、オフラインプロセスは、階調画像を圧縮すべきであり、FPGAは、画像を伸長、ディザ、及び、処理する。

20

【0243】

図42は、セル(2nm画素で64×100nm)の描画されたビットマップの例を示す。圧縮のため、GZIP及びOptiPNG(どちらもオープンソース圧縮ツールである)が使用される。どちらの方法も可逆である。GZIPは、汎用圧縮ツールであり、OptiPNGは、2次元画像圧縮に専用化されている。PNG圧縮は、2次元予測器フィルタと、GZIP圧縮機との2段階からなっているので、OptiPNGは、優れた圧縮比を与える。現実の設計で見つかったパターンに依存して、より大きい画像にはより多くの繰り返しが存在することがある。

30

【0244】

圧縮比1:40(PNG)と、2nm画素とを使用すると、この圧縮率は、画像をベクトル・フォーマットに適合するサイズまで縮小する。しかし、このアプローチの使用は、PNG伸長が処理ユニットFPGAの中に統合されることを必要とする。ビットマップサイズが倍率4で増大するとき、圧縮された画像は、GZIPの場合、僅かに倍率1.3で増大し、PNGの場合、倍率2で増大する。圧縮は、小さい画素と組み合わせると巧く機能する。

【0245】

グレースケール画素を使用するこのアプローチの興味深い注目点は、このアプローチがブランカへのストリーミングのためより大きい画素のシフティング及び構築を潜在的に許容することである。より大きい画素の値は、より小さい画素の線形結合を使用してより小さい画素から計算することができる。入力画像は、オーバーサンプリングされていると見なすことができる。図43は、入力画素の小さいグリッド及び大きい出力画素というこの考え方を示す。画素サイズの比率が1:2である実施例が与えられているが、他の比率も可能である。FPGAは、ビットマップを圧縮せず、ブランカへのストリーミングのための大きい画素を形成するためいくつかの小さい画素を結合する。利点は、このアプローチが、小さい入力画素を使用するときであっても、ファイバ上の帯域幅(大きい出力画素)を制限することになることである。ファイバ上の帯域幅は、ボトルネックと見なされ、2nm画素をブランカへストリーミングするため1チャンネル当たり2個のファイバの使用

40

50

を必要とすることがある。

【0246】

本アーキテクチャに関する備考

・線量マップは、好ましくは、依然として入力ビットマップに追加され、FPGAによって使用される。

【0247】

・ディザリングはFPGAで行われるので、線量補正が可能である。

【0248】

・入力画素からブランカ画素を構築するときのX及びYでのシフトに関し、精度は、実際の画素サイズに依存する。

【0249】

・FPGAにおける伸長及びディザリングが必要とされる。

【0250】

・圧縮はオフラインプロセスに追加される。圧縮は、処理労力を著しく増大することになることが予想される。

【0251】

RAMサイズは、圧縮比1:40の場合に減少する。このシナリオに対し、FPGAは、階調が拡大されるレート(>>5ギガビット/秒)に追従することができるリアルタイム解凍ロジックを備える。

【0252】

オプションB及びC：インライン・ラスタライゼーション

図60は、インライン・ラスタライゼーションを使用する実施形態を示す。GDS-IIフォーマット・パターン・データは、図59のオフライン実施形態に関しては、近接効果補正、レジスト加熱補正、及び、使用される場合にスマート・バウンダリを含むオフライン処理を受ける。補正されたベクトル・パターン・データ及び線量マップは、この実施形態のためのツール入力データフォーマットである。このオフライン処理は、所定のパターン設計に対して、ウェハの1個以上のバッチのため1回ずつ実行される。

【0253】

次に、ベクトルツール入力データのインライン処理が、この実施形態では、パターン・システム・ストリーミング(PSS)フォーマットである黒/白ビットマップデータを生成するためにベクトル・データをラスタライズするため実行される。この処理は、典型的にソフトウェアで実行され、新しい線量設定がセットされるとき実行されることがある。パターン・ストリーマは、その後、図59の実施形態の場合と同様にブランカ・フォーマット・データを生成するため、上述の通りビットマップデータ上でのビーム位置キャリブレーションのためのX及び/又はY方向でのフル画素シフトと、フィールドサイズ調整と、及び/又は、フィールド位置調整とに関係する補正を含めて、PSSフォーマット・データを処理する。この処理は、1フィールド毎に実行されることがある。ブランカ・フォーマット・パターン・データは、その後、ウェハの露光のためリソグラフィ・システムへ送信される。

【0254】

図61は、インライン・ラスタライゼーションを使用する第2の実施形態を示す。この実施形態は、ビーム位置キャリブレーションと、フィールドサイズ調整と、及び/又は、フィールド位置調整とのための補正がベクトルツール入力データに行われる点を除いて、図60の実施形態に類似している。これらの補正は、ベクトル・データに行われるので、X及びY方向でのフル画素シフト及びサブ画素シフトの両方を行うことができる。これらの補正は、典型的にソフトウェアで実行され、ウェハ毎に実行されることがある。補正が行われた後、ラスタライゼーションがパターン・ストリーマへの入力用のPSSフォーマット・データを生成するため実行される。

【0255】

図44は、プロセスステップに割り当てられたステップインライン・ラスタライゼーシ

10

20

30

40

50

ョン機能ユニットを示す。本アーキテクチャのため、機能ユニット3及び4（ラスタライゼーション）は、インラインで実行される。この選択肢のため、リソグラフィ・システムのための入力データは、ベクトル・フォーマットのストライプパターン記述ということになる。ラスタライゼーションは、（1ウェハ毎、数個のウェハ毎、一連のウェハ毎に）要求に応じて行われることになる。グローバルオフセット又はグローバル線量の変化は、インライン・ラスタライゼーションを開始することができる。

【0256】

適切な線量は、画素面積を変更することによってセットされる。画素面積は、X画素サイズ及びY画素サイズの両方を変更することによって変更されることがある。しかし、Xサイズは、（図10に関連して説明されたように）ある種の値だけに変更できる。グローバル線量の微調整のため、Yサイズの変更が使用されることがある。固定ビットレートを仮定すると、Y画素サイズは、偏向周波数を変更し、異なるパターンスケール係数を使用することによりセットされる。

10

【0257】

ラスタライゼーション結果は、すべてのフィールドのため使用されることになるので、フィールド固有サブ画素オフセットを考慮することができない。1フィールド当たりのオフセットは、好ましくは、最終的に、フル画素に丸められ、これは、段階5（チャンネルフレミング及び多重化）によってリアルタイムで考慮される。

【0258】

補正は、以下を含むことがある。

20

【0259】

・X及びYでのフル・パターン・シフティング（フル画素シフトのみ）。パラメータは、1フィールド毎に1回ずつ更新される。

【0260】

・X及びYでのグローバル・パターン・シフティング（サブ画素分解能）。パラメータは、ウェハ走査毎に1回以上更新される。

【0261】

・パターンスケールによるグローバル線量変更。パラメータは、ウェハ走査毎に1回以上更新される。

【0262】

30

1ビームレット毎の線量補正とサブ画素シフトとの両方を取り扱うことはできない。根本的原因是、ビームレット・マッピングへの行を制御するX方向へのシフティングの能力である。エラーを制限するため、この選択肢は、典型的に、比較的小さい画素サイズ（約2nm）を使用することにつながることになる。この選択肢は、ビームレットがあらゆるフィールドの同じ線を書き込むことになるという意味で、アーキテクチャ選択肢Bと比べて特殊ケースである。換言すると、ビームレット・マッピングへの行は固定され、あらゆるフィールドに対して同一である。したがって、ビームレット固有補正を補償することができる。サブ画素補正は、適切になされるので、ビームレットは、より高い精度でパターンを書き込むことになる。したがって、画素サイズはより大型（3.5nm以下）であり、この画素サイズは、結果として、ブランカへ向かうより多くの光チャンネル数を生じない。

40

【0263】

すべての補正がサポートされるが、フィールドは、理想的な位置に置かれるので、フィールド間にX及びYのオフセットが存在しない。プロセスフローは、アーキテクチャ選択肢Aと異なることがある。アーキテクチャ選択肢B及びCのため、新しいビットマップが1ウェハ毎、又は、数個のウェハ毎にベクトル入力ファイルから頻繁に生成される必要がある。

【0264】

F) 主要走査。新しいパターンビットマップの再生の場合、ウェハの測定（E1）に依存関係が存在することがある。図45は、依存関係がある場合のプロセスフローを示す。

50

この依存関係が存在しないとき、プロセスフローは、図35のプロセスフローに類似することになる。再生のため必要とされる情報が有効に推定されるとき（穏やかに変化するプロセスパラメータ）、同様に依存関係は存在しない。したがって、再生は、早期に開始できるが、現実の測定後に検証される必要がある。予想外の不一致が存在する場合、再生は再開され、ある程度のスループットを失うことになる。最終的に、検討事項は、十分なRAMが利用できる場合、処理が主要走査の後より早く開始できるということである。これは、処理のための時間フレームに2.5分をさらに追加することになる。インライン処理をサポートする解決策は、合理的なタイミング要件を満たすために非常に強力な処理ユニットを必要とすることになる。最悪ケースの状態（2.00nm画素、最大ステッチング）に対し、描画すべき画素数は、1ストライプ当たり35ギガ画素になる。ベクトル・データのサイズは、1ストライプ当たり606Mバイトになる。図46には、インライン処理のためのアーキテクチャが示される。このアーキテクチャは、ブロック「ラスタライザ」を示す。このブロックは、ベクトル・フォーマットをストライプの黒/白画像に描画するインライン処理タスクの役割を担うことになる。インラインラスタライザを実施する選択肢は、以下の通りである。

10

【0265】

- ・オフライン処理及び制御。

【0266】

・FPGAロジックを使用する。リアルタイム・ラスタライゼーションに対し、FPGAロジックは、同じ目的のため使用される。リアルタイム・ラスタライゼーションに対し、FPGA上の多数の資源が性能要件を満たすため使用されるべきである。インライン・ラスタライゼーション・ソリューションのためFPGAテクノロジーを使用することは、リアルタイム版より少ない資源を用いて実施することができる。

20

【0267】

・GPUテクノロジーを使用する。GPUのグラフィカル処理ユニットは、典型的に映像処理のため使用されるプロセッサである。これらのプロセッサは、3次元グラフィックス（ゲーム、Vista）を描画する消費者システム（デスクトップ及びラップトップ）において見られる。GPUは、大規模並列性を利用している。G80アーキテクチャは、128個のスレッドプロセッサを利用し、最新式カードGTX280は、240個のスレッドプロセッサを利用する。スレッドプロセッサの性能は、Intel（登録商標）コアCPUのおよそ5倍である。GPUの性能がこのGPUのタスクにおける並列性の程度に依存することは明瞭である。描画は、比較的並列化が容易なタスクである。ディザリング（1方向）タスクは、ある程度（対角線）まで並列である。

30

【0268】

・最新式マルチコアCPUを使用する。現在のマルチコアCPUは、非常に強力である。一例は、Intelの新しいアーキテクチャであるCore 17テクノロジーである。FPGAソリューションは、明らかに比較的安価なソリューションである。アーキテクチャオプションD（FPGAにおけるリアルタイム・ラスタライゼーション）と比べて、このソリューションの性能要件は、遙かに緩和されている（7個のストライプのための2.5秒対14個のストライプのための6分）。したがって、FPGAは、非常に小型化（そして、低価格化）される。さらに、実現可能性は、VHDLにおける描画アルゴリズムの組み込みの実現可能性に依存する。

40

【0269】

描画タスクはGPUで利用できる高い並列性の程度の恩恵を受けることになるので、ソフトウェア・ソリューションを評価するとき、GPUテクノロジーは、最も良く明らかになる。不利点は、GPUテクノロジーが急速に進化している点である。この高速に進化するハードウェアの問題は、安定したCUDA（コンピュータ統合デバイスアーキテクチャ）APIを提供することにより（少なくともNVidiaによって）解決された。このAPIは、広範囲のグラフィック・カード・モデル及びバージョンに適合する。今日では、高性能コンピューティングのための製品ライン（Tesla）でさえ存在する。この製品

50

ラインは、ゲーム用グラフィックスではなく、科学計算に重点を置いている。

【0270】

本アーキテクチャに対し、プロセスは、以下のステップに記載される。

【0271】

ベクトル・フォーマット入力ファイルは、サーバからハードディスクへ転送される。初期走査を開始する前に、又は、パラメータ変更後に、ラスタライゼーションモジュールは、新しいビットマップを生成するため入力ファイルを処理すべきである。ビットマップは、処理ユニットのRAMメモリに記憶される。走査時に、処理ユニットは、これらのRAMからビットマップデータを読み出す。このプロセスは、アーキテクチャ選択肢A、B及びCに類似している。ラスタライザは、FPGAテクノロジーを使用して実施される。このロジックは、リアルタイム・ラスタライゼーション選択肢のため使用されているものと類似することになる。リアルタイム解決策と比較して、インライン解決策は、遙かに軽量である。したがって、必要とされるロジックセルは、少なくなる。FPGA解決策に対し、データフローのための2つの選択肢が存在する。図47には、FPGAがこのFPGAの出力をPU-RAMにそのまま記憶するデータフローが示される。この解決策は、ラスタライザのロジックが処理ユニットと同じFPGAの中で組み合わされる場合に適切である。この場合、コンポーネントは、同じメモリコントローラを共有する。図45のプロセス図に依拠して、プロセスは、並列に動くことが可能である。しかし、潜在的な障害は、FPGAを分離する主張である。別の可能性は、ノードCPUがFPGAからの結果をフェッチし、この結果をPU-RAMに記憶する役割を担うことになる図48に示される。図49には、ホストとCPUとの間の通信が示される。ホストは、プログラム（カーネル）及びデータをGPUのDRAMに記憶し、プログラムを始動する。マルチプロセッサは、必要なデータをDRAMからフェッチし、この結果をDRAMに書き戻す。全演算の終了時に、ホストは、GPUのDRAMからデータをフェッチすることになる。ホストとCPUとの間のインターフェイスは、典型的に、PCIe x16バスであり、DMAがデータ転送中に関与する。標準的なGPUハードウェアをしようするとき、CPUノードとGPUカードとの間のインターフェイスは、PCI-Express / 16である。GPUの内部アーキテクチャ（図51を参照）は、GPUが完全に並列性に重点を置くことを示す。この特別なGPUは、30個のマルチプロセッサと、マルチプロセッサ1個当たり8個のスレッドプロセッサとを収容する。これは合計240個のスレッドプロセッサになる。マルチプロセッサは、SIMD（単一命令複数データ）パターンに従い、このマルチプロセッサの8個のスレッドプロセッサのためオンチップ（高速）共有メモリを使用する。GPUアーキテクチャの性能を利用するため、GPUのタスクは、多数の並列タスクに区分される。ラスタライゼーションタスクは、描画及びディザリングの2つのサブタスクからなる。

【0272】

描画タスクの性質は、並列化が比較的容易なことである。走査線、又は、さらに画素の描画は、独立したプロセスとして見るができる。ディザリングタスクの性質は、量子化エラーが（ディザリング移動の方向における同じ線上、及び、次の線まで）2方向に伝播されるのでより直列的なことである。しかし、1方向だけでディザリングするとき、ディザリングは、対角線に沿って並列化される。次の線のディザリングは、前の線の量子化エラーを正確に処理するため1又は2セル分ずつ遅れるべきである。

【0273】

GPUを使用する不利点には、GPUが安価ではないこと、GPUが動いているときにかなりの電力消費があること（例えば、TDP = 200W）、及び、GPUの能力を活用するGPUのための並列コードを作成することが些細なタスクではないことが含まれる。

【0274】

マルチコアCPUソリューション：強力なマルチコアCPUをノードCPUとして使用するとき、ノードCPUは、ラスタライゼーションタスクを実行できることになる。図52は、この構成のための典型的なデータフローを示す。CPUは、ハードディスクからベ

クトル入力データを読み出す(3)。CPUは、ラスタライゼーションタスクを実行し、ビットマップをPU-RAMに記憶することになる(4)。走査している間に、処理ユニットは、PU-RAMからビットマップを読み出す(5)

不利点には、プロセッサの費用、多量の電力消費(Intel Core 2 Extreme quad - コアプロセッサ: TDP = 130W)、及び、比較的低い並列化の程度(Intel Core 2 quad - コアプロセッサに対し4コア)が含まれる。

【0275】

インライン・ラスタライゼーションのため、様々なソリューションが利用できる。しかし、インライン・ラスタライゼーションは、以下のいくつかの共通特性を明らかにする。PU-RAMサイズ。インライン・ラスタライゼーションは、オフライン・ラスタライゼーションの場合と同様に、ビットマップがPU-RAMに記憶されることを必要とする。アーキテクチャオプションBは、小さい画素サイズ(例えば、2.00nm、別表A.1を参照)を必要とするので、およそ61Gバイトの(非圧縮形式)ビットマップデータを記憶することが必要である。アーキテクチャオプションCのため、より大きい画素が使用される(例えば、3.50nm)。3.50nm画素に対し、20Gバイトは、適切であることになる。RAMロード時間。このオプションのため、ベクトル入力データだけがディスクに記憶されることを仮定する(総サイズ8.5GB)。新しいビットマップが必要とされるときはいつでも、ベクトル入力データがディスクから読み出され、ラスタライズされ、PU-RAMに記憶される。ディスク・データ・レートは、この場合、ボトルネックではないように思われる。このオプションに関するボトルネックは、ラスタライゼーションということになる。ラスタライゼーションの性能は、多数の要因に依存し、容易に予測できない。代替案は、より早い段階でラスタライゼーションを実行することになる。ビットマップは、PU-RAM又はディスクのいずれかに記憶することができる。中間ビットマップをディスクに記憶することは、ロード時間のための明らかなボトルネックになるので不利である(アーキテクチャオプションAを参照)。

【0276】

ディスクロード時間：新しい走査のためのベクトル入力データは、サーバからダウンロードされるべきである。サーバは、明らかに通信のボトルネックになる。ディスクロード時間を改良するオプションは、サーバからノードまでの帯域幅を増大するか、又は、サーバ上のビットマップデータを圧縮することである。ディスクサイズ。ディスク記憶ユニットに10通りのビットマップを記憶することは、85GBの記憶容量を意味することになる。信頼性(そして読み出し性能)の改良は、ミラー構成(RAID 1)を使用し、100GBの2個のディスクを使用することを提案する。

【0277】

主要なアルゴリズムが大幅に並列化されたと仮定すると、CPUとGPUとの間の粗い性能比較が以下の特性：Intel CPUコアは、スレッドプロセッサより性能が5倍優れていること、Intel CPUは、4個のコアを収容していること、及び、GPUは、240個のスレッドプロセッサを収容していることに基づいて行われる。

【0278】

並列性の完全な利用を再び仮定すると、性能比(Intel:GPU)は、4コア:GPU = (4*5):240 = 1:12になる。実際には、いくつかの要因がこの「理想的な」比率を低下させることになる。要因は以下の通りである。実行コストの差(整数除算は、このブランドのGPUの場合にかなり高い)。並列性の程度。並列コードを書くことができる程度。制限されたローカルメモリの量で動かすことができるスレッドの数。SIMD(単一命令複数データ)プロセッサの使用のため、SIMDグループの中に、典型的に8個のスレッドプロセッサが存在する。すなわち、分岐の両側が常に(直列的に)実行されるので、実行パスが拡大する。

【0279】

これに対して、Intelプロセッサのようなマルチコア方式の解決策は、共有キャッ

10

20

30

40

50

シュを使用する。いくつかの要因に依存して、1コア当たりの性能は、アクティブ状態であるコアの数が多いとき、劣化することになる。本章では、Intel CPUとの間を使用するラスタライゼーション（描画及びディザリング）の性能の推定を行う。

【0280】

性能を推定するため、描画モジュール及びディザモジュールは、C++で組み込まれている。C++の00特徴だけが使用され、new、delete、又は、リスト若しくはキューのようないずれかの上級データ構造は、使用されない。64*1000nmセルが描画及びディザリングのための単位として使用された。描画及びディザリングが予想通りであるかどうかは、ベクトル/フォーマット入力とビットマップ出力とを比較することによって視覚的に検証された。Visual C++ 2008コンパイラが使用され、速度の最適化が可能にされた。

10

【0281】

描画のため使用されたアルゴリズムは、走査線アプローチである。アクティブ状態エッジ表が少なくとも1本の走査線（画素の線）と交差するエッジの集合を保持するため使用される。使用された画素サイズは、3.5nmである（アーキテクチャオブションC）。最大64個のエッジが指定されるが、52個（81%）が1セル当たりの合理的な平均として使用される。

【0282】

測定のため、最新式CPUをもつ装置が選択された。CPUは、Windows（登録商標）XPオペレーティングシステムを動かす2GBのRAMを用いて2.14GHzで動くCore 2 Duo（6400）である。

20

【0283】

使用された入力ベクトル・フォーマットは、セル内の閉多角形の集合の仕様である。線量グリッドは省かれているが、処理は、Y依存型線量係数を組み込む。描画のためのy方向のシフティングは、常に0であるが、アルゴリズムは、走査線依存型シフト値のための演算を組み込む。

【0284】

コードの最適化は、コード改良度を測定することにより行われる。通常のプロファイラは、時間分解能が限られているので機能しない。代わりとして、Win32 APIにおける「QueryPerformanceCounter」を使用した。このカウンタは、ナノ秒分解能でCPUのタイム・スタンプ・カウンタを使用する。コードは、QueryPerformanceCounterの結果に基づいて手動で最適化された。最適化後、負荷は、以下の割合：描画55%、ディザリング27%、及び、入力処理18%でアプリケーション全体に配分された。

30

【0285】

上記装置の単独コアは、8.7秒のうちに100,000セルの描画サイクルを実行できた。これは、毎秒11,494サイクルが実行されると翻訳される。さらに、2個のコアを用いる実行は、ほぼ線形にスケーリングされた（8.7秒、単独コア、100,000セル 8.8秒、2コア、200,000セル）。完全なストライプは、2,200,000個のセルからなる。

40

【0286】

したがって、1個のコアは、1個のストライプに194秒を費やすことになる。線形スケーリングを仮定すると、これは、7.5コアを使用するとき、14個のストライプが6分以内に描画されることを意味する。Core 2 Duo（6400）は、もはやIntel CPUの最高モデルではない。したがって、ある種の倍率（例えば、30%）でコア性能を高めることが公正ということになる。他方では、より多くのコアを使用することは、決して直線的に規模拡大しないことが分かっている。これらの2つの要因は、互いに打ち消し合うと仮定する。

【0287】

性能結果は、使用されたアルゴリズムと、縮尺（描画セルのサイズ）、アルゴリズムの

50

完全性、使用された特別な最適化、最適化に費やされた総時間、プロトタイプと比較した現実の構成でのキャッシュ/メモリ、及び、最終的な構成で使用されることになるCPUの相対性能の合計である。

【0288】

オプションAについて上述されたように、PU-RAMに保持される画像を圧縮することが可能ということになる。ラスタライザは、画像のディザ済み又はグレースケール画像を圧縮すべきであるが、処理ユニットFPGAは、画像を圧縮せず、場合によっては、画像をディザすべである。アーキテクチャBは、圧縮技術及びオーバーサンプリング技術から現実に恩恵を受けることになる。1チャンネル当たり2個のファイバを使用することは、もはや必要ではない。アーキテクチャCは、比較的大きい画素サイズを既に使用し、圧縮だけから恩恵を受けることになる。これは、PU-RAMの小型化とロード時間の短縮とを意味する。しかし、伸長ロジックが処理ユニットFPGAに追加されるべきである。しかし、伸長は、インライン処理労力に著しい影響を与えることになる。

10

【0289】

オプションD：リアルタイム・ラスタライゼーション

図62は、リアルタイム・ラスタライゼーションを使用する実施形態を示す。この実施形態は、ラスタライゼーションが典型的にハードウェアで実行されるリアルタイム処理中に、プロセスの中のさらに先の1ステップで実行される点を除いて、図61の実施形態に類似する。ビーム位置キャリブレーション、フィールドサイズ調整、及び/又は、フィールド位置調整のための補正がベクトル・フォーマットであるPSSフォーマット・データに行われ、その後、ラスタライゼーションがこのPSSフォーマット・データを黒/白ビットマップに変換する。補正は、ベクトル・データに行われるので、X方向及びY方向のフル画素シフト及びサブ画素シフトの両方を行うことができる。

20

【0290】

図53は、このアーキテクチャのための機能ブロックを示す。この選択肢に対し、機能ユニット3及び4（ラスタライゼーション）は、動作の間に進行中に実行される。

【0291】

補正は、以下の補正を含む。

【0292】

・X及びYにおける画素シフト（フル画素及びサブ画素）。パラメータは、1フィールド毎に更新される。

30

【0293】

・1サブチャンネル毎の線量補正。パラメータは、1フィールド毎に更新される。

【0294】

・1チャンネル毎のYのスケーリング補正。パラメータは、1フィールド毎に更新される。

【0295】

・ブランカ・タイミング・オフセット補正。パラメータは、1回のウェハ走査毎に更新される。

【0296】

オフライン前処理システムは、すべてのストライプのためのベクトル・フォーマットを準備することになる。パターン・ストリーマは、このデータを入力として使用することになる。リアルタイムで描画し、ディザリングすることにより、パターン・ストリーマは、B/Wビットマップを生成する。描画及びディザリング中に、全種類の補正が実行される。BAA/ビットマップから、パターン・ストリーマは、ビームレットビットフレームを生成し、チャンネルのすべてのビームレットのためのデータを多重化し、ファイバを介してブランカチップヘデータを送信する。

40

【0297】

データをレーザーヘストリーミングするため資源が必要とされた。

【0298】

50

プロセスは、2ステップ：メモリからデータを取得し、論理的順序でデータを画素に描画することと、論理的に順序付けられた画素をサブビーム順序によってフレームに並べ替えることからなる。第1のステップは、ベクトル・データの実際の描画、又は、メモリから描画された画素データを単に取り出すことからなる。

【0299】

ベクトル・データを画素に描画するため、各ストライプは、ベクトル・フォーマットで 62.5 nm のサブストライプに分割される。 500 nm (最大値) のソフト・エッジに対し、処理すべきサブストライプの個数は、 $(2000 + 500 + 500) / 62.5 = 48$ サブストライプである。各サブストライプは、サブストライプパイプで描画される。各パイプは、およそ 100 MHz で動作することになり、したがって、48個のパイプは、およそ必要とされる5ギガビット/秒を生み出すことになる。

10

【0300】

パイプの先頭で、FIFOがメモリ・クロック・ドメインから処理クロック・ドメインまでクロック・ドメイン境界を横切るため使用される。メモリ帯域幅は、複数のストライプに亘って共有される必要があるため、このFIFOは、中間記憶バッファとしての役目も果たす。FIFOは、コーナーデータ及び線量マップデータの両方を収容する。描画アプリケーションは、FIFOの下側部分の範囲内で無作為的に扱うことができる。FIFOは、メモリアービタへの何らかのスラックを許容するため少なくとも3ブロックのデータを収容することが必要である。データの各ブロックは、 272 バイトを収容する。3ブロックのデータ = 816 バイトである。標準的なブロックRAMは、 18 k ビットのデータ = 2 k バイトのデータを収容する。すなわち、データサイズの観点から、各ブロックRAMは、3個のサブストライプパイプとして役立つ。しかし、データ利用性の観点から、各パイプは、先頭でこのパイプ専用のブロックRAMを使用すべきである。

20

【0301】

各サブストライプパイプは、処理のためいくつかの内部FF及びLUTを必要とする。必要な個数のブロックRAMと共に利用できるLUT及びFFの個数は、必要とされる数を上回る。

【0302】

マルチビーム露光のための画素の並べ替え。

【0303】

サブストライプパイプの末尾に、又は、メモリ内のビットマップデータの場合にメモリポートの直ぐ下で、データが別のFIFOに記憶される。このFIFOは、 $K = 5$ を用いて49個のビームレットに画素を書き込むときに必要とされる少なくとも245ラインのデータを収容することが必要である。各ラインは、 $3000\text{ nm} / 2\text{ nm} = 1500$ 画素 (最大) を収容することになる。 1500 画素 * 245 ライン = $367,500$ ビットである。これは、20個のブロックRAMに一致し、20個のブロックRAMは、処理を実現し易くするため、32個のブロックRAMに切り上げられる。

30

【0304】

フレーム/マルチプレクサは、これらの32個のブロックRAMから読み出し、レーザーへ送信するため適したフレームを形成する。これらのフレームは、別のFIFOブロックRAMに記憶され、この別のFIFOブロックRAMは、MGTクロック・ドメインの間の非同期境界、及び、伸縮性記憶ユニットの両方として必要とされる。

40

【0305】

セルベース入力フォーマット

ベクトル表現は、典型的に、GDS-II又はOASISフォーマットのようなパターン・データを生成するため使用される。上述されるように、様々な動作モードが荷電粒子リソグラフィ装置のため可能である。上述の1つのモードは、ベクトルベース入力フォーマットのパターン・データがリアルタイムで(FPGAのような)処理ユニットによって使用され、処理される(すなわち、ウェハのフィールドの集合のためのパターン・データが少なくとも部分的に処理され、同時に、このフィールドの集合の走査が行われる)リア

50

リアルタイム・ラスタライゼーション・モードである。

【0306】

セルベース入力フォーマットは、このリアルタイム・ラスタライゼーション・モードのため使用されることがある。入力フォーマットの一実施形態は、特徴的形体レイアウト及び線量率の2つの態様を説明する。特徴的形体レイアウトは、リアルタイムFPGA描画及びディザリングのため適当であり、かつ、最適化されたセルベース・アプローチを使用して説明される。線量率は、すべての特徴的形体のエリア（例えば、フィールド）を覆う固定サイズのグリッドによって説明される。

【0307】

パターン・データのためのセル・ベース・フォーマットは、より予測可能であるサイズを有するデータ集合を生じることができ、リアルタイム及び/又はハードウェア処理のためパターン・データをリソグラフィ・システムへストリーミングするため有利である。ベクトル・フォーマットのパターン・データは、1セル当たりにより予測可能性が低いサイズを与える。ビットマップ・フォーマットのパターン・データが使用されることがあるが、前処理システムからリソグラフィ・システムへの転送のため圧縮されることが必要である。ビットマップデータの圧縮量は、セルに存在する特徴的形体に依存してセル毎にかなり変化することがある。このような圧縮データのリソグラフィ装置へのストリーミングと、その後のデータの伸長とは、結果として、無圧縮データの伝送率の予測不能を招く。

【0308】

1セル当たり収容される最大データ（ビット）と、パターン・データが圧縮される場合に（例えば、ビットマップ・フォーマットで符号化された場合に総サイズと比較したとき）、実現された圧縮率と、を事前に知ることは有利である。セル・ベース・フォーマットは、これらの特徴的形体をもつように設計されている。このことは、セル・ベース・パターン・データが、無圧縮ビットマップデータのサイズより実質的に小さい特定のサイズ（設計時に選択されたメモリサイズ）のメモリに常に適合することを保証するので望ましい。この保証は、ZIPのような汎用圧縮アルゴリズムを使用して圧縮されたビットマップに対し与えることができない。セル・ベース・フォーマットは、セル・ベース・パターン・データがある特定の最大期間内にビットマップに変換できることを保証し、このことがリアルタイム・ラスタライゼーションの場合に重要であるため、さらに望ましい。

【0309】

さらに、ビットマップ化されたフィールドのある特定のエリアを覆う特別なセルがセル・ベース・フォーマットで符号化された「圧縮ファイル」から読み出されるべき場合、このセルがこのファイル内で符号化されている場所は直ちに分かる（ファイルが、例えば、特徴的形体がファイル内に無作為的に存在しているGDS-IIフォーマットである場合に必要とされるようにこのエリアを探索する必要がない）。

【0310】

セル・ベース・フォーマットは、1セル毎に配置され、そして、パターン・データを走査されるべきセルの系列の中に配置することは、ベクトル・フォーマットと比べて比較的簡単であるので、リソグラフィ・システムへストリーミングするためさらに一層適している。

【0311】

付加的な「圧縮」量は、各セルの中で特徴的形体の相対位置を符号化するだけでセル・ベース・フォーマットにおいてさらに取得される。セルの場所と組み合わせられたこの相対位置は、フィールド内の特徴的形体の中の絶対位置を与える。相対的な特徴的形体位置は、できるだけ少ない値を有する（セルのサイズに限定されている）ので、フィールドを用いる絶対位置より少ないビット数が定義のため必要である。

【0312】

特徴的形体レイアウトを記述するセルベース入力フォーマットの本実施形態のための関連パラメータは、以下の通り要約される。

10

20

30

40

【表 1】

名前	値
グリッド分解能	0.5 nm
臨界寸法(CD)	22 nm
最小特徴形状ピッチ	64 nm
可能なライン角度	$n \times 45$ 度
パターン線量マップ	50% - 100%
パターン線量マップ・グリッド・サイズ	CD
パターン線量精度	0.2%ステップサイズ

10

【0313】

特徴的形体フォーマットのため、最小特徴的形体ピッチは重要なパラメータである。最小特徴的形体ピッチは、特徴的形体密度を本質的に制限する。すなわち、特別な遷移（例えば、オン オフ又はオフ オン）が最小特徴的形体ピッチの距離の範囲内で2回に限り起こる可能性がある。

【0314】

図67には、最小特徴的形体ピッチ（P）に適合する特徴的形体（より明るく着色されたエリア）を含む例示的なパターンレイアウトが示される。

【0315】

特徴的形体説明の重要な結果は、 64×64 nmの描画セルが最大で4個のコーナーを記述すべきである。このような描画セルの中に特徴的形体を記述するとき、描画セルインデックスは、この描画セルの基準位置を与える。描画セルの中の特徴的形体は、相対位置を使用して記述できる。

20

【0316】

描画セル内部の（部分的な）特徴的形体は、この描画セルのコーナー、又は、直線によって記述することができる。ライン角度は、45度の倍数に限定されることがあり、図69に示されるように、ベクトル方向を8個の可能な方向だけに限定する。8個の方向コードは、図69に示されるように、可能な方向毎に割り当てられる。

【0317】

図68は、コーナー概念を例示する。特徴的形体のコーナー（右側）と、特徴的形体のエッジにおける直線（左側）とを収容するセルが示される。コーナー及び直線の両方が「コーナー」と見なされる。コーナーAは、Aの位置（例えば、 X_A 、 Y_A ）と2個のベクトル（例えば、方向コード $E d g e 1 = 2$ 、 $E d g e 2 = 4$ を使用して定義される）によって定義される。定義により、時計回り方向での $E d g e 1$ から $E d g e 2$ への移動方向におけるエリアは、アクティブ状態のエリアである。同様に、直線は、「擬似コーナー」点B（例えば、 X_B 、 Y_B ）と、2個のエッジ（例えば、 $E d g e 1 = 4$ 、 $E d g e 2 = 0$ ）によって記述される。この擬似コーナーの場所は、擬似コーナーが定義するライン上の任意の点である。この場合も、 $E d g e 1$ から $E d g e 2$ まで時計回りに移動する方向におけるエリアは、アクティブ状態エリアである。

30

【0318】

セルの内側で、同じ特徴的形体をもつコーナーは、一致させられるべきである。図70は、 $64 \text{ nm} \times 64 \text{ nm}$ のセルの中で4個の一致するコーナーとして符号化された単純な正方形の特徴的形体を示す。図70の左側にある表は、特徴的形体を完全に記述するパラメータを示す。コーナーは、コーナー座標（X，Y）によって記述され、エッジは、図69に定義された方向に応じてコーナー方向を記述する。コーナー座標及び方向コードから、図70の中のすべてのコーナーが単独の特徴的形体を記述することを判定できる。

40

【0319】

FPGA（又は、他の形式のハードウェアプロセッサ）における処理のため、固定サイズのデータ構造を有することが有利である。固定サイズのデータ構造は、メモリ内でセル

50

記述を扱うことをより容易にさせ、FPGAロジックをより簡単な状態に保つため役立つ。

【0320】

図71は、セルの中のコーナーによって記述されたより複雑な特徴的形体形状の実施例を示す。45度及び-45度方向の線は、図示された特徴的形体を定義するためにも使用される。

【0321】

45度方向をもつ特徴的形体エッジ

最小特徴的形体ピッチは、セル内に最大数のコーナーを確保する。45度の方向のエッジをもつ特徴的形体を考慮するとき、セルの最大寸法は、セルの対角線であり、対角線の長さは、正方形セルに対してセルサイズに2の平方根を乗じた長さに等しい（例えば、64nm正方形セルに対し、 $64 \times \sqrt{2}$ ）。最小特徴的形体ピッチがこの対角線の長さ未満であるとき、セル1個当たりに5個以上のコーナーが存在する危険がある。図72には、この状況が示される。左側で、同図は、64nmのピッチをもち、64nmのセルの中に位置決めされ、1セル当たりに4個のコーナー（コーナーは、小円によって指示される）を含む正方形の特徴的形体の規則的なグリッドを示す。右側では、正方形の特徴的形体のグリッドは、45度だけ回転されている。強調表示されたコーナーは、6個のコーナーがセルの真ん中に現れることを示す。

【0322】

いくつかの解決策がこの課題を解決するため適用されることがある。

【0323】

・±45度の線に対して、少なくともセル対角線の長さに等しい、より大きい最小特徴的形体ピッチを指定する（例えば、64nm正方形セルに対して $64 \times \sqrt{2}$ ）。

【0324】

・セル対角線が最小特徴的形体ピッチに等しく（又は未満に）なるようにセルサイズを縮小する（例えば、64nm最小特徴的形体ピッチに対して $1/\sqrt{2} \times 64 \text{ nm}$ ）。

【0325】

・セル1個当たりにより多数（例えば、6個）のコーナーを許容する。

【0326】

・セル1個当たりにより可変数のコーナーを許容する。

【0327】

以下の説明では、上記第1のオプションが仮定される。

【0328】

近接効果補正

近接効果補正は、ウェハを処理した後、パターン（特に、コーナー）を改良するため必要とされる。近接効果補正は、図形又は線量のいずれかを局所的に微調整することにより扱われることを可能にする。近接効果補正は、典型的に1/3CDの長さをもつコーナーの周りの小さいセリフを使用する図形変更によって行われることが仮定される。

【0329】

図73には、コーナーの一部にセリフが付加された2つの特徴的形体の例が示される。これは、好ましくは、特別なコーナーにセリフを組み込むためのコーナー毎の選択肢である。図73に示されるように、このような技術の1つの重要な結果は、1個のセルのコーナーに定義されたセリフ（例えば、図面中、セル2にある特徴的形体Bセリフ）が近傍セル（例えば、セル3の中に延在する特徴的形体Bセリフ）の中で部分的に描画されることがある、ということである。又は、すべてのコーナーが1個のセルにある特徴的形体（例えば、セル1の中の特徴的形体A）は、近傍セルの中の特徴的形体のセリフ（例えば、セル2の中の特徴的形体A）の描画部分を必要とする。

【0330】

様々なアプローチがこれを扱うことができる。

【0331】

- ・近傍セルと共にセリフコーナーに関する情報を共有する。

【0332】

- ・外部セリフコーナーがセルの描画に影響を与えると直ちに追加情報（重複）をセル定義の中に詰め込む。

【0333】

- ・セリフを通常のコーナーとして記述する。この解決策は、（非常に変わり易い1セル当たりのコーナーの数を明らかに増加させる。

【0334】

線量グリッド

特徴的形体図形に加えて、線量率は、微小スケールに関連した重要なシステムパラメータである。線量情報は、1セル毎に1個の線量率を収容する線量グリッドを与えることにより記述されることがある（線量情報は、他の方法で、例えば、各特徴的形体のための線量値を関連付けることによって与えられることがある）。セルサイズは、典型的に、望ましい臨界寸法（CD）以下である。理論上、線量グリッドは、描画セルグリッドと独立している。

【0335】

2個のグリッドを取り扱う2個の選択肢は、

- ・互いに独立したグリッドで両方を定義すること
- ・両方のグリッドの位置合わせを行い、場合によっては、両方のグリッドを統合すること

である。

【0336】

FPGA処理に対し、線量グリッドと描画セルグリッドとを組み合わせることが有利であることがある。線量グリッドサイズは、典型的に、描画グリッドのサイズより小さい。これは、例えば、描画セルの内側に9個の線量セル（3×3）を埋め込むことによって達成できる。階調値は、0.2%のステップで100%と50%との間を変化することがある。したがって、線量セル毎に8ビットが必要とされる。

【0337】

しかし、結果は、2個の独立した概念が連結されることである。ピッチ値が変更されるときはいつでも、この結果は、線量セルサイズに対する結果をさらに有する。

【0338】

画素グリッド

画素セルサイズ及び位置は、好ましくは、柔軟性がある。画素は、正方形でなくてもよいが、ストライプ/チャネルの範囲内で常に同じ寸法を有することになる。画素は、（最悪ケースに）4個の描画セルによって描画されることがある。行毎に、サブ画素シフトのため、様々な（Y方向）位置合わせが使用できる。

【0339】

入力フォーマット仕様

以下の仕様は、一実施形態に与えられる。描画セルは、最大で4個のコーナーと追加情報とを収容する64×64nmのブロックを備える。エッジは、コーナーで始まるベクトル、Edge 1又はEdge 2のいずれかであり、Edge 1からEdge 2までの時計回りの角度は、アクティブ状態側を定義する。コーナーは、セル内の特徴的形体のコーナーである。コーナーは、線が現実のコーナーなしにセルを横切るとき角度180度を有することがある。描画セル1個当たりに最大で4個のコーナーが仮定される。

【0340】

実施形態のためのコーナーデータの仕様は、以下の表に与えられる。

10

20

30

40

【表 2】

名前	ビット数	理論的根拠
X位置	8	64 nm@0.5nm
Y位置	8	64 nm@0.5nm
エッジ1方向	3	8方向
エッジ2方向	3	7方向が可能。エッジ1との一致は特殊なケースであり、エントリは使用されない
セリフサイズ	5	0はオフを意味する
合計	27	

10

【0341】

そのフィールド値からセリフサイズを計算するため、様々な戦略、例えば、フィールド値が所定の表の中のインデックスとして使用されるか、又は、計算を用いるテーブルルックアップが使用されることがある（例えば、セリフサイズ = 値 * 0.5 nmであり、したがって、この範囲は、正セリフサイズを仮定すると、0 . . . 15.5 @ 0.5 nmである。）。

【0342】

実施形態のための描画セル・データの仕様は、以下の表に与えられる。

【表 3】

20

名前	1ユニット当たりのビット	#ユニット	合計ビット
コーナー	27	4	108
線量マップ3×3	8	9	72
合計			180

【0343】

以下の表は、上記フォーマットを使用するときのデータ量を要約する。このデータ量表のための仮定は、ステッチングが存在しないことである。

30

【表 4】

名前	式	結果
1セル当たりのバイト数	180ビット/8	23バイト
1ストリップ当たりのセル数	$33\text{mm}/64\text{nm} * 2\mu\text{m}/64\text{nm}$	16×10^6 セル
1フィールド当たりのセル数	$13000 * 16E6$	209×10^9 セル
1フィールド当たりのバイト数	$209E9 * 23$	5テラバイト
1ストライプ当たりのバイト数	$16E6 * 23$	370メガバイト

40

【0344】

データの圧縮の機会が存在することがある。例えば、多数のセルは、4個未満のコーナーを収容することがあり、線量率は、すべての線量セルに対し同じ値であることがある。

【0345】

固定サイズ型データ構造の定義は、FPGA設計のタスク（アドレッシング及びローディング）を容易にすることになるが、メモリに対する影響を有する。通信及び（ディスク）記憶のため、データを圧縮するため標準的な圧縮技術を使用できる。この圧縮技術は、未使用レコードが同じ値で充填されているとき奏功し、例えば、未使用コーナーに対し、すべて零である。圧縮は、線量マップのための類似した値のような繰り返し値に対しても正常に機能する。

50

【0346】

上記実施形態のための一部の設計課題は、以下の通りである。

【0347】

- ・セル1個あたりに最大4個のコーナーは、不十分ではないことがある。

【0348】

- ・近傍セルの中でセリフを探索することは、処理時間及びメモリにおいて「割高」であり、可能であれば、避けるべきである。

【0349】

- ・セリフは、予想とは異なる形状であることがある。

【0350】

- ・当たりのコーナーの固定数は、ハードウェア実施のため望ましい。

【0351】

- ・セル1個当たりのコーナーの大きい固定数は、結果として、データ量が大きい。

【0352】

- ・セル1個当たりのコーナーの小さい固定数は、結果として、柔軟性がない。

【0353】

- ・全コーナーの符号化は、情報理論的な観点から過剰な情報であるが、ハードウェアへの組み込みを著しく容易化する。

【0354】

- ・コーナーの分解能は、好ましくは、 0.5 nm ではなく、 0.25 nm である。

【0355】

- ・コーナーの数の半分だけの符号化が十分であることがある。

【0356】

より大きいブロックの一体的な符号化

大きい固定数のコーナーと小さい固定数のコーナーとの間の二者択一として、1つの可能性は、データのより大きいブロックに対し、例えば、機械的走査方向で約16倍大きいブロックに対し、コーナーの最大数を制限することである。このより大きいブロックの1つの領域の中のコーナーの局所最大数は、このブロックの別の領域にあるより少ない数のコーナーによって補償されることになる。

【0357】

コーナーの最大数に関する4より大きい限界は、メモリ使用量の増加が原因で望ましくない。しかし、より低い限界を使用することは、すべての可能なケースをカバーすることができない。中間的な解決策として、以下のシナリオ：現在セルより大きいブロック、例えば、16個のセルを含むブロックの中のデータを同時に符号化し、このようなブロック内のコーナーの数を制限し、コーナーの局所最大数がより大きくなる可能性があるシナリオが考慮される。このシナリオでは、セリフは、コーナー自体として符号化され、これが実施を容易化する。

【0358】

本実施形態を実施するため、以下の変更が上記実施形態に対してなされることがある。

【0359】

- ・1つのブロックは、Y方向（偏向方向）に 62.5 nm であり、X方向（機械的走査方向）に 1000 nm であることが定義される。

【0360】

- ・セル/ブロックのYサイズは、64から 62.5 nm まで減少される。このことは、 $16 * 62.5 = 1000\text{ nm}$ であること、及び、 $62.5 / 0.25 = 250$ は8ビットで効率的に符号化できること、の2つの利点を持つ。

【0361】

- ・密度マップは、 $31.25 * 31.25\text{ nm}$ （ 1000 nm の $1/32$ ）という分解能を持つことができる。

【0362】

10

20

30

40

50

・コーナーの最大数は、1ブロック当たり64個にセットされる(62.5×62.5nmのセル1個当たり平均4個のコーナー)。

【0363】

・セリフは、データの内部でコーナー自体として符号化される。

【0364】

以下の仕様は、本実施形態のため与えられる。

【表5】

名前	値
描画ブロック	64個のコーナーと線量情報とを含む62.5×1000nmのブロック
エッジ	コーナーで始まるベクトル。エッジ1又はエッジ2のいずれか。エッジ1からエッジ2までの時計回りの角度は、アクティブ側を定義する
コーナー	セルにおける特徴形状のコーナー。線が現実のコーナーなしにセルを横切る場合に180度の角度を持つコーナーであることもある。描画セル1個当たりに最大で4個のコーナーが仮定される

10

【0365】

本実施形態のためのコーナーデータの仕様は、以下の表に与えられる。

【表6】

名前	ビット数	理論的根拠
X位置	12	1000nm@0.25nm
Y位置	8	62.5nm@0.25nm
エッジ1方向	3	8方向
エッジ2方向	3	7方向が可能。Edge1との一致は、特殊なケースであり、エントリは使用されない
合計	26	

20

【0366】

本実施形態のための描画セル・データの仕様は、以下の表に与えられる。

【表7】

名前	ユニット当たりビット数	#ユニット	合計ビット
コーナー	26	64	1664
線量マップ32×2	8	64	512
合計			2176

30

【0367】

以下の表は、上記フォーマットを使用する場合のデータ量を要約する。このデータ量表に対する仮説は、ステッチングが存在しないことである。この推定は、情報を実際のRAMに記憶する場合に行われるカウントへ丸めを与えない。

40

【表 8】

名前	式	結果
1ブロック当たりのバイト数	2176ビット/8	272バイト
1ストリップ当たりのブロック数	33mm/1000nm * 2um/62.5nm	1056000
1フィールド当たりのブロック数	13000 * 1E6	13.7×10 ⁹ ブロック
1フィールド当たりのバイト数	13E9 * 272	3.4テラバイト
1ストライプ当たりのバイト数	1E6 * 272	274メガバイト

10

【0368】

圧縮の機会が存在する。例えば、多数のブロックが64個未満のコーナーを収容することと、線量率が近傍線量セルに対し類似した値を有することになることが予想される。しかし、圧縮は、より複雑な実施の原因となることもある。データは、システムの中を伝達される間に圧縮されることがある。

【0369】

情報理論的な観点から、すべての座標を用いてすべてのコーナーを符号化することは、必要ではない。しかし、これは、実施の際に計算上の労力を劇的に削減する。ブロック境界の交差を符号化することも役立つことがある。これは、コーナーの数を増加させるが、FPGAにおける計算上の労力をより一層減少させる。さらに、描画のプロセス全体がデータの両方の端から実行可能であるべきことが考慮されるべきである。いくつかの「自明な」情報を一方の方向で省略することは、もう一方の方向に走査するときに問題を引き起こす可能性がある。

20

【0370】

ブロックは、偏向走査方向にも方向付けられることがある。これが行われるべきでない2つの理由が存在する。実施における並列性は、ストライプの範囲内で数個のストリップの中のデータを処理することが必要であり、これは、データがこのように方向付けられる場合、可能でないことになる。同様に、偏向走査方向における粒度が100nmになることがあり、この粒度は、ステッチングのため望ましくない。現在方向において、ステッチングエリアを含むストライプ幅の粒度は、62.5nmである。

30

【0371】

データをメモリに詰め込むことは、熟考に値する。線量マップのためのデータがコーナーデータから別個のビットレーンに記憶される場合、有利になることがある。

【0372】

前段落のアプローチを使用することは、以下の利点がある。

【0373】

- ・データ量が削減される（例えば、5TBに代えて3.5TB）。

【0374】

- ・特徴的形体分解能が向上する（例えば、0.5nmに代えて0.25nm）。

【0375】

- ・柔軟性は、局所範囲内のセリフ及びコーナーの数に対して高くなる。

40

【0376】

- ・実施は、複雑さが低下する。

【0377】

パターン化ビーム・リソグラフィ・システム

図74は、すべての電子ビームレットの共通交差のない電子ビーム光学システムに基づく荷電粒子マルチビームレット・リソグラフィ・システム1の実施形態の簡易図である。この光学システムは、米国特許出願公開第61/045243号に詳細に記載され、この特許出願は、全体がそのまま参照によって本明細書に組み込まれる。

【0378】

50

このようなリソグラフィ・システムは、複数のビームレットを生成するビームレット発生器と、上記ビームレットを変調ビームレットにパターン化するビームレット変調器と、上記ビームレットをターゲットの表面に投影するビームレット投影器とを適切に備える。ビームレット発生器は、典型的に、ビームレット源と、少なくとも1つのアパーチャアレイとを備える。ビームレット変調器は、典型的に、ブランキング・デフレクタ・アレイとビーム・ストップ・アレイとを含むビームレット・ブランカである。ビームレット投影器は、典型的に走査デフレクタと、投影レンズ系とを備える。図74は、本発明のウェハ位置決め及び支持構造体を明示的に示さない。

【0379】

リソグラフィ・システム1は、本明細書中に記載されているように、いわゆるデュアル又はマルチパス走査と組み合わせて冗長走査機能を実施するため特に適している。このシステムの達成したターゲット表面へのラインの走査の精度の改良は、第1の走査系列中に空のまま残された隙間を充填する第2の走査が実行されることを可能にする。

【0380】

図74に示された実施形態では、リソグラフィ・システムは、均一な拡大電子ビーム4を生成する電子源3を備える。ビームエネルギーは、好ましくは、約1から10keVの範囲内で比較的強く保たれる。これを達成するため、加速電圧は、好ましくは、低くされ、電子源は、好ましくは、接地電位にあるターゲットに対して約-1から-10kVに保たれるが、他の設定が使用されることもある。

【0381】

電子源3からの電子ビーム4は、2重の8重極と、電子ビーム4をコリメートする後に続くコリメータレンズ5とを通過する。理解されるように、コリメータレンズ5は、どのような種類のコリメーティング光学系でもよい。続いて、電子ビーム4は、ビームスプリッタに衝突し、このビームスプリッタは、適当な一実施形態では、アパーチャアレイ6Aである。アパーチャアレイ6は、ビームの一部を遮断し、複数のサブビーム20がアパーチャアレイ6Aを通過することを許可する。アパーチャアレイは、好ましくは、貫通穴を有するプレートを備える。このようにして、複数の平行電子サブビーム20が生成される。

【0382】

第2のアパーチャアレイ6Bは、各サブビームからある程度の数のビームレット7を作る。システムは、多数のビームレット7、好ましくは、約10,000から1,000,000個のビームレットを生成するが、当然に、より多数若しくは少数のビームレットを使用することが可能である。他の既知の方法がコリメートされたビームレットを生成するため使用されてもよいことに注意されたい。

【0383】

これは、サブビームの操作を可能にさせ、この操作は、特に、ビームレットの個数を5000個以上に増加するとき、システム動作のため有利であることが分かる。このような操作は、例えば、投影レンズの平面内で、サブビームを光軸に集光するコンデンサレンズ、コリメータ、又は、レンズ構造体などによって行われる。

【0384】

コンデンサ・レンズ・アレイ21（又は、コンデンサ・レンズ・アレイの集合）は、サブビーム作成アパーチャアレイ6Aの後側に組み込まれ、サブビーム20をビーム・ストップ・アレイ10の対応する開口の方に集める。第2のアパーチャアレイ6Bは、サブビーム20からビームレット7を生成する。ビームレット作成アパーチャアレイ6Bは、好ましくは、ビームレット・ブランカ・アレイ9と組み合わせて組み込まれる。例えば、これら両方は、サブ組立体を形成するように一体として組み立てられることがある。図74では、アパーチャアレイ6Bは、個別のサブビーム20から3個のビームレット7を生成し、3個のビームレットは、末端モジュール22の中の投影レンズ系によってターゲットに投影されるように、対応する開口でビーム・ストップ・アレイ10に衝突する。実際には、より多数のビームレットが末端モジュール22の中の個別の投影レンズ系に対しアバ

10

20

30

40

50

ーチャアレイ 6 B によって生成されることがある。一実施形態では、49 個のビームレット (7 × 7 形アレイに配置されている) は、個別のサブビームから生成され、単独の投影レンズ系を介して案内されるが、サブビーム 1 個当たりのビームレットの個数は、200 以上に増加されることがある。

【0385】

サブビーム 20 の中間段階を介してビーム 4 から階段状にビームレット 7 を生成することは、主要な光学作用が、比較的限定された数のサブビーム 20 を使って、ターゲットから比較的離れた位置で実行されることがある、という利点を有する。このような動作の 1 つは、投影レンズ系のうちの 1 つに対応する点へのサブビームの集光である。好ましくは、作用と集光点との間の距離は、集光点とターゲットとの間の距離より広い。最も適切には、静電投影レンズがこれらと共に使用される。この集光作用は、システムがスポットサイズ縮小と、電流増加と、点拡がりの縮小という要件を満たすことを可能にし、その結果、最新式ノードで、特に 90 nm 未満の臨界距離をもつノードで、信頼できる荷電粒子ビームリソグラフィを行う。

10

【0386】

ビームレット 7 は、次に、変調器 9 のアレイを通過する。この変調器 9 のアレイは、複数のブランカを有するビームレット・ブランカ・アレイを備えることがあり、個別のブランカは、1 個以上の電子ビームレット 7 を偏向する能力をもつ。ブランカは、より具体的には、第 1 の電極及び第 2 の電極が設けられている静電デフレクタであり、第 2 の電極は、接地電極又は共通電極である。ビームレット・ブランカ・アレイ 9 は、ビーム・ストップ・アレイ 10 と一緒に、変調装置を構成する。ビームレット制御データに基づいて、変調手段 8 は、パターンを電子ビームレット 7 に追加する。このパターンは、末端モジュール 22 の中に存在するコンポーネントを用いてターゲット 24 に投影されることになる。

20

【0387】

本実施形態では、ビーム・ストップ・アレイ 10 は、ビームレットが通過できるようにするアパーチャのアレイを備える。ビーム・ストップ・アレイは、基本的な形式では、典型的に丸い穴であるが、他の形状が使用されることもある貫通穴が設けられた基材を備える。一実施形態では、ビーム・ストップ・アレイ 8 の基材は、規則的に離間した貫通穴のアレイを含むシリコンウェハから形成され、表面荷電を防止するため金属の表面層で覆われることがある。一実施形態では、金属は、CrMo のような天然酸化物の膜を形成しない種類である。

30

【0388】

一実施形態では、ビーム・ストップ・アレイ 10 の通路は、ビームレット・ブランカ・アレイ 9 の中の穴と位置合わせされている。ビームレット・ブランカ・アレイ 9 及びビームレット・ストップ・アレイ 10 は、ビームレット 7 を遮断又は通過させるため協働する。ビームレット・ブランカ・アレイ 9 がビームレットを偏向する場合、ビームレットは、ビームレット・ストップ・アレイ 10 の中の対応するアパーチャを通過しないが、その代わりに、ビームレット・ブロック・アレイ 10 の基材によって遮断されることになる。しかし、ビームレット・ブランカ・アレイ 9 がビームレットを偏向しない場合、ビームレットは、ビームレット・ストップ・アレイ 10 の中の対応するアパーチャを通過し、その後、ターゲット 24 のターゲット表面 13 にスポットとして投影されることになる。

40

【0389】

リソグラフィ・システムは、ビームレット制御データをビームレット・ブランカ・アレイに供給するデータバスをさらに備える。ビームレット制御データは、光ファイバを使用して送信されることがある。個別の光ファイバ末端からの変調光ビームは、ビームレット・ブランカ・アレイ 9 上の感光素子に投影される。個別の光ビームは、感光素子に連結された 1 個以上の変調器を制御するためパターン・データの一部を保持する。

【0390】

続いて、電子ビームレット 7 は、末端モジュールに入る。以下、用語「ビームレット」は、変調後のビームレットを指す。このような変調後のビームレットは、実質的に、時間

50

に関する連続部分を備える。これらの連続部分の一部は、より低い強度を有し、好ましくは、零強度を有することがあり、すなわち、ビーム・ストップで止められた部分を有することがある。一部分は、ビームレットを後続の走査期間のための開始位置に位置決めすることを可能にするため零強度を有することになる。

【0391】

末端モジュール22は、好ましくは、挿入可能、交換可能なユニットとして構築され、このユニットは、様々なコンポーネントを備える。本実施形態では、末端モジュールは、ビーム・ストップ・アレイ10と、走査デフレクタアレイ11と、投影レンズ構成部12とを備えるが、必ずしもこれらのすべてが末端モジュールに含まれなくてもよく、これらは、異なって配置されることがある。

【0392】

ビームレット・ストップ・アレイ10を通過した後、変調後のビームレット7は、偏向されていないビームレット7の方向と実質的に直交するX及び/又はY方向に個別のビームレット7を偏向させる走査デフレクタアレイ11を通過する。本実施形態では、デフレクタアレイ11は、後述されるように、比較的小さい駆動電圧の印加を可能にする走査静電デフレクタである。

【0393】

次に、ビームレットは、投影レンズ構成部12を通過し、ターゲット平面内の典型的にはウェハであるターゲットのターゲット表面24に投影される。リソグラフィ用途のため、ターゲットは、通常は、荷電粒子感応層又はレジスト層が設けられているウェハを備える。投影レンズ構成部12は、ビームレットを集め、好ましくは、結果として、直径約10から30ナノメートルの幾何学的スポットサイズを生じる。投影レンズ構成部12は、このような設計では、好ましくは、約100から500倍の縮小を行う。この好ましい実施形態では、投影レンズ構成部12は、ターゲット表面に接近して置かれることが有利である。

【0394】

一部の実施形態では、ビームプロテクタがターゲット表面24と集光投影レンズ構成部12との間に置かれることがある。ビームプロテクタは、箔又はプレートでもよく、ウェハから放出されたレジスト粒子がリソグラフィ・システムの中の感応素子のいずれかに到達できる前にレジスト粒子を吸収するため、必要に応じてアパーチャが設けられている。代替的に、又は、付加的に、走査偏向アレイ9は、投影レンズ構成部12とターゲット表面24との間に設けられることがある。

【0395】

概略的に言うと、投影レンズ構成部12は、ビームレット7をターゲット表面24に集める。それに加えて、投影レンズ構成部は、単独画素のスポットサイズが正確であることをさらに確保する。走査デフレクタ11は、ターゲット表面24の一面でビームレット7を偏向する。それに加えて、ターゲット表面24上の画素の位置が微小規模で正確であることを確保することが必要である。特に、走査デフレクタ11の動作は、画素が最終的にターゲット表面24にパターンを構成する画素のグリッドに十分に収まることを確保する必要がある。ターゲット表面への画素の微小規模位置決めは、ターゲット24の下にあるウェハ位置決めシステムによって適切に可能にされることが分かることになる。

【0396】

このような高品質投影は、再現可能な結果を与えるリソグラフィ・システムを獲得するため関連性がある。一般的に、ターゲット表面24は、基材の上部にレジスト膜を備える。レジスト膜の一部分は、荷電粒子、すなわち、電子のビームレットの印加によって化学的に変性されることになる。この結果として、膜の照射された部分は、現像液中での溶解性が増減することになり、ウェハ上にレジストパターンをもたらす。ウェハ上のレジストパターンは、続いて、すなわち、半導体製造の技術において知られているようなインプリメンテーション、エッチング、及び/又は、蒸着ステップによって、下にある層へ転写される。自明であるが、照射が均一ではない場合、レジストは、均一に現像されることがな

10

20

30

40

50

く、パターンの誤りの原因となる。さらに、このようなリソグラフィ・システムの多くは、複数のビームレットを使用する。照射に差がないことは、偏向ステップから生じるべきである。

【0397】

このような光学系の一実施形態では、隣接するサブビーム20から発生するビームレット7の第1のグループと第2のグループとの間に空間が残される。それに加えて、この光学系は、図75に示されるように、ビームエリア51と、非ビームエリア52とを含むように画定される。ビームエリア51及び非ビームエリア52への分割は、変調装置の中と、末端モジュール、例えば、投影レンズ系の内部との両方に存在する。非ビームエリア52は、何らかの振動の影響を最小限に抑えるように機械的支持構造体を提供するため投影レンズ系で利用されることがある。非ビームエリア52に対応する空間は、充填されることがあり、例えば、予め決められたパターンが転写プロセスの後続ステップにおいてターゲット上のこの空間に転写される。この後続ステップは、カラムと相対的にターゲットを移動させた後に実行される。空間充填の具体的な順序は、書き込み戦略と呼ばれることもある。

10

【0398】

本発明は、上述されたある特定の実施形態を参照して説明されている。当業者に知られるようになるように、本明細書中で説明されたいずれかの実施形態と共に使用されることがある様々な構成及び代替案が説明されていることに注意されたい。さらに、これらの実施形態は、発明の趣旨及び範囲から逸脱することなく、当業者によく知られた様々な変形及び代替的な形式を許すことが理解されることになる。したがって、具体的な実施形態が説明されているが、これらの実施形態は、単なる実施例であり、特許請求の範囲に記載されている発明の範囲を限定しない。

20

【0399】

定義

以下の事項は、本発明のある特定の対象に関して定義としてさらなる説明を表し、請求項と呼ばれることもある。

【0400】

1. ウェハを露光する複数の荷電粒子ビームレットを生成する荷電粒子リソグラフィ装置を使用してパターン・データに応じてウェハを露光する方法であって、

30

ベクトル・フォーマットでパターン・データを与えることと、

マルチレベル・パターン・データを生成するためベクトル・パターン・データを描画することと、

2レベル・パターン・データを生成するためマルチレベル・パターン・データをディザリングすることと、

2レベル・パターン・データを荷電粒子リソグラフィ装置に供給することと、

2レベル・パターン・データに基づいて、荷電粒子リソグラフィ装置によって生成されたビームレットをオン及びオフに切り替えることと、

を備え、パターン・データは、補正データに基づいて調整される方法。

40

【0401】

2. パターン・データを調整することは、第1の補正データに基づいてベクトル・パターン・データを調整することを備える、請求項1の方法。

【0402】

3. パターン・データを調整することは、第2の補正データに基づいてマルチレベル・パターン・データを調整することを備える、請求項1又は2に記載の方法。

【0403】

4. パターン・データを調整することは、第3の補正データに基づいて2レベル・パターン・データを調整することを備える、前請求項のうちのいずれかの方法。

【0404】

5. ベクトル・パターン・データを描画することは、画素セルのアレイを定義すること

50

と、ベクトル・パターン・データによる画素セルの相対的なカバレッジに基づいてマルチレベル値を画素セルに割り当てることと、を備える、前請求項のうちのいずれか1つの方法。

【0405】

6. マルチレベル・パターン・データをディザリングすることは、マルチレベル・パターン・データへのエラー伝播の適用により2レベル・パターン・データを形成することを備える、前請求項のうちのいずれか1つの方法。

【0406】

7. エラー伝播は、マルチレベル・パターン・データの中の画素の量子化エラーをマルチレベル・パターン・データの中の1個以上の隣接する画素に分散することを備える、直前請求項の方法。

10

【0407】

8. エラー伝播の適用は、
画素のアレイを定義することと、
画素のアレイを各部分が異なるビームレットによって露光されるように割り当てられている部分に分割することと、
各部分のためのエラー伝播パラメータ値を決定することと、
エラー伝播パラメータ値を使用して2レベル値を各部分の内部の画素に割り当てることと、
を備える、直前請求項の方法。

20

【0408】

9. エラー伝播パラメータ値は、閾値と、2レベル値のうちのより高い方のレベルに対する加重値とを備える、直前請求項の方法。

【0409】

10. エラー伝播パラメータ値は、2レベル値のうちのより低い方のレベルに対する加重値をさらに備える、直前請求項の方法。

【0410】

11. 閾値は、高レベル画素値の50%に等しい、2つの直前請求項の方法。

【0411】

12. 閾値は、高レベル画素値と低レベル画素値との平均に等しい、直前請求項の方法。

30

【0412】

13. エラー伝播パラメータ値を決定することは、ビームレット電流測定値に基づいている、直前請求項の方法。

【0413】

14. エラー伝播パラメータ値は、閾値であり、2レベル値を一部分の内部の画素セルに割り当てることは、この一部分のため決定された閾値との比較に基づいている、2つの直前請求項のうちのいずれかの方法。

【0414】

15. エラー伝播パラメータは、2レベル値のうちのより高い方のレベルを表現する値である、3つの直前請求項のうちのいずれかの方法。

40

【0415】

16. エラー伝播は、1次元エラー伝播である、10の直前請求項のうちのいずれかの方法。

【0416】

17. エラー伝播は、2次元エラー伝播である、11の直前請求項のうちのいずれかの方法。

【0417】

18. エラー伝播の適用は、さらなる閾値以下のマルチレベル値をもつ1個以上の画素へ向かう伝播を禁止することにより制限される、12の直前請求項のうちのいずれかの方

50

法。

【 0 4 1 8 】

1 9 . さらなる閾値は、ゼロに等しい、直前請求項の方法。

【 0 4 1 9 】

2 0 . エラー伝播の適用は、ベクトル・パターン・データに記載された特徴的形体の外側に位置する 1 個以上の画素への伝播を禁止することにより制限される、1 4 の直前請求項のうちのいずれかの方法。

【 0 4 2 0 】

2 1 . 第 1 の補正データは、近接効果補正を備える、請求項 2 ~ 2 0 のうちのいずれかの方法。

10

【 0 4 2 1 】

2 2 . 近接効果補正は、線量補正を備える、請求項 2 1 の方法。

【 0 4 2 2 】

2 3 . 近接効果補正は、形状補正を備える、請求項 2 1 の方法。

【 0 4 2 3 】

2 4 . 近接効果補正は、線量補正と形状補正との組み合わせを備える、請求項 2 1 の方法。

【 0 4 2 4 】

2 5 . 第 1 の補正データは、レジスト加熱補正を備える、請求項 2 ~ 2 4 のうちのいずれかの方法。

20

【 0 4 2 5 】

2 6 . 第 1 の補正データは、1 個以上のビームレットの位置の変動を補償する補正を備える、請求項 2 ~ 2 5 のうちのいずれかの方法。

【 0 4 2 6 】

2 7 . 第 1 の補正データは、ウェハに対するウェハのフィールドの位置決めのエラーを補償する補正を備える、請求項 2 ~ 2 6 のうちのいずれかの方法。

【 0 4 2 7 】

2 8 . 第 1 の補正データは、ウェハのフィールドのサイズのエラーを補償する補正を備える、請求項 2 ~ 2 7 のうちのいずれかの方法。

30

【 0 4 2 8 】

2 9 . 補正は、フル画素未満によるマルチレベル・パターン・データのシフティングを生じるベクトル・パターン・データの調整を備える、3 の直前請求項のうちのいずれかの方法。

【 0 4 2 9 】

3 0 . ウェハは、ウェハの露光中に機械的走査方向へ移動され、補正は、機械的走査方向と機械的走査方向に実質的に直交する方向との両方に成分を有するマルチレベル・パターン・データのシフトを生じるベクトル・パターン・データの調整を備える、4 の直前請求項のうちのいずれかの方法。

【 0 4 3 0 】

3 1 . 第 1 の補正データは、リソグラフィ装置へのビームレット制御信号の伝送時間の変動を補償する補正を備える、請求項 2 ~ 3 0 のうちのいずれかの方法。

40

【 0 4 3 1 】

3 2 . ビームレットは、各ビームレット・ブランカ電極がビームレット制御信号を受信するようにされたビームレット・ブランカ・アレイの中のビームレット・ブランカ電極によってオン及びオフに切り替えられ、第 1 の補正データは、ビームレット制御信号がビームレット・ブランカ電極によって受信されるときに時間差を補償する補正を備える、請求項 2 ~ 3 1 のうちのいずれかの方法。

【 0 4 3 2 】

3 3 . ビームレットは、ウェハの表面を走査するため偏向され、第 1 の補正データは、異なるビームレットが受ける偏向の量の変動を補償する補正を備える、請求項 2 ~ 3 2 の

50

うちのいずれかの方法。

【0433】

34. マルチレベル・パターン・データをディザリングすることは、閾値との比較に基づいてマルチレベル・パターン・データのうちの個々の対応するマルチレベル値に対する高値又は低値を割り当てることを備え、量子化エラーが、第2の補正データに基づいて定義された高レベル値の加重又は低レベル値の加重をマルチレベル・パターン・データから減算することにより計算される、請求項3～33のうちのいずれかの方法。

【0434】

35. 低値の加重は、第2の補正データに基づいて定義される、直前請求項の方法。

【0435】

36. 閾値は、第2の補正データに基づいて定義される、2の直前請求項のうちのいずれかの方法。

【0436】

37. マルチレベル・パターン・データをディザリングすることは、マルチレベル・パターン・データの対応するマルチレベル値を閾値と比較することにより2レベル値を決定することを備え、パターン・データを調整することは、第2の補正データに基づいて閾値を調整することを備える、請求項3～35のうちのいずれかの方法。

【0437】

38. 第2の補正データは、1個以上のビームレットの位置の変動を補償する補正を備える、請求項3～37のうちのいずれかの方法。

【0438】

39. 第2の補正データは、ウェハに対するウェハのフィールドの位置決めの変動を補償する補正を備える、請求項3～37のうちのいずれかの方法。

【0439】

40. 第2の補正データは、ウェハのフィールドのサイズのエラーを補償する補正を備える、請求項3～39のうちのいずれかの方法。

【0440】

41. 補正は、フル画素未満でマルチレベル・パターン・データをシフトすることと等価であるマルチレベル・パターン・データの調整を備える、3つの直前請求項のうちのいずれかの方法。

【0441】

42. ウェハは、ウェハの露光中に機械的走査方向へ移動され、補正は、機械的走査方向と機械的走査方向に実質的に直交する方向との両方に成分を有するマルチレベル・パターン・データのシフトを生じるマルチレベル・パターン・データの調整を備える、4つの直前請求項のうちのいずれかの方法。

【0442】

43. 第2の補正データは、異なるビームレット又はビームレットのグループによって露光されたエリアの間でソフト・エッジを実現する補正を備える、請求項3～42のうちのいずれかの方法。

【0443】

44. ソフト・エッジは、マルチレベル・パターン・データをソフト・エッジ係数と多重化することにより作られ、ソフト・エッジ係数は、最大値に達するまでエッジまでの距離に伴って直線的に増加する、直前請求項の方法。

【0444】

45. 最大値は、1である、直前請求項の方法。

【0445】

46. 係数の開始値は、エッジにおける0である、2つの直前請求項の方法。

【0446】

47. ソフト・エッジは、約0.5から1.5ミクロンの幅を有する、直前請求項の方法。

10

20

30

40

50

【 0 4 4 7 】

4 8 . 第 3 の補正データは、1 個以上のビームレットの位置の変動を補償する補正を備える、請求項 4 ~ 4 7 のうちのいずれかの方法。

【 0 4 4 8 】

4 9 . 第 3 の補正データは、ウェハに対するウェハのフィールドの位置決めのエラーを補償する補正を備える、請求項 4 ~ 4 8 のうちのいずれかの方法。

【 0 4 4 9 】

5 0 . 第 3 の補正データは、ウェハのフィールドのサイズのエラーを補償する補正を備える、請求項 4 ~ 4 9 のうちのいずれかの方法。

【 0 4 5 0 】

5 1 . ウェハは、ウェハの露光中に機械的走査方向へ移動され、第 3 の補正データは、機械的走査方向にフル画素シフトを備える、請求項 4 ~ 5 0 のうちのいずれかに記載の方法。

【 0 4 5 1 】

5 2 . ウェハは、ウェハの露光中に機械的走査方向へ移動され、第 3 の補正データは、機械的走査方向に実質的に直交する方向にフル画素シフトを備える、請求項 4 ~ 5 1 のうちのいずれかの方法。

【 0 4 5 2 】

5 3 . パターン・データをベクトル・フォーマットで与えるステップは、
装置設計の複数の層を記述する設計データを与えることと、
ベクトル・フォーマットで 2 次元パターン・データを生成するため設計データの層を変換することと、
を備える、前請求項のうちのいずれかの方法。

【 0 4 5 3 】

5 4 . 設計データは、G D S - I I フォーマットのデータを備える、請求項 5 3 の方法。

【 0 4 5 4 】

5 5 . 設計データは、O A S I S フォーマットのデータを備える、請求項 5 3 の方法。

【 0 4 5 5 】

5 6 . ベクトル・パターン・データは、ウェハ上にパターン化する特徴的形体の形状を記述するベクトル・データと、特徴的形体に関連付けられた線量値と、を備える、前請求項のうちのいずれかの方法。

【 0 4 5 6 】

5 7 . ベクトル・パターン・データは、ウェハ上にパターン化する特徴的形体の形状を記述するベクトル・データと、ウェハ上の対応するエリアのための線量値のアレイと、を備える、前請求項のうちのいずれかの方法。

【 0 4 5 7 】

5 8 . マルチレベル・パターン・データは、画素セルに割り当てられたマルチレベル値のアレイを備える、前請求項のうちのいずれか 1 つの方法。

【 0 4 5 8 】

5 9 . マルチレベル・パターン・データは、階調ビットマップデータを備える、前請求項のうちのいずれかの方法。

【 0 4 5 9 】

6 0 . 2 レベル・パターン・データは、黒 / 白ビットマップデータを備える、前請求項のうちのいずれかの方法。

【 0 4 6 0 】

6 1 . 描画するステップ及びラスライジングするステップは、オフライン処理によって実行され、そのため、ウェハ全体のためのパターン・データの描画及びラスライジングは、ウェハ走査が始まる前に完了する、前請求項のうちのいずれかの方法。

【 0 4 6 1 】

62. 描画するステップ及びラスタライジングするステップは、設計1回毎に1回ずつ実行される、前請求項のうちのいずれかの方法。

【0462】

63. 描画するステップ及びラスタライジングするステップは、インライン処理によって実行され、そのため、ウェハの第1のフィールドの組のためのパターン・データの描画及びラスタライジングは、第1のフィールドの組の走査が始まる前に完了し、ウェハの残りのフィールドのためのパターン・データの描画及びラスタライジングは、第1のフィールドの集合の走査中に継続する、前請求項のうちのいずれかの方法。

【0463】

64. 第1のフィールドの組及び残りのフィールドは、重なり合わない、直前請求項の方法。

【0464】

65. 第1のフィールドの組及び残りのフィールドは、一体として、露光されるべきウェハの完全なエリアを備える、直前請求項の方法。

【0465】

66. 第1のフィールドの組は、ウェハの第1の走査において露光され、残りのフィールドは、ウェハの第2の走査において露光される、3つの直前請求項のうちのいずれかの方法。

【0466】

67. 第1のビームレットの部分集合が第1のフィールドの組を露光するため割り付けられ、第2のビームレットの部分集合が残りのフィールドを露光するため割り付けられている、4つの直前請求項のうちのいずれかの方法。

【0467】

68. 描画するステップ及びラスタライジングするステップは、ウェハ1個当たりに1回ずつ実行される、前請求項のうちのいずれかの方法。

【0468】

69. 描画するステップ及びラスタライジングするステップは、リアルタイム処理によって実行され、そのため、ウェハの第1のフィールドの組の描画及びラスタライジングは、第1のフィールドの組の走査中に継続する、前請求項のうちのいずれかの方法。

【0469】

70. 描画するステップ及びラスタライジングするステップは、ウェハのフィールド1個当たりに1回ずつ実行される、前請求項のうちのいずれかの方法。

【0470】

71. 描画するステップ及びラスタライジングするステップは、ウェハの露光中に実行される、前請求項のうちのいずれかの方法。

【0471】

さらなる定義の組が分かる：

1. パターン・データに応じてウェハを露光する荷電粒子リソグラフィ・システムであって、

ビームレットをオン又はオフに切り替えるビームレット・ブランカ・アレイを含み、ウェハを露光する複数の電子ビームレットを生成する電子光学カラムと、

ビームレットの切り替えの制御のためのビームレット制御データを伝達するデータバスと、

ウェハを電子光学カラムからの電子ビームと位置合わせするため、データバスから同期化信号が供給され、X方向に電子光学カラムの下でウェハを移動するウェハ位置決めシステムと、

を備え、

データバスは、ビームレット制御データを生成する1個以上の処理ユニットと、ビームレット制御データをビームレット・ブランカ・アレイへ送信する1個以上の伝送チャンネルとを備える、荷電粒子リソグラフィ・システム。

10

20

30

40

50

【 0 4 7 2 】

伝送チャンネル / 多重化 :

2 . 伝送システムが複数の伝送チャンネルを備え、各伝送チャンネルは、対応するビームレットのグループのためのデータを送信する、請求項 1 のシステム。

【 0 4 7 3 】

3 . ビームレットは、複数のグループに配置され、各伝送チャンネルは、ビームレットの 1 つのグループのためのビームレット制御データを送信する、前請求項のうちのいずれかのシステム。

【 0 4 7 4 】

4 . データパスは、複数のマルチプレクサを備え、各マルチプレクサは、ビームレットのグループのためのビームレット制御データを多重化する、直前請求項のシステム。

【 0 4 7 5 】

5 . 複数のデマルチプレクサをさらに備え、各デマルチプレクサは、ビームレットのグループのためのビームレット制御データを逆多重化する、直前請求項のシステム。

【 0 4 7 6 】

6 . データパスは、処理ユニットによって生成されたビームレット制御データを荷電粒子リソグラフィ装置への送信用の光信号に変換する電気・光変換装置を備える、前請求項のうちのいずれかのシステム。

【 0 4 7 7 】

7 . 伝送チャンネルは、光信号を導く光ファイバを備える、直前請求項のシステム。

【 0 4 7 8 】

8 . ビームレット・ブランカ・アレイは、光信号を受信し、光信号をビームレットの制御用の電気信号に変換する光・電気変換装置を備える、2 つの直前請求項のうちのいずれかのシステム。

【 0 4 7 9 】

9 . 伝送システムがレンズのアレイとミラーとを備え、レンズのアレイは、光信号をミラーへ導き、ミラーは、光信号を荷電粒子リソグラフィ装置のビームレット・ブランカ・アレイへ反射する、3 つの直前請求項のうちのいずれかのシステム。

【 0 4 8 0 】

1 0 . ウェハの第 1 の部分を露光するため割り付けられたビームレットの第 1 の部分集合のための第 1 のビームレット制御データを生成するためにパターン・データを処理するため十分である第 1 の個数の処理ユニットをさらに備える、前請求項のうちのいずれかのシステム。

【 0 4 8 1 】

1 1 . 処理ユニットを伝送チャンネルの部分集合に接続する交差接続スイッチをさらに備える、前請求項のうちのいずれかのシステム。

【 0 4 8 2 】

1 2 . ビームレットは、複数のグループに配置され、各処理ユニットがビームレットのいずれか 1 つのグループのためのビームレット制御データを生成し、各伝送チャンネルがビームレットの 1 つのグループのためのビームレット制御データを送信するため専用になされている、前請求項のうちのいずれかのシステム。

【 0 4 8 3 】

1 3 . 7 個の処理ユニットが全部で 1 2 個の伝送チャンネルのため設けられている、直前請求項の方法。

【 0 4 8 4 】

1 4 . 荷電粒子リソグラフィ・システムは、ウェハの第 1 の部分を露光するビームレットの第 1 の部分集合と、ウェハの第 2 の部分を露光するビームレットの第 2 の部分集合とを割り付け、

交差接続スイッチは、処理ユニットをウェハの第 1 の部分の走査のためのビームレットの第 1 の部分集合に対応する伝送チャンネルの第 1 の部分集合に接続し、処理ユニットをウ

10

20

30

40

50

ェハの第 2 の部分の走査のためのビームレットの第 2 の部分集合に対応する伝送チャネルの第 2 の部分集合に接続する、2 つの直前請求項のうちのいずれかのシステム。

【0485】

15. 第 1 の個数の処理ユニットは、第 1 のビームレット制御データを生成するためにパターン・データを処理し、第 2 のビームレット制御データを生成するためにパターン・データを処理するため十分であるが、第 1 のビームレット制御データ及び第 2 のビームレット制御データを同時に生成するためにパターン・データを処理するため不十分である、前請求項のうちのいずれかのシステム。

【0486】

16. リソグラフィ・システムは、ウェハの第 1 の部分が第 1 のパターン・データに応じて露光され、続いて、ウェハの第 2 の部分が第 2 のパターン・データに応じて露光されるデュアルパス走査でウェハを露光するため適合し、

処理ユニットは、第 1 のパターン・データを記憶する第 1 のメモリ部分と第 2 のパターン・データを記憶する第 2 のメモリ部分とに分割されているメモリを備え、

現在のウェハのバッチの中のウェハの第 2 の部分の露光中に、次のウェハのバッチの中のウェハのための第 1 のパターン・データが第 1 のメモリ部分にロードされる、前請求項のうちのいずれかのシステム。

【0487】

17. 荷電粒子リソグラフィ・システムにおいてウェハを露光する方法であって、

グループ状に配置され、各グループがビームレットのアレイを備える複数の荷電粒子ビームレットを生成することと、

ウェハ走査速度で第 1 の方向にビームレットの下でウェハを移動することと、

偏向走査速度で第 1 の方向と実質的に直交する第 2 の方向にビームレットを偏向することと、

ビームレットによってウェハに加えられた線量を調整するためウェハ走査速度を調整することと、

を備える方法。

【0488】

18. ビームレットは、平行投影書き込み戦略を使用してウェハを露光する、請求項 17 の方法。

【0489】

19. 偏向走査速度は、ビームレット走査速度とフライバック速度とを備える、請求項 17 ~ 18 のいずれかの方法。

【0490】

20. ビームレットの各アレイがアレイの中のビームレットの間で第 1 の方向に投影ピッチ P_{proj} を有し、群距離がアレイ内のビームレットの個数が乗じられた投影ピッチ P_{proj} に等しくされ、各走査の間のビームレットとウェハとの間の x 方向における相対移動に等しい走査ステップが、整数 K で除した群距離に等しくされている、請求項 17 ~ 19 のうちのいずれかの方法。

【0491】

21. 走査ステップは、ビームレット走査速度及び / 又はフライバック速度を調整することにより調整される、請求項 20 の方法。

【0492】

22. 走査ステップは、 y 方向における 1 回のビームレット走査のための時間とビームレット・フライバック時間とを備えるビームレット偏向期間を調整することにより調整される、請求項 20 の方法。

【0493】

23. 偏向期間は、整数 K で除した群距離をビームレット走査速度で除したものに等しくされている、請求項 22 の方法。

【0494】

10

20

30

40

50

24. Kと各アレイの中のビームレットの数との最大公約数が1であるという要件をKが満たすようにされている、請求項20～24のうちのいずれかの方法。

【0495】

25. 荷電粒子リソグラフィ・システムにおいてウェハを露光する方法であって、グループ状に配置され、各グループがビームレットのアレイを備える複数の荷電粒子ビームレットを生成することと、

ウェハ走査速度で第1の方向にビームレットの下でウェハを移動することと、

偏向走査速度で第1の方向と実質的に直交する第2の方向にビームレットを偏向することと、

画素をウェハに露光するためビームレットが偏向されるとき、パターン・データに応じてビームレットをオン及びオフに切り替えることと、

第1の方向で画素幅を調整するため偏向走査速度と相対的にウェハ走査速度を調整することと、

を備える方法。

【0496】

26. ビームレットは、平行投影書き込み戦略を使用してウェハを露光する、請求項25の方法。

【0497】

27. 偏向走査速度は、ビームレット走査速度とフライバック速度とを備える、請求項25～26のいずれかの方法。

【0498】

28. ビームレットの各アレイがアレイの中のビームレットの間で第1の方向に投影ピッチ P_{proj} を有し、群距離がアレイ内のビームレットの個数が乗じられた投影ピッチ P_{proj} に等しくされ、各走査の間のビームレットとウェハとの間のx方向における相対移動に等しい走査ステップが、整数Kで除した群距離に等しくされている、請求項25～27のうちのいずれかの方法。

【0499】

29. 走査ステップは、ビームレット走査速度及び/又はフライバック速度を調整することにより調整される、請求項28の方法。

【0500】

30. 走査ステップは、y方向における1回のビームレット走査のための時間とビームレット・フライバック時間とを備えるビームレット偏向期間を調整することにより調整される、請求項28の方法。

【0501】

31. 偏向期間は、整数Kで除した群距離をビームレット走査速度で除したものに等しくされている、請求項30の方法。

【0502】

32. Kと各アレイの中のビームレットの数との最大公約数が1であるという要件をKが満たすようにされている、請求項28～31のうちのいずれかの方法。

【0503】

33. 荷電粒子リソグラフィ・システムにおいてウェハを露光する方法であって、グループ状に配置され、各グループがビームレットのアレイを備える複数の荷電粒子ビームレットを生成することと、

ビームレットとウェハとの間で第1の方向に相対移動を作り出すことと、

各ビームレットがウェハ上の複数の走査線を露光するように、偏向走査速度でx方向と実質的に直交する第2の方向にビームレットを偏向することと、

ビームレットによってウェハに加えられた線量を調整するため、第1の方向での相対移動と、第2方向でのビームレットの偏向とを調整することと、

を備え、

ビームレットの各アレイが、アレイの中のビームレットの間で第1の方向に投影ピッチ

10

20

30

40

50

P p r o j と、アレイ内のビームレットの数が乗じられた投影ピッチ P p r o j に等しい群距離とを有し、

各走査の間のビームレットとウェハとの間の x 方向における相対移動が整数 K で除した群距離に等しくされている、方法。

【 0 5 0 4 】

3 4 . K と各アレイの中のビームレットの数との最大公約数が 1 であるという要件を K が満たすようにされている、請求項 3 3 の方法。

【 0 5 0 5 】

3 5 . 走査線の幅が整数 K で除した投影ピッチ P p r o j にされている、請求項 3 3 又は 3 4 の方法。

【 0 5 0 6 】

3 6 . 画素をウェハに露光するためビームレットが偏向されるとき、ビームレットは、パターン・データに応じてオン及びオフに切り替えられ、第 1 の方向での画素の幅が整数 K で除した投影ピッチ P p r o j である、請求項 3 3 ~ 3 5 のうちのいずれかの方法。

【 0 5 0 7 】

さらに別の定義の組が分かる：

1 . リソグラフィプロセスを使用してターゲットに書き込む特徴的形体を定義する方法であって、

特徴的形体が 1 個以上のセルを占有するセルのアレイを定義することと、

各セルに対し、セルの範囲内に含まれる特徴的形体のコーナーを記述することと、
を備える方法。

【 0 5 0 8 】

2 . 各コーナーは、コーナー位置と、第 1 のベクトルと、第 2 のベクトルと、により記述されることがあり、2 つのベクトルは、この位置を原点としている、請求項 1 の方法。

【 0 5 0 9 】

3 . コーナー位置は、2 つの座標によって記述される、請求項 2 の方法。

【 0 5 1 0 】

4 . コーナー位置は、デカルト座標によって記述される、請求項 2 ~ 3 のいずれかの方法。

【 0 5 1 1 】

5 . 各ベクトルがベクトルのための方向を指定する方位コードによって記述される、請求項 2 ~ 4 のうちのいずれかの方法。

【 0 5 1 2 】

6 . 特徴的形体は、第 1 のベクトルから第 2 のベクトルまで所定の方法に移動するときに、ベクトルとセル境界とによって境界を定められたエリアとして定義される、請求項 2 ~ 5 のうちのいずれかの方法。

【 0 5 1 3 】

7 . 所定の方法は、時計回り方向であり、請求項 6 の方法。

【 0 5 1 4 】

8 . 擬似コーナーが、セルの内部に部分的に含まれるが、そうでなければ、セルの内部にコーナーを有していない特徴的形体に対し定義される、請求項 1 ~ 7 のうちのいずれかの方法。

【 0 5 1 5 】

9 . 擬似コーナーは、互いに 1 8 0 度で方向を合わされた第 1 のベクトル及び第 2 のベクトルによって記述されている、請求項 8 の方法。

【 0 5 1 6 】

1 0 . ベクトルは、セル境界に平行又はセル境界に垂直な方向だけを有することができる、請求項 2 ~ 9 のうちのいずれかの方法。

【 0 5 1 7 】

1 1 . ベクトルは、セル境界に平行、セル境界に垂直、又は、セル境界に 4 5 度である

10

20

30

40

50

方向だけを有することができる、請求項 2 ~ 9 のうちのいずれかの方法。

【0518】

12. 最小特徴的形体ピッチが定義され、セルは、最小特徴的形体ピッチ以下のサイズを有する、前請求項のうちのいずれかの方法。

【0519】

13. 最小特徴的形体ピッチが定義され、セルは、最小特徴的形体ピッチを乗じた 2 の平方根の半分以上のサイズを有する、前請求項のうちのいずれかの方法。

【0520】

14. 2 の平方根を乗じたセルのサイズ以上であるサイズを有する最小特徴的形体ピッチが定義される、請求項 10 の方法。

10

【0521】

15. セル境界に 45 度で方向を合わされたエッジを有する特徴的形体又は特徴的形体の一部に対し、2 の平方根を乗じたセルのサイズ以上のサイズを有する最小特徴的形体ピッチが定義される、請求項 10 の方法。

【0522】

16. コーナーの最大数がセル毎に定義されることがある、前請求項のうちのいずれかの方法。

【0523】

17. 各セルは、1 つ以上の特徴的形体、及び / 又は、1 つ以上の特徴的形体の一部を含むことがある、前請求項のうちのいずれかの方法。

20

【0524】

18. 各セルは、ウェハのフィールドの一部のためのパターン・データを備える、前請求項のうちのいずれかの方法。

【0525】

19. 各セルは、ウェハのフィールドのストライプのパターン・データを備える、直前請求項の方法。

【0526】

20. リソグラフィプロセスで用いられるパターン・データを処理する方法であって、
パターン・データをベクトル・フォーマットで与えることと、
セル・ベース・フォーマットでパターン・データを生成するためベクトル・パターン・
データを変換することと、
リソグラフィプロセスで用いられる 2 レベル・パターン・データを生成するためセル・
ベース・パターン・データをラスタライジングすることと、
を備える方法。

30

【0527】

21. セル・ベース・パターン・データは、セルのアレイの中の 1 つ以上のセルを占有する特徴的形体を記述し、各セルに対し、セルの内部に含まれる特徴的形体の中のいずれかのコーナーを記述するセル・データを備える、請求項 20 の方法。

【0528】

22. セル・ベース・パターン・データをラスタライジングすることは、リソグラフィプロセスが実行されている間にリアルタイム処理で実行される、請求項 20 又は 21 の方法。

40

【0529】

23. セル・ベース・パターンをラスタライジングすることは、
マルチレベル・パターン・データを生成するためセル・ベース・パターン・データを描画することと、
2 レベル・パターン・データを生成するためマルチレベル・パターン・データをディザリングすることと、
を備える、請求項 20 ~ 22 のうちのいずれかの方法。

【0530】

50

24. ウェハを露光する複数の荷電粒子ビームレットを生成する荷電粒子リソグラフィ装置を使用してパターン・データに応じてウェハを露光する方法であって、

パターン・データをベクトル・フォーマットで与えることと、

セル・ベース・フォーマットでパターン・データを生成するためベクトル・パターン・データを変換することと、

2レベル・パターン・データを生成するためセル・ベース・パターン・データをラスタライジングすることと、

荷電粒子リソグラフィ装置によって生成されたビームレットのオン及びオフを切り替えるため2レベル・パターン・データをビームレット・ブランカ・アレイヘストリーミングすることと、

2レベル・パターン・データに基づいてビームレットのオン及びオフを切り替えることと、

を備える方法。

【0531】

25. セル・ベース・パターン・データは、セルのアレイの中の1個以上のセルを占有する特徴的形体を記述し、各セルに対し、セルの内部に含まれる特徴的形体のいずれかのコーナーを記述するセル・データを備える、請求項24の方法。

【0532】

26. セル・ベース・パターン・データをラスタライジングすることは、リソグラフィ装置がウェハを露光している間にリアルタイム処理で実行される、請求項24又は25の方法。

【0533】

27. セル・ベース・パターンをラスタライジングすることは、

マルチレベル・パターン・データを生成するためセル・ベース・パターン・データを描画することと、

2レベル・パターン・データを生成するためマルチレベル・パターン・データをディザリングすることと、

を備える、請求項24～26のうちのいずれかの方法。

10

20

【図 1】

図 1

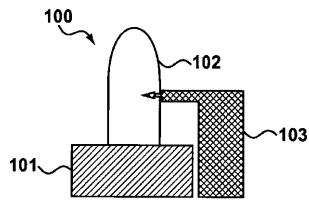


Fig. 1

【図 2 A】

図 2A

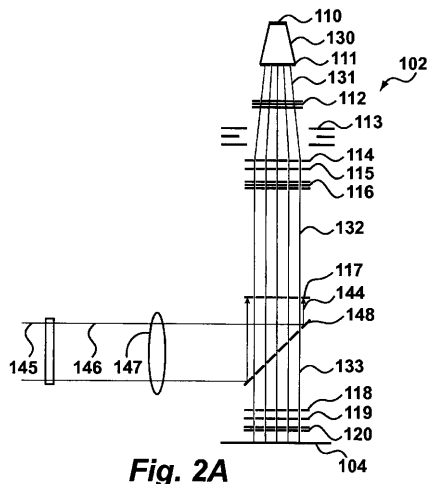


Fig. 2A

【図 3】

図 3

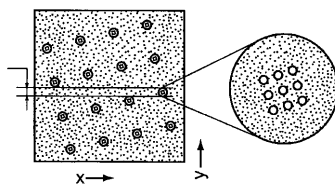


Fig. 3

【図 4】

図 4

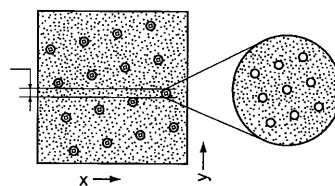


Fig. 4

【図 2 B】

図 2B

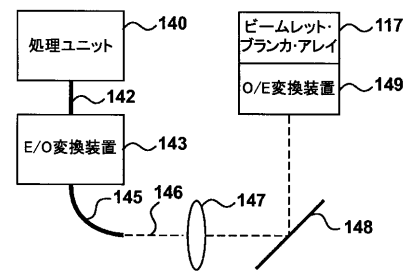


Fig. 2B

【図 5】

図 5

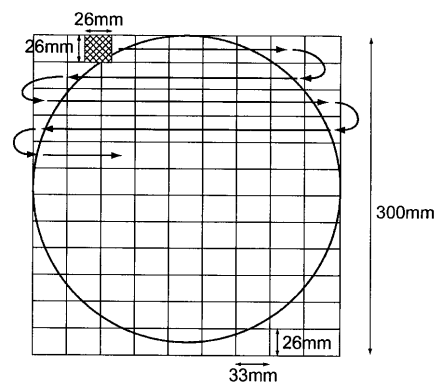


Fig. 5

【図 6】

図 6

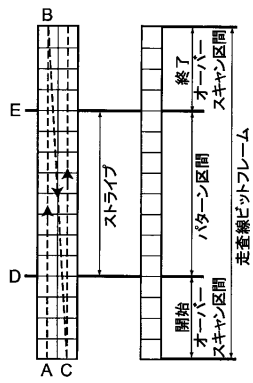


Fig. 6

【図 7】

図 7

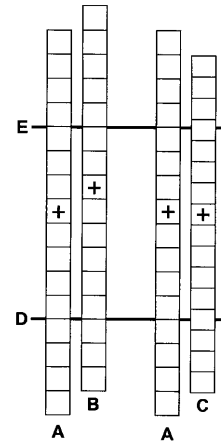


Fig. 7

【図 8】

図 8

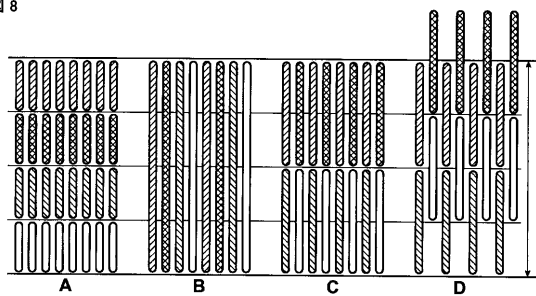


Fig. 8

【図 9】

図 9

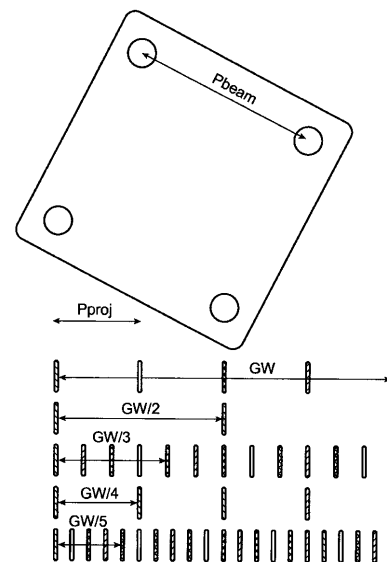


Fig. 9

【図 10】

図 10

K	走査線間の距離(=Xの画素サイズ)
1	8.63
2	4.31
3	2.87
4	2.16
5	1.73

Fig. 10

【図 1 1】

図 11

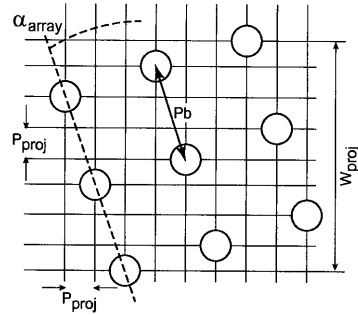


Fig. 11

【図 1 2】

図 12

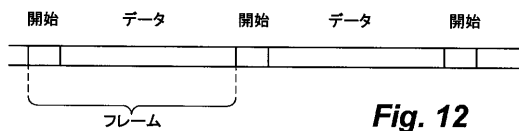


Fig. 12

【図 1 3】

図 13

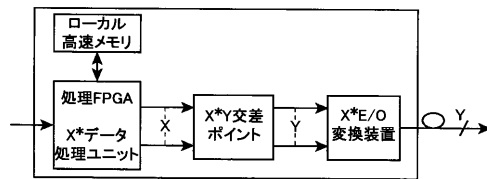


Fig. 13

【図 1 7】

図 17

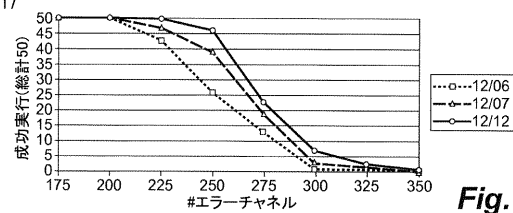


Fig. 17

【図 1 4】

図 14

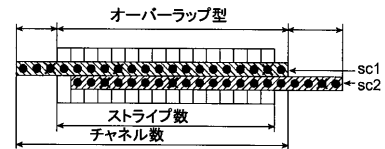


Fig. 14

【図 1 5】

図 15

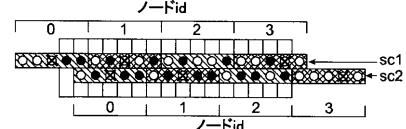


Fig. 15

【図 1 6】

図 16

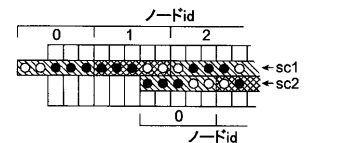


Fig. 16

【図 2 0】

図 20

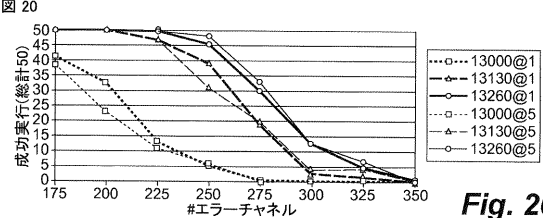


Fig. 20

【図 1 8】

図 18

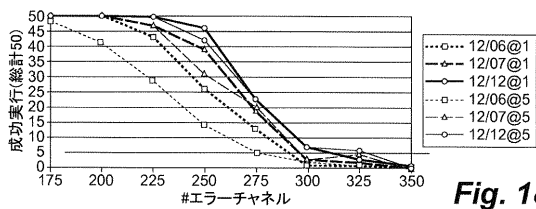


Fig. 18

【図 2 1】

図 21

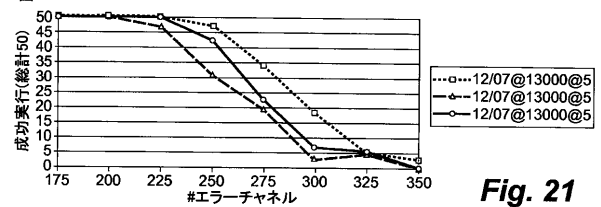


Fig. 21

【図 1 9】

図 19

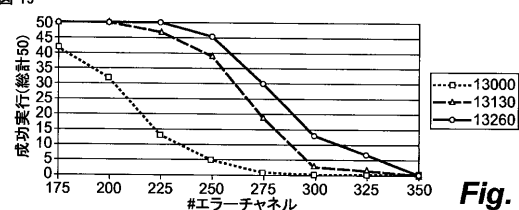


Fig. 19

【図 2 2】

図 22

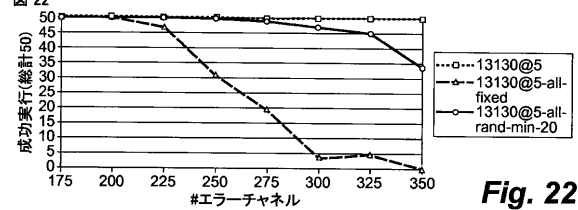
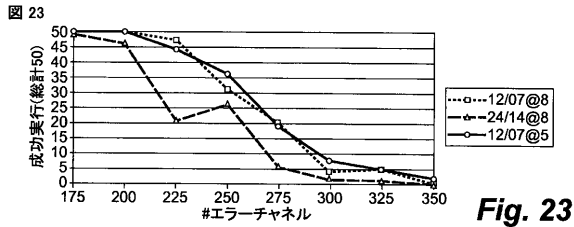
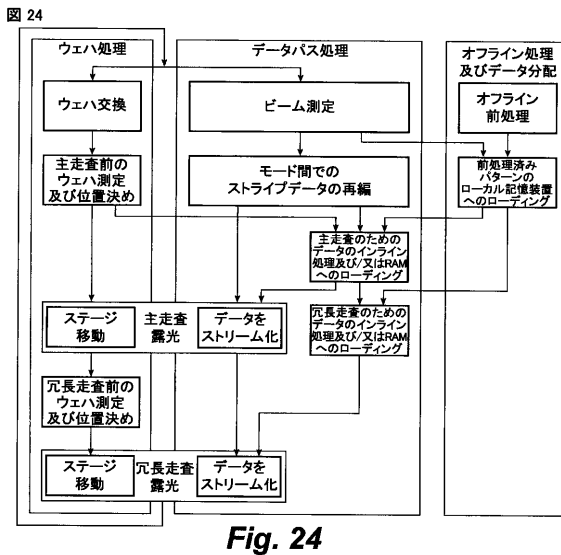


Fig. 22

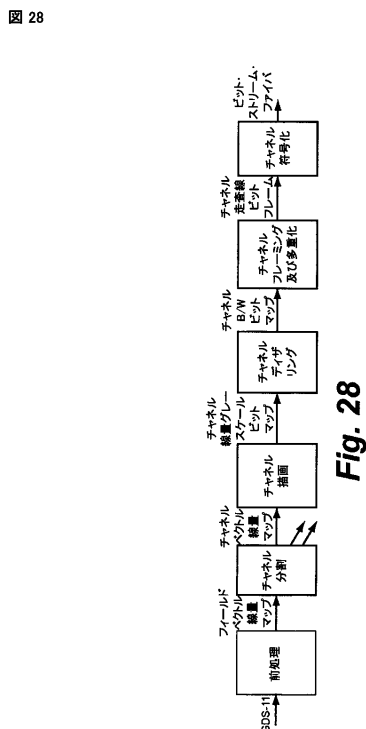
【図 23】



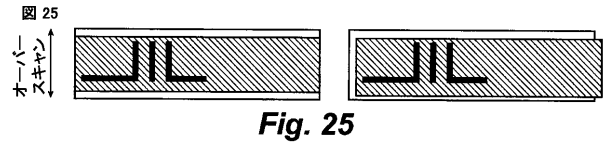
【図 24】



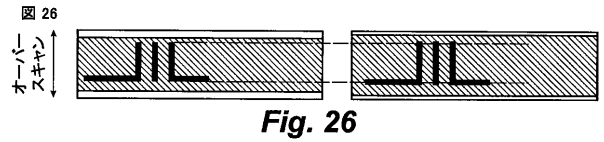
【図 28】



【図 25】



【図 26】



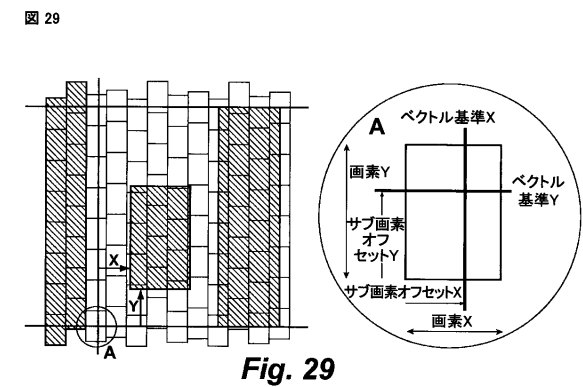
【図 27】

図 27

補正	更新単位	ビーム/ビームレット	範囲	分解能
グローバルパターン・シフトX	フィールド	ビーム	+/-200nm	0.1nm
グローバルパターン・シフトY	フィールド	ビーム	+/-200nm	0.1nm
プランカ・タイミング・オフセット(Y)	-	ビームレット	<1画素	0.1nm
プランカ・ホール(Y)・オフセット	-	ビームレット	+/-210nm	0.1nm
線量補正	ウェハ走査	ビームレット	80% - 100%	0.2%
パターンステータリングY	ウェハ走査	ビーム	1 - 1.1	0.0001

Fig. 27

【図 29】



【図 30】

図 30

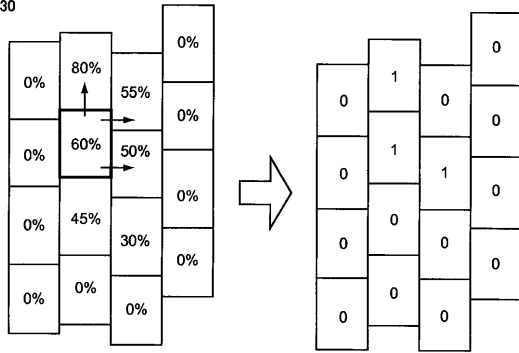


Fig. 30

【図 31】

図 31

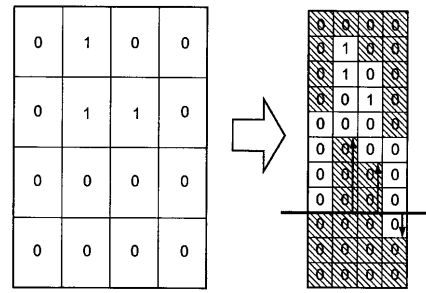


Fig. 31

【図 32】

図 32

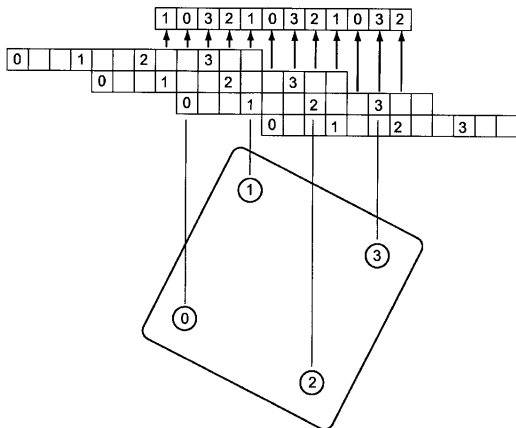


Fig. 32

【図 33】

図 33

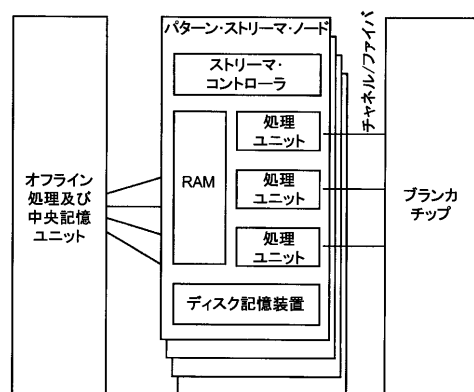


Fig. 33

【図 34】

図 34

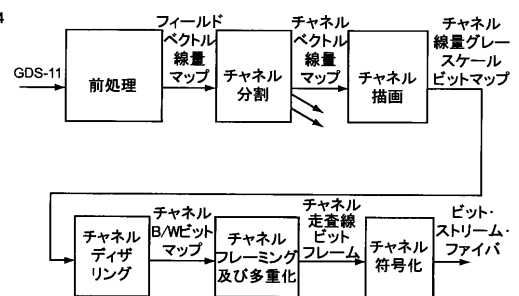


Fig. 34

【図 35】

図 35

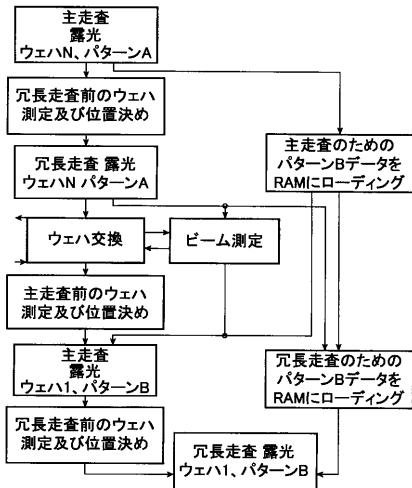


Fig. 35

【図 36】

図 36

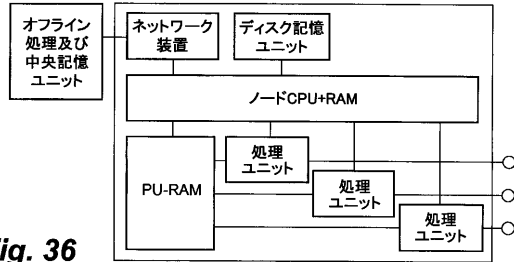


Fig. 36

【図 39】

図 39

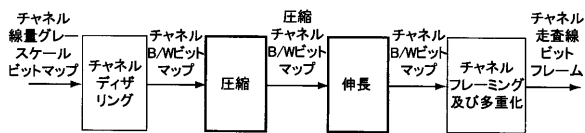


Fig. 39

【図 40】

図 40

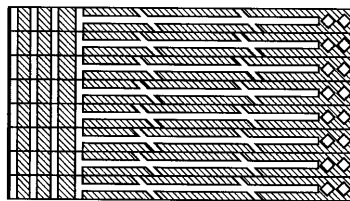


Fig. 40

【図 41】

図 41

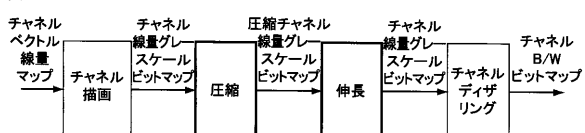


Fig. 41

【図 37】

図 37

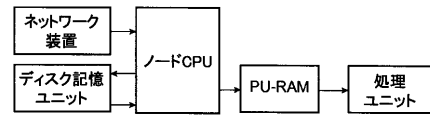


Fig. 37

【図 38】

図 38

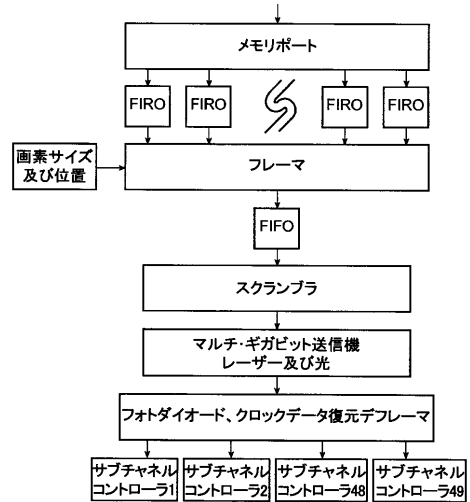


Fig. 38

【図 42】

図 42

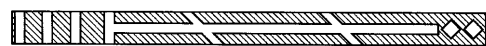


Fig. 42

【図 43】

図 43

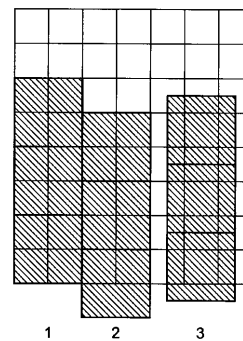


Fig. 43

【 図 4 5 】

图 45

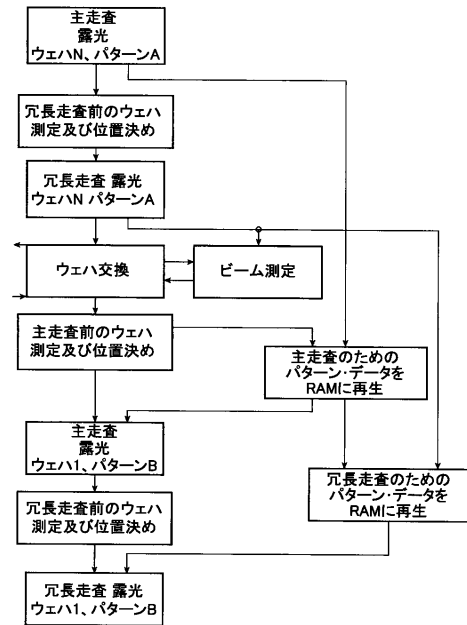


Fig. 45

【 図 4 9 】

☒ 49

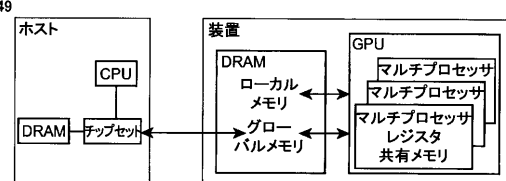


Fig. 49

【 図 5 0 】

图 50

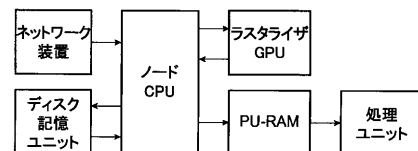


Fig. 50

【 図 5 1 】

图 51

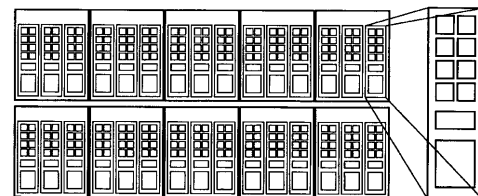


Fig. 51

【図 5 2】

図 52

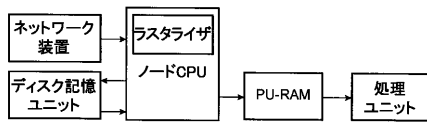


Fig. 52

【図 5 3】

図 53

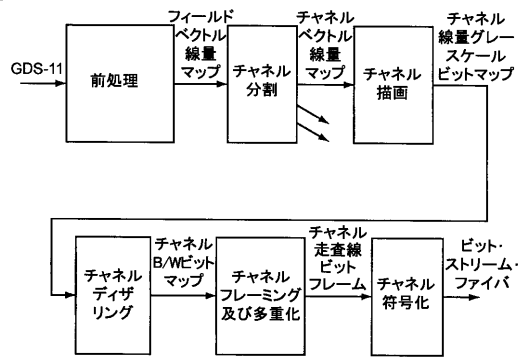


Fig. 53

【図 5 4】

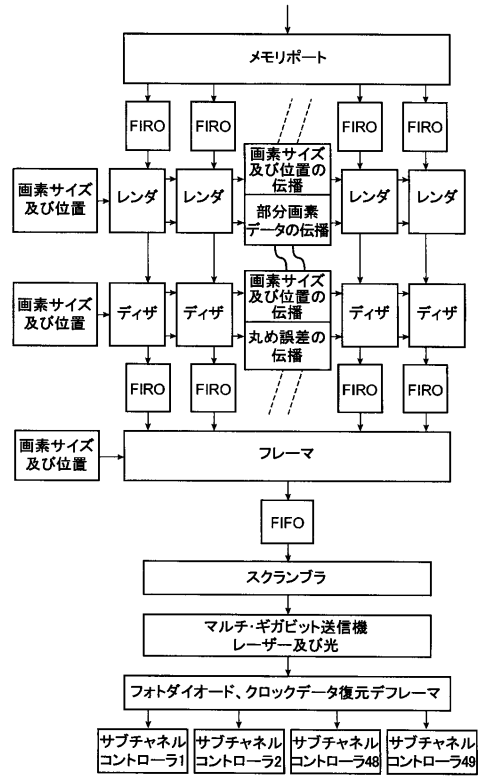


Fig. 54

【図 5 5】

図 55

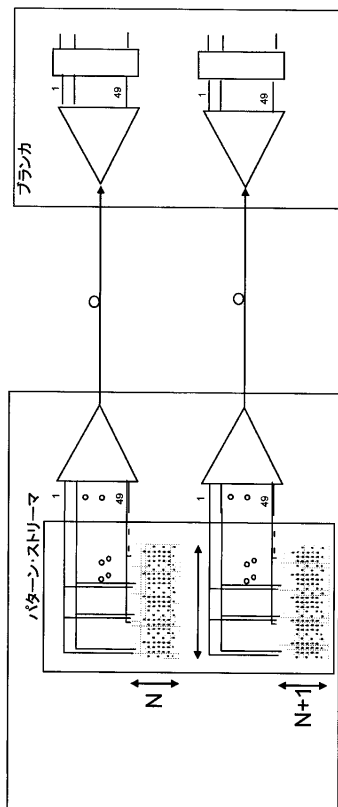


Fig. 55

【図 5 6】

図 56

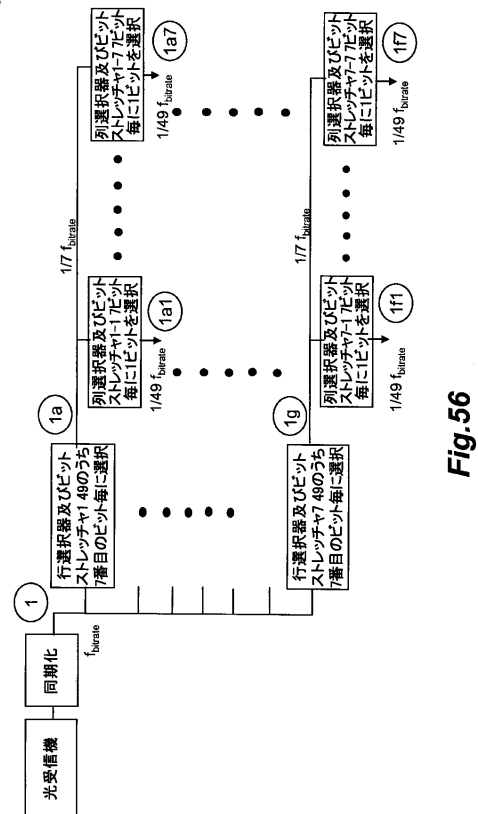


Fig. 56

【図 5 7】

図 57

N_{pat_beams}	α_{array}	P_{proj}	$K = P_{proj} / L_{pixX}$ $L_{pixX} = 3.5 \text{ nm}$	$GCD(N_{pat_beams}, K) = 1$	最近接係数K	実現された $L_{pix_X} [\text{nm}]$	$W_{proj} [\text{nm}]$
4	0.464	26.9	8		9	2.99	82
9	0.322	19.0	6		7	2.71	154
16	0.245	14.6	5		5	2.92	222
25	0.197	11.8	4		4	2.95	287
36	0.165	9.89	3		5	1.98	350
49	0.142	8.51	3		3	2.84	413
64	0.124	7.46	3		3	2.49	476
81	0.111	6.64	2		2	3.32	538
100	0.100	5.99	2		3	2.00	600

Fig.57

【図 5 8 A】

図 58A

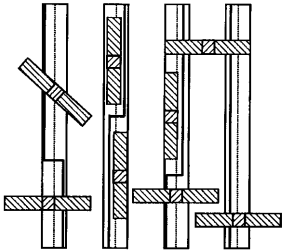


Fig.58A

【図 5 8 B】

図 58B

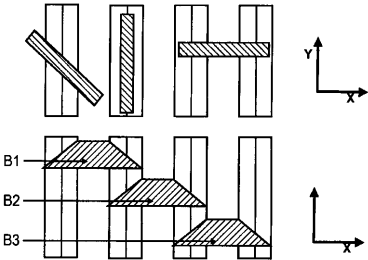


Fig.58B

【図 5 9】

図 59

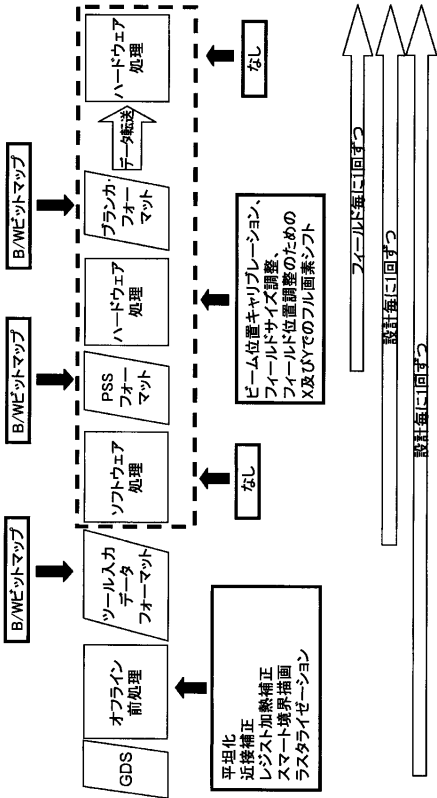


Fig.59

【図 6 0】

図 60

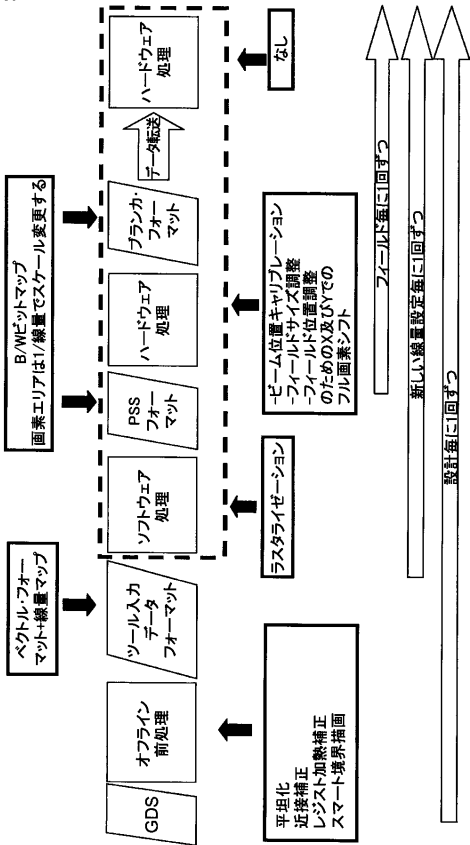


Fig.60

【図 6 1】

図 61

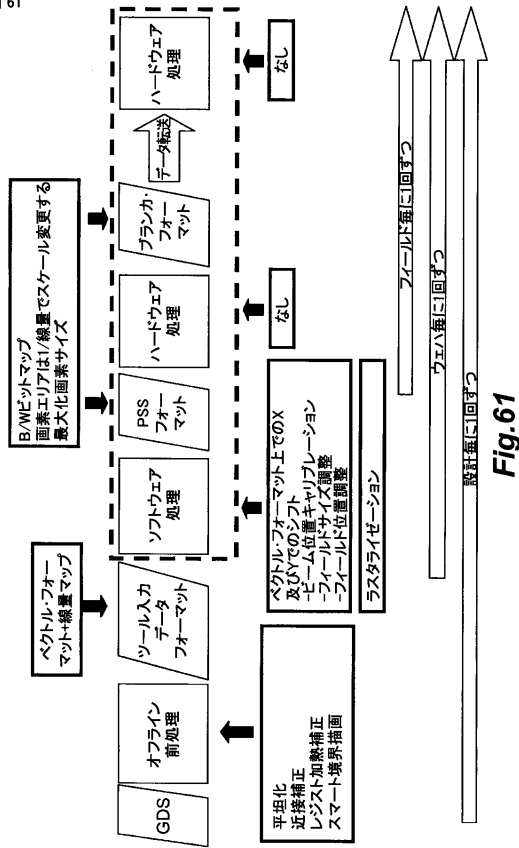


Fig.61

【図 6 2】

図 62

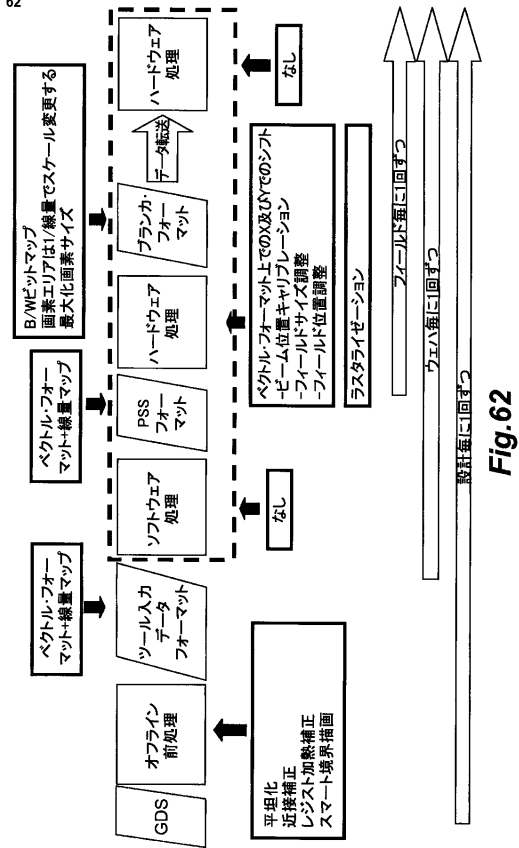


Fig.62

【図 6 3】

図 63

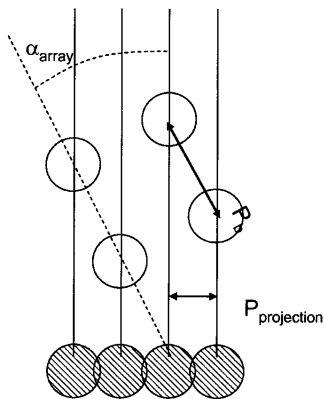


Fig.63

【図 6 4】

図 64

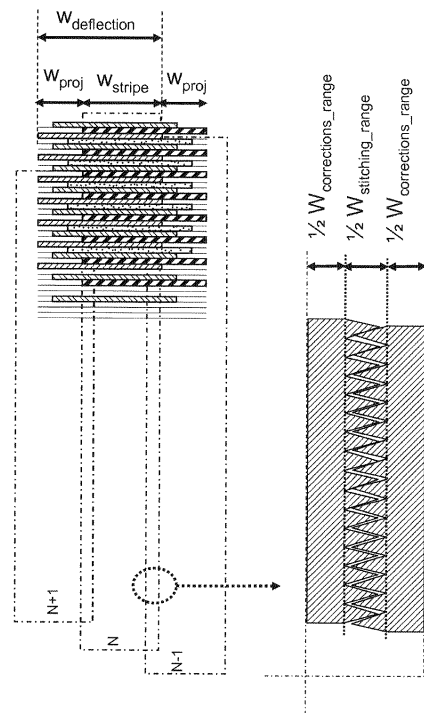


Fig. 64

【図 65】

図 65

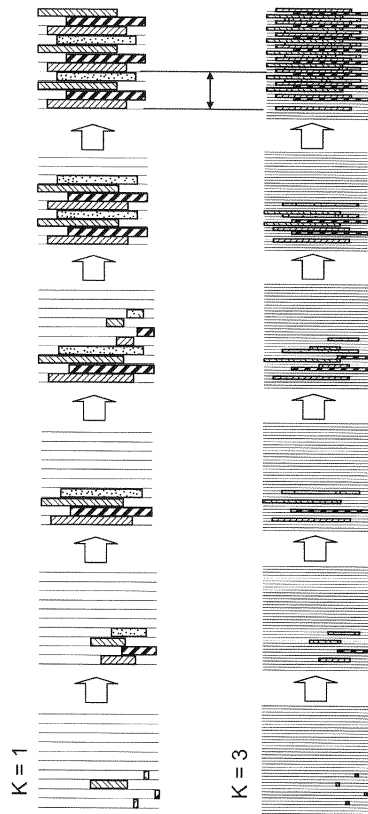


Fig. 65

【図 66】

図 66

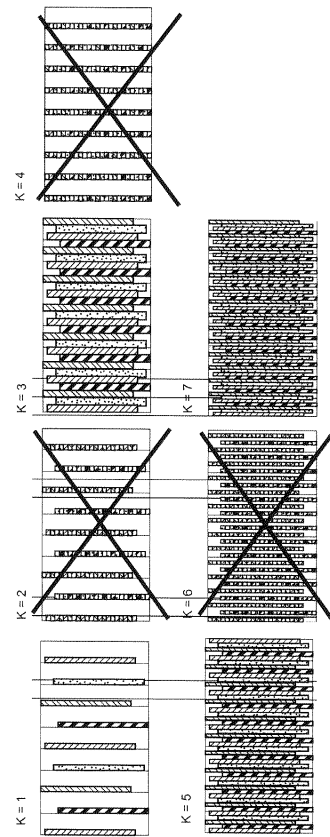


Fig. 66

【図 67】

図 67

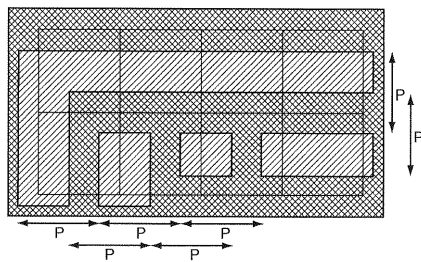


Fig. 67

【図 68】

図 68

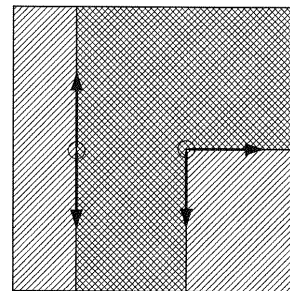


Fig. 68

【図 69】

図 69

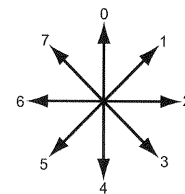


Fig. 69

【図 70】

図 70

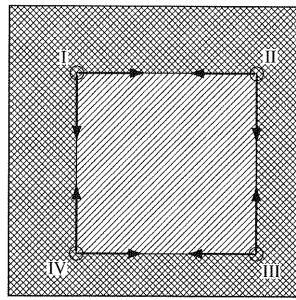


Fig. 70

【図 71】

図 71

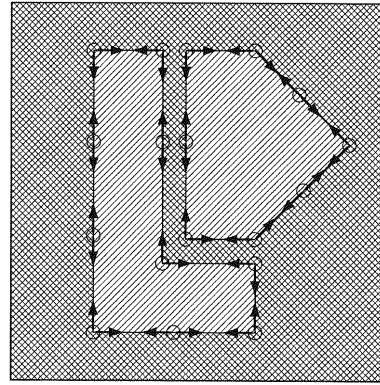


Fig. 71

【図 72】

図 72

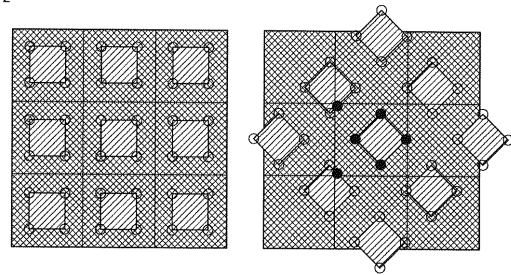


Fig. 72

【図 73】

図 73

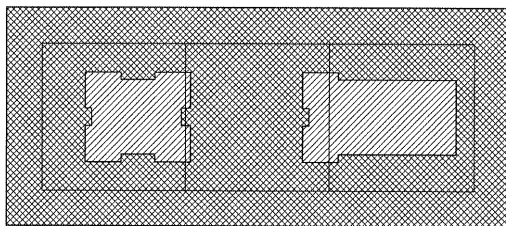


Fig. 73

【図 74】

図 74

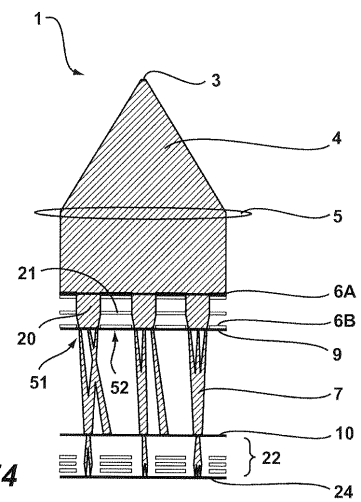
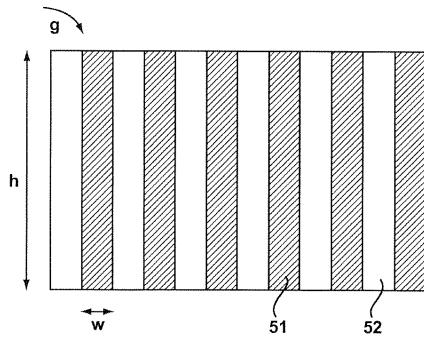


Fig. 74

【 図 7 5 】

図 75

**Fig. 75**

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No
PCT/IB2010/052217

A. CLASSIFICATION OF SUBJECT MATTER
INV. H01J37/317

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01J G03F H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 1 523 027 A (HITACHI HIGH TECH CORP [JP]; CANON KK [JP]) 13 April 2005 (2005-04-13) paragraph [0051] - paragraph [0064] figures 4,5	1-21
X	WO 2007/013802 A (MAPPER LITHOGRAPHY IP BV [NL]; STEENBRINK STIJN WILLEM HERMAN [NL]; KR) 1 February 2007 (2007-02-01) the whole document	1-21
X	US 4 467 211 A (SMITH DONALD O [US] ET AL) 21 August 1984 (1984-08-21) column 13, line 5 - column 21, line 18 figures 6,8-11	1
	----- -/-	

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents :

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- *Z* document member of the same patent family

Date of the actual completion of the international search

6 September 2010

Date of mailing of the international search report

05/11/2010

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Authorized officer

Aguilar, Maria

INTERNATIONAL SEARCH REPORT

International application No
PCT/IB2010/052217

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 05 275322 A (FUJITSU LTD [JP]) 22 October 1993 (1993-10-22) abstract figures	1
X,P	----- "Multi-tone rasterization, dual pass scan, data path and cell based vector format" IP.COM JOURNAL, IP.COM INC., WEST, HENRIETTA, NY, US, 22 May 2009 (2009-05-22), XP013131917 ISSN: 1533-0001 page 46, paragraph B1 - page 48, paragraph B25 page 1 - page 41 figures	1-21
A	----- WO 01/35165 A1 (ION DIAGNOSTICS INC [US]) 17 May 2001 (2001-05-17) page 5, line 8 - line 23 page 7, line 23 - page 9, line 7 page 29, line 13 - line 26 figures 1, 2, 9 -----	1

INTERNATIONAL SEARCH REPORT

International application No.
PCT/IB2010/052217**Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)**

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:
2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

see additional sheet

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

1-21

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

International Application No. PCT/IB2010 /052217

FURTHER INFORMATION CONTINUED FROM PCT/ISA/ 210

This International Searching Authority found multiple (groups of) inventions in this international application, as follows:

1. claims: 1-21

Closest prior art (EP1523027): multiple charged particle beam lithography exposure method in which the non-functional (failing) beamlets are identified; a first subset of valid beamlets are allocated for exposing a first portion of the wafer and a second subset of valid beamlets are allocated for exposing a second portion of the wafer.
Special technical feature, taking due account of the description and drawings: particular type of preparation of the beamlet control data.
Technical effect of this special technical feature: enabling parallel processing.
Problem solved by this special technical feature: increased throughput.

2. claims: 22-26

Closest prior art (WO 01/35165): multiple electron beam charged particle lithography system comprising an electron beam column with a blanking array, a data path controlling the blanker array and a wafer positioning system.
Special technical feature, taking due account of the description and drawings: data path comprising a plurality of channels connected to the blanker and a processing unit being switched between different channels.
Technical effect of this special technical feature: reduction of number of processing units.
Problem solved by this special technical feature: simplification of the system.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/IB2010/052217

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
EP 1523027	A	13-04-2005	CN 1607640 A	20-04-2005
			JP 4313145 B2	12-08-2009
			JP 2005116743 A	28-04-2005
			US 2005072941 A1	07-04-2005
WO 2007013802	A	01-02-2007	CN 101228608 A	23-07-2008
			EP 1913623 A1	23-04-2008
			JP 2009503844 T	29-01-2009
			KR 20080031427 A	08-04-2008
US 4467211	A	21-08-1984	NONE	
JP 5275322	A	22-10-1993	JP 3145491 B2	12-03-2001
WO 0135165	A1	17-05-2001	NONE	

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(74)代理人 100095441

弁理士 白根 俊郎

(74)代理人 100084618

弁理士 村松 貞男

(74)代理人 100103034

弁理士 野河 信久

(74)代理人 100140176

弁理士 砂川 克

(72)発明者 ファン・デ・ベウト、テウニス

オランダ国、エヌエル - 3 8 3 1 ジェイデー・レウスデン、ガリシエ 1 4

(72)発明者 ウィーランド、マルコ・ヤン - ヤコ

オランダ国、エヌエル - 2 6 1 2 ジーデー・デルフト、ベレストラート 2 3

Fターム(参考) 2H097 AA03 CA16 GB04 LA10

5C034 BB10

5F056 AA33 CA01 CA02 CA05