公告本

303468

申請日期	82.9.16
案號	82111307
類別(Int.Cl.)	G11C 7/00

A4
C4

（以上各欄由本局填註）

303468

發明 新型 專利說明書

一、發明 新型 名稱	中文	具備猝發模式之高速半導體記憶體
	英文	HIGH SPEED SEMICONDUCTOR MEMORY WITH BURST MODE
二、發明 創作 人	姓名	藤田真盛
	國籍	日本
	住、居所	東京都港區芝五丁目7番1號 日本電氣株式會社內
三、申請人	姓名（名稱）	日本電氣股份有限公司 (日本電氣株式會社)
	國籍	日本
	住、居所（事務所）	東京都港區芝五丁目7番1號
	代表人姓名	金子尚志

裝 訂 線

經濟部中央標準局員工消費合作社印製

（由本局填寫）

承辦人代碼：	A6 B6
大　　類：	
ＩＰＣ分類：	

本案已向：

國（地區）　申請專利，申請日期：　　案號：　　，□有　□無主張優先權

日本　　1995年　9月20日 特願平7-266363

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 1 ）

發明背景：

發明領域

本發明係有關一種半導體記憶體元件，尤其是一種使用在具有猝發模式之高速半導體記憶體元件中的讀取系統。

相關技術說明

近年來，在記憶體及CPU(中央處理單元)所使用的DRAM(動態隨機存取記憶體)中，速度差已是一項令人困擾的問題。性能尚未充份改進的DRAM無法符合速度已增加極快的CPU之要求（即DRAM無法克服速度上的差異）。因此之故，在使用高速CPU的電腦系統中，雖然記憶體容量與主記憶體比較顯得相當小，但在CPU晶片的內或外側仍需要連接一高速存取緩衝記憶體，用於處理上述的速度差。

高速存取緩衝記憶體保留儲存在主記憶體中資料之一部份資料的拷貝，此部份資料的拷貝以具有連續位址的多個資料為一單元，其中該單元稱為一"頁"。

一般CPU存取高速存取緩衝記憶體。當在高速存取緩衝記憶體中缺乏所需要的資料時，CPU從主記憶體中拷貝新資料予高速存取緩衝記憶體。在本例中，在一頁單元中製作拷貝。

因此，對於高速存取緩衝記憶體，必需要建構系統之主記憶體的記憶體元件的功能可製作具有連續位址之資料線的高度輸入／輸出。

在上述的例子中，使用一方法，即在記憶體中只設定一

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（２）

導引位址使包含此一位址之資料串的輸入／輸出作業可與從外部輸入的參考時脈信號同步。此方法稱為"猝發轉換"方法，且由一位址所指定可輸入／輸出的資料之長度稱為"猝發長度"。具有此猝發轉換的記憶體之典型範例為同步DRAM。

大致地，應用一般目的DRAM(具第一頁模式的DRAM)，從位址指定至資料向外部輸出的時間間隔，即位址存取時間在高速下約20ns(＝50MHz)。

在同步DRAM中，存取資料所需要的時間基本上與一般目的之DRAM所需要的時間相同。然而，經由同時外部處理及內部處理多個資料而加速到100MHz，藉此很明顯地資料處理時間已縮短。在此狀態下資料輸入／輸出的頻率，即參考時脈的頻率稱為"猝發轉換頻率"。

然而，在同步DRAM及一般用的DRAM中，基本上位址存取時間相同，即對單一資料，內部處理時間基本上與一般用於DRAM相同，此意謂著，從請求讀取之命令輸入所需要的時間至資料輸出的時間一般為多個參考時脈循環。

從用於讀取之請求命令製作的時間至輸出資料向外部輸出的時間稱為一"/CAS(CAS(行位址選衝脈波)桿)延遲"(在整個說明書中"/"指示一反轉，/CAS意謂CAS之反轉，且CAS在低動作邏輯準位)。

一般提供同步DRAM一記憶體電路，以設定稱為"模式暫存器"的性能狀態，且其使如/CAS延遲之狀態的設定可由一

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（3）

從外部輸入之預定的模式暫存器設定命令執行。

之所以從外部設定以配置/CAS延遲的原因為：當同步DRAM的猝發轉換頻率即參考時脈的頻率，在頻率降低後使用，此係因應用同步DRAM之最高猝發轉換頻率之參考時脈，其他線路或基體線路不作業，則可縮短第一資料輸出的時間，此係在參考時脈周期及/CAS延遲之間的關係滿足位址存取時間的限度內，經由降低/CAS延遲而達成此一作業（此時參考時脈頻率相當低，不需要增加/CAS延遲。反次，當位址存取時間在預定的狀態下，為了增加最高猝發轉換頻率，必需增加/CAS延遲）。

習知技術中多內部處理技術之實例包含管線方法及預取方法。

圖1的時計說明在習知的管線方法中的操作。第1圖示一時計波形，其中當管線階段數為4，/CAS延遲為4且猝發長度為4時讀取作業執行兩次。

在此管線方法中，一序列的內部處理分成多個階段，且依據參考時脈在各階段中依序處理與一資料相關的資訊。

第1圖示與四階段管線方法有關的習知例，在第一階段中產生一內部行位址YADD，第二階段中由領先解碼內部行位址信號YADD產生一預先解碼行位址信號，在第三階段中讀取由信號PYADD指定的位址資料且向輸入/輸出匯流排IOBUS輸出，在第四階段中，在資料輸入/輸出匯流排IOBUS上的資料從一DQ腳向晶片外部輸出，因此總階數為四。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（4）

即，在參考時脈ICLA(從外部參考時脈CLK產生的內部時脈)的時脈循環T1-T2中，在用於產生內部行位址YADD信號的第一階段中處理的第一資料之位址Aa0(稱為輸入位址信號ADD)於參考時脈ICLK的下一循環T2-T3期間在第 2階段中加以處理。同時，在第二階段中第二資料的位址Aa1。在各階段中，同時處理因此對應階段數的資料平行處理。

因為各階段經由對應的參考時脈ICLK控制，不可能在一階段中與多個資料相關的資訊同時出現，結果，各資料與參考時脈ICLK同步輸出，而不會產生任何內部衝突。

第2圖的時計圖用於說明習知預取(prefetch)方法的讀取作業。第2圖所示的時計波形其例為：當平行處理(預取數)數為2，/CAS延遲為3，且猝發長度為4時，延遲兩次的讀取作業。

在預取方法中，內部處理平行執行，資料由輸入/輸出預取，且執行平行串列資料轉換。即提供用於資料之內部處理的多個資料，且基本上同時對多個資料同時執行相同的處理。雖然，因為無法同輸出資料，多數資料同時處理必需要先接受平行串列轉換，且導致多個串列資料依據參考時脈依序輸出。

即為了在轉換之後輸出資料，在轉換之前，需要平行處理相同數的參考時脈。因此，在平行串列轉換之前，應用與平行處理相同數之參考時脈執行該項處理，則可不中斷輸出該資料。

如第2圖所示，應用兩循環T1-T3的參考時脈，向資料輸入

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（5）

/輸出匯流排IOBUS輸出的資料讀取從外部位址ADD接收處執行。此時，讀取的資料為Da0及Da1兩位元，在此之外，在參考時脈之T3-T4循環中，資料Da0向外部輸出，且在循環T4-T5期間輸出資料Da1。

如上文所說明者，管線方法及預取方法為在具有高猝發性能的記憶體（如同步DRAM）中增加猝發轉換頻率之最大性能頻率的方法。

在管線方法中，為了增加最大猝發轉換頻率，必需要增加管線的階段數，且降低各階段的處理時間，因此允許增加平行處理，雖然，因為在DRAM中內部處理的關係，一取得階段可分開的地方有限。而且，對於最小參考時脈循環，必需對需要最大時間的階段計時。而且，因為連接各階段之常態性事務增加，實際上階段數限制為3或4。

而且，為了增加預取方法中的最大猝發轉換頻率，將平行處理的資料數增加。因此之故，必需要有與平行處理數相同的電路數，且此意謂著電路積體變大，為了達到此一目的，晶片面積也跟著變大。

在預取方法中，資料必需要經由平行處理成單元輸出，使得少於一平行處理的任何資料無法處理。

因此之故，平行處理程序的增加導致功能自由度降低，且使用此功能的電腦系統的性能將降低。因此，平行處理數即多重處理限制為2。

在上文中說明的兩方法中，可經由增加資料的多重性而

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 6 ）

加速資料處理。雖然，在上述兩方法中多重程序有其限制，即最大猝發轉換頻率存在一定的限制。

發明概述

因此，本發明的目的即克服上述習知技術上的問題，且提供一可在猝發模式中達成高速讀取性能的半導體記憶體元件。

依據本發明的設計理念，本發明提供一種半導體記憶體元件包含：

一用於輸入參考時脈的輸入電路；

一輸入緩衝器電路，用於與該參考時脈同步閂鎖外部輸入信號；以及

一輸出緩衝器電路，用於與該參考時脈同步輸出儲存資料至外部，

該輸入緩衝器電路及該輸出緩衝器電路的設計可使得其可對參考時脈之對應不同時脈緣作業，以處理相同的儲存資料。

較佳地，此半導體記憶體元件包含一內部讀取電路系統，此系統依據該經由輸入信號讀取該儲存資料，且例外的情況為使得緩衝器電路基於該輸入緩衝器電路作業的時脈緣而單獨作業。

而且，較佳地，此半導體記憶體元件包含一緩衝器電路，其暫時儲存該為內部讀取電路系統所讀取的資料，直到該儲存資料為該輸出緩衝器輸出為止，該緩衝器電路置於

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 7 ）

該內部讀取電路系統及該輸出緩衝器電路之間。

而且，該緩衝器電路由多個並聯的記憶體電路架構，以經由輸入控制信號聯控制資料輸入，且經由輸出控制信號控制資料輸出。

依據本發明的設計理念，本發明提供一種具有猝發移轉功能的半導體記憶體元包含：

一電路系統，此系統基於參考時脈信號從位址信號經由一內部行位址，且經由一感測放大器及讀取放大器從記憶體晶胞中讀取資料，並向輸入／輸出匯流排傳送，其中一預先解碼之行位址經一解碼器連接一記憶體晶胞陣列的選擇線，由至少一管線系統及一預取系統中之一系統配置該電路系統，該管線系統(pipeline system)為一多個處理作業在一相同循環中執行的系統，且該預取系統為一多個信號路徑平行提供的系統；以及

一先進先出緩衝器電路，位在該輸入／輸出匯流排及一輸出緩衝器電路之間，且配置此先進先出緩衝器電路使得來自該記憶體晶胞的資料，在該資料到達該先進先出緩衝器電路之前，此資料與該參考時脈進行不同步處理。

圖式簡述

由下文中的說明可更進一步了解本發明中實施例說明之目的，特徵及優點，閱讀時並請參考附圖，其中：

第1圖之時計圖用於說明習知技術中的管線系統；

第2圖之時計圖用於說明習知技術中的預取系統；

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 8 ）

第3圖的方塊圖用於顯示本發明第一實施例之元件的架構；

第4圖之電路圖用於顯示本發明第一實施例的元件中所使用之先進先出FIFO緩衝器的架構；

第5圖之時計圖用於說明本發明第一實施例之元件的作業；

第6圖之時計圖用於說明本發明第一實施例之元件的作業；

第7圖之時計圖用於說明本發明第一實施例之元件的作業；

第8圖的方塊圖用於顯示本發明第二實施例之元件的架構；

第9圖之電路圖用於顯示本發明第二實施例的元件中所使用之FIFO緩衝器的架構；

第10圖之時計圖用於說明本發明第二實施例之元件的作業；

第11圖之時計圖用於說明本發明第二實施例之元件的作業；

第12圖之時計圖亦用於說明本發明第三實施例之元件的作業；

第13圖的方塊圖用於顯示本發明第四實施例之元件的架構；

第14圖之電路圖用於顯示本發明第四實施例的元件中所延遲之FIFO緩衝器及資料輸出緩衝器的架構；

第15圖之時計圖用於說明本發明第四實施例之元件的操作；

第16圖的方塊圖用於顯示本發明第五實施例之元件的架構；

第17圖之電路圖用於顯示本發明第五實施例的元件中所延遲之FIFO緩衝器及資料輸出緩衝器的架構；

第18圖之時計圖用於說明本發明第五實施例之元件的作業；

第19圖之時計圖用於說明本發明第六實施例之元件的作業；

本發明之較佳實施例

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（９）

本發明的較佳實施例將於下文中加以說明，並請參考附圖。

第3圖的方塊圖，示本發明第一實施例之元件的配置。第4圖之電路圖示包含在第3圖中的元件之先進先出(FIFO)暫存器的配置。第5至7圖之時計圖，用於說明本發明第一實施例之元件的作業。

第一實施例的配置將於下文中加以說明，並請參考附第3至7圖。該說明中的相關例中行位址為Y0-Y8，最大猝發長度為"8"，且最大／CAS延遲（延遲）為"5"，但此作為舉例之用，任何變動並不會影響本發明的特徵。而且，對於排(bank)數及DQ數（輸入／輸出位元數）並沒有任何參考，此與本發明並不見得具有直接的相關性。

現在請參考第3圖，內部時脈產生電路(CGEN)101產生依據從外部輸入的參考時脈信號CLK及時脈致能信號CKE中產生內部參考時脈信號ICLK。如果當參考時脈信號CLK的上升端輸入時，CKE信號在低準位（偶數，在循環T6時），可從第6圖中看到，不會經由對應下一循環之CLK信號的ICLK信號。

命令解碼器(CDEC)於內部參考時脈信號ICLK的時脈緣取出外部命令信號／RAS(RAS(Row Address Strobe)bar)，／CAS(CAS bar)，／WE(Write Enablw bar，及／CS(Chip Select bar)，該解碼器解碼應用來自外部的信號組合所給予的命令。在同步DRAM中，雖然有多種命令如啟動命令，第3圖只顯示RW信號，此信號對應讀取／寫入命令，以及

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（10）

MDRS信號，此信號對應模式緩衝器設定命令，如與本發明相關的信號。

在猝發周期期間，當讀取命令或寫入命令從外側給定時，而由命令解碼器外部RW信號的例子中，猝發計數器(BCNT)103外部一信號PEN。然後，猝發計數器108啟動計數器，使得計數器依據下一內部參考時脈信號ICLK操作，且在猝發周期期間持續輸出PEN信號（猝發長度的ICLK循環數周期）。

內部行位址產生電路(YBUF)104取出外部行位址ADD信號，此信號同時輸出作為輸入的讀取／寫入命令，且產生與外部行位址ADD信號相同值的信號作為內部行位址YADD信號，且在下一猝發周期期間，產生對應的內部行位址YADD信號，當輸入參考時脈ICLK信號之一端時，此YADD信號對應ICLK循環。

行位址預解碼器(PYDEC)105從多對位址YADD中產生預先解碼的行位址PYADD。

記憶體晶胞陣列(MARR)120為一DRAM核心。動作為行位址PYADD所指定的行選擇線YSW，且所需要的記憶體晶胞資料（已從連接行選擇線YSW之感測放大器(SA)中讀取出來並經讀取放大器113饋入數據輸入／輸出線112）。

FIFO緩衝器106為一讀取時脈同步輸出控制FIFO緩衝器（先進先出暫存器）。

在本發明之元件的晶片中，因為存取時間相當短（高速）

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（11）

，到目前為止來自輸出命令的處理可完全與讀取時脈同步。雖然，輸出的控制與讀取時脈同步，該FIFO緩衝器解決由如時脈停止所產生的問題。

第4圖示FIFO緩衝器106的電路圖。如圖4所示，FIFO緩衝器由四個緩衝器REG0-REG3所構成。

在此實施例中，最大的/CAS延遲為"5"，如果四個未輸出資料可保持在最大值，則此設計即足夠。此係如果輸入讀取時脈以從MARR120讀取更多的資料，則資料必需要輸出至晶片外側，因此到最後可不需要保留輸出資料，且用於保留此數據的緩衝器可用於保留新近從MARR120讀取的資料。

各個緩衝器由正反器電路構成，且具有一輸入端及一輸出端。輸入端連接共同資料輸入/輸出匯流排（IOBUS112），使得輸入端為一FIFO緩衝器資料閂鎖選擇線DSEL所控制，且IOBUS的資料只有為緩衝器所閂鎖，該緩衝器由動作DSEL信號而加以控制。

而且，輸出端連接共同資料輸出緩衝器（DOUT）110因此輸出端為一FIFO緩衝器輸出控制線OSEL所控制，且FIFO緩衝器106的資料只有為緩衝器輸出，該緩衝器由動作OSEL信號而加以控制。

現在請參考圖3，一FIFO緩衝器輸入控制計數器（DCNT）107控制FIFO緩衝器106各緩衝器的輸入信號。DCNT107為一循環計數器，其狀態內提供有與FIFO緩衝器106相同之緩衝

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（12）

器數，且與內部參考時脈ICLK同步取出0→1→2→3→0→.7.....之值，因此動符合對應值之DSEL信號。所以，在FIFO緩衝器106中，可能設計顯示DCNT107之值的緩衝器之資料輸入/輸出暫存器(IOBUS)112之輸入。

一FIFO緩衝器輸出控制計數器(OCNT)108將於下文中加以說明FIFO緩衝器中各緩衝器的輸出。OCNT108亦為一計數器，其狀態數與FIFO緩衝器之緩衝器數相同，且與內部參考時脈ICLK同步取出 0→1→2→3→0→...之值，因此動作符合對應值的OSEL信號。所以，在FIFO緩衝器中，OCNT108顯示之緩衝器值從FIFO緩衝器中輸出。

DCNT107及OCNT108彼此獨立作業。

時計產生電路(TG)109從內部讀取時脈ICLK(此信號如RW信號及PEN信號)外部時計信號，此信號用於如讀取放大器(RAMP)113及一DCNT107之電路之作業，而相位符合從記憶體晶胞陣列(MARR)120中讀取的資料。

資料輸出緩衝器(DOUT)110為一輸出緩衝器電路，其輸出資料至晶片的外側，該資料從FIFO緩衝器106中輸出。

資料輸出緩衝器(DIN)111為一輸入緩衝器電路，其與寫入操作同時閂鎖從外部輸入的資料，且將此資料向資料輸入/輸出匯流排(IOBUS)112輸出。

本實施例之記憶體元件的作業將於下文中加以說明，並請參考附圖。來自外部的輸入信號與已知的習知同步DRAM相同。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（13）

第5圖示一作業，其中時脈致能信號CKE並沒有導致時脈停止（亦即，使得時脈信號變為低準位，而使得下一循環的參考時脈信號變為無效，並不產生對應此CLK的內部參考時脈信號ICLK，因此，不執行對應此CLK的內部操作），且在每4個時脈時，輸入兩次讀取命令，而/CLS延遲為"5"，且猝發長度為"4"。

第6圖為作業的時計圖，其中時脈停止，而其餘的狀態與第5圖所說明之作業相同。第7圖為作業的時計圖，其中不輸入模式暫存器設定命令。

用於使CLK信號致能的外部參考時脈信號CLK及時脈致能信號CKE從外部提供。內部參考時脈信號ICLK從由內部時脈產生電路（CGEN）10的信號中產生。

如第6圖所示，甚至當從外部提供外部參考時脈信號CLK，仍不會產生內部參考時脈信號ICLK，除非提供時脈致能信號CKE，因此，甚至在固定的周期內提供外部參考時脈信號CLK，內部參考時脈信號ICLK不需要變為固定周期。除了內部時脈產生電路（CGEN）101外，外部參考時脈信號CLK不作業其他電路，而是為內部參考時脈信號ICLK的信號所作業。

從外部提供外部命令信號（/PAS，/CAS，/WE，/CS）。在第5，6，7圖中一起顯示這四個信號。

"讀取"指示輸入一讀取命令。實際上，/RAS為高邏輯準位。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（14）

而且，"靜止"指示輸入模式暫存器設定命令。實際上此時/RAS為低邏輯準位，/CAS為低邏輯準位，/WE為低邏輯準位，且/CS亦為低邏輯準位。

參考時脈信號內部讀取時脈ICLK將各個信號收入內部，且將與其結合的命令解碼。

當輸入模式緩衝器設定命令，外部MDR信號，且當輸入讀取命令或寫入命令時，產生RW信號。

從外部提供外部位址信號ADD。當輸入讀取命令時ADD信號的Aa0指示導引猝發資料之位址。

當由輸入讀取命令產生RW信號時，由行位址緩衝器電路(YBUF)104閂鎖外部位址信號ADD，因此產生內部行位址信號YADD。

此時，內部行位址信號ADD值與外部位址信號ADD之值相同，且指示引導猝發資料位址。

當猝發計數器(BCNT)103設定時，辨識內部參考時脈信號ICLK的循環是否為猝發作業之引導，期中在ICLK信號之猝發長度的下一循環中，產生猝發致能信號PEN。

在下一周期期間(其中PEN信號有效)，依據ICLK行位址緩衝器電路(YBUF)104產生信號Aa1，Aa2，...，作為次於第二猝發位元的內部行位址信號。

產生的內部行位址信號YADD經由行預解碼器(PYDEC)105預解碼，因此產生幾組預先解碼之行位址信號PYADD。

將預先解碼的行位址信號(PYADD)輸入行解碼器(YDEC)

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（15）

121，且致動行選擇線YSW。

結果，從感測放大器(SA)中經讀取放大器(RAMP)讀取如DaO的資料予輸入/輸出匯流排(IOBUS)112，其中連接具所需要位址的記憶體晶胞。

執行此點的資料路徑控制使得相對於引導猝發資料，該項控制只基於在命令輸入時內部參考時脈信號ICLK之邊緣且相對於次於第二猝發位元的資料進行，該控制只基於次於命令輸入之對應的內部參考時脈信號ICLK邊緣。

即，直到從命令輸入的資料向輸入/輸出匯流排(IOBUS)輸出前，無論讀取時脈的循環為何(除非/CAS延遲不超過)參考時脈與資料控制無關。

因此，在本實施例中，如上文中所說明，讀取控制系統部份與/CAS延遲完全無關。

而且，而本實施例中，沒有任何機構可令插入資料路徑的內部參考時脈信號與內部處理同步。

雖然，在本實施例中，與多個資料有關的資訊在取得的時間(循環時間)內處理(一循環時間)，因此此一系統為管線(pipline)系統。

而且，當內部參考時脈信號ICLK的頻率變高時，可能在內部處理期間，在前一資料處理完成之前，下一資料進入。例如，可能在資料將向資料輸入/輸出匯流排(IOBUS)112輸出之前，決定PYADD改變為下一位址。

在上例中，有可能產生誤動作，雖然在傳統的例子中此

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（16）

亦為真，所以這並不是本實施例特有的問題。在本實施例中，在如習知技術之例子中於各階段之間防止內部參考時脈信號ICLK之同步操作的處理並不需要，在此狀況下，最大作業頻率變得較高。

向資料輸入/輸出匯流排(IOBUS)112輸入的讀取資料輸入FIFO緩衝器106的暫存器，此FIFO緩衝器106經FIFO緩衝器輸入控制計數器(DLNT)107加以顯示，該計數器為時脈產生電路(TG)109經由將於下文中加以說明的適當機構加以控制。

輸入暫存器的資料經由OSEL信號參考時脈信號內部參考時脈信號ICLK送至資料輸出緩衝器(DOUT)，在(/CAS延遲-1)循環之後，該資料從用於讀取出資料的內部參考時脈信號ICLK的時脈緣向時脈緣傳送。

現在，說明經由DCNT107及OCNT108控制FIFO緩衝器106。

使用輸入模式暫存器設定命令的ICLK信號作為參考使啟動DCNT107及OCNT108。模式暫存器命令為執行啟動且設定同步DRAM作業模式的命令，且可保證在任何作業之前輸入。

如第7圖所示，當在時間(循環)T1時輸入模式暫存器設定命令時，在從ICLK的邊緣開始經一段預定時間的延遲之後，設定DCNT107之值至預定值(在此處為"0")，以接收模式暫存器設定命令。所設定之預定時間的延遲基本上與DCNT107之計數相同，DCNT107係當內部參考時脈信號ICLK輸入時，依據用於接收讀取命令(Read)的內部參考時脈信號之

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（17）

時脈端，從MARR12將FIFO緩衝器106中讀取出的資料置入資料輸入/輸出匯流排(IOBUS)，此將於下文中加以說明。

而且，在從用於接收模式暫存器設定命令的內部參考時脈信號ICLK的時脈緣之後的(/CAS延遲-1)循環數之後，在時間T4時設定OCNT108(在此為"0")作為DCNT107的原始值。

如第5圖所示，(/CAS延遲-1)之數等於在時間T5時OCNT時來自FIFO緩衝器106中從MARR讀取出的資料輸出之計數，此計數參考時脈信號在時間T1時，用於接收輸入之讀取命令之ICLK的邊緣。

因此，在完成啟動之後DCNT107及OCNT108之間的關係為，假設在已啟動之內部參考時脈信號ICLK之時脈緣於時間T1時輸入讀取命令，從MARR120中讀取出來的命令放入REGO中，且在讀取命令輸入的循環之後(/CAS延遲-1)加以輸出。

此後，經由內部參考時脈信號ICLK的輸入而計數DCNT107及OCNT108。

在此例中，為了接收輸入/輸出匯流排(IOBUS)112之資料值，在與內部參考時脈信號ICLK的預定延遲時間處計數DCNT107。

而且，為了在(/CAS延遲-1)循環之後輸出資料，在從DCNT107計數之內部參考時脈信號ICLK之時脈緣的(/CAS延遲-1)循環後，由時脈緣計數OCNT108。

經由如上文中所說明控制，在輸入模式暫存器設定命令

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（18）

之後，如第6圖所示，在相對於對應資料開始的關係可對於外部參考時脈信號CLK中任何頻率改變或由需要所產生的時脈之出現與否而加以維持。

如第6圖所示，經由在時間T1時輸入的讀取命令可從記憶體晶胞陣列中讀取的資料Da0經DSEL0信號放入FIFO緩衝器106的暫存器REG0中，且依據在時間T5時時脈信號CLK的時脈緣輸入而經由OSEL0信號輸出。

而且，經由在時間T7時，需要CKE的低輸入，當從時間T2之時脈緣讀取出的資料Da1使用時，在晶片外的時間從時間T7至T8延伸一循環，但與沒有時脈停止的例子比較之下，從OSEL1至OSEL2之改變從T7至T8延伸一循環。

此時，雖然下一資料Da2置入FIFO緩衝器106，此係基於在時間T3之時脈緣上控制的結果，且時脈停止沒有任何負載。因此，資料Da2置入FIFO緩衝器106的暫存器REG3，而不會與資料Da1產生任何衝突。

即相對於一資料，同一暫存器均用於FIFO緩衝器106的輸入及輸出，且此保證可控制正確之資料流。因此，絕對沒有控制系統其可有助於讀取命令之輸入，以用於FIFO緩衝器106之暫存器選擇。

因此之故，在大約取得頻率的存取時間內的內部參考時脈信號ICLK的/CAS延遲，在該時計上將資料輸入/輸出匯流排（IOBUS）112之資料儲存在信號DSEL和OSEL的重疊處。

此時，輸入資料只簡單經過FIFO緩衝器106內部且到達資

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（19）

料輸出緩衝器（DOUT）110。所以，位址存取時間之常態事務使資料輸出與內部參考時脈信號CLK同步只延遲通過FIFO緩衝器106的時間，因此常態性事務所佔用的時間極短。

此後，從FIFO緩衝器106輸出的資料經由資料輸出緩衝器（DOUT）110輸出至晶片外側，如此完成讀取作業序列。然後資料使用在時脈緣之時間處，從用於讀取之內部參考時脈信號ICLK至/CAS延遲之後。

如上文中所說明，在此第一實施例中，所需要的最小電路與資料路徑有關，其中此一電路並不需要，有可能實現一高速處理系統，其中因為此系統配置一機構以停送資料，無論管線操作為何，相對於位址存取時間的常態性事務幾乎沒有。

而且，沒有必要經由如/CAS延遲而改變遷移控制的時間，且在任何/CAS延遲下ICLK信號的最大頻率純為DRAM核心部份的作業頻率，因此可使最大猝發傳輸頻率上升。因此之故，電路亦可簡化而導致晶片面積下降。

在此第一實施例中，由輸入模式暫存器設定命令而執行啟動FIFO緩衝器控制，雖然，甚至經由電源切入或起動命令輸入（在讀取命令輸入前的任何情況下將發生此一現象）執行上述作業時，仍不會產生任何問題。

第8圖的方塊圖示本發明第二實施例之裝置的配置。第9圖的電路圖示先進先出（FIFO）緩衝器的配置，此緩衝器包含在第8圖所示的裝置中。第10及11圖為用於經由本發明第二實施例

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（20）

之裝置的作業之時計圖。

將於下文中加以說明第二實施例的配置，並請參考附圖。在說明例中行位址為Y0-Y8，最大猝發長度為"8"，最大/CAS延遲為"5"，且預取數為"2"，但甚至上述數字改變，系統仍不受影響。而且，排數及DQ數（L/輸出位元數）並不做為任何參考之用，因此與系統無關。

現在請參考第8圖，內部時脈產生電路（CGEN）101從參考時脈信號CLK及從外部輸入的時脈致能信號CKE產生內部參考時脈信號ICLK。如果當參考時脈信號CLK的上升端輸入時，CKE信號降低，相對於下一循環的ICLK信號將不會產生，如第1圖中所示者。

在內部參考時脈信號ICLK的時脈緣接收外部命令信號/RAS，/CAS，/WE及/CE，解碼與來自這些信號組合所取得的命令，且產生相對於相對命令的內部信號。在同步DRAM中，雖然有多種命令，如啟動命令，第8圖中只示RW信號，此信號對應於模式暫存器設定命令，如那些與本發明相關之命令。

在猝發期間，當讀取命令或寫入命令由外部給定時RW信號由命令解碼器產生的情況下，猝發計數器（BCNT）103產生一信號PEN。然後，猝發計數器103啟動計數器，猝發計數器依據下一內部參考時脈信號ICLK操作，且在猝發周期期間，持續輸出PEN信號。

內部行位址產生電路（YBUF）104接收外部從位址ADD信號

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明(21)

，此信號與讀取/寫入命令同時輸入，如同內部行位址YADD信號，產生如同外部行位址ADD信號相同值的內部行位址YADD信號，且在下一猝發周期期間，當輸入參考時脈信號ICLK的時脈時，外部相對於ICLK循環之對應內部行位址YADD信號。因此，如第10圖所示，在第一時脈中製作接收讀取命令之內部參考時脈信號ICLK的時脈時，在猝發輸出數據之位址外，產生對應於內部參考時脈信號ICLK之內部行位址信號YADD，即猝發輸出之奇數位址，雖然，並沒有產生相對於Aa1，Aa3，...(為資料的偶數位址)的時脈的內部行位址信號YADD，結果，維持了內部行位址信號之值，此值對應正前一奇數位址之內部參考時脈信號ICLK。因此，以2循環的內部內部參考時脈信號ICLK作為一單元執行次於周期行位址信號YADD產生後的位址系統信號操作。

行位址預解碼器(PYDEC)105從內部行位址YADD中產生多對的預猝發轉換頻率位址PYADD。同時，產生向下一行位址輸出偶數猝發資料的行位址Aa1等。及由內部行位址信號YADD所指示的奇數猝發資料之行位址Aa0等。但是，結合中的變動視猝發長度及猝發模式之值而定，在同步DRAM中猝發輸出的一串資料之行位址序列一直為交替的奇數/偶數，即在奇數及偶數間的交替關係中。

因此，用於達到已預先解碼的8位元猝發，需要有從低3位元Y0/1/2中預先解碼產生的超出8行位址信號PYADD(2的3次方)，同時選擇的總數為2，其包含4個偶數位址(Y0=0，

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明(22)

PYADD(E))之一及4個奇數位址之1(Y0=1, PYADD(0))。其他不含在Y0/1/2中的位址位元均位在猝發偶數及奇數處，使得可共用預解碼行位址信號PYADD。

記憶體晶胞陣列(MARR)120為DRAM核心。此些陣列可分為偶數行位址次陣列MARR(E)120-1，及相對於於各排及DQ的奇數行位址次陣列MARR(0)。

由具有奇數行位址(Y0=1)的記憶體晶胞構成MARR(0)120-2且由具全部偶數行位址(Y0=1)的記憶體晶胞構成MARR(E)。

經由同時在行位址預先解碼(PYDEC)105結構外部的偶數/奇數預先解碼位址PYADD，同時動對應奇數/偶數MARR 120-1, 120-2的行選擇線YSW，且同時將向連接行選擇線YSW之感測放大器SA讀取出來時所需要的記憶體晶胞資料讀取出來，並經讀取放大器(RAMP)113-1, 113-2向對應的偶數行位址資料輸入/輸出匯流排IOBUS(E)112-1及奇數行位址資料輸入/輸出匯流排IOBUS(0)傳送。

因此，整體而言在DRAM核心中，每個DQ中的兩資料在各讀取出來之作業中同時讀取。因此，當使用內部參考時脈信號ICLK的兩循環執行操作時，可能對連續資料輸出讀取資料。

FIFO緩衝器106'為一參考時脈同步輸出控制FIFO緩衝器。在此第二實施例中，為了加速存取時間，在命令輸入之後一處理(將於下文中加以說明)相對於參考時脈完全不同步執行。但是，因為輸出控制與參考時脈同步，可能由

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（23）

FIFO緩衝器106'防止例如由於時脈停止所產生的資料衝突。

而且，在此第二實施例中，FIFO緩衝器106'亦具有平行至串列轉換之功能，此轉換必需要有預取操作。

現在，將於下文中加以說明FIFO緩衝器106'之配置，並請參考附第9圖。

如第9圖中所示者，由五個暫存器REG0-REG4架構FIFO緩衝器。在此第二實施例中，最大/CAS延遲為"5"，使得當不考慮執行預取操作時，如果有四個未輸出資料可保留在最大值時即已足夠。此係因為與/CAS延遲的關係，資料必需要向晶片外側輸出，使得不需保留輸出的資料，而且已用於保留此資料的位元可用於保留從MARR讀取的資料。

雖然，在此第二實施例中，無論事實為何，因為執行兩位元預取操作，各得到具有需要保留的資料，此例即為從MARR120-1及MARR120-2中讀取兩資料，因為輸入內部參考時脈信號ICLK以輸出一數據。因此之故，另外提供一暫存器。

由正反器架構暫存器REG0-REG4，且具有兩輸入端及一輸出端。各暫存器的兩輸入端中，一連接偶數行位址數據輸入/輸出匯流排IOBUS(E)121-2，另一連接奇數行位址數據輸入/輸出匯流排IOBUS(0)112-2，由經由FIFO緩衝器資料閂鎖選擇線DSEL控制輸入端，因此在連接側的IOBUS之資料只為由動作DSEL信號所控制的暫存器所閂鎖。

而且，各輸出端連接共同資料輸出匯流排(DOUT)110，且

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（24）

輸出端由FIFO緩衝器輸出控制線OSEL所控制，解碼只有為動作OSEL信號所控制的暫存器執行命令FIFO緩衝器106'之資料輸出。

DCNT107'控制FIFO緩衝器106'之各暫存器的輸入。DCNT107'為一再循環計數，在其狀態中提供與FIFO緩衝器106'同數的暫存器數，且與內部參考時脈信號ICLK同步讀取值0→1→2→3→4→0...。

然後，當內部行位址信號YADD為偶數時，動作用於控制暫存器中IOBUS(E)之輸入的DSEL，該暫存器指示DCNT107'之值，且指示(DCNT+1)之值，當DCNT為4時，動作用於控制一0數暫存器之IOBUS(0)之DSEL。在此例中，周期行位址信號YADD為奇數，啟動在IOBUS之另一側控制各暫存器之輸入的DSEL。

OCNT108控制FIFO緩衝器106'中各暫存器的輸入。OCNT108亦為一再循環計數器，在其具有的狀態中提供與FIFO緩衝器同數的暫存器，且與內部參考時脈信號ICLK同步讀取值0→1→2→3→...。然後，動作相對於各數值的OSEL信號。因此，在FIFO緩衝器106'中，輸出指示OCNT108之值的暫存器值。

DCNT107'及OCNT108間的操作完全獨立。

時計產生電路(TG)109'產生用於讀取放大器(RAMP)113-1及113-2，DCNT107'等的操作時計信號，且該時計經由與RW信號，PEN信號，YADD信號等有關的內部參考時脈信號

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（25）

ICLK從MARR(E)120-1及MARR(0)120-2中讀取出資料。

資料輸出緩衝器(DOUT)110為一輸出緩衝器電路，其將從FIFO緩衝器106'輸出的資料向晶片外側輸出。

資料輸出緩衝器(DIN)111為一輸入緩衝器電路，此電路在讀取操作期間閂鎖從外部輸入的資料，且將此資料輸出匯流排IOBUS112-1及112-2輸出。

現在，將於下文中加以說明此第二實施例之記憶體元件的作業，並請參考附圖。來自外部的輸入信號與習知之同步DRAM相同。

第10圖中的作業發生於需要CKE中時脈沒有停止的狀況，即經由使CKE信號之邏輯準位變低，使得下一循環的外部參考時脈信號CLK無效，而不產生相對於CLK的內部參考時脈信號ICLK，且因此，對應於外部參考時脈信號CLK的內部作業不執行，且在視圖為"5"的4個循環的4循環中讀取命令輸入兩次，且猝發長度為"4"。

外部參考時脈信號CLK及用於致能CLK信號的時脈致能信號CKE從外部提供。由內部時脈產生電路(CGEN)從這些信號中產生內部參考時脈信號ICLK。

如第11圖所示，甚至當從外部提供外部參考時脈信號CLK，除非提供時脈致能信號CKE否則不會產生內部參考時脈信號ICLK，因此，甚至當在固定周期下提供外部參考時脈信號CLK，內部參考時脈信號ICLK仍不需要變為固定周期。除內部時脈產生電路(CGEN)101外的其他電路不為外部參考時脈

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（26）

信號CLK所操作，而是由內部參考時脈信號ICLK的信號所作業。

從外部提供外部命令（/RAS，/CAS，/WE，/CS）。在第10及11圖中，共同顯示這四個信號。"讀取"指示輸入讀取命令，且實際在/RAS為高邏輯準位，/CAS為低邏輯準位，/WE為高邏輯準位且/CS為低邏輯準位。

依據內部參考時脈信號ICLK的時脈緣，對應的信號置入內側，且在對應組合中的命令被解碼。當輸入模式暫存器設定命令時產生MDR信號，且當輸入讀取命令或寫入命令時，產生MDRS信號。

從外部提供外部位址信號ADD。當輸入讀取命令時外部位址信號Aa0指示引導猝發資料的位址。

當由輸入讀取命令產生RW信號時，外部位址信號ADD為行位址緩衝器電路（YBUF）104所閂鎖，因此產生內部行位址信號YADD。此時，內部行位址信號YADD之值與外部位址信號ADD之值相同，且指示引導猝發資料的位址。

當猝發計數器（BCNT）103復置時，辨識內部參考時脈信號ICLK的循環是否為猝發作業之引導，在ICLK信號之猝發長度的下一循環期間，產生猝發致能信號PEN。

在猝發致能信號PEN有效的下一周期期間，依據每兩循環的內部參考時脈信號ICLK，經由行位址緩衝器電路（YBUF）104猝發奇數內部行位址信號Aa2等。

由行預解碼器（PYDEC）105預解碼產生內部行位址信號

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

（請先閱讀背面之注意事項再填寫本頁）
訂
張

五、發明說明（27）

YADD，因此產生多組預先解碼行位址信號PYADD。

第10圖示輸入兩次讀取命令。在外部位址信號ADD為偶數位址Aa0之時間T1時的第一讀取命令處，輸出作為引導猝發資料的位址Aa0至預先解碼行位址信號PYADD(E)，且輸出第二猝發資料之位址Aa1至預先解碼行位址信號PYADD(0)。另一方面，在外部位址信號ADD為奇數位址Ab0的時間T5之第二讀取命令處，輸出作為引導猝發資料的位址Ab0至預先解碼行位址信號PYADD(0)，且輸出第二猝發資料之位址Ab1至預先解碼行位址信號PYADD(E)。

如同預先解碼行位址信號PYADD，PYADD(E)及PYADD(0)對應地輸出至MARR(E)120-1的行解碼器（YDEC)及MARR(0)120-2的行解碼器。然後，動作各行選擇線YSW。

結果，由來自感測放大器（SA)的資料Aa0指定資料Da0，具所需要之位址的記憶體晶胞連接該感測放大器（SA)，且為資料Aa1之位址所指定的資料Da1為讀取放大器（RAMP)113-1及113-2所放大，且讀取後向對應的輸入／輸出匯流排IOBUS(E)112-1及IOBUS(0)112-2輸出。

相對於引導及第二猝發資料，只基於在命令輸入期間內部參考時脈信號ICLK的時脈緣執行目前所提到的資料路徑控制，且相對於第三猝發位元後的資料，只基於在命令輸入後對應之內部參考時脈信號ICLK之奇數端執行資料路徑控制。

即，除非資料從輸入的命令輸入／輸出匯流排（IOBUS)輸

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（28）

出，否則與其循環無關（除非/CAS延遲不超過）的參考時脈與資料控制無關。

因此，在此第二實施例中，如上文中所說明的讀取控制系統與/CAS延遲一點也沒有關係。

內部參考時脈信號ICLK，在此第二實施例中，對於同步輸出的內部參考時脈信號ICLK絕對無法同步插入資料路徑中。

因此，當內部參考時脈信號ICLK的頻率變高時，存在一種機率其中在內部處理部份，在前一資料在該部份完全處理之前下一資料已進入。例如，有可能在決定向資料輸入/輸出匯流排（IOBUS)輸出資料前，PYADD改變至下一位址。在此例中，有可能發生錯誤功能，但在習知例中此亦為真，因此，此並不單純是本實施例的問題。

在此實施例中，不存在習知例中常態性事務影響各階段間內部參考時脈信號ICLK的同步作業，至此，最大作業頻率變得較高。

同時讀取並向資料輸入/輸出匯流排IOBUS(E)112-1 IOBUS(0)112-2的兩資料置入由DCNT107'所示的FIFO緩衝器106'中的兩緩衝器，此已事先由時計產生電路(TG)109經適當的機構加以控制。此時，兩資料置入兩資料輸出之序列FIFO緩衝器中。

現在，說明由DCNT107'及OCNT107控制的FIFO緩衝器106'。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（29）

DCNT107'及OCNT108之啟動程序與第一實施例相同。

此後，計數輸出內部參考時脈ICLK計數DCNT107'及OCNT118。在此例中，為了接收資料輸入／輸出匯流排(IOBUS)之值，在預定延遲的時計處從內部參考時脈信號ICLK中計數。

但是，因為向資料輸入／輸出匯流排(IOBUS)讀取資料為每兩內部參考時脈信號ICLK循環一次，DSE輸入信號實際上每兩內部參考時脈信號ICLK循環讀取一次。此時，在偶數輸入／輸出匯流排IOBUS(E)112-1及奇數輸入／輸出匯流排IOBUS(0)112-2中的兩資料在平行串列轉換後，使用將於下文中加以說明的處理向FIFO緩衝器106'傳送。

而且，為了在(/CAS延遲-1)循環之後輸出該資料，在(/CAS延遲-1)循環之後，從計數DCNT107'的內部參考時脈信號ICLK之時脈緣由此時脈緣計數OCNT108。

經由如上文中所說明的控制，在輸入模式緩衝器設定命令後，如第11圖所示，相對於資料之啟動的關係可加以維持，而與外部參考時脈信號的任何改變或由需要CKE所外部的時脈停止之出現與否無關。

如第11圖所示，由在時間(循環時間)T1時輸入伴有偶數行位址Aa0的讀取命令從記憶體晶胞陣列MARR(E)120-1中讀取的資料Da0(偶數位址)由DSEL0(E)信號置入FIFO緩衝器106'的緩衝器REG0中，且從記憶體晶胞陣列MARR(0)120-2中讀取的資料Da1(奇數1)由DSEL1(0)信號置入緩衝器REG1中。

即，Da0置入FIFO緩衝器因此先輸出。在時間T5時經由伴

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（30）

有奇數行位址Ab0的讀取命令而為時脈緣(E)所讀取的資料Db1(偶數1)將DSEL0(E)信號置入FIFO緩衝器106'的緩衝器REG0中，且Db1(奇數位址)由DSEL(0)信號置入緩衝器REG4。即，Db0置入FIFO緩衝器106'解碼可先輸出。

在時間（循環時間）T5時基於CLK的時脈輸入由OSEL0信號將Da0輸出至外部，且在時間（循環時間）T6時基於外部CLK信號的時脈緣輸入由OSEL1將Da0向外側輸出。

而且，在時間T7時經由猝發致能信號CKE的低輸入而使時脈停止，當資料Da1從時間T2之時脈緣讀取的數據Da1使用晶片外側時，時間從時間T7至T8延伸一循環，但當與沒有時脈停止的例子相比較，從OLEL1至OSEL2的改變亦從猝發轉換頻率T7至T8延伸一循環。此時，雖然下一資料Da2已置入時脈緣106'，將導至一基於時間T3之時脈緣的控制，且不會產生時脈停止現象。因此，資料Da2置入時脈緣106'的緩衝器REG3，而不會與資料Da1產生任何衝突。

即，相對於一資料而言，同一緩衝器總是同時作為FIFO緩衝器106'的輸入及輸出，且此一保證可控制正確的資料流。沒有任何控制系統係歸因於讀取命令之輸入以用於的緩衝器選擇。

啟動及計數為在計數器內發生的處理，且持續一短時間，因此，甚至內部參考時脈信號ICLK的頻率變高，仍有足夠的時間以使得在一循環中可完成一項處理。

應用上述的控制程序，不論外部參考時脈信號CLK的頻率

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（31）

中有任何的改變或猝發致能信號CKE中時脈停止出現與否，輸入及輸出共用的緩衝器總是相對於一資料加以使用，因此可保證控制正確資料。

含適當參考時脈頻率及/CAS延遲的存取時間受到時計的限制，在此時計中閂鎖偶數及奇數匯流排IOBUS的各匯流排（兩者）之資料與暫存器之信號OSEL重疊，在該暫存器中儲存將輸出之兩資料間的資料。

此時，先輸入的資料只簡單通過FIFO緩衝器內部且到達資料輸出緩衝器（DOUT）110。因此，如同執行沒有取出的第一實施例相對於位址存取時間（從位址外部提供至資料輸入的時間）的常態性事務，只在通過FIFO緩衝器106內有所延遲，且因此執行常態事務的時間很短。

如上文所說明，在此第二實施例中，讀取操作的主處理，尤其如行位址信號YADD及預先解碼行位址信號PYADD的處理及將資料從MARR讀取出來再送入輸入/輸出匯流排（IOBUS）的處理可經由使用對應內部參考時脈信號ICLK之2循環的時間執行。

依此方式，在此第二實施例中，甚至當內部參考時脈信號ICLK的頻率為第一實施例中的兩倍時，仍能保證該操作。因此在同一內部參考時脈信號ICLK頻率使用的例子中，猝發轉換速度的最大值變成第一實施例中的兩倍。

在此第二實施例中，由輸入模式暫存器設定命令而開啟FIFO緩衝器的控制操作，但甚至經由如電源或動作命令輸

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（32）

入的切入仍不會產生問題，此情況係發生於輸入讀取命令前的另一例子中。

如上文所說明者，在具猝發轉換模式的記憶體元件中，甚至當位址存取時間固定，也有可能需要經由使用高頻率的參考時脈而增加猝發傳輸頻率，且增加/CAS延遲數。

雖然，在系統由低頻率作業的例子中（此視其他元件或基體的狀況而定），如果，/CAS延遲大，則至引導猝發資料輸出時間的時計長於實際位址存取時間。

因此，有需要使得使用/CAS延遲的系統較小，且至資料輸出的時間符合位址存取時間。

在此使得/CAS延遲較大，因此需要猝發轉換頻率，此需要增加內部資料處理的多重性。因此在第二實施例中，可應用管線系統及預取系統增加多重性，結果，在大的/CAS延遲之下可得到高的猝發轉換頻率。

雖然，在如上文所說明的第二實施例中，因為採用預取系統，所以不可能符合少於在系統中資料處理之平行度的/CAS延遲。而且，甚至在上述平行度之/CAS延遲的例子中，仍存在一項問題即資料的輸入/輸出係基於以平行度為單元的情況之下方才執行。

在此第三實施例中，為了克服此一問題，當大的/CAS延遲用於實現高猝發轉換頻率時，則加以切換並加以控制，且產生管線系統及預取系統，且反之當使用小/CAS延遲時，只有作業管線系統。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（33）

在此第三實施例中，在/CAS延遲下，系統作業方式相同於第10圖中的第二實施例。因此，此第三實施例的架構配置與用於說明第二實施例的第8圖相同，且FIFO緩衝器電路的電路配置與第9圖相同。

而且，大/CAS延遲下的作業與第10圖之第二實施例相同，在此第三實施例中於小的/CAS延遲之下不執行預取作業。

第12圖之時計圖顯示只有為管線系統所操作之小/CAS延遲之操作方式。視圖為"3"，且其他狀況與用於說明第10圖之時計圖者相同。

在此第三實施例中，因為/CAS延遲之故，在方塊圖中對應的方塊在操作上有所差別將於下文中加以說明。

(1)在大/CAS延遲之下，內部行位址信號YADD每經兩內部參考時脈信號ICLK之循環即輸出，而在小/CAS延遲下，在一循環中即輸出同樣的信號。

(2)在大/CAS延遲之下，如第二實施例所示，兩偶數預先解碼行位址信號PYADD從一內部行位址信號YADD中同時產生，而在小/CAS延遲下，一預先解碼行位址信號PYADD從一信號YADD中產生。此時，是否產生偶數預先解碼行位址信號PYADD(E)或奇數預先解碼行位址信號PYADD(0)，端視內部行位址信號YADD為偶數或奇數而定。

(3)如第二實施例之第12圖所示，在大的/CAS延遲之下，向IOBUS(E)及IOBUS(0)每兩內部參考時脈信號ICLK循環輸出的資料同時作業DSEL(E)及DSEL(0)而小的/CAS延遲下而置

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（14）

入FIFO緩衝器中，視內部行位址信號YADD為偶數或奇數而決定是否動作。

現在，將於下文中加以說明在第三實施例之小/CAS延遲下系統的作業，並請參考附第12圖。

在第12圖中，因為當在時間（循環時間）T1時讀取命令時引導猝發資料之位址Aa0為偶數，基於時間T1之內部參考時脈信號ICLK的時脈將位址Aa0向偶數預先解碼行位址信號YADD(E)輸出，因為第二猝發數據的位址Aa1為奇數，基於時間T2時內部參考時脈信號ICLK的內部參考時脈信號ICLK的時脈端輸出奇數預先解碼行位址信號PYADD(0)的位址Aa1。

而且，因為在時間T5時輸入讀取命令導引猝發資料的位址Aa0為奇數，基於時間T5時的內部參考時脈信號ICLK之時脈向奇數預先解碼行位址信號PYADD(0)的位址Ab0，因為第二猝發資料的位址Ab1為偶數，基於時間T6時的內部參考時脈信號ICLK之時脈輸出偶數預先解碼所以PYADD(E)的位址Ab1。

依上述方式，在小的/CAS延遲之下，從DRAM核心中，每兩內部參考時脈信號ICLK循環中平行讀取兩位元資料並向偶數資料輸入/輸出匯流排（IOBUS)112-1及112-2輸出，在小/CAS延遲下，從在內部參考時脈信號ICLK之各循環的DRAM核心，讀取各資料的一位元至偶數資料輸入/輸出匯流排（IOBUS)或奇數輸入/輸出匯流排（IOBUS)。

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（35）

在小/CAS延遲下，應用與第二實施例相同的程序，在輸出序列中，經由參考內部行位址信號YADD每兩個參考時脈即將偶數及奇數匯流排(IOBUS)的資料輸入FIFO緩衝器。

在小/CAS延遲下，在各內部參考時脈信號ICLK的時脈中，經由參考內部行位址信號YADD不是奇數即為偶數匯流排(IOBUS)之資料輸入FIFO緩衝器中。

在第12圖中，因為當在時間T1時輸入讀取命令引導猝發數據的位址Aa0為偶數，動作DSEL0(E)因此將向IOBUS(E)輸出的資料輸出FIFO緩衝器中。

而且，因為第二猝發資料中的位址Aa1為奇數，所以動作DSEL1(0)以將向IOBUS(0)輸出的資料Da1置入FIFO緩衝器中。第一猝發資料之位址Ab0為奇數，當在時間T5時輸入讀取命令時，DSEL4(0)動作以將向IOBUS(0)輸出的資料Db0輸出FIFO緩衝器中。而且，因為第二猝發資料的位址Aa1為一偶數，因此動作DSEL(E)以將向IOBUS(E)輸出的資料Db1輸入FIFO緩衝器中。

應用如上文所說明的程序，將數據存在FIFO緩衝器的輸出序列中，而與基於/CAS延遲的預取操作出現與否無關。因此可應用與第二實施例相同的方法準備控制OSEL。

如上所述，在大的/CAS延遲下，可經由結合管線系統與預取系統而實現高速猝發轉換頻率，且允許只經由管線系統操作小的/CAS延遲。

第13圖之方塊圖示本發明中第二實施例的架構。第14圖為先

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（36）

進先出(FIFO)緩衝器的一部位且包含在第13圖之第四實施例中的資料輸出緩衝器。第14圖之時計圖用於說明本發明第四實施例之電路的操作。

在第三實施例中，由DSEL控制資料輸出緩衝器(DOUT)110。依此方式，在資料路徑上所插入的電路可為最小，其優點為位址存取時間較短。

雖然，其缺點為因為在用於資料輸出之時脈端從外部提供之後，開始控制OSEL，因此延長時間存取時間(從向外部輸出的參考時脈提供的時間至當資料輸出時該輸出的時間)。

因此，在第四實施例中，在FIFO緩衝器106後提供一階閂鎖電路。當向晶片外部輸出的資料實際上改變時，該時間為閂鎖電路開始閂鎖作業的時間。此閂鎖電路只依據參考時脈簡單地閂鎖資料，因此時脈存取時間相當短。

在此第四實施例中的配置將參考第13圖加以說明。可從第13圖中看出，與第3圖中第一實施例比較配置上的差別為內部參考時脈信號ICLK輸入資料輸出緩衝器(DOUT)110'中。其他方面的配置與第一實施例均相同。

在第14圖中示FIFO緩衝器106及資料輸出緩衝器(DOUT)110'的資料路徑。其配置與第4圖中的第一實施例相同，唯閂鎖電路置於時計TR1之後，以為內部參考時脈信號ICLK所控制。

將於下文中加以說明第四實施例的細節，如上文所說明15。而且，在第一實施例中所說明者，由在時間T1時輸入

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 37 ）

的讀取（Read）命令從FIFO緩衝器106輸出引導猝發資料Da0的OSEL0於從命令輸入的（/CAS延遲-1）循環之後在時間T5時於內部參考時脈信號ICLK的時脈動作，在（/CAS延遲-2）後的時間T4內部參考時脈信號ICLK的時脈處OSEL0動作。

在第一實施例中，動作之資料馬上向晶片外部輸出，雖然，在第四實施例中，於下一時間T5時在內部參考時脈信號ICLK的時脈先動作被動時計TR1（即時計TR1在導電狀態），且然後只輸出資料。

在第四實施例中，其配置可為第二及第三實施例的組合形式。

第16圖之方塊圖用於顯示本發明第五實施例的結構。第17圖示先進先出（FIFO）緩衝器的一部份且第16圖之第五實施例方塊圖中所包含的資料輸出緩衝器DOUT。第18圖之時計圖用於說明本發明第五實施例之電路的操作。

將於下文中加以說明第五實施例，並請參考附圖。

在此實施例中，資料輸入/輸出匯流排（IOBUS）為互補匯流排。在資料不從記憶體晶胞陣列（MARR）120讀取的周期期間，對互補信號匯流排（/IOBUS）預先提升至同一電位（高電位），此作業由讀取放大器（RAMP）113及寫入放大器（WAMP）114進行。

應用與第一實施例相同的程序，當在讀取（Read）命令猝發周期期間於內部參考時脈信號ICLK的時脈從記憶體晶胞陣列（MARR）120上讀取出來時，經由資料Da0之值而令IOBUS

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（38）

或/IOBUS接收一電位變動（從高邏輯準位改變至低邏輯準位）。

反之，當相對於參考時脈之時脈之讀取資料不出現時，IOBUS及/IOBUS均維持在預充電電位（高電位）。

即除了邏輯準位"0"或"1"外，在第五實施例中為互補信號匯流排的資料輸入/輸出匯流排（IOBUS）112及112'，除了邏輯準位"0"或"1"外，尚有一記憶體晶胞陣列（MARR）120中沒有資料輸出的狀態（Hi-Z輸出，即高阻抗輸出），因此共有三個數值。FIFO緩衝器106"儲存三個值。

因此，如第17圖所示，由兩正反器架構FIFO緩衝器106"，其中各暫存器REG0-REG4接收輸入/輸出匯流排IOBUS及/IOBUS之數值。

當資料為兩正反器所閂鎖時，一經移轉時計輸出的互補信號（該時計可由OSEL信號而導通）成為高電位，因此，使時計TR2及時計TR3中一時計動作且導通，則可向晶片的外側輸出高電位或低電位。

當不閂鎖資料時（IOBUS及/IOBUS均在高電位狀態且閂鎖一Hi-Z），兩時計TR2及TR3轉為不動作狀態，即不輸出資料之狀態。

在此第五實施例中，由資料為記憶體晶胞陣列（MARR）120輸出或資料決不輸出而決定是否輸出資料（是否輸出"0"或"1"，或Hi-Z）。如同DSEL信號及OSEL信號，兩者均可完好地加以動作。

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 39 ）

因此，不需要在指定外部參考時脈輸出的時脈已輸入後，決定資料輸出出現與否。因此時脈使此時間縮短。

在此第五實施例中，配置形式可為第二實施例，第三實施例及第四實施例中的形式。

第19圖之時計圖用於說明本發明第六實施例的作業。

為了清楚起見，在第一至第五實施例中，在參考時脈的時脈緣處FIFO緩衝器輸入控制計數器(DCNT)啟動會受到影響，且基於在模式暫存器設定命令之參考時脈的時脈緣數，在參考時脈數之後，FIFO緩衝器暫存器輸出控制計數器(OCNT)的啟動完成。經由使這些啟動作業相同，可適當地由讀取命令控制資料輸出。因此之故，需要提供計數器電路，此電路指定參考時脈之時脈緣，此參考時脈經由/CAS延遲完成OCNT之啟動。

在第7圖中，因為/CAS延遲為"4"，基於用於接收模式暫存器設定命令之時間T1之後，距時脈緣的(/CAS延遲-1)循環之後的時間T5，而經由/CAS延遲完成OCNT的啟動。因此需要提供計數循環T1-T5數的計數器電路。

在第六實施例中，為了簡化控制電路，如第18圖所示之配置使得經由初始值而啟動DCNT，使得DCNT及OCNT成為等於上述的為參考時脈所指示的啟始值，該參考時脈接收模式暫存器設定命令。DCNT的初始值視/CAS延遲之值而變。因為/CAS延遲可在延遲時間內設定之，因此/CAS延遲可由DCNT的初始值調整。

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（40）

當如上述方法配置電路時，不需要提供特殊計數電路以啟動OCNT值。

在此第六實施例中，雖然在整個循環中輸出DSEL及OSEL至上述程度，實際如果只有當資料從FIFO緩衝器中輸入/輸出該動作才完成則此設計足敷使用。而且，可經由輸出模式暫存器設定命令完成FIFO緩衝器控制的啟動，亦可在輸入讀取命令前的任何例子中經由作業而完成上述動作，例如經由切開作業且輸入動作命令。

如上文所說明者，依據本發明，可提供具有高猝發模式的對應，其中幾乎沒有多餘的閘極延遲，而不會實質上增加使用面積。

已應用較佳實施例說明本發明，須了解文中之例證僅為說明之用而並非限制本發明，在上文申請專利範圍中的任何變更將不偏離本發明的真正觀點。

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

A5
B5

四、中文發明摘要（發明之名稱：具備猝發模式之高速半導體記憶體）

一半導體記憶體裝置具有一輸入電路（101），用於輸入參考時脈，一輸入緩衝器電路（111），用於與參考時脈同步而閂鎖外部輸入信號，及一輸出緩衝器電路（110），用於與該參考時脈同步輸出一儲存資料至外部。輸入緩衝器電路及輸出緩衝器電路信號在用於一相同儲存資料的參考時脈之對應不同的時脈處作業。此裝置可包含一內部讀取電路系統，此系統依據經由輸入電路讀取儲存的資料，且基於輸入緩衝器電路操作之時脈緣而使其可單獨作業。在內部讀取系統及輸出緩衝器電路之間提供一緩衝器電路，此電路可暫時儲存由內部讀取電路計數讀取的儲存資料，直到儲存資料由輸出緩衝器輸出為止。此配置可提供一高度猝發模式的記憶體裝置，其中幾乎沒有額外的閘極延遲，也不會增加該裝置所佔據的面積。

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

A5
B5

四、中文發明摘要（發明之名稱：HIGH SPEED SEMICONDUCTOR MEMORY WITH BURST MODE）

A semiconductor memory device has an input circuit (101) for inputting reference clocks, an input buffer circuit (111) for latching external input signals in synchronization with the reference clocks, and an output buffer circuit (110) for outputting a stored data to an outside in synchronization with the reference clocks. The input buffer circuit and the output buffer circuit are caused to operate at respectively different edges of the reference clocks for processing one and the same stored data. The device may include an internal read-out circuit system which reads-out the stored data in accordance with the external input signal and which is caused to operate solely based on an edge at which the input buffer circuit operates. Between the internal read-out system and the output buffer circuit, there is provided a buffer circuit which temporarily stores the stored data read-out by the internal read-out circuit system until the stored data is outputted by the output buffer. The arrangement enables the provision of a high burst mode memory device in which almost no additional gate delay and no increase in its area.

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

1. 一種半導體記憶體元件，包含：

一用於輸入參考時脈(CLK)的輸入電路(101)；

一輸入緩衝器電路(102, 104, 111)，用於與該參考時脈同步閂鎖外部輸入信號(ADD, DQ, /RAS, /CAS, /WE, /CS)；以及

一輸出緩衝器電路(110)，用於與該參考時脈同步輸出儲存資料至外部；

該輸入緩衝器電路及該輸出緩衝器電路的設計可使得其可對參考時脈之對應不同時脈緣作業，以處理相同的儲存資料。

2. 如申請專利範圍第1項之半導體記憶體元件，其包含一內部讀取電路系統，此系統依據該經由輸入信號讀取該儲存資料，且例外的情況為使得緩衝器電路基於該輸入緩衝器電路作業的時脈緣而單獨作業。

3. 如申請專利範圍第2項之半導體記憶體元件，尚包含一緩衝器電路(106, 106', 106")，此電路暫時儲存內部讀取電路系統所讀取的該儲存資料，直到該儲存資料為該輸出緩衝器輸出為止，該緩衝器電路置於該內部讀取電路系統及該輸出緩衝器電路之間。

4. 如申請專利範圍第3項之半導體記憶體元件，其中該緩衝器電路由多個並聯的記憶體電路(REG0-REG4)建構，以經由輸入控制信號(DSEL)控制資料輸入，且經由輸出控制信號(OSEL)控制資料輸出。

經濟部中央標準局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

5. 如申請專利範圍第4項之半導體記憶體元件，其中基於用於作業該輸入緩衝器電路之參考時脈之時脈緣之時計產生該輸入控制信號。

6. 如申請專利範圍第4項之半導體記憶體元件，其中基於用於作業該輸入緩衝器電路之參考時脈之時脈緣之時計產生輸出控制信號。

7. 如申請專利範圍第5項之半導體記憶體元件，其中該視需要經由為該參考時脈控制之第一計數器電路(107)輸出該輸入控制信號。

8. 如申請專利範圍第6項之半導體記憶體元件，其中該視需要經由為該參考時脈控制之第二計數器電路(108)輸出該輸入控制信號。

9. 如申請專利範圍第7項之半導體記憶體元件，尚包含一裝置，以基於該參考時脈之共同時脈緣設定該第一計數電路至預定值。

10 如申請專利範圍第8項之半導體記憶體元件，尚包含一裝置，以基於該參考時脈之共同時脈緣設定該第二計數電路至預定值。

11 如申請專利範圍第3項之半導體記憶體元件，尚包含多個該內部讀取電路系統中至少部份(MARR)，多個儲存資料，此資料的讀取時間大致上與該緩衝器電路之輸出信號位在同一參考時脈中。

12 如申請專利範圍第9項之半導體記憶體元件，其中建構

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

該緩衝器電路之對應的多個記憶體電路(REG0-REG4)具有輸出端(IOBUS(E), IOBUS(0)),該輸入端為對應的不同輸入控制信號(DSEL0(E)-DSEL4(E), DSEL0(0)-DSEL4(0))所控制。

13 如申請專利範圍第10項之半導體記憶體元件,其中建構該緩衝器電路之對應的多個記憶體電路(REG0-REG4)具有輸出端(IOBUS(E), IOBUS(0)),該輸入端為對應的不同輸入控制信號(DSEL0(E)-DSEL4(E), DSEL0(0)-DSEL4(0))所控制。

14 如申請專利範圍第11項之半導體記憶體元件,其中建構該緩衝器電路之對應的多個記憶體電路(REG0-REG4)具有輸出端(IOBUS(E), IOBUS(0)),該輸入端為對應的不同輸入控制信號(DSEL0(E)-DSEL4(E), DSEL0(0)-DSEL4(0))所控制。

15 如申請專利範圍第12項之半導體記憶體元件,其中該用於控制至該緩衝器電路之資料輸入的該輸入控制信號為位址信號(YADD)所控制,該位址信號(YADD)用於該內部讀取電路系統之讀取作業。

16 如申請專利範圍第13項之半導體記憶體元件,其中該用於控制至該緩衝器電路之資料輸入的該輸入控制信號為位址信號(YADD)所控制,該位址信號(YADD)用於該內部讀取電路系統之讀取作業。

17 如申請專利範圍第14項之半導體記憶體元件,其中該

(請先閱讀背面之注意事項再填寫本頁)
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

六、申請專利範圍

用於控制至該緩衝器電路之資料輸入的該輸入控制信號為位址信號(YADD)所控制，該位址信號(YADD)用於該內部讀取電路系統之讀取作業。

18 如申請專利範圍第15項之半導體記憶體元件，其中在該多個建構該緩衝器電路的記憶體電路外，多個記憶體電路使得多個輸入信號大致上與對應該儲存資料的其他不同儲存資料同時輸入。

19 如申請專利範圍第16項之半導體記憶體元件，其中在該多個建構該緩衝器電路的記憶體電路外，多個記憶體電路使得多個輸入信號大致上與對應該儲存資料的其他不同儲存資料同時輸入。

20 如申請專利範圍第17項之半導體記憶體元件，其中在該多個建構該緩衝器電路的記憶體電路外，多個記憶體電路使得多個輸入信號大致上與對應該儲存資料的其他不同儲存資料同時輸入。

21 如申請專利範圍第3項之半導體記憶體元件，其中建構該緩衝器電路中多個記憶體電路(DSEL0-DSEL4)的各電路適於儲存三個數值，此三個數值對應一低輸出，高輸出，及在外部輸出處的一高阻抗輸出。

22 如申請專利範圍第3項之半導體記憶體元件，其中在該參考時脈之時脈緣之前產生，用於經由該緩衝器電路輸出資料的輸出控制信號之該參考時脈為一循環，該參考時脈產生一時計，以輸出該資料至一晶片之外側。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

23 如申請專利範圍第3項之半導體記憶體元件，其中由為數與循環數相同的記憶體電路建構該緩衝器電路，該循環數最大值介於指定讀取之參考時脈之時脈緣及為該讀取命令指定之輸出的時脈緣之間的循環數。

24 如申請專利範圍第18項之半導體記憶體元件，其中由為數與循環數相同的奇數記憶體電路建構該緩衝器電路，該循環數最大值介於指定讀取之參考時脈之時脈緣及為該讀取命令指定之輸出的時脈緣之間的循環數。

25 如申請專利範圍第19項之半導體記憶體元件，其中由為數與循環數相同的奇數記憶體電路建構該緩衝器電路，該循環數最大值介於指定讀取之參考時脈之時脈緣及為該讀取命令指定之資料輸出的時脈緣之間的循環數。

26 如申請專利範圍第20項之半導體記憶體元件，其中由為數與循環數相同的奇數記憶體電路建構該緩衝器電路，該循環數最大值介於指定讀取之參考時脈之時脈緣及為該讀取命令指定之資料輸出的時脈緣之間的循環數。

27 如申請專利範圍第18項之半導體記憶體元件，其中由為數與循環數相同的偶數記憶體電路建構該緩衝器電路，該循環數最大值介於指定讀取之參考時脈之時脈緣及為該讀取命令指定之輸出的時脈緣之間的循環數。

28 如申請專利範圍第19項之半導體記憶體元件，其中由為數與循環數相同的偶數記憶體電路建構該緩衝器電路，該循環數最大值介於指定讀取之參考時脈之時脈緣及

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

為該讀取命令指定之資料輸出的時脈緣之間的循環數。

29 如申請專利範圍第20項之半導體記憶體元件，其中由為數與循環數相同的偶數記憶體電路建構該緩衝器電路，該循環數最大值介於指定讀取之參考時脈之時脈緣及為該讀取命令指定之資料輸出的時脈緣之間的循環數。

30 一種具有猝發移轉功能的半導體記憶體元件包含：

一電路系統，此系統基於參考時脈信號(CLK)從位址信號(ADD)經由一內部行位址(YADD)，且經由一感測放大器(SA)及讀取放大器(113)從記憶體晶胞中讀取一資料，並向輸入/輸出匯流排(IOBUS)傳送，其中一預先解碼之行位址經一解碼器(105)連接一記憶體晶胞陣列(MARR)的選擇線(YSW)，由至少一管線系統及一預取系統中之一系統配置該電路系統，該管線系統(pipeline system)為一多個處理作業在一相同循環中執行的系統，且該預取系統為一多個信號路徑平行提供的系統；以及

一先進先出緩衝器電路(106, 106', 106")，位在該輸入/輸出匯流排及一輸出緩衝器電路(110)之間，且配置此先進先出緩衝器電路使得來自該記憶體晶胞的資料，在該資料到達該先進先出緩衝器電路之前，此資料與該參考時脈進行不同步處理。

31 一種具有猝發移轉功能的半導體記憶體元件包含：

一電路系統，此系統基於參考時脈信號(CLK)從位址

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

信號(ADD)經由一內部行位址(YADD)，且經由一感測放大器(SA)及讀取放大器(113)從記憶體晶胞中讀取一資料，並向輸入/輸出匯流排(IOBUS)傳送，其中一預先解碼之行位址經一解碼器(105)連接一記憶體晶胞陣列(MARR)的選擇線(YSW)，由至少一管線系統及一預取系統中之一系統配置該電路系統，該管線系統(pipeline system)為一多個處理作業在一相同循環中執行的系統，且該預取系統為一多個信號路徑平行提供的系統；以及

一先進先出緩衝器電路(106, 106', 106")，此電路位在電路系統及一輸出緩衝器電路之間，且配置此電路使至該先進先出緩衝器電路的輸入為一第一計數器所產生的輸入控制信號(DSEL)所控制，該計數器對應一內部資料輸入/輸出時計，且一來自該先進先出緩衝器電路的輸出為一由第二計數器所產生的輸出控制信號(OSEL)所控制，該第二計數器對應基於此/CAS延遲的時脈。

32 如申請專利範圍第30項之半導體記憶體元件，其中配置該先進先出緩衝器電路使得當該/CAS延遲大時，延遲該管線系統及該預取系統，且在偶數及奇數輸入/輸出匯流排上的資料在一序列的參考時脈中每兩個循環即置入該先進先出緩衝器電路，其中參考該內部行位址信號輸出此資料，且當該/CAS延遲小時，在偶數輸入/輸出匯流排或奇數輸入/輸出匯流排上的資料參考該內部行位址信號在該參考時脈中每循環即置入該先進先出緩衝器電路。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

33 如申請專利範圍第31項之半導體記憶體元件，其中配置該先進先出緩衝器電路使得當該/CAS延遲大時，延遲該管線系統及該預取系統，且在偶數及奇數輸入/輸出匯流排上的資料在一序列的參考時脈中每兩個循環即置入該先進先出緩衝器電路，其中參考該內部行位址信號輸出此資料，且當該/CAS延遲小時，在偶數輸入/輸出匯流排或奇數輸入/輸出匯流排上的資料參考該內部行位址信號在該參考時脈中每循環即置入該先進先出緩衝器電路。

34 如申請專利範圍第30項之半導體記憶體元件，其中該輸入/輸出匯流排由輸入/輸出匯流排(112, 112')建構，以傳送補充信號，且配置該先進先出緩衝器電路因此在邏輯準位"1"或"0"之外保留並輸出一Hi-Z狀態。

35 如申請專利範圍第31項之半導體記憶體元件，其中該輸入/輸出匯流排由輸入/輸出匯流排(112, 112')建構，以傳送補充信號，且配置該先進先出緩衝器電路因此在邏輯準位"1"或"0"之外保留並輸出一Hi-Z狀態。

36 如申請專利範圍第32項之半導體記憶體元件，其中該輸入/輸出匯流排由輸入/輸出匯流排(112, 112')建構，以傳送補充信號，且配置該先進先出緩衝器電路因此在邏輯準位"1"或"0"之外保留並輸出一Hi-Z狀態。

37 如申請專利範圍第33項之半導體記憶體元件，其中該輸入/輸出匯流排由輸入/輸出匯流排(112, 112')建構

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

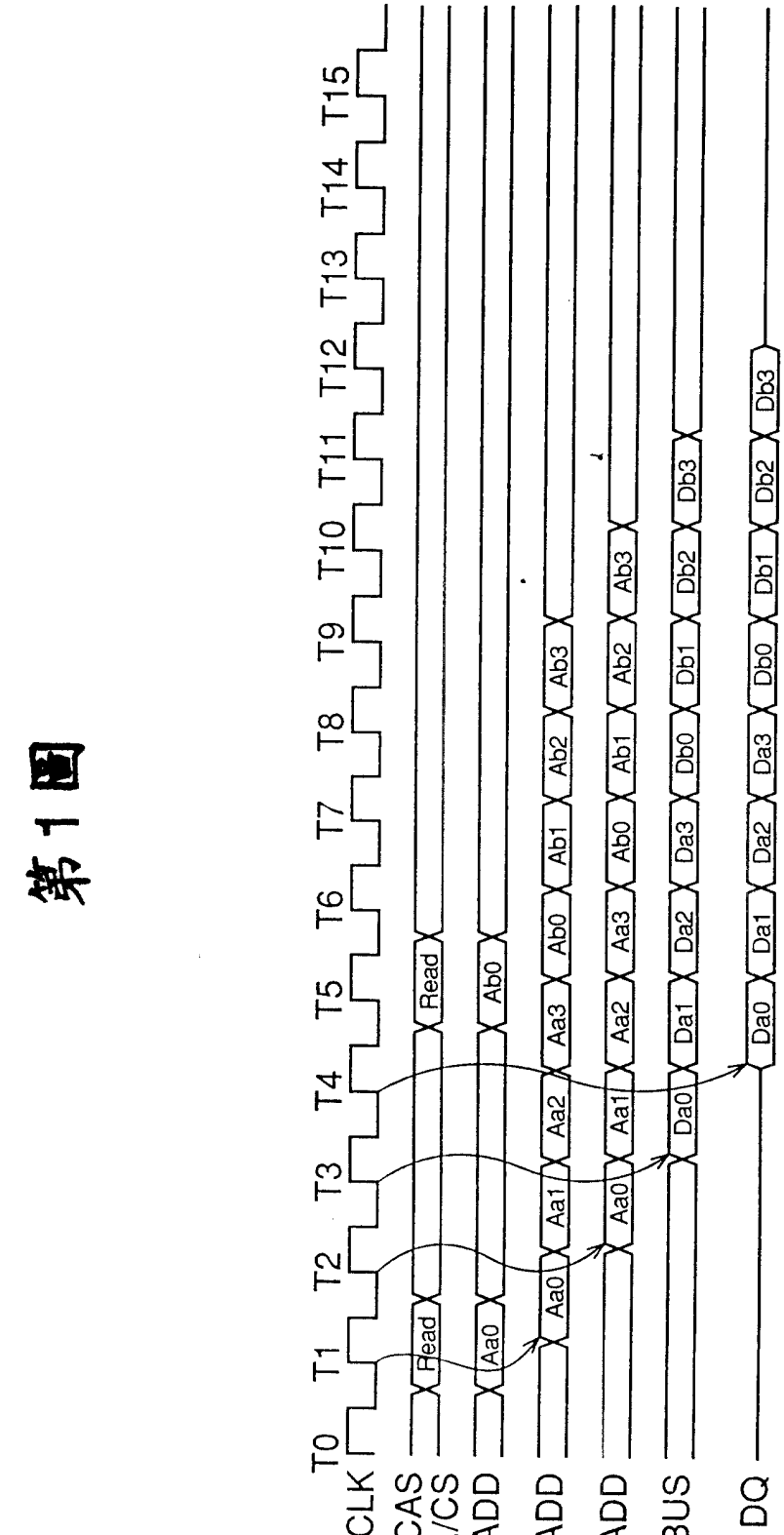
，以傳送補充信號，且配置該先進先出緩衝器電路因此在邏輯準位"1"或"0"之外保留並輸出一Hi-Z狀態。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂

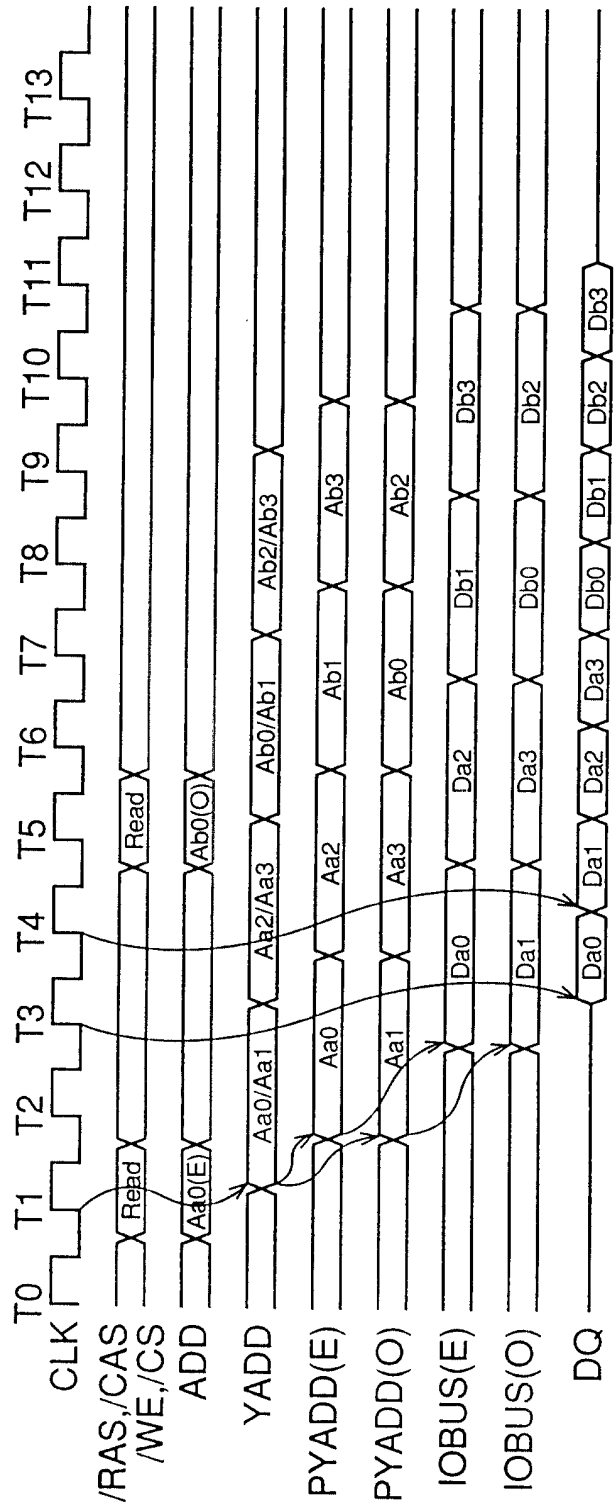
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

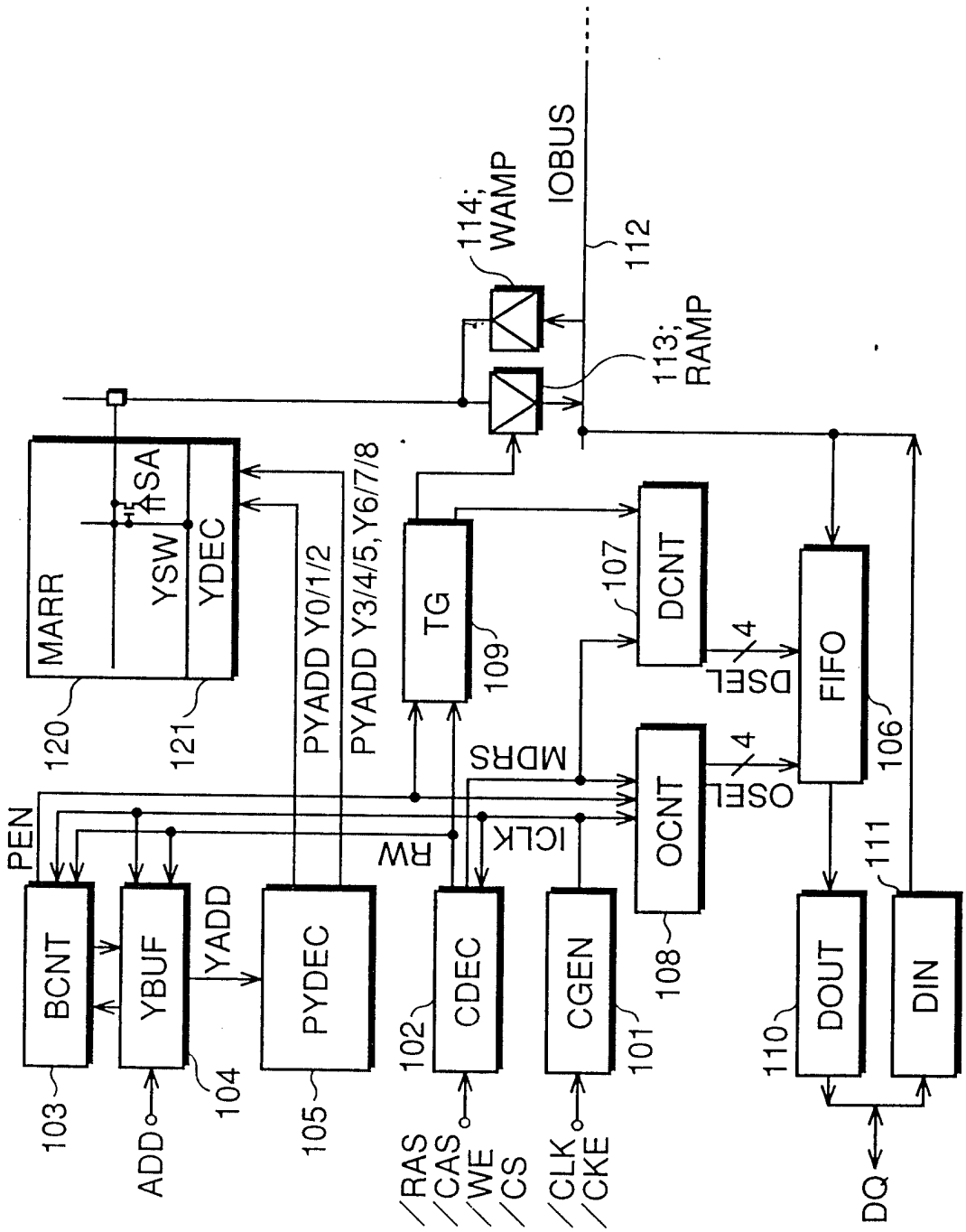
第1図


T0
T1
T2
T3
T4
T5
T6
T7
T8
T9
T10
T11
T12
T13
T14
T15
CLK
/RAS,/CAS
/WE,/CS
ADD
YADD
PYADD
IOBUS
DQ
Read
Aa0
Aa1
Aa2
Aa3
Ab0
Ab1
Ab2
Ab3
Da0
Da1
Da2
Da3
Db0
Db1
Db2
Db3

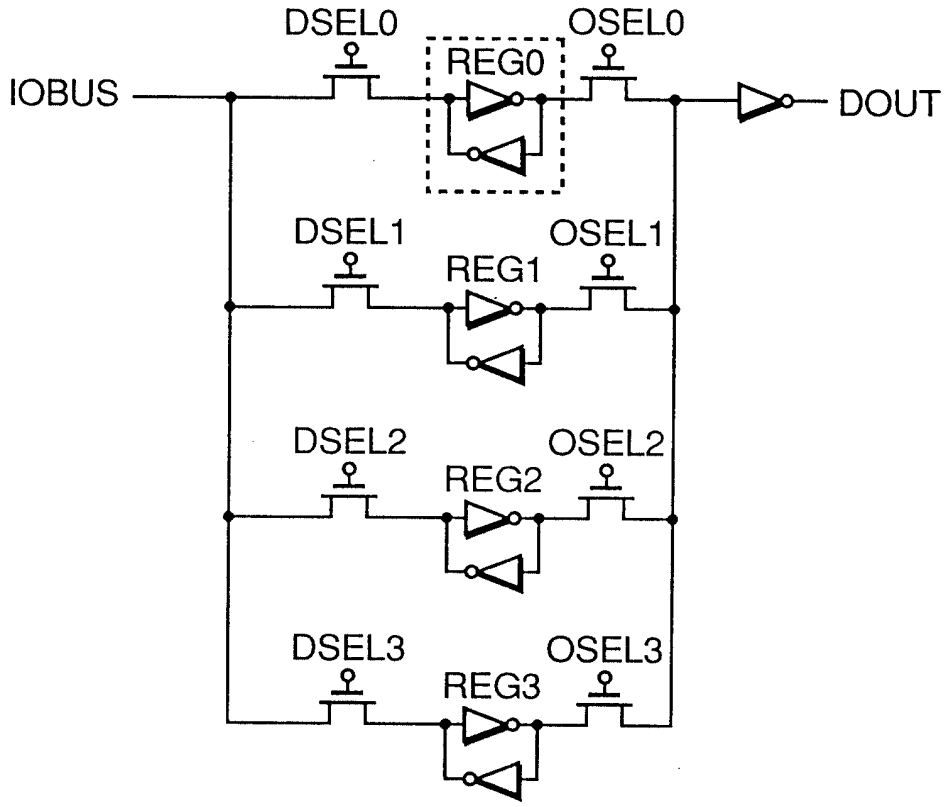
第２図


T0
T1
T2
T3
T4
T5
T6
T7
T8
T9
T10
T11
T12
T13
CLK
/RAS,/CAS
/WE,/CS
ADD
YADD
PYADD(E)
PYADD(O)
IOBUS(E)
IOBUS(O)
DQ
Read
Read
Aa0(E)
Ab0(O)
Aa0/Aa1
Aa2/Aa3
Ab0/Ab1
Ab2/Ab3
Aa0
Aa2
Ab1
Ab3
Aa1
Aa3
Ab0
Ab2
Da0
Da2
Db1
Db3
Da1
Da3
Db0
Db2
Da0
Da1
Da2
Da3
Db0
Db1
Db2
Db3

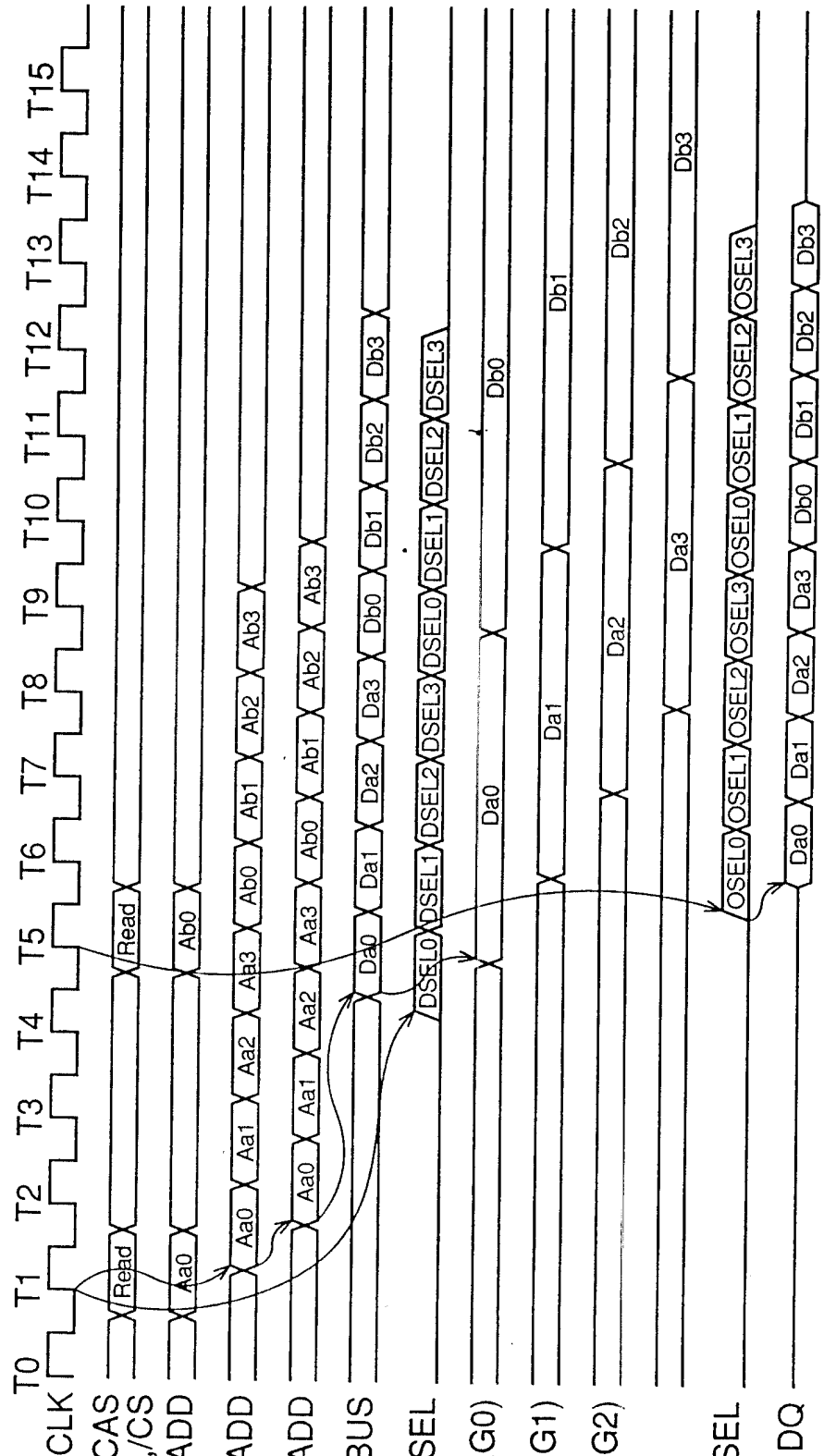
第３図


IOBUS
112
114;
WAMP
113;
RAMP
MARR
YSW
YSA
YDEC
120
121
PYADD Y0/1/2
PYADD Y3/4/5,Y6/7/8
TG
109
DCNT
107
DSEL
4
FIFO
106
MDRS
OSEL
4
OCNT
108
PEN
RW
ICLK
BCNT
YBUF
YADD
PYDEC
CDEC
CGEN
DOUT
DIN
111
110
103
104
105
102
101
ADD
/RAS
/CAS
/WE
/CS
/CLK
/CKE
DQ

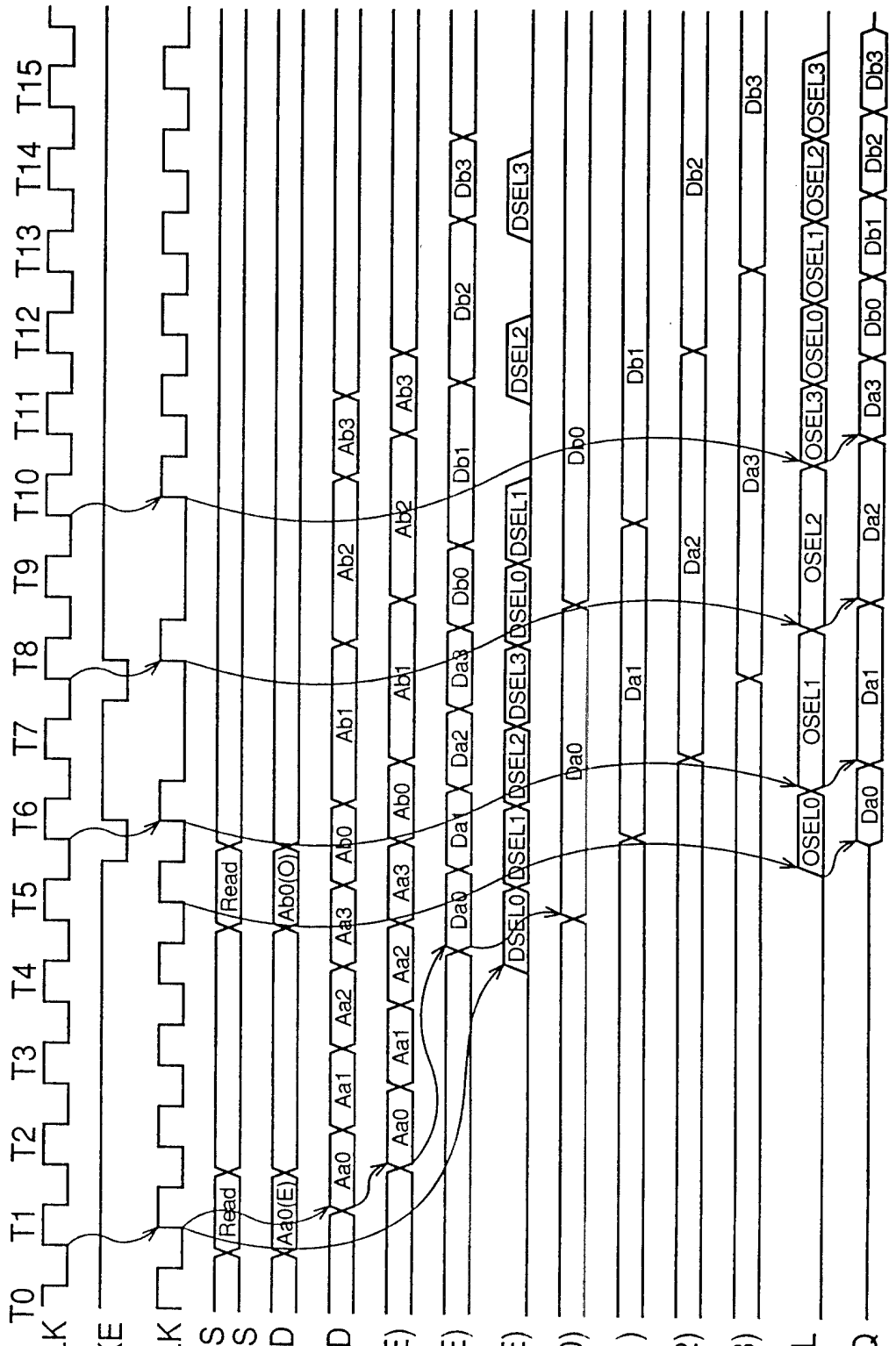
第4圖


DSEL0
OSEL0
REG0
IOBUS
DOUT
DSEL1
OSEL1
REG1
DSEL2
OSEL2
REG2
DSEL3
OSEL3
REG3

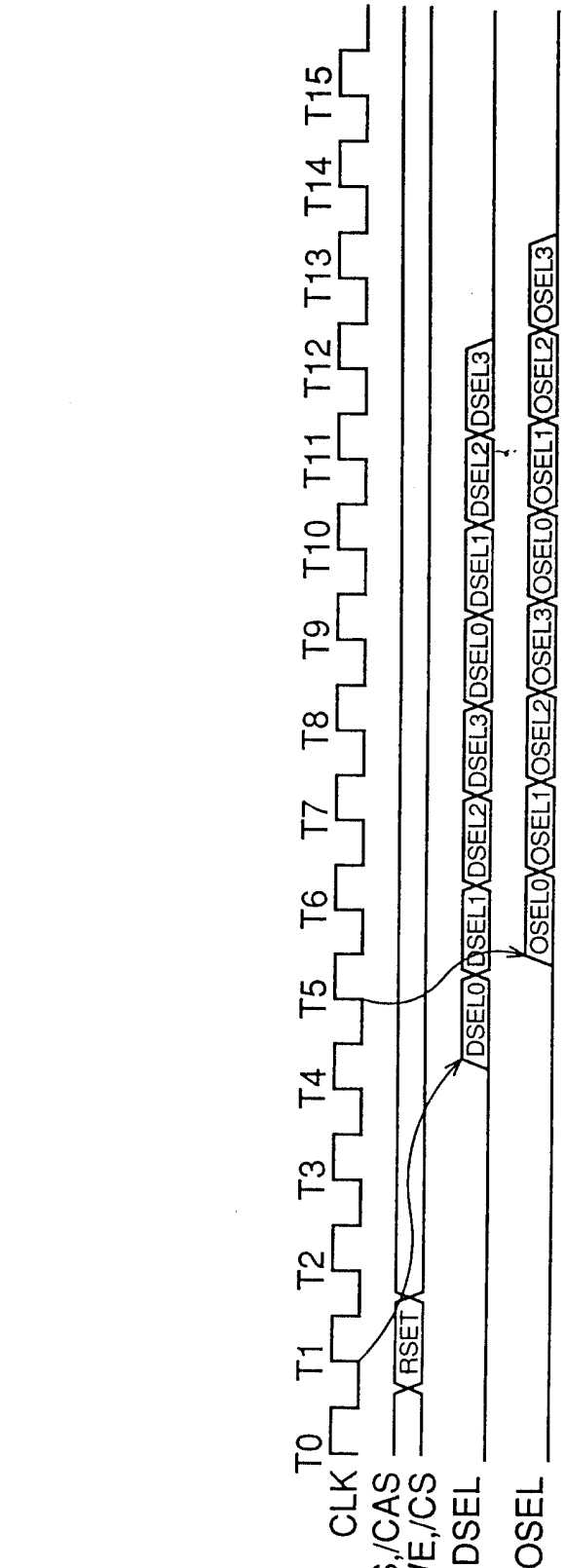
第5図


T0
T1
T2
T3
T4
T5
T6
T7
T8
T9
T10
T11
T12
T13
T14
T15
CLK
/RAS,/CAS
/WE,/CS
ADD
YADD
PYADD
IOBUS
DSEL
FIFO(REG0)
FIFO(REG1)
FIFO(REG2)
OSEL
DQ
Read
Aa0
Ab0
Aa1
Ab1
Aa2
Ab2
Aa3
Ab3
Da0
Da1
Da2
Da3
Db0
Db1
Db2
Db3
DSEL0
DSEL1
DSEL2
DSEL3
OSEL0
OSEL1
OSEL2
OSEL3

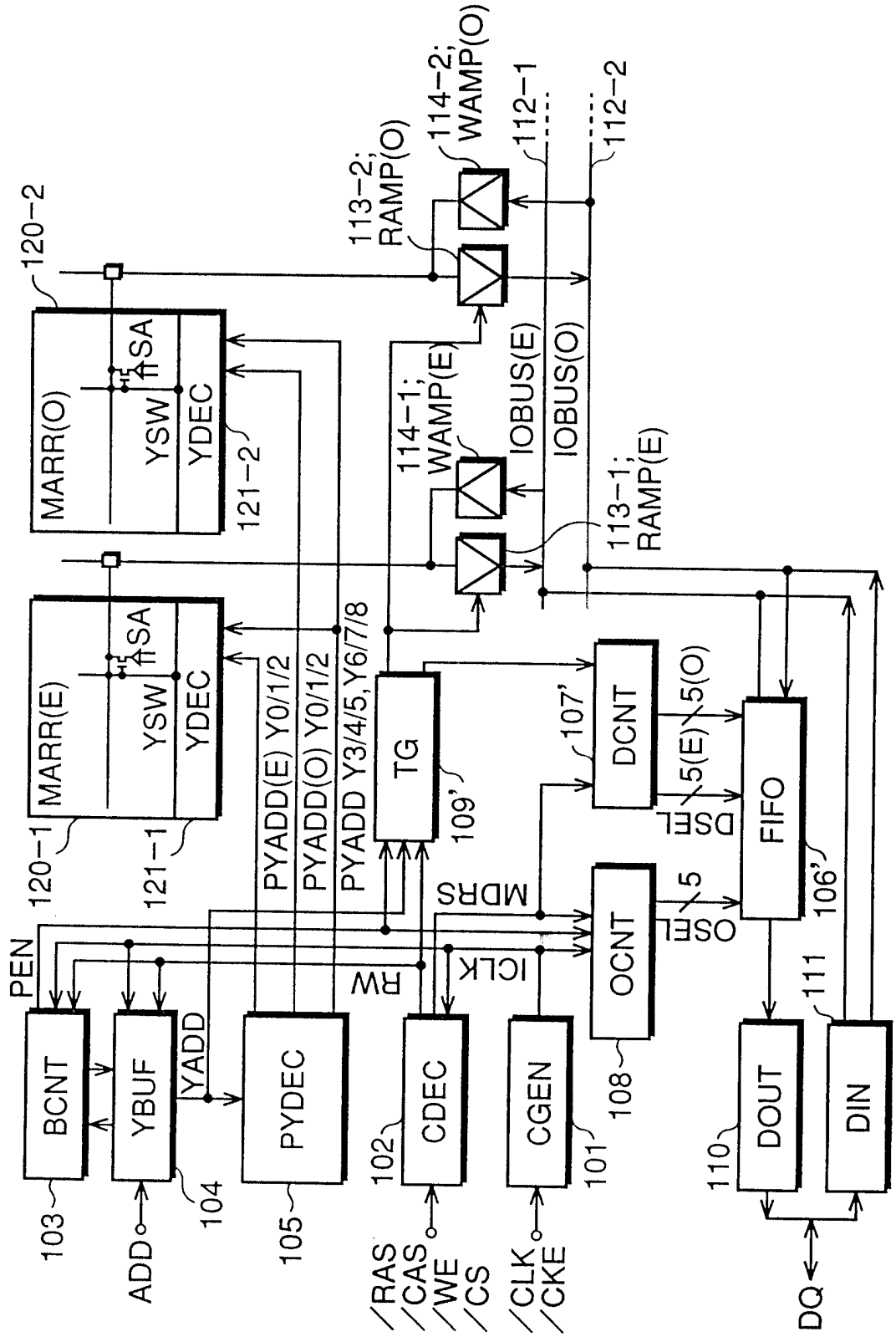
第6圖


T0
T1
T2
T3
T4
T5
T6
T7
T8
T9
T10
T11
T12
T13
T14
T15
CLK
CKE
ICLK
/RAS,/CAS
/WE,/CS
ADD
YADD
PYADD(E)
IOBUS(E)
DSEL(E)
FIFO(REG0)
FIFO(REG1)
FIFO(REG2)
FIFO(REG3)
OSEL
DQ
/Read
Aa0(E)
Ab0(O)
Aa0
Aa1
Aa2
Aa3
Ab0
Ab1
Ab2
Ab3
Da0
Da1
Da2
Da3
Db0
Db1
Db2
Db3
DSEL0
DSEL1
DSEL2
DSEL3
OSEL0
OSEL1
OSEL2
OSEL3

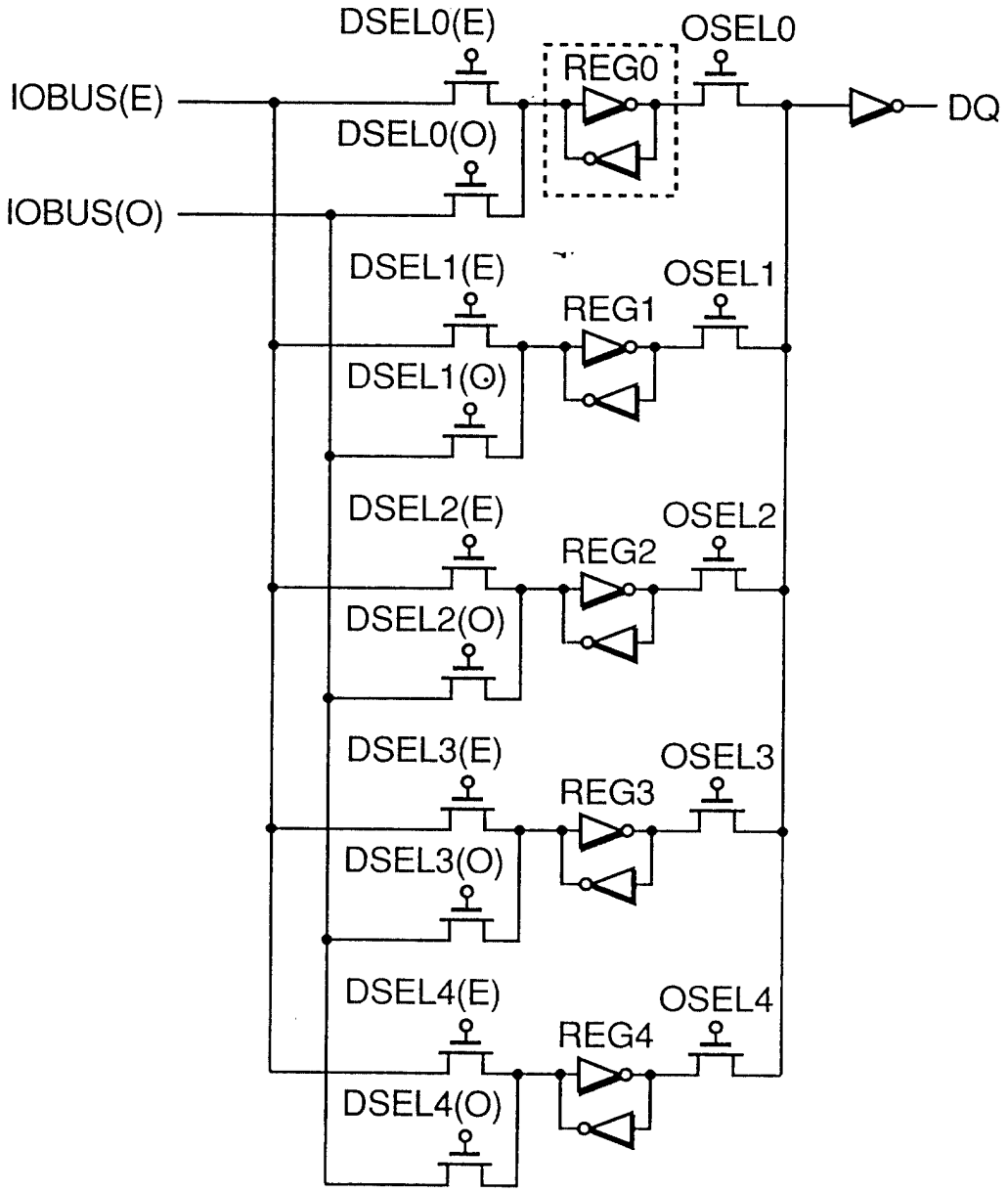
第7圖


T0
T1
T2
T3
T4
T5
T6
T7
T8
T9
T10
T11
T12
T13
T14
T15
CLK
/RAS,/CAS
/WE,/CS
DSEL
OSEL
RSET
DSEL0
DSEL1
DSEL2
DSEL3
OSEL0
OSEL1
OSEL2
OSEL3

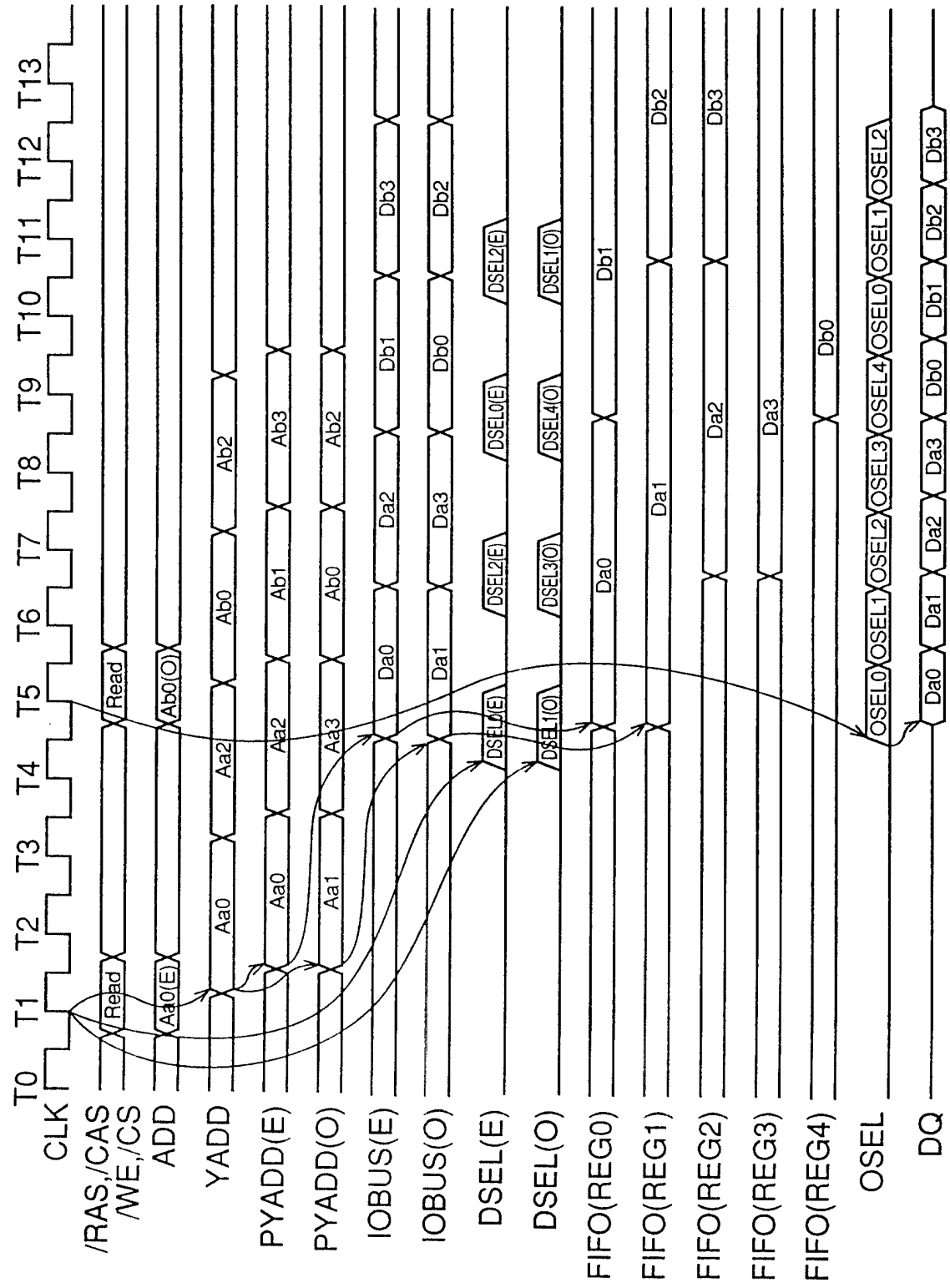
第8圖


120-2
MARR(O)
YSW
SA
YDEC
121-2
113-2;
RAMP(O)
114-2;
WAMP(O)
112-1
112-2
114-1;
WAMP(E)
IOBUS(E)
IOBUS(O)
113-1;
RAMP(E)
120-1
MARR(E)
121-1
PYADD(E) Y0/1/2
PYADD(O) Y0/1/2
PYADD Y3/4/5,Y6/7/8
TG
109'
107'
DCNT
5(O)
5(E)
DSEL
FIFO
106'
MDRS
OCNT
5
OSEL
PEN
RW
ICLK
111
BCNT
YBUF
YADD
PYDEC
CDEC
CGEN
108
103
104
105
102
101
110
DOUT
DIN
ADD
/RAS
/CAS
/WE
/CS
/CLK
/CKE
DQ

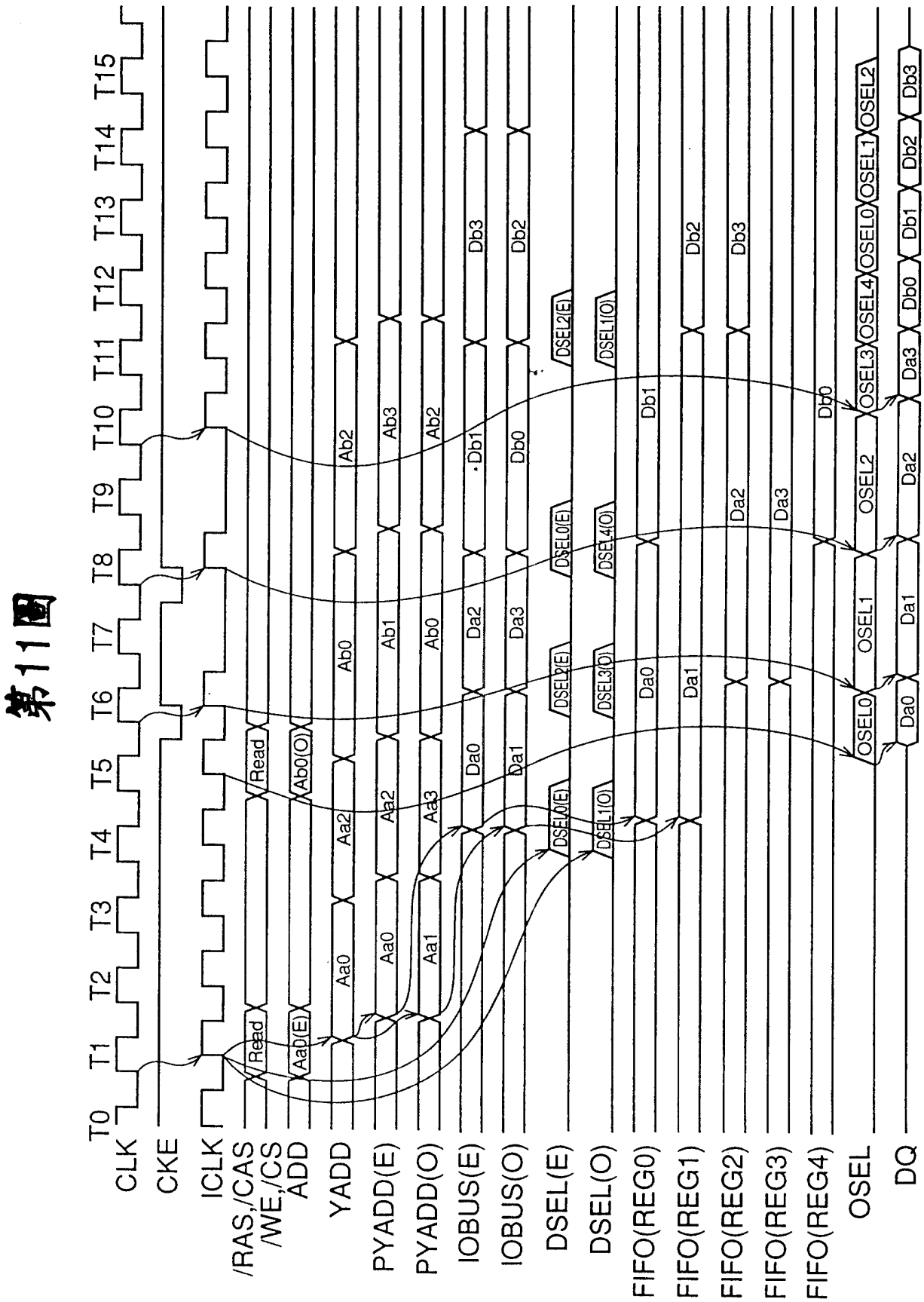
第9圖


DSEL0(E)
OSEL0
REG0
IOBUS(E)
DQ
DSEL0(O)
IOBUS(O)
DSEL1(E)
OSEL1
REG1
DSEL1(O)
DSEL2(E)
OSEL2
REG2
DSEL2(O)
DSEL3(E)
OSEL3
REG3
DSEL3(O)
DSEL4(E)
OSEL4
REG4
DSEL4(O)

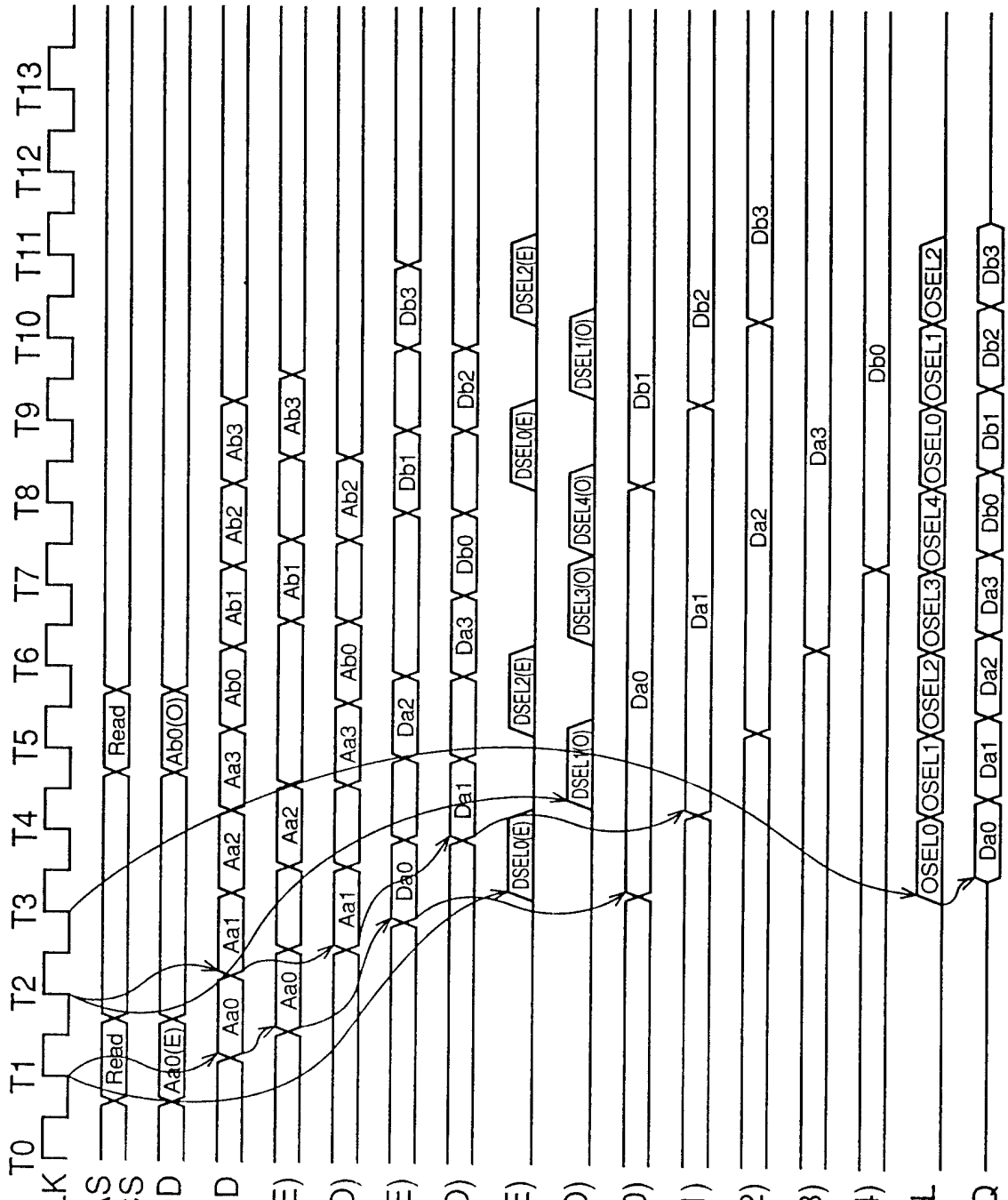
第10圖


T0
T1
T2
T3
T4
T5
T6
T7
T8
T9
T10
T11
T12
T13
CLK
/RAS,/CAS
/WE,/CS
ADD
YADD
PYADD(E)
PYADD(O)
IOBUS(E)
IOBUS(O)
DSEL(E)
DSEL(O)
FIFO(REG0)
FIFO(REG1)
FIFO(REG2)
FIFO(REG3)
FIFO(REG4)
OSEL
DQ
Read
Aa0(E)
Ab0(O)
Aa0
Aa2
Ab0
Ab2
Aa1
Aa3
Ab1
Ab3
Da0
Da1
Da2
Da3
Db0
Db1
Db2
Db3
DSEL0(E)
DSEL2(E)
DSEL1(O)
DSEL3(O)
DSEL4(O)
Db0
Db1
Db2
Db3
OSEL0
OSEL1
OSEL2
OSEL3
OSEL4

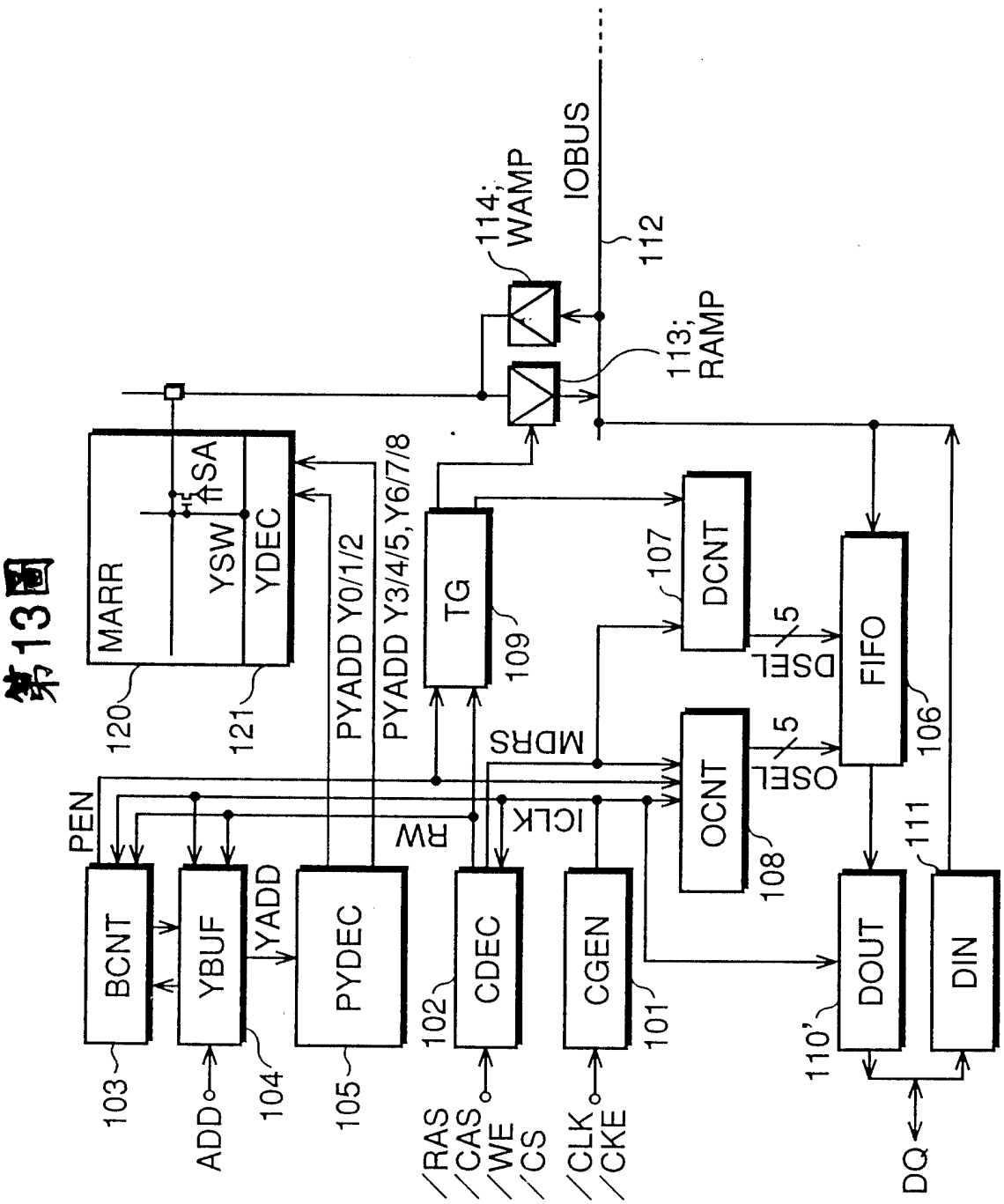
第11圖


T0
T1
T2
T3
T4
T5
T6
T7
T8
T9
T10
T11
T12
T13
T14
T15
CLK
CKE
ICLK
/RAS,/CAS
/WE,/CS
ADD
YADD
PYADD(E)
PYADD(O)
IOBUS(E)
IOBUS(O)
DSEL(E)
DSEL(O)
FIFO(REG0)
FIFO(REG1)
FIFO(REG2)
FIFO(REG3)
FIFO(REG4)
OSEL
DQ
Read
Aa0(E)
Ab0(O)
Aa0
Aa1
Aa2
Aa3
Ab0
Ab1
Ab2
Ab3
Da0
Da1
Da2
Da3
Db0
Db1
Db2
Db3
DSEL0(E)
DSEL1(O)
DSEL2(E)
DSEL3(O)
DSEL4(O)
OSEL0
OSEL1
OSEL2
OSEL3
OSEL4

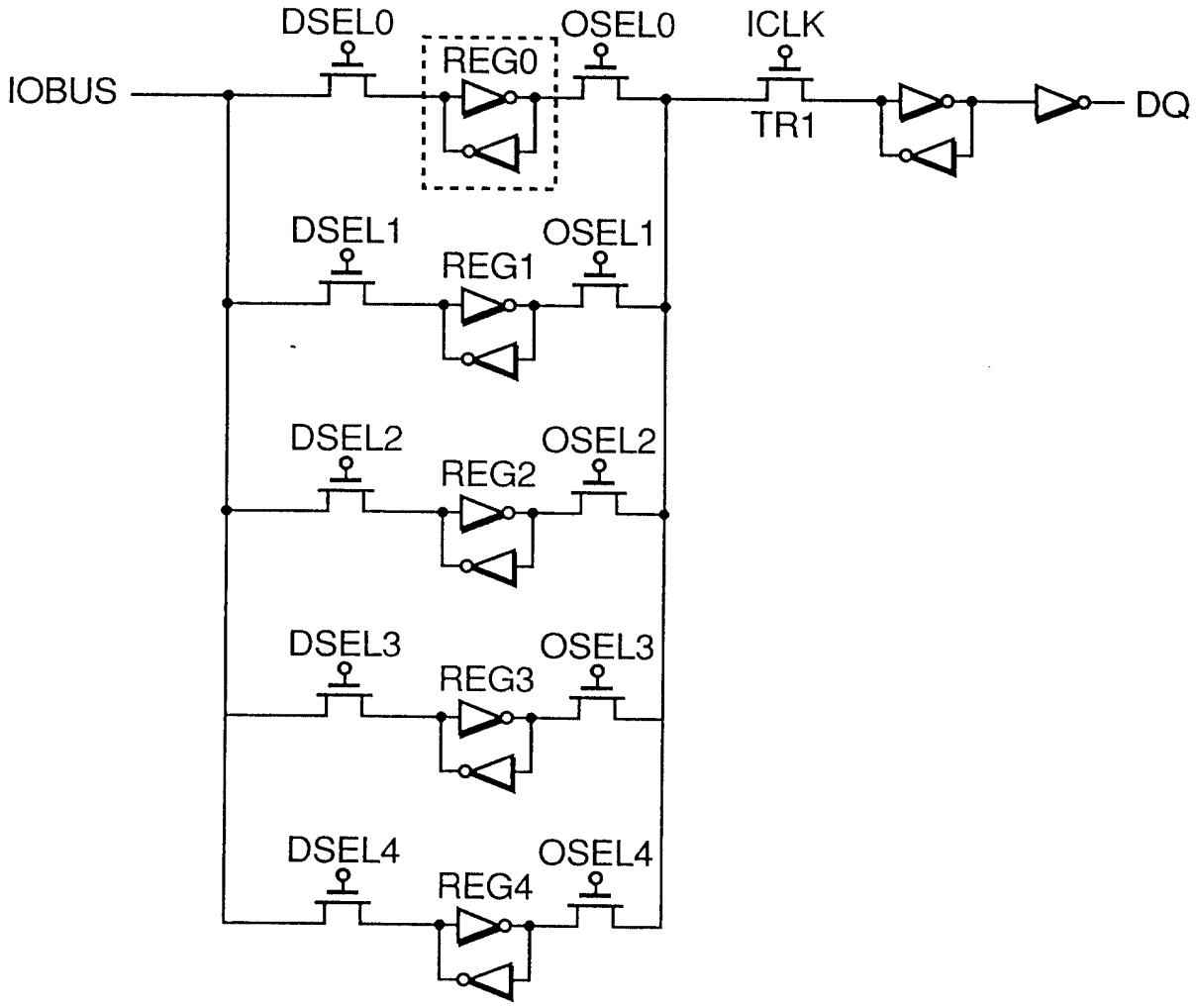
第12図


T0
T1
T2
T3
T4
T5
T6
T7
T8
T9
T10
T11
T12
T13
CLK
/RAS,/CAS
/WE,/CS
ADD
YADD
PYADD(E)
PYADD(O)
IOBUS(E)
IOBUS(O)
DSEL(E)
DSEL(O)
FIFO(REG0)
FIFO(REG1)
FIFO(REG2)
FIFO(REG3)
FIFO(REG4)
OSEL
DQ
Read
Aa0(E)
Aa0
Aa1
Aa2
Aa3
Ab0(O)
Ab0
Ab1
Ab2
Ab3
Da0
Da1
Da2
Da3
Db0
Db1
Db2
Db3
DSEL0(E)
DSEL1(O)
DSEL2(E)
DSEL3(O)
DSEL4(O)
OSEL0
OSEL1
OSEL2
OSEL3
OSEL4

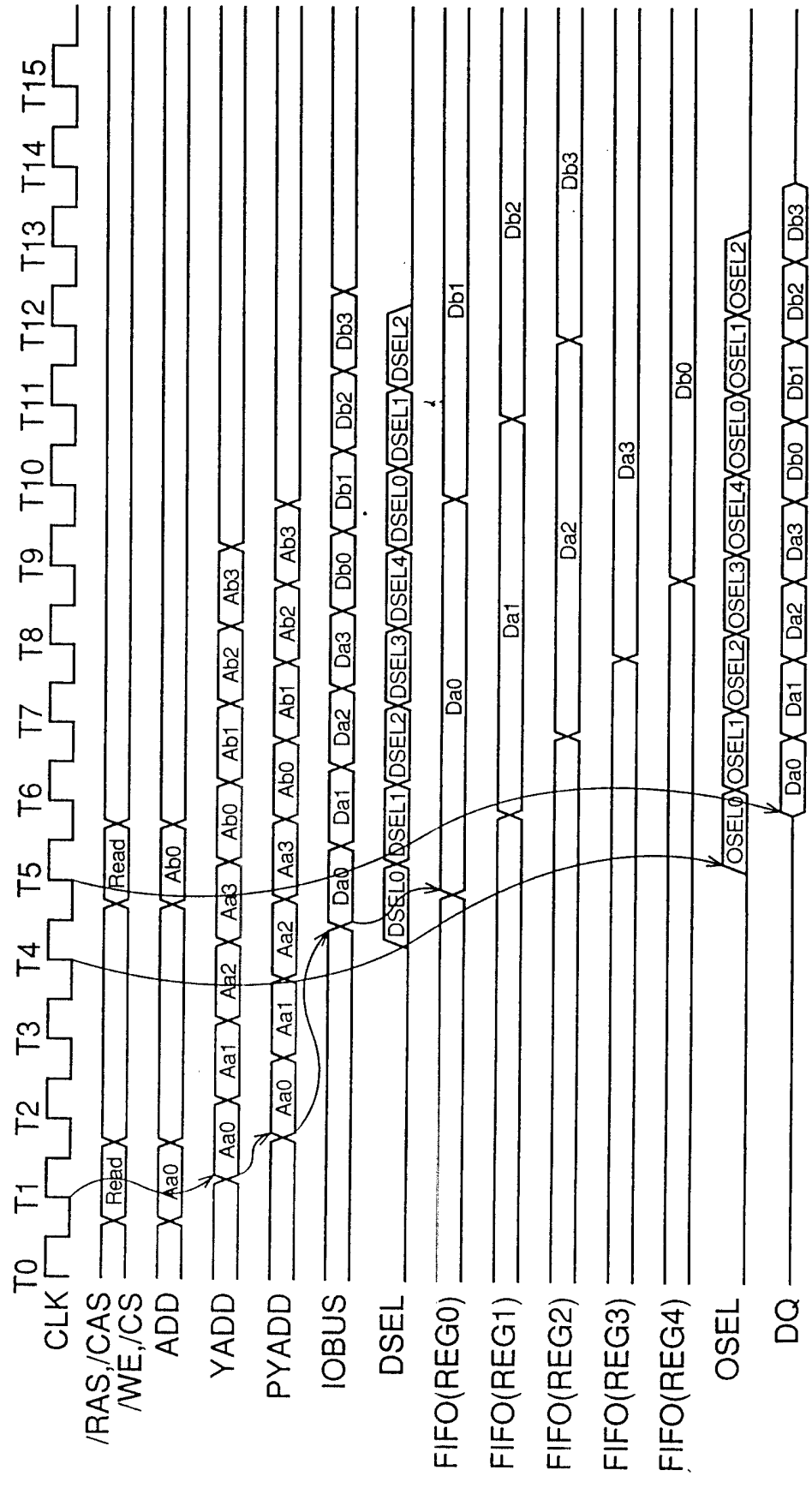
第13圖


IOBUS
112
114;
WAMP
113;
RAMP
MARR
YSW
YSA
YDEC
120
121
PYADD Y0/1/2
PYADD Y3/4/5, Y6/7/8
TG
109
DCNT
107
DSEL
5
FIFO
106
MDRS
OSEL
5
OCNT
108
PEN
RW
ICLK
BCNT
YBUF
YADD
PYDEC
CDEC
CGEN
DOUT
DIN
111
103
104
105
102
101
110'
ADD
/RAS
/CAS
/WE
/CS
/CLK
/CKE
DQ

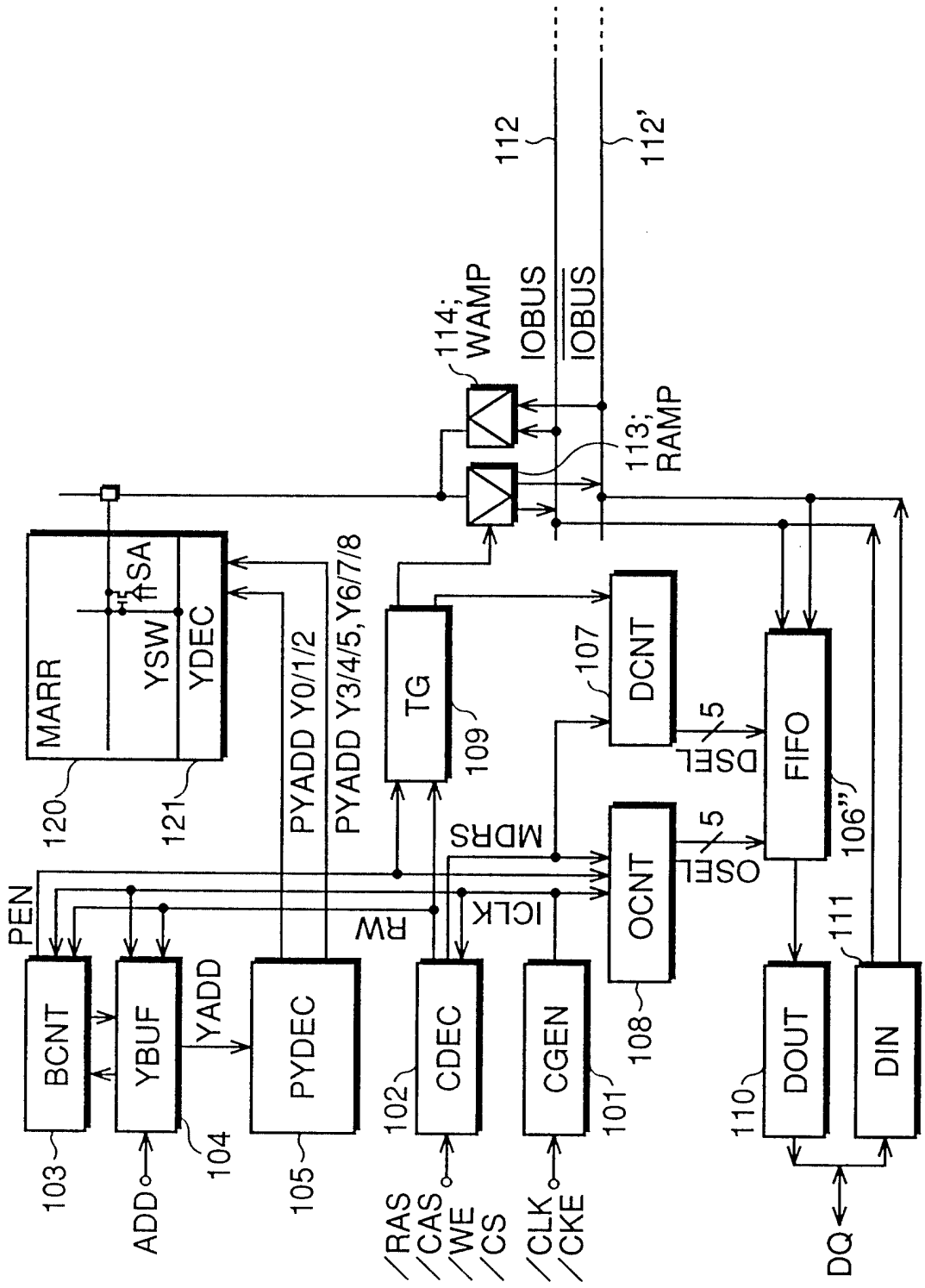
第14圖


DSEL0
OSEL0
ICLK
REG0
IOBUS
TR1
DQ
DSEL1
OSEL1
REG1
DSEL2
OSEL2
REG2
DSEL3
OSEL3
REG3
DSEL4
OSEL4
REG4

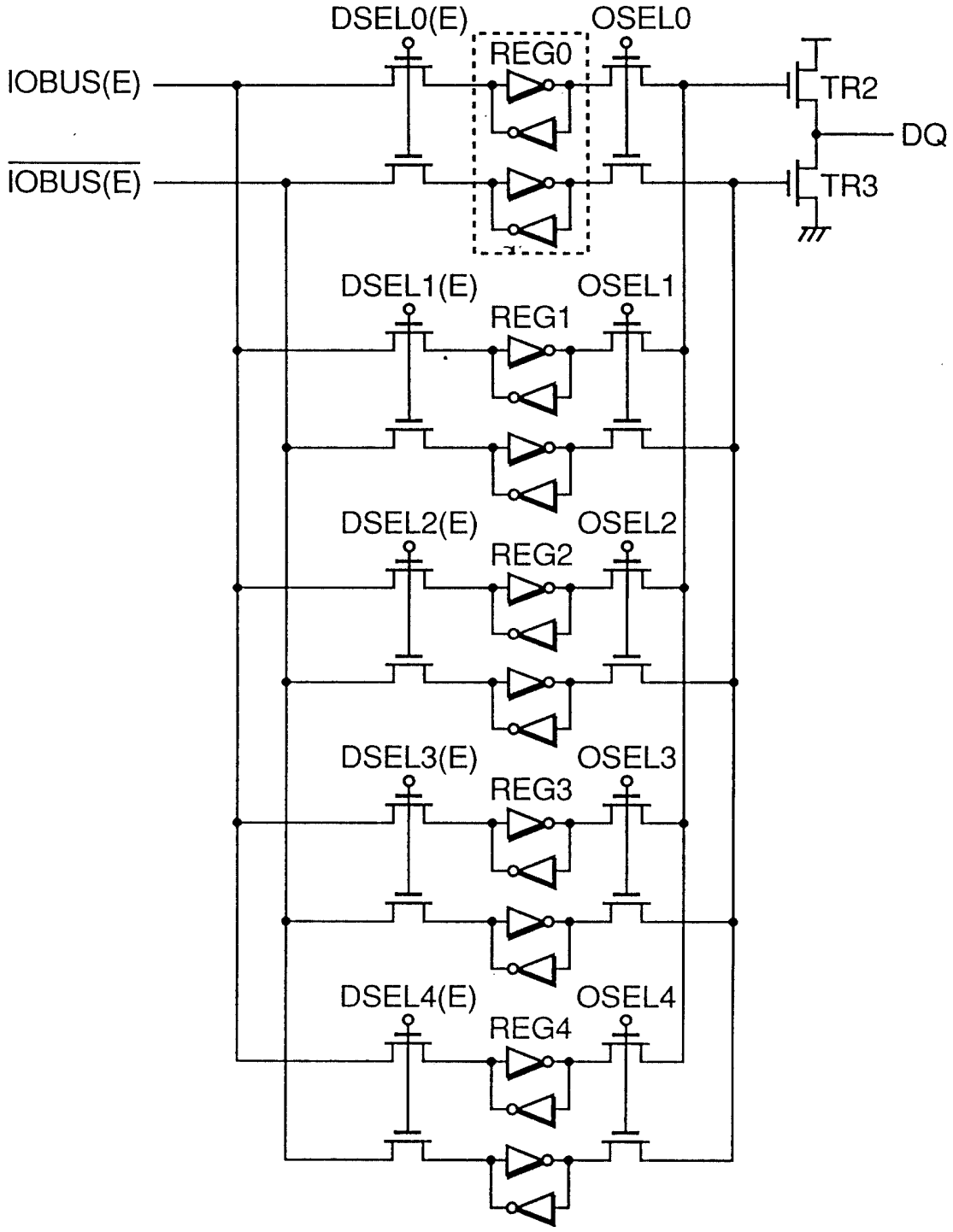
第15図


T0
T1
T2
T3
T4
T5
T6
T7
T8
T9
T10
T11
T12
T13
T14
T15
CLK
/RAS,/CAS
/WE,/CS
ADD
YADD
PYADD
IOBUS
DSEL
FIFO(REG0)
FIFO(REG1)
FIFO(REG2)
FIFO(REG3)
FIFO(REG4)
OSEL
DQ
Read
Aa0
Aa1
Aa2
Aa3
Ab0
Ab1
Ab2
Ab3
Da0
Da1
Da2
Da3
Db0
Db1
Db2
Db3
DSEL0
DSEL1
DSEL2
DSEL3
DSEL4
OSEL0
OSEL1
OSEL2
OSEL3
OSEL4

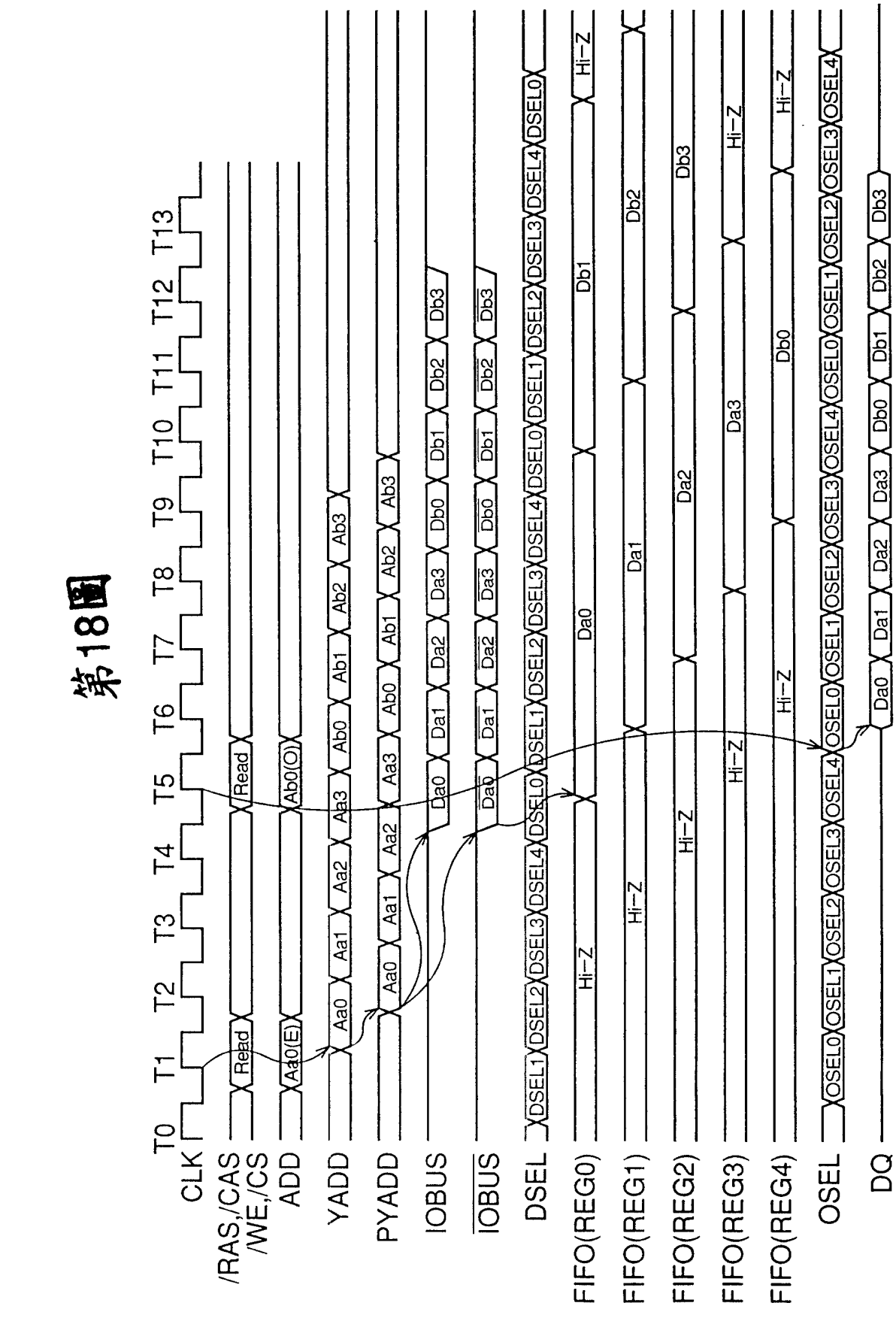
第16圖


112
112'
114;
WAMP
IOBUS
IOBUS
113;
RAMP
MARR
YSW
YSA
YDEC
120
121
PYADD Y0/1/2
PYADD Y3/4/5,Y6/7/8
TG
109
107
DCNT
5
DSEL
FIFO
106"
MDRS
5
OSEL
OCNT
108
PEN
RW
ICLK
111
BCNT
YBUF
YADD
PYDEC
CDEC
CGEN
DOUT
DIN
103
104
105
102
101
110
ADD
/RAS
/CAS
/WE
/CS
/CLK
/CKE
DQ

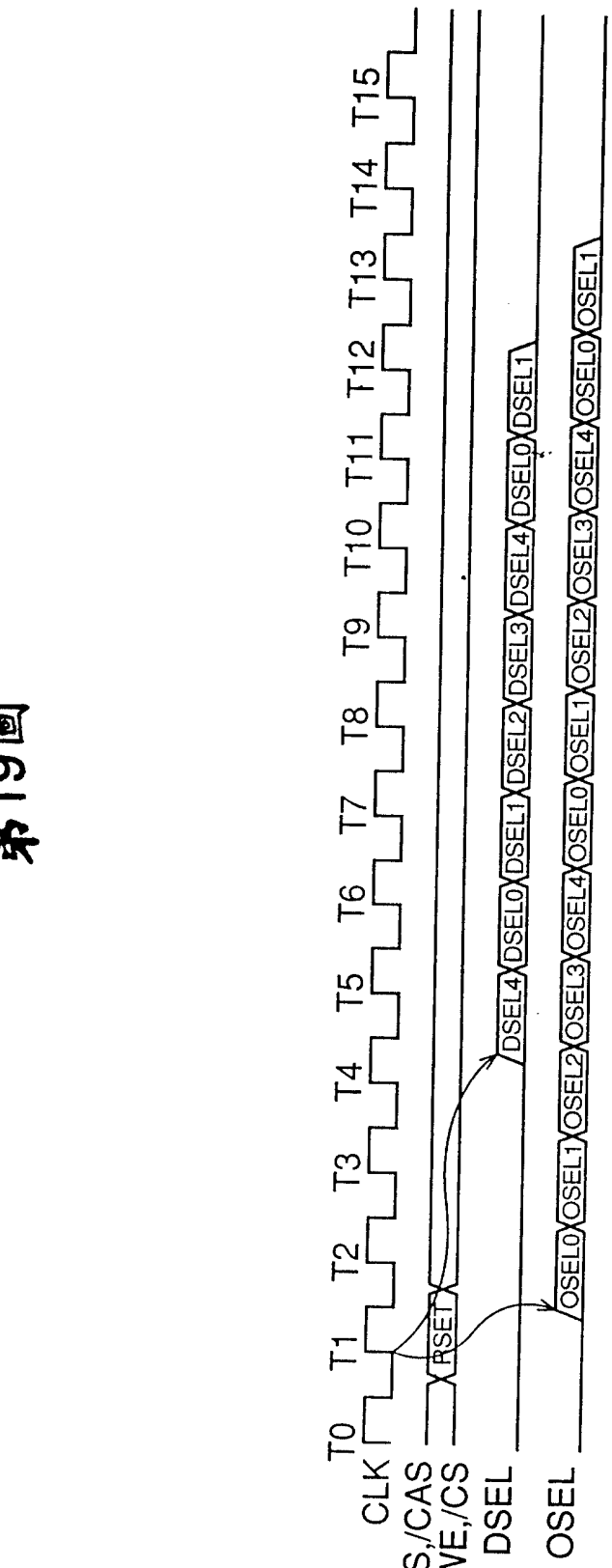
第17圖


DSEL0(E)
OSEL0
REG0
IOBUS(E)
TR2
DQ
IOBUS(E)
TR3
DSEL1(E)
OSEL1
REG1
DSEL2(E)
OSEL2
REG2
DSEL3(E)
OSEL3
REG3
DSEL4(E)
OSEL4
REG4

第18圖


T0 T1 T2 T3 T4 T5 T6 T7 T8 T9 T10 T11 T12 T13
CLK
/RAS,/CAS
/WE,/CS
ADD
YADD
PYADD
IOBUS
IOBUS
DSEL
FIFO(REG0)
FIFO(REG1)
FIFO(REG2)
FIFO(REG3)
FIFO(REG4)
OSEL
DQ
Read
Aa0(E)
Ab0(O)
Hi-Z

第19圖


T0
T1
T2
T3
T4
T5
T6
T7
T8
T9
T10
T11
T12
T13
T14
T15
CLK
/RAS,/CAS
/WE,/CS
DSEL
OSEL
RSET
DSEL4
DSEL0
DSEL1
DSEL2
DSEL3
DSEL4
DSEL0
DSEL1
OSEL0
OSEL1
OSEL2
OSEL3
OSEL4
OSEL0
OSEL1
OSEL2
OSEL3
OSEL4
OSEL0
OSEL1