

(21) 申請案號：102141086

(22) 申請日：中華民國 102 (2013) 年 11 月 12 日

(51) Int. Cl. : **G11C16/06 (2006.01)**

(30) 優先權：2013/02/07 美國 13/761,996

(71) 申請人：輝達公司 (美國) NVIDIA CORPORATION (US)
美國

(72) 發明人：達力 威廉 詹姆士 DALLY, WILLIAM JAMES (US)

(74) 代理人：蔡濱陽

申請實體審查：有 申請專利範圍項數：21 項 圖式數：2 共 16 頁

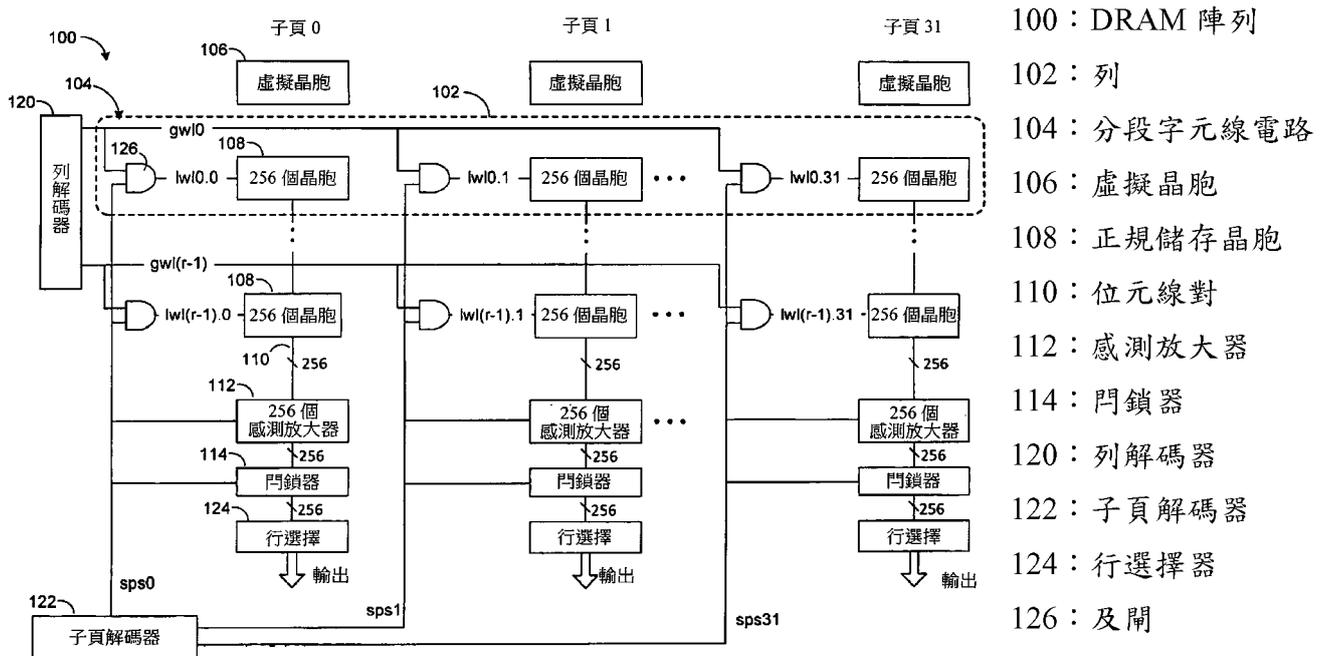
(54) 名稱

具有分段頁結構的動態隨機存取記憶體

DRAM WITH SEGMENTED PAGE CONFIGURATION

(57) 摘要

本發明有關一種具有複數個列與複數個行的動態隨機存取記憶體(DRAM)陣列。該陣列更包括複數個晶胞，其每一者係與該等行之一者與該等列之一者相關聯。每個晶胞包括一電容器，其選擇性耦合其有關聯行之一位元線，以在選定該晶胞時可與該位元線共用電荷。每列有一分段字元線電路，其可控制以促成僅選擇該列中的該等晶胞之一部分。



第一圖

(21) 申請案號：102141086

(22) 申請日：中華民國 102 (2013) 年 11 月 12 日

(51) Int. Cl. : **G11C16/06 (2006.01)**

(30) 優先權：2013/02/07 美國 13/761,996

(71) 申請人：輝達公司 (美國) NVIDIA CORPORATION (US)
美國

(72) 發明人：達力 威廉 詹姆士 DALLY, WILLIAM JAMES (US)

(74) 代理人：蔡濱陽

申請實體審查：有 申請專利範圍項數：21 項 圖式數：2 共 16 頁

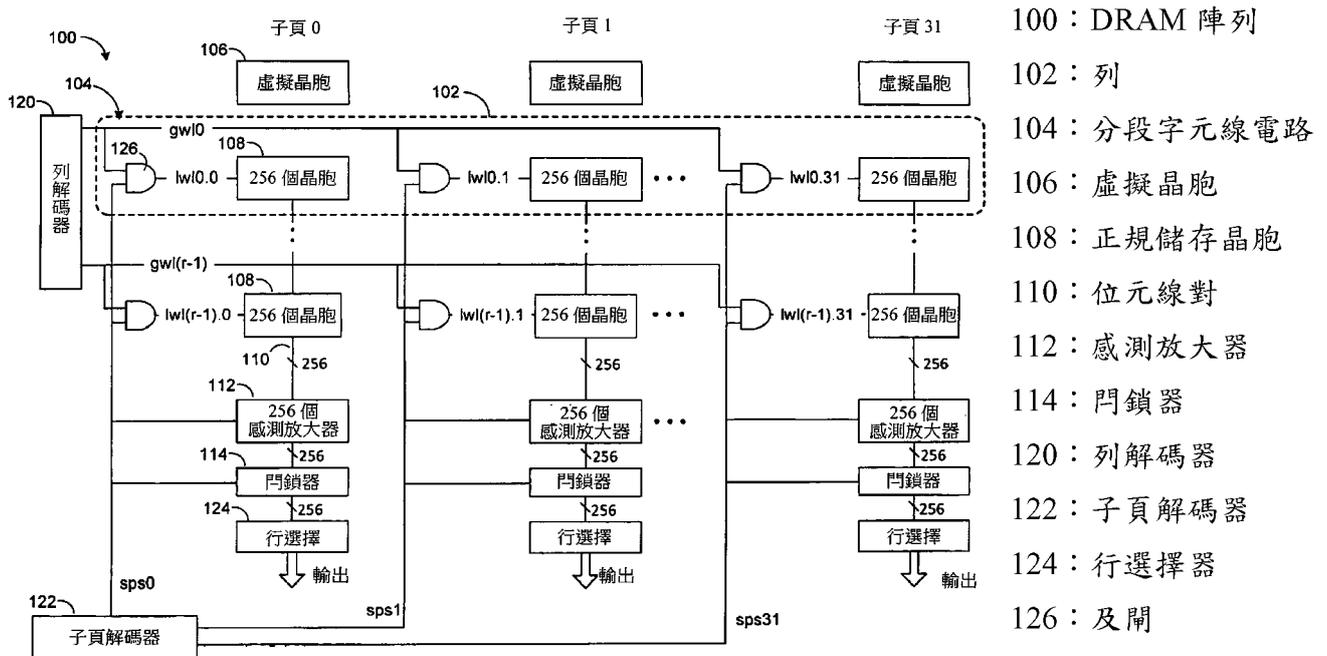
(54) 名稱

具有分段頁結構的動態隨機存取記憶體

DRAM WITH SEGMENTED PAGE CONFIGURATION

(57) 摘要

本發明有關一種具有複數個列與複數個行的動態隨機存取記憶體(DRAM)陣列。該陣列更包括複數個晶胞，其每一者係與該等行之一者與該等列之一者相關聯。每個晶胞包括一電容器，其選擇性耦合其有關聯行之一位元線，以在選定該晶胞時可與該位元線共用電荷。每列有一分段字元線電路，其可控制以促成僅選擇該列中的該等晶胞之一部分。



第一圖

發明摘要

※ 申請案號：102141086

※ 申請日：102.11.12

※IPC 分類：

G11C 16/06 2006.01

【發明名稱】(中文/英文)

具有分段頁結構的動態隨機存取記憶體/DRAM WITH SEGMENTED PAGE CONFIGURATION

【中文】

本發明有關一種具有複數個列與複數個行的動態隨機存取記憶體 (DRAM)陣列。該陣列更包括複數個晶胞，其每一者係與該等行之一者與該等列之一者相關聯。每個晶胞包括一電容器，其選擇性耦合其有關聯行之一位元線，以在選定該晶胞時可與該位元線共用電荷。每列有一分段字元線電路，其可控制以促成僅選擇該列中的該等晶胞之一部分。

【英文】

This description is directed to a dynamic random access memory (DRAM) array having a plurality of rows and a plurality of columns. The array further includes a plurality of cells, each of which are associated with one of the columns and one of the rows. Each cell includes a capacitor that is selectively coupled to a bit line of its associate column so as to share charge with the bit line when the cell is selected. There is a segmented word line circuit for each row, which is controllable to cause selection of only a portion of the cells in the row.

【代表圖】

【本案指定代表圖】：第（一）圖。

【本代表圖之符號簡單說明】：

100	DRAM陣列	112	感測放大器
102	列	114	閘鎖器
104	分段字元線電路	120	列解碼器
106	虛擬晶胞	122	子頁解碼器
108	正規儲存晶胞	124	行選擇器
110	位元線對	126	及閘

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

具有分段頁結構的動態隨機存取記憶體/DRAM WITH SEGMENTED PAGE CONFIGURATION

【技術領域】

【0001】 慣用的動態隨機存取記憶體(DRAM, Dynamic Random Access Memory)陣列具有大型頁大小(在列啟動操作期間讀入感測放大器的位元數)。

【背景技術】

【0002】 通常 8,192 位元的大型頁大小是有益的，其在於允許該整個陣列以較少操作刷新。另一方面，該大型頁大小可能導致相當大的能量浪費。不必要的能量消耗之一範例係讀取操作，其中通常僅該頁中的較少位元數(4-32)參與。儘管如此，該頁中的全部位元線會被充電及放電，以在慣用的 DRAM 中執行此讀取。所以當僅需要來自該頁之一部分的資料時，消耗能量來讀取該整頁。

【簡述】

【0003】 本發明有關一種動態隨機存取記憶體(DRAM)陣列，其可以用更節能的方式操作。該 DRAM 陣列以列與行組織為晶胞(cells)之矩陣，使得每個晶胞僅與特定的列與行有關聯。該 DRAM 陣列具有寬度，亦稱為頁寬度，其等於該陣列中的行數。該 DRAM 陣列的構成使得可以實行某些操作，以僅影響該等行之一些者，或僅影響該陣列之寬度之一部分。例如，該陣列之該等列可具有分段字元線，使得每列具有多條局部字元線。一個或多個選定局部字元線可用於選擇並讀取僅那些與該等局部字元線相關晶胞，而非啟動該整列並藉此消耗能量來讀取並恢復可能未參與的位元(亦即由於「過度提取(overfetch)」的能量浪費)。有關該等非選定局部字元線的該等行未使用，倘若使用全部該等行，可以節省將消耗的能量。具體而言，那些非選定行之該等位元線不需要被充電及放電以執行該針對性的讀取。不需要恢復用於這些行的該等晶胞與虛擬(dummy)晶胞。

【圖式簡單說明】

【0004】 第一圖示意性顯示根據本發明之示例性動態隨機存取記憶體(DRAM)陣列，其具有分段頁結構。

第二圖示意性描繪出第一圖之 DRAM 陣列之行與相關結構。

【實施方式】

【0005】 第一圖顯示根據本發明之示例性 DRAM 陣列 100。DRAM 陣列 100 包括儲存晶胞，其係以列與行之矩陣設置，使得每個儲存晶胞只與一特定的列與行有關聯。在第一圖之範例中，該陣列具有 r 列(其中之一在圖示中使用編號 102 表示)與 8,192 行(八千位元頁大小)。該等 8,192 行分組成每個有 256 行之 32 個群組或「子頁(subpages)」。由標記「虛擬晶胞(dummy cells)」的每個方框置頂的元件之垂直堆疊係對應於 256 行之該等 32 個群組之一者。因此，每行具有 r 個晶胞(該陣列中的列數)且每列具有 8192 個晶胞(該陣列中的行數)。在虛擬晶胞採用之處，每行亦將具有兩虛擬晶胞，一為偶數且一為奇數。每個群組的該等特定的列數、行數、晶胞數與行數在該範例中係任意；對於該實作亦可適當採用其他數量。

【0006】 第二圖示意性顯示 DRAM 陣列 100 之範例行 200。行 200 包括一對位元線，即是偶數位元線 202 與奇數位元線 204，其耦合於感測放大器 206。該圖示顯示六個晶胞：四個正規儲存晶胞 208 與兩個虛擬晶胞 210。每個晶胞 208 具有電容器 212，其經由電晶體 214 (其閘極耦合於一觸動(asserted)以使該電晶體導通的字元線 216)耦合於該等位元線之一者。晶胞 208a 與 208c 耦合於偶數位元線 202，且晶胞 208b 與 208d 耦合於奇數位元線 204。晶胞 208a 與 208c 可因此稱為「偶數晶胞(even cells)」，且晶胞 208b 與 208d 稱為「奇數晶胞(odd cells)」。其相關聯字元線可同樣指定，亦即 216a 與 216c 係偶數字元線，且 216b 與 216d 係奇數字元線。

【0007】 虛擬晶胞 210 包括電容器 220、電晶體 222 與字元線 224 之類似結構。虛擬晶胞 210a 耦合於偶數位元線 202，且其及其虛擬字元線 224a 可因此稱為「偶數(even)」。虛擬晶胞 210b 與虛擬字元線 224b 依序係「奇數(odd)」。

【0008】 讀取儲存於該等晶胞中的該等邏輯高(HI)或邏輯低(LO)值

之前，位元線 202 與 204、與虛擬晶胞 210 預充電至該邏輯 HI 電壓之 50%。為了簡化，邏輯 HI 與邏輯 LO 於說明書中分別稱為 Vdd 與 Vss。一列隨後藉由觸動該等字元線 216 之一者而啟動，以使該電晶體導通並促成儲存於該晶胞電容器上的邏輯 HI 或 LO 電壓能與該預充電的位元線共用。相較於該晶胞之電容，通常該位元線之電容相對較高。因此，若該所儲存的值係 HI，則電荷共用之後在該位元線上所產生的電壓將略高於該已預充電的 50%值(Vdd/2 加上少量)。若該所儲存的值係 LO (Vss)，則在電荷共用之後該所產生的電壓將略低於該 50%的值(Vdd/2 減去少量)。

【0009】 在觸動該特定的字元線 21 的同時，觸動互補的虛擬字元線 224。換言之，若偶數列啟動(線 216a 或 216c)，則觸動該奇數虛擬線 224b，以促成該奇數虛擬晶胞共用電荷於該已預充電的奇數位元線 204，且反之亦然。

【0010】 此時，該等位元線之一者略高於或低於 Vdd/2，分別反映該晶胞中所儲存的值是否為 HI 或 LO，且另一者是在 Vdd/2，由於該虛擬晶胞電容器的預充電與該 Vdd/2 值。由於雜訊與其他因素，故可能會有某些漂移，但使用該虛擬晶胞有助於在面對雜訊與其他問題時，在該等位元線上產生準確可測量的差動信號。該感測放大器隨後會被觸發以擷取該差動信號並將該小型差動轉換成邏輯 HI 或 LO 輸出，其取決於在該儲存晶胞電容器上的值。該行亦可視需要包括一閘鎖器(latch) 226，以提供其他的儲存位元。例如，影響該感測放大器的刷新或預充電操作正執行的同時，一值可在該閘鎖器中保持有效(active)。除了擷取該差動信號之外，該感測放大器亦驅使該位元線全擺動(full swing)，以將該電容器恢復成該破壞性讀取之前所存在的其電荷位準。一旦跨該晶胞電容器復原該電荷，則該晶胞之字元線降低。

【0011】 請即重新參考第一圖，DRAM陣列 100 構成使得某些 DRAM 命令僅影響該陣列之寬度之選定部分。從該陣列之行的觀點，控制可以實行，以控制在字元線觸動、位元線預充電、感測放大器操作、閘鎖器控制、行選擇與其他受命的 DRAM 操作期間涉及該 DRAM 陣列之哪些行。從特定列的觀點，此控制可理解為形成 DRAM 命令僅影響該列之一部分的情況。

【0012】 DRAM陣列 100 包括 32 個子頁，在該圖示之頂部標示為「子頁 0 (Subpage 0)」至「子頁 31 (Subpage 31)」。每個子頁包括一群組有 256 行。每行是參考第二圖加以說明；即是，每行具有虛擬晶胞 106 與正規儲存晶胞 108，其耦合於位元線對 110，且該等位元線對係連接於感測放大器 112。如所指示，一或多個門鎖器 114 亦可包括在每行中，以儲存該感測放大器輸出，並藉此提供一或多個其他的儲存位元。為了簡化該圖示，參考編號僅標示於該第一子頁，且每行僅顯示單一門鎖器。

【0013】 在該列層級，該子頁結構係採分段字元線實行。具體而言，每列具有一分段字元線電路，其包括一全域字元線與複數個局部字元線。每個局部字元線係與該陣列之該等子頁之一者相關聯。請即參考列 102，分段字元線電路 104 包括一全域字元線(gwl0)與 32 個局部字元線 lw10.0 至 lw10.31。除此之外，如以下即將說明，該分段字元線電路為可控制，以促成僅選擇該陣列之有效列中的該等晶胞之一部分(例如僅使在選定一或多個子頁中的晶胞電晶體導通)。

【0014】 解碼與選擇功能是由可以選擇作為各種操作的列、子頁與行的一或多個解碼器執行。在本範例中，DRAM 陣列 100 包括一列解碼器 120、子頁解碼器 122 與行選擇器 124。DRAM 陣列 100 因此可以使用列、子頁與行欄位(fields)進行定址。通常，一次僅能選擇一列，所以在具有 256 列的陣列之情況下，該列欄位將是 8 位元寬。若一次僅選擇一子頁，則該等 32 個子頁將使用 5 位元欄位加以定址，然而，一次選擇一個子頁以上的實作亦可能。更進一步，有時想要有該選定陣列的全部子頁。子頁內的該等 256 個別行可以使用 8 位元欄位加以定址以選擇單一行。其他的命令頻寬可以針對選定多行的多重輸入/輸出(I/O)結構而提供。

【0015】 現將說明列啟動操作，其中晶胞電荷讀取位元線，位元線值會被感測，且晶胞恢復成該晶胞電容器上的電荷之破壞性讀取之前所存在的該等電荷值。為了啟動列之子頁，列解碼器 120 解碼列位址 ROW 以選擇單一全域字元線 gwl(ROW)變高。同時，子頁解碼器 122 解碼子頁位址 SUBPAGE 以產生子頁選擇信號，其用以驅動單一子頁選擇線 sps(SUBPAGE)變高。這兩觸動信號是經過邏輯 AND 運算(例如，使用「及」閘(AND gate)

126)，使得其同時促成單一局部字元線 $lwl(\text{ROW.SUBPAGE})$ 變高，其係由於該子頁選擇信號閘控該全域字元線所造成的結果。此選擇該列上與該子頁中的該等 256 個晶胞(其電晶體上的開關)，使得該等晶胞電容器連接於其已預充電的位元線並與之共用其電荷。該 $sps(\text{SUBPAGE})$ 觸動亦觸發感測放大器之相關聯子頁，以感測並擷取該等位元線上的信號，並將其恢復成全擺動。一旦該經恢復的電荷寫回該等選定晶胞，則該字元線可以降低。

【0016】 在第一圖中的該等行分群組與子頁解碼係任意且以例示性範例加以提供；不同的結構可以採用，而不致悖離本發明之精神。子頁可以具有任何能實行的行數。其他的解碼命令頻寬可以提供以選擇多個子頁，而非一次一子頁。例如，可以採用 2 之次方架構，以允許選擇該等 32 個子頁中的 2、4、8 或 16。在此種情況下，該陣列提供可變的頁寬度操作，其中該解碼器輸出判定所要啟動的列之部分之大小；一第一控制可以促成第一組子頁被啟動，且一第二控制啟動較大組子頁。在最普遍的情況下，子頁解碼可以任何組合與選定子頁數量之遮罩(在該現有的範例為 32 位元)實行。

【0017】 該子頁實作亦允許用於針對性的預充電操作，其可以產生顯著的能量節省。如以上所討論，該列啟動操作係以跨該等晶胞電容器恢復的值結束。因此，該預充電操作僅需要預充電該等感測放大器，並將該等虛擬晶胞與位元線設定成其 50% 的值。該等子頁選擇信號可以再次採用，使得該預充電操作僅影響該等選定行及其相關位元線、晶胞等。假設僅對一子頁做讀取操作，則後續的預充電可以侷限於該陣列之該部分，藉此避免消耗能量來預充電非選定子頁中的該等行。由於啟動與預充電操作發生的頻率遠高於刷新，故這些節省可以相當顯著。

【0018】 有時例如在刷新操作期間想要有同時選定的全部子頁。在第一圖之範例中，發信號係提供以啟動一全域字元線並促成全部子頁選擇線變高。此將該列中的全部晶胞與該等適當的虛擬晶胞連接至其各自的感測放大器，該等感測放大器亦由該等子頁選擇線觸發。如以上所說明，此促成該適當的電荷恢復至該晶胞，其後，該字元線降低。若針對每行提供額外的門鎖器，如在第一圖中，則可以執行刷新而不致能該門鎖器，以允許

該等頁在刷新期間保持有效。或者，特殊的刷新(全域列有效啟動)可以執行刷新並致能該門鎖器，以允許頁之全部子頁在單一操作中啟動。

【0019】 在讀與寫操作中使用行位址 COLUMN。第一圖顯示行選擇器 124，利用該行選擇器可以使用此一位址。在單一位元 I/O 操作(亦即讀取或寫入單一行)中，COLUMN 將係 8 位元欄位，當其與該子頁位址 SUBPAGE 結合時，將指定在標定的子頁內的特定個別行。一旦子頁已載入該等感測放大器(或該等門鎖器(若存在))，則該子頁與行位址之組合促成特定的行被讀出至該資料匯流排。這些位址亦在寫操作期間使用，以促成資料從該資料匯流排載入特定的感測放大器或門鎖器。

【0020】 當採用多重位元 I/O (亦即同時讀取/寫入多重晶胞)時，通常想要將該活動限制於盡可能少的子頁，以利用該所說明的分段之該等能量節省特徵。例如，若執行 32 位元讀取，則從每個子頁取得一位元將需要將 8k 位元讀入該等感測放大器。或者，該等 32 位元可全部從單一子頁讀取，藉此避免從該等其他 31 個子頁讀取所需的過度提取能量消耗。

【0021】 此書面說明使用範例來揭示本發明(包括最佳模式)，且亦讓此領域一般技術者能夠實作本發明，包括製造並使用任何元件或系統與執行任何合併方法。本發明之可專利範疇是由文後申請專利範圍定義，且可包括熟諳此技術領域者所理解的其他範例。此其他範例係認為在文後申請專利範圍的範疇內。

【符號說明】

100	DRAM 陣列	120	列解碼器
102	列	122	子頁解碼器
104	分段字元線電路	124	行選擇器
106	虛擬晶胞	126	及閘
108	正規儲存晶胞	200	行
110	位元線對	202	偶數位元線；位元線
112	感測放大器	204	奇數位元線；位元線
114	門鎖器	206	感測放大器

208	正規儲存晶胞；晶胞	220	電容器
208a、208c	晶胞；偶數晶胞	222	電晶體
208b、208d	晶胞；奇數晶胞	224	字元線；虛擬字元線
210、210a、210b	虛擬晶胞	224a	虛擬字元線
212	電容器	224b	虛擬字元線；奇數虛擬 線
214	電晶體	226	閃鎖器
216	字元線	Vdd	邏輯高
216a、216c	偶數字元線；線	Vss	邏輯低
216b、216d	奇數字元線		

申請專利範圍

1. 一種動態隨機存取記憶體(DRAM, Dynamic Random Access Memory)陣列，包括：
 - 複數個列；
 - 複數個行；
 - 複數個晶胞(cells)，每一者係與該等行之一者與該等列之一有關聯，其中每個晶胞包括一電容器，其選擇性耦合其相關的行之一位元線，以在選定該晶胞時可與該位元線共用電荷；及
 - 一段字元線電路，其用於每列，該分段字元線電路為可控制，以促成僅選擇該列中的該等晶胞之一部分。
2. 如申請專利範圍第 1 項之 DRAM 陣列，其中對於每列，該分段字元線電路包括：
 - 一全域字元線；及
 - 複數個局部字元線，其每一者耦合該全域字元線與該列中的該等晶胞之一相關聯子頁(subpage)，其中選定一特定子頁之該等晶胞以與其位元線共用電荷，其係藉由(一)觸動(asserting)該全域字元線；及(二)使用一已觸動子頁選擇信號閘控該已觸動全域字元線，以觸動耦合晶胞之特定子頁的該局部字元線。
3. 如申請專利範圍第 1 項之 DRAM 陣列，更包括一解碼器，其構成產生子頁選擇信號，用以控制在一受命的 DRAM 操作中涉及該 DRAM 陣列之哪些位元線。
4. 如申請專利範圍第 3 項之 DRAM 陣列，其中該受命的 DRAM 操作為一共用命令，用以使一系列中的晶胞與其相關聯行之該等位元線共用其電容器之電荷，該等子頁選擇信號因此控制在此電荷共用中涉及哪些位元線。
5. 如申請專利範圍第 3 項之 DRAM 陣列，其中該受命的 DRAM 操作為一預充電命令，用以預充電位元線，該等子頁選擇信號因此控制預充電哪些位元線。
6. 如申請專利範圍第 3 項之 DRAM 陣列，更包括，對於每一行，一感測

放大器耦合該行之一位元線，且其中該受命的 DRAM 操作為一感測命令，用以使該等感測放大器感測其耦合位元線上之電荷位準，該等子頁選擇信號因此控制哪些感測放大器執行此電荷感測。

7. 如申請專利範圍第 6 項之 DRAM 陣列，其中該等感測放大器構成產生一輸出，用以指示已與該位元線共用電荷的一晶胞是否正儲存一邏輯高(HI)或邏輯低(LO)電壓位準。
8. 如申請專利範圍第 7 項之 DRAM 陣列，更包括一閃鎖器(latch)，其耦合該等感測放大器之每一者並可操作以儲存該感測放大器之輸出。
9. 一種動態隨機存取記憶體(DRAM)陣列，包括：
 - 複數個列；
 - 複數個行；
 - 複數個晶胞，每一者係與該等行之一者與該等列之一者相關聯；及
 - 一解碼器，其構成產生子頁選擇信號，其控制一受命的 DRAM 操作中涉及該 DRAM 陣列之哪些行。
10. 如申請專利範圍第 9 項之 DRAM 陣列，其中每個晶胞包括一電容器，其選擇性耦合其相關聯行之一位元線，以在選定該晶胞時可與該位元線共用電荷，且其中該受命的 DRAM 操作為一共用命令，用以使在一選定列中的選定電容器與其相關聯位元線共用電荷，該特定的電容器選擇是由該等子頁選擇信號促成。
11. 如申請專利範圍第 9 項之 DRAM 陣列，其中每行包括一對位元線，其耦合一感測放大器，且其中該受命的 DRAM 操作為預充電命令，用以預充電選定位元線，該特定的位元線選擇是由該等子頁選擇信號促成。
12. 如申請專利範圍第 9 項之 DRAM 陣列，其中每行包括一對位元線，其耦合一感測放大器，且其中該受命的 DRAM 操作為一感測命令，用以使選定感測放大器感測其耦合位元線之電荷位準，該特定的感測放大器選擇是由該等子頁選擇信號促成。
13. 如申請專利範圍第 9 項之 DRAM 陣列，其中該解碼器為可控制以提供可變的頁寬度操作，使得對於該等列之特定一者，該解碼器可操作以依據該解碼器之一輸出啟動在大小上變化的列之一部分。

14. 一種動態隨機存取記憶體(DRAM)陣列，包括：

 複數個列；

 複數個行；

 複數個晶胞，每一者係與該等行之一者與該等列之一者相關聯，其中每個晶胞包括一電容器，其選擇性耦合其相關聯行之一位元線，以在選定該晶胞時可與該位元線共用電荷；及

 一段字元線電路，其用於每列，其中該分段字元線電路包括一全域字元線與複數個局部字元線，其每一者耦合該全域字元線與該列中的該等晶胞之一相關子頁，其中選定一特定子頁之該等晶胞以與其位元線共用電荷，其係藉由(一)觸動該全域字元線；及(二)使用一已觸動的子頁選擇信號閘控該已觸動的全域字元線，以觸動耦合晶胞之特定子頁的該局部字元線。

15. 如申請專利範圍第 14 項之 DRAM 陣列，更包括一解碼器，其構成產生該子頁選擇信號。

16. 如申請專利範圍第 15 項之 DRAM 陣列，其中該解碼器進一步構成產生信號，以選擇用於 DRAM 操作的列與行。

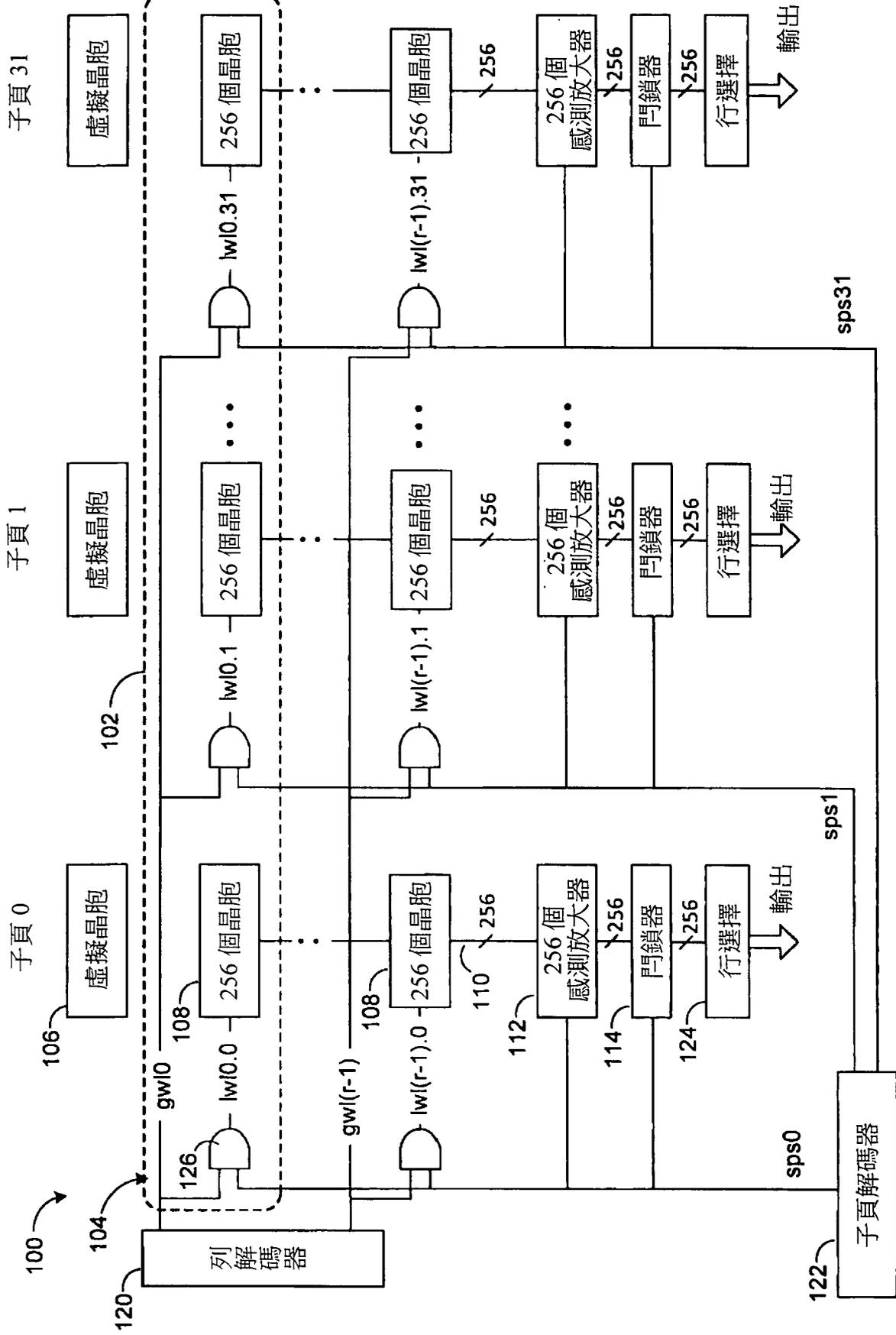
17. 如申請專利範圍第 14 項之 DRAM 陣列，更包括複數個子頁選擇線。

18. 如申請專利範圍第 17 項之 DRAM 陣列，其中該等子頁選擇線之每一者係與該等複數個行之一子集相關聯。

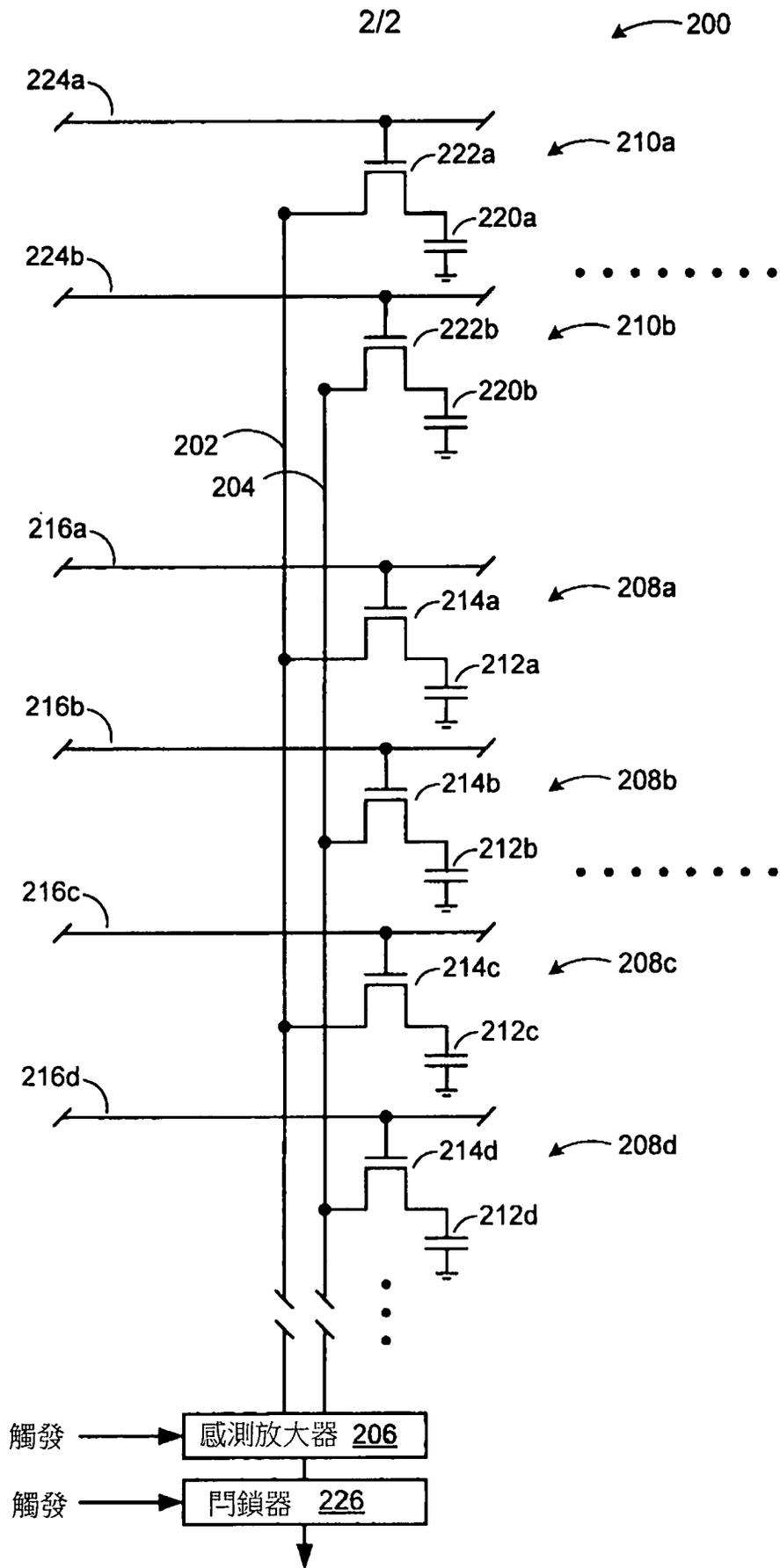
19. 如申請專利範圍第 18 項之 DRAM 陣列，其中對於該等複數個行之每個子集，每列具有用於那些行中的晶胞之子頁的一局部字元線，該相關之子頁選擇線構成選擇該等複數個行之子集之局部字元線。

20. 如申請專利範圍第 18 項之 DRAM 陣列，其中對於該等複數個行之每個子集，該子集內的每行具有一感測放大器，其由與該等複數個行之子集相關之子頁選擇線選擇性致能。

21. 如申請專利範圍第 20 項之 DRAM 陣列，其中對於該等複數個行之每個子集，每行具有一門鎖器耦合其感測放大器，該門鎖器是由與該等複數個行之子集相關之子頁選擇線觸發。



第一圖



第二圖