

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 12 月 8 日(08.12.2016)



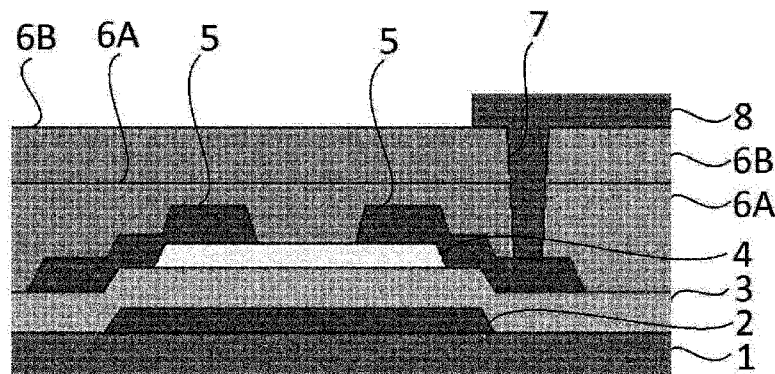
(10) 国際公開番号

WO 2016/194795 A1

- (51) 国際特許分類:
H01L 29/786 (2006.01) H01L 21/336 (2006.01)
H01L 21/28 (2006.01) H01L 29/417 (2006.01)
- (21) 国際出願番号: PCT/JP2016/065671
- (22) 国際出願日: 2016 年 5 月 27 日(27.05.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-109825 2015 年 5 月 29 日(29.05.2015) JP
特願 2015-206513 2015 年 10 月 20 日(20.10.2015) JP
- (71) 出願人: 株式会社神戸製鋼所(KABUSHIKI KAISHA KOBE SEIKO SHO (KOBELCO STEEL, LTD.))
[JP/JP]; 〒6518585 兵庫県神戸市中央区脇浜海岸通二丁目 2 番 4 号 Hyogo (JP).
- (72) 発明者: 越智 元隆(OCHI Mototaka). 釘宮 敏洋(KUGIMIYA Toshihiro). 森田 晋也(MORITA Shinya). 後藤 裕史(GOTO Hiroshi). ▲高▼梨 泰幸(TAKANASHI Yasuyuki).
- (74) 代理人: 特許業務法人栄光特許事務所(EIKOH PATENT FIRM, P.C.); 〒1050003 東京都港区西新橋一丁目 7 番 1 3 号 虎ノ門イーストビルディング 10 階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: THIN FILM TRANSISTOR COMPRISING OXIDE SEMICONDUCTOR LAYER

(54) 発明の名称: 酸化物半導体層を含む薄膜トランジスタ



(57) Abstract: The present invention relates to a thin film transistor which comprises, on a substrate, at least a gate electrode, a gate insulating film, an oxide semiconductor layer, a source/drain electrode, and two or more protective films, and which is configured such that: the metal elements constituting the oxide semiconductor layer are In, Ga, Zn and Sn; the source/drain electrode is composed of a Ti-based film, an Mo-based film, a Ti-based/Cu-based multilayer film or an Mo-based/Cu-based multilayer film; and the source/drain electrode is directly bonded to the oxide semiconductor layer. This thin film transistor has excellent switching characteristics, S value, stress resistance and photostress resistance (in other words, the amount of threshold value change of the transistor due to photostress is small), while maintaining high electric field mobility even if a Ti-based film, an Mo-based film, a Ti-based/Cu-based multilayer film or an Mo-based/Cu-based multilayer film is used for the source/drain electrode.

(57) 要約:

[続葉有]

WO 2016/194795 A1



本発明は、基板上に少なくともゲート電極、ゲート絶縁膜、酸化物半導体層、ソース・ドレイン電極、および2層以上の保護膜を有する薄膜トランジスタであって、前記酸化物半導体層を構成する金属元素がIn、Ga、Zn及びSnであり、前記ソース・ドレイン電極がTi系膜、Mo系膜、Ti系/Cu系積層膜、又はMo系/Cu系積層膜であり、かつ前記ソース・ドレイン電極が前記酸化物半導体層と直接接合された薄膜トランジスタに関する。本発明の薄膜トランジスタは、ソース・ドレイン電極にTi系膜、Mo系膜、Ti系/Cu系積層膜、又はMo系/Cu系積層膜を用いていても、高い電界移動度を維持しつつ、スイッチング特性、S値、ストレス耐性及び光ストレス耐性（光ストレスによるトランジスタのしきい値変化量が小さいこと）に優れる。

明 細 書

発明の名称： 酸化物半導体層を含む薄膜トランジスタ

技術分野

[0001] 本発明は、酸化物半導体層を含む薄膜トランジスタに関する。より具体的には、液晶ディスプレイや有機ELディスプレイなどの表示装置に用いられる酸化物半導体層を含む薄膜トランジスタに関する。

背景技術

[0002] アモルファス酸化物半導体は、汎用のアモルファスシリコンに比べて高いキャリア移動度を有する。またアモルファス酸化物半導体は、大型・高解像度・高速駆動が要求される表示装置への適用が期待されている。

[0003] 前記キャリア移動度は、電界効果移動度とも呼ばれる。以下、単に「移動度」と呼ぶ場合がある。

[0004] 前記酸化物半導体として、特許文献1に記載のIn、Ga、ZnおよびOからなるアモルファス酸化物半導体材料IGZO（以下、単に「IGZO」と称することがある。）がよく知られている。この酸化物半導体を含む薄膜トランジスタの電界効果移動度は $10\text{ cm}^2/\text{Vs}$ 以下である。しかし、表示装置の大画面化や高速駆動化に対応するためには、より高い電界効果移動度をもつ材料が求められている。

[0005] 特許文献2には、ソース・ドレイン電極の加工にドライエッチングを用いることにより、TFET特性バラツキの増大やTFETのオン電流低減を抑制する方法が開示されている。また特許文献3には、チャンネル表面のダメージ領域を除去することによって、良好な電気的特性が得られることが開示されている。

[0006] 移動度が高いことに加えて、薄膜トランジスタの製造工程に対する適合性も求められる。酸化物半導体を用いた薄膜トランジスタの構造として種々の構造があるが、その一例として薄膜トランジスタの積層断面構造を図1A及び図1Bに示す。図1Aは、エッチストッパー層9を有するエッチストッパ

ー (ESL; Etch Stopper Layer) 型の薄膜トランジスタ、図1Bは、エッチストッパー層9を有さないバックチャネルエッチ (BCE; Back Channel Etch) 型の薄膜トランジスタの積層断面構造である。

[0007] 上記2パターンの薄膜トランジスタのうち、BCE型は量産の観点から製造コストが低く、寄生容量が少ない点や短チャネル化が容易である。しかし、ウェットエッチングによりソース・ドレイン電極を加工する際に、エッチング液により酸化物半導体薄膜の表面 (バックチャネル) がエッチング液にさらされることにより、該表面が荒れたり、さらには酸素欠損などのダメージが入る場合などがあり、結果としてトランジスタ特性やストレス耐性が低下するおそれがある。

[0008] そのためBCE型薄膜トランジスタに用いられる酸化物半導体薄膜には、上記エッチング液に対する高い耐性が求められる。一方で、酸化物半導体薄膜には、この酸化物半導体薄膜自体をウェットエッチングにより加工する際に、エッチング液であるシュウ酸等の有機酸に対し適切な速度でエッチングされ、残渣無くパターニングできることも要求される。

先行技術文献

特許文献

[0009] 特許文献1：米国特許出願公開第2012/153277号明細書

特許文献2：米国特許出願公開第2011/049508号明細書

特許文献3：米国特許出願公開第2008/315193号明細書

発明の概要

発明が解決しようとする課題

[0010] 前述したIGZOにおいて、ソース・ドレイン電極にMo配線やMo合金配線、又はAl配線もしくはAl合金配線とMo配線もしくはMo合金配線との積層配線を用いた場合、電極加工にはリン酸、硝酸、酢酸などを含む汎用の無機酸系エッチング液が用いられる。しかしながらIGZOは前記無機

酸系エッチング液により容易にエッチングされるため、前述の配線を用いた B C E 型の薄膜トランジスタを形成することはできない。

[0011] さらに I G Z O において、ソース・ドレイン電極に M o 配線もしくは M o 合金配線の M o 系配線、前記 M o 系配線と C u 配線もしくは C u 合金配線との M o 系 / C u 系積層配線、 T i 配線もしくは T i 合金配線の T i 系配線、又は、前記 T i 系配線と C u 配線もしくは C u 合金配線との T i 系 / C u 系積層配線を用いた場合、電極加工には過酸化水素水にフッ化物を含んだ無機系エッチング液が用いられる。しかしながら I G Z O は前記無機系エッチング液により容易にエッチングされるため、こちらも前述の配線を用いた B C E 型の薄膜トランジスタを形成することはできない。

[0012] 本発明は上記事情に鑑みてなされたものであり、ソース・ドレイン電極に純 M o 膜及び M o 合金膜の少なくともいずれか一方の M o 系膜又は、前記 M o 系膜と純 C u 膜及び C u 合金膜の少なくともいずれか一方の C u 系膜との積層膜（以下、「M o 系 / C u 系積層膜」と称することがある。）や、純 T i 膜及び T i 合金膜の少なくともいずれか一方の T i 系膜又は、前記 T i 系膜と純 C u 膜及び C u 合金膜の少なくともいずれか一方の C u 系膜との積層膜（以下、「T i 系 / C u 系積層膜」と称することがある。）を用いた場合に、優れた特性を有する薄膜トランジスタを提供することを目的とする。

課題を解決するための手段

[0013] 本発明は、以下の [1] ~ [6] に係るものである。

[1] 基板上に少なくともゲート電極、ゲート絶縁膜、酸化物半導体層、ソース・ドレイン電極、および 2 層以上の保護膜を有する薄膜トランジスタであって、

前記酸化物半導体層を構成する金属元素が I n 、 G a 、 Z n 及び S n であり、

前記ソース・ドレイン電極が純 T i 膜及び T i 合金膜の少なくともいずれか一方の T i 系膜又は、前記 T i 系膜と純 C u 膜及び C u 合金膜の少なくともいずれか一方の C u 系膜との T i 系 / C u 系積層膜であり、かつ

前記ソース・ドレイン電極が前記酸化物半導体層と直接接合された薄膜トランジスタ。

〔２〕基板上に少なくともゲート電極、ゲート絶縁膜、酸化物半導体層、ソース・ドレイン電極、および２層以上の保護膜を有する薄膜トランジスタであって、

前記酸化物半導体層を構成する金属元素が In 、 Ga 、 Zn 及び Sn であり、

前記ソース・ドレイン電極が純 Mo 膜及び Mo 合金膜の少なくともいずれか一方の Mo 系膜又は、前記 Mo 系膜と純 Cu 膜及び Cu 合金膜の少なくともいずれか一方の Cu 系膜との Mo 系/ Cu 系積層膜であり、かつ

前記ソース・ドレイン電極が前記酸化物半導体層と直接接合された薄膜トランジスタ。

〔３〕前記酸化物半導体層における全金属元素の合計に対する Sn の割合が ９原子％以上 ５０原子％以下であることを特徴とする前記〔１〕又は〔２〕に記載の薄膜トランジスタ。

〔４〕前記酸化物半導体層における全金属元素の合計に対する各金属元素の割合が、

In : １５～２５原子％、

Ga : ５～２０原子％、

Zn : ３５～６０原子％、および

Sn : ９～３０原子％

であることを特徴とする前記〔３〕に記載の薄膜トランジスタ。

〔５〕前記２層以上の保護膜が少なくとも、前記酸化物半導体層と直接接合する第１保護膜及び前記第１保護膜とは異なる第２保護膜からなり、かつ前記第１保護膜が水素濃度 ４．５原子％以下の SiO_x 膜であることを特徴とする前記〔１〕～〔４〕のいずれか１に記載の薄膜トランジスタ。

〔６〕前記酸化物半導体層の直上にエッチストッパー層を設けない、バックチャネルエッチ型であることを特徴とする前記〔１〕～〔５〕のいずれか１

に記載の薄膜トランジスタ。

発明の効果

[0014] 本発明によれば、ソース・ドレイン電極に純Mo膜及びMo合金膜の少なくともいずれか一方のMo系膜又は、前記Mo系膜と純Cu膜及びCu合金膜の少なくともいずれか一方のCu系膜とのMo系/Cu系積層膜や、純Ti膜及びTi合金膜の少なくともいずれか一方のTi系膜又は、前記Ti系膜と純Cu膜及びCu合金膜の少なくともいずれか一方のCu系膜とのTi系/Cu系積層膜を用いた場合でも、高い電界移動度を維持しつつ、スイッチング特性、S値、ストレス耐性及び光ストレス耐性（光ストレスによるトランジスタのしきい値変化量が小さいこと）に優れた薄膜トランジスタ、より好ましくはBCE型薄膜トランジスタを得ることができる。

また、本発明に係る薄膜トランジスタは、ソース・ドレイン電極の形成をウェットエッチングで行うことができるため、特性の高い表示装置を容易かつ低コストで得ることができる。

図面の簡単な説明

[0015] [図1A]図1Aは、ESL型薄膜トランジスタを説明するための概略断面図である、

[図1B]図1Bは、BCE型薄膜トランジスタを説明するための概略断面図である。

[図2]図2は、実施例1及び2に用いたBCE型の薄膜トランジスタを説明するための概略断面図である。

[図3]図3は、純Ti膜、純Mo膜、純Cu膜、従来の酸化物半導体層（IGZO）及び本発明における酸化物半導体層（GIZTO）のそれぞれにおける過酸化水素水にフッ化物を含んだ無機系エッチング液によるエッチング速度を示したグラフである。

[図4A]図4Aは、比較例1－2に係るIGZO酸化物半導体層を用いた薄膜トランジスタにおける、ソース・ドレイン電極間の酸化物半導体層の、20%のオーバーエッチング後の上面光学顕微鏡写真である。

[図4B]図4Bは、比較例1-2に係るIGZO酸化物半導体層を用いた薄膜トランジスタにおける、ソース・ドレイン電極間の酸化物半導体層の、50%のオーバーエッチング後の上面光学顕微鏡写真である。

[図4C]図4Cは、比較例1-2に係るIGZO酸化物半導体層を用いた薄膜トランジスタにおける、ソース・ドレイン電極間の酸化物半導体層の、100%のオーバーエッチング後の上面光学顕微鏡写真である。

[図4D]図4Dは、実施例1-2に係るGIZTO酸化物半導体層を用いた薄膜トランジスタにおける、ソース・ドレイン電極間の酸化物半導体層の、20%のオーバーエッチング後の上面光学顕微鏡写真である。

[図4E]図4Eは、実施例1-2に係るGIZTO酸化物半導体層を用いた薄膜トランジスタにおける、ソース・ドレイン電極間の酸化物半導体層の、50%のオーバーエッチング後の上面光学顕微鏡写真である。

[図4F]図4Fは、実施例1-2に係るGIZTO酸化物半導体層を用いた薄膜トランジスタにおける、ソース・ドレイン電極間の酸化物半導体層の、100%のオーバーエッチング後の上面光学顕微鏡写真である。

[図5]図5は、実施例1-2に係るGIZTO酸化物半導体層を用いたTFT及び比較例1-2に係るIGZO酸化物半導体層を用いたTFTにおける、20%、50%及び100%オーバーエッチング後の I_d-V_g 特性を示すグラフである。

[図6]図6は、実施例2-2に係るGIZTO酸化物半導体層を用いたTFT及び比較例2-2に係るIGZO酸化物半導体層を用いたTFTにおける、20%、50%及び100%オーバーエッチング後の I_d-V_g 特性を示すグラフである。

[図7]図7は、実施例2-1に係るGIZTO酸化物半導体層を用いたTFTを用いた光ストレス耐性の結果の代表例を示す I_d-V_g 特性のグラフである。

[図8]図8は、GIZTO酸化物半導体層、GIZTO(1)酸化物半導体層、GIZTO(2)酸化物半導体層、GIZTO(3)酸化物半導体層、及

び I G Z O 酸化物半導体層のそれぞれにおける過酸化水素水にフッ化物を含んだ無機系エッチング液によるエッチング速度を示したグラフである。

[図9A]図9Aは、実施例4-1のG I Z T O (1) 酸化物半導体層を用いた T F T における、20%、50%及び100%オーバーエッチング後の $I_d - V_g$ 特性を示すグラフである。

[図9B]図9Bは、実施例4-2のG I Z T O (2) 酸化物半導体層を用いた T F T における、20%、50%及び100%オーバーエッチング後の $I_d - V_g$ 特性を示すグラフである。

[図10A]図10Aは、実施例4-1のG I Z T O (1) 酸化物半導体層を用いた T F T における50%オーバーエッチング後の $I_d - V_g$ 特性を示すグラフである。

[図10B]図10Bは、実施例4-2のG I Z T O (2) 酸化物半導体層を用いた T F T における50%オーバーエッチング後の $I_d - V_g$ 特性を示すグラフである。

発明を実施するための形態

[0016] 本発明の薄膜トランジスタは、基板上に少なくともゲート電極、ゲート絶縁膜、酸化物半導体層、ソース・ドレイン電極、および2層以上の保護膜を有する薄膜トランジスタであって、前記酸化物半導体層を構成する金属元素が I n、G a、Z n 及び S n であることを特徴とする。

前記ソース・ドレイン電極は前記酸化物半導体層と直接接合された、純 M o 膜及び M o 合金膜の少なくともいずれか一方の M o 系膜もしくは前記 M o 系膜と純 C u 膜及び C u 合金膜の少なくともいずれか一方の C u 系膜との M o 系 / C u 系積層膜、又は純 T i 膜及び T i 合金膜の少なくともいずれか一方の T i 系膜もしくは前記 T i 系膜と C u 系膜との T i 系 / C u 系積層膜である。

[0017] 本発明における酸化物半導体層は、金属元素である I n、G a、Z n 及び S n を必須成分として含む酸化物 (G I Z T O) である。S n を必須成分として含むことによって、過酸化水素水にフッ化物を含んだ無機系エッチング

液等のエッチング液に晒されても、酸化物半導体層のエッチングが抑制され、酸化物半導体層表面のダメージを抑制することができる。そのため、酸化物半導体層の膜厚が均一なTFTを得ることができる。一方、Snが多すぎると酸化物半導体層自体のエッチングが困難となることが懸念される。そのため、Snの割合はIn、Ga、Zn及びSnの全金属元素の合計（In+Ga+Zn+Sn）に対して9～50原子%が好ましく、9～30原子%がより好ましく、9～25原子%がさらに好ましい。

[0018] また、酸化物半導体層における全金属元素の合計（In+Ga+Zn+Sn）に対する各金属元素の割合が、

In：15～25原子%、

Ga：5～20原子%、

Zn：35～60原子%、及び

Sn：9～30原子%

を満たす酸化物半導体層とすることがエッチングの抑制もしくはTFT特性の点から好ましく、中でもSnが9～25原子%であることがより好ましい。またZnは40～60原子%であることがより好ましい。なお、酸化物半導体層中の金属元素の割合はICP発光分析によって測定することができる。

[0019] ソース・ドレイン電極としてMo系膜又はMo系膜とCu系膜とのMo系/Cu系積層膜を用い、かつソース・ドレイン電極のパターニングを過酸化水素水にフッ化物を含んだ無機系エッチング液等のエッチング液を用いて行う場合であっても、酸化物半導体層の表面状態が良好であり、静特性や特にスイッチング特性に優れ、さらにはS値の劣化を抑えた、光ストレス耐性に優れたBCE型TFTを得ることができる。

[0020] また、ソース・ドレイン電極としてTi系膜又はTi系膜とCu系膜とのTi系/Cu系積層膜を用い、かつソース・ドレイン電極のパターニングを過酸化水素水にフッ化物を含んだ無機系エッチング液等のエッチング液を用いて行う場合であっても、酸化物半導体層の表面状態が良好であり、静特性

や特にスイッチング特性に優れ、さらにはS値の劣化を抑えた、光ストレス耐性に優れたBCE型TFETを得ることができる。

[0021] なお、ソース・ドレイン電極にはAl配線およびCu配線が主として用いられ、これら配線膜に対して、バリアメタルおよびキャップメタルには従来Mo系材料が多く用いられてきた。一方、Ti系材料は従来ドライエッチングで実施される場合が多かった。

しかしながら、本発明者らの検討によれば、フッ化物の入った過酸化水素系エッチング液に限ると、Ti系材料を用いてもウェットエッチングが可能になることが判明した。

[0022] また、従来Cu系/Ti系積層膜の場合にはCuをウェットエッチングで行い、Tiをドライエッチングで行っていたが、同じく過酸化水素系エッチング液を用いてTiをCu配線と組み合わせることで、Cu系/Ti系積層膜の一括エッチングが可能となる。

[0023] 本発明におけるソース・ドレイン電極において、Moは残渣が生じると酸化物半導体を用いたBCE型TFETの特性を劣化させやすくなる場合があるのに対し、Tiは残渣が生じても特性を劣化させないことから、ソース・ドレイン電極としてTi系膜又はTi系/Cu系積層膜を用いることが、特性向上の観点からより好ましい。

またTiを含有するMo合金膜を用いた場合も、純Moと比べると特性が向上することから、Tiを含有するMo合金膜又は、該Mo合金を用いたMo系/Cu系積層膜を用いることも好ましい。

[0024] 2層以上の保護膜は、従来一般に用いられる保護膜であれば特に制限されることなく用いることができる。また2層以上の保護膜は、少なくとも、前記酸化物半導体層と直接接合する第1保護膜及び前記第1保護膜とは異なる第2保護膜からなることが好ましい。第2保護膜は、第1保護膜以外の保護膜であれば、1層でも2層以上でもよい。

前記第1保護膜は、水素濃度が4.5原子%以下のSiO_x膜であることが光ストレス耐性をより向上できることから好ましい。

[0025] 保護膜を上記構成にすることにより、ソース・ドレイン電極がMo系膜若しくはMo系/Cu系積層膜又はTi系膜若しくはTi系/Cu系積層膜であっても、TFETの静特性を劣化させることなく、過酸化水素水にフッ化物を含んだ無機系エッチング液等のエッチング液によるダメージを抑制できる。すなわち、酸化物半導体層の膜厚が均一でかつ静特性とストレス耐性の良好なTFETを得ることができる。

なお、前記第2保護膜は、従来一般に用いられる保護膜であれば特に制限されることなく用いることができる。中でもSiN_x膜やSiO_x膜が好ましい。

[0026] 本発明に係る薄膜トランジスタを構成する基板、ゲート電極及びゲート絶縁膜は、それぞれ従来一般に用いられるものを用いることができる。

中でも、基板は透明度の点からガラス基板、石英等が好ましい。ゲート電極は耐熱性、抵抗率の点から純Mo薄膜、Mo/Al/Mo、Cu/Mo、Cu/Ti等が好ましい。ゲート絶縁膜は酸化物半導体膜への水素拡散の点からSiH₄とN₂Oの混合ガスをキャリアガスとしてプラズマCVD法により成膜することが好ましい。

[0027] 本発明に係る薄膜トランジスタは、上述の通り酸化物半導体層の直上にエッチストッパー層を有していないBCE型とすることができるため、TFET製造工程におけるマスク形成工程数が少なく、十分にコストを削減することができる。またBCE型TFETは、ESL型TFETのようにエッチストッパー層とソース・ドレイン電極のオーバーラップ部分がないため、ESL型TFETよりもTFETの小型化が可能である。

実施例

[0028] 以下に、実施例及び比較例を挙げて本発明をさらに具体的に説明するが、本発明は、これらの実施例に限定されるものではない。

[実施例1]

図2に示す構造を有する薄膜トランジスタを下記手順により作製した。

まずガラス基板1（コーニング社製イーグルXG、直径100nm×厚さ

0.7 mm) 上に、ゲート電極2として純Mo薄膜を100 nm、およびゲート絶縁膜3としてSiO_x膜(膜厚250 nm)を順次成膜した。上記ゲート電極2は、純Moスパッタリングターゲットを使用し、DCスパッタリング法により、成膜温度: 室温、成膜パワー: 300 W、キャリアガス: Ar、ガス圧: 2 mTorrの条件で成膜した。また、ゲート絶縁膜3は、プラズマCVD法を用い、キャリアガス: SiH₄とN₂Oの混合ガス、成膜パワー: 300 W、成膜温度: 350 °Cの条件で成膜した。

[0029] 次に酸化物半導体層4(膜厚40 nm)として、原子比がGa:In:Zn:Sn=16.8:16.6:47.2:19.4のGa-In-Zn-Sn-O膜をゲート絶縁膜3上に成膜した。成膜には、金属元素の比率が同じスパッタリングターゲットを用い、DCスパッタリング法を用いて成膜した。

スパッタリングに使用した装置は、(株)アルバック社製「CS-200」であり、スパッタリング条件は下記のとおりである。

[0030] (スパッタリング条件)

基板温度: 室温

成膜パワー: DC 200 W

ガス圧: 1 mTorr

酸素分圧: $100 \times \text{O}_2 / (\text{Ar} + \text{O}_2) = 10\%$

[0031] 上記のようにして酸化物半導体層4(GIZTO)を成膜した後、フォトリソグラフィーおよびウェットエッチングによりパターニングを行った。前記ウェットエッチングでは、関東化学社製「ITO-07N」を使用し、液温を室温とした。なお、本実施例では、実験を行った全ての酸化物薄膜について残渣なく、エッチングできることを確認した。

[0032] 上記のとおり、酸化物半導体層4をパターニングした後、酸化物半導体層4の膜質を向上させるため、プレアニール処理を行った。プレアニール処理は、大気雰囲気下にて350 °Cで60分間行った。

[0033] 次にソース・ドレイン電極5を形成した。具体的には、純Mo単層である

純Mo膜を形成し（実施例1-1）、又は、純Mo膜と純Cu膜を積層し、純Mo膜（膜厚20nm）／純Cu膜（膜厚200nm）／純Mo膜（膜厚20nm）の3層積層膜（純Mo／純Cu／純Mo積層膜）を形成した（実施例1-2）。前記ソース・ドレイン電極5を成膜後、フォトリソグラフィーおよびウェットエッチングによりパターニングを行った。パターニングには過酸化水素水にフッ化物を含んだ無機系エッチング液を用いた。ソース・ドレイン電極5のパターニングにより、TFTのチャネル長を10 μ m、チャネル幅を200 μ mとした。ソース・ドレイン電極5の短絡を防ぐために、同電極膜厚に対して20%、50%又は100%のオーバーエッチングを行った。なお、50%のオーバーエッチングを標準条件とした。

[0034] その後、保護膜としてまず第1保護膜6AとしてSiO_x膜を形成した。該SiO_x膜の形成はサムコ製「PD-220NL」を用い、プラズマCVD法で行った。SiO_x膜の形成には、SiH₄およびN₂Oの混合ガスを用いた。また成膜パワーを100W、成膜温度を230℃とした。前記SiH₄とN₂Oのガス比は、SiH₄ : N₂O = 4 : 100とし、この場合SiO_x膜の水素濃度は4.3原子%であった。また、SiO_x膜の膜厚は200nmとした。

[0035] その後、第2保護膜6Bとして、SiN_x膜を成膜した。該SiN_x膜の形成は同じくサムコ製「PD-220NL」を用い、プラズマCVD法で行った。SiN_x膜の形成には、SiH₄およびNH₃およびN₂の混合ガスを用いた。また成膜パワーを100W、成膜温度を200℃とした。前記SiH₄とN₂OとN₂のガス比は、SiH₄ : N₂O : N₂ = 12.5 : 6.0 : 297.5とした。

[0036] 次にフォトリソグラフィー、およびドライエッチングにより、第1保護膜6Aおよび第2保護膜6Bにトランジスタ特性評価用のプロービングのためのコンタクトホール7を形成した。

最後にポストアニール処理を行った。ポストアニール処理は、窒素雰囲気下にて250℃で30分間行った。以上の手順によりTFTを製造した。

[0037] [比較例1]

酸化物半導体層 4 の金属元素の組成を $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ (原子比) の In-Ga-Zn-O (IGZO) 膜とした以外は実施例 1 と同様にして、薄膜トランジスタを作製した。なお、実施例 1 と同様に、ソース・ドレイン電極が純 Mo 単層である純 Mo 膜を比較例 1-1、純 Mo 膜と純 Cu 膜を積層し、純 Mo 膜 (膜厚 20 nm) / 純 Cu 膜 (膜厚 200 nm) / 純 Mo 膜 (膜厚 20 nm) の 3 層積層膜 (純 Mo / 純 Cu / 純 Mo 積層膜) であるものを比較例 1-2 とする。

[0038] [過酸化水素水にフッ化物を含んだ無機系エッチング液に対する耐性の評価 1]

酸化物半導体層における Sn の有無が、ソース・ドレイン電極形成時に使用する過酸化水素水にフッ化物を含んだ無機系エッチング液に対する耐性に及ぼす影響について検討した。酸化物半導体層に対し膜減りをさせることによりエッチング速度を測定した。

実施例 1 及び比較例 1 における酸化物半導体層の他に、純 Mo 膜、純 Ti 膜及び純 Cu 膜のそれぞれに対しても同様にエッチング速度を測定した。

[0039] 図 3 のグラフに過酸化水素水にフッ化物を含んだ無機系エッチング液におけるエッチング速度の測定結果を示す。図 3 中、「 Ti 」とは純 Ti 膜、「 Mo 」とは純 Mo 膜、「 Cu 」とは純 Cu 膜、「 IGZO 」とは比較例 1 における酸化物半導体層、「 GIZTO 」とは実施例 1 における酸化物半導体層をそれぞれ意味する。

その結果、 IGZO 酸化物半導体層のエッチング速度が 1.71 nm/秒 であったのに対し、 Sn を含む GIZTO 酸化物半導体層では 0.44 nm/秒 となり、約 3.9 倍の耐性があることが分かった。

[0040] [過酸化水素水にフッ化物を含んだ無機系エッチング液に対する耐性の評価 2]

実施例 1-2 及び比較例 1-2 で得られた TFT において、20%、50% 及び 100% のオーバーエッチングを行った場合の、ソース・ドレイン電極間の酸化物半導体層の上面光学顕微鏡写真を図 4 A ~ 図 4 F に示した。図

図4A～図4Cは比較例1～2に係るIGZO酸化物半導体層を用いたTFET、図4D～図4Fは実施例1～2に係るGIZTO酸化物半導体層を用いたTFETであり、図4A及び図4Dは20%のオーバーエッチング、図4B及び図4Eは50%のオーバーエッチング、図4C及び図4Fは100%のオーバーエッチングの結果である。

[0041] 図4A～図4Fから明らかなように、比較例1～2に係るIGZO酸化物半導体層を用いたTFETでは50%のオーバーエッチング以上では酸化物半導体層が消失しているのに対し、実施例1～2に係るGIZTO酸化物半導体層を用いたTFETでは100%のオーバーエッチングであっても酸化物半導体層が消失していないことが確認された。

実施例1～1及び比較例1～1のTFETについても同様の評価を行った。以上の評価結果を表1の「S/D電極エッチング後の光学顕微鏡評価」にまとめた。

[0042] [静特性における電界効果移動度、S値の評価1]

実施例1～2及び比較例1～2のTFETを用いて、静特性における電界効果移動度及びストレス耐性（S値）の評価を行った。

実施例1～2及び比較例1～2のTFETを用いて I_d-V_g 特性を測定した。 I_d-V_g 特性は、ゲート電圧、ソース・ドレイン電極の電圧を以下のように設定し、プローバおよび半導体パラメータアナライザ（Keithley 4200SCS）を用いて測定を行った。

- ・ゲート電圧：-30～30V（ステップ0.25V）
- ・ソース電圧：0V
- ・ドレイン電圧：10V
- ・測定温度：室温

[0043] 測定した I_d-V_g 特性を図5にまとめて示す。図5中、「O.E. 20%」、「O.E. 50%」及び「O.E. 100%」とはそれぞれ20%、50%及び100%のオーバーエッチングを意味する。また各グラフの縦軸は I_d （A）であり横軸は V_g （V）である。なお、比較例1～2に係るIGZ

O酸化物半導体層を用いたTFETはエッチング液に50%及び100%のオーバーエッチング時間で浸漬すると消失したために I_d-V_g 特性が観測されなかった（ドレイン電流が流れなかった）。一方、実施例1-2に係るGIZTO酸化物半導体層を用いたTFETでは良好な I_d-V_g 特性が得られた。

[0044] 実施例1-1及び比較例1-1のTFETについても同様の評価を行った。以上の評価結果を表1の「移動度」、「S値」及び「S値判定」にまとめた。

移動度は $7.0\text{ cm}^2/\text{Vs}$ 以上を合格とする。

「S値判定」の基準を以下に示す。

○：S値が $0.45\text{ V}/\text{dec}$ 以下

△：S値が $0.45\text{ V}/\text{dec}$ 以上 $1.0\text{ V}/\text{dec}$ 以下

×：S値が $1.0\text{ V}/\text{dec}$ を超える

[0045] 表1に示すように、GIZTO酸化物半導体層を用いたTFETはソース・ドレイン電極のパターニングにおける20%のオーバーエッチングにおいても移動度の低下がみられた。

[0046] [ストレス耐性の評価1]

実施例1-1、実施例1-2、比較例1-1及び比較例1-2のTFETを用いてストレス耐性（光＋負バイアスストレスに対する耐性）の評価を行った。

ストレス耐性は、ゲート電極に負バイアスをかけながら光を照射するストレス印加試験を行って評価した。ストレス印加条件は以下のとおりである。

- ・ゲート電圧： -20 V
- ・ソース・ドレイン電圧： 10 V
- ・基板温度： 60°C
- ・ストレス印加時間：2時間
- ・光ストレス条件：
 - 光強度： $25000\text{ mW}/\text{cm}^2$
 - 光源：白色LED

[0047] 光＋負バイアスストレス印加前後のしきい値電圧シフト（ドレイン電流が 10^{-9} Aとなるゲート電圧の差）を測定した。この差を ΔV_{th} と呼ぶ。評価結果を表1の「 ΔV_{th} 」及び「 ΔV_{th} 判定」にまとめた。 ΔV_{th} 判定の判定基準は以下のとおりである。

○： ΔV_{th} が3.5V以下

×： ΔV_{th} が3.5Vを超える

[0048] [表1]

	酸化物半導体層	S/D電極	S/D電極のオーバーエッチング量 (%)	S/D電極エッチング後の 光学顕微鏡評価	第1保護膜の 水素含有量 (%)	移動度 (cm^2/Vs)	S値 (V/dec)	S値判定		ΔV_{th} (V)	ΔV_{th} 判定	総合判定
比較例1	比較例1-1	Mo	20	問題なし	4.3	3.1	1.20	×		5.1	×	×
	比較例1-1	Mo	50	膜が消失								×
	比較例1-1	Mo	100	膜が消失								×
	比較例1-2	Mo/Cu/Mo	20	問題なし	4.3	2.9	0.90	△		3.1	○	×
	比較例1-2	Mo/Cu/Mo	50	膜が消失								×
実施例1	比較例1-2	Mo/Cu/Mo	100	膜が消失								×
	実施例1-1	Mo	20	問題なし	4.3	7.1	0.90	△		3.1	○	○
	実施例1-1	Mo	50	問題なし	4.3	7.9	0.51	△		2.5	○	○
	実施例1-1	Mo	100	問題なし	4.3	7.8	0.50	△		2.2	○	○
	実施例1-2	Mo/Cu/Mo	20	問題なし	4.3	7.1	0.85	△		3.2	○	○
実施例1	実施例1-2	Mo/Cu/Mo	50	問題なし	4.3	7.2	0.45	△		2.6	○	○
	実施例1-2	Mo/Cu/Mo	100	問題なし	4.3	7.4	0.41	△		2.4	○	○

[0049] 以上の評価結果より、 InGaZnO 酸化物半導体層を用いたTFTは従来の IGZO 酸化物半導体層を用いたTFTと同程度のS値が得られ、移動度、ストレス耐性共に非常に良好な結果が得られたことから、総合判定として○とした。

[0050] [実施例2]

実施例1と同様に図2に示す構造を有する薄膜トランジスタを作製した。

[0051] 具体的には、ガラス基板1、ゲート電極2、ゲート絶縁膜3及び酸化物半導体層4を実施例1と同様に形成した。次に、ソース・ドレイン電極5として、純Ti単層である純Ti膜を形成し（実施例2-1）、又は、純Ti膜と純Cu膜を積層し、純Ti膜（膜厚20nm）／純Cu膜（膜厚200nm）／純Ti膜（膜厚20nm）の3層積層膜（純Ti／純Cu／純Ti積層膜）を形成した（実施例2-2）。前記ソース・ドレイン電極5成膜後のフォトリソグラフィおよびウェットエッチングによるパターニングは実施例1と同様におこなった。

[0052] その後の積層保護膜およびコンタクトホール形成と、ポストアニール処理は実施例1と同様におこなった。

[0053] [比較例2]

酸化物半導体層4の金属元素の組成を $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ （原子比）の In-Ga-Zn-O （ IGZO ）膜とした以外は実施例2と同様に形成し、薄膜トランジスタを作製した。なお、実施例2と同様に、ソース・ドレイン電極が純Ti単層である純Ti膜であるものを比較例2-1、純Ti膜と純Cu膜を積層した、純Ti膜（膜厚20nm）／純Cu膜（膜厚200nm）／純Ti膜（膜厚20nm）の3層積層膜（純Ti／純Cu／純Ti積層膜）であるものを比較例2-2とした。

[0054] [静特性における電界効果移動度、S値の評価2]

実施例2-2及び比較例2-2のTFTを用いて、静特性における電界効果移動度及びストレス耐性（S値）の評価を行った。

実施例2-2及び比較例2-2のTFTを用いて実施例1等と同じ条件で

$I_d - V_g$ 特性を測定した。

[0055] 測定した $I_d - V_g$ 特性を図6にまとめて示す。図6中、「O. E. 20%」、「O. E. 50%」及び「O. E. 100%」とはそれぞれ20%、50%及び100%のオーバーエッチングを意味する。また各グラフの縦軸は I_d (A) であり横軸は V_g (V) である。なお、比較例2-2に係るIGZO酸化物半導体層を用いたTFETはエッチング液に50%及び100%のオーバーエッチング時間で浸漬すると消失したために $I_d - V_g$ 特性が観測されなかった（ドレイン電流が流れなかった）。一方、実施例2-2に係るGIZTO酸化物半導体層を用いたTFETでは良好な $I_d - V_g$ 特性が得られた。

[0056] 実施例2-1及び比較例2-1のTFETについても同様の評価を行った。以上の評価結果を表2の「移動度」、「S値」及び「S値判定」にまとめた。

「移動度」と「S値判定」の評価基準は、実施例1等と同様である。

[0057] 表2に示すように、IGZO酸化物半導体層を用いたTFETはソース・ドレイン電極のパターニングにおける20%のオーバーエッチングにおいても移動度の低下がみられた。

[0058] [ストレス耐性の評価2]

実施例2-1、実施例2-2、比較例2-1及び比較例2-2のTFETを用いてストレス耐性（光＋負バイアスストレスに対する耐性）の評価を行い、表2にまとめた。

ストレス耐性の評価手法及び評価基準は、実施例1等と同様である。

[0059] 実施例2-1のTFETの100%オーバーエッチング時の $I_d - V_g$ 特性を図7に示した。ストレス印加時間は0秒、3600秒または7200秒とした。このときのストレス耐性における ΔV_{th} はストレス印加時間に関わらず、2.2Vと良好な結果が得られた。

以上の評価結果より、GIZTO酸化物半導体層を用いたTFETでは、移動度、S値、ストレス耐性のすべてにわたって非常に良好な特性が得られたことから、総合判定として○とした。

[0060] [表2]

	酸化物半導体層	S/D電極	S/D電極のオーバーエッチング量 (%)	S/D電極エッチング後の 光学顕微鏡評価	第1保護層の 水素含有量 (%)	移動度 (cm^2/Vs)	S値 (V/dec)	S値判定	ΔV_{th} (V)	ΔV_{th} 判定	総合判定
比較例2	比較例2-1	In-Ga-Zn-O	20	問題なし	4.3	2.7	0.33	○	3.2	○	×
	比較例2-1	In-Ga-Zn-O	50	膜が消失							×
	比較例2-1	In-Ga-Zn-O	100	膜が消失							×
	比較例2-2	In-Ga-Zn-O	20	問題なし	4.3	3.2	0.35	○	3.1	○	×
	比較例2-2	In-Ga-Zn-O	50	膜が消失							×
	比較例2-2	In-Ga-Zn-O	100	膜が消失							×
実施例2	実施例2-1	Ga-In-Zn-Sn-O	20	問題なし	4.3	7.1	0.27	○	2.5	○	○
	実施例2-1	Ga-In-Zn-Sn-O	50	問題なし	4.3	7.1	0.40	○	2.4	○	○
	実施例2-1	Ga-In-Zn-Sn-O	100	問題なし	4.3	7.1	0.22	○	2.2	○	○
	実施例2-2	Ga-In-Zn-Sn-O	20	問題なし	4.3	7.0	0.79	○	3.1	○	○
	実施例2-2	Ga-In-Zn-Sn-O	50	問題なし	4.3	7.0	0.27	○	2.5	○	○
	実施例2-2	Ga-In-Zn-Sn-O	100	問題なし	4.3	7.0	0.24	○	2.0	○	○

[0061] 表1及び表2の結果から、酸化物半導体層にSnを含まないIGZO酸化物半導体層を用いたTFTの場合、ソース・ドレイン電極のパターニングの際の過酸化水素水にフッ化物を含んだ無機系エッチング液への浸せきによって、酸化物半導体層が容易に消失するため、十分なオーバーエッチング時間において、TFTを製造することができないことが分かった。

[0062] 一方、本発明に係るGa-In-Zn-Sn-O (GIZTO) 酸化物半

導体層を用いたTFTの場合、十分なオーバーエッチング時間においてTFTを製造することができ、かつ、静特性およびストレス耐性の結果も良好であることが分かった。

さらに静特性におけるS値が良好なこと、及びストレス耐性における ΔV_{th} が小さいことからGIZTO酸化物半導体層は、過酸化水素水にフッ化物を含んだ無機系エッチング液への浸せきによるエッチングが抑制され、酸化物半導体層表面のダメージを抑制することができた。

[0063] [実施例3]

実施例1と同様に図2に示す構造を有する薄膜トランジスタを作製した。

[0064] 具体的には、ガラス基板1、ゲート電極2、ゲート絶縁膜3及び酸化物半導体層4を実施例1と同様にして形成した。次に、ソース・ドレイン電極5として、純Ti単層である純Ti膜を形成し（実施例3-1）、又は、純Ti膜と純Cu膜を積層し、純Ti膜（膜厚20nm）／純Cu膜（膜厚200nm）／純Ti膜（膜厚20nm）の3層積層膜（純Ti／純Cu／純Ti積層膜）を形成した（実施例3-2）。前記ソース・ドレイン電極5成膜後、フォトリソグラフィおよびウェットエッチングによりパターニングを行った。パターニングには過酸化水素水にフッ化物を含んだ無機系エッチング液を用いた。ソース・ドレイン電極5のパターニングにより、TFTのチャネル長を10 μ m、チャネル幅を200 μ mとした。ソース・ドレイン電極5の短絡を防ぐために、同電極膜厚に対して50%のオーバーエッチングを行った。

[0065] その後の積層保護膜およびコンタクトホール形成と、ポストアニール処理は実施例1と同様におこなった。

[0066] さらに、前記SiH₄の流量を増加させ、N₂Oとのガス比を変えたSiO_x膜を第1保護膜6Aとした以外は実施例3-1と同様にして、薄膜トランジスタを作製した。SiO_x膜の水素濃度は6.5原子%（参考例1-1）と7.2原子%（参考例2-1）であった。SiO_x膜の膜厚は200nmとした。

前記 SiH_4 の流量を増加させ、 N_2O とのガス比を変えた SiO_x 膜を第 1 保護膜 6 A とした以外は実施例 3-2 と同様にして、薄膜トランジスタを作製した。 SiO_x 膜の水素濃度は 6.5 原子% (参考例 1-2) と 7.2 原子% (参考例 2-2) であった。 SiO_x 膜の膜厚は 200 nm とした。

[0067] [静特性における電界効果移動度、S 値の評価 3]

実施例 3 及び参考例の TFT を用いて静特性における電界効果移動度及びストレス耐性 (S 値) の評価を行った。

実施例 3-1、実施例 3-2、参考例 1-1、参考例 2-1、参考例 1-2 及び参考例 2-2 の TFT を用いて、実施例 1 等と同じ条件で I_d-V_g 特性を測定した。

[0068] 測定した I_d-V_g 特性の結果から電界効果移動度と S 値を算出した。以上の評価結果を表 3 の「移動度」、「S 値」及び「S 値判定」にまとめた。

「移動度」と「S 値判定」の評価基準は、実施例 1 等と同様である。

[0069] [ストレス耐性の評価 3]

実施例 3-1、実施例 3-2、参考例 1-1、参考例 2-1、参考例 1-2 及び参考例 2-2 の TFT を用いてストレス耐性 (光+負バイアスストレスに対する耐性) の評価を行い、表 3 にまとめた。

ストレス耐性の評価手法及び評価基準は、実施例 1 等と同様である。

[0070]

[表3]

		融化物半導体層	S/D電極	S/D電極のオーバーエッチング量	S/D電極エッチング後の 光学顕微鏡評価	第1保護膜の水素含有量		移動度 (cm ² /Vs)	S値		ΔVth判定	総合判定
				(%)		(%)	(V/dec)		(V)			
試験例	実施例3-1	Ga-In-Zn-Sn-O	Ti	50	問題なし	4.3	7.1	0.40	○	2.4	○	○
	参考例1-1	Ga-In-Zn-Sn-O	Ti	50	問題なし	6.5	7.0	0.29	○	5.2	×	×
	参考例2-1	Ga-In-Zn-Sn-O	Ti	50	問題なし	7.2	7.3	0.28	○	6.2	×	×
	実施例3-2	Ga-In-Zn-Sn-O	Ti/Cu/Ti	50	問題なし	4.3	7.1	0.27	○	2.2	○	○
	参考例1-2	Ga-In-Zn-Sn-O	Ti/Cu/Ti	50	問題なし	6.5	6.8	0.31	○	5.6	×	×
	参考例2-2	Ga-In-Zn-Sn-O	Ti/Cu/Ti	50	問題なし	7.2	7.3	0.27	○	7.3	×	×

[0071] [実施例4]

図2に示す構造を有する薄膜トランジスタを下記の手順により作製した。

[0072] 具体的には、ガラス基板1、ゲート電極2、ゲート絶縁膜3及び酸化物半導体層4を実施例1と同様にして形成した。次に酸化物半導体層4（膜厚4

0 nm) として、原子比が $Ga : In : Zn : Sn = 16.0 : 17.4 : 42.3 : 24.4$ の $Ga-In-Zn-Sn-O$ (1) 膜をゲート絶縁膜 3 上に成膜した (実施例 4-1)。成膜には、金属元素の比率が同じスパッタリングターゲットを用い、DC スパッタリング法を用いて成膜した。

スパッタリングに使用した装置は、(株) アルバック社製「CS-200」であり、スパッタリング条件は実施例 1 と同じである。また、酸化物半導体層の原子比が $Ga : In : Zn : Sn = 16.2 : 17.4 : 38.1 : 28.3$ である $Ga-In-Zn-Sn-O$ (2) 膜 (実施例 4-2)、又は、原子比が $Ga : In : Zn : Sn = 16.5 : 16.6 : 61.6 : 5.3$ である $Ga-In-Zn-Sn-O$ (3) 膜 (参考例 4-3) も同様に成膜した。

[0073] 上記のようにして各酸化物半導体層 4 ($GIZTO$) を成膜した後、フォトリソグラフィおよびウェットエッチングによりパターニングを行った。前記ウェットエッチングでは、関東化学社製「ITO-07N」を使用し、液温を室温もしくは $40^{\circ}C$ とした。なお、本実施例では、実験を行った全ての酸化物薄膜について残渣なく、エッチングできることを確認した。

[0074] 上記のとおり、酸化物半導体層 4 をパターニングした後、酸化物半導体層 4 の膜質を向上させるため、プレアニール処理を行った。プレアニール処理は、大気雰囲気下にて $350^{\circ}C$ で 60 分間行った。

[0075] 次にソース・ドレイン電極 5 を形成した。具体的には、純 Ti 単層である純 Ti 膜を形成した。前記ソース・ドレイン電極 5 を成膜後、フォトリソグラフィおよびウェットエッチングによりパターニングを行った。パターニングには過酸化水素水にフッ化物を含んだ無機系エッチング液を用いた。ソース・ドレイン電極 5 のパターニングにより、 TFT のチャネル長を $10\mu m$ 、チャネル幅を $200\mu m$ とした。ソース・ドレイン電極 5 の短絡を防ぐために、同電極膜厚に対して標準条件である 50% のオーバーエッチングを行った。

[0076] その後の積層保護膜およびコンタクトホール形成と、ポストアニール処

理は実施例 1 と同様におこなった。

[0077] [実施例 5]

ソース・ドレイン電極 5 として純 Ti 膜と純 Cu 膜を積層し、純 Ti 膜（膜厚 20 nm）／純 Cu 膜（膜厚 200 nm）／純 Ti 膜（膜厚 20 nm）の 3 層積層膜（純 Ti／純 Cu／純 Ti 積層膜）とした以外は実施例 4 と同様に、TFET を製造した。

なお、TFET における酸化物半導体層 4（膜厚 40 nm）の原子比 Ga : In : Zn : Sn は実施例 5-1 が 16.0 : 17.4 : 42.3 : 24.4 の Ga-In-Zn-Sn-O (1) 膜、実施例 5-2 が 16.2 : 17.4 : 38.1 : 28.3 の Ga-In-Zn-Sn-O (2) 膜、参考例 5-3 が 16.5 : 16.6 : 61.6 : 5.3 の Ga-In-Zn-Sn-O (3) 膜である。

[0078] [過酸化水素水にフッ化物を含んだ無機系エッチング液に対する耐性の評価 3]

酸化物半導体層における Sn の添加量が、ソース・ドレイン電極形成時に使用する過酸化水素水にフッ化物を含んだ無機系エッチング液に対する耐性に及ぼす影響について検討した。酸化物半導体層に対し膜減りをさせることによりエッチング速度を測定した。

図 8 のグラフに過酸化水素水にフッ化物を含んだ無機系エッチング液におけるエッチング速度の測定結果を示す。図 8 中、「GIZTO」とは原子比が Ga : In : Zn : Sn = 16.8 : 16.6 : 47.2 : 19.4 の酸化物半導体薄膜であり、実施例 2-1 及び 2-2 における酸化物半導体層である。「GIZTO (1)」とは原子比が Ga : In : Zn : Sn = 16.0 : 17.4 : 42.3 : 24.4 の酸化物半導体薄膜であり、実施例 4-1 及び 5-1 における酸化物半導体層である。「GIZTO (2)」とは原子比が Ga : In : Zn : Sn = 16.2 : 17.4 : 38.1 : 28.3 の酸化物半導体薄膜であり、実施例 4-2 及び 5-2 における酸化物半導体層である。「GIZTO (3)」とは原子比が Ga : In : Zn : Sn = 1

6. 5 : 1 6. 6 : 6 1. 6 : 5. 3の酸化物半導体薄膜であり、参考例4-3及び5-3における酸化物半導体層である。「IGZO」とは原子比がGa : In : Zn = 1 : 1 : 1でありSnを含まない酸化物半導体薄膜であり、比較例2-1及び2-2における酸化物半導体層である。

その結果、IGZO酸化物半導体層のエッチング速度はSnの添加量の増加にともなって減少した。特にSnの含有量が5. 3原子%と19. 4原子%の場合に、エッチング速度がかなり減少した。よってSnの含有量が9原子%以上程度あれば、非常に良好なエッチング耐性が得られることがわかった。

[0079] [静特性における電界効果移動度、S値の評価4]

実施例2-1、2-2、4-1、4-2、5-1及び5-2のTFETを用いて、静特性における電界効果移動度及びストレス耐性（S値）の評価を行った。酸化物半導体層は実施例2-1及び2-2がGIZTO、実施例4-1及び5-1がGIZTO（1）、実施例4-2及び5-2がGIZTO（2）である。またソース・ドレイン電極は実施例2-1、4-1及び4-2が純Ti膜、実施例2-2、5-1及び5-2が純Ti膜／純Cu膜／純Ti膜の3層積層膜である。

なお、Snを含まないIGZO酸化物半導体層（比較例2-1及び2-2に相当）およびGIZTO（3）酸化物半導体層（参考例4-3及び5-3）はエッチング液に50%のオーバーエッチング時間で浸漬すると消失したために I_d-V_g 特性が観測されず（ドレイン電流が流れず）、移動度及びストレス耐性の評価を行うことができなかった。

[0080] 実施例2-1、2-2、4-1、4-2、5-1及び5-2のTFETを用いて実施例1等と同じ条件で I_d-V_g 特性を測定した。

[0081] 測定した I_d-V_g 特性のうち実施例4-1の結果を図9Aに、実施例4-2の結果を図9Bに示す。図9A及び図9Bにおいて、「No1」とは30%のオーバーエッチング、「No2」とは50%のオーバーエッチング、「No3」とは100%のオーバーエッチングをそれぞれ意味する。またグラ

フの縦軸は I_d (A) であり横軸は V_g (V) である。先のGIZTO酸化物半導体層と同様、GIZTO (1) 酸化物半導体層、及びGIZTO (2) 酸化物半導体層を用いたTF Tでも良好な I_d-V_g 特性が得られた。

[0082] 以上の評価結果を表4の「移動度」、「S値」及び「S値判定」にまとめた。

「移動度」と「S値判定」の評価基準は、実施例1等と同様である。

[0083] [ストレス耐性の評価4]

実施例2-1、2-2、4-1、4-2、5-1及び5-2のTF Tを用いてストレス耐性（光＋負バイアスストレスに対する耐性）の評価を行い、表4にまとめた。

ストレス耐性の評価手法及び評価基準は、実施例1等と同様である。なお、参考例4-3及び5-3についてはエッチング液への浸漬により膜が消失したことから、ストレス耐性の評価はできなかった。

[0084] 実施例4-1のGIZTO (1) および実施例4-2のGIZTO (2) の50%オーバーエッチング後の I_d-V_g 特性を図10A及び図10Bにそれぞれ示した。ストレス印加時間は0秒、3600秒または7200秒とした。このときのストレス耐性における ΔV_{th} はストレス印加時間に関わらず、それぞれ2.5V、2.25Vと共に良好な結果が得られた。

以上の評価結果より、 S_n を一定量以上含む酸化物半導体層を用いたTF Tでは、移動度、S値、ストレス耐性のすべてにわたって非常に良好な特性が得られたことから、総合判定として○とした。

なお今回の評価には、過酸化水素水にフッ化物を含んだ無機系エッチング液におけるフッ化物量は比較的多いものを用いたが、TF T製造にはよりフッ化物量の少ないものが用いられる場合もある。

[0085]

[表4]

	酸化物半導体層	S/D電極	S/D電極のオーパーエッチング量 (%)	S/D電極エッチング後の の光半導体材料層	第1保護膜の 水素含有量 (%)	移動度 (cm ² /Vs)	S値 (V/dec)	S値判定	ΔVth (V)	ΔVth判定	総合判定
実施例2-1	Ga-In-Zn-Sn-O	Ti	50	問題なし	4.3	7.1	0.27	○	2.5	○	○
実施例2-2	Ga-In-Zn-Sn-O	Ti/Cu/Ti	50	問題なし	4.3	7	0.29	○	3.1	○	○
実施例4-1	Ga-In-Zn-Sn-O(1)	Ti	50	問題なし	4.3	7.3	0.4	○	2.5	○	○
実施例4-2	Ga-In-Zn-Sn-O(2)	Ti	50	問題なし	4.3	7.2	0.4	○	2.25	○	○
実施例4-3	Ga-In-Zn-Sn-O(3)	Ti	50	膜が消失	4.3						x
実施例5-1	Ga-In-Zn-Sn-O(1)	Ti/Cu/Ti	50	問題なし	4.3	7.2	0.39	○	2.5	○	○
実施例5-2	Ga-In-Zn-Sn-O(2)	Ti/Cu/Ti	50	問題なし	4.3	7.4	0.41	○	2.75	○	○
実施例5-3	Ga-In-Zn-Sn-O(3)	Ti/Cu/Ti	50	膜が消失	4.3						x

[0086] 以上の評価結果より、本発明に係るGa-In-Zn-Sn-O (GIZTO) 酸化物半導体層を用いたTFETの場合、酸化物半導体層はSnを含むことによりエッチング液に対する耐性が向上し、さらに酸化物半導体層中の金属元素の合計量に対してSnを9原子%以上含むことにより、スイッチング特性、S値、ストレス耐性のすべてにわたって良好な結果が得られること

が分かった。さらには第1保護膜6Aとなる SiO_x 膜に含まれる水素濃度を4.5原子%以下とすることにより、ストレス耐性の結果を非常に良好にすることができることが分かった。

[0087] 本発明を特定の態様を参照して詳細に説明したが、本発明の精神と範囲を離れることなく様々な変更および修正が可能であることは、当業者にとって明らかである。

なお、本出願は、2015年5月29日付けで出願された日本特許出願（特願2015-109825）及び2015年10月20日付けで出願された日本特許出願（特願2015-206513）に基づいており、その全体が引用により援用される。

符号の説明

- [0088]
- 1 ガラス基板
 - 2 ゲート電極
 - 3 ゲート絶縁膜
 - 4 酸化物半導体層
 - 5 ソース・ドレイン電極
 - 6 保護膜
 - 6A 第1保護膜
 - 6B 第2保護膜
 - 7 コンタクトホール
 - 8 透明導電膜
 - 9 エッチストッパー層

請求の範囲

- [請求項1] 基板上に少なくともゲート電極、ゲート絶縁膜、酸化物半導体層、ソース・ドレイン電極、および2層以上の保護膜を有する薄膜トランジスタであって、
- 前記酸化物半導体層を構成する金属元素がIn、Ga、Zn及びSnであり、
- 前記ソース・ドレイン電極が純Ti膜及びTi合金膜の少なくともいずれか一方のTi系膜又は、前記Ti系膜と純Cu膜及びCu合金膜の少なくともいずれか一方のCu系膜とのTi系/Cu系積層膜であり、かつ
- 前記ソース・ドレイン電極が前記酸化物半導体層と直接接合された薄膜トランジスタ。
- [請求項2] 基板上に少なくともゲート電極、ゲート絶縁膜、酸化物半導体層、ソース・ドレイン電極、および2層以上の保護膜を有する薄膜トランジスタであって、
- 前記酸化物半導体層を構成する金属元素がIn、Ga、Zn及びSnであり、
- 前記ソース・ドレイン電極が純Mo膜及びMo合金膜の少なくともいずれか一方のMo系膜又は、前記Mo系膜と純Cu膜及びCu合金膜の少なくともいずれか一方のCu系膜とのMo系/Cu系積層膜であり、かつ
- 前記ソース・ドレイン電極が前記酸化物半導体層と直接接合された薄膜トランジスタ。
- [請求項3] 前記酸化物半導体層における全金属元素の合計に対するSnの割合が9原子%以上50原子%以下である請求項1に記載の薄膜トランジスタ。
- [請求項4] 前記酸化物半導体層における全金属元素の合計に対するSnの割合が9原子%以上50原子%以下である請求項2に記載の薄膜トランジスタ。

スタ。

[請求項5] 前記酸化物半導体層における全金属元素の合計に対する各金属元素の割合が、

I n : 15 ~ 25 原子%、

G a : 5 ~ 20 原子%、

Z n : 35 ~ 60 原子%、および

S n : 9 ~ 30 原子%

である請求項3に記載の薄膜トランジスタ。

[請求項6] 前記酸化物半導体層における全金属元素の合計に対する各金属元素の割合が、

I n : 15 ~ 25 原子%、

G a : 5 ~ 20 原子%、

Z n : 35 ~ 60 原子%、および

S n : 9 ~ 30 原子%

である請求項4に記載の薄膜トランジスタ。

[請求項7] 前記2層以上の保護膜が少なくとも、前記酸化物半導体層と直接接合する第1保護膜及び前記第1保護膜とは異なる第2保護膜からなり、かつ前記第1保護膜が水素濃度4.5原子%以下のSiO_x膜である請求項1に記載の薄膜トランジスタ。

[請求項8] 前記2層以上の保護膜が少なくとも、前記酸化物半導体層と直接接合する第1保護膜及び前記第1保護膜とは異なる第2保護膜からなり、かつ前記第1保護膜が水素濃度4.5原子%以下のSiO_x膜である請求項2に記載の薄膜トランジスタ。

[請求項9] 前記酸化物半導体層の直上にエッチストッパー層を設けない、バックチャネルエッチ型である請求項1に記載の薄膜トランジスタ。

[請求項10] 前記酸化物半導体層の直上にエッチストッパー層を設けない、バックチャネルエッチ型である請求項2に記載の薄膜トランジスタ。

[請求項11] 前記酸化物半導体層の直上にエッチストッパー層を設けない、バック

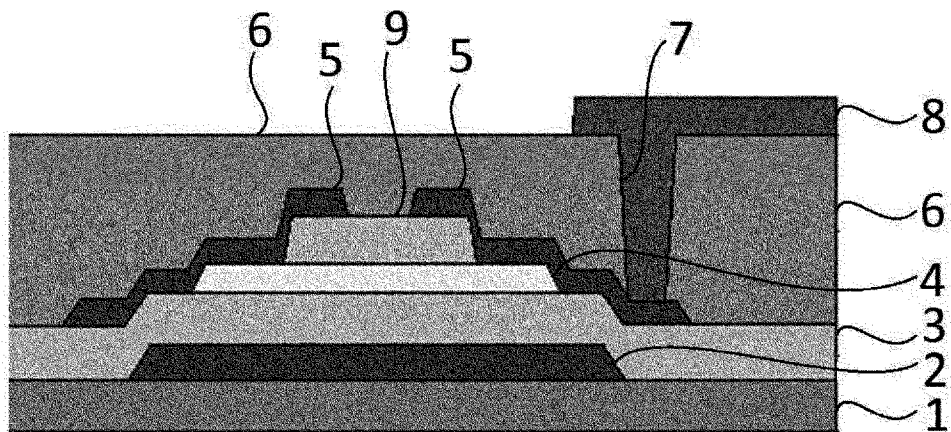
クチャネルエッチ型である請求項 5 に記載の薄膜トランジスタ。

[請求項12] 前記酸化物半導体層の直上にエッチストッパー層を設けない、バックチャネルエッチ型である請求項 6 に記載の薄膜トランジスタ。

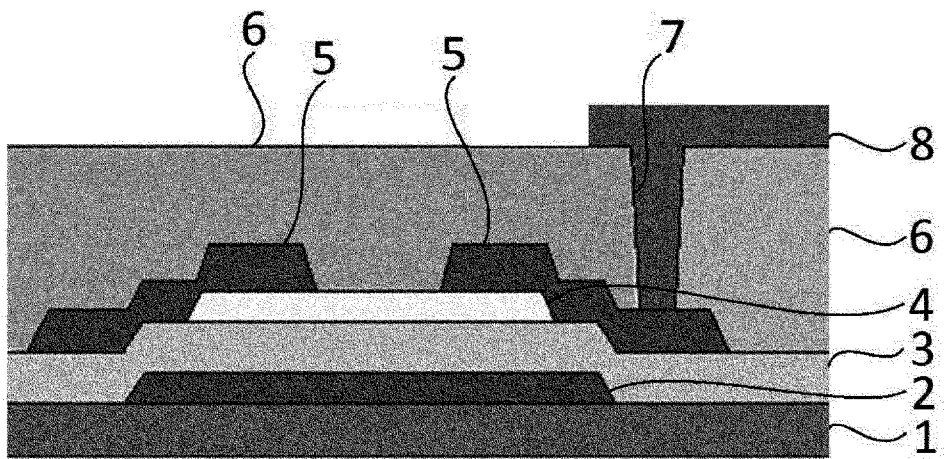
[請求項13] 前記酸化物半導体層の直上にエッチストッパー層を設けない、バックチャネルエッチ型である請求項 7 に記載の薄膜トランジスタ。

[請求項14] 前記酸化物半導体層の直上にエッチストッパー層を設けない、バックチャネルエッチ型である請求項 8 に記載の薄膜トランジスタ。

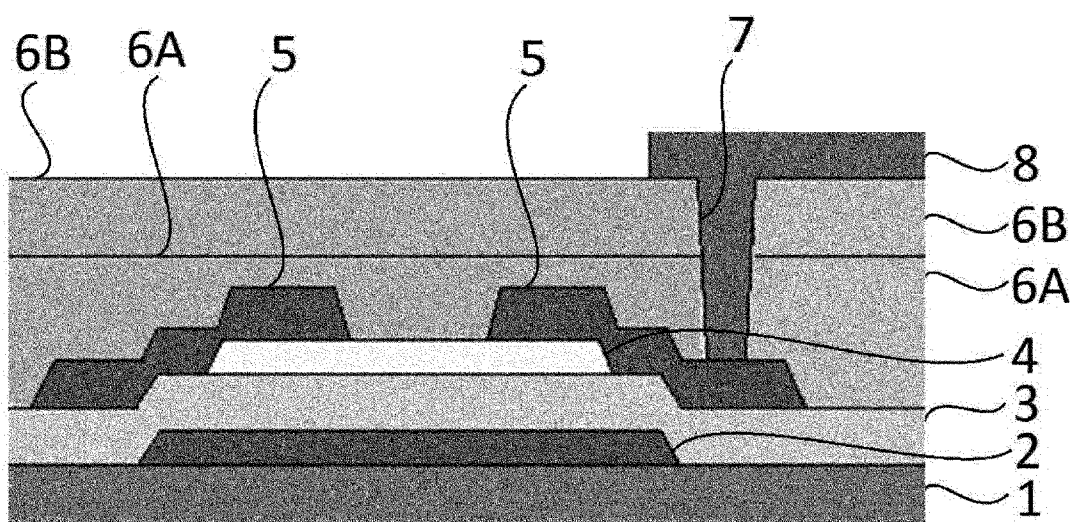
[図1A]



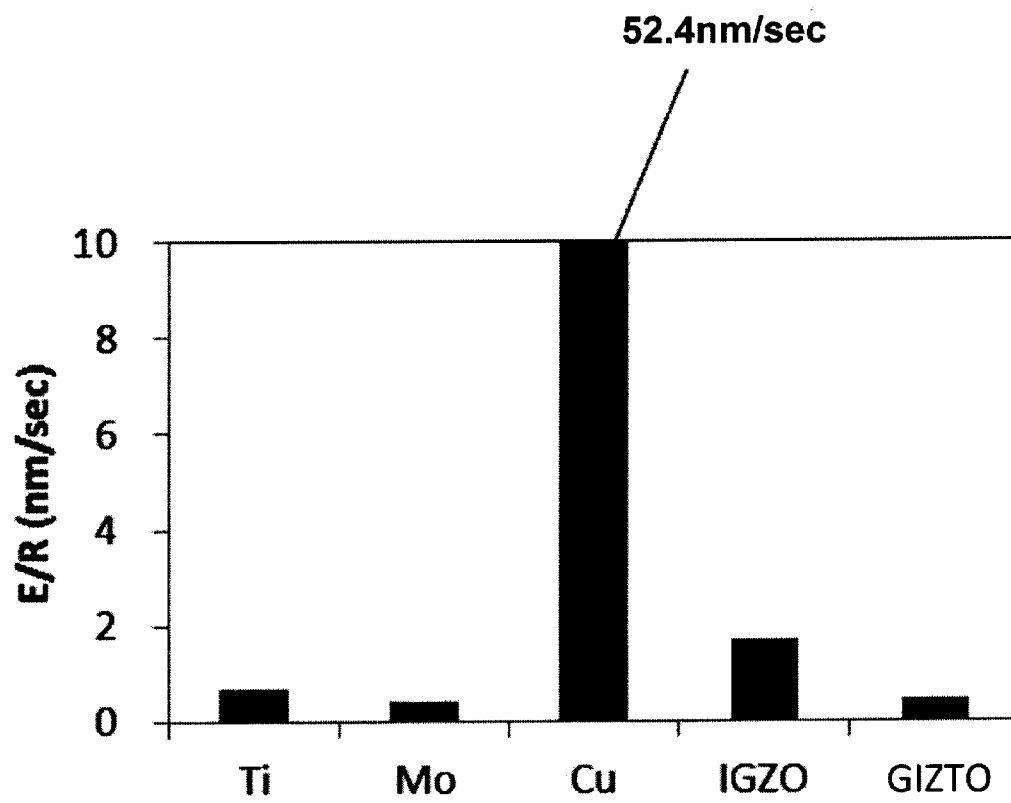
[図1B]



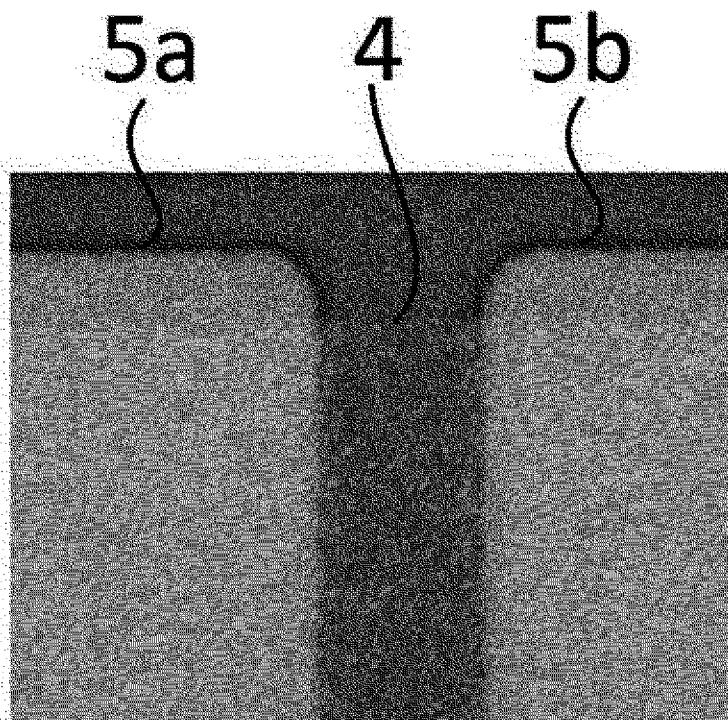
[図2]



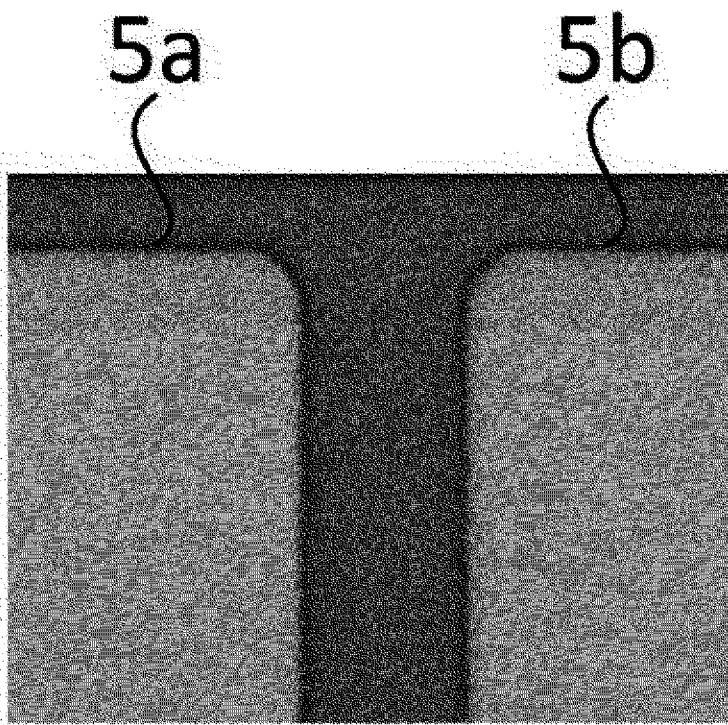
[図3]



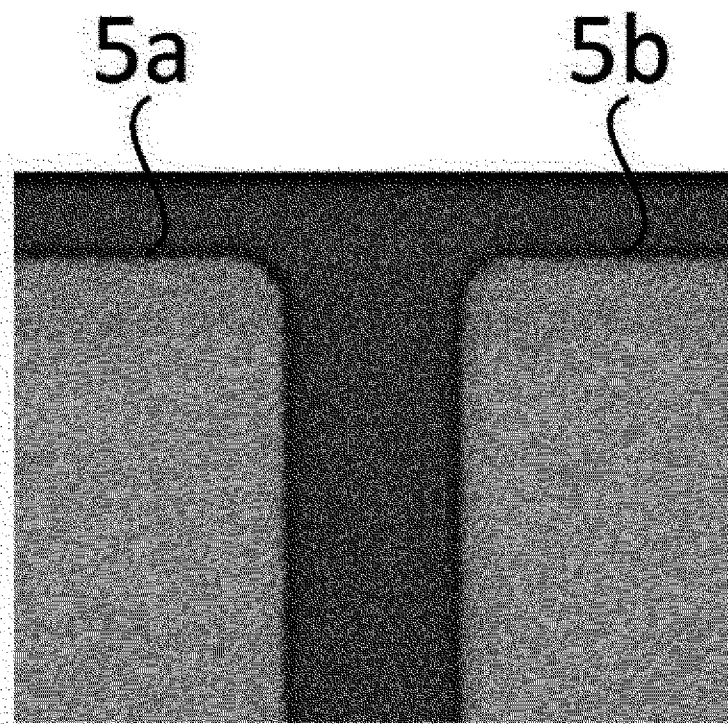
[図4A]



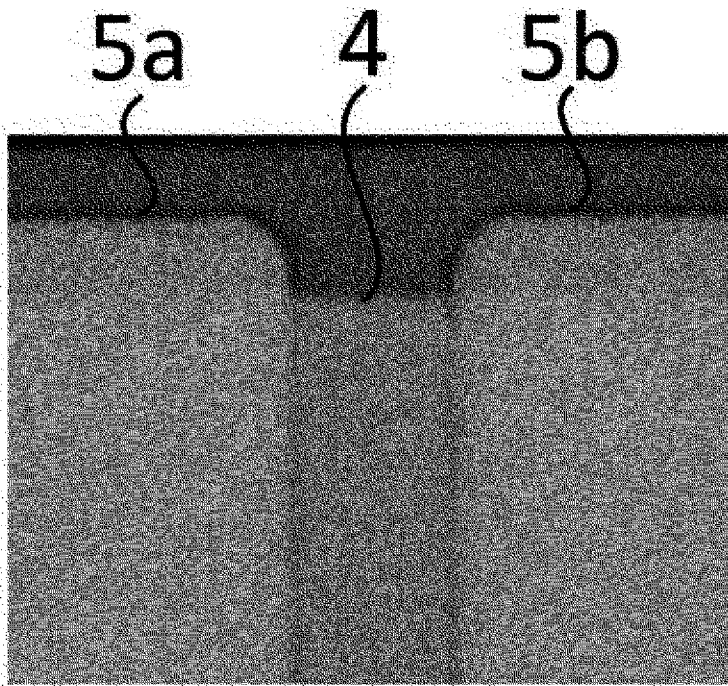
[図4B]



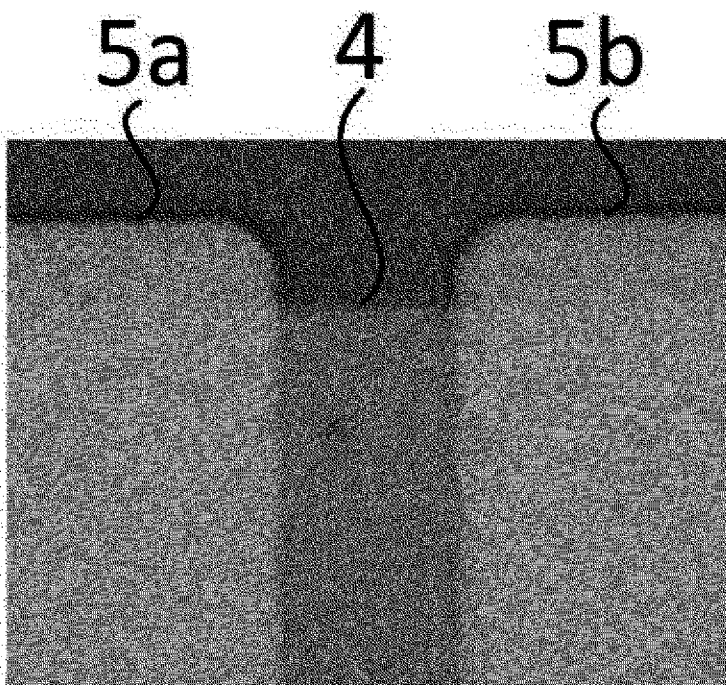
[図4C]



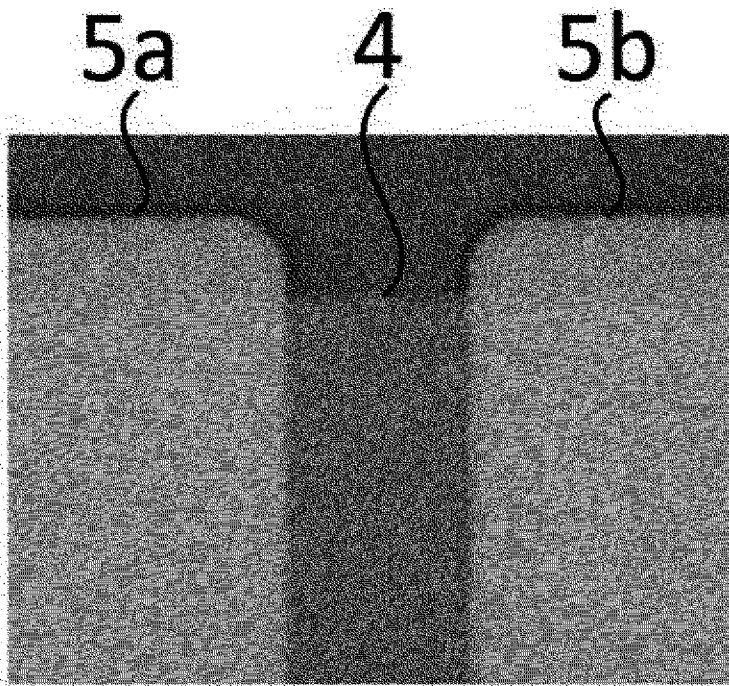
[図4D]



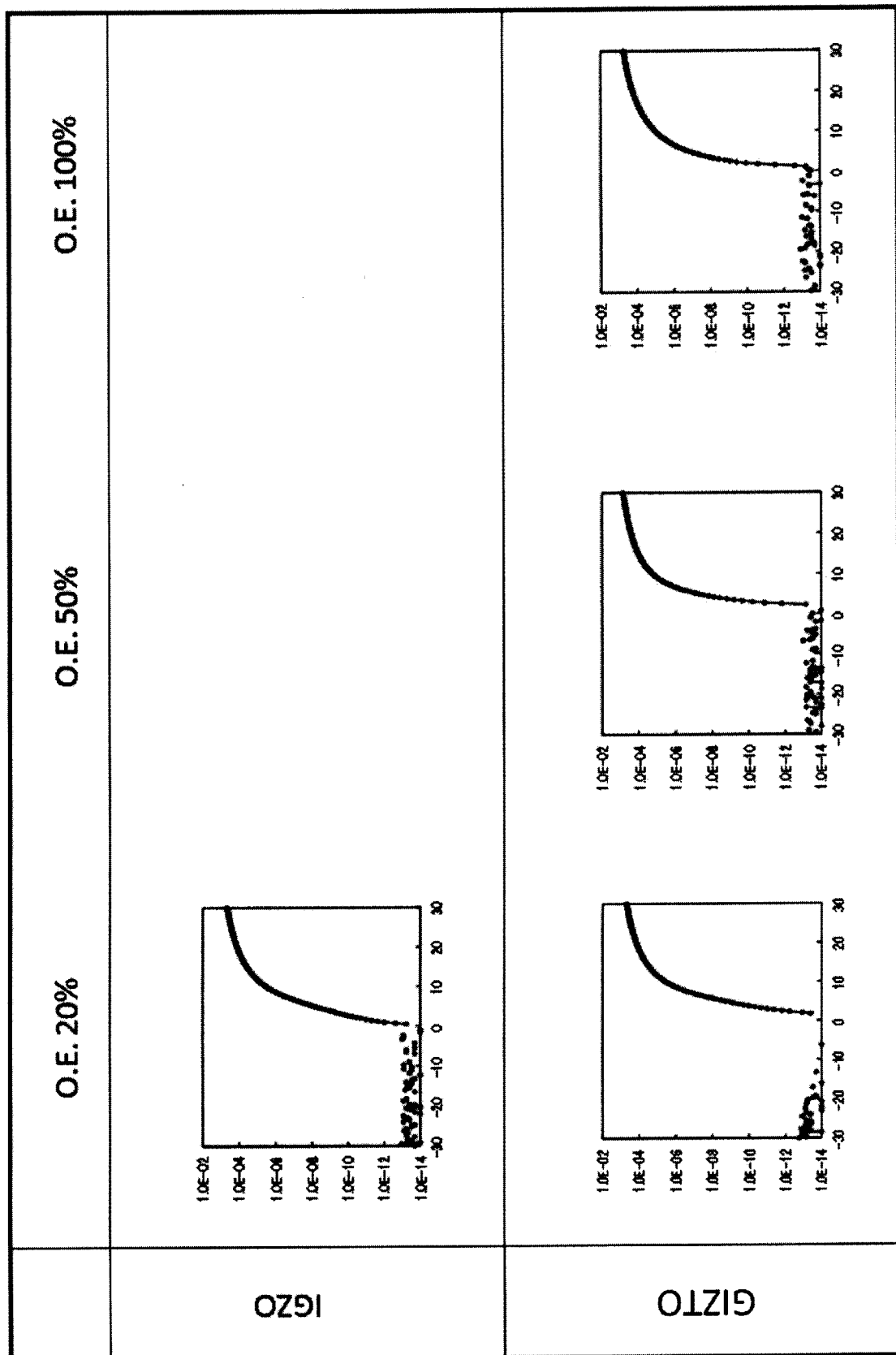
[図4E]



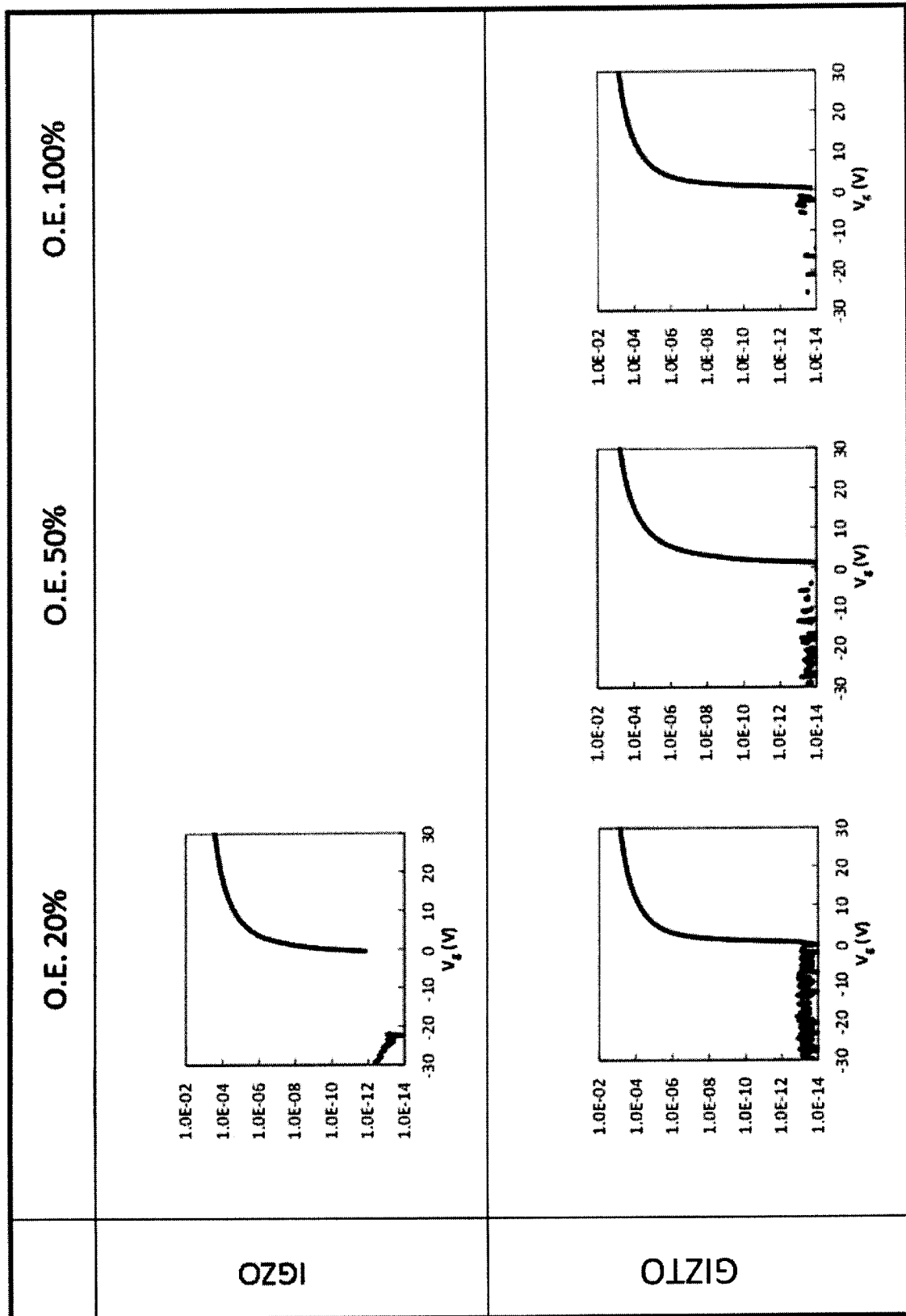
[図4F]



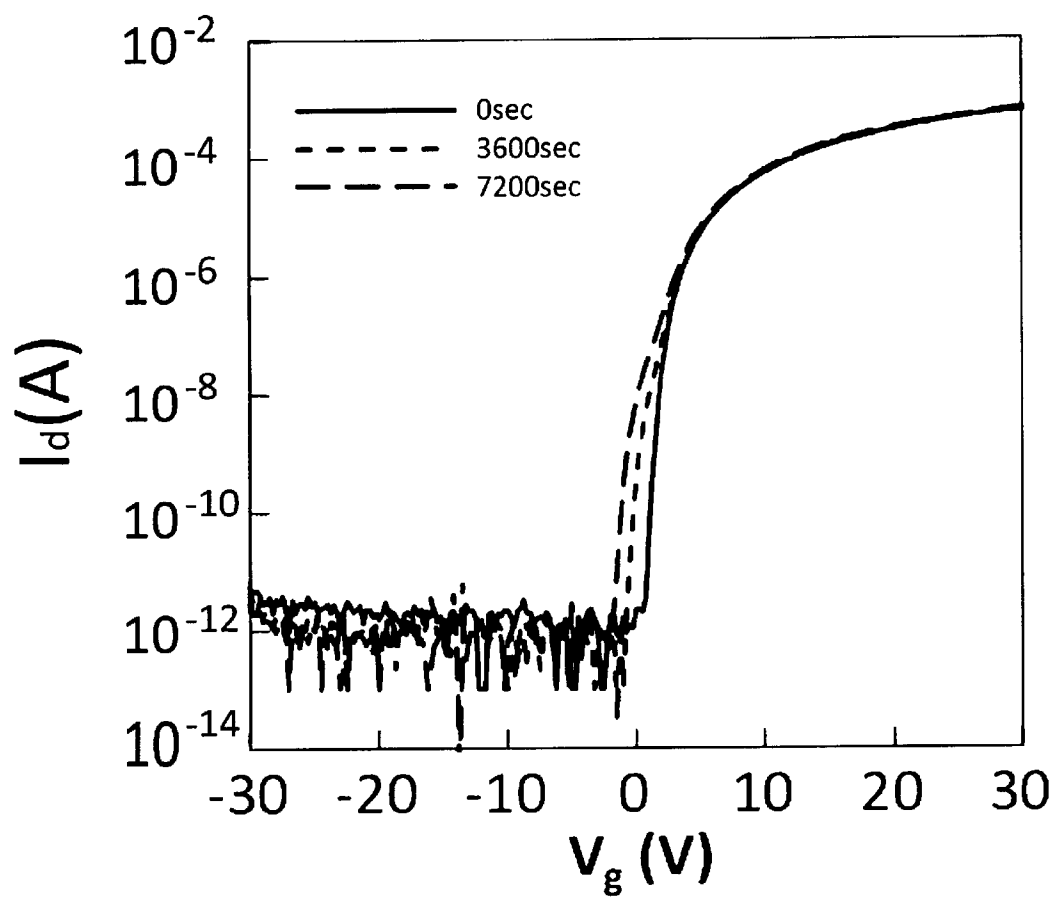
[図5]



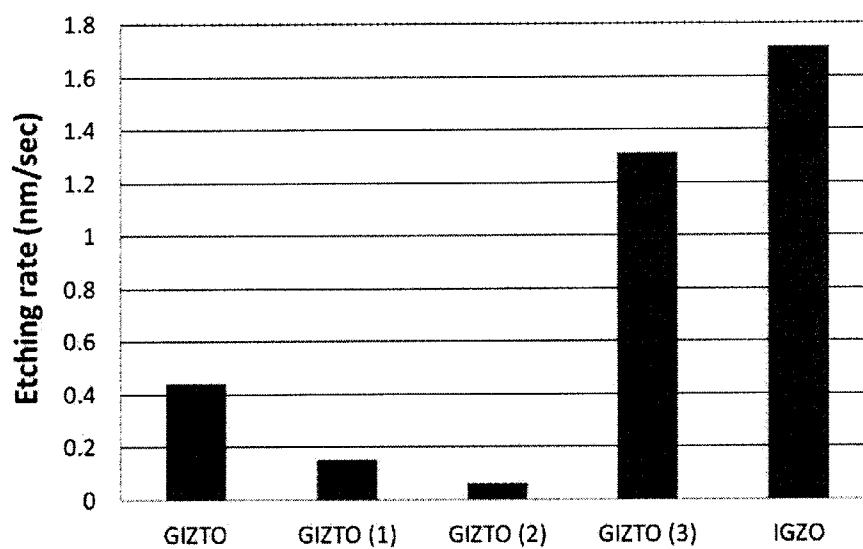
[図6]



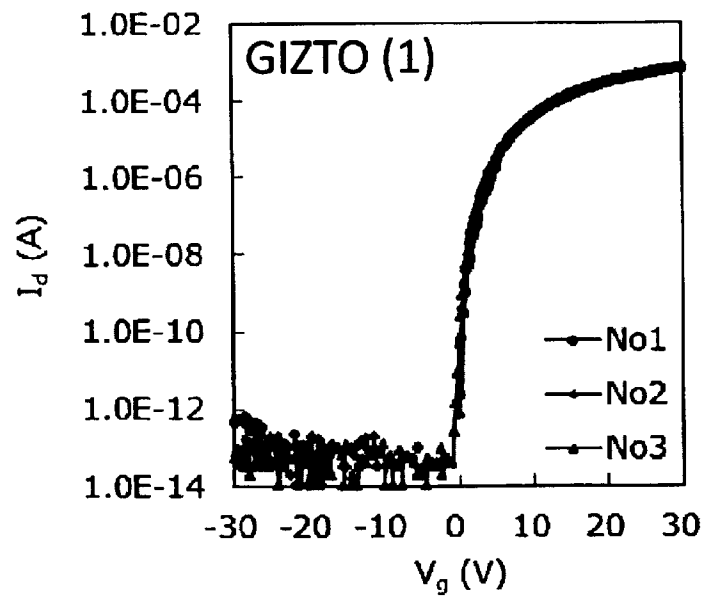
[図7]



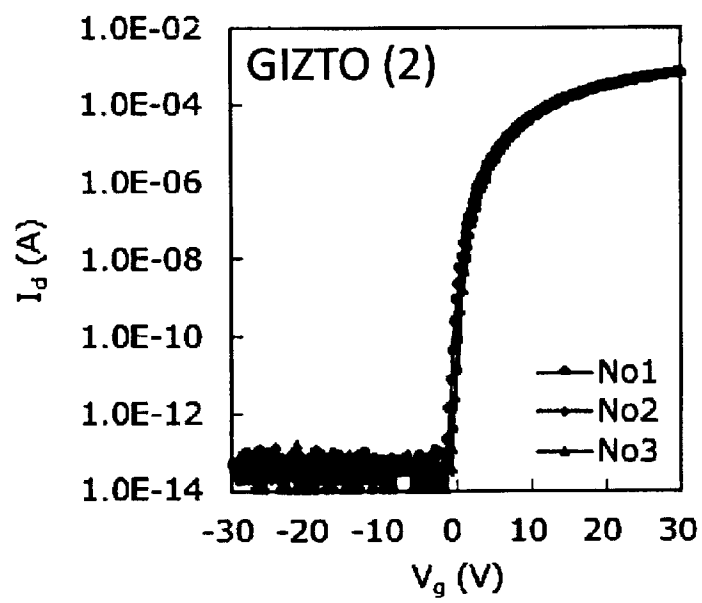
[図8]



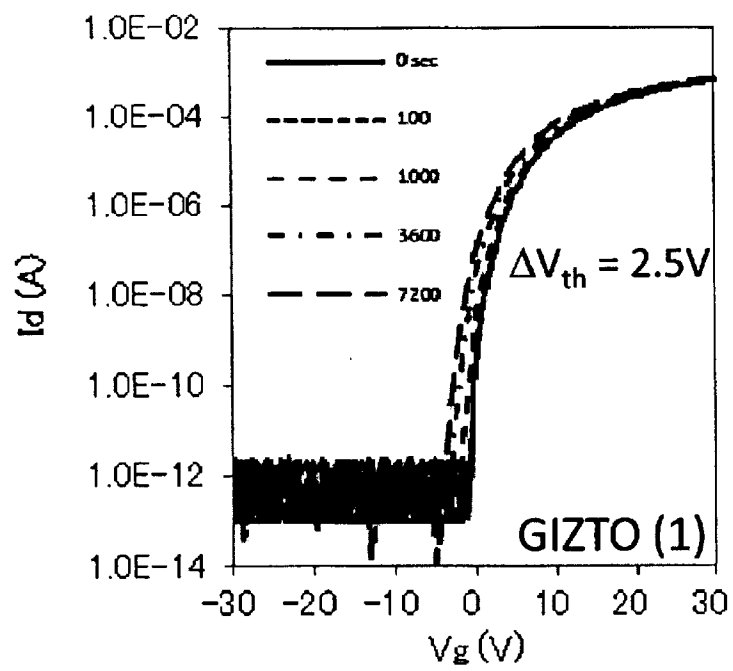
[図9A]



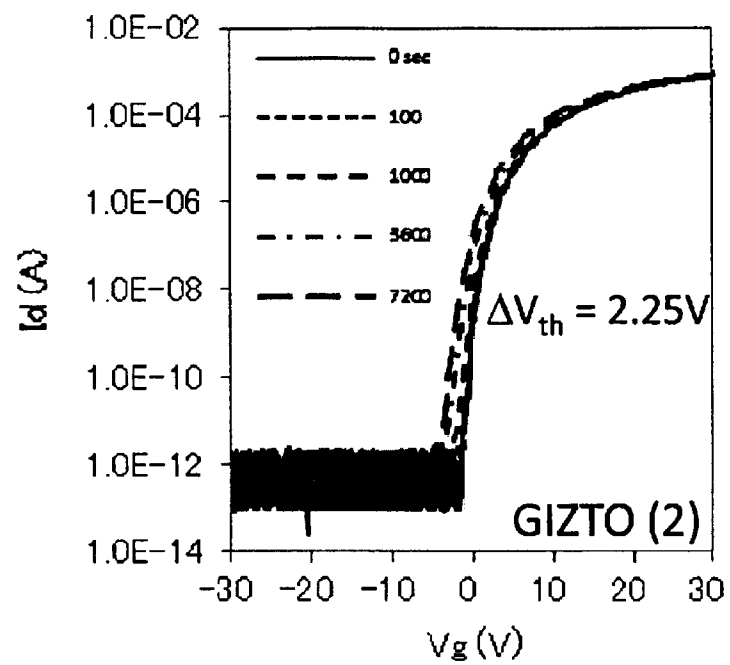
[図9B]



[図10A]



[図10B]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/065671

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/786(2006.01)i, H01L21/28(2006.01)i, H01L21/336(2006.01)i,
H01L29/417(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/786, H01L21/28, H01L21/336, H01L29/417

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2014/208520 A1 (Kobe Steel, Ltd.), 31 December 2014 (31.12.2014),	2, 4, 6, 8, 10, 12, 14
Y	paragraphs [0004], [0012], [0017], [0019], [0020], [0030] to [0150]; fig. 1B, 2 & JP 2015-29051 A & US 2016/0079437 A1 paragraphs [0004], [0011], [0016], [0018], [0019], [0050] to [0195]; fig. 1B, 2 & CN 105324835 A & TW 201513370 A & KR 10-2016-0013167 A	1, 3, 5, 7, 9, 11, 13

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
22 June 2016 (22.06.16)

Date of mailing of the international search report
05 July 2016 (05.07.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/065671

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2013/180141 A1 (Kobe Steel, Ltd.), 05 December 2013 (05.12.2013), paragraphs [0021], [0022], [0031] to [0034], [0039], [0053] to [0058], [0078] to [0085], [0092] to [0101]; fig. 1B & JP 2014-7383 A & US 2015/0076489 A1 paragraphs [0022], [0023], [0042] to [0045], [0050], [0068] to [0073], [0093] to [0100], [0108] to [0125]; fig. 1B & CN 104335354 A & KR 10-2015-0016271 A & TW 201410895 A	1, 3, 5, 7, 9, 11, 13

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L29/786(2006.01)i, H01L21/28(2006.01)i, H01L21/336(2006.01)i, H01L29/417(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L29/786, H01L21/28, H01L21/336, H01L29/417

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 6 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 6 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 6 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	WO 2014/208520 A1（株式会社神戸製鋼所） 2014.12.31, 段落[0004], [0012], [0017], [0019], [0020], [0030]-[0150], 図 1B, 2	2, 4, 6, 8, 10, 1 2, 14
Y	& JP 2015-29051 A & US 2016/0079437 A1, 段落[0004], [0011], [0016], [0018], [0019], [0050]-[0195], 図 1B, 2 & CN 105324835 A & TW 201513370 A & KR 10-2016-0013167 A	1, 3, 5, 7, 9, 11 , 13

☑ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 2 . 0 6 . 2 0 1 6

国際調査報告の発送日

0 5 . 0 7 . 2 0 1 6

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

市川 武宜

5 F

4 0 5 6

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2013/180141 A1 (株式会社神戸製鋼所) 2013.12.05, 段落[0021], [0022], [0031]-[0034], [0039], [0053]-[0058], [0078]-[0085], [0092]-[0101], 図 1B & JP 2014-7383 A & US 2015/0076489 A1, 段落[0022], [0023], [0042]-[0045], [0050], [0068]-[0073], [0093]-[0100], [0108]-[0125], 図 1B & CN 104335354 A & KR 10-2015-0016271 A & TW 201410895 A	1, 3, 5, 7, 9, 11 , 13