



[12] 发明专利申请公开说明书

[21] 申请号 02128216.1

[43] 公开日 2003 年 3 月 12 日

[11] 公开号 CN 1402254A

[22] 申请日 2002.8.2 [21] 申请号 02128216.1
[30] 优先权
[32] 2001. 8. 2 [33] JP [31] 234602/2001
[32] 2001. 9. 27 [33] JP [31] 296375/2001
[71] 申请人 三菱电机株式会社
地址 日本东京都
[72] 发明人 日高秀人

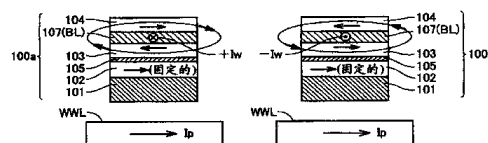
[74] 专利代理机构 中国专利代理(香港)有限公司
代理人 刘宗杰 王忠忠

权利要求书 3 页 说明书 46 页 附图 46 页

[54] 发明名称 具有含磁隧道结的存储器单元的薄膜磁存储装置

[57] 摘要

在隧道磁电阻元件(100a)中,第一和第二自由磁化层(103)具有对应存储数据的磁化方向。第一和第二自由磁化层夹住非磁性导电体形成的中间层(107)来配置。数据写入时,中间层(107)中流过对应写入的存储数据的电平的方向的数据写入电流。通过由流过中间层的电流产生的磁场将第一和第二自由磁化层磁化为环状。



1. 一种薄膜磁存储装置，具有各自执行数据存储的多个存储器单元，各上述存储器单元包括对应存储数据变化电阻值的磁存储部和为了在数据读出中使数据读出电流通过上述磁存储部而选择地导通的
5 读出存取元件，上述磁存储部备有具有固定的磁化方向的第一磁性层、对应施加的数据写入磁场在彼此相反方向上磁化的第二和第三磁性层、在上述第二和第三磁性层之间形成的非磁性的且导电的中间层、在上述第二和第三磁性层的一侧与上述第一磁性层之间形成的绝缘层，在数据写入时，上述数据写入磁场的至少一部分由流过上述中
10 间层的第一数据写入电流产生。

2. 根据权利要求 1 所述的薄膜磁存储装置，上述中间层通过上述多个存储器单元的一部分而被共有。

3. 根据权利要求 1 所述的薄膜磁存储装置，上述多个存储器单元按行列状配置，上述薄膜磁存储装置还备有使用中间层形成、分别
15 对应存储器单元行和存储器单元列之一设置的每一个用于流过上述第一数据写入电流的多个第一数据写入线；分别对应存储器单元行和存储器单元列的另一个设置的、在上述数据写入时流过用于产生上述数据写入磁场的第二数据写入电流的多个第二数据写入线，对于对应的
20 第一和第二数据写入线二者，在上述第一和第二数据写入电流分别流过的存储器单元中，上述第二和第三磁性层的磁化方向可更换。

4. 根据权利要求 1 所述的薄膜磁存储装置，数据读出时，上述存取元件将上述磁存储部与固定电压电耦合，上述数据读出电流经上述中间层流向上述磁存储部。

5. 根据权利要求 1 所述的薄膜磁存储装置，还备有数据读出时
25 流过上述数据读出电流的读出数据线，数据读出时，上述存取元件将上述磁存储部电耦合于上述读出数据线，上述中间层在上述数据读出时被设定为固定电压。

6. 根据权利要求 1 所述的薄膜磁存储装置，上述多个存储器单元按行列状配置，上述中间层在存储器列方向上延伸并形成与上述
30 存储器单元列分别对应的多个数据线，上述薄膜磁存储装置还具有：在数据写入时对应写入数据的电平将成对的 2 根数据线的一端分别设定为第一和第二电压之一的数据写入电路；设置在上述成对的 2 根数

据线的每一个上、在数据写入时电耦合对应的 2 根数据线的另一端的电流开关。

7. 根据权利要求 1 所述的薄膜磁存储装置, 各上述存储器单元还包含对于上述多个存储器单元中的与为数据写入对象选择的存储器单元对应的上述中间层选择地流过上述第一数据写入电流的写入存取元件。

8. 根据权利要求 1 所述的薄膜磁存储装置, 上述多个存储器单元按行列状配置, 上述薄膜磁存储装置还备有设置每个存储器单元列上的第一和第二数据线, 上述数据写入时与包含选择的存储器单元的存储器列对应的上述第一和第二数据线对应写入数据的电平分别设定为上述第一和第二电压之一, 各上述写入存取元件在对应的第一和第二数据线之间串联连接上述中间层, 在包含上述选择的存储器单元的存储器单元行中导通。

9. 一种薄膜磁存储装置, 包括以下:
各自执行数据存储的多个存储器单元;

上述多个存储器单元的每一个包含响应于施加的磁场对应更换的磁化方向变化电阻值的磁存储部和在导通时使数据读出电流通过上述磁存储部的存取元件;

数据写入时将用于磁化为对应写入数据的方向的数据写入电流流过上述磁存储部的、分层设置的全局数据线和本地数据线。

10. 根据权利要求 9 的薄膜磁存储装置, 上述数据写入时, 由流过上述全局数据线和上述本地数据线的上述数据写入电流分别产生的磁场在上述磁存储部强烈耦合。

11. 根据权利要求 9 的薄膜磁存储装置, 上述多个存储器单元按行列状配置, 上述全局数据线对应存储器行和存储器列之一配置, 上述本地数据线对对应同一上述全局数据写入线的存储器单元群的每一规定区段配置, 还包括: 数据写入时对应写入数据的电平将成对的 2 根全局数据线的一端分别设定为第一和第二电压之一的数据写入电路; 设置在成对的 2 根本地数据线的每一个上、在数据写入时电耦合对应的 2 根本地数据线的一端的每一电流开关部; 设置在上述成对的 2 根本地数据线的每一个上、将上述对应的 2 根本地数据线的另一端分别连接对应的 2 根全局写入数据线的第二电流开关部。

12. 根据权利要求 9 的薄膜磁存储装置, 还备有: 数据读出时, 将上述数据读出电流流过成对的 2 根全局数据线的每一个的同时对应上述成对的 2 根全局数据线的电压比较生成读出数据的数据读出电路; 设置在上述全局数据线的每一个上、响应上述数据读出电流的通过产生参考电压的参考电压发生部, 对数据读出对象选择的存储器单元在经对应的本地数据线与对应的全局数据线连接的状态下流过上述数据读出电流, 在上述数据读出时与对应上述选择的存储器单元的全局数据线成对的全局数据线连接上述参考电压发生部。

13. 根据权利要求 9 的薄膜磁存储装置, 上述多个存储器单元按行列状配置, 上述全局数据线对应存储器单元行和存储器单元列之一配置, 上述本地数据线对对应同一上述全局数据写入线的存储器单元群的每一规定区段配置, 上述薄膜磁存储装置还备有: 数据写入时对应写入数据的电平将成对的 2 根全局数据线的一端分别设定为第一和第二电压之一的数据写入电路; 设置在上述成对的 2 根本地数据线的每一个上、将上述成对的 2 根本地数据线的之一连接在对应的 2 根全局写入数据线之间的电流开关部。

14. 根据权利要求 13 的薄膜磁存储装置, 还备有: 数据读出时, 将上述数据读出电流流过成对的 2 根全局数据线的每一个的同时对应上述成对的 2 根全局数据线的电压比较生成读出数据的数据读出电路; 设置在上述全局数据线的每一个上、响应上述数据读出电流的通过产生参考电压的参考电压发生部, 上述电流开关部将上述成对的 2 根本地数据线中与为数据读出对象选择的存储器单元对应的一个连接对应的全局数据线, 在上述数据读出时将上述对应的全局数据线成对的全局数据线连接上述参考电压发生部。

15. 根据权利要求 9 的薄膜磁存储装置, 上述多个存储器单元按行列状配置, 上述全局数据线配置在多个存储器单元列的每一个上, 上述本地数据线在各上述存储器单元列中配置在每一规定区段上。

具有含磁隧道结的存储器单元的薄膜磁存储装置

技术领域

- 5 本发明涉及一种薄膜磁存储装置，尤其涉及备有含磁隧道结 (MTJ:Magnetic Tunnel Junction) 的存储器单元的随机存取存储器。

背景技术

- 作为低功耗可存储非易失性数据的存储装置，MRAM(Magnetic Random memory)器件受到关注。MRAM 器件是使用在半导体集成电路上形成的多个薄膜磁体进行非易失性数据的存储，可对各个薄膜磁体进行随机存取的存储装置。

- 尤其，近年来，发表了通过将利用磁隧道结的薄膜磁体用作存储器单元可飞速促进 MRAM 器件性能进步。对于备有含磁隧道结的存储器单元的 MRAM 器件，在 2000 年 2 月的 ISSCC Digest of Technical Papers,TA7.2 的 “A 10ns Read and Write Non-Volatile Memory Array Using a Magnetic Tunnel Junction and FET Switch in each Cell” 和 2000 年 2 月的 ISSCC Digest of Technical Papers,TA7.3 的 “Nonvolatile RAM based on Magnetic Tunnel Junction Element” 等技术文献中公开。

- 20 图 48 是表示具有磁隧道结的存储器单元 (下面简称 MTJ 存储器单元) 的结构和数据读出动作的概念图。

- 参考图 48，MTJ 存储器单元具有对应存储数据的数据电平变化电阻值的隧道磁电阻元件 TMR 和数据读出时形成通过隧道磁电阻元件 TMR 的传感电流的路径的存取晶体管 ATR。存取晶体管 ATR 例如用场效应晶体管形成，耦合于隧道磁电阻元件 TMR 和接地电压 VSS 之间。

- 隧道磁电阻元件 TMR 包括具有一定方向的固定磁场的铁磁性层 (下面简称为固定磁化层) FL 和磁化为根据从外部施加的磁场变化的方向上的铁磁性层 (下面简称自由磁化层) VL。在固定磁化层 FL 和自由磁化层 VL 之间配置绝缘膜形成的隧道势垒层 TB。自由磁化层 VL 对应存储数据的数据电平磁化为与固定磁化层 FL 相同方向或与固定磁化层 FL 不同方向上。

对于 MTJ 存储器单元，配置指示数据写入的写入字线 WWL 和指示数据读出的读出字线 RWL 以及作为在数据读出时和数据写入时传送对应存储数据的电平的电信号的数据线的位线 BL。

数据读出时，存取晶体管 ATR 对应读出字线 RWL 的激活被接通。
5 由此，位线 BL ~ 隧道磁电阻元件 TMR ~ 存取晶体管 ATR ~ 接地电压 VSS 的电流路径中可流过传感电流 I_s 。

隧道磁电阻元件 TMR 的电阻值对应固定磁化层 FL 和自由磁化层 VL 的磁化方向的相对关系变化。具体说，固定磁化层 FL 的磁化方向和自由磁化层 VL 中写入的磁化方向对齐时，与二者的磁化方向
10 不同（反平行:antiparallel）时相比，隧道磁电阻元件 TMR 的电阻值减小。下面本说明书中，分别与存储数据 1 和 0 对应的隧道磁电阻元件的电阻值分别用 R1 和 R0 表示。其中 $R1 > R0$ 。

这样，隧道磁电阻元件 TMR 对应磁化方向变化其电阻值。因此，分别对应隧道磁电阻元件 TMR 中的自由磁化层 VL 的 2 个磁化方向
15 和存储数据的电平(1 和 0)，可执行数据存储。即，自由磁化层 VL 相当于 MTJ 存储器单元的存储节点。

由于传感电流 I_s 在隧道磁电阻元件 TMR 产生的电压变化对应自由磁化层 VL 的磁化方向，即存储数据电平而不同。由此，将位线 BL 预充电到一定电压的状态后，隧道磁电阻元件 TMR 中不流过传感电
20 流 I_s ，通过监视位线 BL 的电压电平变化可读出 MTJ 存储器单元的存储数据。

图 49 是说明对 MTJ 存储器单元的数据写入动作的概念图；

参考图 49，在数据写入时，读出字线 RWL 不激活，存取晶体管 ATR 接通。该状态下，将自由磁化层 VL 磁化为对应写入数据的方向
25 的数据写入电流分别流向写入字线 WWL 和位线 BL。自由磁化层 VL 的磁化方向通过分别流过写入字线 WWL 和位线 BL 的数据写入电流的方向组合决定。

图 50 是说明数据写入时数据写入电流的方向和磁化方向的关系的概念图。

30 参考图 50，横轴 H_x 表示由流过位线 BL 的数据写入电流产生的数据写入磁场 $H(BL)$ 的方向。另一方面，纵轴 H_y 表示由流过写入字线 WWL 的数据写入电流产生的数据写入磁场 $H(WWL)$ 的方向。

自由磁化层 VL 的磁化方向仅在数据写入磁场 $H(BL)$ 和 $H(WWL)$ 的和到达图中所示的磁滞特性线的外侧区域时可被重新改写。即，施加的数据写入磁场为与磁滞特性线的内侧区域相当的强度时，不改变自由磁化层 VL 的磁化方向。

- 5 因此，为通过数据写入动作更新隧道磁电阻元件 TMR 的存储内容，需要在写入字线 WWL 和位线 BL 二者中流过规定电平以上的电流。隧道磁电阻元件 TMR 中暂时存储的磁化方向，即存储数据在执行新的数据写入之前非易失地保持。

- 10 数据读出动作时，位线 BL 中流过传感电流 I_s 。但是，传感电流 I_s 一般设定得比上述数据写入电流小 1~2 个数量级，因此由于传感电流 I_s 的影响在数据读出时 MTJ 存储器单元的存储数据被误改写的可能性小。

但是，使用这种隧道磁电阻元件 TMR 的 MRAM 器件中，随着存储器单元尺寸缩小，产生下面所述的问题。

- 15 MTJ 存储器单元中，通过自由磁化层 VL 的磁化方向存储存储数据，但为改写自由磁化层 VL 的磁化方向需要施加的磁场强度（下面叫做反转磁场强度）在磁性层厚度为 T 、磁性层的磁化方向的长度为 L 时与 T/L 成比例。因此，缩小磁场强度单元大小时，随着平面方向尺寸的缩小(scaling) 反转磁场强度增大。

- 20 随着磁场强度单元尺寸的缩小，在 MTJ 存储器单元外部和内部固定磁化层和自由磁化层之间产生的磁场干扰增大。由此，数据写入需要的数据写入磁场的阈值（与图 50 中的磁滞特性线相当）依赖写入数据的图形而变化，依赖数据写入西磁场的方向而变为非对称形状。

- 25 由于这种现象，MTJ 存储器单元缩小变得困难，随着存储器单元尺寸缩小产生消耗电流增大等问题。

- 30 为解决这种问题，美国专利 (USP) 6,166,948 中公开一种技术：将 MTJ 存储器单元的自由磁化层有具有不同的磁矩的 2 层的铁磁性层形成。下面将这种由 2 层磁性层形成自由磁化层的构造叫做 2 层存储节点构造。与此相反，将图 48 和图 49 所示的由单层磁性层形成自由磁化层的构造叫做单层存储节点构造。

图 51 是表示具有 2 层存储节点构造的已有隧道磁电阻元件结构

的截面图。

参考图 51, 已有的隧道磁电阻元件包含反铁磁层 AFL、固定磁化层 FL、自由磁化层 VL1,VL2、固定磁化层 FL 和自由磁化层 VL1 之间形成的隧道势垒层 TB、自由磁化层 VL1,VL2 之间形成的中间层 IML。中间层 IML 用非磁性体形成。包含图 51 所示的隧道磁电阻元件的 MTJ 存储器单元中, 对应固定磁化层 FL 和自由磁化层 VL1 的磁化方向的相对关系存储存储数据。

自由磁化层 VL1,VL2 夹持中间层 IM1L 配置。自由磁化层 VL1 的磁矩比自由磁化层 VL2 大。因此, 变化磁化方向的磁化阈值是自由磁化层 VL1 比自由磁化层 VL2 大。

由于磁矩有强弱, 因此自由磁化层 VL1 的磁化方向变化时, 为与自由磁化层 VL1 之间形成磁化环路, 自由磁化层 VL2 的磁化方向也随着变化。

图 52 是说明图 51 所示隧道磁电阻元件的磁化的磁滞曲线图。图 52 中, 示出数据写入磁场 H 引起的自由磁化层 VL1,VL2 的易磁化轴方向的磁化举动。

参考图 52, 首先, 说明数据写入磁场在负方向增大时的磁化方向的变化。

首先, $H > H_{01}$ 区域(状态 1A)中, 自由磁化层 VL1,VL2 都被磁化为正方向(右方向)。接着, 变化为 $H < H_{01}$ 时(状态 2A), 仅磁矩小的自由磁化层 VL2 的磁化方向反转。

另外, 将磁场变化为负方向, 进入超出阈值 $-H_{02}$ 的区域(状态 3A)时, 磁矩大的自由磁化层 VL1 的磁化方向从正方向(右侧)变化为负方向(左侧)。随之而来的是自由磁化层 VL2 的磁化方向也从状态 2A 反转。

此外, 数据写入磁场 H 在负方向增大时, 进入 $H < -H_{03}$ 的区域(状态 4A)时, 自由磁化层 VL1,VL2 二者中, 磁化方向变化为负方向(左侧)。

接着说明数据写入磁场 H 在正方向增大时的磁化方向的变化。

$H < -H_{01}$ 区域(状态 4B)中, 自由磁化层 VL1,VL2 都被磁化为负方向(左方向)。接着, 变化为 $H > -H_{01}$ 时(状态 3B), 仅磁矩小的自由磁化层 VL2 的磁化方向反转。

另外，将磁场变化为正方向，进入超出阈值 H_{02} 的区域（状态 2B）时，磁矩大的自由磁化层 VL1 的磁化方向从负方向（左侧）变化为正方向（右侧）。随之而来的是自由磁化层 VL2 的磁化方向也从状态 3B 反转。

- 5 此外，数据写入磁场 H 在正方向增大时，进入 $H > H_{03}$ 的区域（状态 1B）时，自由磁化层 VL1, VL2 二者中，磁化方向变化为正方向（右侧）。

10 这样，用分别具有不同的磁化阈值（磁矩）的铁磁层形成并在其间夹持作为非磁性层的中间层来构成自由磁化层，通过将自由磁化层的磁场在上/下层彼此反转的状态用作数据存储状态，可减轻自由磁化层的反转磁场强度。数据存储状态中，2 层的自由磁化层被磁化为环状，因此 MTJ 存储器单元中磁力线不扩张，磁场干扰产生的坏影响也可被抑制。

但是，如图 51 所示的 2 层存储节点构造的 MTJ 存储器单元中，15 自由磁化层 VL1, VL2 必须具有彼此不同的磁化阈值（磁矩），因此需要层叠材质和厚度等不同的 2 个磁性层，制造装置和制造工序复杂化。

尤其，如图 52 所示，自由磁化层 VL1, VL2 之间的磁矩的差对数据存储状态产生的影响大，因此由于在制造时的磁矩偏差，恐怕会使 MTJ 存储器单元的数据存储特性产生大变化。

- 20 如图 48, 图 49 和图 52 所示，MTJ 存储器单元中，磁化为对应存储数据的方向的自由磁化层 VL, VL1, VL2 与具有固定磁化方向的固定磁化层 FL 以及反铁磁层 AFL 接近配置，因此自由磁化层的磁化特性对应存储数据电平变得不均匀。

25 图 53 是说明单层存储节点构造的 MTJ 存储器单元的磁化特性的不均匀性的概念图。

参考图 53，固定磁化层 FL 和反铁磁层 AFL 具有相同的固定的磁化方向。反铁磁层 AFL 配置来更牢固地固定固定磁化层 FL 的磁化方向。

- 30 用作存储节点的自由磁化层 VL 对应存储数据的电平磁化到正方向(+方向)和负方向(-方向)之一。图 53 中，与固定磁化层 FL 相同方向的磁化方向定义为正方向，与固定磁化层 FL 反平行方向的磁化方向定义为负方向。

这样，由于多个磁性层接近设置，来自反铁磁层 AFL 和固定磁化层 FL 的磁场静磁耦合，自由磁化层 VL 中，在易磁化轴方向上施加相同的磁场 ΔH_p 。相同的磁场 ΔH_p 作用在与固定磁化层 FL 反平行方向，即负方向上。由于这种相同磁场 ΔH_p 的存在，自由磁化层 VL 的磁化特性依赖磁场方向为非对称的。

图 54 是说明图 53 所示的自由磁化层 VL 的磁化特性的磁滞曲线图。图 54 中，表示易磁化轴方向的数据写入磁场 H_{ex} 引起的自由磁化层 VL 的磁化举动。

参考图 54，为将磁化为负方向的自由磁化层 VL 磁化到正方向，需要施加超出 $+H_{sp}$ 的正方向的磁场 H_{ex} 。相反，为将磁化为正方向的自由磁化层 VL 磁化到负方向，需要施加超出 $-H_{sn}$ 的负方向的磁场 H_{ex} 。

这里，由于与固定磁化层 FL 之间的静磁耦合产生的相同磁场 ΔH_p 的影响，磁化到正方向的阈值 H_{sp} 比磁化到负方向的阈值 H_{sn} 仅大 ΔH_p 。这样，对应施加磁场方向，自由磁化层 VL 的磁化特性不对称，因此依赖于对 MTJ 存储器单元的写入数据的电平，需要向自由磁化层 VL 施加的磁场强度不同。为将这种隧道磁电阻元件用作存储器单元，写入某一数据电平时，都需要施加超出大的磁化阈值的磁场。即，在将自由磁化层 VL 磁化为负方向时需要施加用于产生超出磁化阈值 H_{sp} 的磁场的数据写入电流。从而，这种情况下，数据写入电流变得不必要地大。由此，产生功耗增大，布线电流密度增加引起的布线可靠性降低这类问题。

这种现象在 2 层存储节点构造的隧道磁电阻元件中同样存在。

图 55 是说明 2 层存储节点构造的 MTJ 存储器单元的磁化特性的不均匀性的概念图。

参考图 55，即便是 2 层存储节点构造的隧道磁电阻元件，与单层存储节点构造同样，在自由磁化层 VL1 中，由于反铁磁层 AFL 和固定磁化层 FL 之间的静磁耦合，在易磁化轴方向上施加相同磁场 ΔH_p 。由此，自由磁化层 VL1, VL2 的易磁化轴方向的磁化举动不对称。

图 56 是说明图 55 所示的自由磁化层 VL 的磁化特性的磁滞曲线图。

参考图 56，由于与固定磁化层 FL 之间的静磁耦合产生的相同磁

场 ΔH_p 的影响, 易磁化轴方向的数据写入磁场 H_{ex} 引起的自由磁化层 VL1, VL2 的磁化举动与图 52 所示的逻辑特性相比, 是仅有 ΔH_p 的偏移的特性。即, 相对针对图 52 所示的正方向的施加磁场的阈值 $+H_{01}, +H_{02}, +H_{03}$, 针对负方向的磁场的阈值 $-H_{01}', -H_{02}', -H_{03}'$ 仅分别错开 ΔH_p , 相对正方向的磁场和负方向的磁场磁化特性不对称。即,

5 $H_{01} - |-H_{01}'| = H_{02} - |-H_{02}'| = H_{03} - |-H_{03}'| = \Delta H_p$ 。

这样, 在单层存储节点构造和 2 层存储节点构造的任一个的隧道磁电阻元件中引起磁场特性的不对称, 需要数据写入电流的电平不必要地增大。

10 发明内容

本发明的目的是提供薄膜磁存储装置, 具有不导致制造工序的复杂化、磁化特性简单、并且可充分确保动作裕量的 MTJ 存储器单元。

本发明的其他目的是提供具有不依赖于写入的存储数据电平的磁化特性对称的 MTJ 存储器单元的薄膜磁存储装置,

15 本发明简要说是一种薄膜磁存储装置, 具有各自执行数据存储的多个存储器单元。各存储器单元包括对应存储数据变化电阻值的磁存储部和在导通时使数据读出电流通过磁存储部的读出存取元件。磁存储部备有具有固定的磁化方向的第一磁性层、对应施加的数据写入磁场在彼此相反方向上磁化的第二和第三磁性层、在第二和第三磁性层之间形成的非磁性的且导电的中间层、在第二和第三磁性层的一侧与第一磁性层之间形成的绝缘层。在数据写入时, 数据写入磁场的至少一部分由流过中间层的第一数据写入电流产生。

20

这样的薄膜磁存储装置, 由于流过夹持在与自由磁化层相当的第二和第三磁化层的中间层的数据写入电流, 有效地将 2 个自由磁化层磁化为环状。由一个自由磁化层的磁化产生的磁力线作为磁化另一自由磁化层的磁力线, 彼此相互作用。其结果自由磁化层的磁化方向改换需要的数据写入电流可减小, 从而可兼顾功耗降低和磁噪声的抑制。

25

根据本发明的另一方面, 作为薄膜磁存储装置, 具有各自执行数据存储的多个存储器单元。各存储器单元包括对应存储数据变化电阻值的磁存储部和在导通时使数据读出电流通过磁存储部的存取元件。磁存储部备有具有固定的磁化方向的第一磁性层、对应施加的数据写

30

入磁场在彼此相反方向上磁化的具有彼此不同的磁矩的第二和第三磁性层、在第二和第三磁性层之间形成的非磁性的中间层、在第二和第三磁性层的一侧与第一磁性层之间形成的绝缘层。薄膜磁存储装置还包含在数据写入时流过产生数据写入磁场的的数据写入电流的数据写入布线。中间层形成为平面状，通过多个存储器单元的至少一部分被共有。

这种薄膜磁存储装置在与自由磁化层相当的第二和第三磁化层中，由一个自由磁化层的磁化产生的磁力线作为磁化另一自由磁化层的磁力线，彼此相互作用。因此，自由磁化层的磁化方向改换需要的数据写入电流可减小，从而可兼顾存储器单元尺寸的缩小和功耗降低和磁噪声的抑制。另外，对于中间层，不需要考虑存储器单元之间的电干扰，因此形状自由度提高。从而制造过程变得容易，成品率上升。

根据本发明的再一方面，作为薄膜磁存储装置，具有多个存储器单元和分层设置的全局数据线和本地数据线。多个存储器单元的每一个包括执行数据存储、响应施加的磁场并对应改换的磁化方向变化电阻值的磁存储部；和在导通时使数据读出电流通过磁存储部的存取元件。全局数据线和本地数据线设置来在数据写入时将用于磁化为对应写入数据的方向的数据写入电流流过磁存储部。

这种薄膜磁存储装置使用分层设置的全局/本地数据线，可实现数据写入电流路径的低电阻化。

更好是数据写入时分别由流过全局数据线和本地数据线的的数据写入电流产生的磁场在磁存储部彼此强烈耦合。

由此，磁存储部的磁化方向改换需要的数据写入电流可减小，从而可实现功耗降低和磁噪声的抑制。

根据本发明的又一方面，作为薄膜磁存储装置，具有各自执行数据存储的多个存储器单元和第一数据写入电流线。各存储器单元包括对应存储数据变化电阻值的磁存储部。磁存储部备有具有固定的磁化方向的第一磁性层、磁化为对应存储数据的电平的方向的第二磁性层、在第二和第一磁性层之间形成的绝缘层。第一数据写入电流线对多个存储器单元中为数据写入对象选择的至少一个选择存储器单元产生磁化第二磁性层的第一数据写入磁场。第一数据写入磁场不管存储数据的电平如何在第二磁性层中具有消除从第一磁性层向第二磁性层

作用的耦合磁场的方向的成分。

这种薄膜磁存储装置在磁存储部（隧道磁电阻元件）中的第二磁性层（自由磁化层）中可不依赖于写入数据的电平使沿着易磁化轴方向的磁化特性对称。其结果可抑制存储数据写入需要的数据写入电流。其结果是可实现 MRAM 器件的功耗的降低和数据写入电流的电流密度降低引起的动作可靠性的提高。

附图的简要说明

图 1 是表示根据本发明的实施例 1 的 MRAM 器件的整体结构的框图；

10 图 2 是表示图 1 所示的存储器阵列的结构例的概念图；

图 3 是表示具有图 2 所示的 2 层存储节点结构的 MTJ 存储器单元的结构例的概念图；

图 4A 和图 4B 是说明数据写入时自由磁化层的磁化方向的概念图；

15 图 5 是表示具有 2 层存储节点结构的 MTJ 存储器单元的其他结构例的概念图；

图 6 是表示存储器阵列 10 的其他结构例的框图；

图 7 是表示存储器阵列 10 的另一其他结构例的框图；

图 8 是表示图 7 所示的存储器单元的结构的结构图；

20 图 9 是表示具有 2 层存储节点结构的 MTJ 存储器单元的另一其他结构的概念图；

图 10 是表示根据实施例 2 的存储器阵列的结构简图；

图 11 是表示图 10 所示的存储器块 MBa 的结构电路图；

25 图 12 是表示根据实施例 2 的变形例 1 的存储器块 MBb 的结构电路图；

图 13 A 和图 13B 是说明根据实施例 2 的变形例 1 的存储器块的数据写入磁场产生的状态的概念图；

图 14 是表示根据实施例 2 的变形例 2 的存储器阵列的结构简图；

30 图 15 是表示根据实施例 2 的变形例 3 的存储器阵列的结构简图；

图 16 是说明图 15 所示的存储器块的结构电路图；

图 17 是表示表示根据实施例 2 的变形例 4 的存储器阵列的结构
的框图；

图 18 是说明图 17 所示的存储器块的结构电路图；

图 19 是表示根据实施例 2 的变形例 5 的存储器阵列 10 的结构
5 框图；

图 20 表示单层存储节点构造的 MTJ 存储器单元的结构；

图 21 是表示具有 2 层存储节点构造的原有 MTJ 存储器单元的结
构的构造图；

图 22 是表示根据实施例 3 的存储器块 MBe 的结构电路图；

10 图 23 是表示根据实施例 3 的变形例 1 的存储器块 MBf 的结构
的电路图；

图 24A 和图 24B 是说明根据实施例 3 的变形例 1 的存储器块的数
据写入磁场的发生状态的概念图；

图 25 是表示根据实施例 3 的变形例 2 的存储器块的结构电路
15 图；

图 26 是表示根据实施例 3 的变形例 32 的存储器块的结构电路
图；

图 27 是表示具有根据实施例 4 的 2 层存储构造的 MTJ 存储器单
元的结构的概念图；

20 图 28 A 和图 28B 是表示图 27 所示的 MTJ 存储器单元的数据写
入磁场的发生状态的概念图；

图 29 是表示将图 27 所示的 MTJ 存储器单元配置为行列状的存
储器阵列的结构框图；

图 30 是表示根据实施例 4 的变形例 1 的存储器阵列的结构电
25 路图；

图 31 是说明根据实施例 4 的变形例 2 的分层字线结构的概念图；

图 32 是说明根据实施例 4 的变形例 3 的分层字线结构的概念图；

图 33 是表示根据实施例 5 的存储器阵列的结构框图；

图 34 是说明根据实施例 5 的 MTJ 存储器单元的构造的概念图；

30 图 35 是说明对根据实施例 5 的 MTJ 存储器单元的数据读出和数
据写入动作的动作波形图；

图 36 是表示根据实施例 5 的变形例 1 的存储器阵列的结构框

图;

图 37 是说明根据实施例 5 的变形例 1 的 MTJ 存储器单元的构造的概念图;

5 图 38 是说明根据实施例 5 的变形例 2 的存储器阵列的结构的框图;

图 39 是说明根据实施例 5 的变形例 2 的 MTJ 存储器单元的构造的概念图;

图 40 是说明对根据实施例 5 的变形例 2 的 MTJ 存储器单元的数据读出和数据写入动作的动作波形图;

10 图 41 是表示根据实施例 5 的变形例 3 的存储器阵列的结构的框图;

图 42 是说明根据实施例 5 的变形例 3 的 MTJ 存储器单元的构造的概念图;

15 图 43 是说明对根据实施例 5 的变形例 3 的 MTJ 存储器单元的数据读出和数据写入动作的动作波形图;

图 44 是表示根据实施例 6 的数据写入磁场的方向的概念图;

图 45 是表示根据实施例 6 的隧道磁电阻元件的配置的概念图;

图 46 是表示根据实施例 6 的变形例的数据写入磁场的方向的概念图;

20 图 47 是表示根据实施例 6 的变形例的隧道磁电阻元件的配置的概念图;

图 48 是表示 MTJ 存储器单元的结构和数据读出动作的概念图;

图 49 是说明对 MTJ 存储器单元的数据写入动作的概念图;

25 图 50 是说明对 MTJ 存储器单元的数据写入时数据写入电流方向和磁化方向的关系的概念图;

图 51 是表示由 2 层自由磁化层构造的已有隧道磁电阻元件的结构的概念图;

图 52 是说明图 51 所示的隧道磁电阻元件的磁化的磁滞回线图;

30 图 53 是说明单层存储节点构造的 MTJ 存储器单元的磁化特性的不均匀性的概念图;

图 54 是说明图 53 所示的自由磁化层的磁化特性的磁滞回线图;

图 55 是说明 2 层存储节点构造的 MTJ 存储器单元的磁化特性的

不均匀性的概念图；

图 56 是说明图 55 所示的自由磁化层的磁化特性的磁滞回线图。

发明的具体实施例

下面参考附图详细说明本发明的实施例。图中相同的符号表示相同或相当的部分。

实施例 1

参考图 1, MRAM 器件 1 响应来自外部的控制信号 CMD 和地址信号 ADD 执行随机存取, 执行写入数据 DIN 的输入和读出数据 DOUT 的输出。

MRAM 器件 1 具有响应控制信号 CMD 控制 MRAM 器件 1 整体动作的控制器电路 5 和具有配置为行列状的多个 MTJ 存储器单元的存储器阵列 10。关于存储器阵列 10 的结构在后面详细说明, 分别对应 MTJ 存储器单元的行 (下面简称为存储器单元行) 配置多个写入字线 WWL 和读出字线 RWL。对应 MTJ 存储器单元阵列的列 (下面简称存储器单元列) 配置位线 BL 和源线 SL。

MRAM 器件 1 还具有行解码器 20、列解码器 25、字线驱动器 30、字线电流控制电路 40 和读出/写入控制电路 50,60。

行解码器 20 对应地址信号 ADD 表示的行地址 RA 执行存储器阵列 10 的行选择。列解码器 25 对应地址信号 ADD 表示的列地址 CA 执行存储器阵列 10 的列选择。字线驱动器 30 根据行解码器 20 的行选择结果选择地激活读出字线 RWL 或写入字线 WWL。通过行地址 RA 和列地址 CA 表示指定给数据读出或数据写入对象的存储器单元 (下面称为选择存储器单元)。

字线电流控制电路 40 是为在数据写入时向写入字线 WWL 流入数据写入电流而设置的。读出/写入控制电路 50,60 是对为在数据读出和数据写入时向位线 BL 流入数据写入电流和传感电流 (数据读出电流) 而与存储器阵列 10 相邻的区域中配置的电路群的统称。

参考图 2, 存储器阵列 10 包含排列为 n 行 $\times$ m 列 (n, m 为自然数) 的 2 层存储节点结构的 MTJ 存储器单元 MCa。存储器单元 MCa 包含存取晶体管 ATR 和隧道磁电阻元件 100a。

对应存储器单元行分别设置读出字线 RWL1 ~ RWLn 和写入字线 WWL1 ~ WWLn。分别对应存储器单元列来分别设置位线 BL1 ~ BLm

和源线 $SL1 \sim SLm$ 。源线 $SL1 \sim SLn$ 的每一个在对应的存储器单元行中与存取晶体管 ATR 的源侧耦合，同时提供接地电压 VSS。

字线电流控制电路 40 在夹持存储器阵列 10 与字线驱动器 30 相反侧的区域中将各写入字线 WWL 耦合接地电压 VSS。由此，对通过字线驱动器 30 选择地和电源电压 VDD 耦合的写入字线可流过一定方向的数据写入电流 I_p 。

图 2 代表性地表示与第 1,2 行和第 n 行和第 1 和第 m 列对应的读出字线 $RWL1, RWL2, RWLn$ 、写入字线 $WWL1, WWL2, WWLn$ 、位线 $BL1, BLm$ 和源线 $SL1, SLm$ 以及与这些对应的一部分存储器单元。

参考图 3，图 2 所示的 MTJ 存储器单元 MCa 包含隧道磁电阻元件 100a。隧道磁电阻元件 100a 包含反铁磁层 101、固定磁化层 102、自由磁化层 103 和 104、隧道势垒层 105 以及中间层 107。

固定磁化层 102 具有固定的磁化方向，形成在反铁磁层 101 上。反铁磁层 101 配置来更牢固地固定固定磁化层 102 的磁化方向。隧道势垒层 105 形成在固定磁化层 102 和自由磁化层 103 之间。自由磁化层 103 和 104 配置成夹住磁性上具有中性特性的中间层 107。中间层 107 由非磁性导电体形成。

中间层 107 的形状和电特性可自由设定。根据实施例 1 的结构中，使用中间层 107 形成位线 BL。即，属于相同的存储器单元列的 MTJ 存储器单元之间为使之间层 107 之间电耦合，将中间层 107 配置为在列方向上延伸并形成成为条状的金属布线，从而形成位线 BL。

数据写入时，在中间层 107(位线 BL)中对应写入数据的电平流过的方向变化的数据写入电流 $\pm I_w$ 。另一方面，沿着行方向配置的写入字线 WWL 中流过不管写入数据的电平如何都为一定方向的数据写入电流 I_p 。

对于自由磁化层 103 和 104，通过流过中间层 107(位线 BL) 的写入电流 $\pm I_w$ 产生的数据写入磁场，施加易磁化轴(EA:Easy Axis)的磁场。与此相反，由流过写入字线 WWL 的数据写入电流 I_p 产生的数据写入磁场施加难磁化轴(HA:Hard Axis)的磁场。

接着使用图 4 说明数据写入时的自由磁化层的磁化方向。图 4A 和图 4B 相当于图 3 的 P-Q 截面图。

参考图 4A 和 4B，流过中间层 107(位线 BL) 的数据写入电流 $\pm I_w$

的方向因写入数据的电平而异。

图 4A 中,表示出中间层 107(位线 BL)中流过正方向的数据写入电流 $+I_w$ 的情况。对应的写入字线 WWL 中也流过数据写入电流 I_p 时,自由磁化层 103 和 104 的磁化方向响应于数据写入电流 $+I_w$ 产生的数据写入磁场而改换。

此时,通过夹住非磁性的中间层 107 将自由磁化层 103 和 104 形成为层状,由于流过 107 中间层的数据写入电流产生的磁场可有效地将二者在彼此相反的方向上磁化为环状。一个自由磁化层的磁化产生的磁力线作为磁化另一个自由磁化层的磁力线,彼此相互作用。

由此,可减小自由磁化层 103 和 104 的反转磁场强度产生所需的数据写入电流,由于磁力线不向外部扩张,因此可抑制对其他的存储器单元产生恶劣影响。

另一方面,固定磁化层 102 的磁化方向固定到一定方向。因此,由数据写入电流 $+I_w$ 进行数据写入的结果是固定磁化层 102 和自由磁化层 103 的磁化方向为相反方向,因此增大隧道磁电阻元件 100a 的电阻值。

另一方面,图 4B 中表示出中间层 107(位线 BL)中流过负方向的数据写入电流 $-I_w$ 的情况。此时在与图 4A 的情况相反的方向上磁化自由磁化层 103 和 104。流过写入字线 WWL 中的数据写入电流 I_p 如已经说明的那样不管写入数据的电平如何都保持一定方向。

因此,通过数据写入电流 $-I_w$ 执行数据写入的存储器单元中,固定磁化层 102 和自由磁化层 103 的磁化方向一致。其结果是隧道磁电阻元件 100a 的电阻值减小。

这样,仅对应的写入字线 WWL 和中间层 107(位线 BL)二者中流过数据写入电流的 MTJ 存储器单元中。决定自由磁化层 103 和 104 的材质和厚度,以使得自由磁化层 103 和 104 的磁化方向可改变,即执行数据写入。

在根据实施例 1 的 MTJ 存储器单元中的隧道磁电阻元件中,与图 51 所示的已有隧道磁电阻元件不同,自由磁化层 103 和 104 的磁矩不需要有强弱。因此,自由磁化层 103 和 104 的每一个可用相同材质相等厚度形成。从而,可避免制造工序的复杂化。

再次参考图 3,存取晶体管 ATR 包含作为 P 型衬底 110 上形成的

n 型区域的源/漏区域 111 和 112、栅极 113。源/漏区域 111 和接地电压 VSS 电耦合。

属于相同的存储器单元行的 MTJ 存储器单元之间为使栅极 113 彼此电耦合，通过在行方向上延伸配置栅极 113 来配置读出字线 RWL。即，响应读出字线 RWL 的激活(H 电平)接通存取晶体管 ATR。

隧道磁电阻元件 100a 和存取晶体管 ATR 的源/漏区域 112 经势垒金属 108 和通路孔 115 电耦合。势垒金属 108 是用于对反铁磁体 101 电连接的缓冲部件。

数据读出时，通过激活读出字线 RWL(H 电平)经隧道磁电阻元件 100a 的电阻将位线 BL 下拉到接地电压 VSS。如已经说明的那样，对应自由磁化层 103 和固定磁化层 102 的磁化方向的相对关系改变隧道磁电阻元件 100a 的电阻值，因此对应 MTJ 存储器单元的存储数据，位线 BL 的电压变化举动不同。

因此，位线 BL 中产生对应 MTJ 存储器单元 MCa 的存储数据电平的电压变化，使得通过检测流过传感电流时的位线 BL 的电压可读出 MTJ 存储器单元 MCa 的存储数据。

如上那样，自由磁化层 104 设置来在数据写入时与自由磁化层 103 一起磁化为环状，但数据写入时和数据读出时，电气上不起任何作用。因此，自由磁化层 104 如图 3 所示可配置为每个 MTJ 存储器单元的独立的元件，也可按与位线 BL 同样的图形配置为条状。

通过这种结构，在图 2 所示的存储器阵列中，通过在与选择存储器单元对应的写入字线 WWL 和位线 BL 的每一个中流过数据写入电流，并且数据读出时，激活与选择存储器单元对应的写入字线 RWL 的同时检测位线 BL 的电压，可执行数据写入和数据读出。

图 5 表示具有 2 层存储节点构造的 MTJ 存储器单元的其他结构例。

参考图 5，具有 2 层存储节点构造的 MTJ 存储器单元 MCb 与图 3 所示的 MTJ 存储器单元 MCa 相比，不同点在于写入字线 WWL 配置得比隧道磁电阻元件 100a 和位线 BL 更上层。其他部分的结构与图 3 同样，因此不反复详细说明。从而对存储器单元 MCb 的数据写入和数据读出与存储器单元 MCa 同样执行。

通过这种结构，隧道磁电阻元件 100a 和存取晶体管 ATR 之间不

需要设置布线层，因此二者的距离可缩短。其结果是通路孔 115 的宽高比(纵/横尺寸比)可减小，从而容易形成通路孔 115，可简化制造工序。

图 6 表示存储器阵列 10 的其他结构例。图 6 的结构中，可采用图 2 和图 5 分别示出的 MTJ 存储器单元 MCa 和 MCb 中的任何一个。

参考图 6，对应各存储器单元列配置位线对。位线对 BLP 由 2 根互补位线构成。图 6 中，代表性示出第 1 列和第 m 列的位线对 BLP1 和 BLPm。位线对 BLP1 包括位线 BL1 和 /BL1，位线对 BLPm 包括位线 BLm 和 /BLm。下面将位线对 BLP1 ~ BLPm 统称为位线对 BLP。同样，将位线 /BL1 ~ /BLm 统称为位线 /BL。位线 BL 和 /BL 使用中间层 107 形成。

MTJ 存储器单元每一行与位线 BL 和 /BL 中的一个耦合。例如，就属于第 1 列的存储器单元作说明，则第 1 行的存储器单元与位线 BL 耦合，第 2 行的存储器单元与位线 /BL 耦合。下面同样，各个存储器单元在奇数行中与位线对的一方 BL1 ~ BLm 连接，在偶数行中与位线对的另一方 /BL1 ~ /BLm 连接。其结果是读出字线 RWL 对应行选择结果被选择地激活时，位线对的一方 BL1 ~ BLm 和位线对的另一方 /BL1 ~ /BLm 中的一个与存储器单元耦合。

列解码器 25 对应列地址 CA 的解码结果将分别对应存储器单元列的列选择信号 YS1 ~ Ysm 中的一个激活为选择状态(H 电平)。传送读出数据和写入数据的数据总线对 DBP 具有互补的数据总线 DB 和 /DB。

读出/写入控制电路 50 包含列选择栅 CSG1 ~ CSGm、数据写入电路 51W 和数据读出电路 51R。

列选择栅 CSG1 ~ CSGm 分别配置在位线对 BLP1 ~ BLPm 和数据总线对 DBP 之间。列选择栅 CSG1 ~ CSGm 的每一个包含电耦合在数据总线 DB 和对应的位线 BL 之间的晶体管开关、电耦合在数据总线 /DB 和对应的位线 /BL 之间的晶体管开关。这些晶体管开关响应对应的列选择信号的激活而导通。

例如，列选择栅 CSG1 包含电耦合在数据总线 DB 和位线 BL1 之间响应列选择信号 YS1 的激活而导通的晶体管开关、电耦合在数据总线 /DB 和对应的位线 /BL1 之间响应列选择信号 YS1 的激活而接通的

的晶体管开关。

分别对应位线对 BLP1 ~ BLPm 来分别设置用于电耦合对应的互补位线之间的短路晶体管 EQT1 ~ EQTm 和控制信号 EQS1 ~ EQSm。控制信号 EQS1 ~ EQSm 在数据写入时在对应的存储器单元列被选择为数据写入对象的情况下被激活 H 电平。下面统称短路晶体管 EQT1 ~ EQTm 为短路晶体管 EQT。

各短路晶体管 EQT 在控制信号 EQS1 ~ EQSm 的对应的一个被激活为 H 电平时，电耦合对应的位线 BL 和 /BL。或者，替代各个控制信号 EQS1 ~ EQSm，在数据写入时使用被激活(H 电平)的控制信号 WE。

数据写入电路 51W 在数据写入时对应写入数据 DIN 将数据总线 DB 和 /DB 分别设定到电源电压 VDD 和接地电压 VSS 之一。另外，数据写入时，至少选择存储器单元列中，短路晶体管 EQT 接通，因此对应由数据写入电路 51W 设定的数据总线 DB 和 /DB 的电压差，将数据写入电流流过选择的存储器单元列的位线 BL 和 /BL，将其作为往返电流。另一方面，与选择的存储器单元行对应的写入字线 WWL 中提供不依赖于写入数据的电平的一定方向的数据写入电流 Ip。

根据这种结构，数据写入时，仅通过对应写入数据 DIN 的电平改换数据总线 DB 和 /DB 的电压设定就可容易地控制流过位线 BL(/BL)的数据写入电流 $\pm I_w$ 的方向。即，可简化数据写入电路 51W 的结构。

接着说明数据读出动作。

数据读出时，经对应的位线 BL 或 /BL 和选择存储器单元中的隧道磁电阻元件 100a 将数据总线 DB 和 /DB 之一下拉到接地电压 VSS。其结果是和选择存储器单元连接的数据总线 DB 或 /DB 上产生对应选择存储器单元的存储数据电平的电压变化。数据读出线路 51R 对应数据总线 DB 和 /DB 的电压生成读出数据 DOUT。

或者，在存储器阵列 10 中配置具有 MTJ 存储器单元的电阻值 R0 和 R1 的中间值的伪存储器单元(未示出)，在数据读出时，在数据总线 DB 和 /DB 上连接选择存储器单元和伪存储器单元之一。此时，数据读出线路 51R 根据数据总线 DB 和 /DB 的电压比较执行互补型的数据读出，提高动作裕度。

图 7 表示存储器阵列 10 的另一结构例。

图 7 所示的结构中, 具有 2 层存储节点构造的存储器单元 MCc 配置为 n 行 $\times$ m 列。另外, 数据写入用的写入位线 WBL 和数据读出用的读出位线 RBL 分割配置。另一方面, 省略源线 SL 的配置。

5 写入位线 WBL 和读出位线 RBL 分别对应存储器单元列配置。图 7 中, 代表性示出对应第 1 列和第 m 列的写入位线 WBL1, WBL m 和读出位线 RBL1, RBL m 。统称读出位线 RBL1 ~ RBL m 时以及统称写入位线 WBL1 ~ WBL m 时分别使用符号 RBL 和 WBL。

10 参考图 8, 具有图 7 所示的 2 层存储节点构造的 MTJ 存储器单元 MCc 与图 5 所示的 MTJ 存储器单元 MCa 相比, 不同点是还配置在列方向上延伸设置的读出位线 RBL。

使用中间层 107 形成写入位线 WBL。写入位线 WBL 上在数据写入时流过数据写入电流 $\pm I_w$ 。另一方面, 在数据读出时通过读出/写入控制电路 50, 60 将各写入位线 WBL 设定到接地电位 VSS。

15 读出位线 RBL 经通路孔 116 电耦合于存取晶体管 ATR 的源/漏区域 111。数据读出时源/漏区域 112 用作存取晶体管 ATR 的源区。

其结果是响应于存取晶体管 ATR 的接通, 在读出位线 RBL ~ 存取晶体管 ATR ~ 隧道磁电阻元件 100a ~ 写入位线 WBL (接地电位 VSS) 中形成传感电流路径。

20 再次参考图 7, 通过在与选择存储器单元对应的写入字线 WWL 和读出位线 WBL 中分别流过数据写入电流 I_p 和 $\pm I_w$ 执行数据写入。

数据读出时, 响应与选择存储器单元对应的读出字线 RWL 的激活经选择存储器单元中的隧道磁电阻元件 100a 可将与选择存储器单元对应的读出位线 RBL 下拉到接地电位 VSS。其结果是在读出位线 RBL 上产生对应选择存储器单元的存储数据的电平的典雅变化, 从而
25 可读出选择存储器单元的存储数据。

图 9 表示具有 2 层存储节点构造的 MTJ 存储器单元的其他结构例。

30 参考图 9, MTJ 存储器单元 MCd 与图 5 所示的 MTJ 存储器单元 MCb 相比, 不同点在于不在中间层 107 中形成位线 BL 而设置与位线 BL 独立的金属布线层。

即图 9 的结构中, 中间层 107 固定在固定电压, 如接地电压 VSS。其结果是不需要考虑 MTJ 存储器单元之间的电干扰, 因此可将中间

层 107 作成平面状或条状的任何形状。即中间层 107 的形状自由度提高，故得到的效果是制造过程简易，成品率提高。

位线 BL 在列方向上延伸配置，经通路孔 116 电耦合于源/漏区域 111。另一方面，存取晶体管 ATR 的源/漏区域 112 经通路孔 115 和势垒金属 108 电耦合于隧道磁电阻元件 100a。

数据写入时，位线 BL 和写入字线 WWL 上分别流过数据写入电流 $\pm I_w$ 和 I_p ，使得可将自由磁化层 113 和 114 磁化到与写入数据 DIN 对应的方向上。在 MTJ 存储器单元 MCd 中，为使自由磁化层 113 和 114 的磁矩（磁化阈值）有强弱，可用不同材质和厚度分别制作。

数据读出时，通过激活读出字线 RWL，经隧道磁电阻元件 100a 的电阻将位线 BL 下拉到接地电位 VSS。其结果是位线 BL 上产生对应隧道磁电阻元件的电阻值，即 MTJ 存储器单元的存储数据电平

的电压变化，从而可读出选择存储器单元的存储数据。

这样根据实施例 1 的 2 层存储节点构造的 MTJ 存储器单元，即便在缩小存储器单元尺寸的情况下，也可抑制产生反转磁场强度的数据写入电流量的增大，从而容易缩小 (scaling) 存储器单元。

对于相同尺寸的存储器单元，由于可抑制产生反转磁场强度的数据写入电流量，因此可降低功耗。尤其，在 2 层自由磁化层夹住的中间层中流过数据写入电流，可有效地得到反转磁场强度，从而用更小的数据写入电流即可进行数据写入，进一步降低消耗电流。

由于使用隧道磁电阻元件内的中间层来形成位线，因此可减少需要的金属布线层的数目。这样，尤其在 MRAM 器件和逻辑电路等上混装来构成系统在芯片上器件时，在 MRAM 阵列尚不区域中可使用的金属布线层的数目可增加，从而逻辑电路的设计自由度增加，可减少芯片尺寸。

实施例 2

实施例 1 中，说明了使用隧道磁电阻元件内的中间层来形成位线的结构。但是中间高才生的膜厚不能设计到很薄，因此在列方向上延伸中间层来配置位线 BL 时，其电阻值会比较大。因此数据读出速度降低，难以供给足够的

数据写入电流。

因此，实施例 2 中，对于配置实施例 1 说明的 2 层存储节点构造的 MTJ 存储器单元的存储器阵列，采用所谓的分层位线结构。

参考图 10, 在根据实施例 2 的结构中, 在存储器阵列 10 中分别对应存储器单元分层设置主位线 MBL 和子位线 SBL。另外, 分别对应存储器单元列配置主位线 MBL 和互补的主位线/MBL 和子位线 SBL 和互补的子位线/SBL。子位线 SBL 和/SBL 与图 3 和图 5 所示的位线 BL 一样, 使用隧道磁电阻元件 100a 的中间层 107 来形成。另一方面, 主位线 MBL 和/MBL 使用电阻小的独立的金属布线形成。主位线 MBL 和/MBL 构成主位线对 MBLP, 子位线 SBL 和/SBL 构成子位线对 SBLP。

图 10 中, 代表性表示出第 1 列和第 m 列的主位线 MBL1 和/MBL1 以及 MBLm 和/MBLm。主位线 MBL1 和/MBL1 构成主位线对 MBLP。下面分别统称主位线 MBL1 ~ MBLm 和/MBL1 ~ /MBLm 时, 简称为主位线 MBL 和/MBL。统称主位线对 MBLP1 ~ MBLPm 时简称为主位线对 MBLP。

读出/写入控制电路 50 用作为对与选择的存储器单元列对应的主位线 MBL 和/MBL 提供数据写入电流 $\pm I_w$ 的供给源。例如, 读出/写入控制电路 50 具有和图 6 相同的结构, 对应写入数据 DIN 的数据电平将与选择的存储器单元列对应的主位线 MBL 和/MBL 分别耦合于电源电压 VDD 和接地电压 VSS。

各存储器单元列沿着行方向被分割为 k 个存储器块。例如, 属于第 1 列的 MTJ 存储器单元全分割为存储器块 MBa11 ~ MBak1, 同样属于第 m 列的 MTJ 存储器单元全分割为存储器块 MBa1m ~ MBakm。存储器阵列 10 整体中, 存储器块 MBa11 ~ MBakm 按 k 行 $\times$ m 列呈行列状配置。下面也称为存储器块 MBa。

在各存储器单元列中, 子位线 SBL 在每个存储器块 MBa 上配置。在各个存储器块 MBa 中, 配置子位线 SBL 和互补的子位线/SBL。互补的子位线 SBL 和/SBL 构成子位线对 SBLP。例如, 在存储器块 MBa11 中, 配置构成子位线对 SBLP11 的子位线 SBL11 和/SBL11。

下面在分别统称子位线 SBL11 ~ SBLkm 和/SBL11 ~ /SBLkm 的情况下, 简单称为子位线 SBL 和/SBL。

块选择信号 BS1 ~ BS_k 分别对应存储器块的行设置。统称块选择信号 BS1 ~ BS_k, 则简称为块选择信号 BS。块选择信号 BS 在包含选择存储器单元的存储器块的行中被激活。

即, 通过块选择信号 BS 和存储器单元列 (主位线对 MBLP) 的选择可选择包含选择存储器单元的特定的存储器块。

图 11 是表示存储器块 MBa 的结构的电路图。各存储器块 MBa 的结构相同, 因此图 11 中代表性表示出存储器块 MBa11 的结构。存储器块 MBa11 中配置子位线 SBL11 和/SBL11。

参考图 11, 在存储器块 MBa11 中配置多行 (例如 3 行) $\times$ 1 列的存储器单元群。

下面在实施例 2 及其变形例中, 表示出各存储器块中包含的存储器单元行的数目为 3 个的结构例, 但本发明的适用不限于此, 与各存储器块对应的存储器单元行的数目可为任意的多个。

与图 6 所示结构相同, 在各存储器单元列中, MTJ 存储器单元 MCa 每一行连接子位线 SBL11 和/SBL11 之一。例如, 与奇数行对应的 MTJ 存储器单元 MCa 耦合子位线 SBL11, 与偶数行对应的 MTJ 存储器单元 MCa 耦合子位线/SBL11。

下面对于实施例 2 及其变形例, 表示出各存储器块中配置 MTJ 存储器单元 MCa 的结构例子, 但可替代 MTJ 存储器单元 MCa 来采用图 5 和图 9 所示的 MTJ 存储器单元 MCb 和 MCd。

MTJ 存储器单元 MCa 包含存取晶体管 ATR 和隧道磁电阻元件 100a。存取晶体管 ATR 电耦合在隧道磁电阻元件 100a 和接地电压 VSS 之间。存取晶体管 ATR 的栅上耦合对应的存储器单元行的读出字线 RWL。

子位线 SBL11 和/SBL11 的每一个对每个存储器块 MBa 分割, 因此布线缩短。其结果是使用隧道磁电阻元件 100a 的中间层 107 形成的各子位线 SBL 的电阻值可被抑制。

存储器块 MBa11 还包含电流开关晶体管 SWTa 和 SWTb 以及短路晶体管 EQT11。

电流开关晶体管 SWTa 电耦合在主位线 MBL1 和子位线 SBL11 的一端 (靠近读出/写入控制电路 50 的一侧) 之间。同样, 电流开关晶体管 SWTb 电耦合在主位线/MBL1 和子位线/SBL11 的一端 (靠近读出/写入控制电路 50 的一侧) 之间。电流开关晶体管 SWTa 和 SWTb 的每一个的栅上输入块选择信号 BS1。

短路晶体管 EQT11 响应写入选择信号 WMB11 电耦合子位线

SBL11 和/SBL11 的另一端（远离读出/写入控制电路 50 的一侧）。

写入选择信号 WMB11 至少在数据写入时在块选择信号 BS1 被激活的情况下激活为 H 电平。或者，除列选择结果外，在数据写入时，激活块选择信号 BS1 并且选择与主位线对 MBLp1 对应的存储器单元列的情况下，被激活为 H 电平。

存储器块 MBa11 成为数据写入对象时，短路晶体管 EQT11 和电流开关晶体管 SWTa 和 SWTb 的每一个都被接通。其结果是通过读出/写入控制电路 50 切换主位线 MBL1 和/MBL1 的电压极性（电源电压 VDD 和接地电压 VSS），在子位线 SBL11 和/SBL11 中流过对应写入数据 DIN 的电平的方向的数据写入电流 $\pm I_w$ ，作为由短路晶体管 EQT11 折返的往返电流。因此，可简化作为数据写入电流 $\pm I_w$ 的供给源的读出/写入控制电路 50 的结构。

另外，选择地激活与选择存储器单元对应的写入字线 WWL，接受数据写入电流 I_p 的供给。由此，也对选择存储器单元写入写入数据 DIN。

另一方面，存储器块 MBa11 被选择为数据读出对象的情况下，电流开关晶体管 SWTa 和 SWTb 导通，而短路晶体管 EQT11 断开。由此，子位线 SBL11 和/SBL11 分别电耦合主位线 MBL1 和/MBL1。

根据实施例 2 的结构中，执行使用了伪存储器单元 DMC 的所谓的互补型的数据读出。互补型的数据读出执行用的伪存储器单元 DMC 对应主位线 MBL 和/MBL 的每一个配置。图 11 中代表性表示出对应主位线 MBL1 设置的伪存储器单元和对应主位线/MBL1 设置的伪存储器单元。

伪存储器单元 DMC 的每一个具有存取晶体管 ATR 和伪电阻 R_d 。伪电阻 R_d 的电阻值设定在分别对应存储数据的电平 1 和 0 的 MTJ 存储器单元的电阻值 R_1 和 R_0 的中间值，即设定为 $R_1 < R_d < R_0$ 。

对应主位线 MBL1 的伪存储器单元响应伪字线 DWL0 的激活而电耦合在接地电压 VSS 和主位线 MBL1 之间。另一方面，对应主位线/MBL1 设置的伪存储器单元响应伪字线 DWL1 的激活而电耦合在主位线/MBL1 和接地电压 VSS 之间。

伪字线 DWL0 和 DWL1 响应选择存储器单元属于奇数行还是偶数行被选择激活。即，选择存储器单元属于奇数行的情况下，也就是

向上流过数据写入电流，因此通过分别流过子位线 SBL(/SBL)和主位线 MBL (/MBL) 的数据写入电流产生的数据写入磁场在自由磁化层 104 中彼此强烈耦合。由于自由磁化层 104 的磁化产生的磁力线用作磁化另一自由磁化层 103 的磁力线，因此通过更小的数据写入电流产生反转磁场强度。

图 13B 中表示出对子位线 SBL(/SBL)上流过负方向的数据写入电流- I_w 时的数据写入磁场状态。此时，与图 13A 相同，作用于自由磁化层 104 的数据写入磁场彼此强烈耦合，因此通过更小的数据写入电流可执行对 MTJ 存储器单元的数据写入。

再次参考图 12，存储器块 MBb11 的其他部分的结构与图 11 所示的存储器块 MBa11 相同，因此不反复其详细说明。即，根据实施例 2 的变形例 1 的结构的数据读出动作与根据实施例 2 的存储器块 MBa 同样执行。

实施例 2 的变形例 2

实施例 2 的变形例 2 中，说明对多个存储器单元列的每一个配置主位线的结构。

参考图 14，在根据实施例 2 的变形例 2 的结构存储器阵列的结构中，在按行列状布置的存储器块 MBb11 ~ MBbkm 的每一个中独立设置构成子位线对 SBLP 的子位线 SBL 和 /SBL。各主位线对 MBLP 对多个存储器单元列的每一个配置。图 12 中作为一例表示出对 2 个存储器单元列的每一个配置主位线对 MBLP 的结构。因此，在存储器阵列 10 整体中，配置 h 个 ($h:m/2$ 的整数) 的主位线对 MBLP1 ~ MBLPh。伪存储器单元 DMC 对于各主位线 MBL 的配置与图 11 相同，因此不作详细说明。

主位线对 MBLP1 为存储器块 MBb11 ~ MBbk1 和 MBb12 ~ MBbk2 共有。

图 12 中输入电流开关晶体管 SWTa 和 SWTb 的栅的块选择信号 BS1 为在与相同的主位线对应的多个存储器单元之间进行选择而进行细分。

图 14 的结构中，块选择信号 BS1 分为块选择信号 BS1A 和 BS1B。块选择信号 BS1A 在选择第 1 行的存储器块并且选择存储器单元属于奇数列时被激活。另一方面，块选择信号 BS1B 在选择第 1 行的存储

选择存储器单元电耦合主位线 MBL1 的情况下，由于将伪存储器单元 DMC 耦合于主位线/MBL1，伪字线 DWL1 被激活。相反，选择存储器单元属于偶数行的情况下，由于将伪存储器单元 DMC 耦合于主位线 MBL1，伪字线 DWL0 被激活。

5 由此，数据读出时，互补的主位线 MBL1 和/MBL1 上电耦合选择存储器单元和伪存储器单元 DMC 之一。因此，通过检测主位线 MBL1 和/MBL1 的电压差可读出选择存储器单元的存储数据。

各子位线 SBL,/SBL 的布线缩短，其电阻值减小，因此使用根据实施例 1 的 2 层存储节点构造的 MTJ 存储器单元实现数据写入时功
10 耗减少的结构也不会导致数据读出的速度降低。

实施例 2 的变形例 1

实施例 2 的变形例 1 中，说明可执行有效的数据写入电流供给的分层子位线结构。

参考图 12，在根据实施例 2 的变形例 1 的结构中，图 10 所示的
15 存储器阵列 10 的结构中，替代存储器块 MBa11 ~ MBakm 而配置存储器块 MBb11 ~ MBbkm。存储器块 MBb11 ~ MBbkm 的每一个具有相同结构，因此图 12 中代表性示出存储器块 MBb11 的结构。

存储器块 MBb11 与图 11 所示的存储器块 MBa11 相比，不同点是更换短路晶体管 EQT11 和电流开关晶体管 SWTa,SWTb 的配置位
20 置。

存储器块 MBb11 中，短路晶体管 EQT11 连接靠近子位线 SBL11 和/SBL11 的读出控制电路 50 的一端之间。同样，电流开关晶体管 SWTa 电耦合在远离子位线 SBL11 的读出控制电路 50 的另一端和主位线 MBL1 之间，电流开关晶体管 SWTb 电耦合在子位线/SBL11 的另一
25 端（远离读出控制电路 50 侧）和主位线/MBL1 之间。

通过这种结构，在数据写入时，数据写入电流 $\pm I_w$ 按彼此相反方向分别流向主位线 MBL1 和子位线 SBL11。同样，在主位线/MBL1 和子位线/SBL11 之间也流过彼此相反方向的数据写入电流 $\pm I_w$ 。

接着图 13A 和 13B 说明根据实施例 2 的变形例 1 的存储器块的数据写入磁场产生状态。
30

图 13A 中表示出子位线 SBL(/SBL)上流过正方向的数据写入电流 $+I_w$ 时的数据写入磁场状态。此时，主位线 MBL (/MBL) 上在反方

器块并且选择存储器单元属于偶数列时被激活。即，与相同的存储器块的行对应的块选择信号 BS1A 和 BS1B 对应选择存储器单元属于偶数列还是奇数列激活其中一个。

对存储器块 MBa11 ~ MBak1 分别传送块选择信号 BS1A ~ BskA，
5 对存储器块 MBa12 ~ MBak2 分别传送块选择信号 BS1B ~ BSkB。通过组合主位线对 MBP 的选择和块选择信号 BS1A,BS1B ~ BskA,BSkB，可指定包含选择存储器单元的存储器块。

通过这种结构，在存储器阵列 10 整体中，可减少主位线的配置根数。其结果是确保主位线的布线间距。

10 由此，数据写入时流过比较大的电流的主位线的布线宽度，即截面面积可充分确保，降低电流密度。因此抑制主位线的电迁移现象等产生。提高 MRAM 器件的动作可靠性。

另外，随着减少主位线的配置根数，可减少伪存储器单元的配置个数，从而可实现芯片面积的减少。

15 实施例 2 的变形例 3

在实施例 2 以后的变形例中，说明各存储器块具有开放位线结构的情况。

参考图 15，根据实施例 2 的变形例 3 的存储器阵列 10 中，存储器块 MBc11 ~ MBckh 按 k 行 × h 列呈行列状配置。存储器块 MBc11 ~
20 MBckh 的每一个包含 2 个存储器单元列。因此，存储器单元行和存储器单元列数若与实施例 2 相同，则存储器块的个数为实施例 2 的一半。下面统称存储器块 MBc11 ~ MBchk，将其简称存储器块 MBc。

主位线 MBL1 ~ MBLm 分别对应存储器单元列设置。即，各存储器块 MBc 对应成对的 2 根主位线 MBL。

25 除与图 10 相同的块选择信号 BS1 ~ BSk，设置写入选择信号 WMB1A,WMB1B ~ WMBkA,WMBkB。写入选择信号 WMB1A,WMB1B ~ WMBkA,WMBkB 对应选择存储器单元属于的存储器块的行和选择存储器单元属于奇数列还是偶数列被选择地激活。例如，写入选择信号 WMB1A 在选择存储器单元属于第 1 行的存储器
30 块的行并且属于奇数列的情况下被激活。同样，写入选择信号 WMB1B 在选择存储器单元属于第 1 行的存储器块的行并且属于偶数列的情况下被激活。

图 16 是说明图 15 所示的存储器块 MBb 的结构的电路图。存储器块 MBc11 ~ MBckh 的每一个相同，因此图 16 中代表性示出存储器块 MBc11 的结构。

参考图 16，存储器块 MBc11 具有 3 行×2 列的存储器单元。存储器块 MBc11 上配置子位线 SBL11 和/SBL11。MTJ 存储器单元 Mta 在各存储器单元行中分别对应子位线 SBL11 和/SBL11 二者配置。

存储器块 MBc11 还具有电流开关晶体管 SWTa,SWTb,SWTc,SWTd。

电流开关晶体管 SWTa 电耦合在主位线 MBL1 和靠近子位线 SBL11 的读出/写入控制电路 50 的一侧的一端之间。电流开关晶体管 SWTb 电耦合在主位线 MBL2(/MBL1)和子位线/SBL11 的一端（靠近读出/写入控制电路 50 的一侧）之间。电流开关晶体管 SWTa,SWTb 的每一个的栅上输入块选择信号 BS1。

电流开关晶体管 SWTc 电耦合在主位线 MBL2(/MBL1)和子位线 SBL11 的一端（远离读出/写入控制电路 50 的一侧）之间。电流开关晶体管 SWTd 电耦合在主位线 MBL1 和子位线/SBL11 的另一端（远离读出/写入控制电路 50 的一侧）之间。电流开关晶体管 SWTc,SWTd 的每一个的栅上分别输入写入选择信号 WMB1A 和 WMB1B。

接着，说明存储器块 MBc11 的数据写入动作。

连接子位线 SBL11 的存储器单元被选择为数据写入对象的情况下，块选择信号 BS1 和写入选择信号 WMB1A 被激活为 H 电平，电流开关晶体管 SWTa,SWTb,SWTc 导通。另一方面，电流开关晶体管 SWTd 断开。由此形成主位线 MBL1 ~ 电流开关晶体管 SWTa ~ 子位线 SBL11 ~ 电流开关晶体管 SWTc ~ 主位线 MBL2(/MBL1)的电流路径。

同样，连接子位线/SBL11 的存储器单元被选择为数据写入对象的情况下，块选择信号 BS1 和写入选择信号 WMB1B 被激活为 H 电平，电流开关晶体管 SWTa,SWTb,SWTd 导通。另一方面，电流开关晶体管 SWTc 断开。由此形成主位线 MBL1 ~ 电流开关晶体管 SWTd ~ 子位线/SBL11 ~ 电流开关晶体管 SWTb ~ 主位线 MBL2(/MBL1)的电流路径。

另外，由读出/写入控制电路 50 将对应存储器块 MBc11 的成对的

2 根主位线 MBL1 和 MBL2 的电压设定为和图 11 等的互补的主位线 MBL1 和 /MBL1 相同,使得可向子位线 SBL11 和 /SBL11 中流过对应写入数据电平的方向的数据写入电流 $\pm I_w$ 。

5 另一方面,数据读出时,电流开关晶体管 SWTc 和 SWTd 二者被断开,而电流开关晶体管 SWTa 和 SWTb 接通。因此主位线 MBL1 和 MBL2 的每一个上电耦合与选择的存储器单元行对应的存储器单元。其结果是通过检测对应选择的存储器单元列的主位线 MBL 的电压可读出选择存储器单元的存储数据。

10 通过这种结构,在各存储器块中根据开放型位线结构,在配置子位线和 MTJ 存储器单元的结构中也执行享有和实施例 2 相同的效果的数据写入和数据读出。

实施例 2 的变形例 4

15 参考图 17,在根据实施例 2 的变形例 4 的存储器阵列中,与根据图 15 所示的实施例 2 的变形例 3 的结构不同点是替代存储器块 MBc11 ~ MBckh,而配置存储器块 MBd11 ~ MBdkh。统称存储器块 MBd11 ~ MBdkh 为存储器块 MBd。

另外,块选择信号 BS1 ~ BSk 细分为反映列选择结果的块选择信号 BS1A,BS1B ~ BskA,BskB。块选择信号 BS1A,BS1B ~ BskA,BskB 的设定与上述说明同样,因此不作详细说明。

20 图 18 是说明图 17 所示的存储器块 MBd 的结构的电路图。存储器块 MBd11 ~ MBdkh 结构相同,因此图 18 中表示出存储器块 MBd11 的结构。

参考图 18,存储器块 MBd11 与图 16 所示的存储器块 MBc11 比较,不同点是具有电流开关晶体管 SWTc,SWTd,SWTe,SWTf。

25 电流开关晶体管 SWTc 电耦合在主位线 MBL2 和子位线 SBL11 的一端(靠近读出/写入控制电路 50 的一侧)之间。电流开关晶体管 SWTd 电耦合在主位线 MBL1 和子位线 /SBL11 的一端(靠近读出/写入控制电路 50 的一侧)之间。电流开关晶体管 SWTc,SWTd 的每一个的栅上分别输入写入选择信号 WMB1A 和 WMB1B。

30 电流开关晶体管 SWTe 电耦合在主位线 MBL1 和子位线 SBL11 的一端(远离读出/写入控制电路 50 的一侧)之间。电流开关晶体管 SWTf 电耦合在主位线 MBL2 和子位线 /SBL11 的另一端(远离读出/

写入控制电路 50 的一侧) 之间。电流开关晶体管 SWTc,SWTd 的每一个的栅上分别输入块选择信号 BS1A 和块选择信号 BS1B。

接着, 说明存储器块 MBd11 的数据写入动作。

连接子位线 SBL11 的存储器单元被选择为数据写入对象的情况下, 块选择信号 BS1 A 和 WMB1A 被激活, 因此电流开关晶体管 SWTc,SWTe 接通。另一方面, 电流开关晶体管 SWTd 和 SWTf 断开。其结果是在主位线 MBL1 ~ 电流开关晶体管 SWTe ~ 子位线 SBL11 ~ 电流开关晶体管 SWTc ~ 主位线 MBL2(/MBL1) 的电流路径中流过数据写入电流 $\pm I_w$ 。

因此, 根据实施例 2 的变形例 4 的结构中, 按相反方向分别流过主位线 MBL1 和子位线 SBL11 的数据写入电流 $\pm I_w$ 产生的数据写入磁场被施加在选择存储器单元上。

此时, 按相反方向分别流过主位线 MBL2(/MBL1) 和子位线/SBL11 的数据写入电流 $\pm I_w$ 产生的数据写入磁场被施加在选择存储器单元上。

对应存储器块 MBd11 的 2 根主位线 MBL1 和 MBL2 的电压设定与图 16 所示的存储器块 MBc11 同样, 因此不作详细说明。

其结果是根据实施例 2 的变形例 4 的数据写入时, 与图 13 所示相同, 在隧道磁电阻元件 100a 中的自由磁化层 104 中施加作用在彼此非常一致的方向上的数据写入磁场。

因此, 除根据实施例 2 的变形例 3 的结构的享受效果外, 可通过更小的数据写入电流在隧道磁电阻元件中的自由磁化层中得到反转磁场强度, 从而通过数据写入电流的抑制可实现功耗的降低。

另一方面, 数据读出时, 对应选择存储器单元对应于子位线 SBL11 和/SBL11 中的哪一个选择地激活块选择信号 BS1A 和 BS1B 之一。写入选择信号 WMB1A 和 WMB1B 的每一个都不被激活。

因此, 数据读出时, 电流开关晶体管 SWTc 和 SWTd 二者被断开。另一方面, 电流开关晶体管 SWTe 和 SWTf 对应选择存储器单元属于奇数列还是偶数列被选择地接通。

通过这样的结构, 对与包含选择存储器单元的存储器块对应的 2 根主位线中的与选择存储器单元对应的一个, 经子位线 SBL 或/SBL 电耦合选择存储器单元。

另一方面,对该 2 根主位线中的另一个,不耦合 MTJ 存储器单元,因此与实施例 2 说明的相同,通过耦合伪存储器单元 DMC,执行互补型的数据读出,可提高数据读出时的动作裕度。即,如图 17 所示,对应相邻的 2 根主位线的每一个,分别配置由伪字线 DWL0 选择的伪存储器单元和由伪字线 DWL1 选择的伪存储器单元可执行互补型的数据读出。

实施例 2 的变形例 5

实施例 2 的变形例 5 中,表示出由多个存储器块的列共有 1 根主位线 MBL 的结构。

图 19 中,表示出由 2 列的存储器块共有成对的 2 根主位线 MBL 的结构。因此对应 4 个存储器单元列配置 2 根主位线 MBL。

与此相应,图 15 所示的块选择信号 BS1~BSk 包含与对应成对的 2 根主位线的 4 个存储器单元列有关的 4:1 的列选择结果,细分为块选择信号 BS1A,BS1B,BS1C,BS1D~BSkA,BSkB,BSkC,BSkD。

同样,对于数据写入时被激活的写入选择信号,细分为 WMB1A,WMB1B,WMB1C,WMB1D ~ WMBkA,WMBkB,WMBkC,WMBkD。

例如,在存储器块 MBd12 中,与子位线 SBL12 对应的存储器单元被选择为数据写入对象时,块选择信号 BS1C 和写入选择信号 WMB1C 被激活。与此相反,与子位线/SBL11 对应的存储器单元被选择为数据读出对象时,仅块选择信号 BS1D 被激活。

存储器块 MBd11~MBdkm 的结构与图 18 相同,因此不作详细说明。但是,不同点是将输入到电流开关晶体管 SWTc,SWTd,SWTe,SWTf 的每一个的栅上的块选择信号和写入选择信号置换为反映 4:1 的列选择结果的图 19 所示的块选择信号和写入选择信号。

通过这种结构,可进一步将存储器阵列 10 整体的主位线 MBL 的配置根数抑制为 1 根 ($1:1=h/2=m/4$ 表示的整数)。即,主位线的配置根数为存储器单元列的数目的一半。其结果是可确保主位线的布线间距和布线宽度(即截面面积),从而抑制电流密度,避免电迁移现象等的产生,提高 MRAM 器件的动作稳定性。

实施例 3

在实施例 3 中, 说明也对实施例 1 说明的 2 层存储节点构造以外的 MTJ 存储器单元采用实施例 2 说明的分层位线结构的技术。

参考图 20, 单层存储节点构造的 MTJ 存储器单元 MCe 包含隧道磁电阻元件 100b 和存取晶体管 ATR。隧道磁电阻元件 100b 包含反铁磁层 101、固定磁化层 102、自由磁化层 103 和隧道势垒 105。即, 隧道磁电阻元件 100b 具有与图 48 和图 49 所示的已有结构的隧道磁电阻元件 TMR 相同的结构, 与存储节点相当的自由磁化层由单层构成。

存取晶体管 ATR 的构造与图 3 所示的 MTJ 存储器单元 MTa 相同, 因此不作详细说明。存取晶体管 ATR 经势垒金属 108 和通路孔 115 电耦合于隧道磁电阻元件 100b。

自由磁化层 103 电耦合于在列方向上延伸形成金属布线层的位线 BL。另外, 在另外的金属布线层中在行方向上延伸配置写入字线 WWL。对应流过写入字线 WWL 的数据写入电流 I_p 和流过位线 BL 的数据写入电流 $\pm I_w$ 分别产生的数据写入磁场的组合, 产生变化自由磁化层 103 的磁化方向的数据写入磁场。

参考图 21, 具有 2 层存储节点构造的 MTJ 存储器单元 MCg 包含隧道磁电阻元件 100c 和存取晶体管 ATR。

隧道磁电阻元件 100c 包含反铁磁层 101、固定磁化层 102、自由磁化层 103, 104 和自由磁化层 103, 104 之间形成的非磁性的中间层 107 以及隧道势垒 105。

即, 隧道磁电阻元件 100c 具有与图 51 所示的根据已有技术的隧道磁电阻元件相同的结构。

存取晶体管 ATR 的构造与图 3 所示的 MTJ 存储器单元 MTa 相同, 因此不作详细说明。存取晶体管 ATR 经势垒金属 108 和通路孔 115 电耦合于隧道磁电阻元件 100c。

对存储器单元 MCg 的数据写入与在已有技术中使用图 52 说明的同样地进行。

实施例 3 中, 配置图 20 和图 21 分别表示的 MTJ 存储器单元 MCe 和 MCf 的存储器阵列中, 采用分层位线结构。下面在实施例 3 及其变形例中, 例示出在各存储器块中配置 MTJ 存储器单元 MCe 的结构, 但可替代 MTJ 存储器单元 MCe 而采用 MTJ 存储器单元 MCf。

图 22 是表示根据实施例 3 的存储器块的结构电路图。

根据实施例 3 的结构中，在图 10 所示的存储器阵列 10 的结构中，替代存储器块 MBa11 ~ MBakm 而配置存储器块 MBe11 ~ MBekm。存储器块 MBe11 ~ MBekm 的每一个具有相同结构，因此图 22 中代表性地示出存储器块 MBe11 的结构。下面将存储器块 MBe11 ~ MBekm 统称为存储器块 MBe。

图 22 与图 11 比较，在存储器块 MBe11 中，图 11 所示的存储器块 MBa11 的结构中，由 MTJ 存储器单元 MCe 置换 MTJ 存储器单元 MCa。对这些 MTJ 存储器单元 MCf 的数据读出和数据写入与图 11 中说明的同样执行。

在实施例 3 及其变形例中，表示出各存储器块中包含的存储器单元行的数目为 3 个的结构例，但本发明不限于该结构，与各存储器块对应的存储器单元行数可以是任意的多个。

通过这种结构，对于配置原来的结构的 MTJ 存储器单元的存储器阵列，也采用分层位线结构，可得到与实施例 2 同样的效果。

实施例 3 的变形例 1

参考图 23，在根据实施例 3 的变形例 1 的结构中，图 10 所示的存储器阵列 10 的结构中，替代存储器块 MBa11 ~ MBakm 而配置存储器块 MBf11 ~ MBfkm。存储器块 MBf11 ~ MBfkm 的每一个具有相同结构，因此图 23 中代表性地示出存储器块 MBf11 的结构。下面将存储器块 MBf11 ~ MBfkm 统称为存储器块 MBf。

根据实施例 3 的变形例 1 的存储器块 MBf11 与图 12 所示的存储器块 MBb11 相比，不同点是电流开关晶体管 SWTa 电耦合在主位线 MBL1 和子位线/SBL11 的离开读出/写入控制电路 50 远侧的一端之间，以及电流开关晶体管 SWTb 电耦合在主位线/MBL1 和子位线 SBL11 的(离开读出/写入控制电路 50 远侧的)一端之间。另外，替代存储器单元 MCa 配置存储器单元 MCe。

通过这种结构，数据写入时的数据写入电流 $\pm I_w$ 由短路晶体管 EQT11 折返，在主位线 MBL1 和子位线 SBL11 中按相同方向流过。同样，在主位线/MBL1 和子位线/SBL11 之间数据写入电流 $\pm I_w$ 也按相同方向流过。

使用图 24A 和图 24B 说明图 23 所示的存储器块的数据写入磁场

产生的状态。

图 24A 表示子位线 SBL(/SBL)中流过正方向的数据写入电流 $+I_w$ 的情况。此时，对应的主位线 MBL(/MBL)中也流过同方向的数据写入电流。因此，通过分别由这些数据写入电流产生的数据写入磁场在自由磁化层 103 中彼此非常一致。

图 24B 表示子位线 SBL(/SBL)中流过负方向的数据写入电流 $-I_w$ 的情况。此时，分别通过流过子位线 SBL(SBL)和主位线 MBL(/MBL)中的数据写入电流产生的数据写入磁场在自由磁化层 103 中彼此非常一致。

结果通过更小的数据写入电流在自由磁化层 103 中得到反转磁场强度。从而可实现 MRAM 器件的低功耗。数据写入时对选择存储器单元以外产生的磁噪声也减少。

通过这种结构，对原来的结构的 MTJ 存储器单元采用分层位线结构，可实现数据读出时的高速化和低功耗。

采用具有图 21 所示的已有的 2 层存储节点构造的 MTJ 存储器单元 MCf 时，通过相同的数据写入电流 $\pm I_w$ 产生的数据写入磁场在自由磁化层 103 中比自由磁化层 104 中大。因此即便同样设计自由磁化层 103 和 104 的磁矩（磁化阈值），随着自由磁化层 103 的磁化，也可磁化自由磁化层 104。但是，与图 51 中说明的同样，自由磁化层 103 的磁矩（磁化阈值）设计得比自由磁化层 104 大，则自由磁化层 103 和 104 的磁化，即数据写入动作可更确实地执行。

实施例 3 的变形例 2

参考图 25，在根据实施例 3 的变形例 2 的结构中，图 15 所示的存储器阵列 10 的结构中，替代存储器块 MBc11~MBckm 而配置存储器块 MBg11~MBgkm。存储器块 MBg11~MBgkm 的每一个具有相同结构，因此图 12 中代表性地示出存储器块 MBg11 的结构。下面将存储器块 MBg11~MBgkm 统称为存储器块 MBg。

根据实施例 3 的变形例 2 的存储器块 MBg11 具有与图 16 所示的存储器块 MBc11 相同的结构，将存储器单元 MCa 置换为存储器单元 MCf。即，子位线 SBL11 和/SBL11 根据开放型位线结构配置，各存储器单元列中，对每个存储器单元行配置 MTJ 存储器单元 MTe。

电流开关晶体管 SWTa,STWb,STWc,STWd 的连接关系和导通断

开条件与图 16 中说明的相同，不作详细说明。

通过这种结构，即便在根据开放型位线结构配置已有的结构的 MTJ 存储器单元的存储器阵列中，也享受与实施例 2 的变形例 3 相同的效果，可执行数据读出和数据写入。

5 实施例 3 的变形例 3

参考图 26，在根据实施例 3 的变形例 3 的结构中，图 15 所示的存储器阵列 10 的结构中，替代存储器块 MBc11 ~ MBckm 而配置存储器块 MBh11 ~ MBhkm。存储器块 MBh11 ~ MBhkm 的每一个具有相同结构，因此图 26 中代表性地示出存储器块 MBh11 的结构。下面将存储器块 MBh11 ~ MBhkm 统称为存储器块 MBh。

根据实施例 3 的变形例 3 的存储器块 MBh11 与图 25 所示的存储器块 MBg11 相比，不同点是替代电流开关晶体管 SWTa,STWb 而配置电流开关晶体管 SWTe,STWf。

电流开关晶体管 SWTe 电耦合在主位线 MBL1 和子位线 SBL11 的靠近读出/写入控制电路 50 侧的一端之间。电流开关晶体管 SWTf 电耦合在主位线/MBL1 和子位线/SBL11 的(靠近读出/写入控制电路 50 的)一端之间。电流开关晶体管 SWTe 和 SWTf 的各自的栅上分别输入块选择信号 BS1A 和 BS1B。

通过这种结构，接通电流开关晶体管 SWTc,STWe，在子位线 SBL11 中流过和主位线 MBL1 相同方向的数据写入电流 $\pm I_w$ 。相反，通过接通电流开关晶体管 SWTd,STWf，在子位线/SBL11 中流过和主位线/MBL2(/MBL1)相同方向的数据写入电流 $\pm I_w$ 。

另一方面，数据读出时，电流开关晶体管 SWTc,SWTd 二者断开的同时，仅使电流开关晶体管 SWTe,SWTf 中与选择存储器单元对应的一个接通。由此，与图 18 所示的存储器块 MBd11 同样，将成对的 2 根主位线中未与选择存储器单元电耦合的那个与伪存储器单元耦合，可执行互补型的数据读出。

这样，根据实施例 3 的结构，即便配置已有的结构的 MTJ 存储器单元的存储器阵列中，可采用分层位线结构执行数据写入和数据读出。尤其，可使得由分别流过主位线和子位线的数据写入电流各自产生的数据写入磁场在自由磁化层中非常一致。从而可降低数据写入电流，实现噪声抑制和低功耗。

实施例 4

在实施例 4 中, 说明在实施例 1 说明的 2 层存储节点构造的 MTJ 存储器单元的其他结构例。

参考图 27, 根据实施例 4 的 2 层存储节点构造的 MTJ 存储器单元 MCg 包含隧道磁电阻元件 100d 和存取晶体管 ATR。隧道磁电阻元件 100d 包含反铁磁层 101、固定磁化层 102、自由磁化层 103,104、隧道势垒 105 和中间层 107。

根据实施例 4 的结构中, 中间层 107 配置成在行方向上延伸, 形成写入字线 WWI。另一方面, 位线 BL 在列方向上延伸, 配置在位于隧道磁电阻元件 100d 的上层或下层的金属布线层上。图 27 中表示出位线 BL 配置在隧道磁电阻元件 100d 的上层的结构例。

存取晶体管 ATR 电耦合于隧道磁电阻元件 100d 和位线 BL 之间。存取晶体管 ATR 的栅上形成在行方向上延伸配置的读出字线 RWL。

使用图 28A 和图 28B 表示 MTJ 存储器单元 MCg 的数据写入磁场的发生状态。图 28A 和图 28B 相当于图 27 的 R-S 截面图。

图 28A 中, 表示出在位线 BL 中流过正方向的数据写入电流 $+I_w$ 的情况, 图 28B 中表示出在位线 BL 中流过负方向的数据写入电流 $-I_w$ 的情况。图 28A,28B 二者的情况下, 流过中间层 107(写入字线 WWL)的数据写入电流 I_p 的方向一定。

自由磁化层 103 和 104 的难磁化轴(HA)方向的磁化由流过中间层 107 的数据写入电流 I_p 执行。通过这种结构, 在自由磁化层 103 和 104 中可抑制产生难磁化轴(HA)的数据写入磁场需要的数据写入电流量。其结果是实现 MRAM 器件的低功耗和磁噪声的降低。

自由磁化层 103 和 104 的易磁化轴(EA)方向的磁化由流过位线 BL 的数据写入电流 $\pm I_w$ 执行。

隧道磁电阻元件 100d 中, 由流过位线 BL 的数据写入电流产生的易磁化轴(EA)方向的磁场与由流过中间层 107 (写入字线)的数据写入电流产生的难磁化轴(HA)方向的磁场重叠, 执行数据写入。即, 为了仅在二者的磁场重叠施加的存储器单元中执行伴随磁化方向的反转的数据写入, 需要区分自由磁化层 103 和 104 的材质和厚度, 使其磁矩(磁化阈值)有强弱。

参考图 29, 存储器阵列 10 包含排列 n 行 $\times m$ 列 (n, m : 自然数)

的 2 层存储节点构造的 MTJ 存储器单元 MCg。存储器单元 MCg 包含存取晶体管 ATR 和隧道磁电阻元件 100d。

对应存储器单元行分别设置读出字线 RWL1 ~ RWLn 和写入字线 WWL1 ~ WWLn。分别对应存储器单元列来分别设置位线 BL1 ~ BLm。

字线电流控制电路 40 在夹持存储器阵列 10 和字线驱动器 30 相反侧的区域中，将各写入字线 WWL 耦合于接地电压 VSS。由此，对通过字线驱动器 30 选择地耦合电源电压 VDD 的写入字线流过一定方向的数据写入电流 Ip。

图 29 中代表性示出对应第 1 行和第 n 行和第 1、第(m-1)列及第 m 列的读出字线 RWL1,RWLn、写入字线 WWL1,WWLn、位线 BL1,BLm-1,BLm 和与其对应的部分存储器单元。

数据读出时，中间层 107，即写入字线 WWL 固定于接地电压 VSS。另外，通过与选择存储器单元对应的读出字线 RWL 选择地被激活，在对应的位线 BL 和接地电压 VSS 之间可电耦合隧道磁电阻元件 100d。由此，通过检测和选择存储器单元耦合的位线 BL 的电压变化可读出选择存储器单元的存储数据。

中间层 107 用非磁性导电体形成在自由磁化层 103 和 104 之间。中间层 107 的形状和电特性可自由设定。根据实施例 4 的结构中，使用中间层 107 形成写入字线 WWL，因此为在属于相同的存储器单元列的 MTJ 存储器单元之间将中间层 107 电耦合，中间层 107 在列方向延伸并配置为条状。

实施例 4 的变形例 1

参考图 30，在根据实施例 4 的变形例 1 的结构的存储器阵列中写入字线 WWL 分层配置。即，对应存储器单元行的每一个还配置主写入字线 MWWL1 ~ MWWLn。下面统称主写入字线 MWWL1 ~ MWWLn 为主写入字线 MWWL。

根据实施例 4 的存储器单元 MCg 中，由于写入字线 WWL 使用隧道磁电阻元件 100d 的中间层 107 形成，其电阻值比较高。主写入字线 MWWL1 ~ MWWLn 使用比隧道磁电阻元件 100d 上层的金属布线层形成。

各存储器单元行中，在主写入字线和写入字线的一端之间在与字

线驱动器 30 相反侧的区域（字线电流控制电路 40）中电耦合。另一方面，各写入字线 WWL，即中间层 107 在字线驱动器 30 侧的一端电耦合于接地电压 VSS。字线驱动器 30 对应行选择结果在数据写入时将选择存储器单元对应的主写入字线 MWWL 与电源电压 VDD 耦合。

通过这种结构，在与选择存储器单元对应的存储器单元行中，在主写入字线 MWWL 和写入字线 WWL 中在彼此相反方向上流过数据写入电流 I_p 。其结果是通过流过主写入字线 MWWL 的数据写入电流和流过写入字线 WWL 的数据写入电流，在选择存储器单元的自由磁化层中产生的难磁化轴(HA)方向的磁场非常一致。因此可进一步降低数据写入电流 I_p 。

对于与选择存储器单元对应的存储器单元列，通过在对应的位线 BL 中流过与写入数据 DIN 的数据电平对应的方向的数据写入电流 $\pm I_w$ ，可执行对选择存储器单元的数据写入。

另一方面，数据读出时，将主写入字线 MWWL 和写入字线 WWL 的每一个设为接地电压 VSS，并且通过激活与选择存储器单元对应的读出字线 RWL 可将选择存储器单元的隧道磁电阻元件 100d 电耦合在对应的位线 BL 和接地电压 VSS 之间。

实施例 4 的变形例 2

参考图 31，分别对各存储器单元行配置的写入字线 WWL 对每一区域分割为子写入字线。例如，对应第 1 行的写入字线 WWL1 分割为 k 根(k:自然数)子写入字线 SWWL11 ~ SWWL1k 来配置。同样，在第 n 行的存储器单元行中，配置子写入字线 SWWLn1 ~ SWWLnk。下面统称子写入字线 SWWL11 ~ SWWLnk 为子写入字线 SWWL。子字选择信号 SW1 ~ SWk 对应分割配置子写入字线 SWWL 的区域分别定义。

这样，各存储器单元行中，采用主写入字线 MWWL 和子写入字线 SWWL 的分层字线结构。与根据实施例 4 的变形例 1 同样，各子写入字线 SWWL 使用隧道磁电阻元件 100d 的中间层 107 来配置。

因此，在厚度薄并且每单位的电阻值比较高的中间层中形成的子写入字线 SWWL 被缩短布线，可降低其电阻值。

主写入字线 MWWL1 ~ MWWLn 的每一个通过由字线驱动器 30

上配置的主字驱动器 MWD1 ~ MWDn 选择地耦合电源电压 VDD 而被激活。分别对应子写入字线 SWWL11 ~ SWWLnk 配置子字驱动器 SWD11 ~ SWDnk。下面统称子字驱动器 SWD11 ~ SWDnk 为子字驱动器 SWD。

- 5 子字驱动器 SWD11 ~ SWDnk 的每一个在根据对应的主写入字线 MWWL 和子字选择信号 Swi(i:1 ~ k 的整数)将二者激活的情况下, 将对应的子写入字线 SWWL 的一端耦合于电源电压 VDD 并激活。

例如, 子字驱动器 SWD 由连接在对应的主写入字线 MWWL 和子写入字线 SWWL 的一端之间并响应对应的子字选择信号 Swi 导通断开的开关元件构成。各子写入字线 SWWL 的与子字驱动器 SWD 相反侧的另一端耦合接地电源 VSS。

子字驱动器 SWD 配置时作如下考虑: 由流过主写入字线 MWWL 的数据写入电流 I_p 和流过子写入字线 SWWL 的数据写入电流 I_p 分别产生的数据写入磁场在选择存储器单元的自由磁化层中彼此非常一致。

15 即, 图 31 所示的结构中, 子字驱动器 SWD 对应子写入字线 SWWL 的远离主字驱动器 MWD 侧的一端配置, 子写入字线 SWWL 的另一端(靠近主字驱动器 MWD 侧)电耦合于接地电压 VSS。

通过这种结构, 在根据实施例 4 的 MTJ 存储器单元中, 可抑制产生难磁化轴(HA)方向的必要磁场所需的数据写入电流 I_p 。与使用在存储器阵列 10 整体中在行方向上延伸的中间层构成写入字线的情况相比, 可降低写入字线的电阻值, 从而可高速动作。

实施例 4 的变形例 3

参考图 32, 在根据实施例 4 的变形例 3 中, 与实施例 4 的变形例 2 一样, 写入字线 WWL 按主写入字线 MWWL 和子写入字线 SWWL 分层配置。对于读出字线 RWL 也与写入字线同样分割配置。例如, 对应第 1 行的存储器单元行的读出入字线 RWL1 分割为与子写入字线 SWWL11 ~ SWLL1k 分别对应的子读出字线 SRWL11 ~ SRWL1k。

如已经说明的那样, 读出入字线 RWL 使用存取晶体管 ATR 的栅极层由多晶硅等比较高电阻的材料形成。因此, 各存储器单元行中, 通过分割配置为缩短布线的子读出字线 SRWL 可降低各子读出字线 SRWL 的电阻值。

另外，配置分别对应子读出字线 SRWL11 ~ SRWL1k 的子读出驱动器 SRD11 ~ SRD1k。下面统称子读出驱动器 SRD11 ~ SRD1k 为子读出驱动器 SRD。子读出驱动器 SRD 通过在数据读出时连接在对应的主写入字线 MWWL 和子读出字线 SRWL 的一端之间并且响应对应的子字选择信号 Swi 的激活导通的开关元件构成。

主字驱动器 MWD1 ~ MWDn 的每一个在数据读出时和数据写入时都选择地激活与选择存储器单元对应的主写入字线 MWWL。

通过这种结构，数据写入时，与图 31 所示同样，使用主写入字线 MWWL 和子写入字线 SWWL 二者流过数据写入电流 I_p ，产生数据写入磁场。因此，数据写入时，可强调与根据图 31 所示的实施例 3 的变形例的结构相同的效果。

另外，数据读出时，响应对应的主写入字线 MWWL 的激活和子读出驱动器 SRD 的导通可激活与选择存储器单元对应的子读出字线 SRWL。由此，可对选择存储器单元执行数据读出。

这样，通过经金属布线的电阻值小的主写入字线 MWWL 激活子读出字线 SRWL 可高速激活与选择存储器单元对应的子读出字线 SRWL。即，缩短数据读出时子读出字线 SRWL 的信号传送时间，可使数据读出动作高速化。

(实施例 5)

实施例 1 ~ 4 中，说明了在行方向或列方向上延伸配置设置在 2 层自由磁化层之间的中间层，形成写入字线 WWL 或位线 BL 的结构。实施例 5 中，说明通过在每个存储器单元中独立设置中间层仅对与选择存储器单元对应的中间层供给数据写入电流的结构。

参考图 33，根据实施例 5 的 MTJ 存储器单元 MCp 在存储器阵列 10 整体中跨过 n 行 × m 列中配置为行列状。各 MTJ 存储器单元 MCp 具有隧道磁电阻元件 100a 和作为存取元件的存取晶体管 ATRr 和 ATRw。

对应存储器单元行除读出字线 RWL1 ~ RWLn 和写入字线 WWL1 ~ WWLn 外，还配置写入行选择线 WRSL1 ~ WRSLn。下面统称写入行选择线 WRSL1 ~ WRSLn 为写入行选择线 WRSL。

对应各存储器单元列设置位线 BL 和 /BL。因此，存储器阵列整体中，配置读出字线 RWL1 ~ RWLn、写入字线 WWL1 ~ WWLn、

写入行选择线 $WRSL1 \sim WRSLn$ 和位线 $BL1 \sim BLm, /BL1 \sim /BLm$ 。

写入行选择线 $WRSL$ 在数据写入时对应选择行被激活为 H 电平。因此，字线驱动器 30 可对应和对应的写入字线 WWL 相同的解码结果驱动各写入行选择线 $WRSL$ 。但是，对与选择行对应的写入字线 WWL 流过数据写入电流 I_p ，另一方面，写入行选择线 $WRSL$ 设计来控制对应的存取晶体管 $ATRw$ 的栅电压，因此电流不会积极流动。

各 MTJ 存储器单元 MCp 中，隧道磁电阻元件 100a 电耦合位线 $/BL$ 。存取晶体管 $ATRr$ 和 $ATRw$ 电耦合在位线 BL 和隧道磁电阻元件 100a 之间。存取晶体管 $ATRr$ 的栅电压由对应的读出字线 RWL 控制，存取晶体管 $ATRw$ 的栅电压由对应的写入行选择线 $WRSL$ 控制。

参考图 34，根据实施例 5 的结构中，非磁性导电体形成的中间层 107 在每个 MTJ 存储器单元 MCp 中独立设计。中间层 107 的一端电耦合位线 $/BL$ 。另外，中间层 107 的另一端经存取晶体管 $ATRw$ 电耦合位线 BL 。即，存取晶体管 $ATRw$ 具有在对应的位线 BL 和 $/BL$ 之间串联连接中间层 107 选择地对中间层 107 流过数据写入电流的功能。

对隧道磁电阻元件 100a 的数据写入与图 4A,4B 中说明的同样执行。即，控制中间层 107 的一端和另一端的电压，通过对应写入数据使流过中间层 107 的数据写入电流的方向为 $+I_w$ 或 $-I_w$ ，可对应写入数据的电平磁化自由磁化层 103,104。

反铁磁层 101 和位线 BL 之间设置存取晶体管 $ATRr$ 。存取晶体管 $ATRw$ 和 $ATRr$ 的栅上分别连接写入行选择线 $WRSL$ 和读出字线 RWL 。

参考图 35，在数据读出时，字线驱动器 30 将与选择行对应的读出字线 RWL 从 L 电平激活为 H 电平。由此，与选择行对应的存取晶体管 $ATRr$ 接通。另一方面，各写入行选择线 $WRSL$ 和各写入字线 WWL 的电压维持在 L 电平（接地电压 VSS ），因此接通存取晶体管 $ATRw$ 的每一个。

读出/写入控制电路 50 和 60 将位线 $/BL$ 耦合于接地电压 VSS 的同时对位线 BL 提供传感电流（数据读出电流） I_s 。因此，通过接通的存取晶体管 $ATRr$ 在接受传感电流 I_s 的供给的位线 BL 和接地电压 VSS 之间电耦合选择存储器单元的隧道磁电阻元件 100a。由此，位线 BL

上产生对应选择的 MTJ 存储器单元的存储数据的电压变化。从而通过检测位线 BL 的电压可读出选择的 MTJ 存储器单元的数据。

数据写入时，与选择行对应的写入行选择线 WRS� 和写入字线 WWL 由字线驱动器 30 耦合于 H 电平（电源电压 VCC）。由此，在与选择行对应的写入字线 WWL 中流过数据写入电流 I_p 。在选择行中，导通存取晶体管 ATRw。

另一方面，与选择列对应的位线 BL 和 /BL 由读出/写入控制电路 50 和 60 分别设定在电源电压 VCC 和接地电压 VSS 之一。例如，为写入存储数据 1，为流过 + I_w 的数据写入电流，将位线 BL 设定在电源电压 VCC，另一方面，将位线 /BL 设定在接地电压 VSS。相反，为写入存储数据 0 而在中间层 107 中流过 - I_w 的电流时，将位线 /BL 设定在电源电压 VCC，另一方面，将位线 BL 设定在接地电压 VSS。另一方面，与非选择列对应的位线 BL 和 /BL 设定在接地电压 VSS。

由此，仅对与选择存储器单元对应的中间层 107 流过数据写入电流，可执行数据写入。即，在非选择存储器单元中，即便是在其属于和选择存储器单元相同的存储器单元列或相同的存储器单元行的情况下，中间层 107 中不流过数据写入电流 $\pm I_w$ 。位线 BL 和 /BL 离开隧道磁电阻元件配置，因此根据实施例 6 的结构中，可防止非选择存储器单元的数据误写入的产生。

20 实施例 5 的变形例 1

参考图 36，根据实施例 5 的变形例 1 的 MTJ 存储器单元 MCq 在存储器阵列 10 整体中跨过 n 行 $\times$ m 列配置为行列状。各 MTJ 存储器单元 MCq 包括：和位线 BL 耦合的隧道磁电阻元件 100a、在位线 /BL 和隧道磁电阻元件 100a 之间设置的存取晶体管 ATRw 和在隧道磁电阻元件 100a 与接地电压 VSS 之间设置的存取晶体管 ATRr。存取晶体管 ATRr 的栅电压由对应的读出字线 RWL 控制，存取晶体管 ATRw 的栅电压由对应的写入行选择线 WRS� 控制。

读出字线 RWL、写入字线 WWL、写入行选择线 WRS� 和位线 BL、/BL 的配置与实施例 6 同样，因此省略详细说明。

30 参考图 37，根据实施例 5 的变形例 1 的 MTJ 存储器单元 MCq 中，在每个 MTJ 存储器单元上独立设置的中间层 107 的一端耦合位线 BL，中间层 107 的另一端经存取晶体管 ATRw 耦合位线 /BL。因

此, 存取晶体管 ATR_w 与实施例 5 同样, 具有在对应的位线 BL/BL 之间串联连接中间层 107, 对中间层 107 选择地流过数据写入电流的功能。存取晶体管 ATR_r 设置在反铁磁层 101 和接地电压 VSS 之间。

存取晶体管 ATR_w 在对应的写入行选择线 $WRSL$ 设定为 H 电平 (电源电压 VCC) 的情况下接通, 设定为 L 电平 (接地电压 VSS) 的情况下接通。同样, 存取晶体管 ATR_r 在对应的读出字线 RWL 设定为 H 电平 (电源电压 VCC) 的情况下接通, 设定为 L 电平 (接地电压 VSS) 的情况下断开。

根据实施例 5 的变形例 1 的结构中, 数据读出时和数据写入时, 读出字线 RWL 、写入字线 WWL 、写入行选择线 $WRSL$ 和位线 BL/BL 的动作波形与图 35 所示相同。即, 根据实施例 5 的变形例 1 的结构中, 读出字线 RWL 、写入字线 WWL 、写入行选择线 $WRSL$ 和位线 BL/BL 的电压和电流与实施例 5 同样控制, 可执行数据读出和数据写入动作。由此, 与实施例 5 同样, 数据写入时, 仅在与选择存储器单元对应的中间层 107 中流过数据写入电流 $\pm I_w$, 因此防止在非选择存储器单元中发生数据误写入。

实施例 5 的变形例 2

参考图 38, 根据实施例 5 的变形例 2 的 MTJ 存储器单元 MCr 在存储器阵列 10 整体中跨过 n 行 $\times m$ 列配置为行列状。MTJ 存储器单元 MCr 包括: 和位线/ BL 耦合的隧道磁电阻元件 100a、在位线 BL 和隧道磁电阻元件 100a 之间电耦合的存取晶体管 ATR_w 和以从读出字线 RWL 到隧道磁电阻元件 100a 的方向为顺向并在二者之间耦合为存取元件的存取二极管 ADr 。

读出字线 RWL 、写入字线 WWL 、写入行选择线 $WRSL$ 和位线 BL/BL 的配置与实施例 5 同样, 因此省略详细说明。

参考图 39, 根据实施例 5 的变形例 2 的 MTJ 存储器单元 MCr 与根据图 34 所示的实施例 5 的 MTJ 存储器单元 MCp 相比, 不同点是替代存取晶体管 ATR_r 而包含存取二极管 ADr 。存取二极管 ADr 以从读出字线 RWL 到反铁磁层 101 的方向为顺向在二者之间电耦合。其他部分的结构与根据实施例 5 的 MTJ 存储器单元 MCp 相同, 因此不作详细说明。

参考图 40, 数据读出时, 字线驱动器 30 将与选择行对应的读出

字线 RWL 从 L 电平激活为 H 电平（电源电压 VCC）。读出/写入控制电路 50 和 60 将位线/BL 连接接地电压 VSS，提供负方向的传感电流（数据读出电流） $-I_s$ 。由此，与选择行对应的存取二极管 ADr 被顺向偏置而导通。

5 另一方面，各写入行选择线 WRSL 和各写入字线 WWL 的电压维持 L 电平（接地电压 VSS），因此存取晶体管 ATRw 的每一个都断开。读出/写入控制电路 50 和 60 将位线 BL 设定为接地电压 VSS。

因此，通过接通的存取二极管 ADr 向选择存储器单元的隧道磁电阻元件 100a 中流过传感电流。从而通过检测位线 BL 的电压可从选择的 MTJ 存储器单元读出数据。

10 与此相反，与非选择行对应的读出字线 RWL 维持在 L 电平（接地电压 VSS），因此对应的存取二极管 ADr 不被顺向偏置而维持断开状态。

数据写入时的动作波形与图 35 所示相同，因此不作详细说明。

15 即，根据实施例 5 的变形例 2 的结构中，数据写入时，仅对与选择存储器单元对应的中间层流过数据写入电流。因此与实施例 5 及其变形例 1 同样，防止非选择存储器单元的数据误写入。另外，替代存取晶体管可使用二极管作为存取元件，因此可将 MTJ 存储器单元小型化。

实施例 5 的变形例 3

20 参考图 41，根据实施例 5 的变形例 3 的 MTJ 存储器单元 MCs 在存储器阵列 10 整体中跨过 n 行 × m 列配置为行列状。MTJ 存储器单元 MCs 包括：和位线 BL 耦合的隧道磁电阻元件 100a、在位线/BL 和隧道磁电阻元件 100a 之间电耦合的存取晶体管 ATRw 和以从读出字线 RWL 到隧道磁电阻元件 100a 的方向为顺向并在二者之间耦合为存取元件的存取二极管 ADr。读出字线 RWL、写入字线 WWL、写入行选择线 WRSL 和位线 BL/BL 的配置与实施例 6 同样，因此省略
25 详细说明。

参考图 42，根据实施例 5 的变形例 3 的 MTJ 存储器单元 MCs 与根据图 39 所示的实施例 5 的 MTJ 存储器单元 MCr 相比，不同点是
30 存取晶体管 ATRw 设置在中间层 107 和位线/BL 之间。中间层 107 电耦合位线 BL。其他部分的结构与根据实施例 5 的变形例 2 的 MTJ 存储器单元 MCr 相同，因此不作详细说明。

参考图 43, 根据实施例 5 的变形例 3 的数据写入和数据读出动作与图 40 所示的根据实施例 5 的变形例 2 的数据写入和数据读出动作相比, 不同点是更换位线 BL 和 /BL 的电压设定, 其他与实施例 5 的变形例 2 相同, 不作详细说明。

- 5 这样根据实施例 5 的变形例 3 的结构中, 与根据实施例 5 的变形例 2 的结构相同, 可使用二极管作为存取元件, 因此可将 MTJ 存储器单元小型化。

实施例 6

- 10 实施例 6 中, 说明不依赖写入的存储数据的电平, 可使各 MTJ 存储器单元的磁化特性对称的结构例。

从下面说明可知, 根据实施例 6 的结构适用于实施例 1 到 5 说明的隧道磁电阻元件 100a, 100b 和 100c 中的任何一个。因此, 实施例 6 中, 统称这些隧道磁电阻元件并标记为隧道磁电阻元件 100。对于每个类型的隧道磁电阻元件中的自由磁化层统称为自由磁化层 VL。

- 15 参考图 44, 数据写入时, 对隧道磁电阻元件 100 施加流过位线 BL 的数据写入电流 $\pm I_w$ 产生的数据写入磁场 $H(BL)$ 和流过写入字线 WWL 的数据写入电流 I_p 产生的数据写入磁场 $H(WWL)$ 。隧道磁电阻元件 100 中的自由磁化层 VL 中, 静磁耦合引起的与固定磁化层之间的耦合磁场 ΔH_p 在沿着易磁化轴(EA)的方向上作用。

- 20 数据写入磁场 $H(BL)$ 主要包含沿着自由磁化层 VL 的易磁化轴(EA)的方向的成分, 数据写入磁场 $H(WWL)$ 主要包含沿着自由磁化层 VL 的难磁化轴(HA)的方向的成分。即, 数据写入磁场 $H(BL)$ 施加来将自由磁化层 VL 磁化为易磁化轴(EA)的方向, 数据写入磁场 $H(WWL)$ 施加来将自由磁化层 VL 磁化为难磁化轴(HA)的方向。

- 25 根据实施例 6 的结构中, 数据写入磁场 $H(WWL)$ 并非与自由磁化层 VL 的难磁化轴(HA)完全平行地施加, 而是和难磁化轴(HA)之间成规定角度 α 来施加。由此, 数据写入磁场 $H(WWL)$ 分解为易磁化轴方向的成分 $HWWL(e)$ 和难磁化轴方向的成分 $HWWL(h)$ 。

这里, 各个成分如下式(1),(2)表示。

30 $HWWL(e) = H(WWL) \cdot \sin \alpha$ (1)

$HWWL(h) = H(WWL) \cdot \cos \alpha$ (2)

另外, 规定角度 α 满足下式(3)来设定。

$$H(WWL) \cdot \sin \alpha + \Delta H_p = 0 \quad \dots\dots(3)$$

由此，通过沿着 $H(WWL)$ 的易磁化轴(EA)的方向的成分与相同的耦合磁场 ΔH_p 相抵消。换句话说，数据写入磁场 $H(WWL)$ 具有抵消耦合磁场 ΔH_p 的方向的成分。

5 另一方面，根据实施例 6 的结构中，数据写入磁场 $H(BL)$ 沿着易磁化轴(EA)施加在对应写入数据的电平的方向上。其结果是通过仅数据写入磁场 $H(BL)$ 作用可进行沿着易磁化轴方向的磁化。

通过这种结构，沿着易磁化轴(EA)方向的磁化特性不依赖于写入数据的电平，即不依赖于数据写入电流 $\pm I_w$ 的方向而是对称的。其结果是可抑制数据写入需要的数据写入电流 $\pm I_w$ 。从而得到 MRAM 器件的功耗降低和位线 BL 的电流密度降低引起的动作可靠性提高的效果。

关于上述的规定角度 α ，为进行沿着难磁化轴 HA 方向的磁化，需要满足下式(4)。

$$15 \quad H(WWL) \cdot \cos \alpha > H_{SWH} \quad \dots\dots(4)$$

这里， H_{SWH} 表示沿着难磁化轴 HA 方向的磁化特性的磁化阈值， H_{SWH} 相当于图 51 所示的磁滞特性线的纵轴的值。

参考图 45，为实现图 44 所示的各磁场的关系，位线 BL 在与自由磁化层 VL 的易磁化轴(EA)正交的方向上延伸配置。隧道磁电阻元件 100(自由磁化层 VL)具有长方形形状的情况下，易磁化轴(EA)与长边方向相当。

与此相反，写入字线 WWL 在与易磁化轴(EA)成规定角度 α 的方向上延伸配置。即，写入字线 WWL 和位线 BL 彼此并非正交设置，而是成 $(90 - \alpha)$ 度的角度配置。

25 对于隧道磁电阻元件 100 中至少自由磁化层 VL 以及写入字线 WWL 和位线 BL 的金属布线层，通过其形成图形和 CMP (化学机械研磨) 等适当设计研磨图形，可实现图 46 所示配置。通过这种配置，可根据图 45 所示的实施例 6 的数据写入磁场施加在 MTJ 存储器单元上。

30 实施例 6 的变形例

实施例 6 的变形例中，在将位线 BL 和写入字线 WWL 配置在彼此正交的方向上的结构中，说明得到与实施例 6 相同效果的结构。

参考图 46, 根据实施例 6 的变形例的结构中, 数据写入磁场 $H(BL)$ 与自由磁化层 VL 的易磁化轴(EA) 成规定角度 α 来配置隧道磁电阻元件 100。数据写入磁场 $H(WWL)$ 和 $H(BL)$ 施加在彼此正交的方向上。即, 位线 BL 和写入字线 WWL 正交配置。因此, 数据写入磁场 $H(WWL)$ 与根据实施例 6 的结构相同, 在与自由磁化层 VL 的难磁化轴(HA) 之间成规定角度 α 。同样, 数据写入磁场 $H(BL)$ 对应写入数据的电平设定在彼此相反的方向上。

因此, 在隧道磁电阻元件 100(自由磁化层)中, 在易磁化轴(EA) 方向上施加的磁场(H_e)用下式(5)表示。

$$H(e)=H(WWL) \cdot \sin \alpha \pm H(BL) \cdot \cos \alpha + \Delta H_p \quad \dots\dots\dots(5)$$

与根据实施例 6 的结构相同, 设定满足式(3)的规定角度 α 的话, 则可得到与实施例 6 相同的效果。

同样, 隧道磁电阻元件 100(自由磁化层)的难磁化轴 HA 方向的磁场 $H(h)$ 用下式(6)表示。

$$H(h)=H(WWL) \cdot \cos \alpha \pm H(BL) \cdot \sin \alpha \quad \dots\dots\dots(6)$$

此时, 为更新成为写入对象的 MTJ 磁场强度单元中的自由磁化层 VL 的磁化方向, 需要满足下式(7)和(8)。

$$|\pm H(BL) \cdot \cos \alpha| > H_{SWe} \quad \dots\dots(7)$$

$$|H(WWL) \cdot \cos \alpha \pm H(BL) \cdot \sin \alpha| > H_{SWh} \quad \dots\dots(8)$$

H_{SWe} 和 H_{SWh} 是分别沿着难磁化轴和易磁化轴方向的磁化阈值, 分别与图 51 所示的磁滞特性线的纵轴和横轴的值相当。

为满足这种关系式, 可分别设定规定角度 α 和数据写入磁场 $H(WWL)$, $H(BL)$ 。根据实施例 6 的变形例的结构中, 从式(8)可理解, 与规定角度 α 为 0 度的通常结构相比, 由于沿着易磁化轴(EA)方向的磁化特性对称, 需要将 $H(WWL)$ 设定得更大。即, 流过写入字线 WWL 的数据写入电流 I_p 要设定得大。

因此, 这种结构对于向选择存储器单元写入存储数据需要的数据写入电流 I_p 和 $\pm I_w$ 在 $I_p < |\pm I_w|$ 的情况下可抑制电流消耗。例如, 进行 1 次数据写入动作时, 对应 1 个选择行对应多个存储器单元列并列执行数据写入的结构与这种情况相当。

代表性的是, 为高速且低功耗地处理数据, 对于用于处理器等逻辑电路和在同一半导体芯片上集成的系统 LSI(大规模集成电路)、要

求在与其他电路之间进行多比特并且并列进行数据接受发送的 MRAM 器件，根据上述结构的数据写入是有效的。

参考图 47，为实现图 46 所示的各磁场的关系，写入字线 WWL 在与隧道磁电阻元件 100(自由磁化层)的易磁化轴(EA)成规定角度 α 的方向上延伸配置。隧道磁电阻元件 100 为长方形等的细长西装时，
5 写入字线 WWL 配置成与隧道磁电阻元件 100 的长边方向成规定角度 α 。另外，位线 BL 和写入字线 WWL 在彼此正交的方向上延伸配置。对于这种配置。可通过适当设计磁性层和金属布线层的形成图形和研磨图形来实现。通过这种配置，可将根据图 46 所示的实施例 6 的变
10 形例的数据写入磁场施加在 MTJ 存储器单元上。

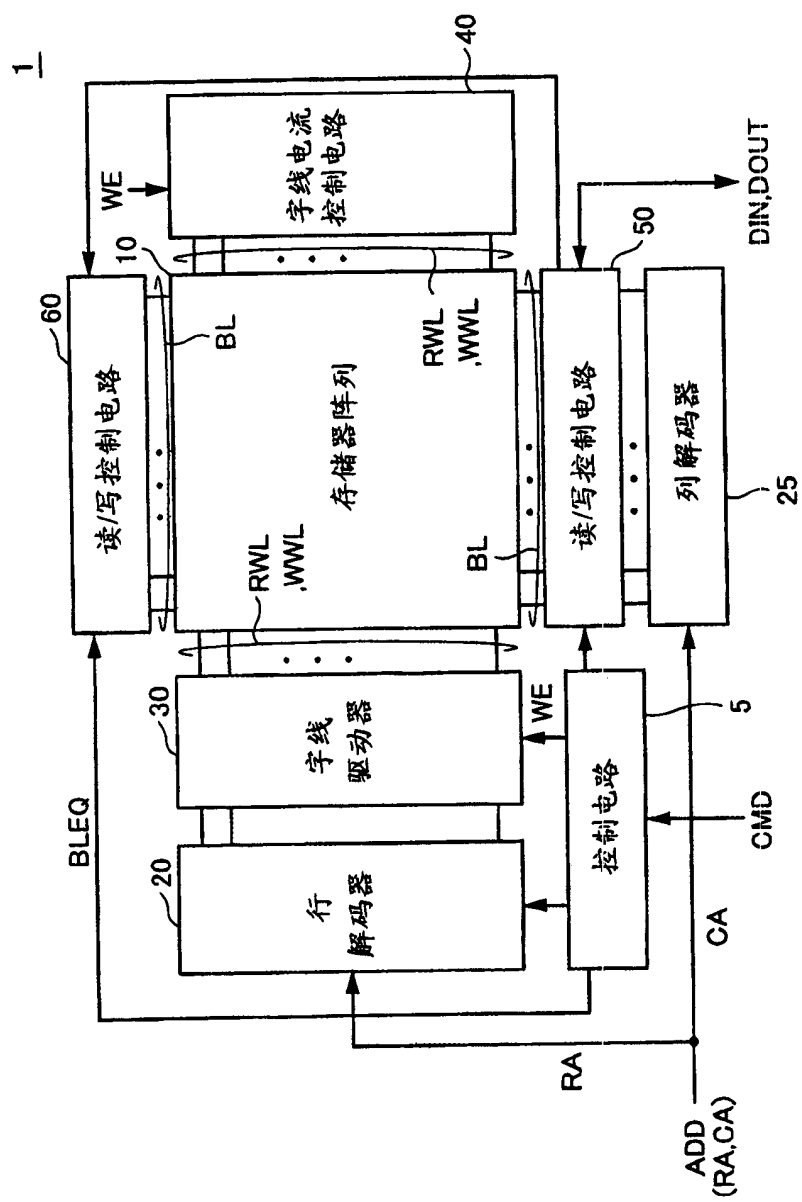
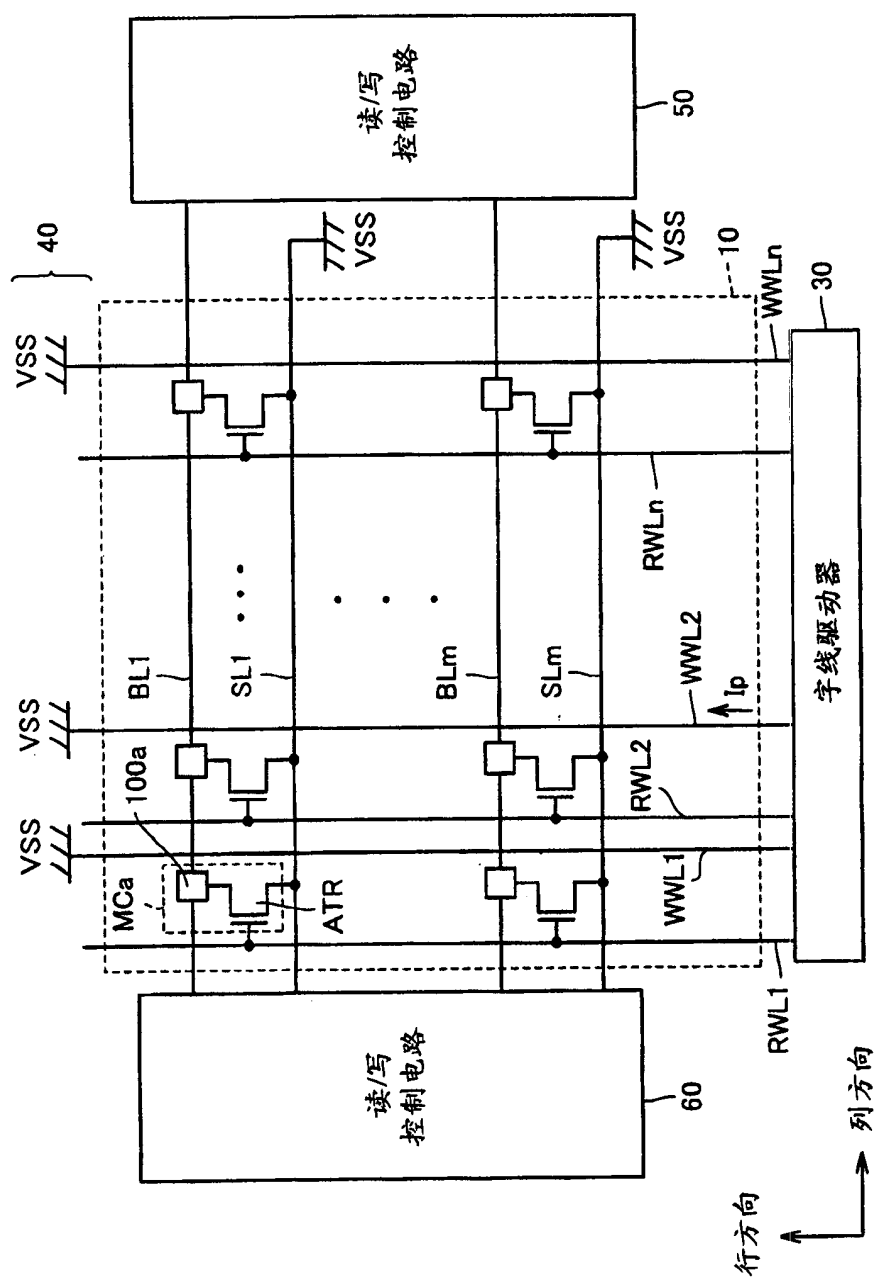


图 1



2 图

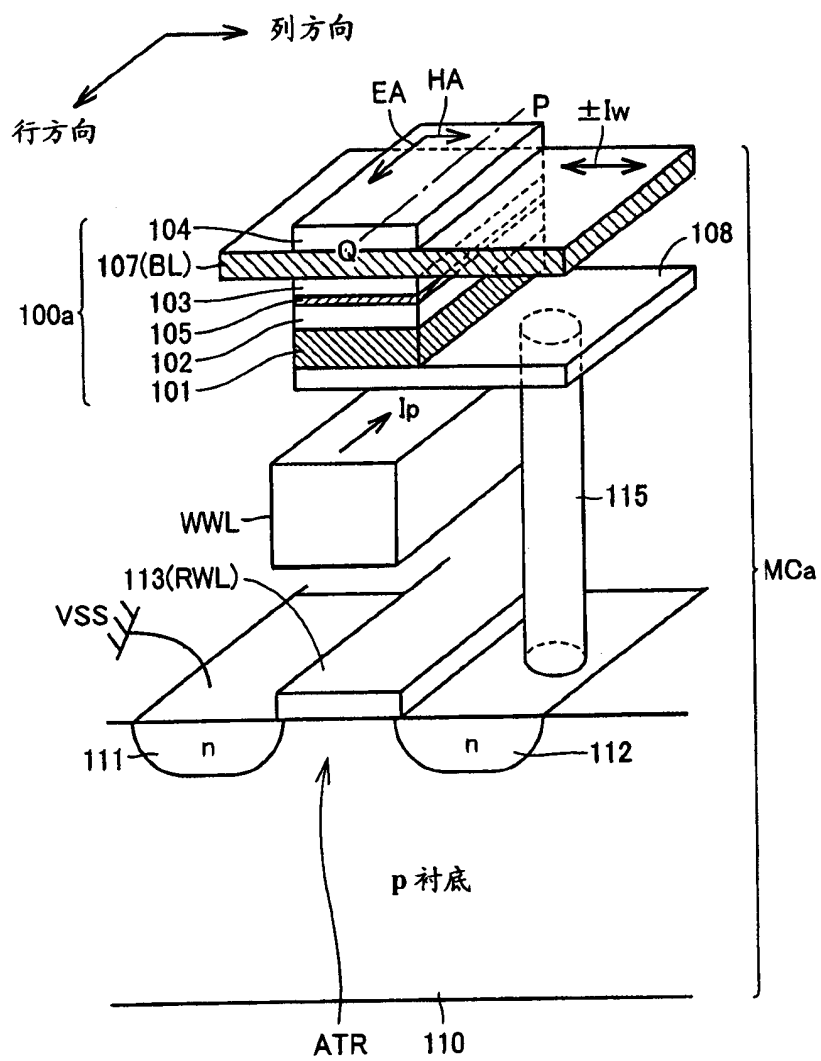


图 3

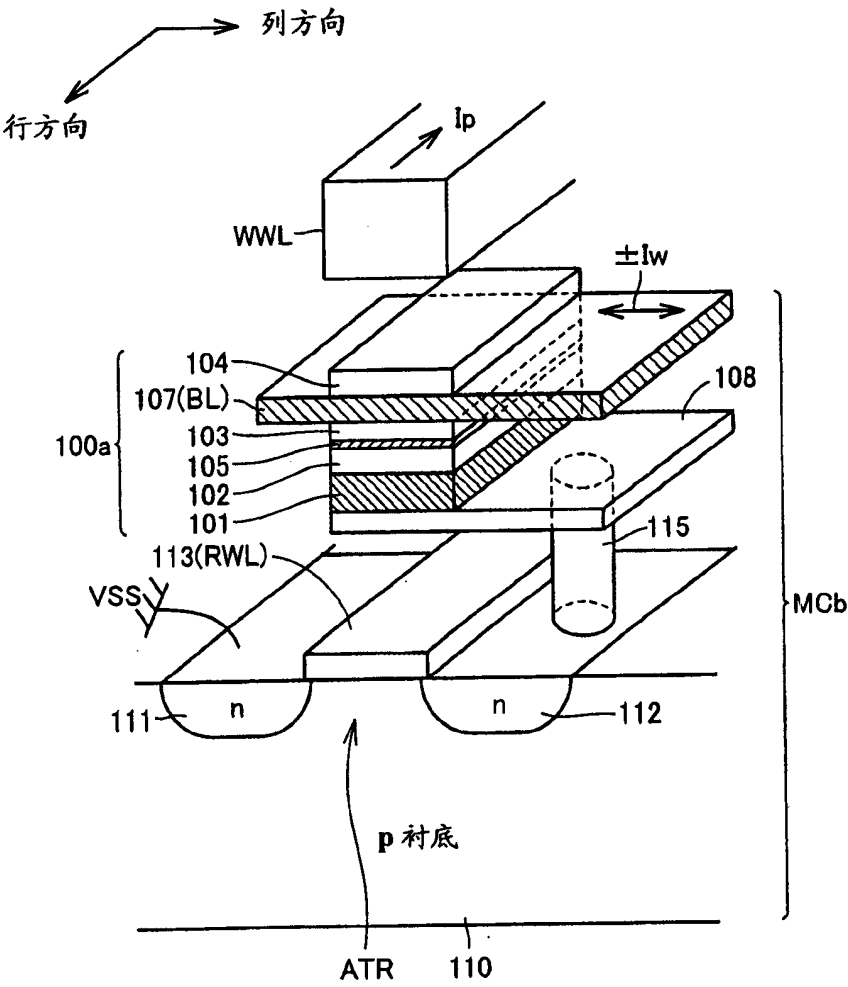


图 5

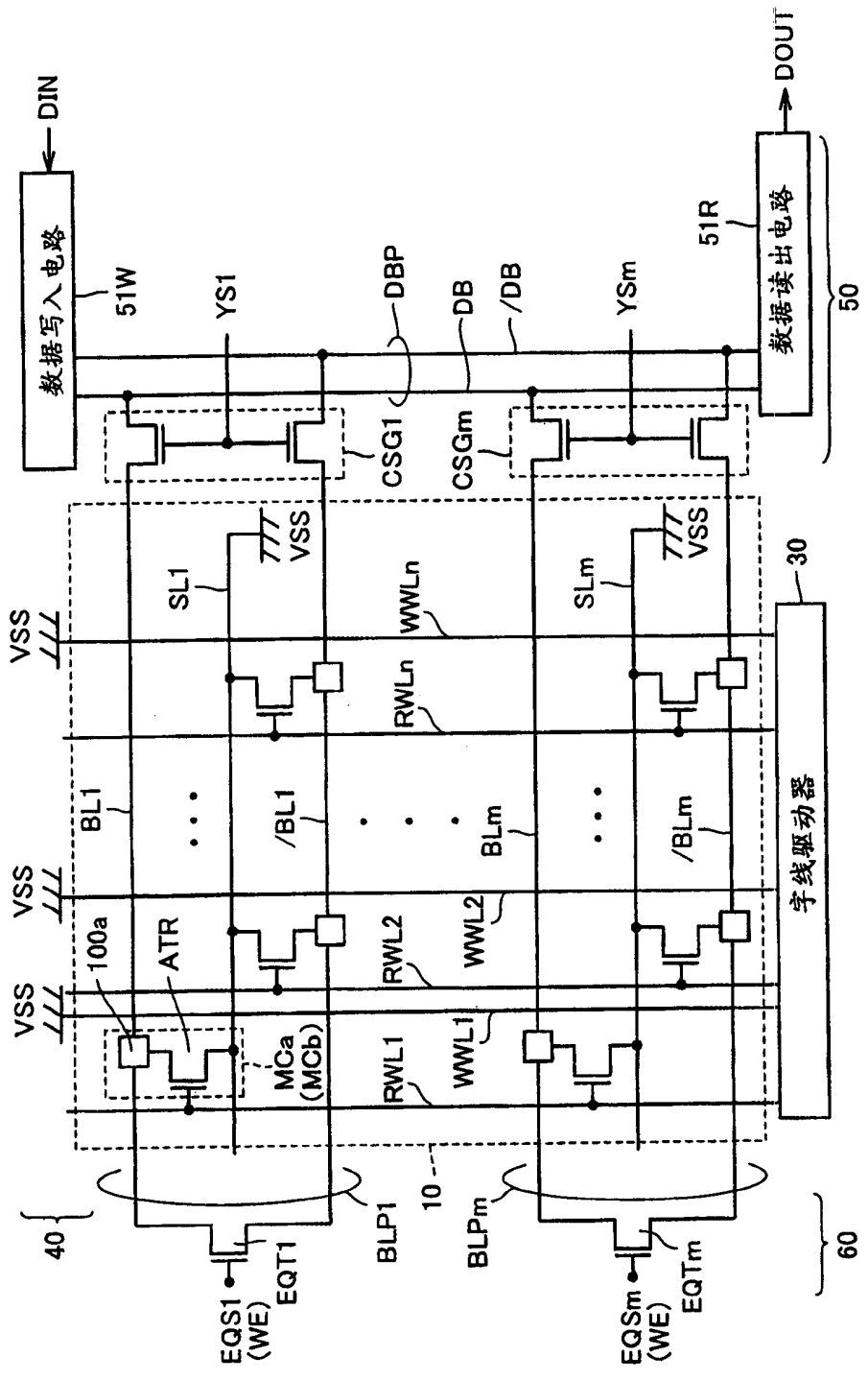


图 6

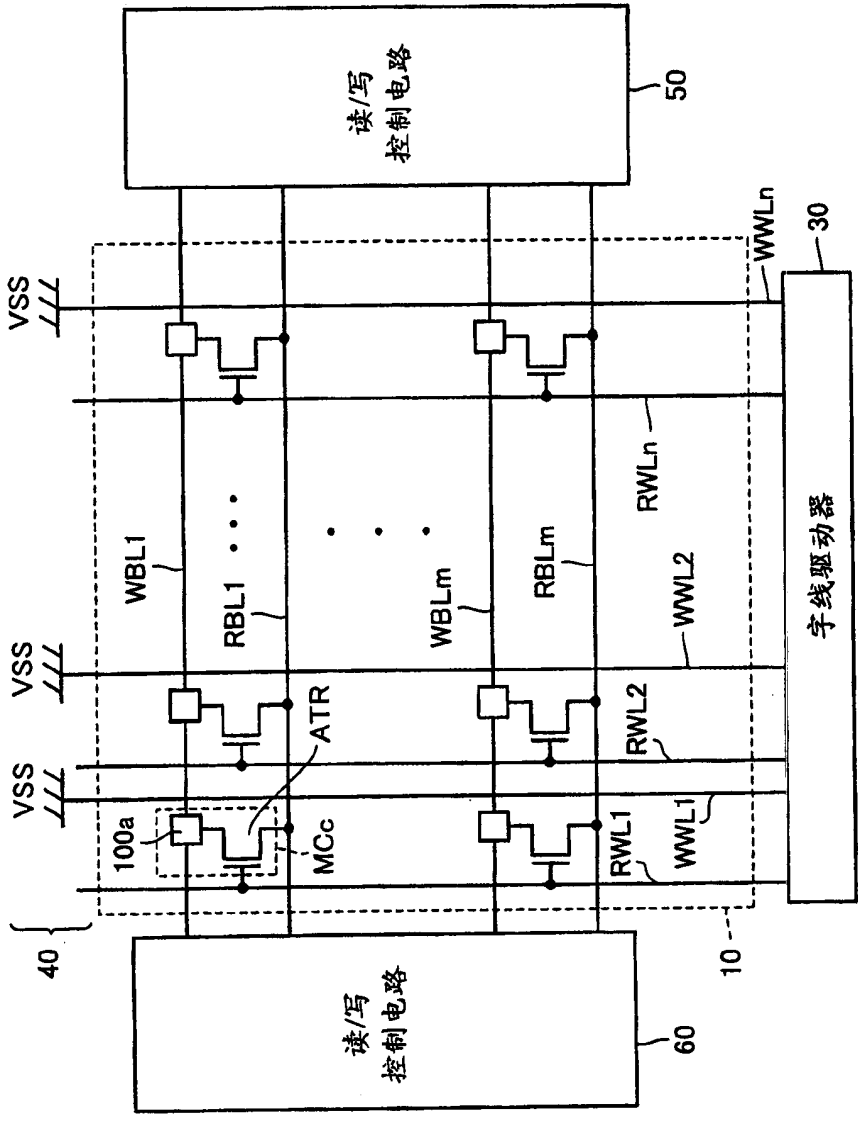


图 7

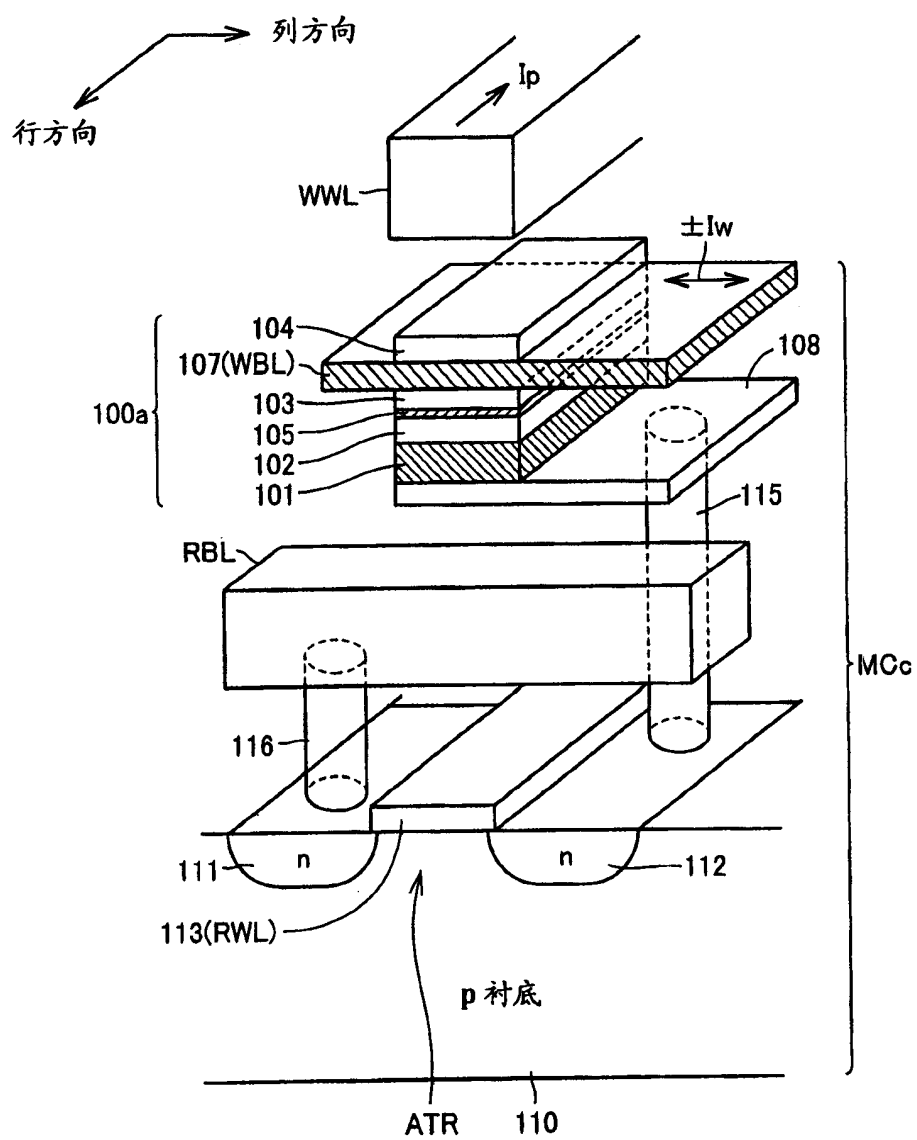


图 8

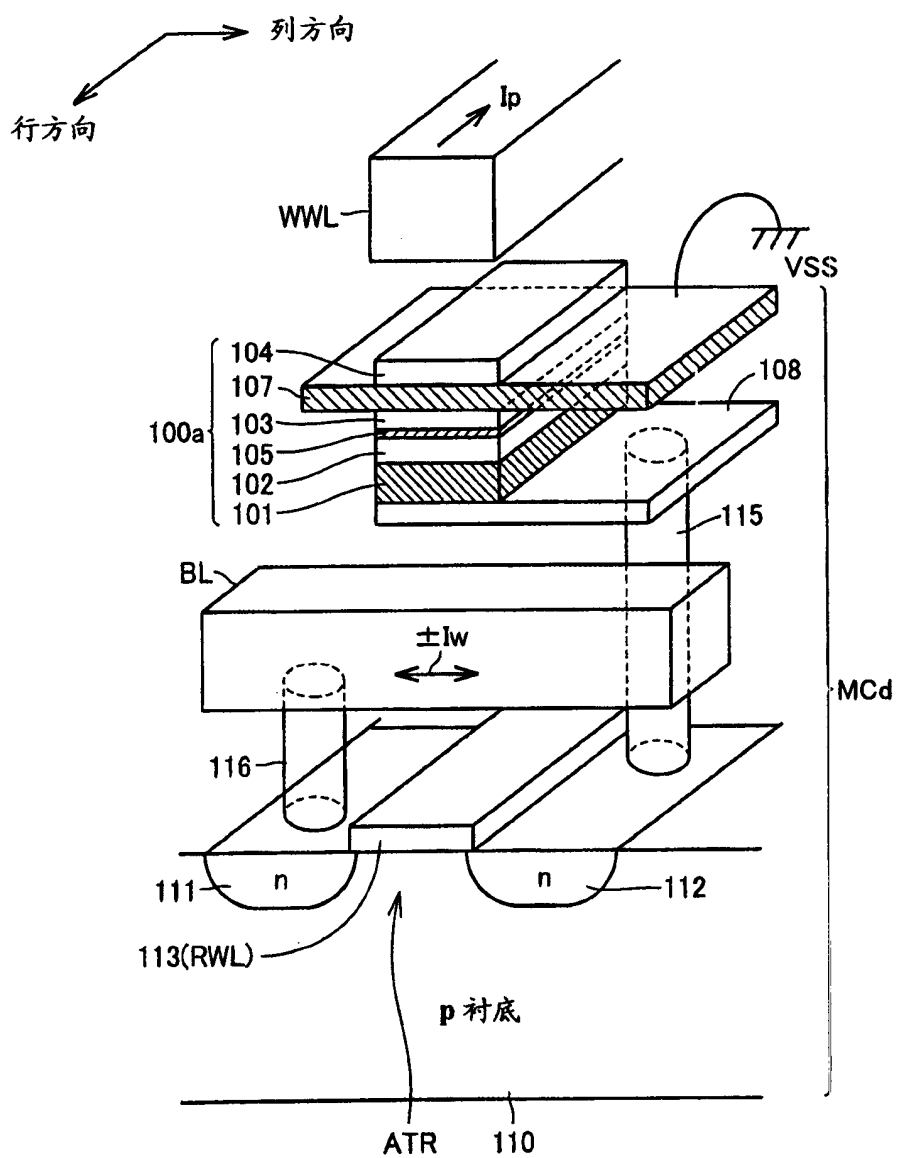


图 9

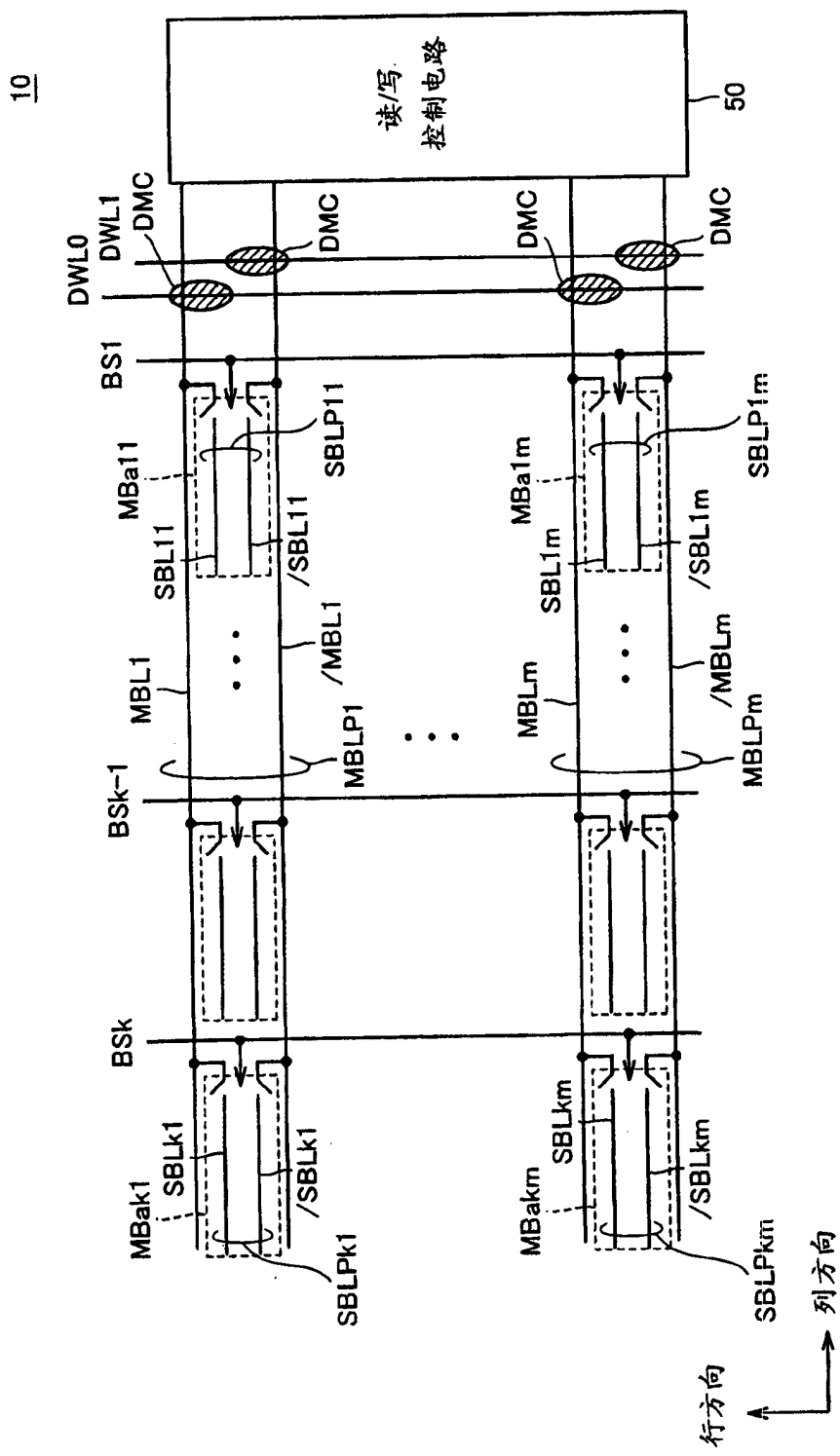
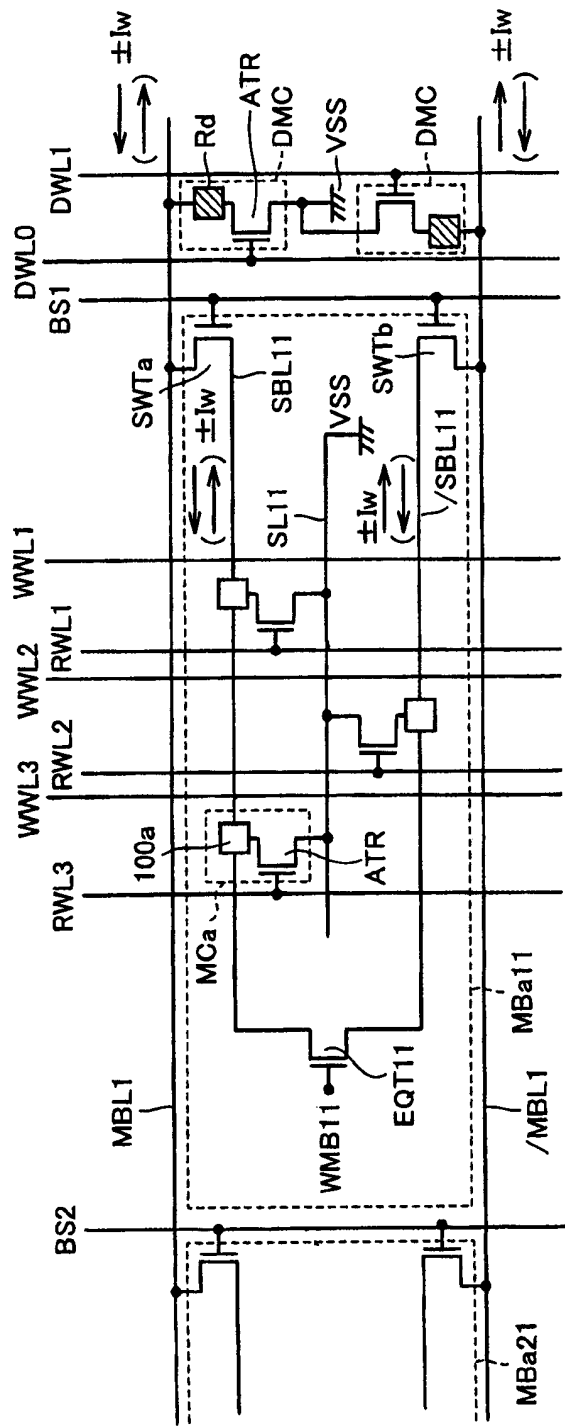


图 10



⇒ 读/写控制电路 50

图 11

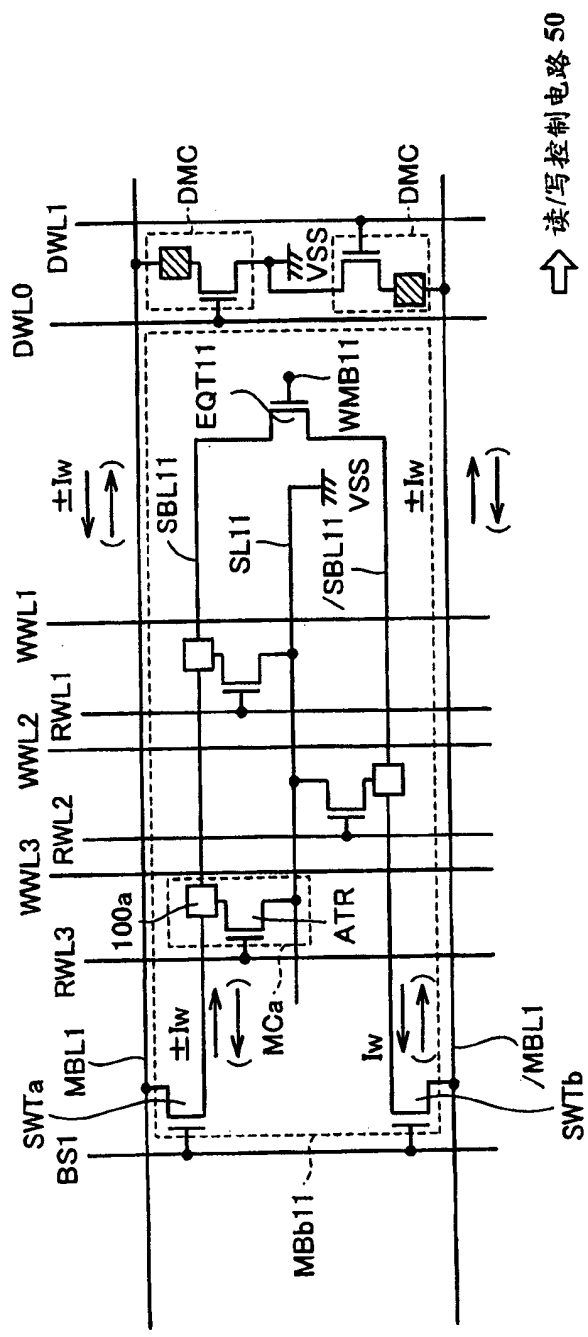


图 12

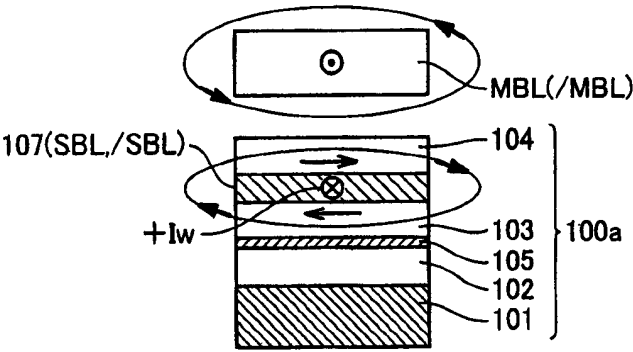


图 13A

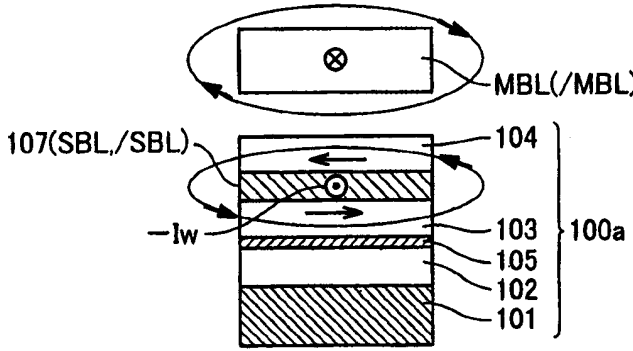
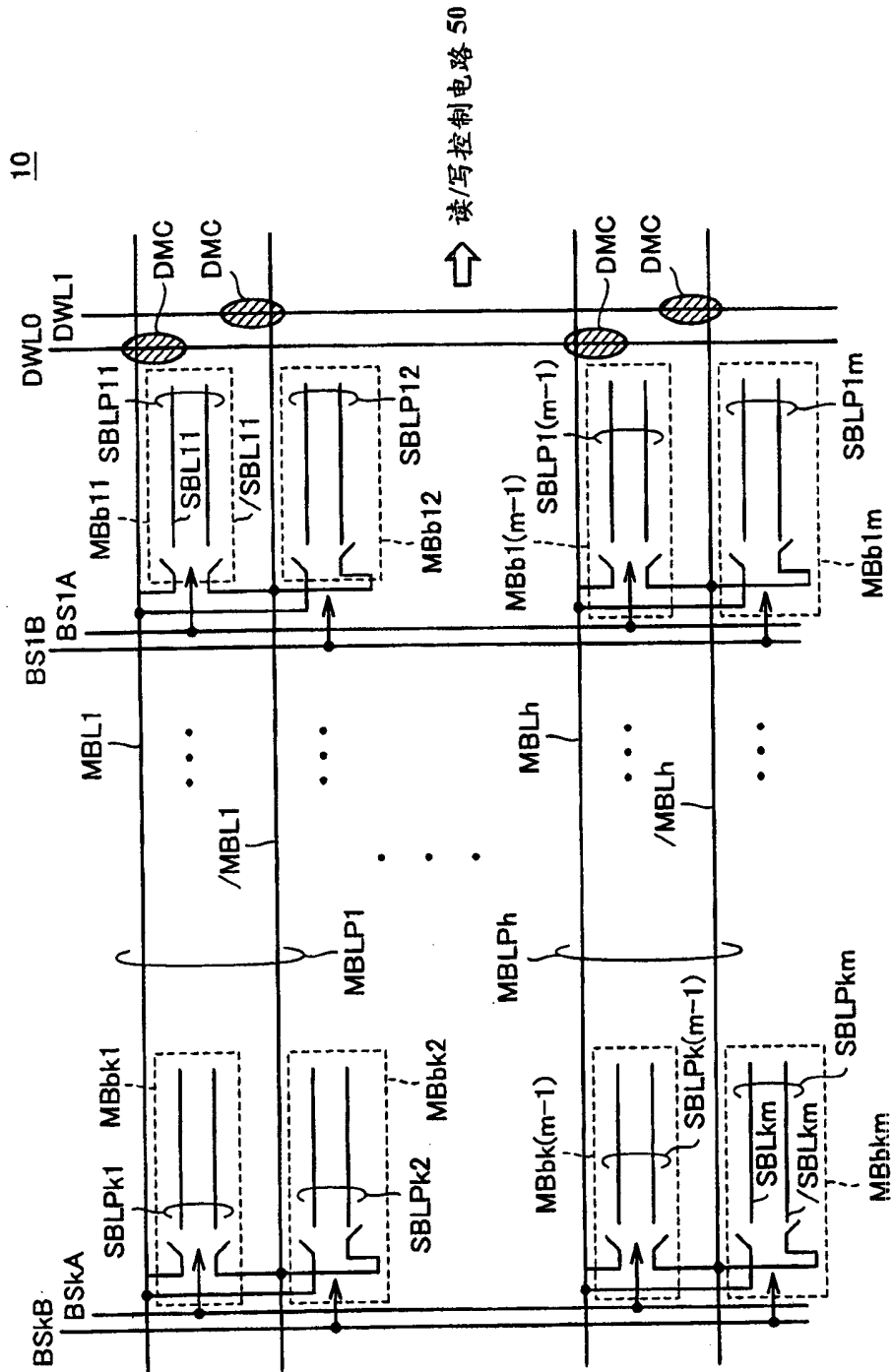


图 13B



14
四

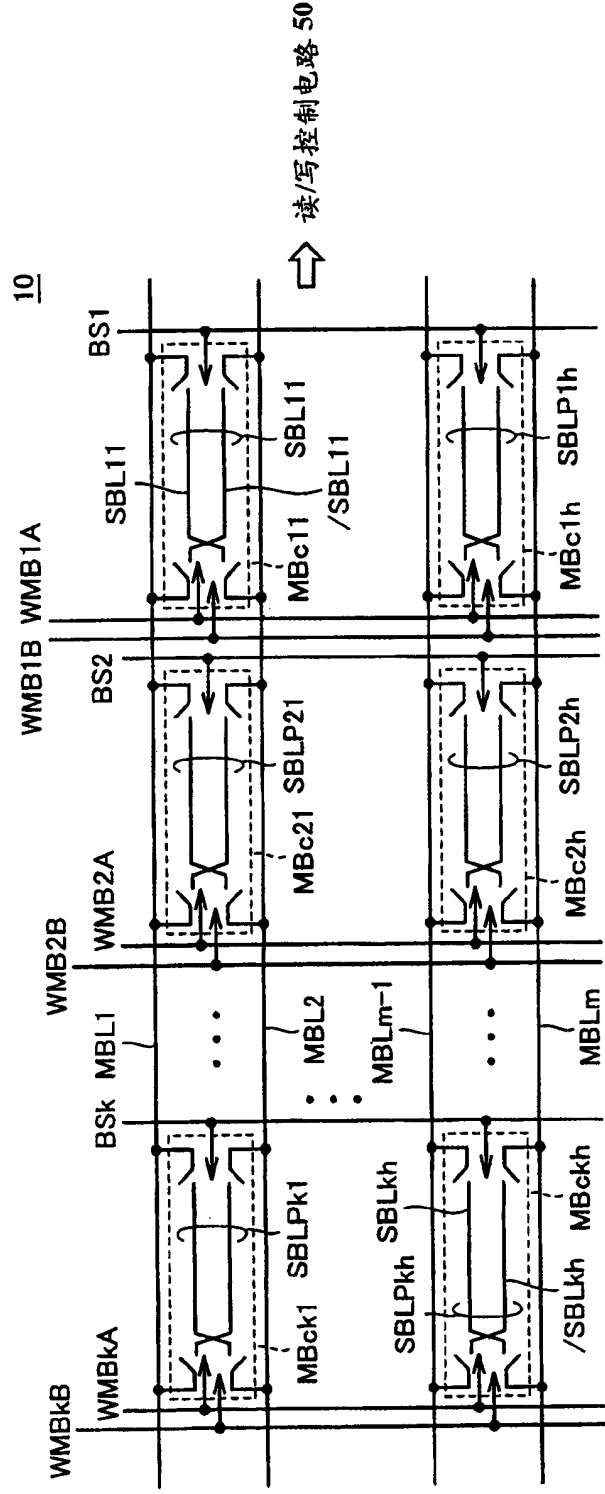


图 15

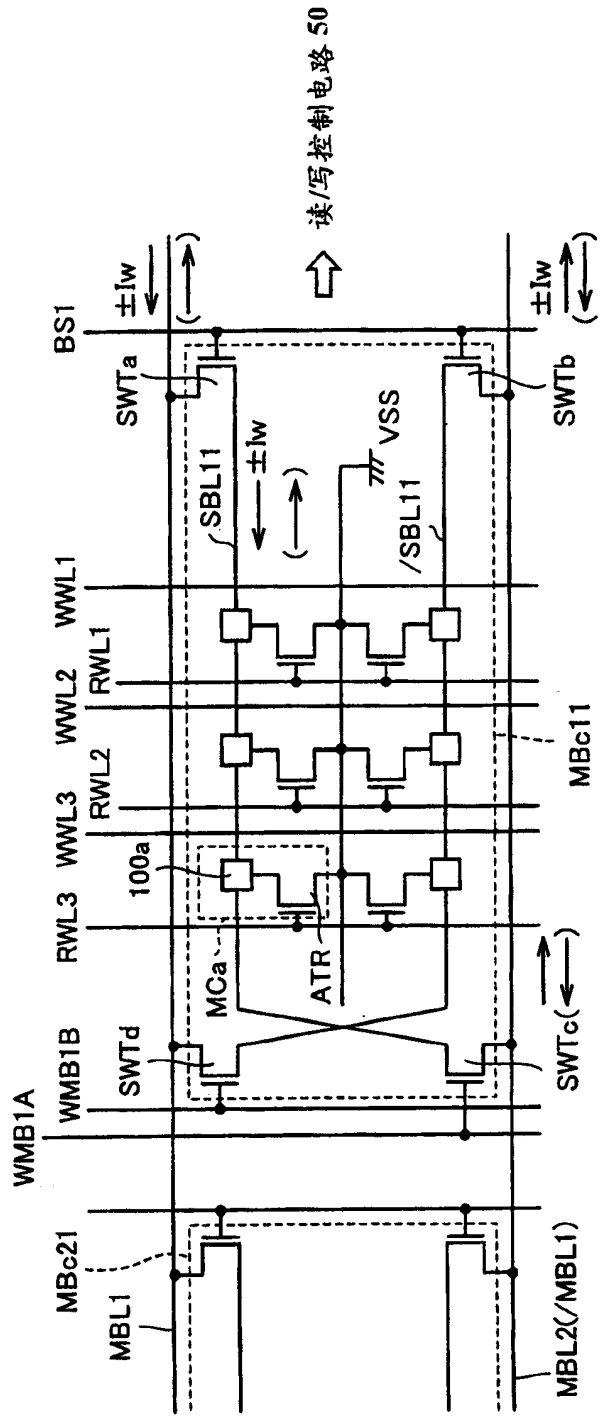


图 16

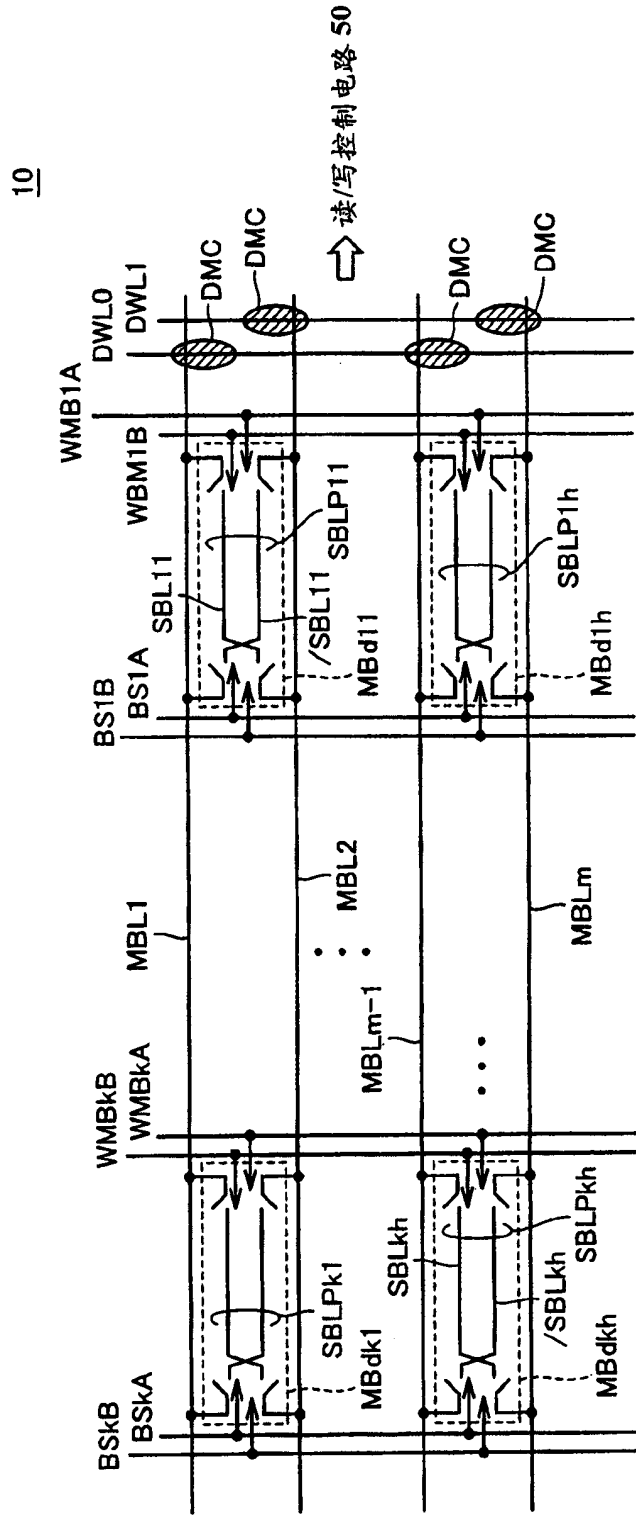


图 17

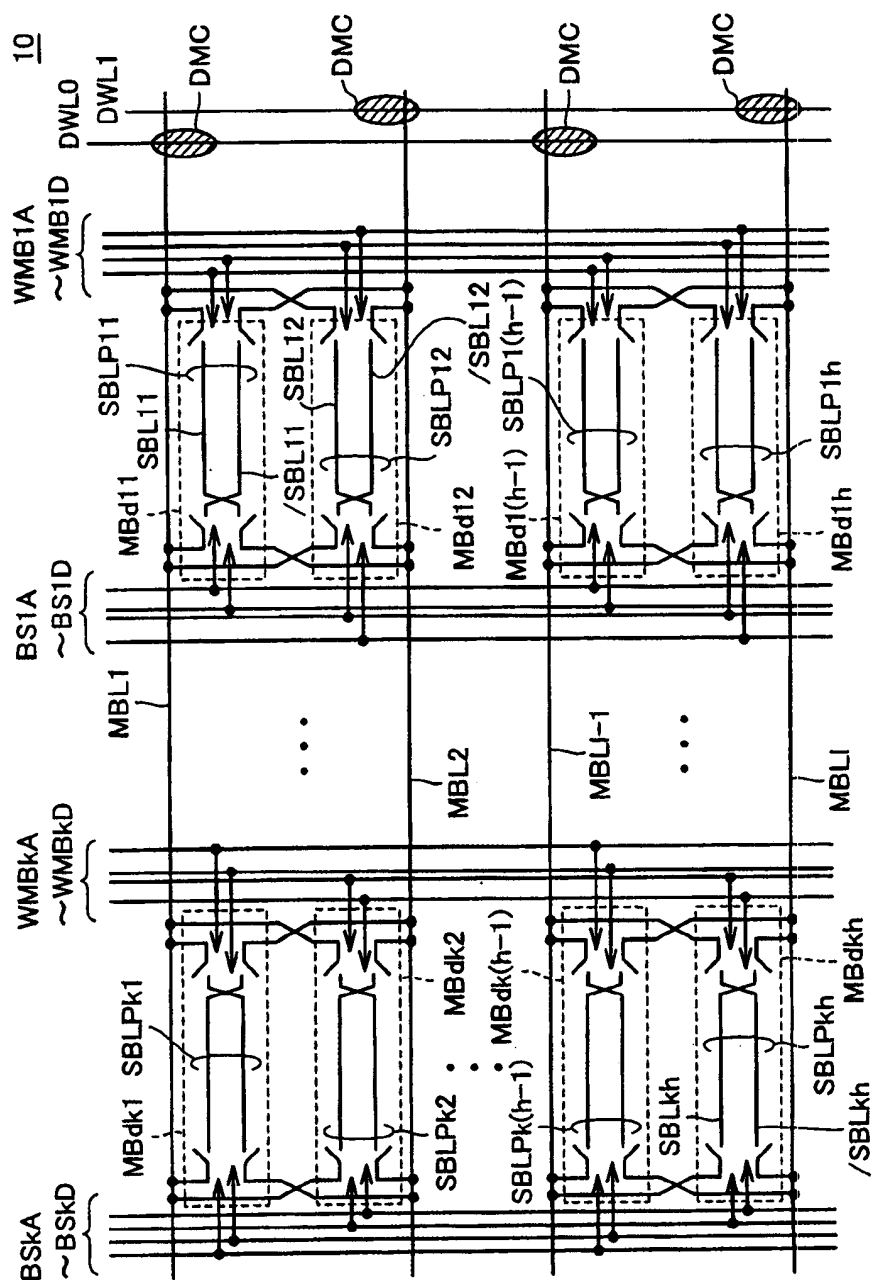


图 19

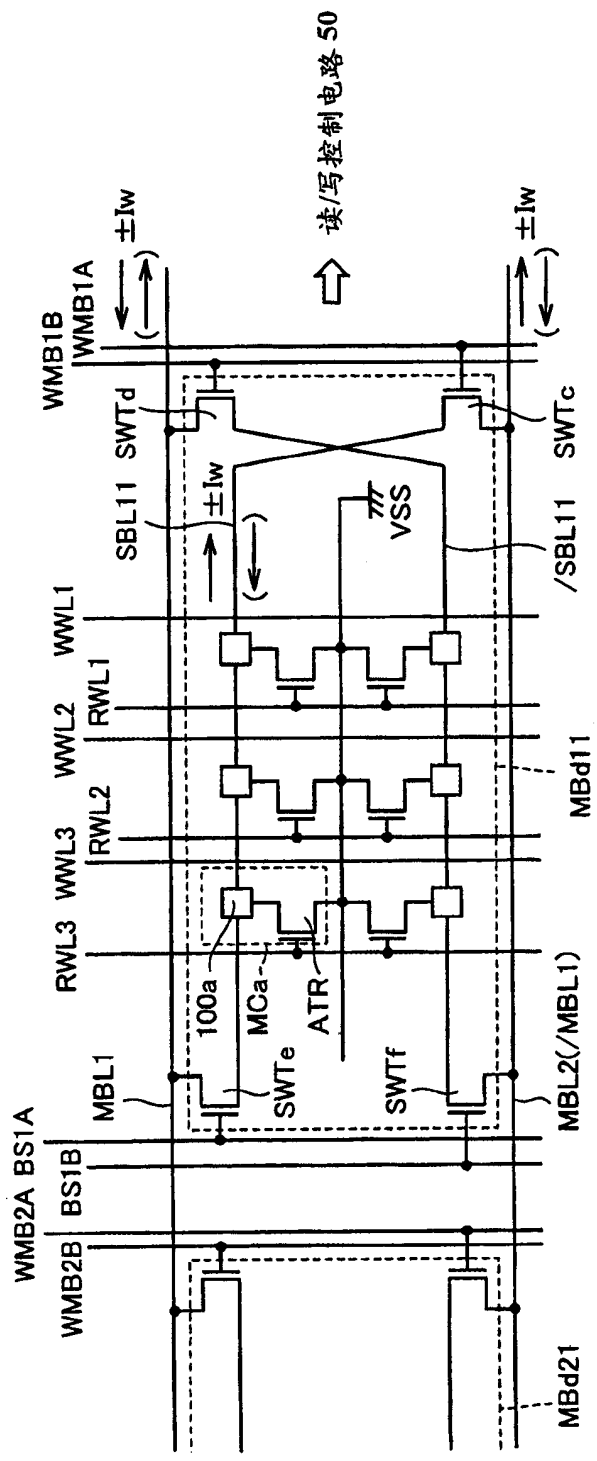


图 18

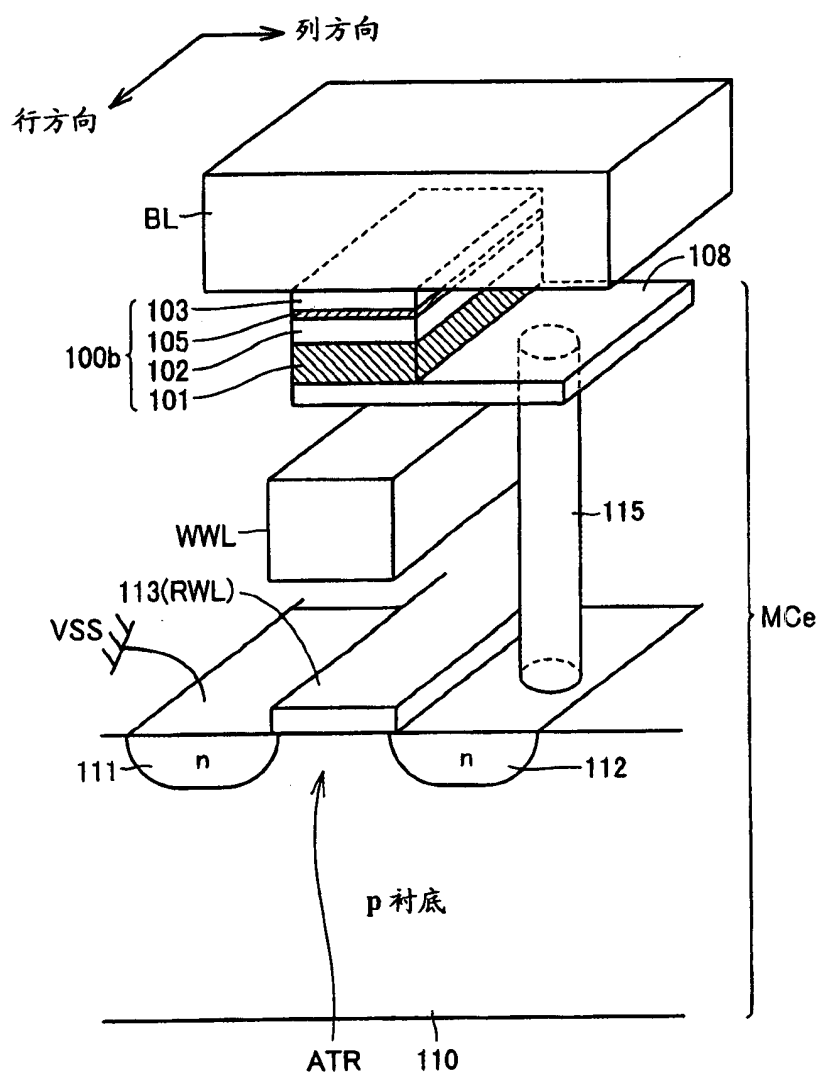


图 20

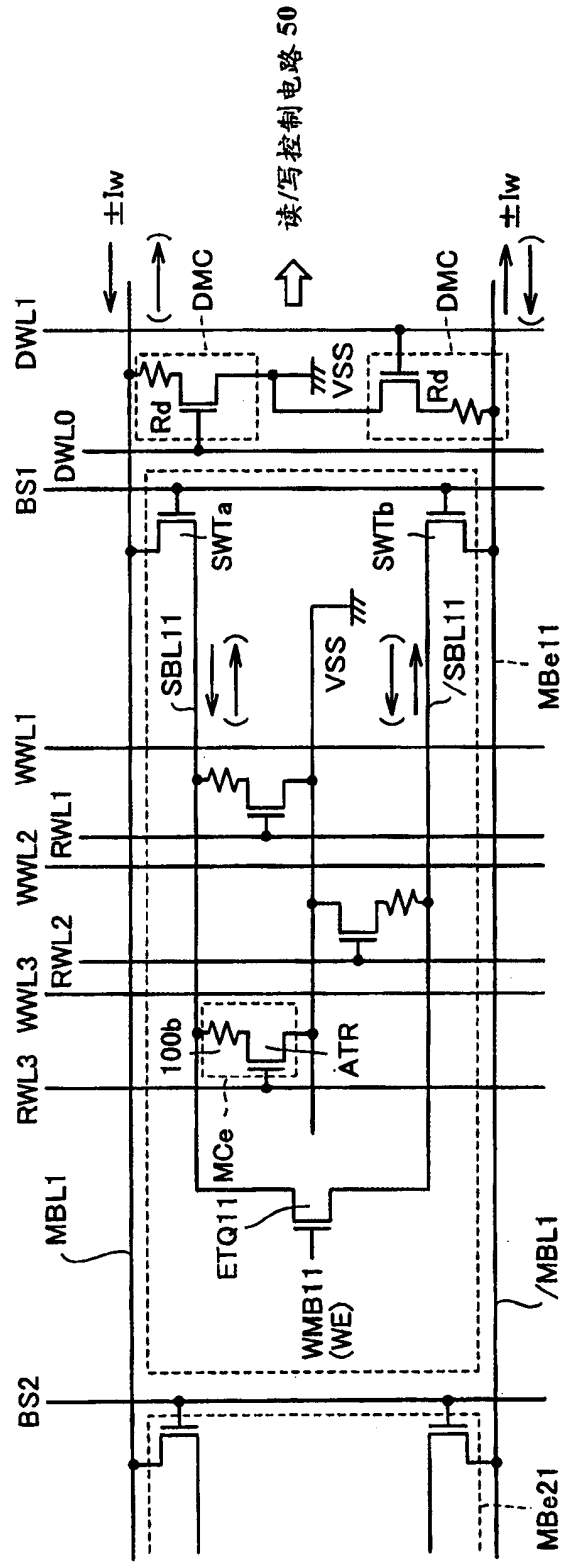


图 22

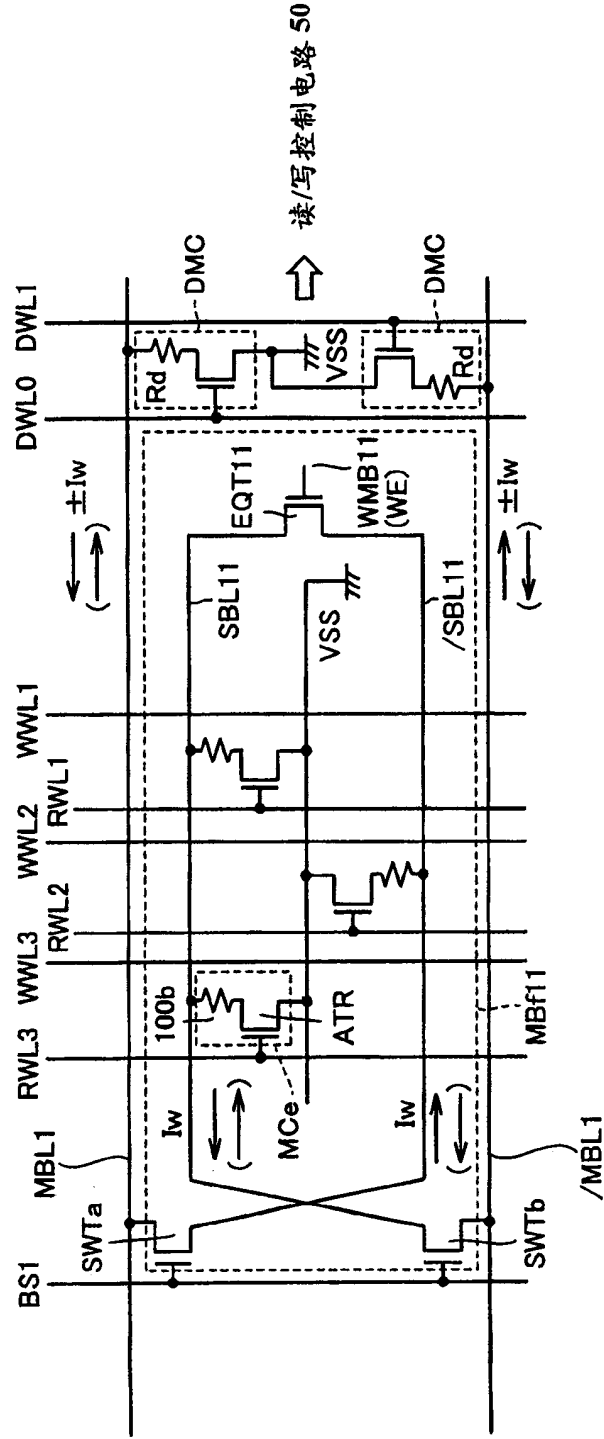


图 23

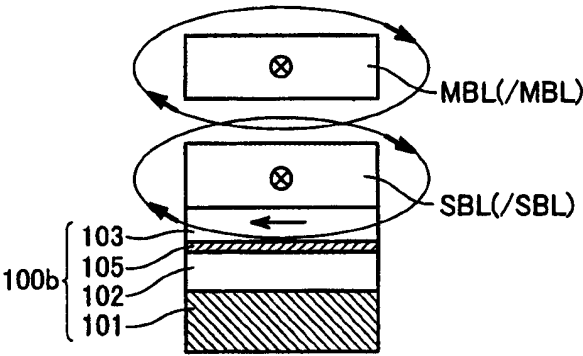


图 24A

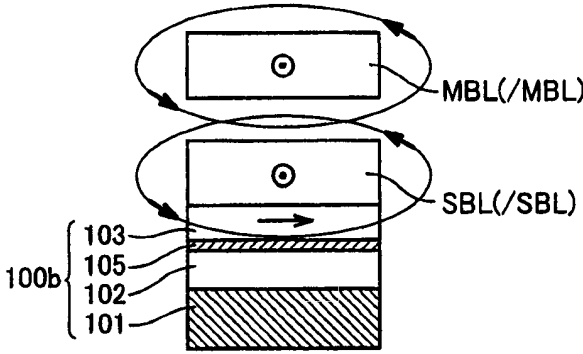


图 24B

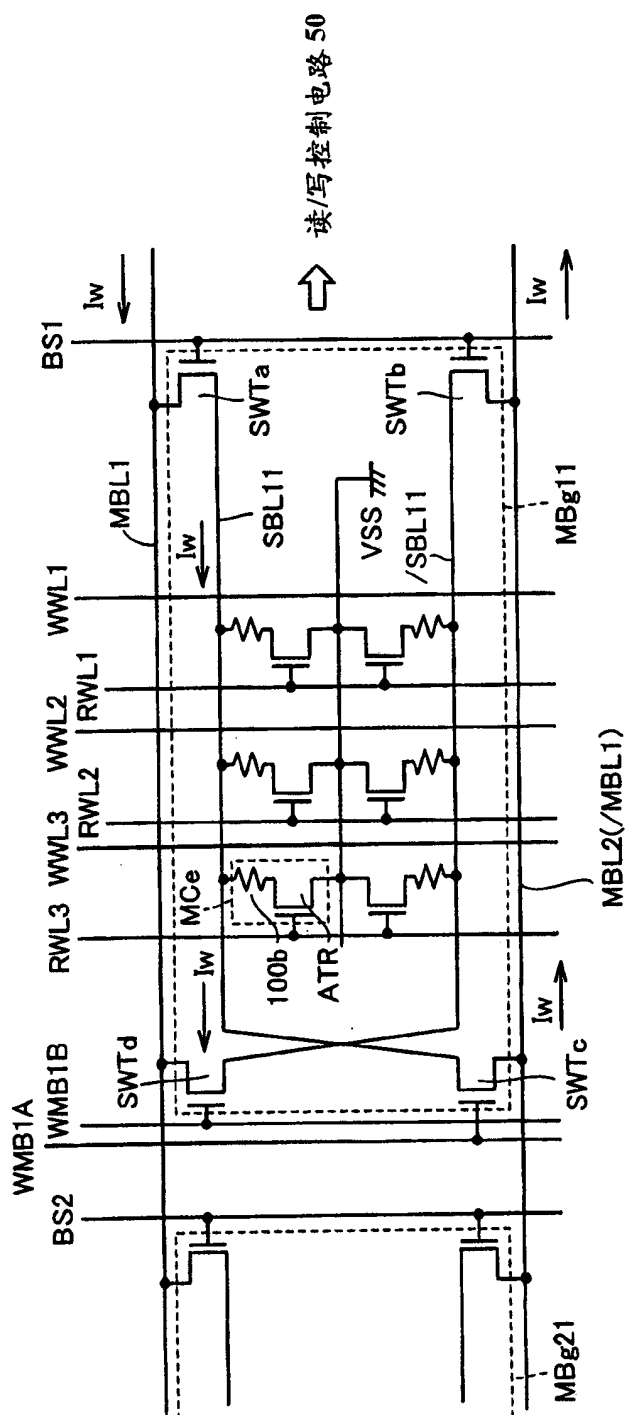


图 25

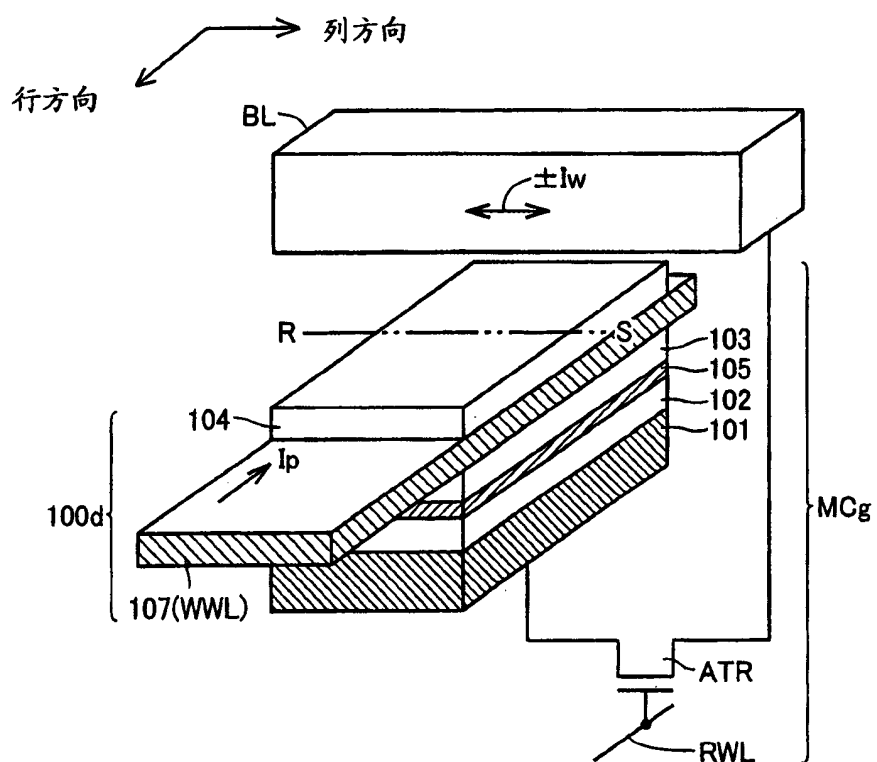


图 27

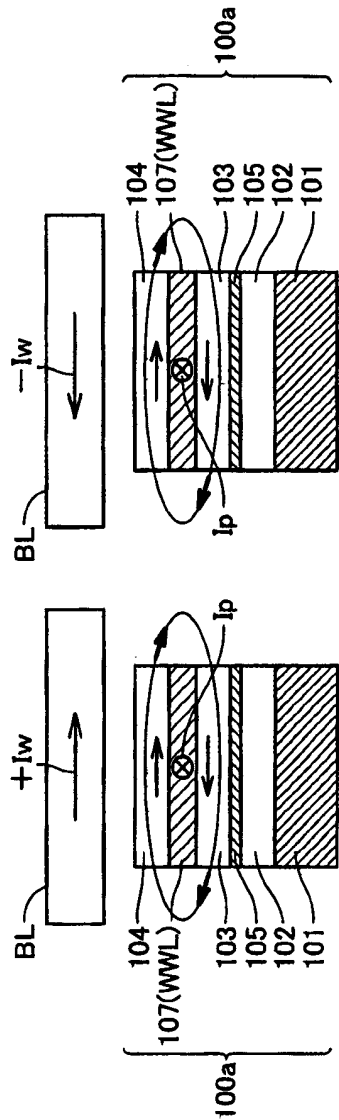


图 28B

图 28A

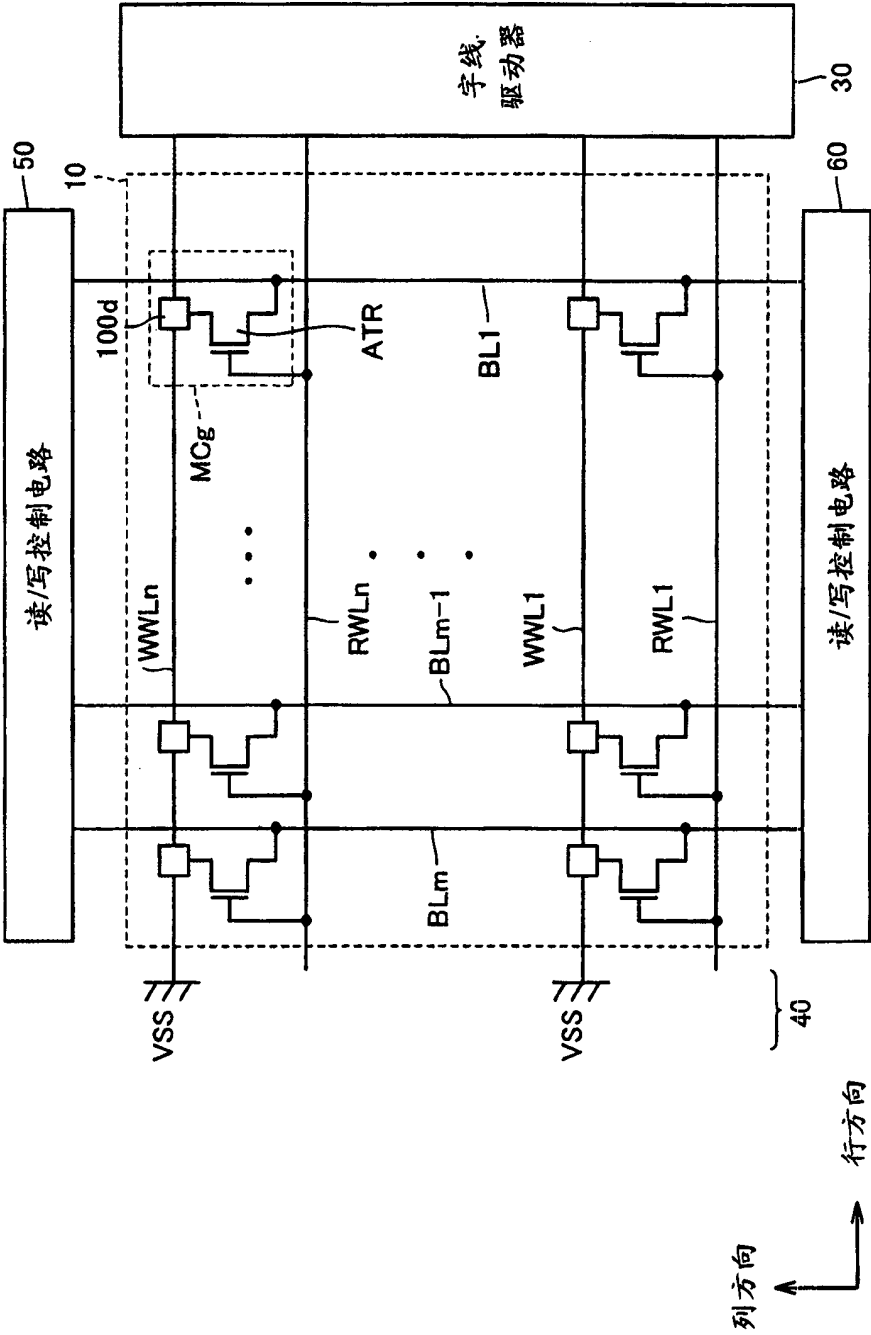


图 29

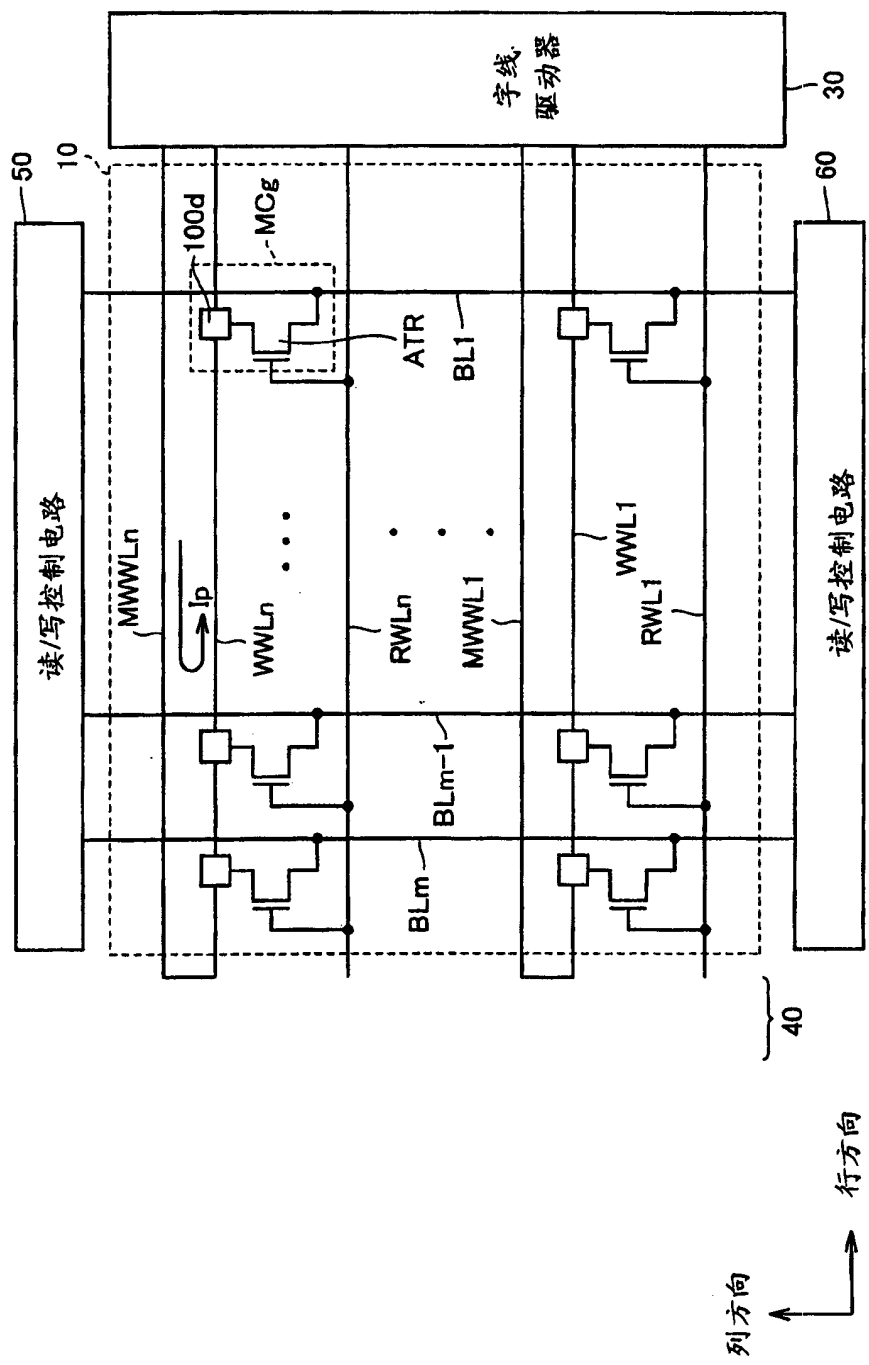


图 30

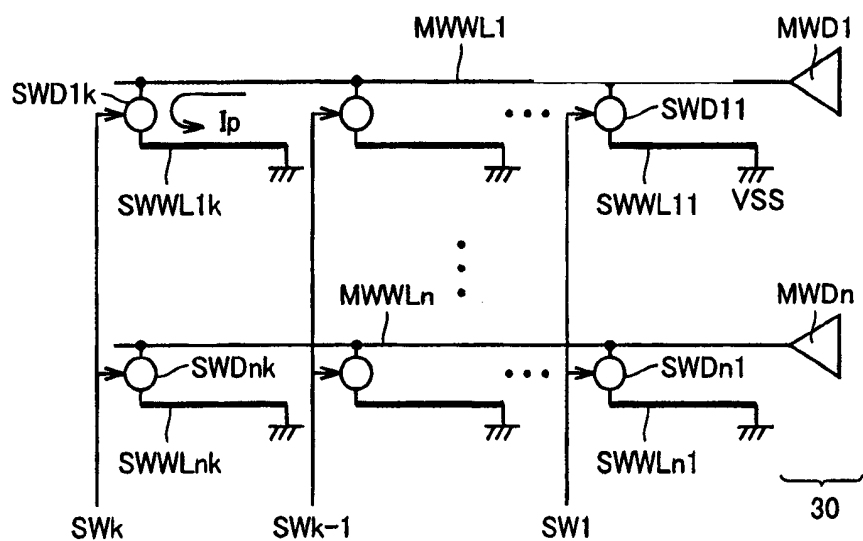


图 31

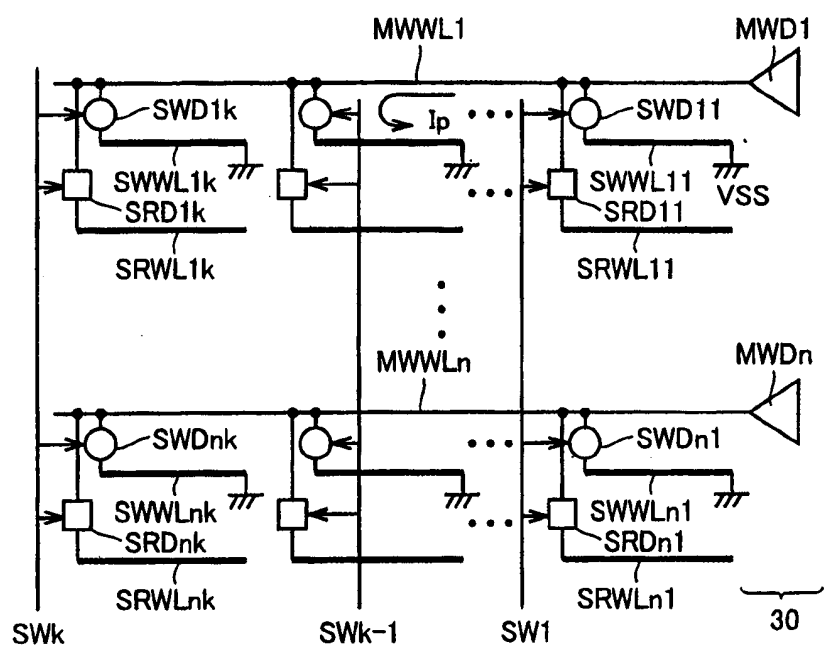


图 32

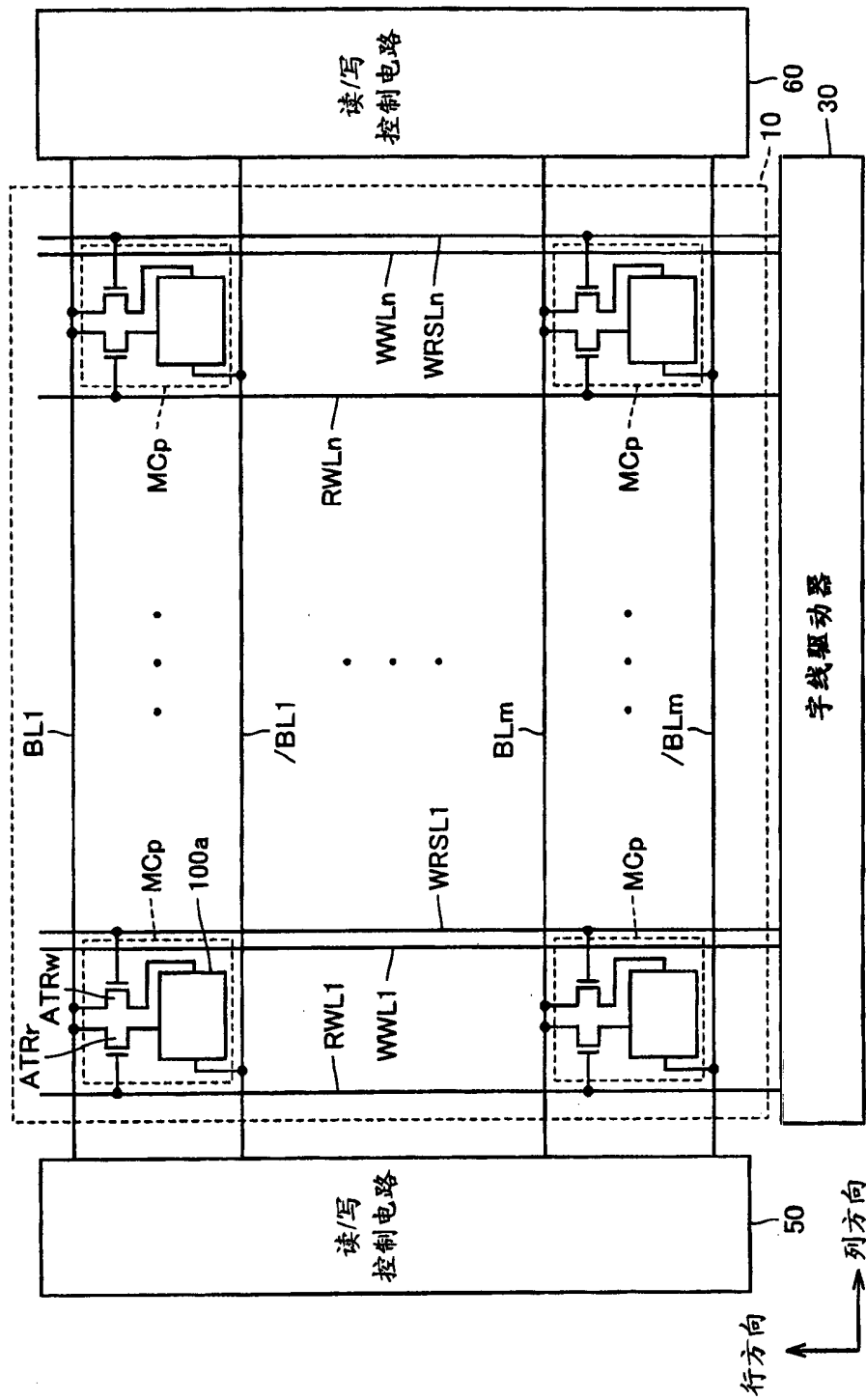


图 33

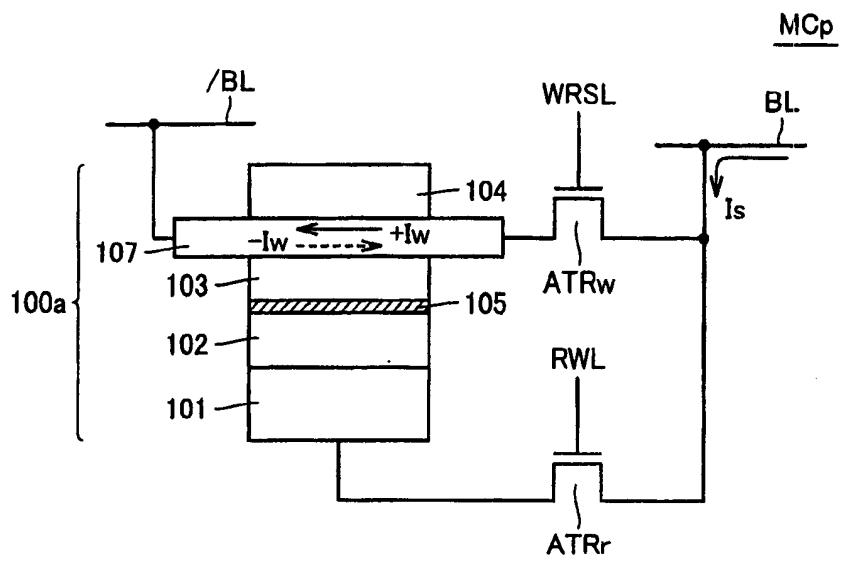


图 34

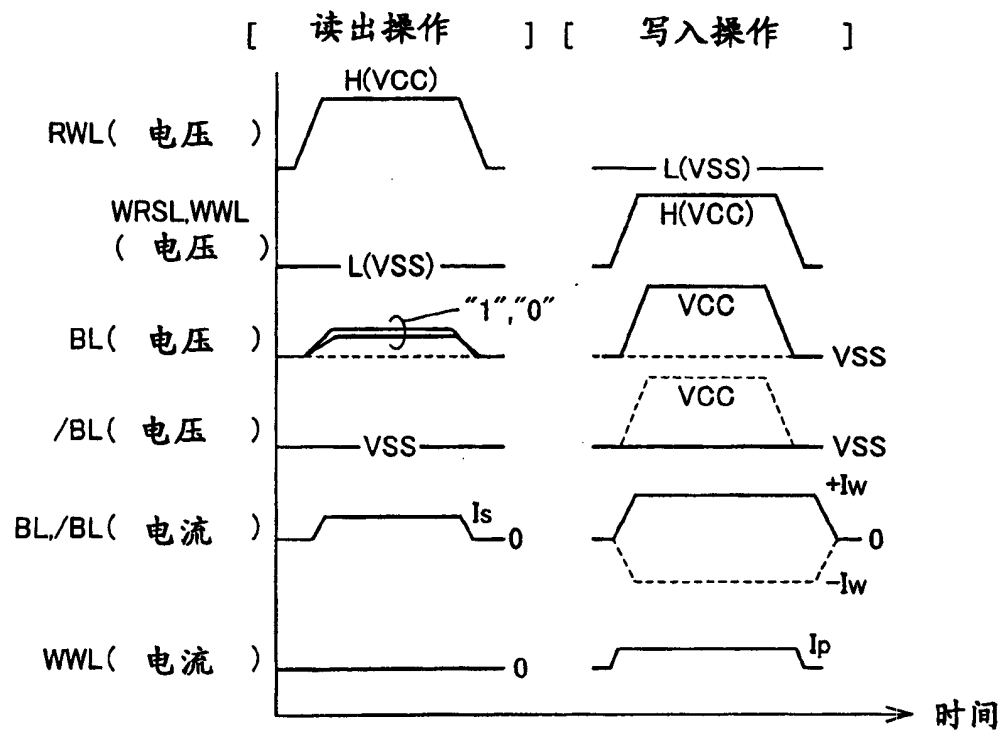


图 35

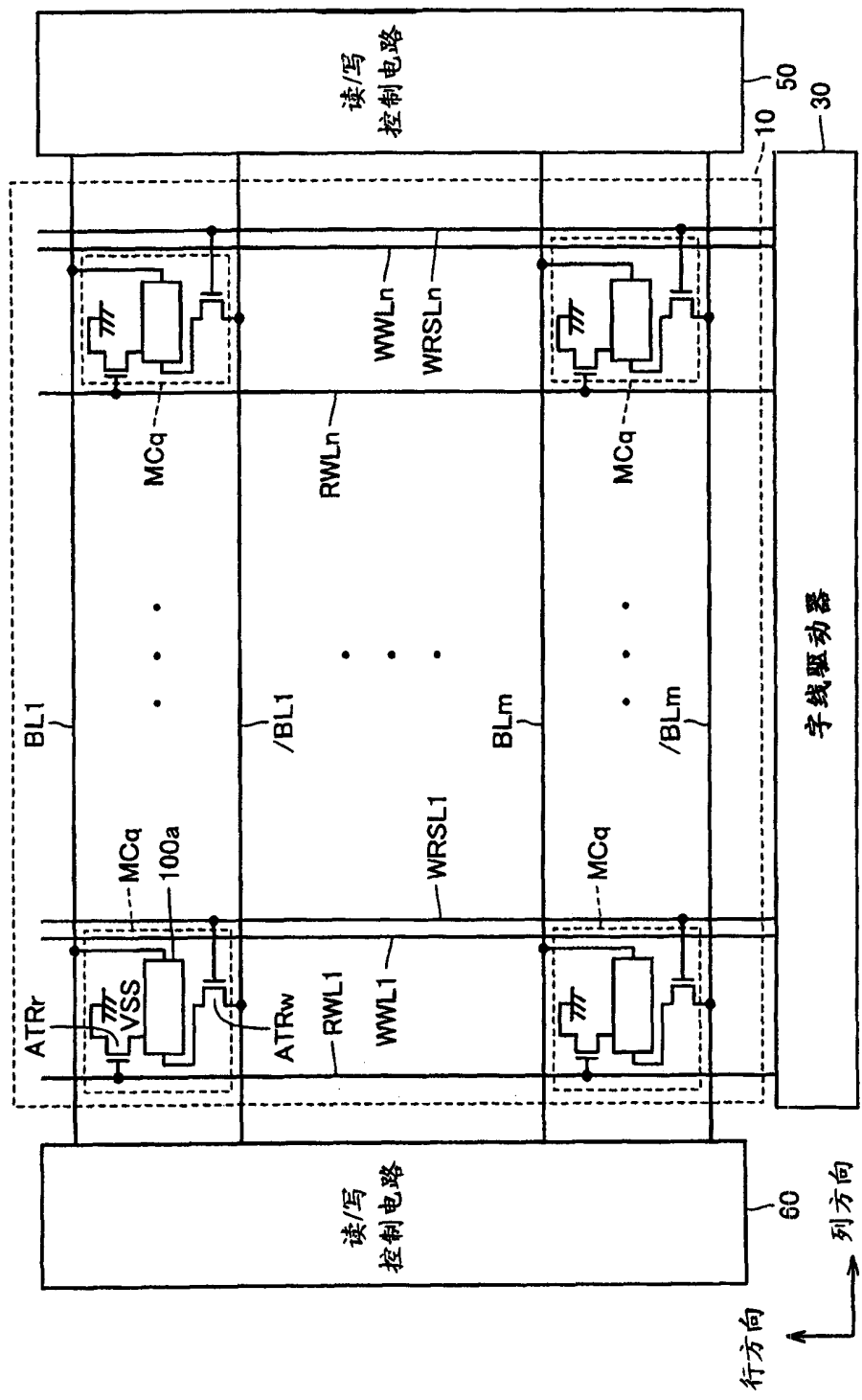


图 36

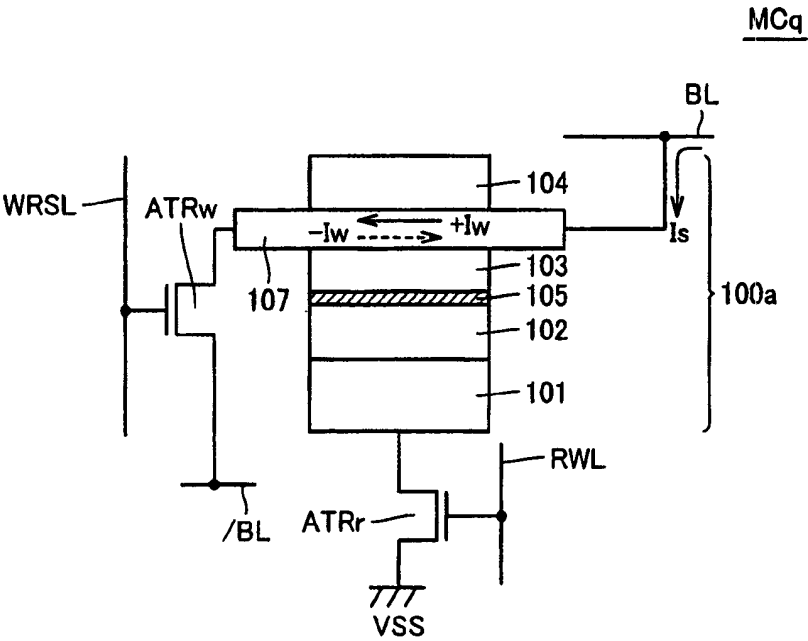


图 37

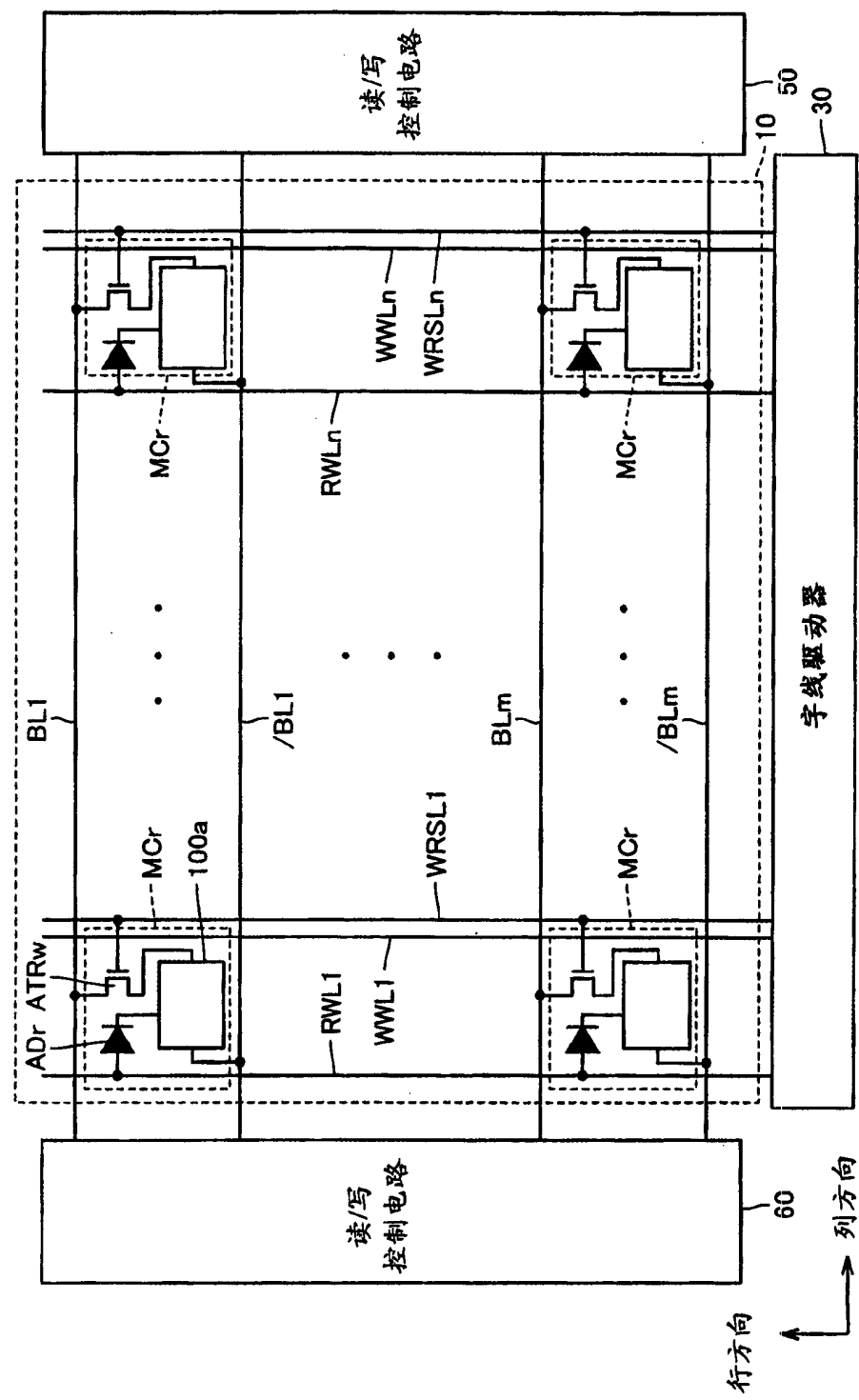


图 38

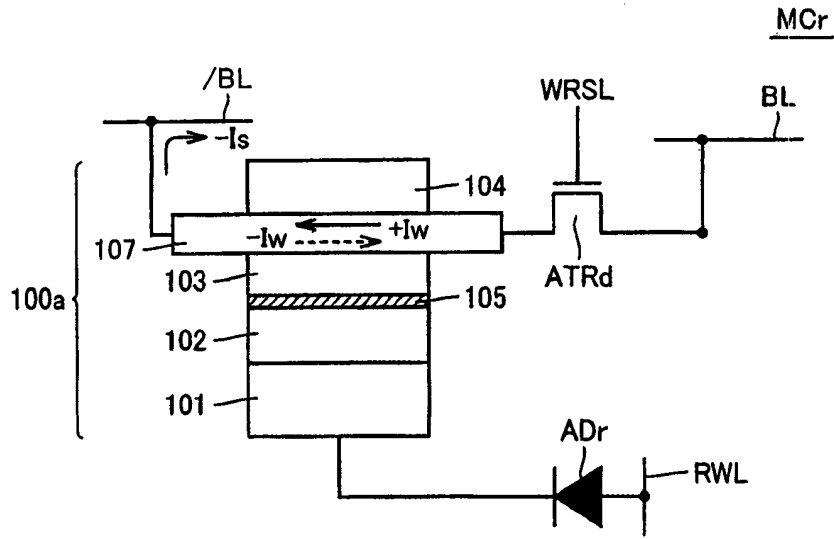


图 39

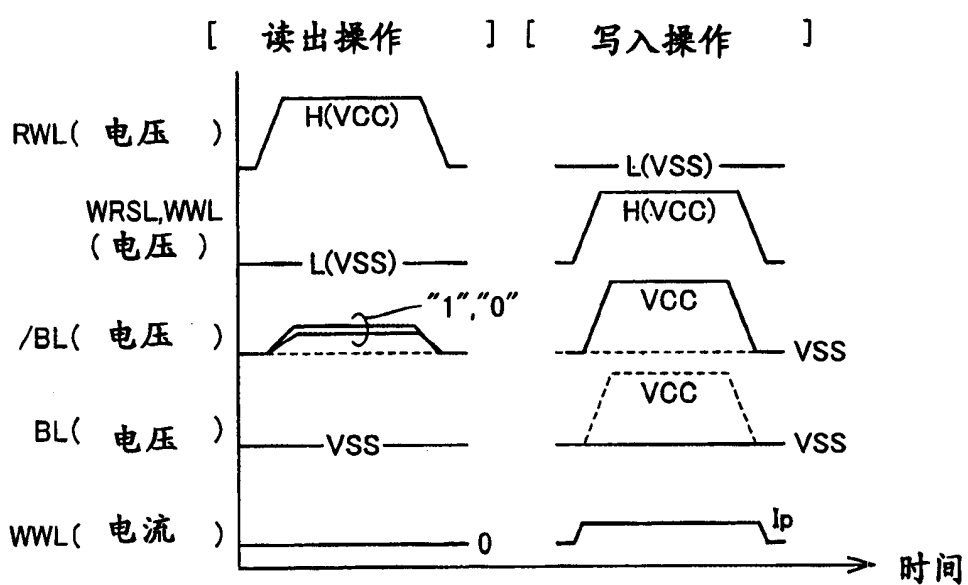
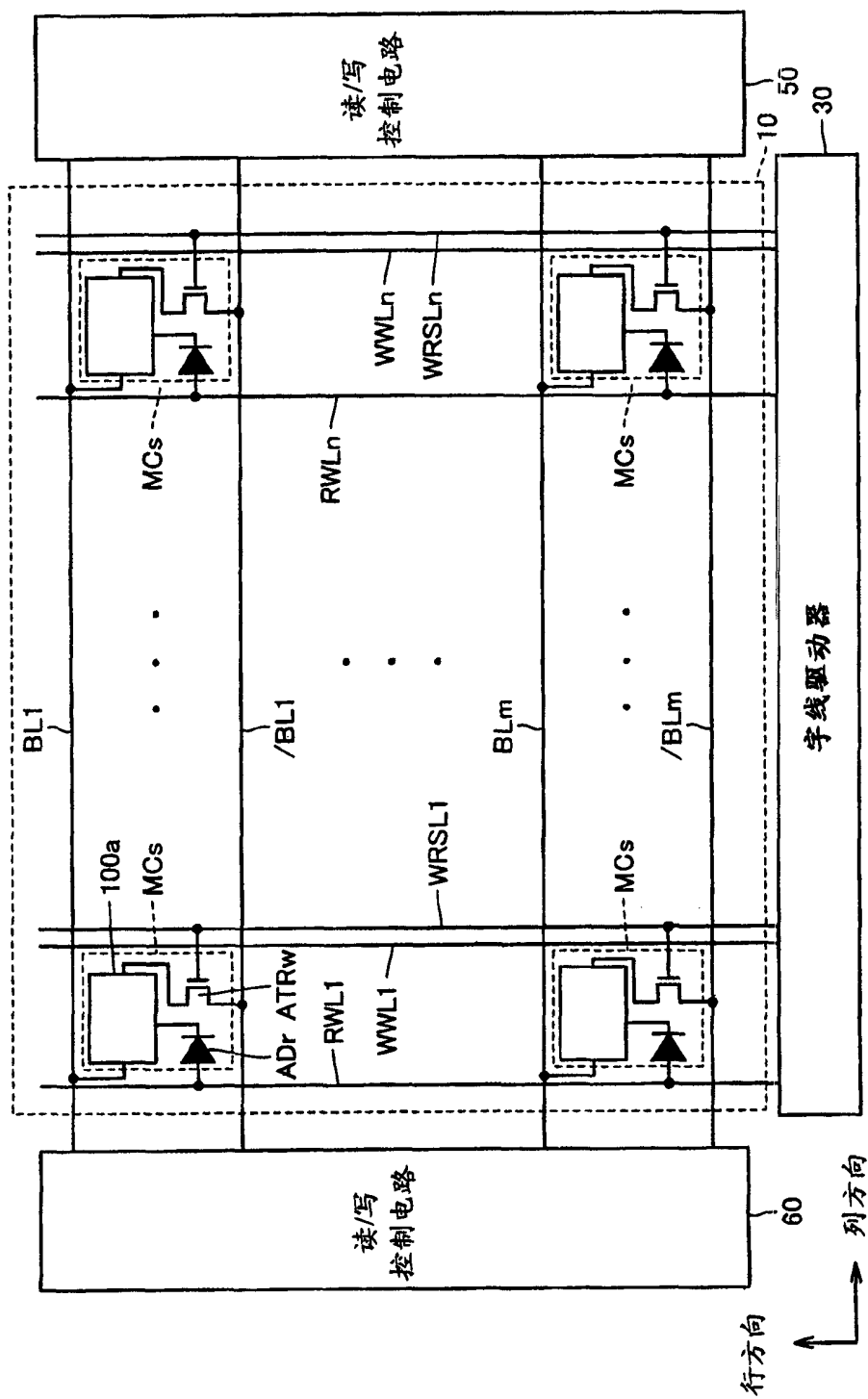


图 40



41

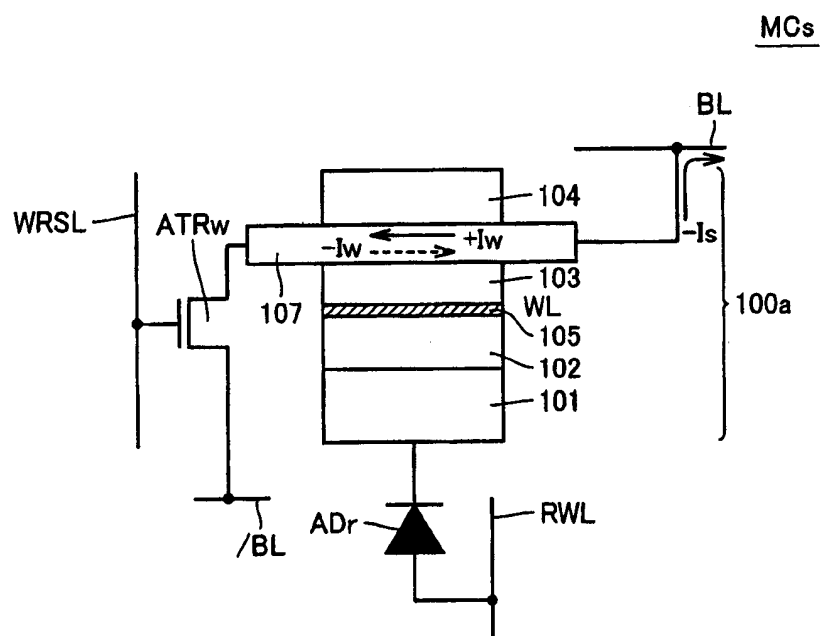


图 42

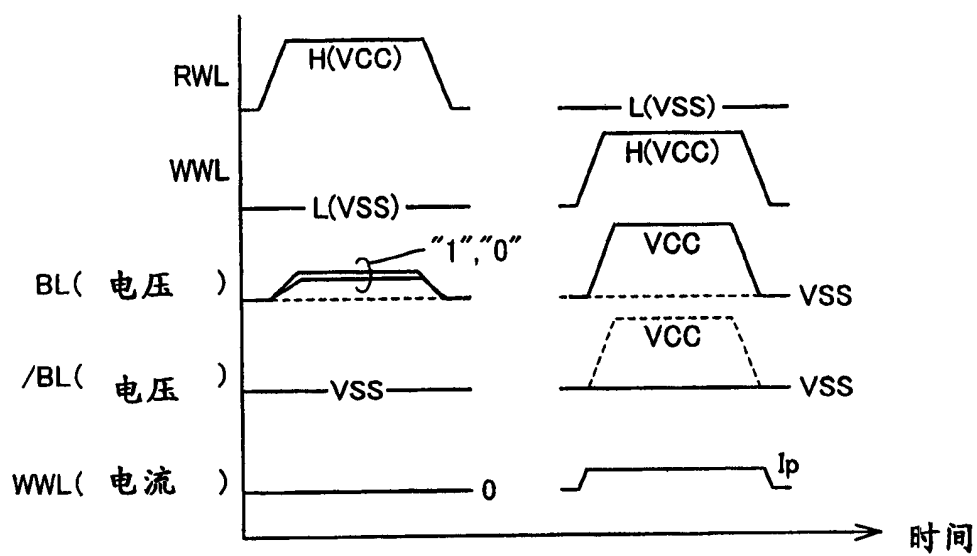


图 43

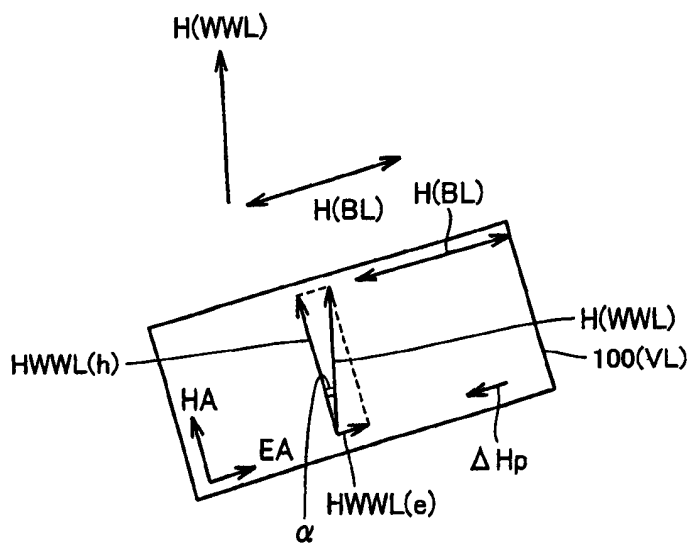


图 44

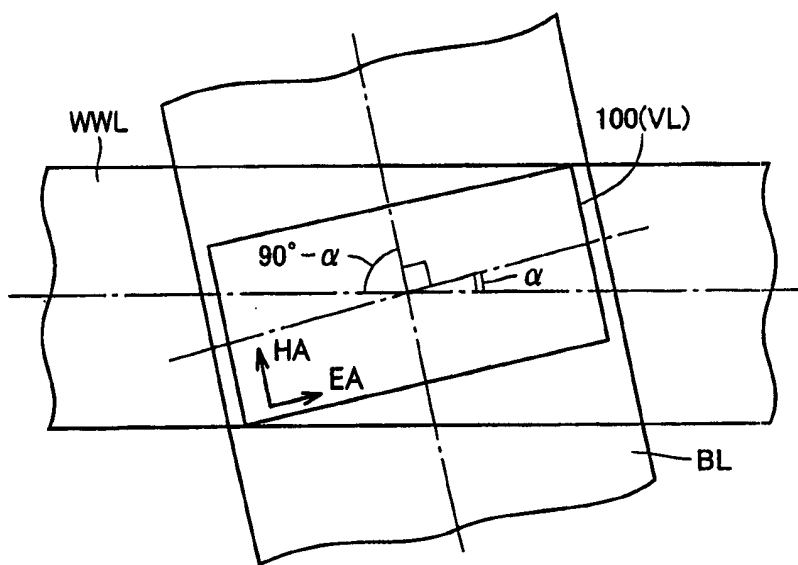


图 45

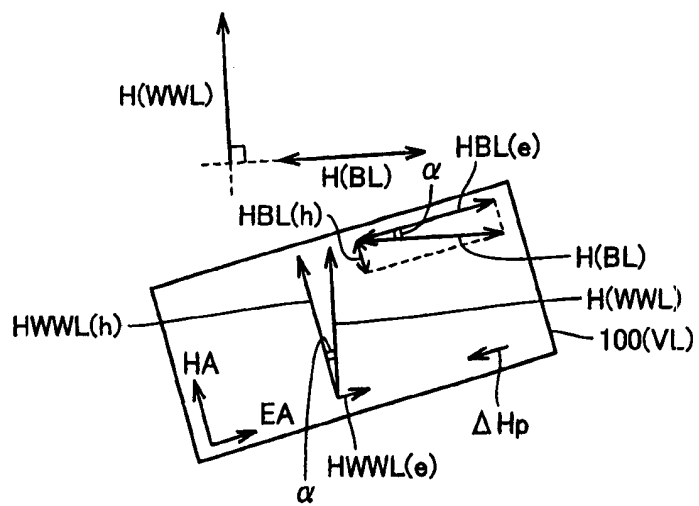


图 46

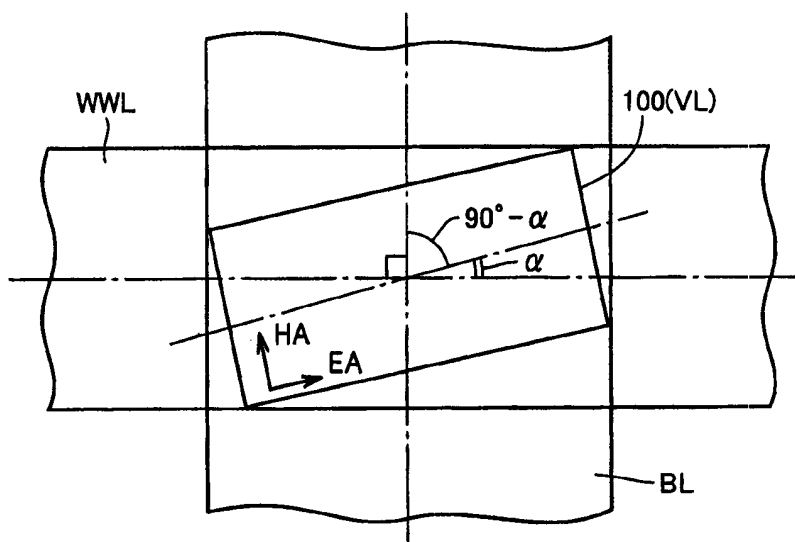


图 47

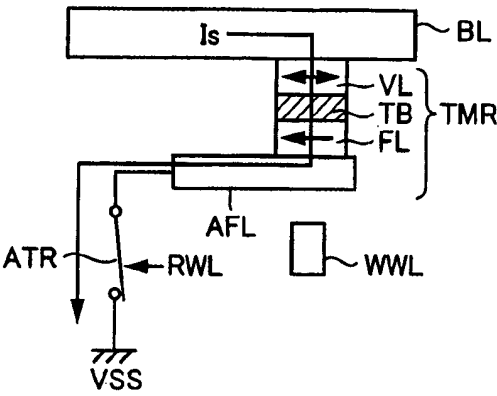


图 48

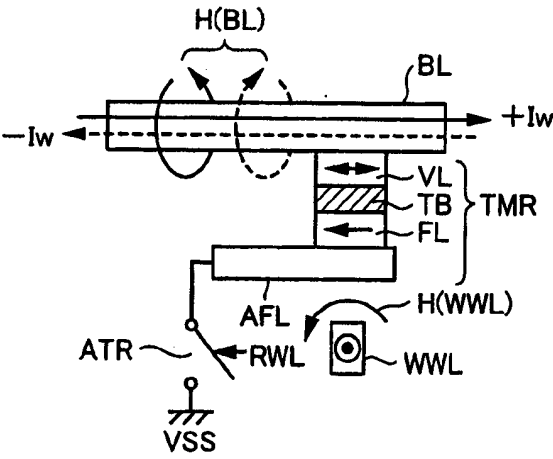


图 49

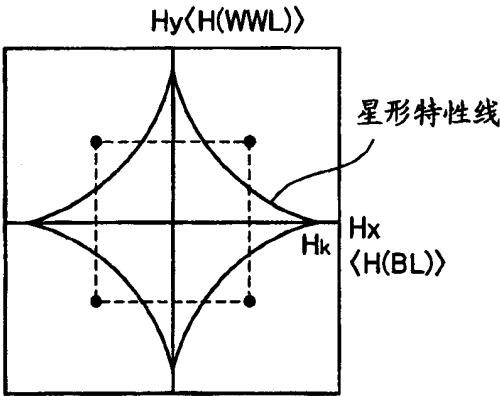


图 50

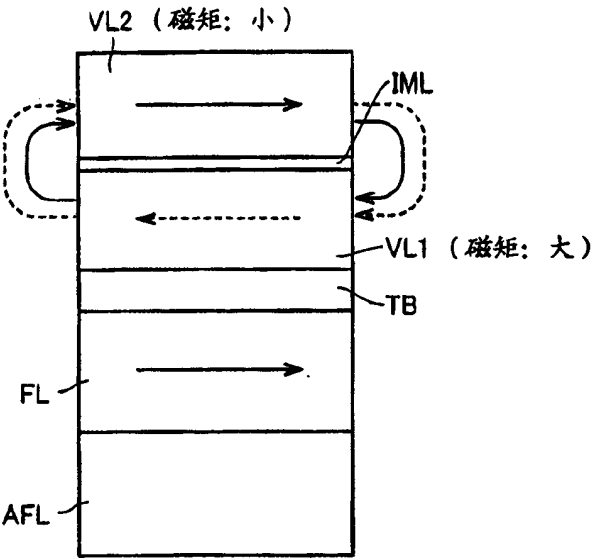


图 51

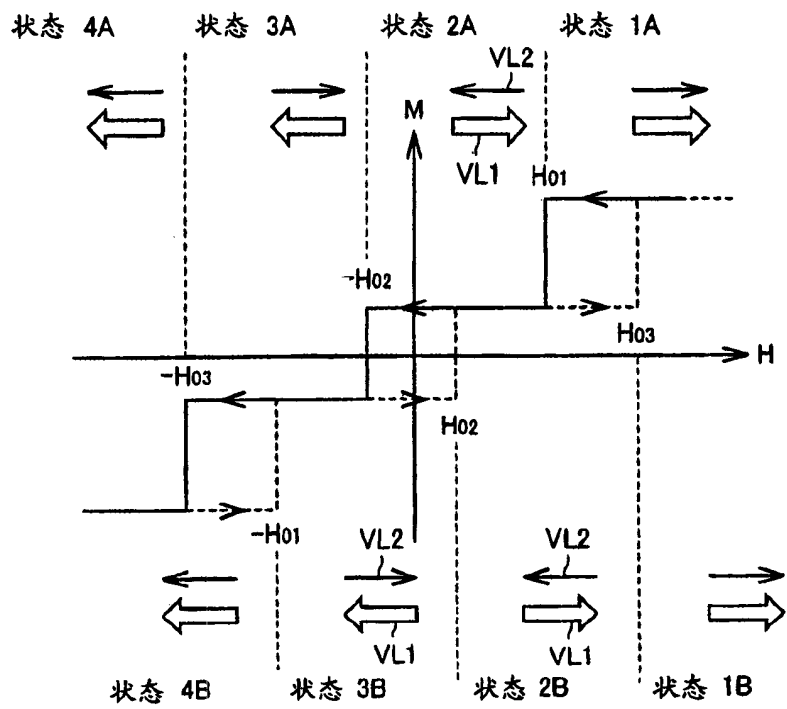


图 52

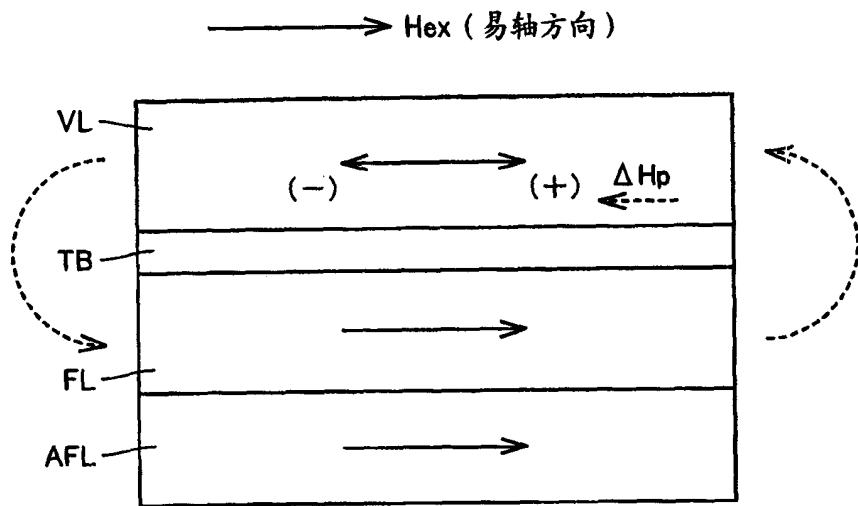


图 53

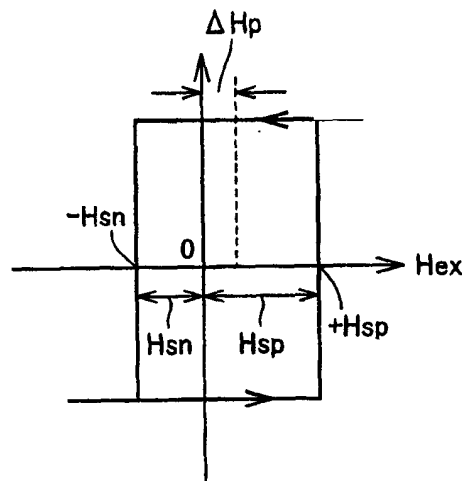


图 54

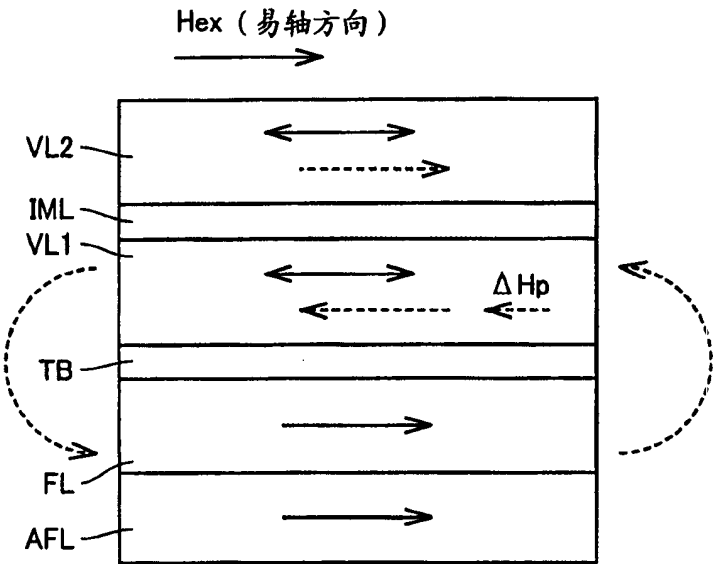


图 55

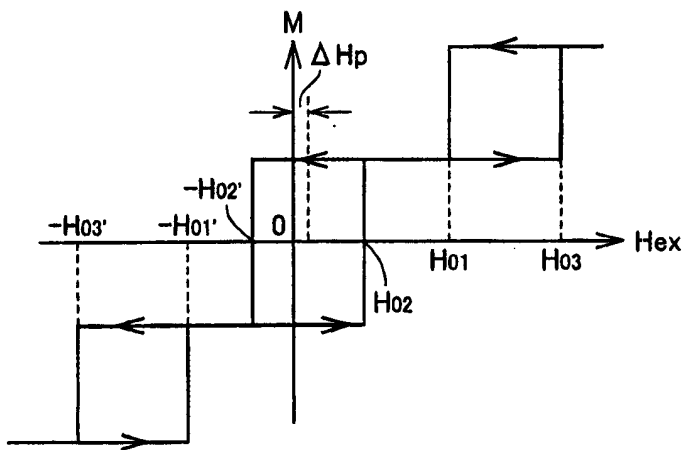


图 56