(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 31/11
H01L 29/72

(45) 공고일자 2001년04월02일
(11) 등록번호 10-0283199
(24) 등록일자 2000년12월06일

(21) 출원번호 10-1993-0018406
(22) 출원일자 1993년09월14일
(65) 공개번호 특1994-0008143
(43) 공개일자 1994년04월29일

(30) 우선권주장 92-249192 1992년09월18일 일본(JP)

(73) 특허권자 가부시키가이샤 히다치 세이사꾸쇼 가나이 쓰도무
일본국 도쿄도 지요다구 간다 스루가다이 4-6

(72) 발명자 다노우에 도모노리
일본국 도꾜도 마찌다시 다마가와가꾸엔 8-13-2
마스다 히로시
일본국 도꾜도 고다이라시 죠스이혼쵸 5-17-3-6
나까무라 도오루
미합중국 캘리포니아 92122 샌디에고 8272 리젠트로드 #303
오나이 다까히로
일본국 도꾜도 오우메시 가베쵸 9-4-26-303
와시오 가쯔요시
일본국 사이따마껜 도꼬로자와시 히가시도꼬로자와 와다 1-26-39

(74) 대리인 백남기

심사관 : 김동엽

(54) 헤테로 접합 바이폴라 트랜지스터 및 그것을 사용한 반도체장치

요약

소형화 및 고속동작을 실행할 수 있는 헤테로 접합 바이폴라 트랜지스터 및 그것을 사용한 반도체 장치로서, 이미터 전극의 접촉 저항에 의해 이미터 저항 및 컬렉터와 베이스간 용량이 커지고, 이미터 치수에 의해 트랜지스터 치수가 제한되어 충분히 작은 치수를 갖는 트랜지스터를 실현할 수 없으며, 다결정 반도체에 있어서 전자의 이동도가 낮아 이미터저항을 충분히 작게할 수 없다고 하는 문제를 해결하기 위해, 단결정 복합 반도체로 이루어진 기판, 컬렉터층, 베이스층, 절연층 및 베이스 인출전극의 적층, 이미터, 베이스 전극 및 컬렉터 전극을 구비한다.

이러한 헤테로 접합 바이폴라 트랜지스터를 이용하는 것에 의해, 이미터저항이 작고, 고속동작이 가능하며, 소형화된 장치를 실현할 수 있다.

대표도

도1

명세서

[발명의 명칭]

헤테로 접합 바이폴라 트랜지스터 및 그것을 사용한 반도체장치

[도면의 간단한 설명]

제1도는 본 발명에 따른 실시예 1에 관한 바이폴라 트랜지스터의 단면도.

제2도~제10도는 본 발명에 따른 실시예 1에 관한 바이폴라 트랜지스터의 제조방법을 도시한 장치의 단면도.

제11도는 본 발명에 따른 실시예 6에 관한 바이폴라 트랜지스터의 단면도.

제12도 및 제13도는 본 발명에 따른 실시예 6에 관한 바이폴라 트랜지스터의 제조방법을 도시한 장치의 단면도.

제14도는 본 발명에 따른 바이폴라 트랜지스터를 사용한 인버터의 회로도.

제15도는 본 발명에 따른 바이폴라 트랜지스터를 사용한 인버터의 전류와 지연시간 사이의 관계를 도시한 도면.

제16도는 본 발명에 따른 바이폴라 트랜지스터를 사용한 차동증폭기의 회로도.

제17도～제23도는 본 발명에 따른 실시예 7에 관한 바이폴라 트랜지스터의 제조방법을 도시한 장치의 단면도.

제24도는 본 발명에 따른 실시예 7에 관한 바이폴라 트랜지스터의 단면도.

제25도는 본 발명에 따른 반도체장치의 제조에 사용되는 에칭결정 성장용 복합 챔버를 도시한 도면.

제26도는 종래의 헤테로 바이폴라 트랜지스터의 단면도.

제27도는 종래의 바이폴라 트랜지스터의 다른 단면도.

제28(a)도는 기판평면의 방위를 [100]으로 했을 때 선택성장에 의해 형성된 이미터의 형상을 도시한 도면.

제28(b)도는 제28(a)도에 도시된 이미터의 A-A′ 선에 따른 단면도.

제28(c)도는 제28(a)도에 도시된 이미터의 B-B′ 선에 따른 단면도.

제29(a)도는 기판평면의 방위를 [111]로 했을 때 선택성장에 의해 형성된 이미터의 형상을 도시한 도면.

제29(b)도는 제29(a)도에 도시된 이미터의 A-A′ 선에 따른 단면도.

[발명의 상세한 설명]

본 발명은 소형화 및 고속동작을 실행할 수 있는 헤테로 접합 바이폴라 트랜지스터 및 그것을 사용한 반도체장치에 관한 것이다.

종래의 헤테로 접합 바이폴라 트랜지스터에 대해서는 IEICE의 기술연구보고서 ED91-161 및 IEEE Trans. Electron Devices, vol. ED-34, pp. 2246-2253(1987)에 기재되어 있다.

제1의 보고서에 기재되어 있는 헤테로 접합 바이폴라 트랜지스터의 경우에, 이미터전극과 이미터의 접합영역은 이미터와 베이스의 접합영역과 거의 동일하고, 베이스와 컬렉터의 접합영역은 제26도에 도시한 바와 같이, 상기 접합의 접합영역보다 항상 크다. 이 때문에, 이미터전극의 접촉저항에 의해 발생하는 이미터저항이 커지고, 컬렉터와 베이스간 용량이 커지는 문제가 발생한다. 가장 작은 이미터전극에 배선을 접속하기 위해, 이미터치수에 의해 트랜지스터 치수가 제한되어 충분히 작은 치수를 갖는 트랜지스터를 실현하는 것이 곤란하게 된다.

또한, 제2의 보고서에 기재되어 있는 바이폴라 트랜지스터의 경우에, 제27도에 도시한 바와 같이 이미터전극은 다결정 반도체층상에 형성되어 있다. 다결정 반도체에 있어서 전자의 이동도가 낮아 이미터저항을 충분히 작게 할 수 없다는 문제가 있었다.

본 발명의 목적은 이미터저항이 작고, 고속동작이 가능한 헤테로 접합 바이폴라 트랜지스터 및 그 트랜지스터를 사용한 반도체장치를 제공하는 것이다.

본 발명의 다른 목적은 소형화된 헤테로 접합 바이폴라 트랜지스터 및 그 트랜지스터를 사용한 반도체장치를 제공하는 것이다.

상기 목적은 단결정 반도체로 이미터 인출 전극영역을 구성하는 것에 의해 달성된다.

또한, 상기 목적은 단결정 반도체로 구성되며, 이미터의 상부에서 절연층을 통해 베이스의 표면으로 연장되는 이미터와 이미터 인출 전극영역을 제공하는 것에 의해 달성된다.

본 발명의 상기 및 그 밖의 목적과 새로운 특징은 본 명세서의 기술 및 첨부도면에 따라 명확하게 될 것이다.

인출 전극영역 및 이미터층을 단결정반도체로 구성하는 것에 의해 전자의 이동도가 향상하여 이미터저항을 감소시킬 수 있다.

절연층을 통해 이미터의 상부에서 베이스 표면으로 연장되는 상태에서 단결정반도체로 이루어지는 이미터 및 이미터 인출 전극영역을 마련하는 것에 의해, 이미터전극과 이미터의 접합영역을 이미터와 베이스의 접합영역보다 크게 할 수 있다. 따라서, 전극과의 접합에 따른 저항을 감소시킬 수 있다.

또한, 이미터영역에 관계없이 상기 인출 전극영역의 치수를 결정할 수 있으므로, 상기 이미터영역을 작게 할 수 있어 트랜지스터를 소형화하는 것이 가능하다.

다음에, 본 발명을 실시예에 따라 구체적으로 설명한다.

다음의 설명에 있어서, (1)은 기판, (2)는 서브 컬렉터, (3)은 컬렉터, (4)는 베이스, (5)는 표면보호층, (6)은 이미터, (7)은 캡층, (8)은 매립 절연층, (9)는 표면 절연층, (10)은 베이스 인출전극, (11)은 컬렉터전극, (12)는 이미터전극, (13)은 베이스전극, (20)은 더미 이미터, (21)은 이미터 측벽, (22)는 베이스 인출전극, (23)은 제1의 평탄화 절연층, (24)는 제2의 평탄화 절연층, (25)는 베이스와 이미터를 분리하는 측벽, (26)은 가스원 셀, (27)은 MOMBE(Metal-Organic-Molecular Beam Epitaxial) 결정성장챔버, (28)은 에칭챔버, (29)는 진공반송기구이다.

[실시예 1]

본 발명에 따른 실시예 1에 관한 바이폴라 트랜지스터를 제1도～제10도를 사용해서 설명한다.

제1도는 본 발명에 따른 바이폴라 트랜지스터의 단면도이다. 제1도에 있어서, (1)은 n형 InP로 이루어진 반도체기판, (2)는 n형 InGaAs로 이루어진 서브 컬렉터($n=2\times10^{19}/cm^3$, 두께0.5㎛, In조성비:0.53), (3)은 n형 InGaAs로 이루어진 컬렉터($n=2\times10^{16}/cm^3$, 두께0.3㎛, In조성비:0.53), (4)는 p형 InGaAs로 이루어진

베이스(p=4×10^{19}/㎤, 두께0.5㎛, In조성비:0.53), (5)는 p형 InP로 이루어진 베이스 표면보호층(p=4×10^{19}/㎤, 두께0.5㎛), (6)은 n형 InP로 이루어진 이미터(n=1×10^{18}/㎤, 두께0.5㎛), (7)은 n형 InGaAs로 이루어진 캡층(n=5×10^{19}/㎤, 두께0.1㎛, In조성비:0.53), (8)은 SiO_2로 이루어진 매립 절연층(두께:0.9㎛), (9)는 SiO_2로 이루어진 표면보호용 절연층, (10)은 베이스 인출전극(WZn : Zn0.1mol%, 두께 : 0.2㎛), (11), (12) 및 (13)은 각각 컬렉터, 이미터 및 베이스전극이다.

상기한 구성을 갖는 반도체장치의 제조방법을 제2도～제10도를 사용해서 설명한다. 먼저, 제2도에 도시한 바와 같이, n형 InP로 이루어진 기판(1)상에 결정성장에 의해 n형 InGaAs로 이루어진 서브 컬렉터(2), n형 InGaAs로 이루어진 컬렉터(3), p형 InGaAs로 이루어진 베이스(4) 및 p형 InP로 이루어진 베이스 표면보호층(5)가 순차 형성된다. InP기판과 다른 결정간의 격자정합은 결정의 전위(轉位)를 방지하기 위해 ±1%내로 유지된다. 통상의 MBE(Molecular Beam Epitaxy)법 또는 MOMBE(Metal-Organic-Molecular Beam Epitaxy)법은 결정성장을 위해 사용된다. n형 도펀트로서 Si 또는 Sn을 사용할 수 있고, p형 도펀트로서 Be를 사용할 수 있다. 물론, p형 도펀트로서 Zn이 사용되는 경우, MOCVD법에 의해 퇴적을 실행할 수 있지만, 이 경우에 후의 공정에서 Zn의 확산을 억제하기 위해 재성장온도가 600℃이하로 제한된다. 결정성장 이후, 제3도에 도시한 바와 같이, 성장장치에서 기판이 인출되고 통상의 포토리도그래피 및 화학에칭에 의해 적어도 트랜지스터 영역을 제외한 표면보호층(5) 및 베이스층(4)가 제거된다.

다음에, 제4도에 도시한 바와 같이 에칭된 영역이 절연층(8)로 충전된다. 충전공정은 다음과 같이 실행된다. 또, 소정의 두께를 갖는 절연층의 퇴적 후, 약 2㎛두께의 유기물층이 그 위에 도포되고 평탄화된 후, 유기물층 및 절연층이 동일한 속도로 에칭된다.

다음에, 제5도에 도시한 바와 같이, 베이스 인출전극(10) 및 표면 절연층(9)가 퇴적되고, 인출전극(10) 및 표면 절연층(9)로 이루어진 적층이 통상의 포토리도그래피 및 에칭에 의해 처리되어 제6도에 도시한 바와 같은 형상이 얻어진다.

다음에, 절연층이 재차 퇴적되고, 제7도에 도시한 바와 같이 표면 절연층(9) 및 베이스 인출전극(10)의 적층의 측면에 이방성 에칭에 의해 측벽 절연층(14)가 형성된다.

다음에, 제8도에 도시한 바와 같이, 상기 측벽을 마스크로서 사용하여 표면보호층(5)를 제거하고 베이스(4)를 노출시킨다. 제9도에 도시한 바와 같이 InP이미터(6) 및 InGaAs캡(7)은 MOMBE법에 의해 기판상에 노출된 베이스 표면 영역에 걸쳐 선택적으로 성장된다. 이하, 선택적 결정성장에 대해서 설명한다. 먼저, 제8도에 도시한 바와 같은 구성을 갖는 기판은 MOMBE성장 챔버내에서 580℃로 가열되고, 산화층이 제거된다. 이 경우에, 약 1×10^{-3}Pa의 압력으로 As 분자빔을 표면에 조사하는 것에 의해 표면으로부터의 As의 탈착을 방지할 수 있다. 그 후, 온도범위(350℃～500℃)로 온도를 낮추어 결정의 선택적인 성장에 알맞게 한다. 대표적인 성장조건을 다음에 설명한다. 즉, 성장 챔버내의 압력은 10^{-2}～10^{-3}Pa이고 기판온도는 450℃이다. 원료가스의 공급량은 InP의 성장기에 있어서 TEI의 0.7sccm 및 PH_3의 10sccm이고, InGaAs의 성장기에 있어서 TEG의 0.35sccm, TEI의 0.4sccm 및 AsH_3의 0.8sccm이고, 여기서, TEI는 트리에틸인듐이고, TEG는 트리에틸갈륨이다. 기판 평면 방위로서 일반적으로 [100]이 사용되어 제28도에 도시한 바와 같은 형상이 얻어진다. 평면[111]B 또는 평면[110]이 사용되는 경우, 제29도에 도시한 바와 같은 구성이 얻어진다.

제1의 결정성장공정과 동일한 방법으로 도펀트선택을 실행할 수 있다. As분위기에서 520℃로 5분동안 열처리하는 것에 의해 베이스표면의 노출된 부분에 생긴 표면산화층을 완전하게 제거할 수 있어 청정한 표면을 얻을 수 있다. 선택적성장에서의 열처리에 의해 베이스 인출전극(10)내에 포함된 Zn은 표면보호층으로 확산되고, 전극과 베이스사이에 옴접촉이 형성된다. 그 후, 표면 및 기판의 이면에 전극이 형성되고 제10도에 도시한 바와 같은 구성이 얻어진다.

그 후, 다른 절연층을 전극에 마련하고, 배선접속용으로 사용되는 콘택트 홀을 마련한 후, 금속배선을 피착가공해서 트랜지스터를 완성한다.

최소가공치수가 0.8㎛인 경우, 상기한 바와 같이 형성된 트랜지스터의 치수는 다음과 같다. 이미터와 베이스간의 접합영역은 1×3.5$㎛^2$이고, 베이스와 컬렉터간의 접합영역은 2.5×5$㎛^2$이다. 동일한 공정치수법으로 제조된 제1의 종래의 예에 있어서의 종래의 반도체장치의 경우에 이미터와 베이스간 접합영역은 2.5×5$㎛^2$이고, 베이스와 컬렉터간 접합영역은 5×12㎛이다. 이러한 차이를 초래하는 원인은 다음과 같다. 먼저, 상기 방식에 따르면 전극의 최소치수는 최소가공치수의 3배이다. 이것은 접속배선용 콘택트홀의 크기와 양측의 맞춤 여유의 합으로 결정된다. 본 실시예에 있어서, 이미터형상이 다르기 때문에 이미터 접합영역을 이미터전극의 영역보다 작게 형성할 수 있어 이미터접합의 최소화가 가능하게 된다. 또, 베이스와 컬렉터의 접합영역은 베이스와 이미터의 접합영역보다 크지만, 본 발명에 있어서 베이스와 컬렉터의 접합영역을 베이스전극의 인출부 영역보다 작게 할 수 있어 접합영역을 최소필요치수로 형성할 수 있다. 반면, 종래 유형의 경우에, 본 실시예와 같은 동일 베이스 인출구조를 취하면, 이미터전극의 구조는 복잡하게 되고, 전극의 최소화를 방해하여 상기의 차를 발생시킨다.

이미터접합의 최소화의 효과에 의해 본 실시예의 경우에 최대 차단주파수로 하는 전류는 4mA이고, 종래의 구조의 경우에 전류는 14mA이며, 양자의 경우 모두 차단주파수는 80GHz이다. 본 발명에 따르면 저소비전력이고 고성능인 트랜지스터를 얻을 수 있다. 본 발명에 따른 트랜지스터의 경우에 베이스와 컬렉터 사이의 용량은 약 5펨토패러드이고, 종래에는 이 값의 5배에 가까운 약 24펨토패러드였다. 최대 발진주파수는 본 발명의 경우에 125GHz이고, 종래의 구조의 경우에는 약 56GHz이므로 약 2.2배의 증가가 얻어진다.

본 실시예에 의하면 저소비전력이고 고성능인 트랜지스터를 얻을 수 있다.

[실시예 2]

본 실시예에서 실시예 1에 사용된 InP기판 대신에 GaAs기판이 사용되고, 베이스와 컬렉터용 InGaAs 대신

에 GaAs가 사용되고, 이미터와 표면보호층용 InP대신에 AlGaAs가 사용된다. 갑압MOCVD법으로 결정성장을 실행하고, p형 도펀트로서 Be대신에 C를 사용한다. AlGaAs에서 InGaAs로 조성이 점차 변경되는 층을 이미터와 캡 사이에 삽입한다. 선택성장기에 As분위기에서 600℃로 5분동안 열처리하는 것은 표면을 깨끗이 하는데 필요하다.

대표적인 결정성장 조건을 다음에 기술한다. 즉, 기판온도는 580℃이고, 성장기의 압력은 10kPa, TMG유동률은 5sccm, AsH_3유동률은 100sccm이고, TMA 유동률(AlGaAs의 성장기)은 3sccm이며, 여기서 TMG는 트리메틸갈륨이고, TMA는 트리메틸 알루미늄이다. 상기한 유동률 조건에서 선택성장이 가능한 기판의 온도는 550℃～700℃의 범위내이다. 유동률을 감소시키면, 저온에서 선택성장을 할 수 있지만, 이 경우에 성장률은 현저하게 감소되고 생산성도 더욱 감소하므로 상기한 바와 같은 온도범위가 바람직하다.

기판평면방위 및 성장결정형상에 있어서 선행 실시예에서 얻어진 것과 거의 동일한 결과가 얻어진다.

트랜지스터의 치수는 실시예 1과 동일하고, 최대의 차단주파수로 되는 전류는 2.5mA이고, 최대 발진주파수는 100GHz인 성능을 나타낸다. 종래의 구성의 경우에 있어서, 전류 및 주파수의 대응값은 각각 8mA 및 45GHz이다. 실시예 1에서 얻어진 것과 거의 동일한 증가가 얻어진다.

실시예 1 및 실시예 2에서 사용된 재료는 상기한 것에 한정되지 않는다. 동일한 형상을 갖는 트랜지스터가 다른 화합물, 즉 III-V족 및 그들의 혼합결정으로 이루어진 반도체, 또는 다른 화합물 즉 II-IV족 및 그들의 혼합결정으로 이루어진 반도체로 형성되는 경우, 종래의 구성과 비교하여 마찬가지의 효과가 얻어진다. 상기한 바와 같은 구성의 트랜지스터가 Si로 제조될 때, 이미터전극이 폴리Si로 형성되는 경우에 비해 이미터저항을 감소시킬 수 있다.

[실시예 3]

실시예 2에서 실행된 제조방법에 있어서 헤테로 접합 복합 반도체는 표면 보호층의 퇴적없이 제조된다. 보호층이 없으므로 베이스에 주입된 전자는 인출전극(10)과 베이스 사이의 계면상에서 재결합하여 전류증폭인자를 100에서 30으로 저감시킨다. 한편, 표면보호층과 베이스 사이의 헤테로 접합에 의해 발생하는 접촉저항은 감소되고, 베이스저항은 10% 감소된다. 그 결과, 105GHz의 최대 발진주파수가 얻어진다.

[실시예 4]

실시예 1의 InP 표면보호층 대신에 InAlAs가 표면보호층으로서 사용된다(조성비는 0.52이고, 그 밖의 조건은 실시예 1과 동일하다). InP와 InAlAs는 InGaAs에 대한 전도대 불연속성 및 가전자대 불연속성의 크기가 서로 다르다. InP의 경우에는 가전자대 불연속성이 크고, InAlAs의 경우에는 전도대 불연속성이 크다. 이 때문에, 본 실시예에 있어서 헤테로 접합 계면상의 접촉저항에 의해 발생되는 베이스저항은 InP보호층인 경우의 값의 약 2/3로 감소되므로, 표면 보호층과 베이스 사이의 헤테로 접합층에 의해 발생되는 접촉저항은 감소되고, 베이스저항은 25%로 감소된다. 그 결과, 140GHz의 최대 발진주파수가 얻어진다.

[실시예 5]

GaSb/InGaAsSb($p=4\times10^{19}/cm^3$, 각 두께는 0. 05㎛이다)의 적층구조는 실시예 1의 InP대신에 표면보호층으로 사용된다. InGaAsSb층내의 조성은 베이스측에서 Sb구성이 0으로 되고, As조성이 표면측에서 0으로 되도록 점차 변경된다. GaSb의 경우에 전자친화력 및 금지대 폭의 합이 일반적인 금속의 일함수보다 작으므로 p형 반도체의 금속에 대한 접촉전위가 매우 작아져 옴저항을 용이하게 얻을 수 있다. 따라서, 베이스전극은 W만으로 이루어지고, Zn의 첨가는 중지된다. 이 때문에, 열처리의 시간의 길이와 주기에 관계없이 베이스를 거쳐 컬렉터로의 p형 불순물의 확산이 중지되어 소파의 양품률이 현저하게 향상된다.

[실시예 6]

본 실시예에 있어서, 실시예 1에서 사용된 n형 InP대신에 기판(1)로서 InP의 반전열체를 사용한다. 이 경우에, 기판의 이면에 컬렉터전극을 배치시킬 수 없어, 기판의 표면상에 전극을 피착시켜야 한다. 구성은 제11도에 도시되어 있다.

이하, 실시예 1과 본 실시예의 제조방법에 있어서의 차이점을 설명한다. 실시예 1에 있어서 제3도에 도시한 바와 같은 구조를 얻기 위한 제조방법의 공정에서 에칭깊이를 조정하여 제12도에 도시한 바와 같은 구조를 얻는다. 즉, 서브 컬렉터(2)는 에칭하지 않고 남긴다.

다음에, 컬렉터 전극이 피착되는 영역을 제외하고 서브 컬렉터(2)는 통상의 포토리도그래피 및 에칭에 의해 제거되어 제13도에 도시한 바와 같은 구성으로 된다.

그 후, 제조방법의 공정은 실시예 1과 같은 방법으로 진행되고, 제10도에 대응하는 형상을 갖는 제11도에 도시한 바와 같은 구성이 얻어진다.

그 후, 절연층이 전극상에 마련되고 배선용 콘택트홀이 형성되며, 금속배선이 서로 접속되어 실시예 1과 같은 방법으로 트랜지스터가 완성된다.

본 실시예에 있어서, 트랜지스터가 반절연체 기판상에 형성되므로 여러개의 트랜지스터를 트랜지스터가 서로 분리되는 상태로 형성할 수 있으며 그와 같은 구성은 집적회로를 형성하는데 적합하다. 한편, 컬렉터는 횡방향으로 인출되므로 베이스전극과 컬렉터층이 대향하는 영역은 커지고, 베이스와 컬렉터 사이의 용량은 증가되어 최대 발진주파수를 5%로 감소시킨다.

본 실시예에서 기술한 바와 같은 트랜지스터를 사용하여 제14도에 도시한 바와 같은 인버터회로를 구성하고 그 특성을 조사한다.

다음에, 인버터회로의 동작을 설명한다. GND의 -3V의 전위는 V_{EE}에 부가되고, GND의 -2V의 전위는 V_{CS}에 부가되며, 트랜지스터Q_3과 저항R_3은 정전류원을 구성하고, 정스위치 전류를 흐르게 한다. IN의 전위가 -0.6V

이고, $\overline{IN}$ 의 전위가 -1.1V일 때, 트랜지스터Q_1은 온(ON)으로 설정되고, 트랜지스터Q_2는 오프(OFF)로 설정되며 스위칭전류는 Q_1을 통해 흐른다. 그리고, 전압강하는 저항R_1에는 나타나지만, 저항R_2에는 나타나지 않아 노드N_1의 전위가 N_2보다 낮아진다. 그 결과, OUT의 전위는 $\overline{OUT}$ 보다 낮아진다. 즉, IN의 전위를 $\overline{IN}$ 의 전위보다 높게 형성하는 것에 의해 OUT의 전위가 $\overline{OUT}$ 의 전위보다 낮아지며, 그것은 인버터의 동작이다. 인버터회로단에 대한 신호전송 지연시간과 Q_1을 통해 흐르는 전류와의 관계를 제15도에 실선으로 나타낸다. 상기와 같은 회로가 종래의 구성의 트랜지스터로 구성될 때, 상기에 대응하는 결과를 제15도에 점선으로 나타낸다. 2경우를 비교하면, 전자의 경우쪽이 전력소비는 낮고, 동작속도가 빠르다는 것이 명백하다.

상기 회로의 동작상태를 다음에 기술한다. V_{EE}에 인가되는 GND의 전원전압은 -3V이고, V_{CS}에 인가되는 전압은 -2V이며, -0.6V와 -1.1V의 전압이 교대로 IN 및 $\overline{IN}$ 에 인가된다. 스위칭전류가 변경될 때 저항R_1및 R_2는 스위칭전류와 R_1 또는 R_2의 곱이 0.5V로 되도록 변경되고, 저항R_4 및 R_5는 트랜지스터Q_4 및 Q_5를 흐르는 전류가 스위칭전류의 1~1.5배로 되도록 변경된다.

이 때문에, 본 발명에 따르는 트랜지스터는 고속동작 및 저소비전력을 필요로 하는 논리회로에 사용하기에 적합하다.

본 실시예에서 기술한 트랜지스터를 사용하여 제16도에 도시한 바와 같은 이미터 결합 차동증폭회로를 구성하고, 그 특성을 조사한다.

차동증폭기의 동작은 다음에 기술하는 바와 같다. 트랜지스터Q_1 및 Q_2, 저항R_1 및 R_2는 이미터 폴로워형 입력버퍼회로를 구성하고, 입력저항을 증가시킨다. 트랜지스터Q_3,Q_4 및 Q_5와 저항R_3~R_7은 차동증폭단을 구성한다. 동작은 상기 실시예에서 기술한 인버터회로의 동작과 동일하고 상기 Q_5 및 R_7은 정전류원을 구성한다. 트랜지스터Q_3 및 Q_4를 흐르는 전류의 합은 상기 정전류원의 전류와 동일하므로, 상기 Q_3의 전류가 증가할 때 상기 Q_4의 전류는 감소한다. 따라서, 노드N_3과 N_4의 전위는 역상으로 변경된다. 트랜지스터Q_6 및 Q_7, 저항 R_8 및 R_9는 출력저항을 감소시키는 출력버퍼회로를 구성한다. 증폭기의 증폭률은 R_3 및 R_5의 비율 또는 R_4 및 R_7의 비와 거의 동일하다. 상기 회로에 있어서, 트랜지스터Q_1, Q_2, Q_5, Q_6 및 Q_7을 흐르는 전류는 5mA이고, V_{CC}는 0V이고 V_{EE}는 -5V이고 V_{CS}는 -4V이고, R_5 및 R_7은 30Ω이고, R_3 및 R_4는 400Ω이다. 회로 증폭률이 0과 같을 때 증폭피의 대역폭은 15GHz이다. 대역폭을 종래 구성의 트랜지스터로 구성된 증폭기의 6GHz의 대역폭과 비교하는 경우, 본 실시예의 증폭기의 대역폭이 종래의 대역폭보다 넓다는 것은 명백하다.

상술한 바와 같이 본 발명에 따른 트랜지스터는 광대역 증폭기를 구성하기에 적합하다는 것이 명백하다.

[실시예 7]

헤테로 접합 바이폴라 트랜지스터는 실시예 6의 제조방법의 공정에서 사용된 자기정합적 방법으로 베이스와 컬렉터의 접합영역을 결정하기 위한 제조공정을 사용하여 제조된다.

본 실시예의 제조방법에 있어서 실시예 6과 다른점은 다음과 같다. 먼저, SiO_2막은 제2도에 도시한 바와 같은 구성을 갖는 결정상에 퇴적되고, 통상의 포토리도그래피 및 에칭에 의해 더미 이미터(20)이 형성된다. 다음에, 실리콘 질화물(SiN)의 퇴적이 실행되고, 이방성에칭이 전면에 실행되어 측벽(21)을 남긴다. 그 후, 서브 컬렉터(2)부분을 제외한 층이 실시예 6과 같은 방법으로 제거되고, 제17도에 도시한 바와 같은 구성이 얻어진다.

다음에, 통상의 포토리도그래피 및 에칭에 의해 컬렉터전극이 피착되는 부분을 제외한 서브 컬렉터(2)의 영역이 제거되고, 매립 절연층(8)이 반도체의 표면까지 형성되어 제18도에 도시한 바와 같은 구성이 얻어진다.

다음에, 측벽(21)이 제거되고 베이스 인출전극(22)가 전면에 퇴적되어 제19도에 도시한 바와 같은 구성이 얻어진다. 평탄화층(23)은 퇴적후 평탄화되고 더미 이미터(20)은 실시예 1과 마찬가지의 방법에 의해 제20도에 도시한 바와 같이 노출된다.

다음에, 절연층(24)과 퇴적 및 평탄화되어 제21도에 도시한 바와 같은 구성이 얻어진다.

그 후, 더미 이미터(20)의 제거, 베이스 인출전극(22)의 처리, 측벽(25)(제22도)의 형성, 선택성장에 의한 이미터(6)의 형성, 캡(7)의 형성, 이미터, 베이스 및 컬렉터의 전극(12), (13) 및 (11)(제24도)의 피착을 실행하고, 절연층(도시하지 않음)을 전극상에 또 마련하고, 배선과의 접속용 콘택트홀을 절연층상에 마련하고 배선금속을 피착시켜 실시예 1과 같은 방법으로 트랜지스터를 완성한다.

본 실시예에 있어서, 베이스와 컬렉터의 접합영역은 측벽처리를 사용하여 더미 이미터와 자기정합적으로 규정되므로 포토리도그래피의 맞춤여유를 가질 필요가 없다. 이 때문에, 베이스와 컬렉터의 접합영역을 $1.8\times4.3\mu m^2$까지 소형화할 수 있고, 이미터와 베이스의 접합영역을 $1\times3.5\mu m^2$으로 할 수 있다. 그 결과, 베이스와 컬렉터 사이의 용량은 3.5펨토패러드까지 감소되고, 150GHz의 최대 발진주파수가 얻어진다.

본 실시예에 도시한 트랜지스터를 사용하여 제14도에 도시한 바와 같은 인버터 회로를 형성하고, 그 특성을 조사한다. 인버터회로단에 대한 신호전송 지연시간과 트랜지스터Q_1을 흐르는 전류와의 관계를 제15도에 1점쇄선으로 도시한다. 마찬가지의 회로가 종래 구성의 트랜지스터로 구성될 때, 도면의 2점쇄선으로 그 대응결과를 나타내고, 이들 2경우를 비교할 때 전자의 경우의 회로가 저소비전력과 고속동작의 성능인 것

이 명백하다.

따라서, 본 발명에 따른 트랜지스터는 고속이고 저소비전력인 것을 필요로 하는 논리회로에 적합하다.

본 실시예에 도시되어 있는 트랜지스터를 사용해서 이미터 결합형 차동증폭회로를 구성하고 그 특성을 조사한다. 그 결과, 회로증폭률이 10일 때, 증폭기의 대역폭은 18GHz를 나타낸다. 회로가 종래 구성의 트랜지스터로 구성된 증폭기의 6GHz의 대역폭에 비해 광대역폭을 갖는 것은 명백하다.

상술한 바와 같이 본 발명에 따른 트랜지스터는 광대역 증폭회로에 사용하는데 적합하다.

[실시예 8]

본 실시예에 있어서 AlGaAs(p=4×10^{19}/㎤, 두께:0.05㎛, Aℓ조성비 : 0.01과 0.1 사이에서 변화)가 실시예 2의 베이스층(4)로서 사용된다. 먼저, 제7도에 도시한 표면보호층은 대기중에서 에칭되고 그 후 결정은 선택결정 성장장치에서 성장된다. 이미터와 베이스 사이의 계면상의 높은 재결합 준위때문에 전류 증폭률의 최대값이 10이하로 낮아진다. 다음에, 제25도에 도시한 장치를 사용해서 염소가스의 분위기내에서 250℃까지 기판을 가열하여 에칭을 실행하고 그 후에 장치를 제거하고 대기와 접촉하지 않고 결정성장 챔버로 반송하여 선택성장을 실행한다. 도면에 있어서, (26)은 가스원 셀이고, (27)은 MOMBE챔버이고, (28)은 에칭챔버이며, (29)는 진공 반송기구이다. 그 결과, 양호한 재생으로 50 이상의 전류증폭률을 얻을 수 있다.

본 발명에 따르면, 바이폴라형 반도체의 이미터저항은 감소된다. 이미터전극과 이미터 사이의 접촉영역을 이미터와 베이스 사이의 접촉영역보다 크게 형성할 수 있으므로, 전극과의 접합에 의해 발생되는 저항을 감소시킬 수 있다. 또한, 종래의 기술과 같은 소형화기술로 종래 크기의 2/3의 사이즈로 트랜지스터를 소형화하는 것이 가능하다.

상기한 본 발명의 실시예는 당업자라면 용이하게 이해할 수 있을 것이며, 본 발명은 상기한 것에 한정되는 것은 아니고 그 요지를 이탈하지 않는 범위내에서 여러가지로 변경가능한 것은 물론이다.

(57) 청구의 범위

청구항 1

제1의 도전형을 갖는 단결정 복합 반도체로 이루어진 컬렉터층, 상기 컬렉터층상에 형성되고 상기 제1의 도전형과는 반대로 제2의 도전형을 갖는 단결정 복합 반도체로 이루어진 베이스층, 상기 베이스층상에 형성되며 단결정 복합 반도체로 이루어지고, 상기 베이스층의 부분을 노출시키는 열림구멍을 갖고, 상기 베이스층의 금지대폭보다 넓은 표면보호층, 상기 열림구멍내의 상기 베이스층상에 형성되는 이미터층, 상기 이미터층의 하면의 영역보다 넓으며 상기 이미터층의 상면과 전기적으로 접속되는 이미터전극, 상기 베이스층과 전기적으로 접속되는 베이스전극 및 상기 컬렉터층과 전기적으로 접속되는 컬렉터전극을 포함하고, 상기 이미터층의 상면은 상기 이미터층의 하면보다 넓은 영역을 갖고, 상기 이미터층은 상기 제1의 도전형의 단결정 복합 반도체로 이루어지고, 상기 베이스층보다 넓은 금지대폭을 갖는 것을 특징으로 하는 헤테로 접합 바이폴라 트랜지스터.

청구항 2

제1항에 있어서, 상기 표면보호층의 상면에 형성된 베이스 인출 전극, 상기 베이스 인출 전극상에 형성된 제1의 절연막 및 상기 베이스 인출 전극과 상기 제1의 절연막의 내부벽상에 형성된 제2의 절연막을 더 포함하는 것을 특징으로 하는 헤테로 접합 바이폴라 트랜지스터.

청구항 3

제2항에 있어서, 상기 컬렉터층과 상기 베이스층 사이의 제1의 접합은 상기 베이스층과 상기 이미터층 사이의 제2의 접합보다 큰 영역을 갖고, 상기 표면보호층은 상기 제2의 도전형을 갖고, 상기 베이스전극은 상기 표면보호층의 상면에 형성되는 것을 특징으로 하는 헤테로 접합 바이폴라 트랜지스터.

청구항 4

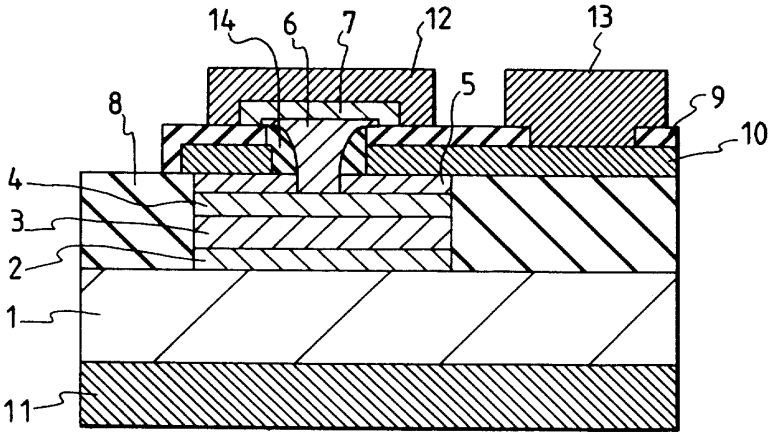
제3항에 있어서, 상기 컬렉터층은 단결정 복합 반도체로 이루어지는 기판상에 배치되는 것을 특징으로 하는 헤테로 접합 바이폴라 트랜지스터.

청구항 5

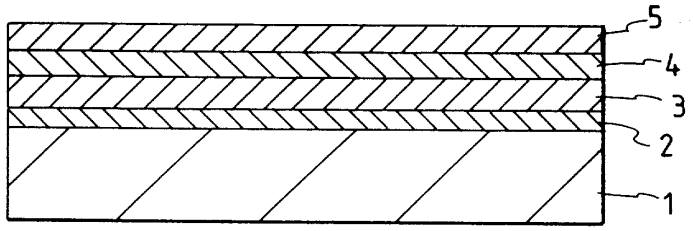
제4항에 있어서, 상기 컬렉터전극은 상기 기판의 이면상에 배치되고, 상기 컬렉터층은 상기 이면과는 반대인 기판의 앞면에 배치되는 것을 특징으로 하는 헤테로 접합 바이폴라 트랜지스터.

도면

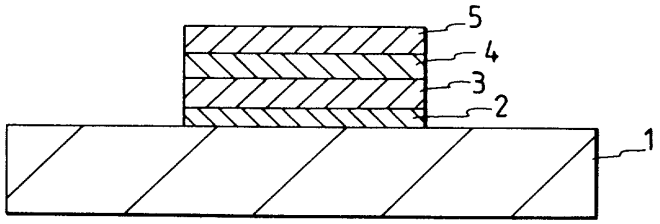
도면1



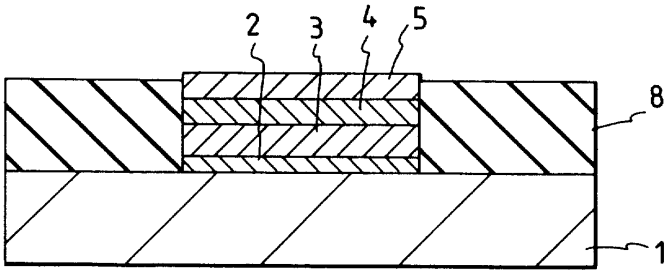
도면2



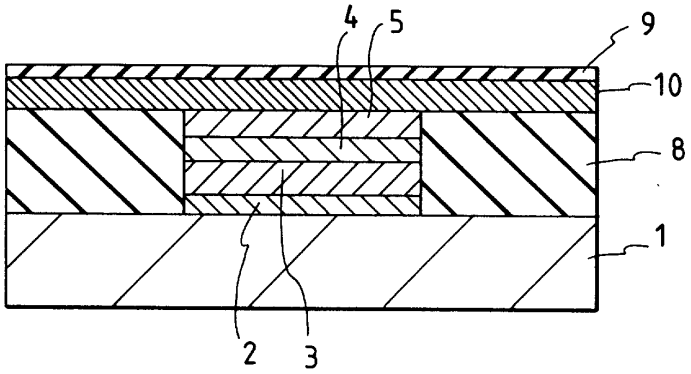
도면3



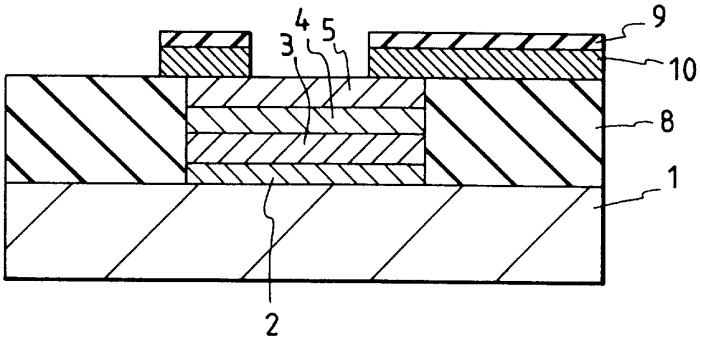
도면4



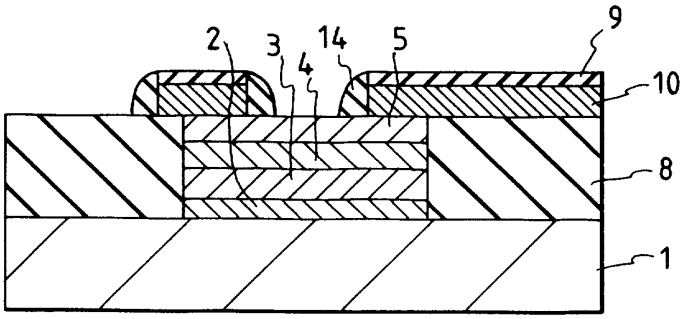
도면5



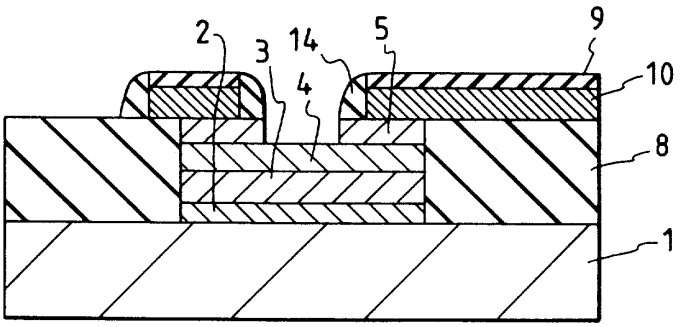
도면6



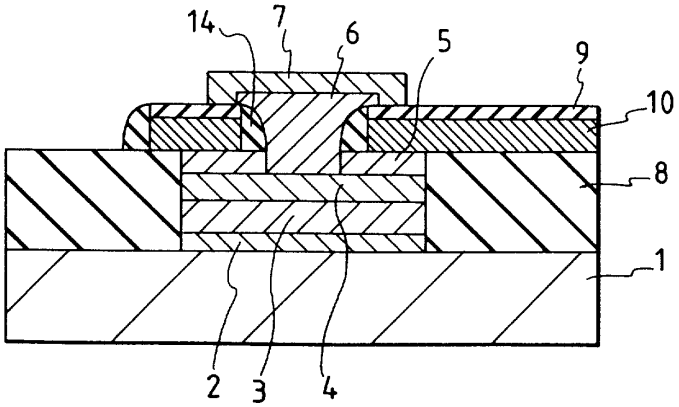
도면7



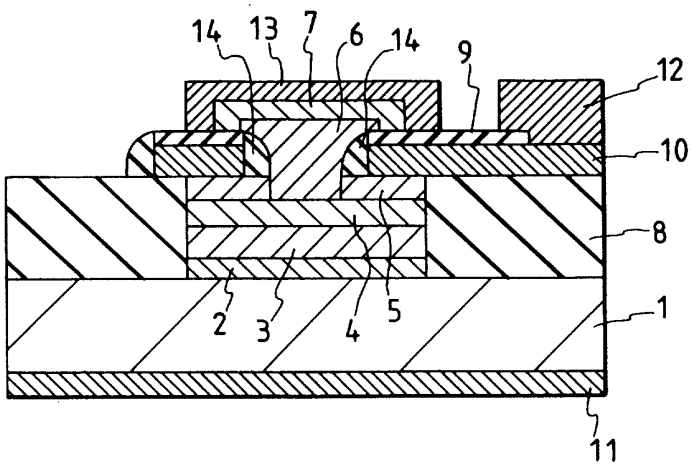
도면8



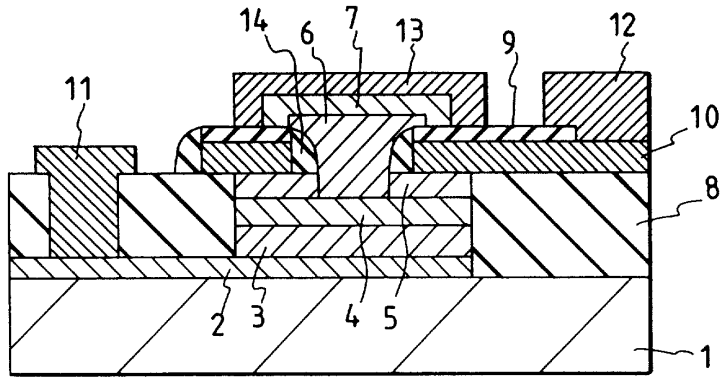
도면9



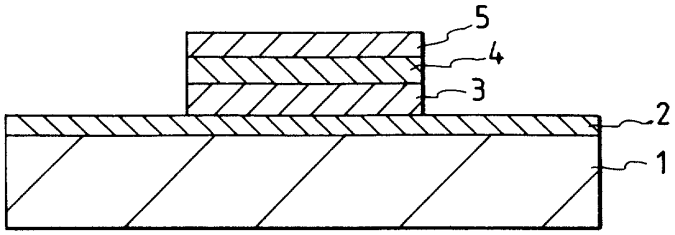
도면10



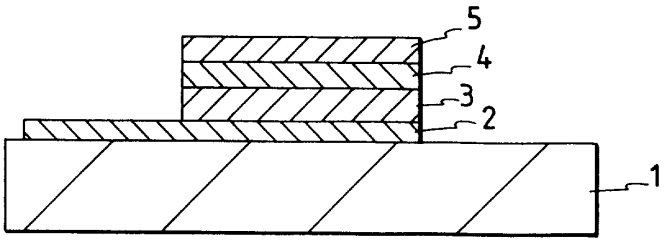
도면11



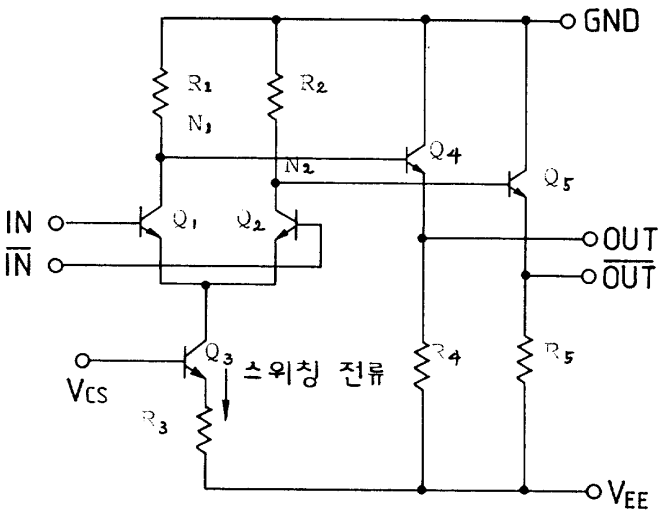
도면12



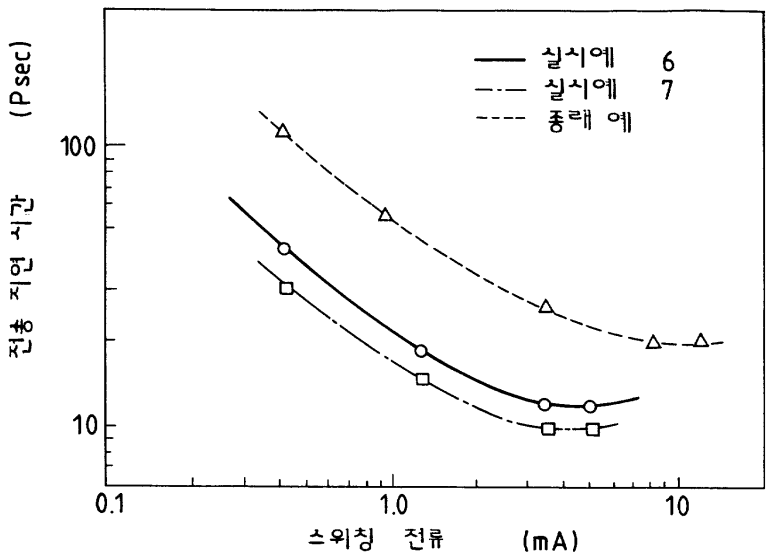
도면13



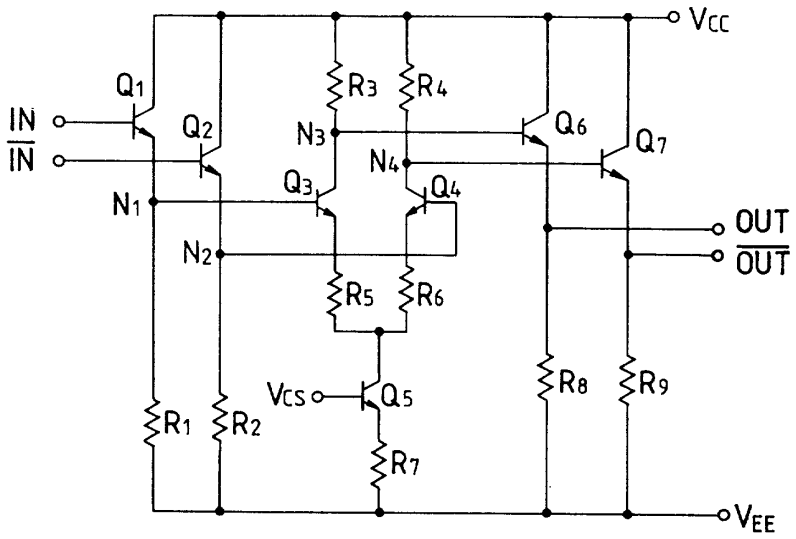
도면14


GND
R1
R2
N1
N2
Q4
Q5
IN
IN
Q1
Q2
OUT
OUT
Q3
스위칭 전류
R4
R5
VCS
R3
VEE

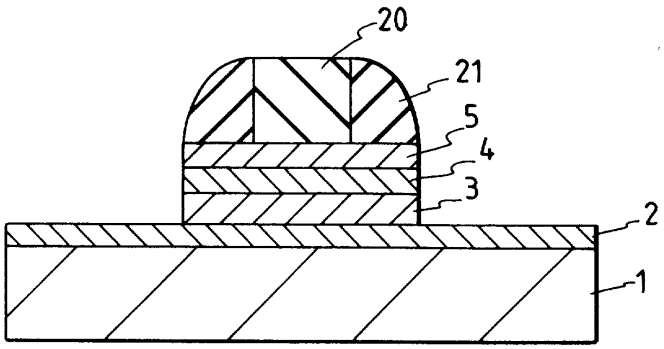
도면15


실시예 6
실시예 7
종래 예
전송 지연 시간 (Psec)
100
10
0.1
1.0
10
스위칭 전류 (mA)

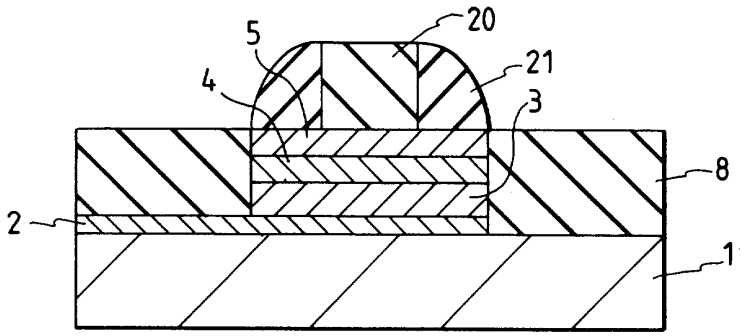
도면16



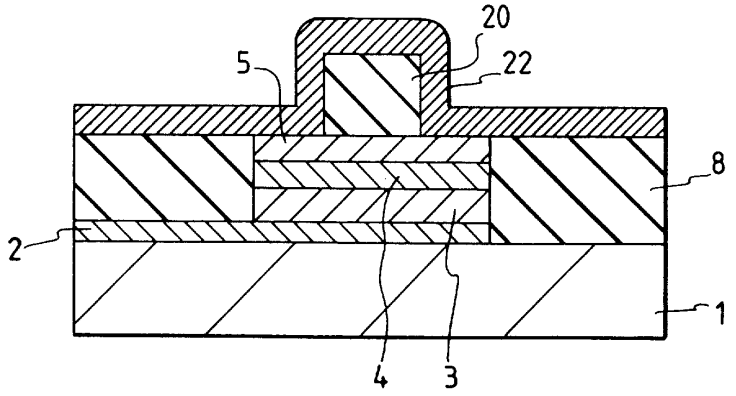
도면17



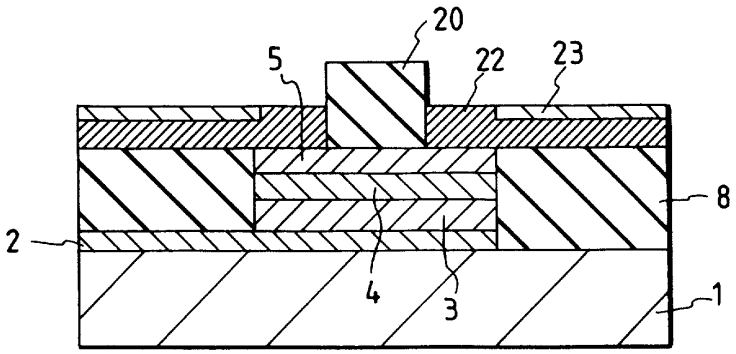
도면18



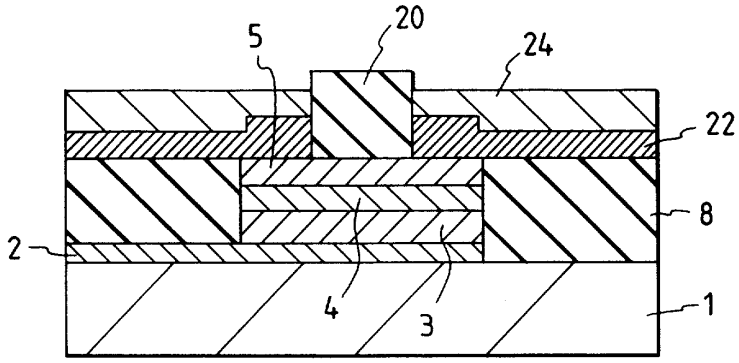
도면19



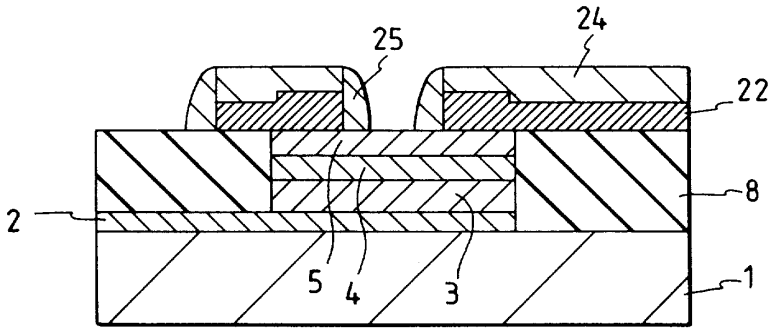
도면20



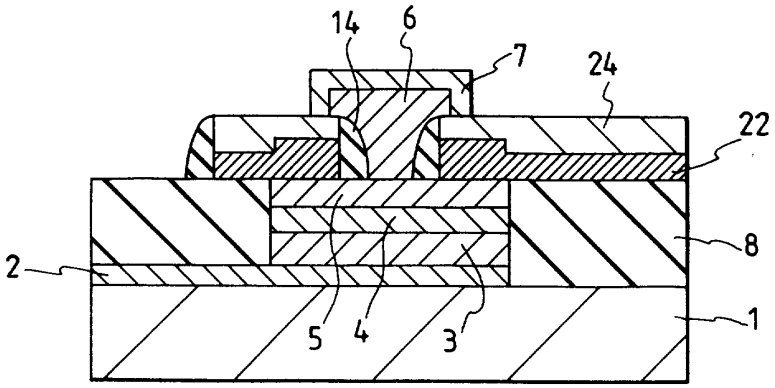
도면21



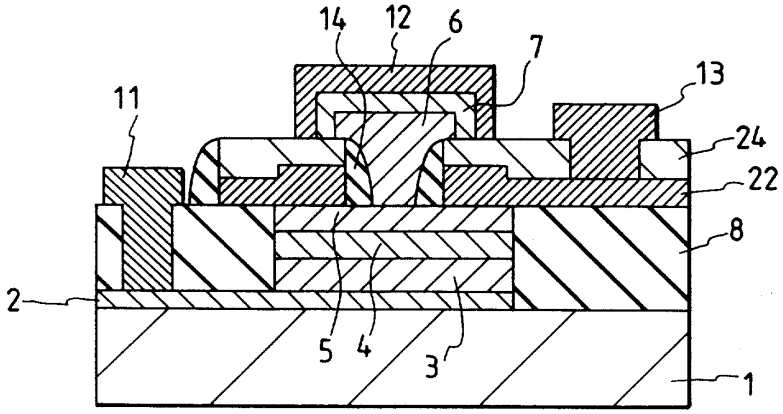
도면22



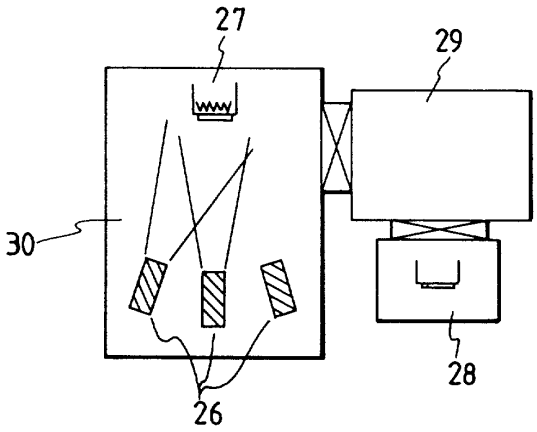
도면23



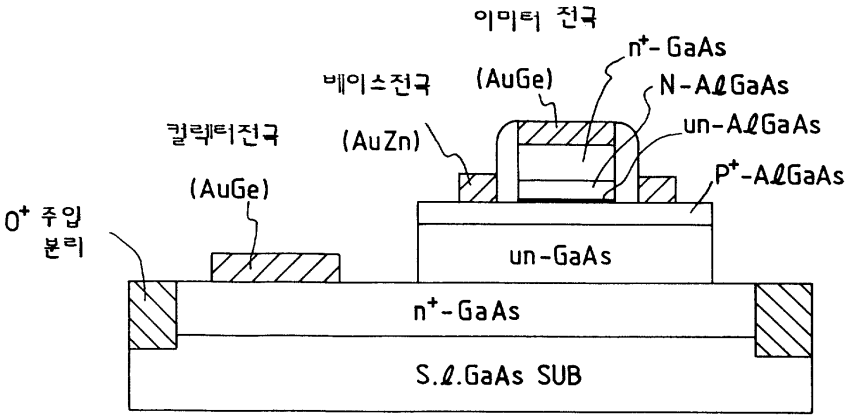
도면24



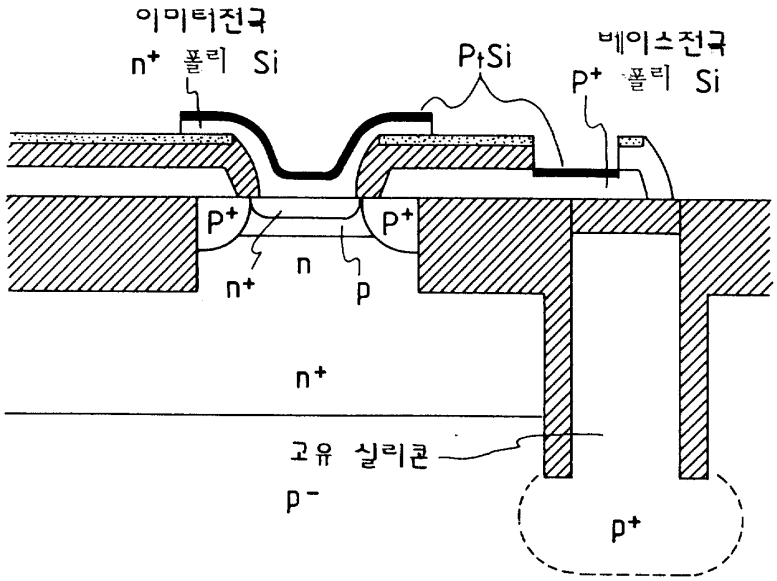
도면25



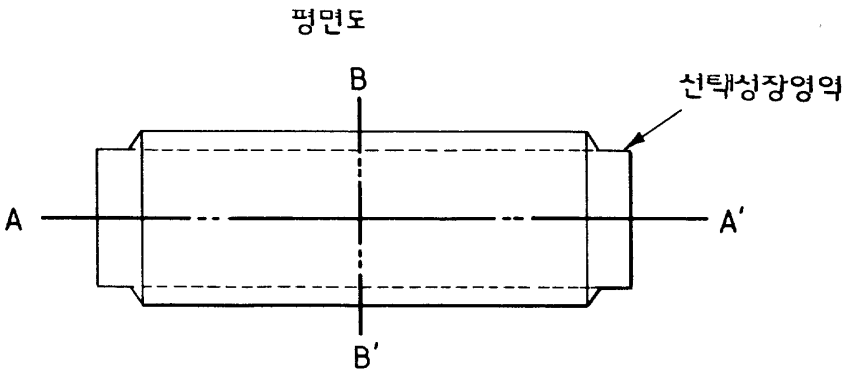
도면26



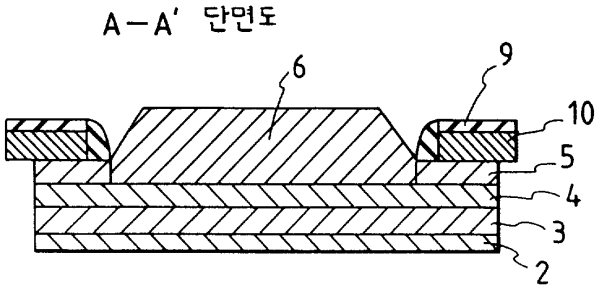
도면27



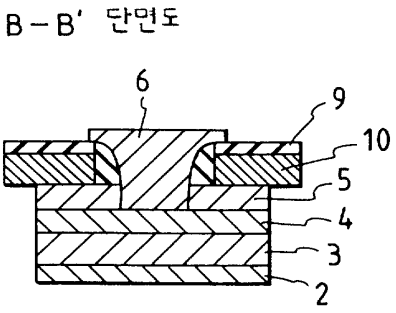
도면28a



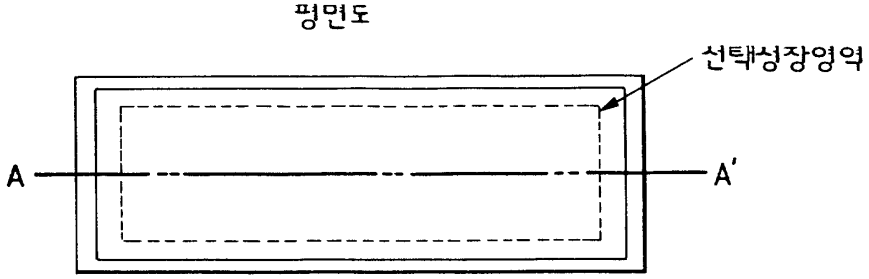
도면28b



도면28c



도면29a



도면29b

A - A' 단면도

